

この製品の英文データシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020年9月24日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年9月24日

製品名：ADPD4100 / ADPD4101

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

Page 47

ページ右側、図 55 の説明文中、“t_E” が 2 回出てきますが、初めの“t_E”は“t_D”の誤りです。

Page 88

0x0025 の GPIO_IN、GPIO_INPUT の説明中、「Bit 0 が GPIO 1」との記述がありますが、「Bit 0 が GPIO 0」の間違いです。

Page 90

INP34_x の説明中、最後の「1000 :」のチャンネルに「2」が抜けています。



マルチモード・センサー・ フロント・エンド

データシート

ADPD4100/ADPD4101

特長

マルチモード・アナログ・フロント・エンド
様々なセンサー計測に対応した複数の動作モードを備える
8つの入力チャンネル
同時サンプリングによるデュアルチャンネル処理
同期されたセンサー計測が可能な12のプログラマブル・
タイム・スロット
差動およびシングルエンドのセンサー計測に対応する柔軟性に
優れた入力マルチプレクス
4個のLEDを同時に駆動できる8つのLEDドライバ
内部発振器を使用した0.004Hz~9kHzの柔軟なサンプリング・
レート
オンチップのデジタル・フィルタ処理
送受信シグナル・チェーンのS/N比: 100dB
AC周辺光の除去: 60dB (DC~1kHz)
LEDのピーク駆動電流の合計: 400mA
システムの合計消費電力: 30μW
(LEDとAFEの合計消費電力)、75dBのS/N比、
25HzのODR、100nA/mAのCTRでの連続PPG測定
SPIおよびI²C通信に対応
512バイトのFIFO

アプリケーション

健康/フィットネス・モニタ用のウェアラブル機器:
心拍数モニタ (HRM)、心拍数変化 (HRV)、ストレス、
血圧推定、SpO₂、体内水分量、身体組成
工業用モニタリング: CO、CO₂、煙、およびエアロゾルの検出
自宅療養患者のモニタリング

概要

ADPD4100/ADPD4101は、最大8個の発光ダイオード(LED)を
励起しリターン信号を最大8つの個別の電流入力で測定する、
フル機能のマルチモード・センサー・フロント・エンドとして
動作します。12のタイム・スロットを使用して、サンプリング
周期ごとに12の値を個別に測定できます。

データ出力と機能設定は、ADPD4101ではI²Cインターフェース、
ADPD4100ではシリアル・ポート・インターフェース(SPI)を
介して行います。制御回路には、柔軟性の高いLED信号制御機
能と同期検出機能が搭載されています。また、1.8Vのアナロ
グ・コアと1.8V/3.3V互換デジタル入出力(I/O)を使用します。

アナログ・フロント・エンド(AFE)は、一般に周辺光によっ
て生じる非同期的な変調干渉に起因する信号のオフセットや破損
を除去することができ、光学フィルタや外部制御のDCキャン
セル回路は不要です。ADPD4100/ADPD4101には複数の動作モ
ードが備わっており、フォトダイオード、生体電位電極、抵抗
容量、および温度センサーの同期測定が可能なセンサー・ハブ
として使用できます。複数の動作モードにより、フォトブレチ
スモグラフィ(PPG)、心電図(ECG)、皮膚電気活動
(EDA)、インピーダンス、容量、温度、ガス・煙・エアロゾ
ルの検出の他、これに限定されず様々なセンサー計測に対応し
、ヘルスケア・産業・コンシューマ用の様々なアプリケーションに
使用できます。

ADPD4100/ADPD4101は、3.11mm × 2.14mm、0.4mmピッチの
33ボールWLCSPと35ボールWLCSPを採用しています。

機能ブロック図

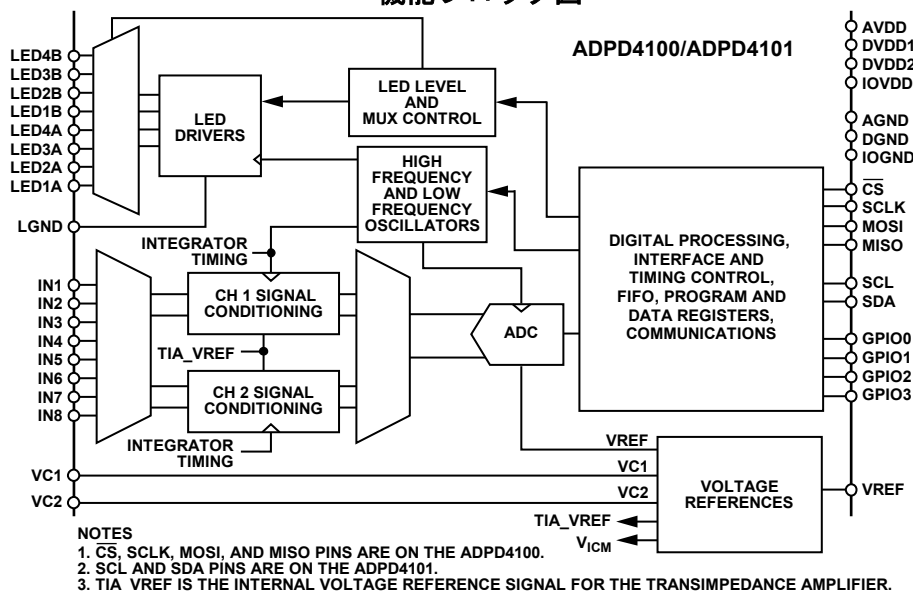


図 1.

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	タイム・スロット動作.....	23
アプリケーション.....	1	実行モード.....	24
概要.....	1	ホスト・インターフェース.....	24
機能ブロック図.....	1	アプリケーション情報.....	28
改訂履歴.....	2	動作モードの概要.....	28
仕様.....	3	アナログ積分モード.....	28
温度と電力の仕様.....	3	デジタル積分モード.....	40
性能仕様.....	4	TIA ADC モード.....	42
デジタル仕様.....	6	通常動作時の TIA 飽和の防止.....	42
タイミング仕様.....	6	ADPD4100/ADPD4101 を使用した ECG 測定.....	44
絶対最大定格.....	9	レジスタ・マップ.....	51
熱抵抗.....	9	レジスタの詳細.....	70
静電放電 (ESD) 定格.....	9	グローバル設定レジスタ.....	70
ESD に関する注意.....	9	割込みステータスとコントロール・レジスタ.....	72
ピン配置およびピン機能の説明.....	10	閾値の設定とコントロール・レジスタ.....	82
代表的な性能特性.....	13	クロックとタイム・スタンプの設定、およびコントロール・レジスタ.....	84
動作原理.....	15	システム・レジスタ.....	84
はじめに.....	15	I/O の設定とコントロール・レジスタ.....	86
アナログ信号パス.....	15	タイム・スロット設定レジスタ.....	89
LED ドライバ.....	16	AFE タイミング設定レジスタ.....	94
C _{VLED} の決定.....	17	LED 制御およびタイミング・レジスタ.....	96
データバス、デシメーション、サブサンプリング、および FIFO.....	18	ADC オフセット・レジスタ.....	97
クロッキング.....	21	出力データ・レジスタ.....	97
タイム・スタンプ動作.....	22	外形寸法.....	100
低周波発振器のキャリブレーション.....	22	オーダー・ガイド.....	101
高周波発振器のキャリブレーション.....	22		

改訂履歴

6/2020—Revision 0: Initial Version

仕様

温度と電力の仕様

表 1. 動作条件

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
TEMPERATURE RANGE					
Operating		-40		+85	°C
Storage		-65		+150	°C
POWER SUPPLY VOLTAGE					
Supply, V _{DD}	AVDD、DVDD1、および DVDD2 ピンに印加	1.7	1.8	1.9	V
Input/Output Driver Supply, IOV _{DD}	IOVDD ピンに印加	1.7	1.8	3.6	V

特に指定のない限り、AVDD = DVDDx = IOVDD = 1.8V、T_A = 25°C。

表 2. 消費電流

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
POWER SUPPLY (V _{DD}) CURRENT						
V _{DD} Supply Current ¹		S/N 比 = 75dB、25Hz の出力データ・レート (ODR)、単一のタイム・スロット、低周波発振器の周波数 = 1MHz		10		μA
		S/N 比 = 75dB、25Hz の ODR、単一のタイム・スロット、低周波発振器の周波数 = 32kHz		8		μA
Total System Power Dissipation		LED と AFE の合計消費電力、75dB の S/N 比、25Hz の ODR、100nA/mA の電流伝達率 (CTR) での連続 PPG 測定、低周波発振器の周波数 = 1MHz		30		μW
		LED と AFE の合計消費電力、75dB の S/N 比、25Hz の ODR、100nA/mA の CTR での連続 PPG 測定、低周波発振器の周波数 = 32kHz		26		μW
Peak V _{DD} Supply Current (1.8 V)						
1-Channel Operation	IV _{DD_PEAK}	タイム・スロットのサンプリング期間のピーク V _{DD} 電流		3.8		mA
Standby Mode Current	IV _{DD_STANDBY}			0.20		μA

¹ V_{DD} は AVDD ピンと DVDDx ピンに印加される電圧です。

性能仕様

特に指定のない限り、AVDD = DVDDx = IOVDD = 1.8V、TA = 全動作温度範囲。

表 3.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
DATA ACQUISITION					
Datapath Width				32	Bits
FIRST IN, FIRST OUT (FIFO) SIZE				512	Bytes
LED DRIVER					
LED Peak Current per Driver	LED パルス・イネーブル	1.5		200	mA
LED Peak Current, Total	複数の LED ドライバを同時に使用			400	mA
Driver Compliance Voltage	任意の LED ドライバ出力における値、LED_CURRENTx_x = 0x7F			300	mV
LEDxx Pin Voltage ¹				3.6	V
Highest LED Peak Current per Driver ²	任意の LED ドライバにおける値、LED_CURRENTx_x = 0x7F	176	200	208	mA
LED PERIOD	AFE 積分幅 = 4 μ s ³ AFE 積分幅 = 3 μ s	11 9			μ s μ s
SAMPLING RATE ⁴	単一のタイム・スロット、4 データ・バイトの FIFO、2 μ s の LED パルス	0.004		9000	Hz
OSCILLATOR DRIFT					
32 kHz Oscillator	25°C~85°C での変動 (パーセント値) +25°C~-40°C での変動 (パーセント値)		6 -8.5		% %
1 MHz Oscillator	25°C~85°C での変動 (パーセント値) +25°C~-40°C での変動 (パーセント値)		3 -4		% %
32 MHz Oscillator	25°C~85°C での変動 (パーセント値) +25°C~-40°C での変動 (パーセント値)		1 -1.5		% %

¹ LEDxx は、LED1A、LED2A、LED3A、LED4A、LED1B、LED2B、LED3B、および LED4B を表しています。

² この仕様に示す最大値は、LED ドライバ LED1A の LED 駆動電流設定値 = 0x7F での最大値、この仕様の最小値は、LED ドライバ LED4B の LED 駆動電流設定値 = 0x7F での最小値です。通常、LED のピーク電流は LED1A で最大、LED4B で最小になり、残りのドライバはこの間の値をとります。また、LEDxA ドライバのピーク LED 電流は同じ番号の LEDxB ドライバのピーク電流より大きな値になります。例えば、LED3A のピーク LED 電流は LED3B のピーク電流より大きい値をとります。

³ 最小 LED 周期 = (2 × AFE 積分幅) + 3 μ s。

⁴ この仕様に示す最大値は、内部の 1MHz ステート・マシン・クロックを使用したときの内蔵 ADC のサンプリング・レートです。構成によっては、fC および SPI の読出しレートが原因で ODR が制限を受ける可能性があります。

表 4.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
TRANSIMPEDANCE AMPLIFIER (TIA) GAIN		12.5		200	k Ω
PULSED SIGNAL CONVERSIONS, 3 μ s LED PULSE	4 μ s の積分幅、連続接続モード				
ADC Resolution ¹	TIA の帰還抵抗				
	12.5k Ω		6.2		nA/LSB
	25k Ω		3.1		nA/LSB
	50k Ω		1.5		nA/LSB
	100k Ω		0.77		nA/LSB
	200k Ω		0.38		nA/LSB
ADC Saturation Level ²	TIA の帰還抵抗				
	12.5k Ω		50		μ A
	25k Ω		25		μ A
	50k Ω		12.5		μ A
	100k Ω		6.22		μ A
	200k Ω		3.11		μ A

パラメータ	テスト条件/コメント	Min	Typ	Max	単位	
PULSED SIGNAL CONVERSIONS, 2 μ s LED PULSE ADC Resolution ¹ ADC Saturation Level ²	3 μ s の積分幅、連続接続モード					
	TIA の帰還抵抗					
	12.5k Ω		8.2		nA/LSB	
	25k Ω		4.1		nA/LSB	
	50k Ω		2.04		nA/LSB	
	100k Ω		1.02		nA/LSB	
	200k Ω		0.51		nA/LSB	
	TIA の帰還抵抗					
	12.5k Ω		67		μ A	
	25k Ω		33		μ A	
50k Ω		16.7		μ A		
100k Ω		8.37		μ A		
200k Ω		4.19		μ A		
FULL SIGNAL CONVERSIONS TIA Linear Dynamic Range (per Channel)	総入力電流、1%の圧縮ポイント、TIA_VREF = 1.265V					
	12.5k Ω		72		μ A	
	25k Ω		38		μ A	
	50k Ω		18.7		μ A	
	100k Ω		9.3		μ A	
200k Ω		4.6		μ A		
SYSTEM PERFORMANCE Referred to Input Noise Referred to Input Noise SNR AC Ambient Light Rejection DC Power Supply Rejection Ratio (PSRR)	連続接続モード、単一パルス、単一チャンネル、フロート状態の入力、TIA_VREF = 1.265V、3 μ s の積分幅					
	12.5k Ω の TIA ゲイン		8.2		nA rms	
	25k Ω の TIA ゲイン		4.1		nA rms	
	50k Ω の TIA ゲイン		2.2		nA rms	
	100k Ω の TIA ゲイン		1.2		nA rms	
	200k Ω の TIA ゲイン		0.61		nA rms	
	連続接続モード、単一パルス、単一チャンネル、90%フル・スケール入力信号、周辺光なし、TIA_VREF = 1.265V、VCx = TIA_VREF + 215mV、2 μ s の LED パルス、フォトダイオードの容量 (C _{PD}) = 70pF、入力抵抗 = 500 Ω					
	12.5k Ω の TIA ゲイン		10.3		nA rms	
	25k Ω の TIA ゲイン		5.3		nA rms	
	50k Ω の TIA ゲイン		2.7		nA rms	
	100k Ω の TIA ゲイン		1.5		nA rms	
	200k Ω の TIA ゲイン		0.97		nA rms	
	12.5k Ω の TIA ゲイン、単一パルス		76		dB	
	25k Ω の TIA ゲイン、単一パルス		76		dB	
	50k Ω の TIA ゲイン、単一パルス		75		dB	
	100k Ω の TIA ゲイン、単一パルス		74		dB	
	200k Ω の TIA ゲイン、単一パルス		72		dB	
	100k Ω の TIA ゲイン、100Hz の ODR、80 パルス、C _{PD} = 70pF、0.5Hz~20Hz の帯域幅、送受信シグナル・チェーン			100		dB
	DC~1kHz、TIA の線形範囲を使用、TIA ゲイン = 25k Ω 、50k Ω 、100k Ω 、200k Ω			60		dB
	DC~1kHz、TIA の線形範囲を使用、TIA ゲイン = 12.5k Ω			55		dB
75%フル・スケール入力			50		dB	

¹ ADC 分解能は、パルスごとに記載されています。複数のパルスを使用する場合は、パルス数で除してください。

² 周辺信号は ADC 変換前に除去されるため、ADC の飽和レベルはパルス信号のみに適用されます。

デジタル仕様

特に指定のない限り、IOVDD = 1.7V ~ 3.6V。

表 5. デジタル仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
LOGIC INPUTS						
Input Voltage Level						
SCL, SDA						
High	V _{IH}		0.7 × IOVDD		3.6	V
Low	V _{IL}		-0.3		+0.3 × IOVDD	V
GPIOx, MISO, MOSI, SCLK, \overline{CS}						
High	V _{IH}		0.7 × IOVDD		IOVDD + 0.3	V
Low	V _{IL}		-0.3		+0.3 × IOVDD	V
Input Current Level		All logic inputs				
High	I _{IH}				10	μA
Low	I _{IL}		-10			μA
Input Capacitance	C _{IN}			2		pF
LOGIC OUTPUTS						
Output Voltage Level						
GPIOx, MISO						
High	V _{OH}	2 mA high level output current	IOVDD - 0.5			V
Low	V _{OL}	2 mA low level output current			0.5	V
SDA						
Low	V _{OL1}	3 mA low level output current			0.4	V
Output Current Level		SDA				
Low	I _{OL}	V _{OL1} = 0.4 V	20			mA

タイミング仕様

表 6. ADPD4101 の I²C タイミング仕様

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
TIMING REQUIREMENTS						
I ² C Port ¹		図 2 参照				
SCL						
Frequency					1	Mbps
Minimum Pulse Width						
High	t ₁		260			ns
Low	t ₂		500			ns
Start Condition						
Hold Time	t ₃		260			ns
Setup Time	t ₄		260			ns
SDA						
Hold Time ²	t ₅		0			
Setup Time	t ₆		50			ns
SCL and SDA						
Rise Time	t ₇				120	ns
Fall Time	t ₈				120	ns
Stop Condition						
Setup Time	t ₉		260			ns

¹ デザインにより保証します

² タイミング要件とスイッチング特性の両方。

表 7. ADPD4100 の SPI タイミング仕様

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
TIMING REQUIREMENTS						
SPI Port						
SCLK						
Frequency	f_{SCLK}				24	MHz
Minimum Pulse Width						
High	t_{SCLKPWH}		15			ns
Low	t_{SCLKPWL}		15			ns
$\overline{\text{CS}}$						
Setup Time	t_{CSS}	SCLK 立上がりエッジまでの $\overline{\text{CS}}$ セットアップ時間	11			ns
Hold Time	t_{CSH}	SCLK 立上がりエッジ後の $\overline{\text{CS}}$ ホールド時間	5			ns
Pulse Width High	t_{CSPWH}	$\overline{\text{CS}}$ パルス幅ハイ	15			ns
MOSI						
Setup Time	t_{MOSIS}	SCLK 立上がりエッジまでの MOSI セットアップ時間	5			ns
Hold Time	t_{MOSIH}	SCLK 立上がりエッジ後の MOSI ホールド時間	5			ns
SWITCHING CHARACTERISTICS						
MISO Output Delay						
	t_{MISOD}	SCLK 立下がりエッジ後の MISO 有効出力遅延 レジスタ 0x00B4 = 0x0050 (デフォルト) レジスタ 0x00B4 = 0x005F (最大スルー・レート、SPI の最大駆動強度)			21.5 14.0	ns ns

表 8. 外部の低周波発振器を使用した場合のタイミング仕様

Parameter	Min	Typ	Max	Unit
FREQUENCY				
1 MHz Low Frequency Oscillator	500		2000	kHz
32 kHz Low Frequency Oscillator	10		100	kHz
DUTY CYCLE				
1 MHz Low Frequency Oscillator	10		90	%
32 kHz Low Frequency Oscillator	10		90	%

タイミング図

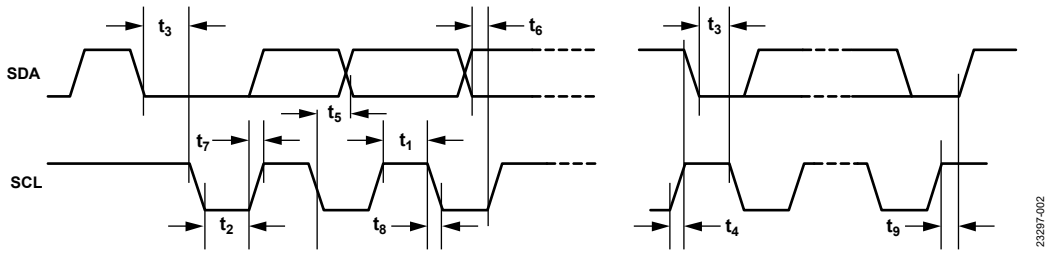


図 2. ADPD4101 の I²C タイミング図

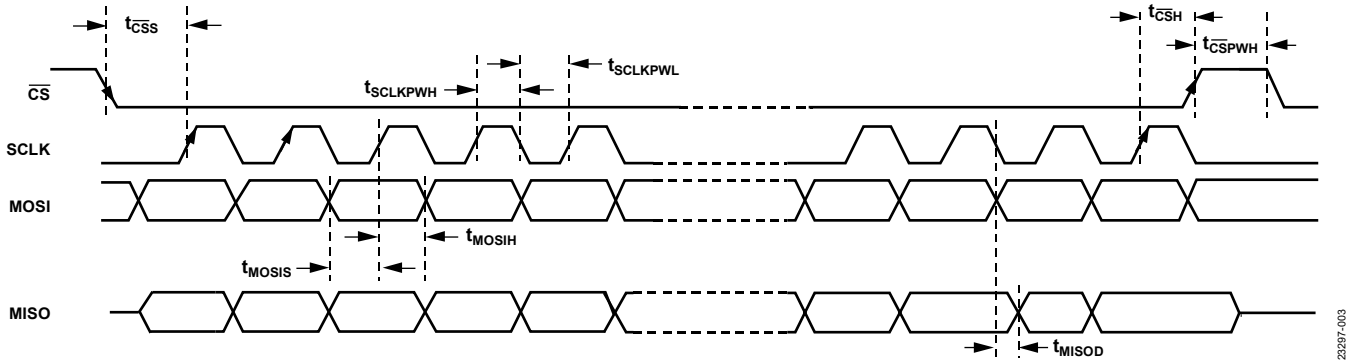


図 3. ADPD4100 の SPI タイミング図

絶対最大定格

表 9.

Parameter	Rating
AVDD to AGND	-0.3 V to +2.2 V
DVDD1, DVDD2 to DGND	-0.3 V to +2.2 V
IOVDD to DGND	-0.3 V to +3.9 V
GPIOx, MOSI, MISO, SCLK, \overline{CS} , SCL, SDA to DGND	-0.3 V to +3.9 V
LEDxx to LGND	-0.3 V to +3.9 V
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には細心の注意が必要です。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 10. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JC}	Unit
CB-35-2	41.89	0.98	°C/W
CB-33-1	42.15	0.98	°C/W

¹ 熱抵抗値は、JESD51-12 規格によって規定されています。

静電放電（ESD）定格

以下の ESD 情報は、ESD による影響を受けやすいデバイスの取り扱いについて、ESD に対して保護された環境においてのみ適用できます。

人体モデル（HBM）は ANSI/ESDA/JEDEC JS-001 に、デバイス帯電モデル（CDM）は ANSI/ESDA/JEDEC JS-002 に準拠しています。

マシン・モデル（MM）は ANSI/ESD STM5.2 に準拠しています。MM の電圧値は、特性評価専用の値です。

ADPD4100/ADPD4101 の ESD 定格

表 11. ADPD4100/ADPD4101、35 ボールおよび 33 ボールの WLCSP

ESD Model	Withstand Threshold (V)	Class
HBM	2000	2
CDM	1250	C3
MM	100	Not applicable

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

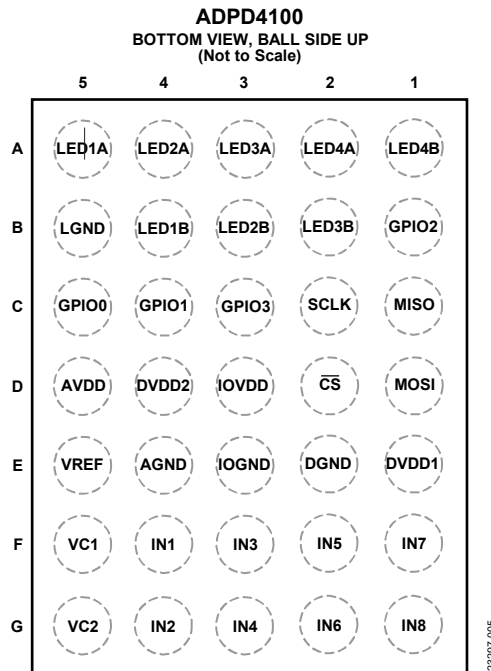


図 4. ADPD4100 のピン配置

表 12. ADPD4100 のピン機能の説明

ピン番号	記号	タイプ ¹	説明
A5	LED1A	AO	LED ドライバ 1A の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A4	LED2A	AO	LED ドライバ 2A の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A3	LED3A	AO	LED ドライバ 3A の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A2	LED4A	AO	LED ドライバ 4A の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A1	LED4B	AO	LED ドライバ 4B の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B5	LGND	S	LED ドライバのグラウンド。
B4	LED1B	AO	LED ドライバ 1B の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B3	LED2B	AO	LED ドライバ 2B の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B2	LED3B	AO	LED ドライバ 3B の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B1	GPIO2	DIO	汎用 I/O 2。このピンは、割込みと各種クロック供給オプションに使用します。
C5	GPIO0	DIO	汎用 I/O 0。このピンは、割込みと各種クロック供給オプションに使用します。
C4	GPIO1	DIO	汎用 I/O 1。このピンは、割込みと各種クロック供給オプションに使用します。
C3	GPIO3	DIO	汎用 I/O 3。このピンは、割込みと各種クロック供給オプションに使用します。
C2	SCLK	DI	SPI クロック入力。
C1	MISO	DO	SPI マスタ入力/スレーブ出力。
D5	AVDD	S	1.8V アナログ電源。
D4	DVDD2	S	1.8V デジタル電源。
D3	IOVDD	S	1.8V/3.3V I/O ドライバ電源。
D2	CS	DI	SPI チップ・セレクト入力。
D1	MOSI	DI	SPI マスタ出力/スレーブ入力。
E5	VREF	REF	内部で生成される ADC 電圧リファレンス。1μF のコンデンサを使ってこのピンを AGND にバッファします。
E4	AGND	S	アナログ・グラウンド。
E3	IOGND	S	I/O ドライバのグラウンド。
E2	DGND	S	デジタル・グラウンド。
E1	DVDD1	S	1.8V デジタル電源。
F5	VC1	AO	フォトダイオードのコモン・カソード・バイアス、または他のセンサー励起用の出力電圧源 1。
F4	IN1	AI	電流入力 1。使用しない場合、このピンはフロート状態のままにしておきます。
F3	IN3	AI	電流入力 3。使用しない場合、このピンはフロート状態のままにしておきます。

ピン番号	記号	タイプ ¹	説明
F2	IN5	AI	電流入力 5。使用しない場合、このピンはフロート状態のままにしておきます。
F1	IN7	AI	電流入力 7。使用しない場合、このピンはフロート状態のままにしておきます。
G5	VC2	AO	フォトダイオードのコモン・カソード・バイアス、または他のセンサー励起用の出力電圧源 2。
G4	IN2	AI	電流入力 2。使用しない場合、このピンはフロート状態のままにしておきます。
G3	IN4	AI	電流入力 4。使用しない場合、このピンはフロート状態のままにしておきます。
G2	IN6	AI	電流入力 6。使用しない場合、このピンはフロート状態のままにしておきます。
G1	IN8	AI	電流入力 8。使用しない場合、このピンはフロート状態のままにしておきます。

¹ AO はアナログ出力、S は電源、DIO はデジタル入出力、DI はデジタル入力、DO はデジタル出力、REF は電圧リファレンス、AI はアナログ入力を意味します。

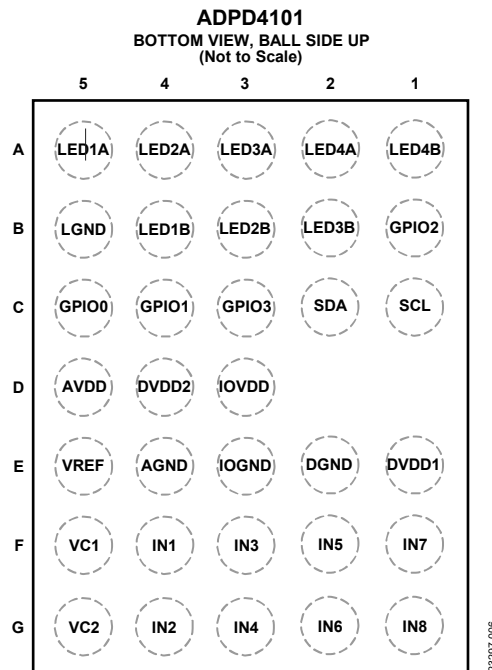


図 5. ADPD4101 のピン配置

表 13. ADPD4101 のピン機能の説明

ピン番号	記号	タイプ ¹	説明
A5	LED1A	AO	LED ドライバ 1A の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A4	LED2A	AO	LED ドライバ 2A の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A3	LED3A	AO	LED ドライバ 3A の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A2	LED4A	AO	LED ドライバ 4A の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A1	LED4B	AO	LED ドライバ 4B の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B5	LGND	S	LED ドライバのグラウンド。
B4	LED1B	AO	LED ドライバ 1B の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B3	LED2B	AO	LED ドライバ 2B の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B2	LED3B	AO	LED ドライバ 3B の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B1	GPIO2	DIO	汎用 I/O 2。このピンは、割込みと各種クロック供給オプションに使用します。
C5	GPIO0	DIO	汎用 I/O 0。このピンは、割込みと各種クロック供給オプションに使用します。
C4	GPIO1	DIO	汎用 I/O 1。このピンは、割込みと各種クロック供給オプションに使用します。
C3	GPIO3	DIO	汎用 I/O 3。このピンは、割込みと各種クロック供給オプションに使用します。
C2	SDA	DIO	I ² C データ入出力。
C1	SCL	DI	I ² C クロック入力。
D5	AVDD	S	1.8V アナログ電源。
D4	DVDD2	S	1.8V デジタル電源。
D3	IOVDD	S	1.8V/3.3V I/O ドライバ電源。
E5	VREF	REF	内部で生成される ADC 電圧リファレンス。1μF のコンデンサを使ってこのピンを AGND にバッファします。
E4	AGND	S	アナログ・グラウンド。

ピン番号	記号	タイプ ¹	説明
E3	I0GND	S	I/O ドライバのグラウンド。
E2	DGND	S	デジタル・グラウンド。
E1	DVDD1	S	1.8V デジタル電源。
F5	VC1	AO	フォトダイオードのコモン・カソード・バイアス、または他のセンサー励起用の出力電圧源 1。
F4	IN1	AI	電流入力 1。使用しない場合、このピンはフロート状態のままにしておきます。
F3	IN3	AI	電流入力 3。使用しない場合、このピンはフロート状態のままにしておきます。
F2	IN5	AI	電流入力 5。使用しない場合、このピンはフロート状態のままにしておきます。
F1	IN7	AI	電流入力 7。使用しない場合、このピンはフロート状態のままにしておきます。
G5	VC2	AO	フォトダイオードのコモン・カソード・バイアス、または他のセンサー励起用の出力電圧源 2。
G4	IN2	AI	電流入力 2。使用しない場合、このピンはフロート状態のままにしておきます。
G3	IN4	AI	電流入力 4。使用しない場合、このピンはフロート状態のままにしておきます。
G2	IN6	AI	電流入力 6。使用しない場合、このピンはフロート状態のままにしておきます。
G1	IN8	AI	電流入力 8。使用しない場合、このピンはフロート状態のままにしておきます。

¹ AO はアナログ出力、S は電源、DIO はデジタル入出力、DI はデジタル入力、DO はデジタル出力、REF は電圧リファレンス、AI はアナログ入力を意味します。

代表的な性能特性

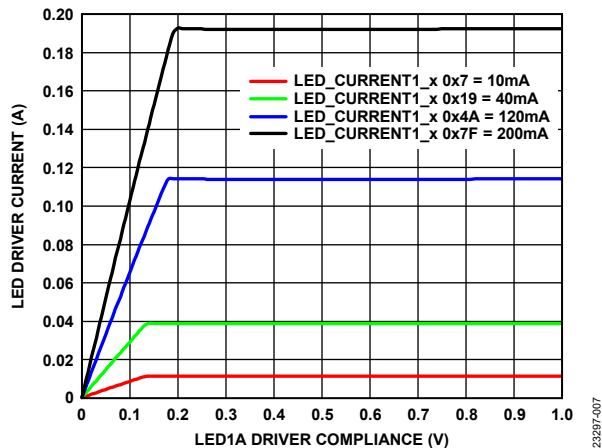


図 6. LED_CURRENT1_x = 0x7 (10mA)、0x19 (40mA)、0x4A (120mA)、および 0x7F (200mA) での LED ドライバ電流と LED1A ドライバ・コンプライアンスの関係

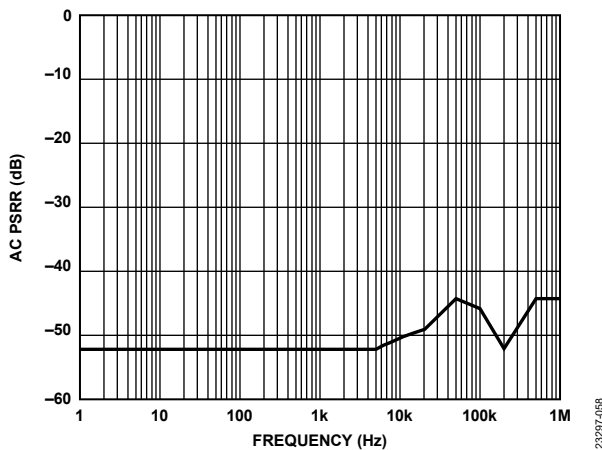


図 7. AC PSRR の周波数特性

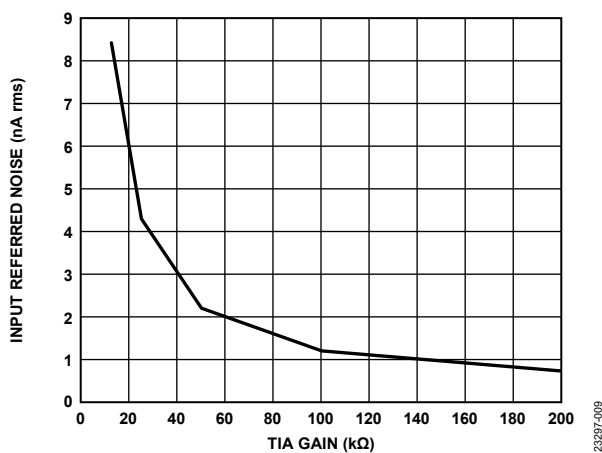


図 8. 入力換算ノイズと TIA ゲインの関係、 $C_{PD} = 70\text{pF}$ 、積分器の入力抵抗 = $400\text{k}\Omega$

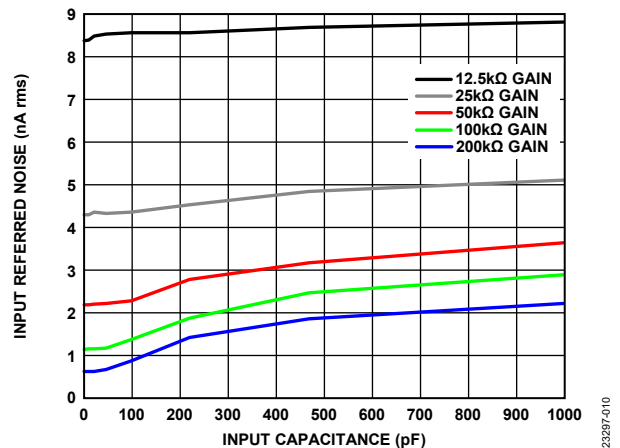


図 9. 入力換算ノイズと入力容量の関係、積分器の入力抵抗 = $400\text{k}\Omega$

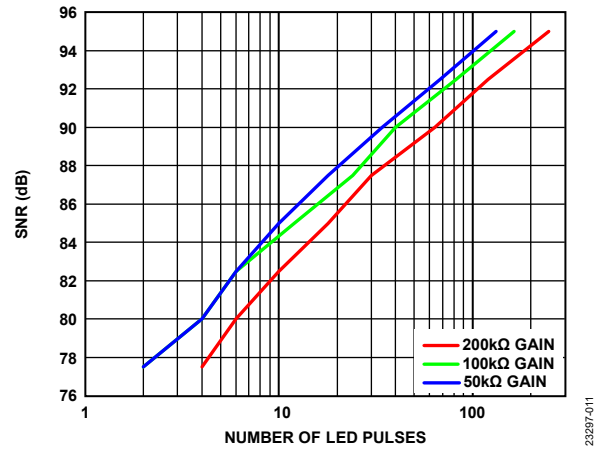


図 10. 連続接続モードでの S/N 比と LED パルス数の関係、 $C_{PD} = 70\text{pF}$ 、積分器の入力抵抗 = $400\text{k}\Omega$ 、フル・スケールの 90%

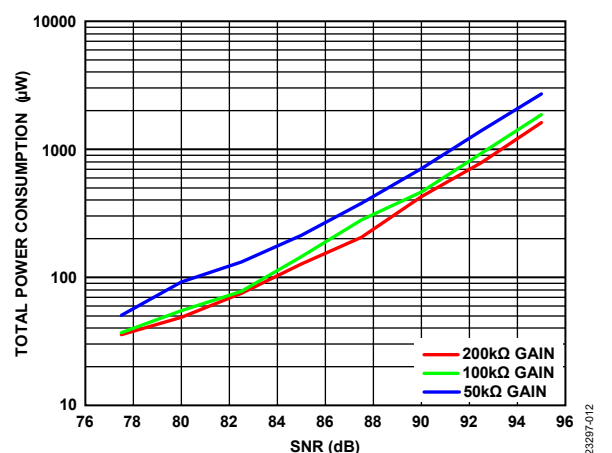


図 11. 連続接続モードでの LED 電力を含む総消費電力と S/N 比の関係、 $C_{PD} = 70\text{pF}$ 、積分器の入力抵抗 = $400\text{k}\Omega$ 、 $\text{ODR} = 25\text{Hz}$ 、 $\text{CTR} = 150\text{nA/mA}$ 、LED 電源電圧 = 4V 、フル・スケールの 90%

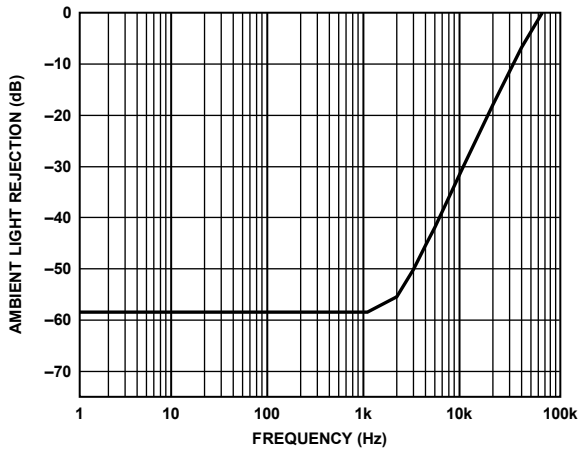


図 12. 周辺光除去の周波数特性

23297-013

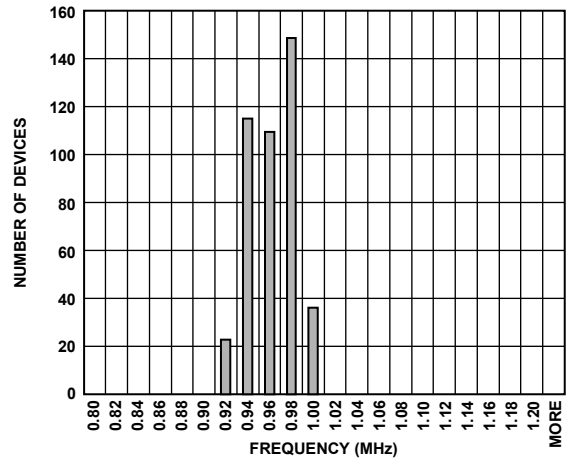


図 14. 1MHz クロック周波数の分布、トリミングなし

23297-015

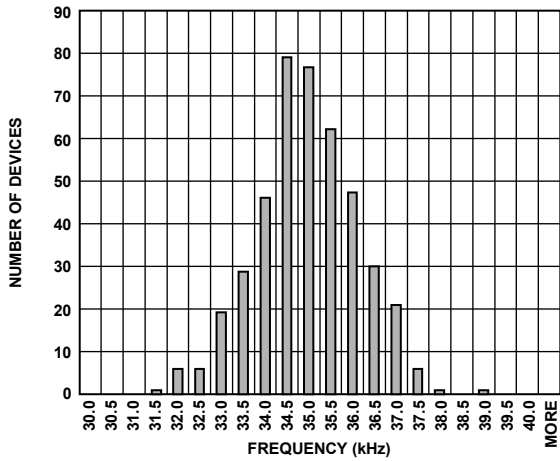


図 13. 32kHz クロック周波数の分布、トリミングなし

23297-014

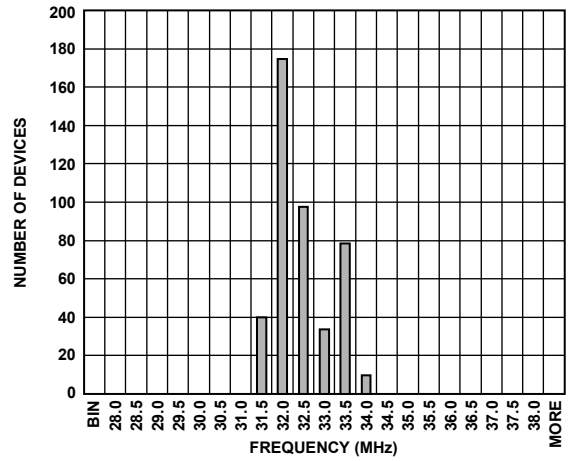


図 15. 32MHz クロック周波数の分布、トリミングなし

23297-016

動作原理

はじめに

ADPD4100/ADPD4101 は、最大 8 個の LED を励起しリターン信号を最大 8 つの個別の電流入力で測定する、フル機能のマルチモード・センサー・フロント・エンドとして動作します。12 のタイム・スロットを使用して、サンプリング周期ごとに 12 の値を個別に測定できます。アナログ入力は、シングルエンドまたは差動ペアで駆動できます。8 個のアナログ入力は、単一チャンネルまたは独立した 2 つのチャンネルにマルチプレクスされ、同時に 2 個のセンサーのサンプリングが可能です。

AFE は、TIA、バンドパス・フィルタ (BPF)、積分器、および A/D コンバータ (ADC) で構成されます。デジタル・ブロックにより、複数の動作モード、プログラマブルなタイミング、4 個の汎用入出力 (GPIO) ピン、ブロック平均、2 次~4 次の範囲で選択可能なカスケード積分型楕円 (CIC) フィルタを提供します。最大 200mA で駆動できる 8 個の独立した LED ドライバを搭載しています。LED ドライバのうち 4 個は任意のタイム・スロットで使用でき、7 ビットのレジスタ設定値により 1.5mA から 200mA までの単調増加のプログラムが可能です。任意のタイム・スロットで使用可能な LED ドライバは、組み合わせることで合計 400mA までの LED 電流を供給できます。

コア回路は、デバイスの入力に接続されたセンサーに励起信号を供給して応答を測定し、個別のデータ保管場所に結果を保存します。8 つの入力は、シングルエンドまたは差動の構成で同時に 2 個の入力チャンネルを駆動できます。データは、レジスタによって直接読み出すことも、FIFO 方式で読み出すこともできます。この高集積システムは、アナログ信号処理ブロック、デジタル信号処理ブロック、I²C 通信インターフェース (ADPD4101) または SPI ポート (ADPD4100)、プログラマブルな LED パルス電流源、および電圧励起が必要なセンサー用のパルス電圧源で構成されています。

光学測定を行う場合、ADPD4100/ADPD4101 は、最小 1 μ s のパルスと BPF を組み合わせた同期変調方式によって 60dB の AC 周辺光除去を実現します。周辺光の除去は、外部の制御ループ、DC 電流の減算、あるいはデジタル・アルゴリズムなどを必要とせず、自動的に行われます。

LED ドライバは電流シンクなので、LED 電源電圧や LED の種類による影響を受けません。入力は、最大 200 μ A の電流を供給する任意のセンサーにも接続できます。センサー出力と ADPD4100/ADPD4101 の入力に直列抵抗を配置して電圧を電流に変換することで、電圧出力のセンサーとのインターフェースも可能です。ADPD4100/ADPD4101 は、比較的小さな LED 電力で高い S/N 比を達成すると同時に、周辺光が測定信号に及ぼす影響を大幅に軽減します。

アナログ信号パス

ADPD4100/ADPD4101 のアナログ信号パスは 8 個の電流入力からなり、これらはシングルエンドまたは差動ペアとして構成され、2 つの独立したチャンネルの 1 つに供給されます。この 2 つのチャンネルは同時にサンプリングすることが可能で、2 個のセンサーを瞬時にサンプリングする必要があるアプリケーションに使用できます。各チャンネルは、ゲイン調整可能な TIA、

BPF (ハイパス・コーナ周波数 100kHz、ローパス・カットオフ周波数 390kHz)、およびサンプル当たり ± 7.5 pC の積算が可能な積分器を内蔵しています。各チャンネルは、時間多重で 14 ビット ADC に接続されます。図 16 において、 R_F は TIA の帰還抵抗、 R_{INT} は積分器の入力に接続された直列抵抗です。

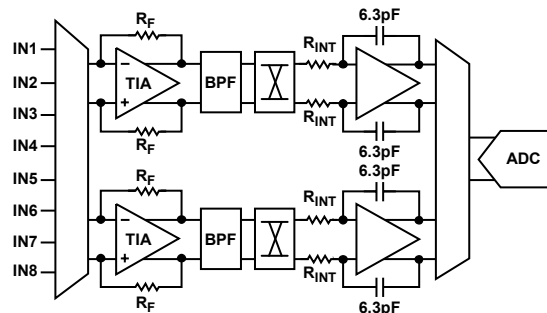
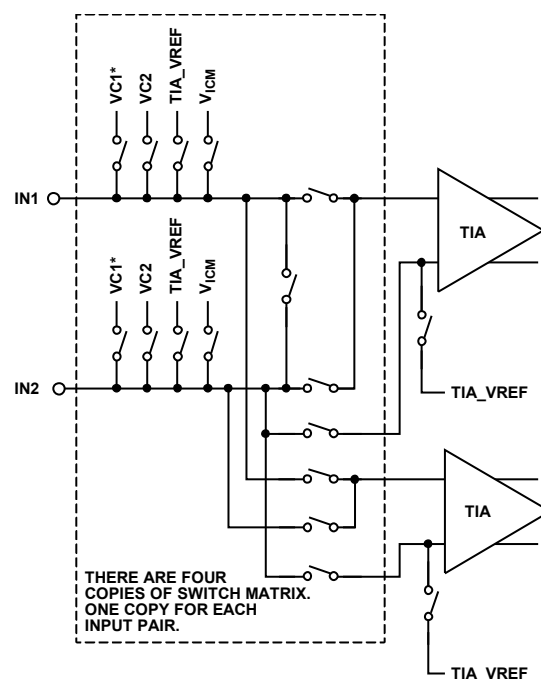


図 16. アナログ信号パスのブロック図

アナログ入力マルチプレクサ

ADPD4100/ADPD4101 は 8 個のアナログ入力ピンをサポートしています。各入力は、シングルエンド入力として、または差動ペアの一部として使用できます。図 17 に入力のスイッチ・マトリックスの 1 つを示します。これにより、2 つの AFE チャンネルとプログラマブルに接続できます。各入力ペア (IN1 と IN2、IN3 と IN4、IN5 と IN6、IN7 と IN8) は、このマルチプレクサとまったく同じ構成です。接続はタイプ・スロットごとにプログラム可能です。



*ALL BIAS CONNECTIONS SHOWN ARE ONLY AVAILABLE DURING SLEEP AND PRECONDITIONING PERIODS. THE SWITCHES TO THESE BIAS LEVEL ARE OPEN DURING TIME SLOTS WITH THE RESPECTIVE INPUTS SELECTED.

図 17. アナログ入力マルチプレクサ

PAIR12、PAIR34、PAIR56、および PAIR78 ビットを使用して、それぞれの入力ペアを 2 つのシングルエンド入力として使用するか、差動ペアとして使用するかを選択します。この選択は、すべてのアクティブなタイム・スロットに対して有効です。INP12_x、INP34_x、INP56_x、および INP78_x ビットを使用して、該当するタイム・スロットにおいて入力ペアをイネーブルするかどうかを設定します。イネーブルする場合は、どの入力をもとの AFE チャンネルに接続するかも設定します。

スリープ条件は、イネーブルされていないすべての入力に使用します。スリープ条件は、INP_SLEEP_12、INP_SLEEP_34、INP_SLEEP_56、および INP_SLEEP_78 ビットによって決定し、これらのビットでスリープ期間中および入力がアクティブになっていないときの入力ペアの状態を設定します。入力は、プリコンディショニングの間、および入力がイネーブルされたタイム・スロットのパルス領域でのみアクティブと見なされます。

入力に接続されたセンサーのプリコンディショニングは、サンプリングの直前に入力の動作ポイントを設定するために使用します。プリコンディショニングにはいくつかの異なるオプションがあり、PRECON_x ビットによって決定します。PRECON_x ビットは各タイム・スロットに対して用意されており、タイム・スロット期間におけるイネーブルされた入力、または入力ペアのプリコンディショニングを設定します。プリコンディショニングの選択肢として、フロート状態、VC1、VC2、入力共通モード電圧 (V_{ICM})、TIA_VREF、TIA 入力、および入力ペアの短絡があります。プリコンディショニングは各タイム・スロットの開始時に実施され、時間は PRE_WIDTH_x ビットを使用してプログラムできます。デフォルトのプリコンディショニング時間は 8 μ s です。

図 17 のブロック図に、スリープ状態およびプリコンディショニングの間に入力と接続可能なすべてのバイアス・レベルを示します。これらの接続は、入力が選択されているタイム・スロットのサンプリング・フェーズの間中は使用できません。

AFE チャンネル 2

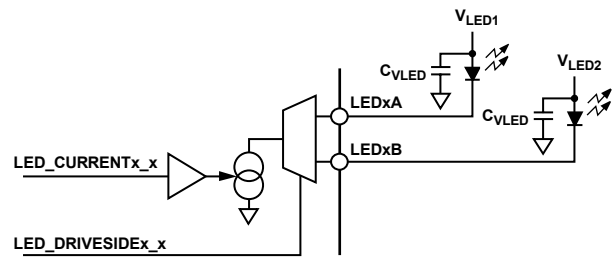
AFE チャンネル 2 は、デフォルトではディスエーブルです。ディスエーブルされていると、チャンネル 2 の 3 個のアンプ (TIA、BPF、積分器) は自動的にパワーダウンされ ADC サイクルは発生しません。デジタル積分モードとインパルス応答モードではチャンネル 2 は使用しません。

AFE チャンネル 2 は、CH2_EN_x ビットを使用してタイム・スロットごとにイネーブルできます。チャンネル 2 がイネーブルされると、チャンネル 2 の ADC 変換とデータパス・ビットが動作します。データの FIFO 書込みの際は、チャンネル 2 のデータはチャンネル 1 データの後に書き込まれます。

チャンネル 2 の TIA ゲイン、積分器の抵抗、およびバッファ・ゲイン (デジタル積分モードまたは TIA ADC モード時) はチャンネル 1 とは独立に設定されます。

LED ドライバ

ADPD4100/ADPD4101 には 4 つの LED ドライバが搭載されており、それぞれが 2 つの LED ドライバ出力を備えているため、合計で 8 つの LED 出力ドライバが使用可能です。各ドライバ・ペアから 1 つを使用することで、最大 4 個の LED を同時に駆動できます。LED 出力ドライバは電流シンクです。図 18 に、1 つの LED ドライバ出力ペアの例を示します。



NOTES
C_{VLED} IS THE BYPASS CAPACITOR.

図 18. LED ドライバ出力ペアのブロック図

LED ドライバ出力ピン (LED1A、LED1B、LED2A、LED2B、LED3A、LED3B、LED4A、LED4B) の最大許容電圧は 3.6V です。この定格を超える電圧を印加すると、デバイス動作の信頼性に影響を与え、特定の状況ではデバイスが正常に動作しなくなる場合があります。LED ドライバ出力ピンの電圧と LED 自体への電源電圧を混同しないでください。V_{LEDx} は外部 LED のアノードに印加する電圧です。これに対し、LED 出力ドライバ・ピンは外部 LED のカソードに接続します。コンプライアンス電圧は、グラウンドを基準として測定した LED ドライバ・ピンのヘッドルームの総電圧で、設定した LED 電流レベルを維持するために必要となります。また、この電圧は、必要とする電流の関数になっています。図 6 に、LED ドライバ LED1A の様々な LED 電流設定で必要とされるコンプライアンス電圧の代表値を示します。また、図 19 に、LED 電流設定を最大値にしたときの、すべての LED ドライバのコンプライアンス電圧の代表値を示します。LED ドライバ回路の内部レイアウトにより、設定値以上、または設定値以下の電流を出力するドライバがあります。一般的に、LED1A ドライバと LED1B ドライバは、それぞれ LED4A ドライバと LED4B ドライバより約 3% 高くなり、LED2x および LED3x ドライバは LED1x と LED4x の間の値をとりま。また、LEDxA ドライバは同じ番号の LEDxB ドライバより約 3% 高くなります。

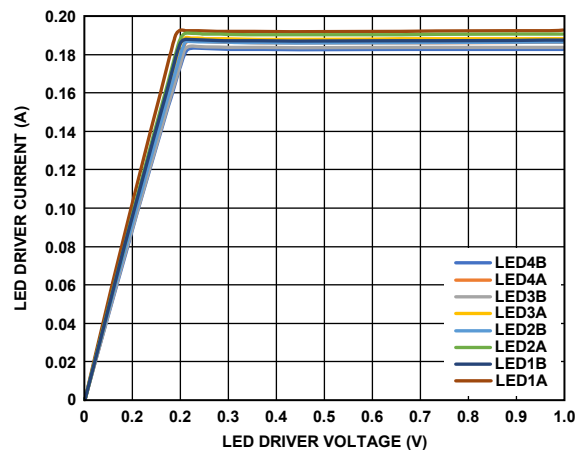


図 19. 様々な LED ドライバ (LEDxA、LEDxB) の LED ドライバ電流と LED ドライバ電圧の関係、LED_CURRENTx_x = 0x7F

各 LED ドライバ出力ペアの片側を使用して（両方は使用しません）、12のタイム・スロットのいずれかを駆動できます。LED_DRIVESIDE1_x、LED_DRIVESIDE2_x、LED_DRIVESIDE3_x、LED_DRIVESIDE4_x ビットを使用して、任意のタイム・スロットで最大4つの LED ドライバ出力をイネーブルできます。電流は、LED_CURRENT1_x、LED_CURRENT2_x、LED_CURRENT3_x、LED_CURRENT4_x ビットを使用してドライブごと、タイム・スロットごとに設定します。各ドライブは、単調増加性の7ビットの設定値を使用して1.5mA~200mAの範囲でプログラムできます（図20参照）。1~127の範囲で設定すると、LED 駆動電流は約1.5mA刻みで増加します。LED_CURRENTx_x = 0に設定すると、設定したドライブはディスエーブルされます。

いずれのタイム・スロットにおいても各 LED ドライバは200mAまで設定可能で、かつ最大4つのドライブをイネーブルできますが、タイム・スロットで供給できる LED ドライバ電流の合計には400mAの制限があります。この400mAの制限を超えないように LED ドライバを設定してください。ユーザ設定によって400mAの制限を超えた場合は、LED1x、LED2x、LED3x、LED4xの順番で優先順位が付けられます。例えば、1つのタイム・スロットでLED1Aが150mA、LED2Bが150mA、LED3Aが150mAに設定された場合、LED1AとLED2Bは150mAを出力しますが、デバイスのLED駆動電流の合計を400mAの制限内に維持するため、LED3Aは100mAに制限されます。

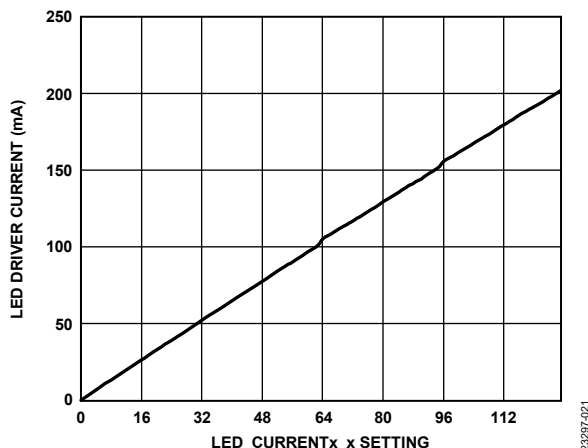


図 20. LED 駆動電流と LED_CURRENTx_x 設定の関係

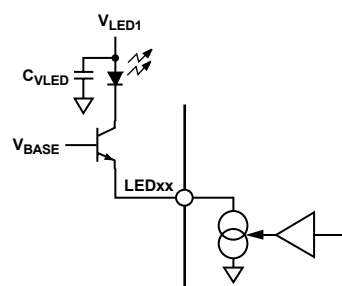
高インダクタンスからの LED ドライバ保護

長いワイヤや複数のコネクタを使用することによって、LED と ADPD4100/ADPD4101 の LED ドライバ・ピン (LEDxA または LEDxB) の間のパス、および LED と LED 電源電圧 (V_{LEDx}) の間のパスのインダクタンスの合計が著しく大きくなった場合には、逆バイアスされた保護ダイオードを LED ドライバ・ピンの高電源電圧側 (V_{LEDx} など) に接続してください。すなわち、逆バイアスされた保護ダイオードは、使用する LED ドライバ・ピンと V_{LEDx} の間に接続します。

LED ドライバ・ピンの過電圧保護

標準的な設計では、LED ドライバに外付け部品は必要ありません。しかし、LED ドライバ・ピンの電圧が3.6Vを超えて高くなる可能性がある場合には、外付けのNPNバイポーラ接合トランジスタ (BJT) を LED ドライバ・ピンに接続します（図21参照）。この追加のトランジスタは、LEDxx ピンの最大許容電圧3.6Vを超えたときに LED ドライバ・ピンの保護機能を果たします。

(V_{LEDx} - LED ターンオン電圧) > 3.6V となる場合、または電源源に10MΩ以下のシャント抵抗があり、電源電圧が3.6Vを超える場合には、LED ドライバ・ピンを過電圧から保護する必要があります。例えば、一部の緑色LEDや青色LEDに見られる低リークのLEDでは、LED ドライバ・ピンを3.6V以上にプルアップすることなく6VのV_{LEDx}を使用することができます。一般に、V_{LEDx} < 6Vの場合、保護トランジスタは必要ありません。



NOTES
1. C_{VLED} IS THE BYPASS CAPACITOR.
2. V_{BASE} IS THE BASE VOLTAGE.

23297-059

図 21. LED ドライバの過電圧保護回路

NPN BJT を選択する際は、以下のガイドラインに従ってください。

- 電流容量は、LED の最大駆動電流に合わせる必要があります。LED の最大駆動電流は、1つの LED ドライバで200mA、1つの LED に複数の LED ドライバを接続する場合は400mAです。
- トランジスタの定格電圧は、負荷に供給する電源より大きい値にする必要があります。
- ベース・エミッタ電圧は、最大 LED 駆動電流が流れたときに0.9V以下になるようにしてください。
- 最大 LED 駆動電流が流れているときの LED のコレクタ・エミッタ電圧を小さくするほど、駆動する負荷の範囲を広くすることができます。

C_{VLED} の決定

バイパス・コンデンサ (C_{VLED}) の値を決定するには、LED 動作中の最大順方向バイアス電圧 V_{FB_LED_MAX} を決定する必要があります。最大 LED 電流 I_{LED_MAX} と V_{FB_LED_MAX} の対応は図22のようになります。この例では、並列接続された緑色の LED 2個を流れる125mAの電流から、V_{FB_LED_MAX} = 3.5V という値が得られます。LED パス内にあるすべての直列抵抗成分も、この電圧計算に含める必要があります。LED パスを設計する際は、LED を流れるピーク電流が非常に大きくなるのが原因で、抵抗成分が小さくても電圧降下が大きくなる可能性があることに注意してください。更に、これらの抵抗成分は、V_{LEDx} 電源に過度の制約を課す可能性があります。

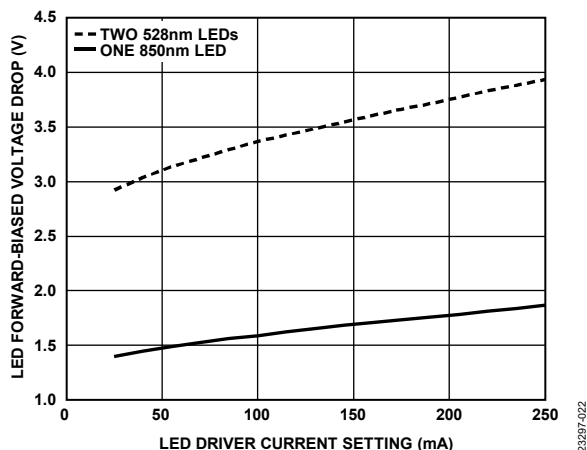


図 22. LED ドライバ電流設定の関数として表した LED 順方向バイアス電圧降下の平均値の例

C_{VLED} コンデンサのサイズを正しく設定するには、LED へのパルス供給を行っている間にコンデンサの電圧が LED の順方向バイアス電圧を下回るまで放電してしまうことのないようにしてください。 C_{VLED} の最小値は以下のように計算します。

$$C_{VLED} = (t_{LED_PW} \times I_{LED_MAX}) / (V_{LED_MIN} - (V_{FB_LED_MAX} + V_{COMP})) \quad (1)$$

ここで、

t_{LED_PW} は LED パルス幅、

I_{LED_MAX} は、デバイスを動作させる際に使用する LED の最大順方向バイアス電流、

V_{LED_MIN} は、無負荷時に V_{LEDx} 電源から供給される最小電圧、

$V_{FB_LED_MAX}$ は、LED が I_{LED_MAX} を実現するために必要とされる最大順方向バイアス電圧、

V_{COMP} は、LED ドライバの設定レベルにおける LED ドライバのコンプライアンス電圧です。

式 1 の分子では、バイパス・コンデンサから放電される合計電荷 (クーロン単位) が計算されます。この値は設定済みの LED シングル・パルスを最大電流で供給するために必要となります。

分母は、LED で必要とされる電圧と V_{LEDx} 電源の最小電圧の間の差を表します。LED で必要となる電圧とは、LED ドライバのコンプライアンスや、最大電流で動作する LED の順方向バイアス電圧を実現する、LED のアノード電圧を意味します。125mA の駆動電流では、ドライバのコンプライアンス電圧は約 0.4V です。代表的な ADPD4100/ADPD4101 の例では、 V_{LEDx} 電源の最小値は 4.5V で、528nm の LED を 2 個並列に接続したときのピーク電流は 125mA です。この場合、 C_{VLED} の最小値は 1 μ F となります。

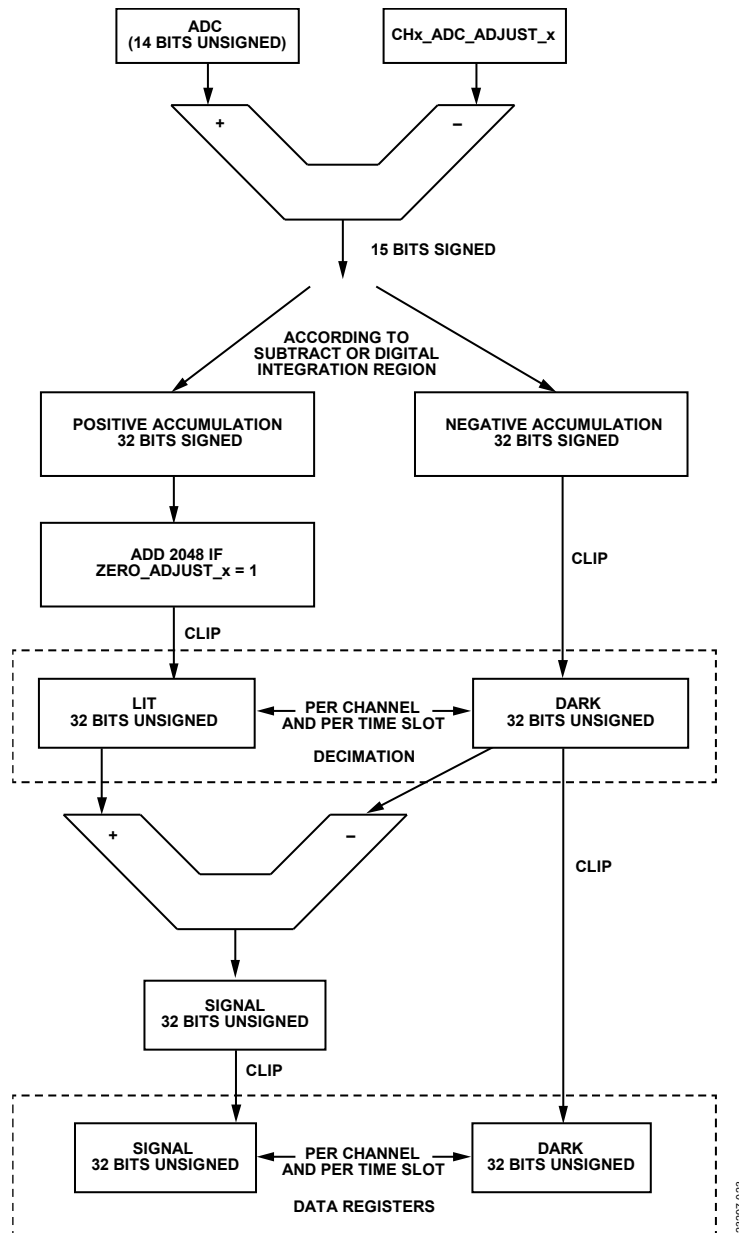
$$C_{VLED} = (3 \times 10^{-6} \times 0.125) / (4.5 - (3.5 + 0.4)) = 0.625nF \quad (2)$$

式 2 に示すように、電源の最小電圧降下が最大アノード電圧近くまで低下すると C_{VLED} に対する条件はより厳しくなり、コンデンサの値をより大きくする必要があります。式 2 には、正しい値を代入することが重要です。例えば、 V_{LED_MIN} の最も厳しい条件の値の代わりに V_{LED_MIN} の平均値を使用すると、設計に重大な欠陥が生じる可能性があります。その結果、 C_{VLED} の値が小さくなりすぎて、アプリケーションで光パワーが不足する可能性があります。

また、パルスとパルスの間で C_{VLED} コンデンサが十分に充電されないと、複数パルスによって V_{LEDx} 電源が更に低下する可能性があります。したがって、 C_{VLED} の値に十分なマージンを追加することを強く推奨します。また、 C_{VLED} には、部品の寿命全体にわたる電圧、バイアス、温度、その他の要因によるコンデンサ値の低下と複数パルスの影響を考慮してマージンを追加してください。

データパス、デシメーション、サブサンプリング、および FIFO

ADC サンプルは、各タイム・スロットの各パルスで収集され、各タイム・スロットで合算されて正負の和を連続的に生成します。これらの和は、それぞれ 32 ビットの符号なしレジスタとして保存され、値が 32 ビットを超えると飽和します。各 ADC サンプルは、標準のサンプリング・モード、またはデジタル積分モードの明/暗アキュイジション領域の電流パルスの中に、SUBTRACT_x ビットに基づき正か負の和に合算されます。図 23 にデータパス構造を示します。



23297-023

図 23. データパスのブロック図

各タイム・スロットにおいて、パルス動作の終了時に明値および暗値は正の数にクリップされデシメーション・ユニットに送られます。タイム・スロット動作の終了時にデシメーション値がある場合、明値から暗値を引くことによって信号値が計算されます。その後、用意されたデータ・レジスタを更新して、選択された値が FIFO に書き込まれます。また、このとき、このタイム・スロットへのデータ割込みも設定され、各タイム・スロットは更新されます。

デシメーション

DECIMATE_FACTOR_x ビットにより、最終的な 32 ビットのサンプル値を生成するために使用するタイム・スロットの数を決定します。このときのサンプル・レートは次式で求められます。

$$\text{サンプル・レート} = (1/\text{TIMESLOT_PERIOD}_x)/(\text{DECIMATE_FACTOR}_x + 1)$$

DECIMATE_FACTOR_x が 0 の場合、出力サンプル・レートはタイム・スロット・レートとなり、最終値はデシメーション・サンプルの合計です。このデシメーション・データに (DECIMATE_FACTOR_x + 1) による除算処理は行われませんが、データの最終値は FIFO に書き込まれる前にビットを右にシフトさせることができ、サンプル数が 2 のべき乗の場合は直接、平均値が生成されます。DECIMATE_TYPE_x を使用すると、デシメーション方法を選択できます。0 に設定すると単純なブロック合計となり、それ以外の設定では 4 次までの高次の CIC フィルタを選択できます。高次の CIC フィルタを信号データに使用する場合でも、暗データには同じデシメーション・レートでブロック合計が使用されます。ブロック合計、または CIC フィルタの状態はタイム・スロットごとに保持されます。デシメーションの全パスにおいて 32 ビットのデータパスが使用されます。CIC フィルタを使用する場合、結果に必要なビット数はパルス数、デシメーション・レート、および CIC フィルタの次数に依存し、次式によって求められます。

$$N_{\text{BITS}} = 14 + \log_2(\text{パルス数}) + (\log_2(\text{デシメーション・レート}))(\text{CIC の次数})$$

不要なオーバーフローが発生しないように注意してください。

最終データは、データ・レジスタまたは FIFO の 512 バイト・データから読み出すことができます。FIFO に書き込まれたデータは、必要に応じて異なるデータ・レジスタ、フォーマット、およびデータ・サイズに構成できます。各タイム・スロットで個別のデシメーション・レートを使用でき、各タイム・スロットからのデータは、それぞれの ODR で FIFO に書き込まれます。

サブサンプリング

ADPD4100/ADPD4101 は、サブサンプリング・モードをサポートしています。サブサンプリング・モードを選択したタイム・スロットは、設定したサンプリング・レートより低いサンプリング・レートで実行できます。例えば、複数パラメータを持つアプリケーションにおいて大半の測定は 300Hz のサンプリング・レートで測定するものの 1 つだけ 25Hz で測定する必要がある場合、25Hz で動作させる必要があるタイム・スロットにサブサンプリング・モードを使用することができます。特定のタイム・スロットでサブサンプリング・モードをイネーブルするには、SUBSAMPLE_x ビットを 1 に設定し、DECIMATE_FACTOR_x で目的のサンプリング・レートに設定します。サブサンプリング・モードが設定されたタイム・スロットは、タイム・スロットの全シーケンスを実行する代わりに (DECIMATE_FACTOR_x + 1) サイクルごとに 1 回だけサンプリングします。他のタイム・スロットが同じレートでデシメーションしている場合、デシメーション・データが FIFO に送られると同時にサブサンプリング・サイクルが発生します。例えば、300Hz で動作するタイム・スロット A が 25Hz にデシメーション

され、タイム・スロット B が 12 のサブサンプリングに設定されている場合、どちらのタイム・スロットも同じタイム・スロット・シーケンスと同じレートで FIFO に書き込みます。

イネーブルされたタイム・スロットのデシメーション・レートとサブサンプリング・レートが異なる場合は、これより複雑なパターンになる可能性があります。読み出すデータの Paket サイズの変化を、繰り返される Paket のサイズの倍数で管理することが必要になります。例えば、タイム・スロット A がデシメーションもサブサンプリングも設定されておらず、タイム・スロット B が 2 サイクルごとのサブサンプリング、タイム・スロット C が 4 サイクルごとのサブサンプリングに設定されている場合、FIFO に書き込まれるデータ・パターンは、A、AB、A、ABC、が繰り返される Paket になります。

デシメーションとサブサンプリングは、出力データ・レートには同じ影響を及ぼします。唯一の違いは、デシメーションでは、すべての入力サイクルでタイム・スロットは動作するものの内蔵デシメーション・フィルタを使用することで低レートでデータを生成するのに対して、サブサンプリングでは、タイム・スロットが低レートでのみ発生することです。

ステータス・バイトは、タイム・スロットがどちらを実行しているかに関係なくウェイクアップのたびに FIFO に書き込まれます。デシメーション・レートとサブサンプリング・レートが異なる前述の例でステータス・バイトをイネーブルした場合、パターンは AS、ABS、AS、ABCS、の繰り返しとなります。ここで S はステータス・バイトです。

FIFO

データは、各サンプリング周期の最後に FIFO に書き込まれます。Paket には、0、8 ビット、16 ビット、24 ビット、または 32 ビットの暗データ、明データ、および信号データを含めることができます。FIFO に書き込むデータのビット・アライメントは、飽和情報を基に 0 ビットから 31 ビットでシフト量を選択できます。下位ビットは無視されます。DARK_SHIFT_x、LIT_SHIFT_x、および SIGNAL_SHIFT_x ビットを使用して、FIFO に書き込む前に出力データを右にシフトするビット数を選択します。DARK_SIZE_x、LIT_SIZE_x、および SIGNAL_SIZE_x ビットを使用して、各フィールドで書き込むバイト数を 0 バイトから 4 バイトの間で選択します。0 に設定した場合、このデータ・タイプで書き込まれるデータはありません。選択したビット位置より上位のビット位置に 0 以外のビットがある場合は、FIFO に書き込まれるデータは飽和しています。両方のチャンネルがイネーブルされている場合、チャンネル 1 で選択されたデータが最初に FIFO に書き込まれ、次にチャンネル 2 のデータが書き込まれます。

例えば、暗データを使用するモードでは、各タイム・スロットで暗データの上位 8 ビットが信号データから適正に選択された 24 ビットと共に保存されます。これにより、周辺光が増加しているかどうか検出できると同時に転送データ量を制限できます。

データは、アクティブなタイム・スロットのデータを書き込めるだけの十分な FIFO 領域が残されている場合のみ、サンプリング周期の最後に FIFO に書き込まれます。例えば、第 1 のアクティブなタイム・スロットが 100Hz の ODR で動作し、第 2 のタイム・スロットが 4 のデシメーション、または第 1 のタイム・スロットのレートの 1/4 のサブサンプリングで動作することで 25Hz の ODR になっている場合、データが FIFO に書き込まれるのは、サンプリング周期の最後でアクティブなタイム・スロットの両方にデータを書き込めるだけの領域がある場合のみです。ここで、デシメーションまたはサブサンプリングで動作中のタイム・スロットが、このサンプリング周期でデータを書き込むかどうかは関係ありません。異なるデシメーション・レート/サブサンプリング・レートでタイム・スロットを使用する場合

は、マイクロプロセッサ側で適切にデータを制御する必要があります。

FIFO にパケット・データの一部だけが書き込まれることはありません。イネーブルされたすべてのタイム・スロットおよび選択されたステータス・ビットのデータのすべてを書き込むだけの FIFO 領域がない場合は、この周期の間はどのタイム・スロットのデータも書き込まれず、INT_FIFO_OFLOW のステータス・ビットがセットされます。

FIFO に書き込むサンプルの順番は（選択されている場合）、最初が暗データ、次が信号データです。マルチバイト・ワードのバイトの順番を表 14 に示します。

表 14. FIFO 書き込みのバイトの順番

Size	Byte Order (After Shift)
8	[7:0]
16	[15:8], [7:0]
24	[15:8], [7:0], [23:16]
32	[15:8], [7:0], [31:24], [23:16]

FIFO は 512 バイトです。FIFO が空のときは読み出し動作で 0xFF を返し、INT_FIFO_UFLOW のステータス・ビットがセットされます。

FIFO の他に信号と暗データの 32 ビット・レジスタも直接読み出すことができます。これらのレジスタは、サンプリングのたびに更新される内部データ・レジスタと、ラッチされてホストからアクセスできる出力データ・レジスタの実質上 2 段のレジスタになっています。データ割込みを使用すると、レジスタへの書き込みが実行された直後にレジスタにアクセスできるように調整できます。割込みのタイミングが問題となる場合は、HOLD_REGS_x ビットを使用して、割込みが調整されていないアクセスが行われている間、出力レジスタを更新しないようにします。HOLD_REGS_x ビットをセットすることでラッチされた出力データ・レジスタの更新をブロックし、ホストは同じサンプル・ポイントから暗値と信号値を読み出すことができます。HOLD_REGS_x ビットがセットされている間に新たなサンプルが発生した場合、このサンプルは内部データ・レジスタに書き込まれますが出力データ・レジスタにはラッチされず、ホストはアクセスできません。HOLD_REGS_x ビットを 0 に設定すると、新しいデータの更新が再度イネーブルされます。

すべてのタイム・スロットが完了した後にオプションのステータス・バイトが FIFO に書き込まれます。詳細については、[オプションのステータス・バイト](#)のセクションを参照してください。

クロッキング

低周波発振器

低周波発振器は低速のステート・マシンのクロックを生成します。これにより、サンプリングのタイミングやウェイクアップ状態など、すべての動作の制御で使用されるタイム・ベースが設定されます。低周波発振器による生成には 3 つのオプションがあります。第 1 のオプションは、内部の 32kHz または 1MHz の発振器です。第 2 のオプションは、ホストによる外部の低周波発振器を使用することです。最後のオプションは、外部の 32MHz 高周波クロック源を 32 または 1000 で分周することによって低周波クロックを生成することです。デバイスの起動時には、低周波発振器がイネーブルされ、そのまま実行され続けるという想定になっています。

内部の低周波発振器を動作させるには、以下の書き込みを実施してください。32kHz のクロックを選択するときは LFOSC_SEL ビットを 0 に、1MHz にしたいときは 1 に設定します。次に、OSC_1M_EN または OSC_32K_EN のどちらか所望の内部発振器のビットを 1 に設定してオンにします。内部 32kHz のクロック周波数は 6 ビットの OSC_32K_ADJUST ビットを使用して調整します。内部 1MHz のクロック周波数は 10 ビットの OSC_1M_FREQ_ADJ ビットを使用して調整します。

内部の低周波発振器で供給できるタイミング精度より高い精度が必要な場合は、GPIOx 入力を使用して外部ソースから低周波発振器を直接駆動することができます。外部の低周波クロックをイネーブルするには、以下の書き込みを実施してください。まず、GPIO_PIN_CFGx ビットを使用して GPIOx 入力の 1 つをイネーブルします。次に、ALT_CLK_GPIO ビットを使用して、外部の低周波発振器を使用するためにイネーブルした GPIOx 入力を選択します。ALT_CLOCKS ビットを 0x1 に設定し、外部低周波発振器を選択します。最後に、LFOSC_SEL ビットを使用して、供給するクロックを 32kHz か 1MHz に合わせます。

第 3 の方法では、外部の 32MHz クロックを高周波クロックとして、また分周することで低周波クロックとして使用します。この方法を使用するには、前述した外部低周波クロックの手順に従って書き込み、ALT_CLOCKS ビットのところでは 0x3 に設定します。また、LFOSC_SEL ビットを使用して、低周波クロック生成のために 32 と 1000 のどちらかで分周するか決定します。これにより、外部 32MHz クロックから 32kHz、または 1MHz のクロックが生成されます。

高周波発振器

32MHz の高周波発振器は、内部で生成するか外部から供給します。高周波クロックは、高速のステート・マシンのクロックを生成し、これにより、LED タイミングと積分の回数など、タイム・スロットでの AFE 動作を制御します。

高周波発振器は、ALT_CLOCKS ビットを 0x0 または 0x1 に設定することにより、内部でクロックを生成できます。内部クロックを選択した場合、32MHz の内部発振器は、適切なウェイクアップ・タイム期間に、または 32MHz 発振器のキャリブレーション・ルーチンの期間に、低速ステート・マシンによって自動的にイネーブルされます。

高周波発振器は、外部ソースから駆動することもできます。外部の 32MHz 高周波発振器イネーブルします。次に、ALT_CLK_GPIO ビットを使用して、外部の高周波発振器用にイネーブルした GPIOx 入力を選択します。最後に、ALT_CLOCKS ビットに 0x2 または 0x3 を書き込んで、外部高周波発振器を選択します。0x2 を書き込むと、外部ソースから高周波クロックのみを供給するのに対して、0x3 を書き込むと外部の 32MHz ソースから低周波クロックと高周波クロックの両方を生成します。外部の 32MHz 発振器を使用する場合には、デバイスが適切に動作できるように、この外部発振器は継続的に動作しなければなりません。

タイム・スタンプ動作

タイム・スタンプ機能は、タイム・スロット動作中のタイミング情報をホストに供給するだけでなく、低周波発振器のキャリブレーションにも役立ちます。タイム・スタンプには、GPIO のいずれかをタイム・スタンプ・リクエスト入力として使用します。また、タイム・スタンプ・トリガの取得をイネーブルする CAPTURE_TIMESTAMP ビット、低周波発振器の領域で動作するタイム・カウンタ、および 2 つの出力レジスタを使用します。出力ビットには、タイム・スタンプのトリガとトリガの間に生成された低周波発振器のサイクル数を保持する TIMESTAMP_COUNT_x ビットと、次のタイム・スロットが開始するまでに残された低周波発振器のサイクル数を保持する TIMESTAMP_SLOT_DELTA ビットが含まれます。

タイム・スタンプ動作を使用する設定は以下のとおりです。

1. CLK_CAL_ENA = 1 に設定して、発振器のキャリブレーション回路をイネーブルします。
2. GPIO_PIN_CFGx ビットを使用して、GPIO のいずれかをタイム・スタンプ入力に対応できるように構成します。TIMESTAMP_GPIO ビットを使用して、タイム・スタンプ供給用に構成した GPIOx を選択します。
3. ADPD4100/ADPD4101 の動作設定を行い、低周波発振器をイネーブルします。
4. TIMESTAMP_SLOT_DELTA 機能を使用したいときは、OP_MODE ビットを使用してデバイスを Go モードに設定することによってタイム・スロット動作を開始します。(表 15 参照)。低周波発振器のキャリブレーションは、低周波発振器をイネーブルするだけで実行できます。また、低周波発振器をキャリブレーションするためにデバイスを Go モードにする必要はありません。

タイム・スタンプを取得するには、次の手順に従います。

1. CAPTURE_TIMESTAMP ビットを 1 に設定します。これにより、選択した GPIOx 入力の次の立上がりエッジでタイム・スタンプの取得がイネーブルされます。
2. ホストは、適切なタイミングで最初のタイム・スタンプ・トリガをこの GPIOx に供給します。
3. タイム・スタンプ信号が取得されると、TIMESTAMP_ALWAYS_EN ビットが設定されている場合を除き、CAPTURE_TIMESTAMP ビットはクリアされます。TIMESTAMP_ALWAYS_EN ビットが設定されている場合は、タイム・スタンプの取得は常にイネーブルされた状態になります。必要に応じてタイム・スタンプの取得を再度イネーブルします。
4. ホストは、適切なタイミングで次のタイム・スタンプ・トリガをこの GPIOx に供給します。
5. タイム・スタンプのトリガとトリガの間に発生する低周波発振器のサイクル数を TIMESTAMP_COUNT_x ビットから読み出すことができます。

ホストは、タイム・スタンプ処理の間、FIFO やデータ・レジスタのデータ処理を通常通り続ける必要があります。

タイム・スタンプ以外には遷移しない専用のピンを使用する場合は、TIMESTAMP_ALWAYS_EN ビットを設定して CAPTURE_TIMESTAMP ビットが自動的にクリアされないようにします。この設定により、タイム・スタンプの取得を毎回イネーブルする必要がなくなります。

低周波発振器のキャリブレーションのセクションで説明するように、タイム・スタンプを使用して低周波発振器のキャリブレーションが可能です。ホストは、TIMESTAMP_SLOT_DELTA を使用して、次のタイム・スロットが発生する時間を決めることもできます。TIMESTAMP_SLOT_DELTA によって、現在のサンプルが FIFO に到着する時間を決定できます。TIMESTAMP_SLOT_DELTA では、デシメーション係数は考慮されません。

タイム・スタンプ・トリガはエッジを検出し、TIMESTAMP_INV を使用して立上がりエッジ (デフォルト) と立下がりエッジのどちらかでトリガするか設定できます。

低周波発振器のキャリブレーション

周波数をタイム・スタンプのトリガのタイミングに合わせることで、タイム・スタンプ回路を使用して 32kHz と 1MHz の低周波発振器回路のキャリブレーションが可能です。低周波発振器のサイクルにおける TIMESTAMP_COUNT_x の値と、タイム・スタンプの実際のトリガ周期を比較して、OSC_32K_ADJUST または OSC_1M_FREQ_ADJ の値を調整するだけです。

高周波発振器のキャリブレーション

高周波発振器は、システムの時刻でキャリブレーションした低周波発振器のサイクルの倍数と、高周波発振器のサイクルの倍数を比較することでキャリブレーションします。低周波発振器のキャリブレーションは、高周波発振器のキャリブレーションの前に実施しておきます。高周波発振器のキャリブレーション方法は、以下のとおりです。

1. CLK_CAL_ENA = 1 に設定して、発振器のキャリブレーション回路をイネーブルします。
2. OSC_32M_CAL_START ビットに 1 を書き込みます。
3. ADPD4100/ADPD4101 は、自動的に高周波発振器をパワーアップします。
4. その後、高周波発振器が安定するまで自動的に待機します。
5. 内部カウンタが、1MHz の低周波発振器の 128 サイクル、または 32kHz の低周波発振器の 4 サイクルの間に発生する 32MHz の高周波発振器のクロック数を自動的にカウントします。ここで、どちらの周波数の低周波発振器がイネーブルされているかは LFOSC_SEL ビットの設定に基づきます。
6. OSC_32M_CAL_COUNT ビットが最終的なカウント数で更新されます。
7. タイム・スロットがアクティブでなければ、32MHz の発振器はキャリブレーション後自動的にパワーダウンします。
8. デバイスは OSC_32M_CAL_START ビットをリセットし、カウントが更新されたことを示します。

OSC_32M_FREQ_ADJ ビットを使用して、32MHz の発振器周波数を正しい周波数に調整します。外部の低周波発振器を使用する場合には、32MHz 発振器のキャリブレーションは外部から供給される低周波クロックを基準に実施してください。

低周波発振器と高周波発振器のキャリブレーション完了後、CLK_CAL_ENA = 0 に設定して発振器のキャリブレーション回路のクロッキングをディスエーブルすると消費電力を削減できます。CLK_CAL_ENA はデフォルトで 0 に設定されているので、キャリブレーション回路はデフォルトでディスエーブルです。

タイム・スロット動作

ADPD4100/ADPD4101 の動作は、設定変更可能な内部コントローラで制御します。このコントローラは、サンプリング領域とスリープ期間を発生させるために必要なすべてのタイミングを生成します。複数のセンサーの測定と励起源の同期制御は、複数のタイム・スロットで処理します。デバイスは、マルチセンサー・アプリケーション用に最大 12 のタイム・スロットを備えています。イネーブルされたタイム・スロットは、TS_FREQ レジスタ内の 23 ビットの TIMESLOT_PERIOD_x ビットを使用して設定されたサンプリング・レートで繰り返されます。サンプリング・レートは次式を使用して決定します。

$$\text{サンプリング・レート} = \text{低周波発振器の周波数 (Hz)} \div \text{TIMESLOT_PERIOD}_x$$

各タイム・スロットでは、1 つ以上の LED パルスや変調パルスの生成と、その励起によるフォトダイオードや他のセンサー電流のアクイジションが可能です。各タイム・スロットの動作パラメータは、細かい設定が可能です。

図 24 に、タイム・スロットの基本的な動作シーケンスを示します。各タイム・スロットはサンプリング・レートで繰り返され、タイム・スロットの後に超低消費電力のスリープ期間が続きます。デフォルトでは、前のタイム・スロットが終わるとすぐに次のタイム・スロットが開始されます。また、TIMESLOT_OFFSET_x ビットを使用して、次のタイム・スロットの開始時間にオフセットを追加することもできます。図 25 に、TIMESLOT_OFFSET_B ビットを使用してタイム・スロット B の開始時間をオフセットさせた動作を示します。この場合でも、各タイム・スロットは同じサンプリング・レートで動作しますが、タイム・スロット A とタイム・スロット B の間にスリープ期間が入ります。図 24 と図 25 に示すウェイク期間は、パワーアップのため、およびデータ・アクイジション開始までにアナログ回路を安定化させるために使用されます。TIMESLOT_OFFSET_B ビットが 0 に設定されている場合、前のタイム・スロットが終了するとすぐに次のタイム・スロットが開始されます。

タイム・スロットのオフセットは、常にタイム・スロット A の開始時間に適用されます。例えば、TIMESLOT_OFFSET_D のオフセットは、タイム・スロット D の直前に実行されるタイム・スロット C ではなく、タイム・スロット A の開始時間に追加されます。

追加できるオフセットの合計は、使用する低周波発振器によって決まります。1MHz の低周波発振器を使用している場合は、次式で求められます。

$$\text{オフセット} = 64 \times (1\text{MHz 低周波発振器のサイクル数}) \times \text{TIMESLOT_OFFSET}_x$$

32kHz の低周波発振器を使用している場合は、次式で求められます。

$$\text{オフセット} = 2 \times (32\text{kHz 低周波発振器のサイクル数}) \times \text{TIMESLOT_OFFSET}_x$$

例えば、TIMESLOT_OFFSET_C を 0x040 に設定し、1MHz の低周波発振器を使用する場合、タイム・スロット A の開始からタイム・スロット C の開始までのオフセットは次式のようにになります。

$$\text{オフセット} = (64 \times 1\mu\text{s} \times 64) = 4.096\text{ms}$$

サンプリング・レートは、低周波発振器によって制御されます。低周波発振器は、クロッキングのセクションで説明したように、3 つのソースの中の 1 つを使用して駆動します。

サンプリング周期が、イネーブルしたタイム・スロットが完了できないほど短く設定された場合は、イネーブルしたタイム・スロットのサンプリングをフル・サイクル分スキップして、全体でのサンプリング・レートを実質的に低くします。例えば、サンプリング・レートを 100Hz (10ms 周期) に設定し、イネーブルしたタイム・スロットのすべてが完了するまでに要する合計時間が 11ms だった場合、t = 20ms になるまで次のタイム・スロットのサイクルは開始されません。これにより、サンプリング・レートは実質上 50Hz に低下します。

TIMESLOT_OFFSET_x が、前のタイム・スロットが完了できないほど短く設定された場合は、次のタイム・スロットは前のタイム・スロット完了後すぐに開始します。タイム・スロットは、常に A から L の順番で発生します。

サンプリングの外部同期の使用

外部信号で予め設定した GPIO ピンを駆動することで、TIMESLOT_PERIOD_x のカウンタを使用する代わりにスリープ中のデバイスをウェイクさせることができます。これにより、サンプリング・レートおよび時間の外部制御が可能です。この動作モードは、EXT_SYNC_EN ビットを使用してイネーブルし、EXT_SYNC_GPIO ビットで選択した GPIOx ピンを使用します。この機能を使用する際は、GPIO_PIN_CFGx ビットを使用して入力用に設定された GPIOx ピンがイネーブルされていることを確認してください。

外部同期を使用して、Go モードに設定されている場合、デバイスは最初にスリープ状態に入ると、次の外部同期信号までウェイクアップを待ちます。外部同期信号は低周波発振器と同期され、その後、ウェイクアップ・シーケンスが開始します。タイム・スロットの動作が完了する前に次の外部同期信号が供給されると、この信号は無視されます。

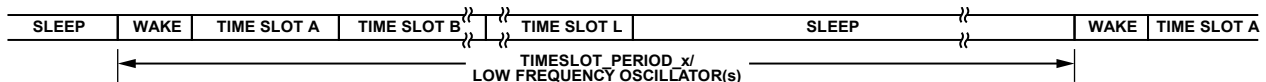


図 24. タイム・スロットの基本的な動作シーケンス

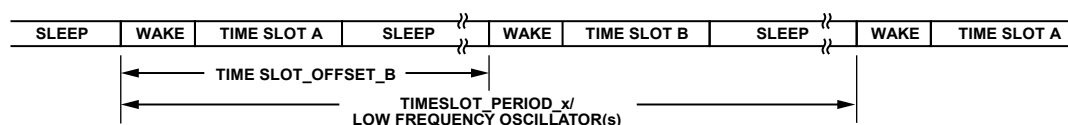


図 25. TIMESLOT_OFFSET_B を使用してオフセットが追加されたタイム・スロット動作

実行モード

低周波発振器のクロック領域におけるステート・マシンは、スリープ時間、ウェイクアップ・サイクル、およびタイム・スロット動作の開始を制御します。低周波発振器は、すべてのタイム・スロット動作のタイム・ベースとして機能すると共に、サンプリング・レートの制御、および低周波数のステート・マシンへのクロック供給を実行します。すべての動作を制御するこのステート・マシンを制御するには、OP_MODE ビットを使用します。

表 15. OP_MODE ビットの設定値の説明

OP_MODE の設定値	モード	説明
0	Standby	すべての動作が停止し、タイム・スロットの動作はリセットされます。低消費電力のスタンバイ状態です。
1	Go	スタンバイ・モードからこの状態に遷移すると、タイム・スロット動作が開始します。

パワーアップ時、およびその後リセット動作が行われた後はいずれでも、ADPD4100/ADPD4101 はスタンバイ・モードになっています。OP_MODE ビットに 0 を書き込むことで、すぐに動作を停止してスタンバイ・モードに戻すことができます。

Go モードの間は、動作モードに影響を与えるレジスタ書き込みを行うことはできません。コントロール・レジスタを変更するには、その前にスタンバイ・モードに入る必要があります。スタンバイ・モードに入ると、ADC のデジタル部分、すべてのパルス・ジェネレータ、およびステート・マシンがリセットされます。

外部の同期トリガを使用しない場合は、OP_MODE が 1 にセットされると、デバイスはすぐに最初のウェイクアップ・シーケンスおよびタイム・スロット動作を開始します。外部の同期トリガを使用していると、デバイスは、最初のウェイクアップおよびタイム・スロット領域を開始する前にスリープ状態に入ります。

ホスト・インターフェース

ADPD4100/ADPD4101 は、SPI ポートと I²C インターフェースの 2 つの方法でホストと通信します。また、大容量 FIFO、データ・レジスタ、エラー、および閾値のステータス・ビットを内蔵しており、これらは、GPIO からの割込み機能、ステータス・レジスタからの読出し、または FIFO パケットの最後にステータス・ビットとして追加することによって使用できます。

割込みステータス・ビット

データ・レジスタ割込み

INT_DATA_x は、各タイム・スロット用のデータ割込みステータス・ビットで、タイム・スロットにおいてデータ・レジスタが更新されるたびにセットされます。HOLD_REGS_x ビットの状態は、この割込みロジックの影響を受けません。

FIFO 閾値割込み

INT_FIFO_TH は、FIFO 閾値割込みのステータス・ビットで、FIFO 内のバイト数が FIFO_TH レジスタに保存された値を超えるとセットされます。FIFO の読出しによってバイト数が FIFO_TH レジスタの値以下になると、INT_FIFO_TH ビットは自動的にクリアされます。これにより、ホストが必要とする適正なデータ・サイズを設定することができます。

レベル割込み

レベル割込みのステータス・ビットには INT_LEV0_x と INT_LEV1_x の 2 つがあり、暗データまたは信号データの値が、設定された閾値レベルを超えるか下回ったときに割込みを生成します。

2 つの比較回路はタイム・スロットごとに使用できます。INT_LEV0_x および INT_LEV1_x ステータス・ビットは、データ・レジスタの更新値が設定基準を満たすとセットされます。この基準値は、INT_LEV0_x に関しては THRESH0_TYPE_x、THRESH0_DIR_x、THRESH0_CHAN_x の設定値、INT_LEV1_x に関しては THRESH1_TYPE_x、THRESH1_DIR_x、THRESH1_CHAN_x の設定値によって設定します。

レベル 0 割込みは以下のように動作します。所望のタイム・スロットの THRESH0_VALUE_x ビットに 8 ビットの閾値を設定します。この閾値は、その後 THRESH0_SHIFT_x ビットで設定した 0 ビットから 24 ビットの任意のビット数だけ左にシフトされます。次に、シフトされた閾値を、THRESH0_TYPE_x ビットと THRESH0_CHAN_x ビットで選択したレジスタと比較します。選択したデータ・レジスタが THRESH0_DIR_x ビットで設定した基準を満たす場合には、INT_LEV0_x ステータス・ビットがセットされます。レベル 1 割込みもこれと同様に動作します。

TIA 上限値検出割込み

TIA の上限値検出がイネーブルされると、それぞれのタイム・スロットでチャンネル 1 はレジスタ 0x0004 の INT_TCLN1_x ビットに、チャンネル 2 はレジスタ 0x0005 の INT_TCLN2_x ビットに TIA の上限値検出情報がラッチされます。これにより、TIA の上限値検出情報は、イネーブルされたすべてのタイム・スロットのすべてのチャンネルについて個別に読み出すことができます。ラッチされたステータス・ビットは、クリアされるまでセットされた状態を維持します。TIA が閾値を超えた領域で駆動され、ステータス・ビットに 1 が書き込まれるとクリアされます。このステータス・ビットは、クリアされるまでセットされた状態を維持することに注意してください。

関連するレジスタを設定することにより（表 31 参照）、Interrupt X または Interrupt Y でこれらのステータス・ビットを駆動することができます。また、オプションのステータス・バイトでモニタすることができます。

割込みステータス・ビットのクリア

すべてのステータス・ビットは、割込み出力の Interrupt X と Interrupt Y のどちらに接続されているかには無関係にセットされます。ステータス・ビットは、割込みイネーブル・ビットから独立しています。ステータス・ビットは、常に、該当するイベントによってセットされます。割込みビットは、手動または自動でクリアされるまでセットされた状態を維持します。

該当する割込みステータス・ビットに 1 を書き込むことにより、手動で割込みをクリアできます。また、データ割込みステータス・ビットは自動でクリアする設定にもできます。INT_ACLEAR_DATA_x または INT_ACLEAR_FIFO ビットがセットされている場合、割込みステータス・ビットは、該当のデータ・レジスタまたは FIFO レジスタが読み出されると自動的にクリアされます。割込みステータス・ビットが自動的にクリアされることで、手動で割込みをクリアする必要がなくなります。

オプションのステータス・バイト

各データ・パケットにステータス・ビットを追加するオプションがあります。このオプションは、ホストで割込みチャンネルを持つ余裕がない場合に有用です。ステータス・バイトは FIFO_STATUS_BYTES レジスタでそれぞれを個別に選択できます。FIFO_STATUS_BYTES レジスタの各ビットを使用して、FIFO のデータ・パケットに追加するステータス・バイトをイネーブルします。FIFO_STATUS_BYTES レジスタのいずれかのビットに 1 が設定されていると、データ・パケットに追加されるバイトにはステータス・ビットが含まれます（表 16 参照）。表 16 に、各ステータス・バイトの順番、イネーブル・ビット、および内容を示します。

4ビットのシーケンス数は0から15のサイクルで順番に増加し、タイム・スロットのシーケンスが完了するたびにラップアラウンドします。また、このシーケンス数は、GPIOx ピンでビットごとに利用できます。

割込み出力、Interrupt X および Interrupt Y

ADPD4100/ADPD4101 は、Interrupt X および Interrupt Y の 2 つの独立した割込み出力をサポートしています。どちらの割込みも、4本の GPIOx ピンのいずれかを選択して駆動できます。この 2 つの割込み出力は、必要に応じてホスト・プロセッサに対して生成できます。例えば、FIFO 閾値割込みの INT_FIFO_TH を Interrupt X に接続してホストのダイレクト・メモリ・アクセス (DMA) チャンネルを駆動すると同時に、INT_FIFO_OFLOW および INT_FIFO_UFLOW 割込みを Interrupt Y に接続してホストに追加された割込みピンを駆動することが可能です。他にも、1 つのタイム・スロットからのデータ割込みを Interrupt X に接続し、FIFO 閾値割込みを Interrupt Y に接続するなどの例が挙げられます。ホストは、特定のチャンネルの割込みが発生するとその割込みを受信して、そのレジスタを直接読み出すことができ

ます。この場合、Interrupt Y はホストの DMA または割込みによって処理されます。この割込みステータス・ビットのどちらも、Interrupt X か Interrupt Y、もしくは両方に接続できます。

各割込みに対応する Interrupt X および Interrupt Y イネーブル・ビットがあります。Interrupt X と Interrupt Y で使用可能なすべての割込みのリストを表 31 に示します。Interrupt X および Interrupt Y 機能に対するロジックは、ステータス・ビットと該当するイネーブル・ビットの AND 処理です。イネーブルされたすべてのステータス・ビットは、次に論理 OR 処理され割込み機能が生成されます。イネーブル・ビットはステータス・ビットに影響を与えません。

汎用 I/O

ADPD4100/ADPD4101 は、GPIO0、GPIO1、GPIO2、GPIO3 の 4 つの汎用 I/O ピンを備えています。これらの GPIO は、割込み出力、Interrupt X および Interrupt Y のセクションで説明したように、割込み出力に使用するか、デバイスへの外部クロック信号供給に使用できます。また、GPIO は、外部デバイスの同期制御などの様々な制御信号や、システムのデバッグ時に便利なテスト信号に使用できます。GPIOx ピンで使用可能なすべての信号を表 35 に示します。

IOVDD 電源電圧に関する考慮事項

ADPD4100/ADPD4101 は、1.7V~3.6V の IOVDD で動作します。レジスタ 0x00B4 の LOW_IOVDD_EN を 0x1 に設定すると、IOVDD は 3V 以下になります。標準の IOVDD 値は 1.8V のため、0x1 はこのビットのデフォルト値です。

3V 以上の電源を IOVDD に供給する場合、正常に動作させるには LOW_IOVDD_EN ビットを 0x0 に設定してください。

表 16. FIFO ステータス・バイトの順番および内容

Byte Order	Enable Bit	Contents ¹							
		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	ENA_STAT_SUM	0	0	Any LEV1_x	Any LEV0_x	4-bit sequence			
1	ENA_STAT_D1	DATA_H	DATA_G	DATA_F	DATA_E	DATA_D	DATA_C	DATA_B	DATA_A
2	ENA_STAT_D2	0	0	0	0	DATA_L	DATA_K	DATA_J	DATA_I
3	ENA_STAT_L0	LEV0_H	LEV0_G	LEV0_F	LEV0_E	LEV0_D	LEV0_C	LEV0_B	LEV0_A
4	ENA_STAT_L1	LEV1_H	LEV1_G	LEV1_F	LEV1_E	LEV1_D	LEV1_C	LEV1_B	LEV1_A
5	ENA_STAT_LX	LEV1_L	LEV1_K	LEV1_J	LEV1_I	LEV0_L	LEV0_K	LEV0_J	LEV0_I
6	ENA_STAT_TC1 ²	TCLN1_H	TCLN1_G	TCLN1_F	TCLN1_E	TCLN1_D	TCLN1_C	TCLN1_B	TCLN1_A
7	ENA_STAT_TC2 ²	TCLN2_H	TCLN2_G	TCLN2_F	TCLN2_E	TCLN2_D	TCLN2_C	TCLN2_B	TCLN2_A
8	ENA_STAT_TCX ²	TCLN2_L	TCLN2_K	TCLN2_J	TCLN2_I	TCLN1_L	TCLN1_K	TCLN1_J	TCLN1_I

¹ DATA_x は、該当するタイム・スロットのデータ・レジスタ割込みを表します。LEV0_x と LEV1_x はそれぞれ、タイム・スロット A からタイム・スロット L におけるレベル 0 とレベル 1 のタイム・スロット割込みを表します。

² これらのステータス・バイトは、TIA の上限値検出に関連しています。詳細については、TIA の上限値検出による TIA 飽和からの保護のセクションを参照してください。

SPI および I²C インターフェース

ADPD4100にはSPIポートが、ADPD4101にはI²Cインターフェースが搭載されています。SPIおよびI²Cインターフェースは、それぞれの入力クロックと同期して動作するため、内部クロックを動作させる必要はありません。

ADPD4100/ADPD4101はパワーオン・リセット回路を内蔵しており、最初のパワーアップ時にデバイスを既知のアイドル状態にセットします。DVDDx電源がアクティブになってから約2μs～6μs後にパワーオン・リセットがリリースされ、デバイスはSPIまたはI²Cインターフェースを通じた読み出し、書き込みが可能になります。

レジスタには、15ビットのアドレス空間内のアドレスを使用してアクセスします。各アドレスは、FIFO読み出しアクセス用に割り当てられた1つのアドレスを使用して、15ビットのレジスタを参照します。I²CおよびSPIインターフェースのどちらにおいても、同じアクセス・シーケンスにおいて追加ワードにアクセスすると、読み出しと書き込みは次のレジスタに自動的にインクリメントされます。このアドレスの自動インクリメントは、FIFOアドレスを除くすべてのアドレス、すなわちFIFOアドレスおよび最後の使用済みアドレス0x277より小さいアドレスで発生します。FIFOアドレスからの読み出しでは、FIFOの次のバイトへのアクセスを継続します。

SPIの動作

SPIによる単一のレジスタ書き込み動作を図26に示します。最初の2バイトには、15ビットのレジスタ・アドレスと書き込みリクエストの指示が含まれています。次の2バイトは、レジスタに書き込む16個のデータ・ビットです。レジスタ書き込みは、CS信号のアサートが解除される前に16ビットすべてがシフトした場合にのみ発生します。

また、CS信号がアサート解除される前に追加の16ビット・データをシフトさせることで、複数のレジスタを書き込むことができます。各16ビット・データの後、レジスタ・アドレスは次のレジスタに自動的にインクリメントされます。

SPIによる単一のレジスタ読み出し動作を図27に示します。最初の2バイトには、15ビットのレジスタ・アドレスと読み出しリク

エストの指示が含まれています。レジスタ・ビットはMSBからシフト・アウトします。また、CS信号がアサート解除される前に追加の16ビット・データをシフト・アウトさせることで、複数のレジスタを読み出すことができます。

FIFOからの読み出しはバイト単位で実行することを推奨します。16ビットの倍数で読み出す必要はありません。

I²Cの動作

ADPD4101は高速モード・プラスをサポートしています（詳細については、NXPによるI²C仕様を参照してください）。

I²Cの動作には、デバイスのアドレスを指定し、読み書きするレジスタを選択する必要があります。I²Cによるレジスタ書き込みを図28と図29に示します。SDAは双方向のオープンドレイン・ピンで、マスタまたはスレーブによって予め決められた方法によって様々なビット数で駆動されます。ADPD4101はI²Cバスではスレーブとして機能します。図28と図29では、スタート・ビットをS、ストップ・ビットをPで表します。I²Cポートは7ビット・アドレスと15ビット・アドレスの両方に対応しています。アドレス0x007Fまたはそれより小さいアドレスにアクセスする場合は、7ビット・アドレスを使用できます。スレーブ・アドレスのアクノレッジ（ACK）の後の最初のアドレス・ビットが0のときは、7ビット・アドレスを使用します。図28と図31に示す短い読み書き動作を参照してください。スレーブ・アドレスのアクノレッジの後の最初のビットが1のときは、15ビット・アドレスを使用します。図32と図33に示す長い読み書き動作を参照してください。

図28は、短いレジスタ書き込み動作の最初の半分を示しています。最初の1バイトは、ADPD4101が書き込み動作でアドレス指定されていることを示しています。ADPD4101は、アクノレッジを駆動することでアドレス指定を受けたことを示します。次のバイト動作は、書き込み先のレジスタのアドレス書き込みです。MSBはL/Sビット（long/short）です。このビットがローの場合、この後7ビット・アドレスが続きます。L/Sビットがハイの場合、この後15ビット・アドレスが続きます。ADPD4101は、レジスタ・アドレスの後、アクノレッジを送信します。

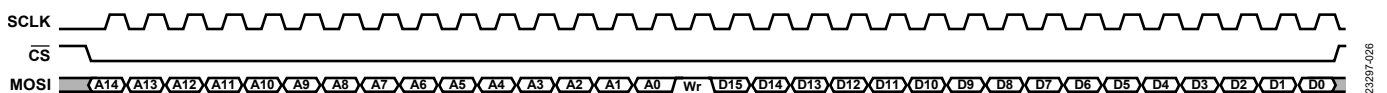


図 26. SPI の書き込み動作

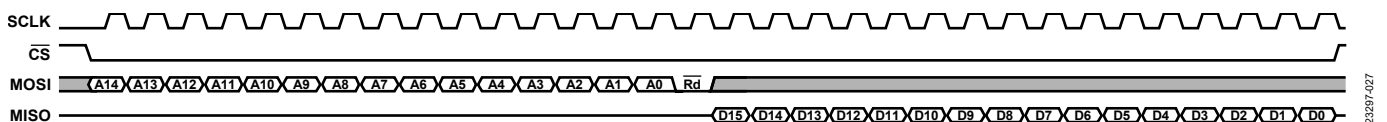


図 27. SPI の読み出し動作

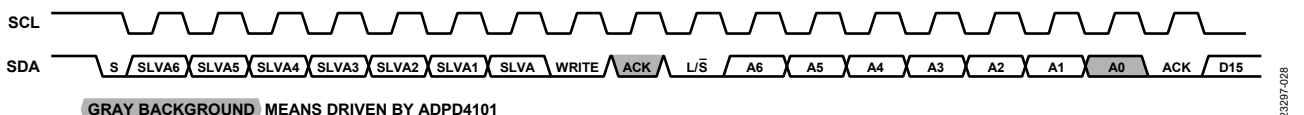


図 28. I²C の短い書き込み動作の前半

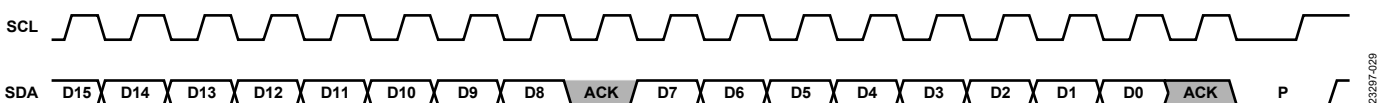


図 29. I²C の短い書き込み動作の後半

書込みの残りの動作を図 29 に示します。ここでは、2 つのデータ・バイトが 16 ビットのレジスタに書き込まれます。ストップ・ビットが発生する前に 16 ビットすべてがシフトされた場合にのみ、レジスタに書き込まれます。ADPD4101 は 1 バイトを受信するたびにアクノレッジを送信します。バイト・ペアの追加動作は、ストップ・ビットが発生するまで繰り返すことができます。アドレスは、書込みが完了するたびに自動的にインクリメントされます。レジスタ書込みは、各バイト・ペアが書き込まれた後のみ発生します。

I²C による短い読出し動作を図 30 と図 31 に示します。書込み動作と同様に、最初のバイト・ペアで ADPD4101 を選択し、読み出すレジスタ・アドレスを指定します (L \bar{S} ビットをロー)。

図 31 は、読出し動作の残り半分を示しています。このシーケンスは、スタート・ビットで始まり、ADPD4101 を選択し、読出し動作の指定が続きます。ADPD4101 は、アクノレッジを送信

し、データを送信することを知らせます。次に、ADPD4101 は一度に 1 バイトずつレジスタの読出しデータをシフト・アウトします。追加のバイトを読み出す場合、ホストは ADPD4101 からバイトが送信されるたびにアクノレッジします。読出しにおいても、同様のアドレス・インクリメントが行われます。

FIFO または連続するレジスタから複数のバイトを読み出すには、図 31 中のバイト動作を繰り返すだけで実行できます。

長い書込み動作の最初の半分を図 32 に示します。長い書込み動作の次の半分は、図 29 に示した短い書込み動作と同様です。

長い読出し動作の最初の半分を図 33 に示します。次の半分は図 31 に示した動作と同様です。



アプリケーション情報

動作モードの概要

ADPD4100/ADPD4101 は効率的に電荷を測定するデバイスで、様々なセンサーとのインターフェースが可能のため、PPG・ECG・EDA・インピーダンス・容量・温度の測定やガス・煙・エアロゾルの検出など、ヘルスケア・産業・コンシューマ用の様々なアプリケーションにおける光学測定と電気測定に使用できます。デバイスに内蔵された動作モードを選択することで、様々なセンサー計測に対応した最適化が可能です。

アナログ積分モード

アナログ積分モードは、励起イベントに反応したセンサーからの電荷を ADPD4100/ADPD4101 の積分器で積分する動作モードです。アナログ積分モードには、連続接続モード、フロート・モード、パルス接続の変調、励起源の変調、複数積分モード、およびスリープ・フロート・モードがあります。

積分器をバッファとして構成し、ADC サンプルをデジタルで積分するデジタル積分モードもあります（詳細については、[デジタル積分モード](#)のセクションを参照してください）。

接続の変調タイプ

ADPD4100/ADPD4101 とセンサーとの接続には 3 種類の変調方法があり、MOD_TYPE_x ビットで選択します。表 17 に、MOD_TYPE_x で制御する機能を示します。デフォルトの動作モードは MOD_TYPE_x = 0 で、入力接続の変調はありません。このモードについては、[連続接続モード](#)のセクションで説明します。

表 17. MOD_TYPE_x に基づく変調接続

MOD_TYPE_x (10 進法)	接続機能
0	TIA は、プリコンディショニング期間後に INx と連続的に接続します。入力接続の変調はありません。
1	フロート・モード動作。TIA は、変調パルスの間だけ INx と接続し、パルスとパルスの間は接続しません（フロート状態）。
2	非フロート・モードの接続変調。TIA は、変調パルスの間 INx と接続し、パルスとパルスの間はプリコンディショニング値に接続します。

連続接続モード

連続接続モードは、ADC 変換のたびに入力電荷を 1 回アナログ積分します。ADPD4100/ADPD4101 で最も一般的な動作モードです。連続接続モードでは、1 回の励起イベント、例えば LED の 1 パルスなどによるセンサー応答からの電荷を積算する際に、積分器のダイナミック・レンジのほとんどを使用します。MOD_TYPE_x を 0 に設定すると、TIA はプリコンディショニング期間の後、入力と常に接続し続けます。そのため、連続接続モードでは入力接続は変調されません。

連続接続モードは、PPG 測定で標準的に使用される動作モードです。PPG 測定では、人体組織に LED をパルス照射し、受光したフォトダイオードが生成する電荷を積算し、ADC によって変換します。図 34 に、標準的な PPG 測定回路の例を示します。

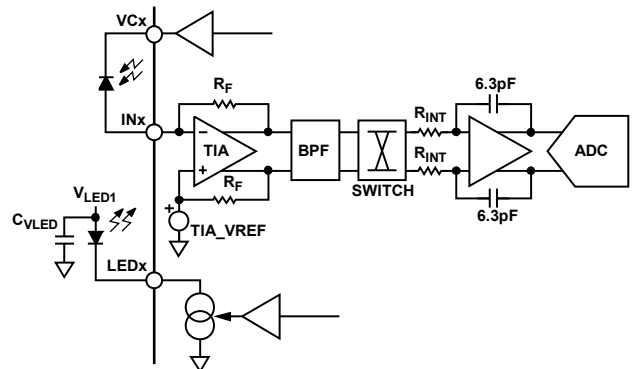


図 34. 標準的な PPG 測定回路

PRECON_x ビットを 0x5 に設定すると、プリコンディショニングの間、フォトダイオードのアノードを TIA_VREF の電位にセットします。VCX ピンをフォトダイオードのカソードに接続して TIA_VREF + 215mV に設定することで、フォトダイオードに 215mV のリバース・バイアスを印加します。これにより、フォトダイオードの容量を小さくして信号パスのノイズを低減します。AFE_TRIM_VREF_x ビットを使用して TIA_VREF を最大ダイナミック・レンジの 1.27V に設定します。

LED パルスは、LED_OFFSET_x ビットと LED_WIDTH_x ビットを使用して制御します。プリコンディショニング期間終了からの LED オフセットのデフォルト値 (LED_OFFSET_x = 0x10) は 16μs です。これはほとんどの使用条件に適した値です。BPF を使用する場合、LED パルス幅の推奨値は 2μs です。LED パルス幅を短くすることで、周辺光除去量を最大化すると共に消費電力を最小化できます。周期は ADPD4100/ADPD4101 によって自動的に計算されます。自動計算は、積分幅の設定値と ADC 変換の数に基づいて実行されます。自動計算を使用するには、MIN_PERIOD_x ビットをデフォルト値 0 のままにしておきます。もっと長い周期にしたい場合、例えば特定のパルス周波数が必要な場合は、MIN_PERIOD_x ビットを使用して長い周期に設定できます。

2 μ s の LED パルスを使用した連続接続モードでは、周期の自動計算は次式を使用します。

$$\text{周期} = (2 + 2 \times \text{INTEG_WIDTH}_x + (\text{イネーブルされたチャンネル数} \times (\text{ADC_COUNT}_x + 1)))$$

積分パルスは、INTEG_OFFSET_x ビットと INTEG_WIDTH_x ビットを使用して制御します。入力信号が BPF の応答によって広がっているため、積分幅は LED パルス幅より 1 μ s 長くすることを推奨します。積分幅を LED パルス幅より 1 μ s 長く設定することにより、入力信号からの最大電荷量を積算できます。

ADC 変換の数は、シングル ADC 変換がデフォルトになっていますが、S/N 比を向上させるため、オーバーサンプリングを利用できます。ADC 変換の数は、ADC_COUNT_x ビットを使用して 1、2、3、4 のいずれかに設定できます。

2 チャンネルがイネーブルされている場合、チャンネル 1 が最初に発生し、次にチャンネル 2 が続きます。

パルスの総数は NUM_INT_x × NUM_REPEAT_x に等しくなります。連続接続モードでは、NUM_INT_x = 1 に設定すると、ADC 変換のたびに積分シーケンスが 1 回実行されます。そのため、パルスの総数は NUM_REPEAT_x で制御します。パルス数が増加すると、測定ノイズ・フロアは \sqrt{n} 分の 1 に減少します (n = パルスの総数)。

図 35 に、ADC 変換のたびに 1 回の積分サイクルを実行する場合のタイミング動作を示します。表 18 に、PPG 測定で連続接続モードを使用する場合に関連するレジスタの詳細を示します。

表 18. 連続接続モードの設定

グループ	タイム・スロット A のレジスタ・アドレス ¹	ビット・フィールド名	説明
Signal Path Setup	0x0100, Bits[13:12]	SAMPLE_TYPE _x	デフォルトのサンプリング・モードを使用するときはデフォルト設定 (0) のままにしておきます。
	0x0101, Bits[8:0]	AFE_PATH_CFG _x	TIA、BPF、積分器、ADC を使用するには 0x0DA に設定します。
	0x0102, Bits[15:0]	INPxx _x	目的の入力をイネーブルします。
	0x0103, Bits[14:12]	PRECON _x	0x5 に設定すると、フォトダイオードのアノードを TIA_VREF にプリコンディショニングします。
	0x0103, Bits[7:6], Bits[1:0]	VCx_SEL _x	0x2 に設定すると、フォトダイオードに約 215mV の逆バイアスが印加されます。
	0x0104, Bits[5:0]	TIA_GAIN_CHx _x	TIA ゲインを選択します。
	0x0104, Bits[9:8]	AFE_TRIM_VREF _x	0x3 に設定すると、最大ダイナミック・レンジの TIA_VREF = 1.27V に設定します。
	0x0108, Bits[13:12]	MOD_TYPE _x	0 に設定すると、プリコンディショニングの後、TIA を入力に連続接続します。
Timing	0x0109, Bits[7:0]	LED_OFFSET _x	最初の LED パルスの開始時間を 1 μ s 刻みで設定します。デフォルトは 0x10 (16 μ s) です。
	0x0109, Bits[15:8]	LED_WIDTH _x	LED パルス幅を 1 μ s 刻みで設定します。推奨値は 2 μ s です。
	0x010A, Bits[4:0]	INTEG_WIDTH _x	積分幅 (μ s) の設定値です。LED_WIDTH _x + 1 に設定してください。
	0x010B, Bits[12:0]	INTEG_OFFSET _x	INTEG_OFFSET _x は積分シーケンスの開始時間です。 積分シーケンス位置の最適化 のセクションの説明に従って最適化してください。
	0x0107, Bits[15:8] 0x0107, Bits[7:0]	NUM_INT _x NUM_REPEAT _x	ADC 変換グループごとに 1 回積分する場合は 1 に設定します。NUM_INT _x = 1 のとき、NUM_REPEAT _x によってパルスの総数を設定します。
LED Settings	0x0105, Bit 15 and Bit 7; 0x0106, Bit 15 and Bit 7	LED_DRIVESIDEx _x	タイム・スロットで使用する LED を選択します。
	0x0105, Bits[14:8], Bits[6:0]; 0x0106, Bits[14:8], Bits[6:0]	LED_CURRENTx _x	選択した LED の LED 電流を設定します。
Integrator Chop Mode ²	0x010D, Bits[7:4]	SUBTRACT _x	4 パルスの減算パターン。1 に設定すると、マッチング位置における 4 パルス・グループでの計算を無効にします。LSB は最初のパルスにマップされます。
	0x010D, Bits[3:0]	REVERSE_INTEG _x	4 パルス積分の反転パターン。1 に設定すると、マッチング位置において積分器の 4 パルス・グループ内の正と負の順序を逆にします。LSB は最初のパルスにマップされます。

¹ これはタイム・スロット A のレジスタ・アドレスです。それぞれのレジスタ・アドレスに 0x020 を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ 0x0100 は SAMPLE_TYPE_A の位置ですが、タイム・スロット B では、このレジスタはアドレス 0x0120 になります。タイム・スロット C ではアドレス 0x0140、タイム・スロット D ではアドレス 0x0160 となり、以下も同様になります。

² 積分器のチョッピング・モードの詳細については、**積分器のチョッピングによる S/N 比の向上**のセクションを参照してください。

積分シーケンス位置の最適化

BPF 出力応答のゼロ交差位置と積分シーケンスの位置を調整し、正の積分位置が BPF 出力応答の正の部分に揃い、負の積分位置が BPF 出力応答の負の部分に揃うように合わせる事が重要です (図 35 参照)。

ゼロ交差は、ADPD4100/ADPD4101 にフォトダイオードから一定の DC 電流が供給されるように反射器とフォトダイオードの距離を固定し、LED がこの反射器で反射するように回路をセットアップすることで、簡単に見つけることができます。出力をモニタしながら、INTEG_OFFSET_x のビット [12:5] に 1 μ s 刻みで低い値から高い値まで設定し、積分器のオフセットを掃引します。出力で極大値を示したときの位置がゼロ交差です。次に、INTEG_OFFSET_x のビット [4:0] を 31.25ns 刻みで掃引することにより、ゼロ交差をより高精度に特定することができます。S/N 比性能を最大限に向上させるためには、このようにゼロ交差を高精度に特定することが重要です。

最適なタイミング・ポイントは TIA 帯域幅の関数で、TIA ゲインによって変化します。各 TIA ゲイン設定で最大の S/N 比を得るには、用途に応じて設定された TIA ゲインのそれぞれで最適なタイミング・ポイントを見つけることを推奨します。この最適なタイミング・ポイントは、デバイス間でのばらつきが最小限に抑えられているため、各ゲイン設定での積分器オフセットは、すべてのデバイスで同じタイミングにできます。各 TIA ゲ

イン設定で最適化せずに、すべての TIA ゲイン設定で同じ積分器のタイミングを使用する場合には、200k Ω の TIA ゲインでの最適タイミングを他の TIA ゲイン設定でも使用してください。

複数パルスによる S/N 比の向上

ADPD4100/ADPD4101 は、およそ 2 μ s~3 μ s の短い LED パルスを使用します。単一パルスの S/N 比は、TIA ゲインに応じて約 72dB~76dB です。サンプル当たりのパルス数を増やし、適切な信号帯域幅 (例えば心拍数の信号であれば 0.5Hz~20Hz) にフィルタ処理することによって、S/N 比は約 100dB まで向上させることができます。S/N 比はパルス数の平方根に比例して増加します。したがって、パルス数が倍になると S/N 比は 3dB ずつ増加します。パルス数は NUM_REPEAT_x ビットを使用して増やすことができます。タイム・スロットで得られる結果は、NUM_REPEAT_x で設定された回数分の ADC 変換の合計です。結果に必要なビット数が目的の出力ビット数より大きい場合は、DARK_SHIFT_x、LIT_SHIFT_x、および SIGNAL_SHIFT_x ビットを使用して累積値の最上位ビットを選択することができます。DARK_SHIFT_x、LIT_SHIFT_x、および SIGNAL_SHIFT_x ビットを使用して、FIFO に書き込む前に出力データを右にシフトさせることができます。例えば、18 ビットの累積値をシフトさせて上位 16 ビットのみを FIFO に書き込むことができます。オプションで、24 ビットまたは 32 ビットの出力を FIFO に書き込むことも可能です。

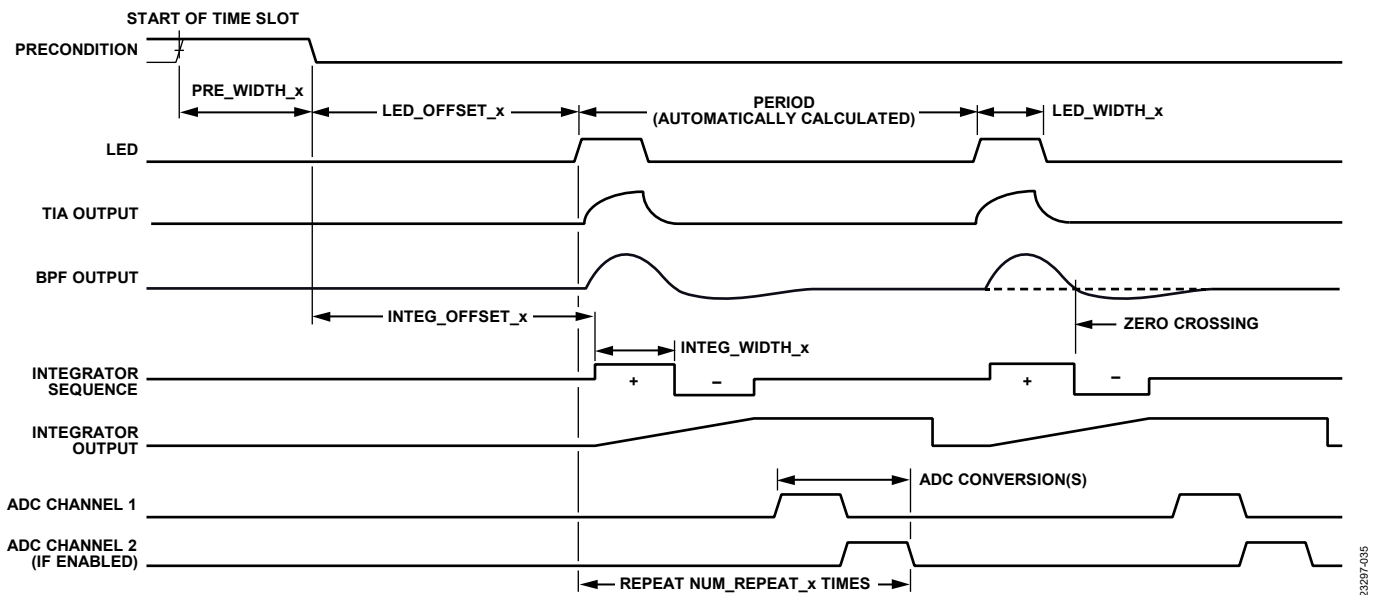


図 35. 連続接続モードで ADC 変換あたり 1 回のアナログ積分を実施

積分器のチョッピングによる S/N 比の向上

ADPD4100/ADPD4101 のデータパスの最終段は、電荷の積分器です。この積分器は、放射される光パルスと同期してオン/オフする積分シーケンスを使用し、前段におけるオフセット、ドリフト、低周波ノイズを除去するハイパス・フィルタとして機能します。ただし、積分アンプ自体による低周波信号成分が発生することがあります。ADPD4100/ADPD4101 には、デジタル領域でチョッピングを追加してこの信号を除去するモードがあります。サンプル当たり偶数のパルスを使用し、積分シーケンスの半分を反転させることによってチョッピングを実現します。サンプルで得られた各パルスのデジタル値を使用して計算するには、反転された積分シーケンスを減算し、通常の積分シーケンスを加算します。積分器のチョッピング・シーケンスの例を図 36 に示します。

チョッピングの結果、積分器によって発生する低周波信号成分が取り除かれ、積分された信号のみを残すことで高い S/N 比が得られます。特に、高パルス数や低 TIA ゲインなど、積分器のノイズ成分が顕著になる場合に有効です。

デジタル・チョッピングは、表 19 に示すレジスタおよびビットを使用してイネーブルします。このビットで最初の 4 パルスのチョッピング動作を定義します。この 4 ビットのシーケンスは、その後続くすべての 4 パルスのシーケンスで繰り返されます。図 36 のシーケンスでは、2 番目と 4 番目のパルスが反転され、1 番目と 3 番目のパルスがデフォルトの極性（非反転）になっています。この設定は、REVERSE_INTEG_x ビット = 0xA にセットし、2 番目と 4 番目のパルスで積分シーケンスを反転することで得られます。この動作を完全なものにするには、

SUBTRACT_x ビット = 0xA に設定して計算をシーケンスに合わせる必要があります。積分器のチョッピング・モードではパルス数を偶数にする必要があります。

積分器のチョッピングによって積分器の低周波ノイズ成分を除去できるため、連続接続モードで最適な S/N 比性能を得るには、常に積分器のチョッピング・モードをイネーブルしておくことを推奨します。

反転された積分シーケンスを減算しデフォルトの積分シーケンスを加算するように計算が設定されていると、ADC 出力のデジタル・オフセットは自動的に除去されてしまうため、積分器のチョッピングを使用する場合は、ADC オフセット・ビットの CH1_ADC_ADJUST_x と CH2_ADC_ADJUST_x は 0 に設定する必要があります。また、積分器のチョッピング・モードでは、代表的なアプリケーションにおいて、スタートアップ時の ADC オフセットを手動でゼロにする必要はありません。積分器のチョッピング・モードを使用してオフセットを取り除くと、入力信号がないときにノイズ信号の少なくとも半分程度がクリップされ、システムの実験時にノイズ・フロアの測定を難しくしてしまうことがあるので注意が必要です。システムのノイズ・フロアの実験を実行するには 3 つの選択肢があります。

- 積分器のチョッピング・モードをディスエーブルする。
- 積分器のチョッピング・モードをイネーブルにし、入力に最小限の信号を印加して、クリップできないほどにノイズ・フロアを増加させる。
- ZERO_ADJUST_x ビット = 1 に設定し、最終結果に 2048 コードを追加する。

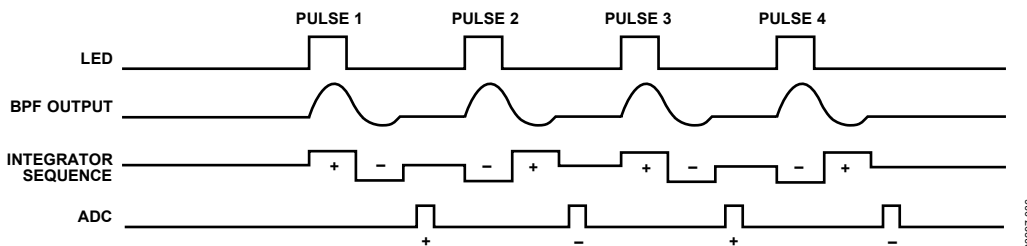


図 36. 積分器のチョッピング・シーケンス図

表 19. 積分器のチョッピング・モードにおけるレジスタ設定

グループ	タイム・スロット A のレジスタ・アドレス ¹	ビット・フィールド名	説明
Integrator Chop Mode	0x010D, Bits[7:4]	SUBTRACT_x	4パルスの減算パターン。1に設定すると、マッチング位置における4パルス・グループでの計算を無効にします。LSBは最初のパルスにマップされます。
	0x010D, Bits[3:0]	REVERSE_INTEG_x	4パルス積分の反転パターン。1に設定すると、マッチング位置において積分器の4パルス・グループ内の正と負の順序を逆にします。LSBは最初のパルスにマップされます。

¹ これはタイム・スロット A のレジスタ・アドレスです。それぞれのレジスタ・アドレスに 0x020 を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ 0x010D は SUBTRACT_A の位置ですが、タイム・スロット B では、このレジスタはアドレス 0x012D、タイム・スロット C ではアドレス 0x014D になります。タイム・スロット D ではアドレス 0x016D となり、以下も同様になります。

フロート・モードの動作

ADPD4100/ADPD4101 は、低照度時に低電力で優れた S/N 比を可能にする、独自の動作モードであるフロート・モードを備えています。フロート・モードでは、最初にフォトダイオードが既知の状態にプリコンディショニングされます。次に、フォトダイオードのアノードが、予め設定されたフロート時間だけデバイスの受信パスから切り離されます。フロート時間中は、動作モードに応じて周辺光または LED のパルス光、もしくはその 2 つの組み合わせがフォトダイオードに投射されます。センサーからの電荷は、センサーの容量 C_{PD} に直接蓄えられます。フロート時間の最後に、フォトダイオードは ADPD4100/ADPD4101 の受信パスに接続され、蓄積された電荷による突入電流が発生し、その後積算されます。これにより、信号パスによって加わるノイズを最低限に抑えながら、パルスあたりの最大電荷量を処理できます。電荷は、フォトダイオードの容量が蓄えられる最大電荷に達するまで外部で積算され、信号パスのアンブとは無関係に行われるため、ノイズのない電荷を効率的に積算できます。フロート・モードは、LED 駆動電流またはフロート時間を増やすことで、1 測定あたりの電荷量を増大させることのできる柔軟性を提供します。

フロート・モードでは信号パスが BPF をバイパスし、TIA と積分器だけを使用します。TIA との接続が変調されることによって、フォトダイオードからの電荷移動時に生成される信号の形状がデバイスや条件によって異なる可能性があるため、BPF はバイパスされます。BPF でフィルタリングされた信号は、積分シーケンスと確実に位置を揃えることはできません。そのため、BPF は使用できません。フロート・モードでは、電荷移動の全体が積分器の負のサイクルで積分されて、オフセットは正のサイクルで相殺されます。

同期 LED 測定用のフロート LED モード

フロート LED モードは、CTR が 5nA/mA 未満の低信号状態に適しています。更に、心拍数測定時に緑色 LED の駆動電流を制限して、LED 電源用のブースト・コンバータを不要にできるレベルまで緑色 LED の順方向電圧降下を維持する必要がある状況では、フロート・モードが最適です。例えば、LED 電流を 10mA に制限して、LED の電圧降下を約 3V に抑えます。この場合、ブースト・コンバータが不要になり、バッテリーから直接動作することができます。フロート・モードは、比較的長い LED パルス間に受け取った電荷を信号パスからのノイズを加えることなく蓄積し、光子あたりの S/N 比を効果的に最大化できます。

フロート LED モードでは、複数のパルスを使用して電気的なオフセットとドリフト、および周辺光を除去します。周辺光を除去するには、長さの等しい偶数のパルスを使用します。すべてのパルス・ペアにおいて、一方のパルスで LED を点灯し他方は消灯します。一方のパルスには LED、周辺光、およびオフセットが組み合わされたリターン光が含まれますが、他方のパルスに含まれるのは周辺光とオフセットだけです。2 つのパルスの差をとると、周辺光だけでなく、オフセットとドリフトも除去されます。測定には、パルス 2 とパルス 3 で LED を点灯する 4 パルスのグループを使用することを推奨します。加算器はパルス 2 とパルス 3 を加算して、パルス 1 とパルス 4 を減算します。更に S/N 比を向上させるには、複数の 4 パルス・グループを使用します。

LED_DISABLE_x を設定して、各 4 パルス・グループのどのパルス位置で LED を点灯させるか決定します。加算または減算されるパルス位置は、SUBTRACT_x ビットで設定します。これらのシーケンスが 4 パルスのグループで繰り返されます。FIFO またはデータ・レジスタに書き込まれる値は、1 サンプル周期あたりのパルスの総数に依存します。NUM_INT_x が 1 に設定されている場合、NUM_REPEAT_x によってパルスの総数が決定します。例えば、デバイスが 32 パルスでセットアップされている場合、LED_DISABLE_x および SUBTRACT_x の定義に従って 4 パルスのシーケンスが 8 回繰り返され、実行した 32 パルスに基づく最終値が単一レジスタまたは FIFO に書き込まれます。

フロート・モードでは、MIN_PERIOD_x ビットを設定してパルス周期を制御する必要があります。フロート・モードでは周期の自動計算は機能しないように設計されています。MIN_PERIOD_x ビットを 1 μ s 刻みで設定してフロート時間と接続時間の合計を必要な値に調整してください。

積分シーケンスは、電荷移動フェーズが積分の負のフェーズの中央になるように配置します。TIA は反転段です。そのため、負の積分フェーズをフォトダイオードからの電荷移動期間に配置すると、TIA からの負の出力信号の増大と共に積分器の出力が上昇します。

図 37 に示す例では、LED は、4 パルス・シーケンスの 2 番目と 3 番目のパルスで点灯します。SUBTRACT_x を使用して、2 番目と 3 番目のパルスを加算し、1 番目と 4 番目のパルスを減算するように設定すると、周辺光および電気的なオフセットとドリフトを効率的に除去できます。

フロート LED モードに関連するレジスタの詳細を表 20 に示します。

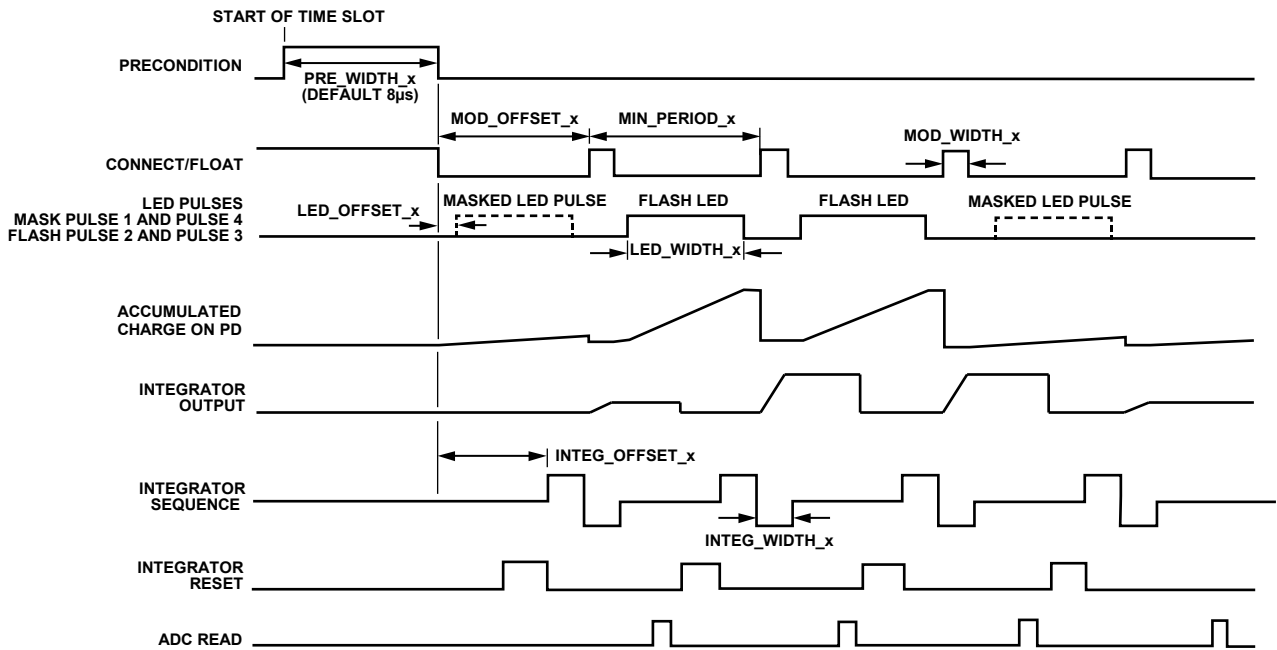


図 37.4 パルスのフロート・モード動作

表 20. フロート LED モードの設定

グループ	タイム・スロット A のレジスタ・アドレス ¹	ビット・フィールド名	説明
Signal Path Setup	0x0100, Bits[13:12]	SAMPLE_TYPE_x	デフォルトのサンプリング・モードを使用するときはデフォルト設定 (0) のままにしておきます。
	0x0100, Bits[11:10]	INPUT_R_SELECT_x	500Ω の直列入力抵抗を使用するには、0x0 に設定します。
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	TIA、積分器、ADC を使用するには 0x0E6 に設定します。BPF はバイパスします。
	0x0102, Bits[15:0]	INPxx_x	目的の入力をイネーブルします。
	0x0103, Bits[14:12]	PRECON_x	0x4 に設定すると、フォトダイオードのアノードを TIA の入力にプリコンディショニングします。
	0x0103, Bits[7:6], Bits[1:0]	VCx_SEL_x	0x2 に設定すると、フォトダイオードに約 215mV の逆バイアスが印加されます。
	0x0104, Bits[5:0]	TIA_GAIN_CHx_x	TIA ゲインを選択します (フロート・モードでは 100kΩ か 200kΩ)。
0x0104, Bits[9:8]	AFE_TRIM_VREF_x	0x2 に設定すると、TIA_VREF = 0.9V になります。	
Float Mode Configuration	0x0107, Bits[15:8]	NUM_INT_x	ADC 変換グループごとに 1 回積分する場合は 1 に設定します。
	0x0107, Bits[7:0]	NUM_REPEAT_x	シーケンスの繰り返し回数。フロート・モードでは 2 の倍数に設定してください。
	0x0108, Bits[13:12]	MOD_TYPE_x	フロート・モード動作では 0x1 に設定します。
	0x0108, Bits[9:0]	MIN_PERIOD_x	1μs 刻みで周期を設定し、フロート時間と接続時間を調整します。
	0x010A, Bits[4:0]	INTEG_WIDTH_x	積分幅 (μs) の設定値です。MOD_WIDTH_x + 1 に設定してください。
	0x010A, Bits[10:8], Bits[14:12]	CHx_AMP_DISABLE_x	0x010A のビット 9 を 1 に設定するとチャンネル 1 の BPF をパワーダウンします。チャンネル 2 がイネーブルのときにビット 13 を 1 に設定するとチャンネル 2 の BPF をパワーダウンします。
	0x010B, Bits[12:0]	INTEG_OFFSET_x	積分シーケンスの開始時間です。(MOD_OFFSET_x - INTEG_WIDTH_x - 250ns) に設定します。
	0x010C, Bits[15:8]	MOD_WIDTH_x	接続パルス幅を 1μs 刻みで設定します。標準的な値は 2μs または 3μs です。
0x010C, Bits[7:0]	MOD_OFFSET_x	最初の接続パルスの開始時間を 1μs 刻みで設定します。	
0x010D, Bits[7:4]	SUBTRACT_x	4 パルス・シーケンスの中の選択した位置で、計算を無効にします。選択はアクティブ・ハイです (すなわち、1 で減算)。このレジスタの LSB は最初のパルスにマップされます。フロート・モードのシーケンスでは、LED_DISABLE_x に従って、LED が点	

グループ	タイム・スロット A のレジスタ・アドレス ¹	ビット・フィールド名	説明
			灯するとパルスを加算し、LED がディスエーブルされるとパルスを減算します。
LED Settings	0x0105, Bit 15 and Bit 7; 0x0106, Bit 15 and Bit 7 0x0105, Bits[14:8], Bits[6:0]; 0x0106, Bits[14:8], Bits[6:0] 0x0109, Bits[7:0] 0x0109, Bits[15:8] 0x010D, Bits[15:12]	LED_DRIVESIDEx_x LED_CURRENTx_x LED_OFFSET_x LED_WIDTH_x LED_DISABLE_x	タイム・スロットで使用する LED を選択します。 選択した LED の LED 電流を設定します。 最初の LED パルスの開始時間を 1μs 刻みで設定します。 LED パルス幅を 1μs 刻みで設定します。 4 パルス・シーケンスの中の選択した位置で、LED パルスをディスエーブルします。選択はアクティブ・ハイです (すなわち、1 で LED をディスエーブル)。このレジスタの LSB は最初のパルスにマップされます。4 パルスのシーケンスでは、このレジスタに 0x9 を書き込み、2 番目と 3 番目のパルスで LED を点灯することを推奨します。

¹これはタイム・スロット A のレジスタ・アドレスです。それぞれのレジスタ・アドレスに 0x020 を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ 0x0100 は SAMPLE_TYPE_A の位置ですが、タイム・スロット B では、このレジスタはアドレス 0x0120 になります。タイム・スロット C ではアドレス 0x0140、タイム・スロット D ではアドレス 0x0160 となり、以下も同様になります。

フロート・モードの制約

フロート・モードを使用するときは、このモードの制約を十分に理解しておく必要があります。例えば、フォトダイオードの容量に蓄積できる電荷量は有限であり、積分器が積分できる電荷量にも上限があります。フォトダイオードの初期の逆バイアスが 215mV で、約 200mV の順バイアスで非線形になると仮定すると、アノード電圧がフロート時間の開始時から増加し線形状態で電荷蓄積が終わるまでに、約 450mV のヘッドルームがあります。望ましいのは、フォトダイオードの線形領域のみで動作することです (図 38 参照)。フロート・モードがフォトダイオードの線形領域で動作しているかどうかは、簡単に確認することができます。まず希望するフロート時間でデータを記録し、次にそのフロート時間の 1/2 の位置でデータを記録します。この 2 つの受信信号に推奨される比は 2 : 1 です。比率が 2 : 1 になっていない場合は、フロート時間が長く、ダイオードは順方向バイアスを開始して非線形になっている可能性があります。

フォトダイオード容量に蓄積でき、センサーの線形動作範囲内に留まる最大電荷量は、次式で推計できます。

$$Q = C_{PD}V$$

ここで、

Q は蓄積電荷、

C_{PD} はフォトダイオードの容量、

V はフォトダイオードが非線形になる前のフォトダイオードにおける電圧変化量です。

70pF の容量と 450mV のヘッドルームを持つ 7mm² のフォトダイオードを使用した代表的なディスクリット光学設計では、フォトダイオードの容量に蓄積できる電荷の最大量は 31.5pC です。

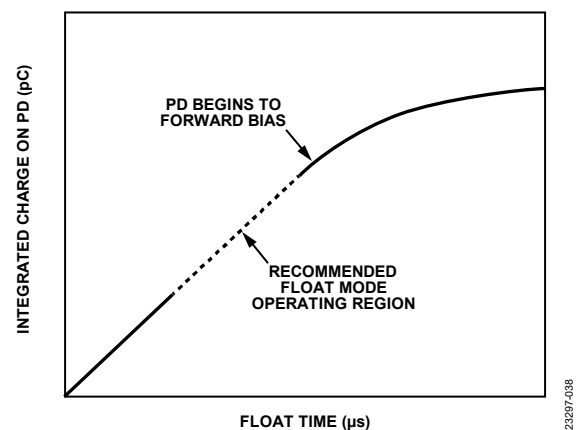


図 38. フォトダイオード (PD) の蓄積電荷とフロート時間の関係

また、ADPD4100/ADPD4101 の積分器が積分可能な最大電荷量についても考慮します。積分器は、最大 7.6pC まで積算できます。この電荷を入力に換算する場合は、TIA ゲインを考慮します。TIA のゲインが 200kΩ である場合、入力換算電荷は積分器の蓄積電荷に対して 1 : 1 の比率になります。ゲインが 100kΩ の場合は 2 : 1、50kΩ の場合は 4 : 1、25kΩ の場合は 8 : 1 になります。容量が 70pF のフォトダイオードを使用した前述の例では、50kΩ の TIA ゲインを使用して、単一パルスで ADC の出力が代表的な動作条件であるフル・スケールの 70% になるようにフロートのタイミングを設定します。このような動作条件では、フォトダイオード容量に蓄積された 21.2pC の電荷から、積分器はパルスあたり 5.3pC を積算します。 C_{PD} に電荷を蓄積する合計時間は CTR に反比例します。測定で使用する CTR と、所定の時間内に蓄積できる電荷量に基づくと、TIA ゲインを 100kΩ または 200kΩ に設定する必要があるかもしれません。最終的には、測定の種類 (周辺またはパルス LED)、フォトダイオードの容量、およびシステムの CTR によってフロート時間が決まります。

パルス接続の変調

パルス接続の変調は、周辺光の測定や同期して励起する必要がない他のセンサー計測に有用です。このモードは、センサーを PRECON_x ビットで選択したレベルにプリコンディショニングして、変調パルスを使用する間だけセンサーを TIA の入力に接続することで動作します。センサーは、TIA に接続されていないときは TIA_VREF 電圧の低入力インピーダンス・ノードに接続されます。この期間のセンサー電流は、すべて直接 AFE に流入します。したがって、センサーに電荷は蓄積されません。電荷の蓄積がないことがフロート・モードとの違いです。フロート・モードではパルスとパルスの間で完全にセンサーとの接続を解除します。MOD_TYPE_x ビットを 0x2 に設定して、パルス接続モードにします。このモードを使用して非同期のセンサー計測を行うメリットは、BPF と積分器を使用して、完全な信号パスによるノイズ性能の恩恵を活用できることです。図 40 に、パルス接続の変調による測定のタイミング図を示します。

励起ソースの変調

ADPD4100/ADPD4101 には、VC1 および VC2 信号を変調する動作モードがあります。このモードは、測定するセンサーにパルスの励起信号を供給できるため有用です。例えば、生体インピーダンス測定では、人体に接続した電極の一方に VC1 または VC2 出力によるパルス信号を印加し、もう一方の電極を TIA 入力に接続することで応答を測定することができます。また、このモードは容量測定にも有用です (図 39 参照)。ここでは、VCx ピンの 1 つをコンデンサの一端に接続し、コンデンサのもう一端は TIA 入力に接続します。

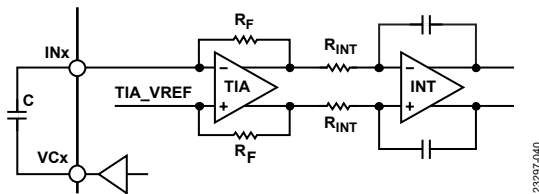


図 39. 容量測定用の励起の変調

この測定では、BPF はバイパスします。VCx ピンに励起パルスが供給されると、コンデンサの応答は立上がりエッジで正のスパイクを示した後 TIA_VREF に向けて安定していき、その後、励起パルスの立下がりエッジで負のスパイクを示します。積分シーケンスは、正の TIA 応答による電荷を正の積分シーケンスで、負の TIA 応答による電荷を負の積分シーケンスで完全に積算できるようにセンタリングされます (図 41 参照)。

VC1 と VC2 ピンに印加するパルスは、VCx_PULSE_x、VCx_ALT_x、および VCx_SEL_x ビットで制御し、変調のタイミングは MOD_OFFSET_x と MOD_WIDTH_x ビットで制御します。表 21 にセンサーの励起を変調するために必要なレジスタを示します。

相互容量方式の近接測定

容量測定をベースとした ADPD4100/ADPD4101 のアプリケーションの 1 つに近接測定があります。相互容量方式の近接測定の一例は、原理的に励起ソースの変調に基づいた測定です (図 39 を参照)。ただし、この方式では図 39 に示す回路の他に 2 つの電極が必要で、2 つの電極の一方は ADPD4100/ADPD4101 の入力に、もう一方は VC1 または VC2 に接続します。この場合、INx と VCx の間の静電容量は、実際のコンデンサではなく、2 つの電極間に形成される容量を表します。

この 2 つの電極と人体組織が近接することを近接イベントと表します。近接イベントでは、容量 ΔC が電極と人体組織の間に形成されます。 ΔC は、人体組織と電極との距離の変化に応じて変化します。これにより、2 つの電極間の容量 (C) と人体組織と電極の間に形成される容量 (ΔC) を合計した総容量が変化します。

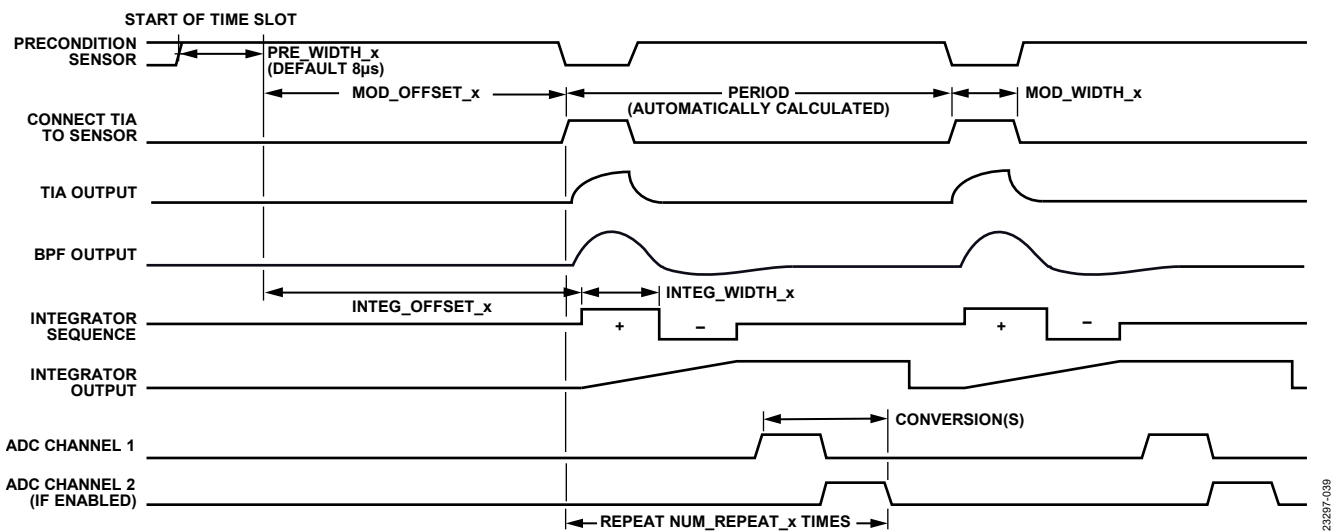


図 40. パルス接続の変調のタイミング図

人体組織との距離が変化することで ΔC が発生したときに、ADC 出力の変化を読み出すことで変化した距離がわかります。距離を決定するには、同じ入力を使用するか、他の入力を電極に接続して同じように構成し、人体組織を近づけない状態でベースラインを測定する必要があります。

積分器のタイミング幅は、正の TIA 応答が完全に安定して TIA 応答の立下がりエッジが発生する前までの、十分な長さにする必要があります。また、図 41 に示すように、正と負の積分シーケンスが正と負の TIA 応答による電荷を完全に積算できるよう、

積分器のタイミングがセンタリングされている必要があります。これは AC の最大電荷を積算するために不可欠です。

ΔC は ADC 出力の変化に比例し、近接イベントで読み出された積算電荷の関数となります。例えば、VC2_PULSE_x を 2、VC2_ALT_x を 2、および VC2_SEL_x を 2 に設定して VC2 に 215mV のパルスを印加したときの ΔC は、次式で計算できます。

$$\Delta C = (-\Delta(\text{ADC 出力 (LSB 単位)}) \times 0.92\text{fC/LSB} \times (R_{INT}/2R_F) / \text{パルス数}) / (2 \times 0.215\text{V})$$

表 21 にこの測定に関連するレジスタを示します。

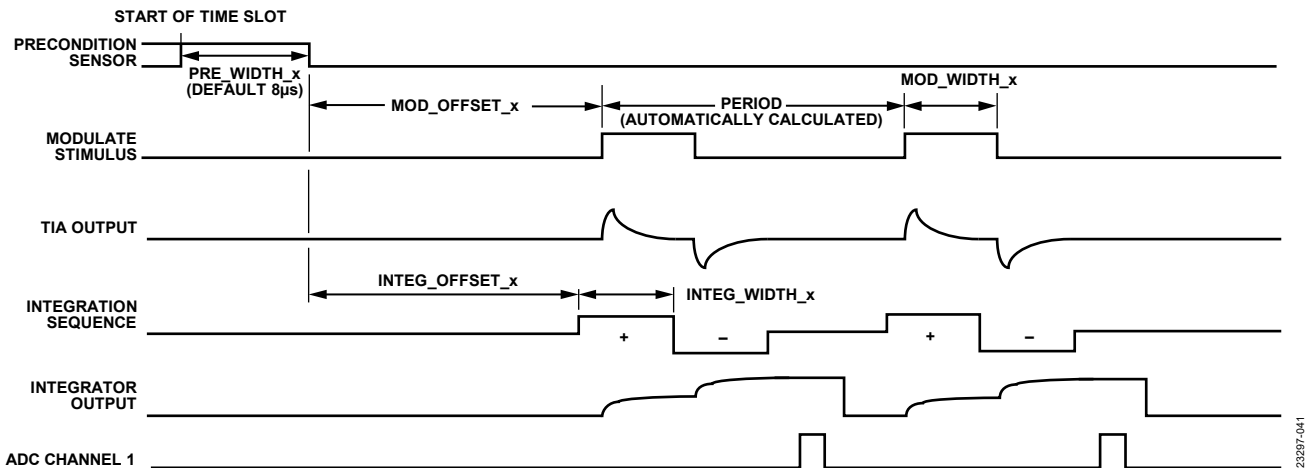


図 41. 変調励起動作のタイミング図

表 21. 変調励起の設定

グループ	タイム・スロット A のレジスタ・アドレス ¹	ビット・フィールド名	説明
Modulate Stimulus Setup	0x0100, Bits[13:12]	SAMPLE_TYPE_x	デフォルトのサンプリング・モードを使用するときはデフォルト設定 (0) のままにしておきます。
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	TIA、積分器、ADC を使用するには 0x0E6 に設定します。BPF はバイパスします。
	0x0102, Bits[15:0]	INPx_x	目的の入力をイネーブルします。
	0x0103, Bits[14:12]	PRECON_x	0x5 に設定すると、センサーを TIA_VREF にプリコンディショニングします。
	0x0103, Bits[11:10], Bits[5:4]	VCx_PULSE_x	VCx パルスの制御。0x2 に設定すると、変調パルスの間、オルタネート電圧にパルスを印加します。
	0x0103, Bits[9:8], Bits[3:2]	VCx_ALT_x	変調パルス期間の VCx のオルタネート状態を選択します。
	0x0103, Bits[7:6], Bits[1:0]	VCx_SEL_x	0x1 に設定すると、初期状態として VCx を TIA_VREF にセットします。
	0x0104, Bits[5:0]	TIA_GAIN_CHx_x	TIA ゲインを選択します。
Modulate Stimulus Timing	0x0104, Bits[9:8]	AFE_TRIM_VREF_x	0x2 に設定すると、TIA_VREF = 0.9V になります。
	0x010C, Bits[7:0]	MOD_OFFSET_x	最初の変調パルスの開始時間を 1µs 刻みで設定します。
	0x010C, Bits[15:8]	MOD_WIDTH_x	変調パルス幅を 1µs 刻みで設定します。標準的な値は 6µs~12µs です。
	0x010A, Bits[4:0]	INTEG_WIDTH_x	積分幅 (µs) の設定値です。MOD_WIDTH_x + 1 または MOD_WIDTH_x + 2 に設定してください。
	0x010A, Bits[10:8], Bits[14:12]	CHx_AMP_DISABLE_x	0x010A のビット 9 を 1 に設定するとチャンネル 1 の BPF をパワーダウンします。チャンネル 2 がイネーブルのときにビット 13 を 1 に設定するとチャンネル 2 の BPF をパワーダウンします。
	0x010B, Bits[12:0]	INTEG_OFFSET_x	積分シーケンスの開始時間です。MOD_OFFSET_x - 1 (INTEG_WIDTH = MOD_WIDTH - 1 の場合)、または MOD_OFFSET_x - 2 (INTEG_WIDTH = MOD_WIDTH - 2 の場合) に設定し、INTEG_OFFSET_x、ビット [4:0] を 31.25ns 刻みで掃引することにより最適な動作ポイントを見つけます。
	0x0107, Bits[15:8]	NUM_INT_x	1 回の ADC 変換あたり 1 回積分する場合は 1 に設定します。
	0x0107, Bits[7:0]	NUM_REPEAT_x	シーケンスの繰り返し回数。S/N 比は \sqrt{n} に比例して増加します。ここで、n = NUM_REPEAT_x × NUM_INT_x です。
0x0108, Bits[13:12]	MOD_TYPE_x	TIA 接続を続けるには 0x0 に設定します。	

¹ これはタイム・スロット A のレジスタ・アドレスです。それぞれのレジスタ・アドレスに 0x020 を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ 0x0100 は SAMPLE_TYPE_A の位置ですが、タイム・スロット B では、このレジスタはアドレス 0x0120 になります。タイム・スロット C ではアドレス 0x0140、タイム・スロット D ではアドレス 0x0160 となり、以下も同様になります。

自己容量方式の近接測定

静電容量型の近接測定は、自己容量を測定することによっても実現できます。相互容量方式の近接測定と同様に、AFE_PATH_CFG_xを0E6に設定してBPFはバイパスします。

ただし、自己容量方式の近接測定に必要な電極は1つだけで、これをADPD4100/ADPD4101の入力の1つに接続します。この場合の容量測定は、電位差を発生させることで実現します。電位差を発生させるため、TIA_VREFにパルスを印加すると同時に使用する入力をTIA_VREFとプリコンディショニングして、人体組織との近接距離の変化によってΔCが発生したときのADC出力の変化を読み出します。

この測定方式では、人体とアースの間の容量と、人体組織が近接したことによって発生するΔCを使用します。人体の容量によって、入力に印加したTIA_VREFのパルスを、ΔC測定に必要な電位差として使用できます。図42に、この測定方法を示します。

TIA_VREFは入力でパルス印加されるため、パルス印加される電圧はすべてTIA出力に同じように現れます。したがって、相互容量方式の測定と異なり、TIAの応答は正の値のみになります。積分シーケンスは、すべてのDCシフトを取り除き、近接

距離の変化による微小なAC電荷のみを積算できるようにセンタリングする必要があります。図43に、DCオフセットを取り除きAC電荷を積算するための、TIA_VREFパルスに対する積分シーケンスのタイミングを示します。TIA出力で一定な部分はDC電荷を表しており、積分シーケンスによって取り除く必要があります。これにより、TIA_VREFパルスの立上がりエッジと立下がりエッジで発生するサージ電荷のみを積算します。

ただし、正しいΔCを得るには人体組織が近接していないときのベースライン測定が必要です。ΔCは近接イベントで読み出されるADC出力の変化に比例します。

ΔCは以下のように計算します。例えばVREF_PULSE_VAL_xを0、AFE_TRIM_VREF_xを2、VREF_PULSE_xを1に設定して、0.9Vから1.14Vに変化するパルスをTIA_VREFに印加した場合、次式のようになります。

$$\Delta C = (\Delta(\text{ADC出力 (LSB単位)}) \times 0.92\text{fC/LSB} \times (R_{\text{INT}}/2R_F) / \text{パルス数}) / (2 \times (1.14\text{V} - 0.9\text{V}))$$

表22に、この測定に関連するレジスタを示します。この測定では、積分器のチョッピング・モードをイネーブすることができます。

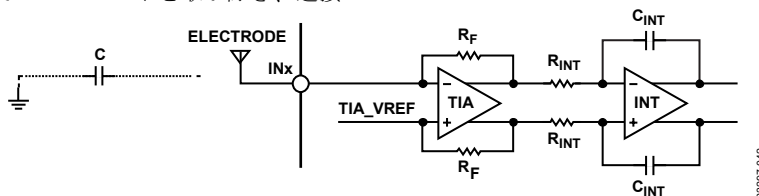


図 42. 自己容量測定

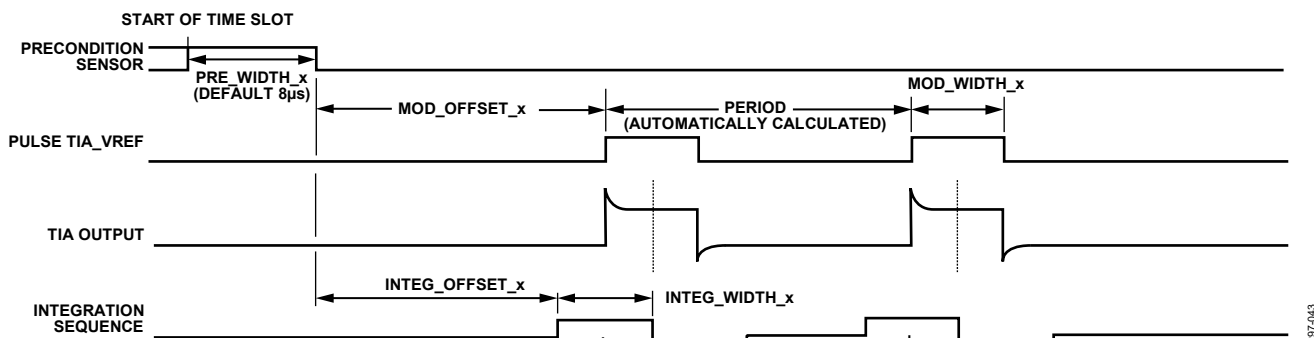


図 43. 自己容量方式による近接測定のタイミング図

表 22. 自己容量方式の近接測定に関連するレジスタ

グループ	タイム・スロットAのレジスタ・アドレス ¹	ビット・フィールド名	説明
Self Capacitance-Based Proximity Setup	0x0100, Bits[13:12]	SAMPLE_TYPE_x	デフォルトのサンプリング・モードを使用するときはデフォルト設定 (0) のままにしておきます。
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	TIA、積分器、ADCを使用するには0x0E6に設定します。BPFはバイパスします。
	0x0102, Bits[15:0]	INPxx_x	目的の入力をイネーブします。
	0x0103, Bits[14:12]	PRECON_x	0x5に設定すると、センサーをTIA_VREFにプリコンディショニングします。
	0x0104, Bits[5:0]	TIA_GAIN_CHx_x	TIAゲインを選択します。
	0x0104, Bits[7:6]	VREF_PULSE_VAL_x	0x0に設定すると、TIA_VREFに1.14Vのパルスを印加します。
	0x0104, Bits[9:8]	AFE_TRIM_VREF_x	0x2に設定すると、TIA_VREF = 0.9Vになります。
	0x0104, Bits[10]	VREF_PULSE_x	0x1に設定すると、TIA_VREFにパルスを印加します。

グループ	タイム・スロット A のレジスタ・アドレス ¹	ビット・フィールド名	説明
Self Capacitance-Based Proximity Timing	0x010C, Bits[7:0]	MOD_OFFSET_x	最初の変調パルスの開始時間を 1 μ s 刻みで設定します。標準的な値は 16 μ s です。
	0x010C, Bits[15:8]	MOD_WIDTH_x	変調パルス幅を 1 μ s 刻みで設定します。標準的な値は 6 μ s です。
	0x010A, Bits[4:0]	INTEG_WIDTH_x	積分幅 (μ s) の設定値です。標準的な値は 10 μ s です。
	0x010A, Bits[10:8], Bits[14:12]	CHx_AMP_DISABLE_x	0x010A のビット 9 を 1 に設定するとチャンネル 1 の BPF をパワーダウンします。チャンネル 2 がイネーブルのときにビット 13 を 1 に設定するとチャンネル 2 の BPF をパワーダウンします。
	0x010B, Bits[12:0]	INTEG_OFFSET_x	積分シーケンスの開始時間です。代表値の 9 μ s に設定し、INTEG_OFFSET_x、ビット [4 : 0] を 31.25ns 刻みで掃引して最適な動作ポイントを見つけます。
	0x0107, Bits[15:8]	NUM_INT_x	1 回の ADC 変換あたり 1 回積分する場合は 1 に設定します。
	0x0107, Bits[7:0]	NUM_REPEAT_x	シーケンスの繰り返し回数。S/N 比は \sqrt{n} に比例して増加します。ここで、 $n = \text{NUM_REPEAT_x} \times \text{NUM_INT_x}$ です。
	0x0108, Bits[13:12]	MOD_TYPE_x	TIA 接続を続けるには 0x0 に設定します。

¹これはタイム・スロット A のレジスタ・アドレスです。それぞれのレジスタ・アドレスに 0x020 を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ 0x0100 は SAMPLE_TYPE_A の位置ですが、タイム・スロット B では、このレジスタはアドレス 0x0120 になります。タイム・スロット C ではアドレス 0x0140、タイム・スロット D ではアドレス 0x0160 となり、以下も同様になります。

複数積分モード

複数積分モードでは、1 回の ADC 変換あたり複数のアナログ積分で入力電荷を積算できます。このモードは、応答が小さく、励起イベントあたり利用可能なダイナミック・レンジの一部しか使用できない場合にとっても有用です。複数積分モードでは、ADC 変換の前に電荷を複数回積算できます。これにより、積分器で利用可能なダイナミック・レンジの使用範囲を広げることができます。

図 44 に、LED を励起ソースとして使用した場合の複数積分モードを示します。LED のパルス数、およびこれによるフォトダイオード応答からの電荷を積算する回数は、NUM_INT_x ビットの設定で決定します。最後の積分の後、ADC 変換が 1 回実行されます。これを NUM_REPEAT_x で設定された回数だけ繰り返します。

NUM_INT_x ビットを使用して積分回数を設定する前に、TIA ゲインを 200k Ω に設定すると共に、最適な LED 電流の設定値を決定します（ほぼ最大電流に近い値にします）。TIA ゲインと LED 電流を設定するときには、1 つの LED パルスで発生する電荷を積算するために積分器のダイナミック・レンジをどの程度使用するか測定します。1 つのパルスで使用する積分器のダイナミック・レンジが、利用可能なダイナミック・レンジの半分以下の場合には、ADC 変換の前に複数の積分を使用すると望ましい結果が得られます。例えば、1 つのパルスで使用する積分器のダイナミック・レンジが利用可能なダイナミック・レンジ

の 1/8 になる場合、NUM_INT_x を 0x6 に設定して 6 つのパルスと 6 回の積分を選択します。これにより 1 回の ADC 変換あたり利用可能なダイナミック・レンジの広い範囲（75%）を使用しながらマージンとして 25% のヘッドルームを残すことができ、入力レベルが変動しても積分器は飽和しません。パルスが LED に印加されるたびに、応答からの電荷が積算され保持されます。図 44 に示すように、各パルスによる応答からの電荷は、それまでに積算された電荷に追加され、NUM_INT_x で設定した積分回数に達するまで続けられます。

複数積分モードでは、最小周期は自動的に計算されます。この例に示すように、最小周期は $2 \times \text{INTEG_WIDTH_x}$ で計算でき、前の積分が終わるとすぐに次のパルスが発生します。NUM_INT_x で設定した回数だけ積分した後に ADC 変換が実行できるよう、自動的に時間を追加します。

NUM_REPEAT_x を使用して、繰り返し回数を増やすことで全体の S/N 比を向上させることができます。複数積分してから 1 回 ADC 変換するプロセスの全体を、NUM_REPEAT_x で設定した回数だけ繰り返します。NUM_REPEAT_x の増加は、連続接続モードで複数パルスを使用した場合と同様の効果が得られます。連続接続モードでは、 n 個のパルスで S/N 比が \sqrt{n} 倍向上しましたが、複数積分モードでは、 $n = \text{NUM_REPEAT_x}$ のときに S/N 比が \sqrt{n} 倍向上します。このモードでは、LED パルスの総数は NUM_INT_x \times NUM_REPEAT_x です。

複数積分モードで最適な S/N 比性能を得るために、積分チョッピング・モードを推奨します。

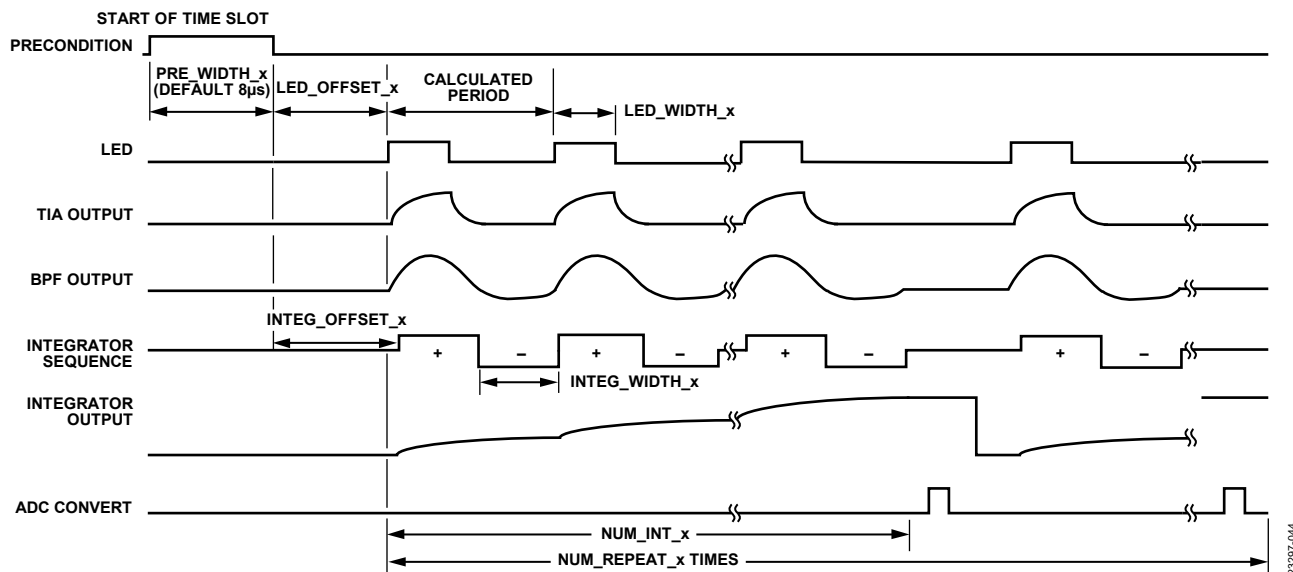


図 44. LED を励起ソースとして使用した複数積分モード

表 23. 複数積分モードに関する設定

グループ	タイム・スロット A のレジスタ・アドレス ¹	ビット・フィールド名	説明
Multiple Integration Mode Using LED as Stimulus	0x0100, Bits[13:12]	SAMPLE_TYPE_x	デフォルトのサンプリング・モードを使用するときはデフォルト設定 (0) のままにしておきます。
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	TIA、BPF、積分器、ADC を使用するには 0x0DA に設定します。
	0x0102, Bits[15:0]	INPxx_x	目的の入力をイネーブします。
	0x0103, Bits[14:12]	PRECON_x	0x5 に設定すると、フォトダイオードのアノードを TIA_VREF にプリコンディショニングします。
	0x0103, Bits[7:6], Bits[1:0]	VCx_SEL_x	0x2 に設定すると、フォトダイオードに約 215mV の逆バイアスが印加されます。
	0x0104, Bits[5:0]	TIA_GAIN_CHx_x	TIA ゲインを 200kΩ に設定します。
	0x0104, Bits[9:8]	AFE_TRIM_VREF_x	0x3 に設定すると、最大ダイナミック・レンジの TIA_VREF = 1.27V に設定します。
0x0108, Bits[13:12]	MOD_TYPE_x	0 に設定すると、プリコンディショニングの後、TIA を入力に連続接続します。	
Timing	0x0107, Bits[15:8]	NUM_INT_x	積分器のダイナミック・レンジの広い範囲を使用できるように回数を設定してください。ただし、入力レベルの変更に対して多少のマージンを残してください。
	0x0107, Bits[7:0]	NUM_REPEAT_x	NUM_REPEAT_x を使用して、複数積分シーケンスの繰り返し回数を設定します。S/N 比は√(NUM_REPEAT_x) 倍向上します。パルスの総数は NUM_REPEAT_x × NUM_INT_x です。
	0x010A, Bits[4:0]	INTEG_WIDTH_x	積分幅 (µs) の設定値です。LED_WIDTH_x + 1 に設定してください。
	0x010B, Bits[12:0]	INTEG_OFFSET_x	INTEG_OFFSET_x は積分シーケンスの開始時間です。積分シーケンス位置の最適化のセクションの説明に従って最適化してください。
LED Settings	0x0105, Bit 15 and Bit 7; 0x0106, Bit 15 and Bit 7	LED_DRIVESIDEx_x	タイム・スロットで使用される LED を選択します。
	0x0105, Bits[14:8], Bits[6:0]; 0x0106, Bits[14:8], Bits[6:0]	LED_CURRENTx_x	選択した LED の LED 電流を設定します。
Integrator Chop Mode	0x010D, Bits[7:4]	SUBTRACT_x	4 パルスの減算パターン。1 に設定すると、マッチング位置における 4 パルス・グループでの計算を無効にします。LSB は最初のパルスにマップされます。
	0x010D, Bits[3:0]	REVERSE_INTEG_x	4 パルス積分の反転パターン。1 に設定すると、マッチング位置において積分器の 4 パルス・グループ内の正と負の順序を逆にします。LSB は最初のパルスにマップされます。

¹ これはタイム・スロット A のレジスタ・アドレスです。それぞれのレジスタ・アドレスに 0x020 を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ 0x0100 は SAMPLE_TYPE_A の位置ですが、タイム・スロット B では、このレジスタはアドレス 0x0120、タイム・スロット C ではアドレス 0x0140 になります。タイム・スロット D ではアドレス 0x0160 となり、以下も同様になります。

デジタル積分モード

センサーが、標準的なアナログ積分モードでは対応できない長さのパルスが必要とする場合に対処するため、ADPD4100/ADPD4101 はデジタル積分モードを備えています。デジタル積分モードによって、システムはアナログ積分モードより大きな LED デューティ・サイクルを使用できます。これにより、周辺光除去性能は低くなりますが、達成可能な最高レベルの S/N 比が得られるようになります。

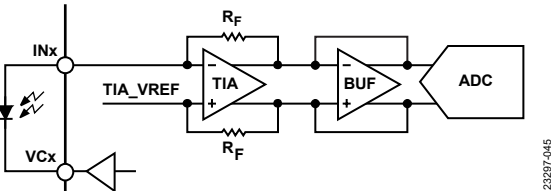


図 45. デジタル積分モードの信号パス

デジタル積分モードでは、BPF はバイパスされ、積分器はバッファとして構成されます。その結果得られる信号パスを図 45 に示します。デジタル積分領域は、明領域と暗領域に分かれており、ユーザが設定します。LED は明領域でパルスが印加され、暗領域でオフになります。ADC サンプルは、明領域内および暗領域内において 1 μ s 間隔で取得され、その後、デジタル積分さ

れます。明領域の ADC サンプルの積分値から暗領域の ADC サンプルの積分値を減算し、その結果は信号出力のデータ・レジスタに書き込まれます。暗領域からのだけのサンプルの合計は、暗出力のデータ・レジスタで利用可能です。信号値と暗値は、どちらも FIFO に書き込むことができます。

ADPD4100/ADPD4101 は、1 領域と 2 領域のデジタル積分モードをサポートしています。1 領域のデジタル積分モードでは、等しい数の暗サンプルと明サンプルを取得し、暗サンプルは明領域の直前の暗領域ですべてを取得します。1 領域のデジタル積分モードのタイミング図を図 46 に示します。2 領域のデジタル積分モードでも、暗サンプルと明サンプルは等しい数を取得します。ただし、暗領域は分割されており、暗サンプルの半分は明領域直前の暗領域で、残り半分は明領域直後の暗領域で取得するようになっています。周辺光レベルが変化する環境では、2 領域のデジタル積分モードのほうが 1 領域のモードより高い周辺光除去性能を得られます。2 領域のデジタル積分モードのタイミング図を図 47 に示します。

表 24 に、デジタル積分モードの動作に関連するレジスタ設定を示します。デジタル積分モードでは、1 つのチャンネルしか使用できず、2 チャンネルの動作には対応していません。また、デジタル積分モードでは最小周期は自動的に計算されないため、MIN_PERIOD_x ビットを使用して手動で適正な周期に設定する必要があります。

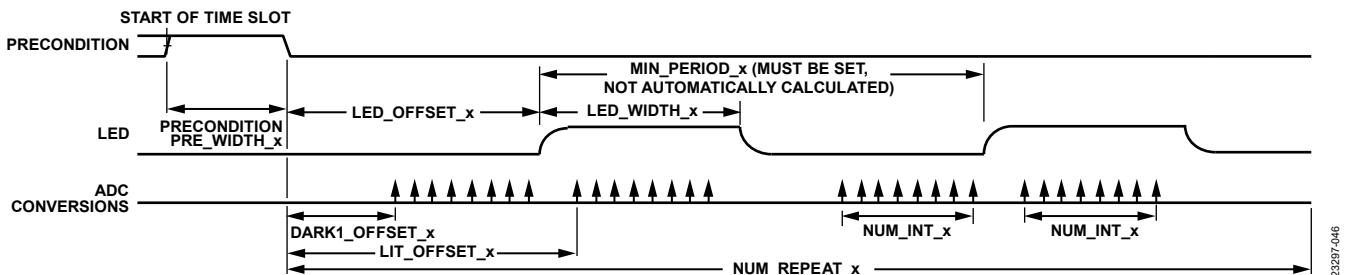


図 46. 1 領域のデジタル積分モードのタイミング図

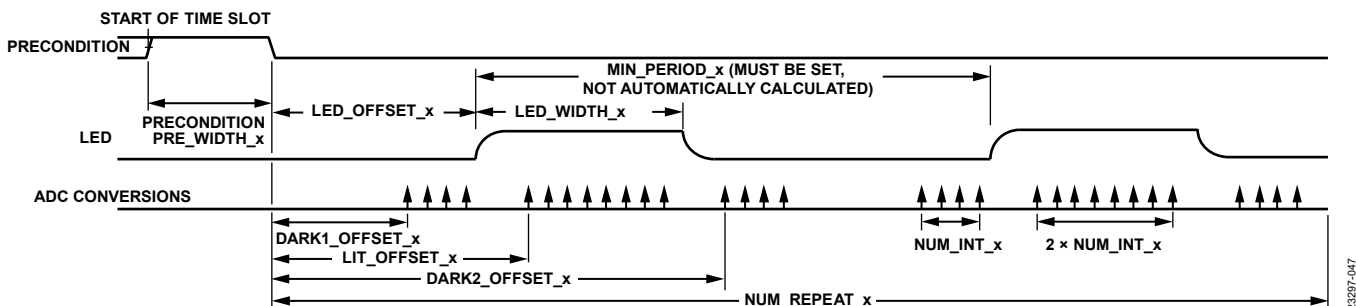


図 47. 2 領域のデジタル積分モードのタイミング図

表 24. デジタル積分モードに関連する設定

グループ	タイム・スロット A のレジスタ・アドレス ¹	ビット・フィールド名	説明
Signal Path Setup	0x0100, Bits[13:12]	SAMPLE_TYPE_x	0x1 に設定すると、1 領域のデジタル積分モードが選択されます。0x2 に設定すると、2 領域のデジタル積分モードが選択されます。
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	TIA、積分器、ADC を使用するには 0x0E6 に設定します。BPF はバイパスします。1 領域または 2 領域のデジタル積分モードが選択されている場合は、積分器は自動的にバッファとして構成されます。
	0x0102, Bits[15:0]	INPxx_x	目的の入力をイネーブルします。
	0x0103, Bits[14:12]	PRECON_x	0x5 に設定すると、フォトダイオードのアノードを TIA_VREF にプリコンディショニングします。
	0x0103, Bits[7:6], Bits[1:0]	VCx_SELECT_x	0x2 に設定すると、フォトダイオードに約 215mV の逆バイアスが印加されます。
	0x0104, Bits[5:0]	TIA_GAIN_CHx_x	TIA ゲインを選択します。
	0x0104, Bits[9:8]	AFE_TRIM_VREF_x	0x3 に設定すると、TIA_VREF = 1.265V になります。
	0x0104, Bits[12:11]	CH1_TRIM_INT_x	0x0 または 0x1 に設定するとバッファ・ゲインは 1 になります。
	0x010A, Bit 11	AFE_INT_C_BUF_x	1 に設定すると、積分器をバッファに切り替えます。
Timing	0x010A, Bits[10:8]	CH1_AMP_DISABLE_x	0x010A のビット 9 を 1 に設定すると、BPF がパワーダウンします。
	0x0107, Bits[15:8]	NUM_INT_x	暗領域と明領域に必要な ADC 変換の回数を設定します。
	0x0107, Bits[7:0]	NUM_REPEAT_x	シーケンスの繰り返し回数。
	0x0108, Bits[9:0]	MIN_PERIOD_x	周期を設定します。デジタル積分モードでは周期の自動計算はサポートされていません。
	0x0113, Bits[8:0]	LIT_OFFSET_x	明領域で最初に ADC 変換を実行する時間を設定します。
	0x0114, Bits[6:0]	DARK1_OFFSET_x	Dark 1 領域で最初に ADC 変換を実行する時間を設定します。
LED Settings	0x0114, Bits[15:7]	DARK2_OFFSET_x	Dark 2 領域で最初に ADC 変換を実行する時間を設定します。2 領域のデジタル積分モードでのみ使用します。
	0x0105, Bit 15 and Bit 7; 0x0106, Bit 15 and Bit 7	LED_DRIVESIDEx_x	タイム・スロットで使用する LED を選択します。
	0x0105, Bits[14:8], Bits[6:0]; 0x0106, Bits[14:8], Bits[6:0]	LED_CURRENTx_x	選択した LED の LED 電流を設定します。
	0x0109, Bits[7:0]	LED_OFFSET_x	最初の LED パルスの開始時間を 1μs 刻みで設定します。
	0x0109, Bits[15:8]	LED_WIDTH_x	LED パルス幅を 1μs 刻みで設定します。

¹ これはタイム・スロット A のレジスタ・アドレスです。それぞれのレジスタ・アドレスに 0x020 を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ 0x0100 は SAMPLE_TYPE_A の位置ですが、タイム・スロット B では、このレジスタはアドレス 0x0120 になります。タイム・スロット C ではアドレス 0x0140、タイム・スロット D ではアドレス 0x0160 となり、以下も同様になります。

デジタル積分モードで推奨されるタイミング

デジタル積分モードのタイミングを設定する際には、信号が安定するまで時間が経ってから ADC サンプルを取得できるように ADC サンプル位置を決めることが重要です。入力信号のセトリング時間は、フォトダイオードの容量と TIA のセトリング時間の影響を受けます。図 48 に ADC サンプルング・エッジの適切な配置例を示します。オフセット値の計算は、次のようになります。

$$DARK1_OFFSET_x = (LED_OFFSET_x - (NUM_INT_x + 2))$$

LED パルスの開始時間に対して Dark 1 領域でのサンプル位置に 2μs のマージンを追加するため、ADC 変換回数に 2 を加算しています。

$$LIT_OFFSET_x = (LED_OFFSET_x + t_d)$$

ここで、 t_d は、信号のセトリング時間をオフセット設定に組み込むための遅延時間です。この値は、最終アプリケーションに合わせて決定する必要があります。標準的な t_d の推奨値は、3μs ~ 5μs の範囲内の値です。

$$DARK2_OFFSET_x = (LED_OFFSET_x + LED_WIDTH_x + t_d)$$

この設定は、2 領域のデジタル積分モードにのみ適用されます。

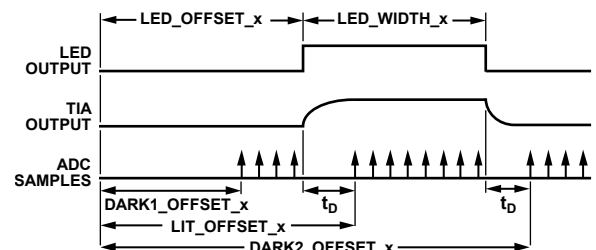


図 48. デジタル積分モードにおける ADC サンプルング・エッジの適切な位置

TIA ADC モード

図 49 に TIA ADC モードを示します。このモードでは、BPF はバイパスされ、TIA 出力はバッファを通して直接 ADC に送られます。TIA ADC モードは、周辺光の検出の他、リーク抵抗などの DC 信号を測定するアプリケーションに有用です。BPF を使用するフォトダイオードの測定では、すべての背景光がシグナル・チェーンから除去されるため、背景光は測定できません。TIA_ADC モードでは、背景光/周辺光の量を測定できます。漏れ抵抗など、DC 源からの電流を測定することもできます。

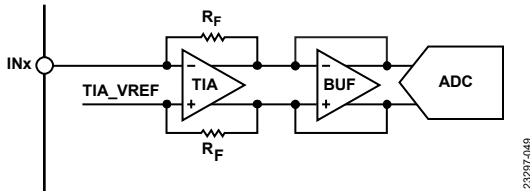


図 49. TIA ADC モードのブロック図

デバイスが TIA ADC モードで動作している場合、BPF はバイパスされ、積分器の段はバッファとして再構成されます。1 つのタイム・スロットでチャンネル 1 とチャンネル 2 がどちらもイネーブルされている場合、ADC は 1 μ s の間隔でチャンネル 1、チャンネル 2 の順番にサンプリングします。

推奨する TIA ADC モードは、BPF をバイパスし、積分器を反転バッファとして構成するモードです。このモードは AFE_PATH_CFG_x (タイム・スロット A の場合はレジスタ 0x0101、ビット [8:0]) に 0x0E6 を書き込むことでイネーブルされ、TIA、積分器、ADC を含む信号パスが有効になります。また、積分器をバッファとして構成するには、INTEG_SETUP_x (タイム・スロット A の場合、レジスタ 0x010A、ビット 11) をセットします。ADC オフセット・ビットの ADC_OFF1_x と ADC_OFF2_x を 0 に、TIA_VREF を 1.265V に設定した場合、ADC の出力は単一パルスとゼロ入力電流の条件下で約 3000 コードになります。フォトダイオードからの入力電流が増加すると、ADC 出力は 16,384LSB に向かって増加します。

積分器をバッファとして設定するとき、ゲイン 1 とゲイン 0.7 のどちらかを選ぶことができます。ゲインを 0.7 にすると、TIA の入力で使用できるダイナミック・レンジが広がります。ただし、この設定では ADC がオーバーレンジになる可能性があるため、ADC を飽和させないように注意する必要があります。バッファ・ゲインを設定するには、CHx_TRIM_INT_x ビットを使用します。CHx_TRIM_INT_x を 0x0 または 0x1 に設定するとゲインは 1 になります。CHx_TRIM_INT_x を 0x2 または 0x3 に設定するとゲインは 0.7 になります。

ADC 出力 (ADC_{OUT}) は、次のように計算します。

$$ADC_{OUT} = 8192 - (((2 \times TIA_VREF - 2 \times I_{INPUT_TIA} \times R_f - 1.8V) / 146\mu V / LSB) \times \text{バッファ・ゲイン}) \quad (3)$$

ここで、

TIA_VREF は、TIA の内部電圧リファレンス信号 (デフォルト値は 1.265V)、

I_{INPUT_TIA} は TIA の入力電流、

R_f は TIA の帰還抵抗、

バッファ・ゲインは CHx_TRIM_INT_x の設定に基づき 0.7 か 1 です。

式 3 は近似式であり、内部オフセットやゲイン誤差を考慮していません。また、この計算は ADC オフセット・レジスタが 0 に設定されていることも想定しています。

1 つのタイム・スロットを TIA ADC モードに設定すると、周辺信号とパルス信号を同時にモニタリングできるため便利です。周辺信号は、TIA ADC モードに設定したタイム・スロットでモニタリングし、パルス信号は、周辺信号を除去しながら、所望の LED パルス信号測定用に設定したタイム・スロットでモニタリングします。

通常動作時の TIA 飽和の防止

強い光が照射されている条件下で動作する場合、特に、大きいフォトダイオードを使用すると、ADPD4100/ADPD4101 がデータの通信を継続している間に、TIA 段が飽和することが懸念されます。結果として生じる飽和は、代表的なものではありません。この設定に基づく TIA が取り扱えるのは、特定のレベルのフォトダイオード電流のみです。ADPD4100/ADPD4101 の設定方法に基づく、フォトダイオードから入力される電流レベルが TIA で処理できるレベルを上回る場合、LED パルスが生成される間の TIA 出力は実質的に電流パルスを拡大し、パルス幅が広がることとなります。その後、BPF の出力の正の部分が、積分ウィンドウの負のセクションにまで拡大されるため、AFE のタイミング違反が発生します。この結果、フォトダイオードに起因する信号が、信号自体から差し引かれます。つまり、実質的な光信号は増大しているにもかかわらず、出力信号が減少するという事態につながります。

TIA ADC モードを使用した通常動作時の TIA 飽和の防止

TIA ADC モードによるモニタリングは、飽和を引き起こす可能性のある環境における防止策の 1 つです。TIA からの応答を測定し、この段が飽和していないことを確認するために、デバイスを TIA ADC モードに移行させると共に、タイミングをわずかに変更します。具体的には、最大値に達するまで INTEG_OFFSET_x を掃引します。これにより、ADC のサンプリング時間を LED パルスに合わせて調整し、フォトディテクタに投射される光の総量 (例えば、周辺光と LED パルス) を測定できるようになります。

この最小値が 16,384LSB を下回っている場合、TIA は飽和していません。ただし、結果が 16,384LSB ではない場合でも、飽和点付近でデバイスを動作させると、光の条件が変化した場合にすぐに飽和してしまう可能性があるため、注意してください。通常、安全な動作領域は、フル・スケールの 3/4 以下の範囲です。TIA ADC モードでバッファ・ゲイン = 1 を使用して動作しているときの ADC の分解能を表 25 に示します。BPF と積分器はユニティ・ゲイン素子ではないため、これらのコードは、BPF と積分器がイネーブルになっているモードと同じではありません。

表 25. TIA ADC モードにおける ADC の分解能

TIA Gain (k Ω)	ADC Resolution (nA/LSB)
12.5	5.84
25	2.92
50	1.46
100	0.73
200	0.37

TIA の上限値検出による TIA 飽和からの保護

TIA ADC モードによるモニタリングは飽和の防止に役立ちますが、実際に測定が行われている一定期間、電流が飽和しないことが確実な標準的動作レベルを、TIA の出力端子電圧を超える場合があります。TIA の入力に十分に高い電流が流入した場合、TIA ゲインと TIA リファレンス電圧の設定によっては TIA の標準的な動作ポイントを超える可能性があります。そうなった場合、測定に歪みが生じるか、測定ができなくなります。高レベルのフォトダイオード電流や周辺光による高電流は、TIA の出力電圧が制限値を超え、飽和状態に近づく原因となります。

ADPD4100/ADPD4101は、TIA の出力段に配置された電圧コンパレータを使用して、TIA の出力電圧が一定範囲を超えていないか検知する TIA の上限値検出機能を備えています。この範囲は、TIA の全範囲の上限値に対して、TIA 出力がマージンを持って十分収まる範囲になっています。そのため、TIA の出力電圧が短時間でもこの範囲を超えた場合にユーザは TIA 出力電圧の状態を知ることができ、飽和を防止する措置を講じることができます。

電圧コンパレータは、正/負の出力端子とスレッショルド電圧を比較します。このスレッショルド電圧により、有効な TIA 出力電圧範囲を設定できます。そして、コンパレータは TIA 出力電圧がこの範囲内にあるかどうかを示す出力ビットを送信します。

この機能をイネーブルするには、TIA_CEIL_DETECT_EN_x を 1 に設定します。TIA_CEIL_DETECT_EN_x ビットは各タイム・スロットにあり、個別に制御できます。この機能は、チャンネル 1 でターンオンできると共に、チャンネル 2 がイネーブルされているタイム・スロットではチャンネル 2 もターンオンできます。コンパレータがイネーブルされていると、TIA の上限値検出情報は、各タイム・スロットで、チャンネル 1 はレジスタ 0x0004 の INT_TCLN1_x ビットに、チャンネル 2 はレジスタ 0x0005 の INT_TCLN2_x ビットにラッチされます。出力のどちらかがスレッショルド電圧を超えると、割込み出力が 1 になります。

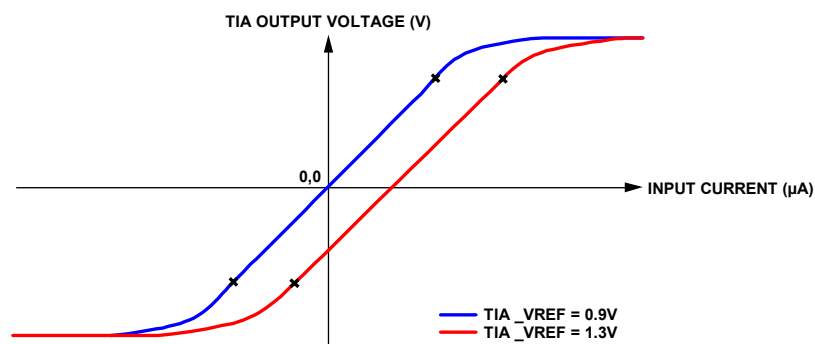


図 51. TIA_VREF = 0.9V および TIA_VREF = 1.3V での TIA 上限値検出のトリガ・ポイント (トリガ・ポイントは黒色の×印で表示しています)

図 50 に、TIA の上限値検出用の内部回路を示します。V_{TIAO+}は正の TIA 出力、V_{TIAO-}は負の TIA 出力を表し、V_{TH}が TIA 出力電圧と比較するスレッショルド電圧です。

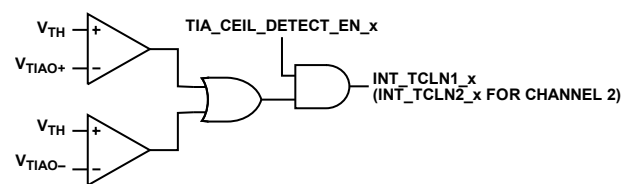


図 50. TIA 上限値検出の回路図

TIA のリファレンス電圧の設定値と TIA ゲインに応じて、閾値を超える入力電流も異なります。TIA のリファレンス電圧 (TIA_VREF) を高くした場合、および TIA ゲインを低くした場合、TIA 出力電圧がスレッショルド電圧を超えるときの入力電流レベルは高くなるので、電流に関しては範囲が広がります。

表 26 に、連続接続モードで 2µs の LED パルスを使用した場合の、様々な TIA ゲインおよび TIA_VREF で TIA 上限値検出をトリガするために必要な入力電流の代表値を示します。

表 26. TIA 上限値検出をトリガする入力電流の代表値

TIA Gain (kΩ)	Input Current (µA) at TIA_VREF = 0.9 V	Input Current (µA) at TIA_VREF = 1.3 V
25	21.9	33.6
50	10.6	16.7
100	5.2	8.4
200	2.6	4.2

図 51 に、異なる TIA_VREF 値での TIA 上限値検出のトリガ・ポイントを示します。様々な TIA ゲインでのトリガ・ポイントは表 26 を参照してください。

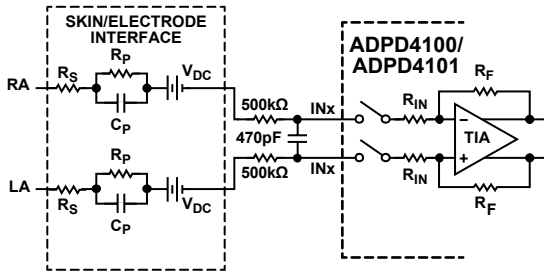
ADPD4100/ADPD4101 を使用した ECG 測定

ADPD4100/ADPD4101 は、2 個の入力のそれぞれに $500\text{k}\Omega$ の直列抵抗と、入力間に 470pF のコンデンサを接続することで構成された外部 RC 回路を追加するだけで、ECG アプリケーションに使用できます (図 52 参照)。図には、ADPD4100/ADPD4101 に外付けされた RC 回路と共に、電極の電気的な等価モデルも示しています。

$500\text{k}\Omega$ の抵抗が、入力ピンが短絡した場合に人体に流入する、または人体から引き込まれる電流を制限します。 470pF のコンデンサは、ECG 信号検出用のコンデンサとして機能します。ECG 信号はこの検出用コンデンサに積算されます。このコンデンサの値は、許容可能な S/N 比が得られると共に、RC 回路と電極-皮膚接触の特定数が、サンプリング周期の間に検出用コンデンサに十分な電荷が蓄積できる値になるように選定します。

$500\text{k}\Omega$ の抵抗と 470pF のコンデンサからなる RC 回路は、ローパス・フィルタとしても機能し、電極-皮膚接触による高周波ノイズを低減できます。

複数の電極を使用する ECG 測定では、それぞれの電極に個別の入力ペアと、2 個の $500\text{k}\Omega$ 抵抗および 470pF のコンデンサからなる RC 回路が必要です (図 52 参照)。



NOTES
1. RA is right arm. LA is left arm.

23297-051

図 52. ADPD4100/ADPD4101 を使用した単一電極の ECG 測定用回路

スリープ・フロート・モード

ADPD4100/ADPD4101 の ECG 測定は、スリープ・フロート・モードで動作します。スリープ・フロート・モードは、濡れた電

極による低インピーダンスにも乾燥した電極による高インピーダンスにも影響されない、堅牢な ECG 測定を可能にします。

スリープ・フロート・モードでは、検出用コンデンサは、ECG 信号からの蓄積電荷の移動時以外すべての時間フロート状態になります。蓄積された電荷は、電荷測定用のタイム・スロットの間、ADPD4100/ADPD4101 に送られます。デバイスは、プリコンディショニング期間とスリープ期間中、ECG 用の入力をフロート状態に設定する必要があります。入力は、電荷の移動時のみ、外部コンデンサに接続されます。それ以外の時間はすべて、ECG 用の入力はフロート状態です。その結果、ADPD4100/ADPD4101 のサンプリング・レートを t_p とするとフロート時間は $1/t_p$ になります。例えば、サンプリング・レートが 300Hz のとき、スリープ・フロート・モードのフロート時間は約 3.3ms です。

ECG 測定でスリープ・フロートを使用するメリットは、検出用コンデンサのチャージ時間を長くできることです。スリープ・フロート・モードでは、検出用コンデンサへの電荷の蓄積は、スリープ期間中とイネーブルされた他のすべてのタイム・スロット実行中に行われます。スリープ・フロート・モード用のタイム・スロットは、検出用コンデンサから ADPD4100/ADPD4101 のアンプへの電荷移動にのみ使用されます。また、スリープ・フロート・モードでは、他のタイム・スロットでどのような種類のアプリケーションがイネーブルされているかにかかわらず検出用コンデンサはフロート状態になっているため、ECG 測定中に他のタイム・スロットを異なるセンサー・アプリケーションに使用することができます。

ECG 測定でスリープ・フロート・モードを使用するもう 1 つのメリットは、消費電力とノイズを低減できることです。スリープ・フロート・モードでは、検出用コンデンサは、フロート状態の間アンプと接続されていないため、アンプに電源は供給されません。そのため、ECG 信号が人体から検出用コンデンサに移動するパッシブな充電が行われている間、アンプ以降のすべての段がパワーダウンされ、スリープ・フロート・モードでは消費電力が低減できます。検出用コンデンサのパッシブな充電プロセスでは、充電プロセスでノイズが発生しないため、ノイズも低減できます。

スリープ・フロート・モードのタイミング図を図 53 に示します。スリープ・フロート・モードに関連するレジスタ設定を表 27 に示します。

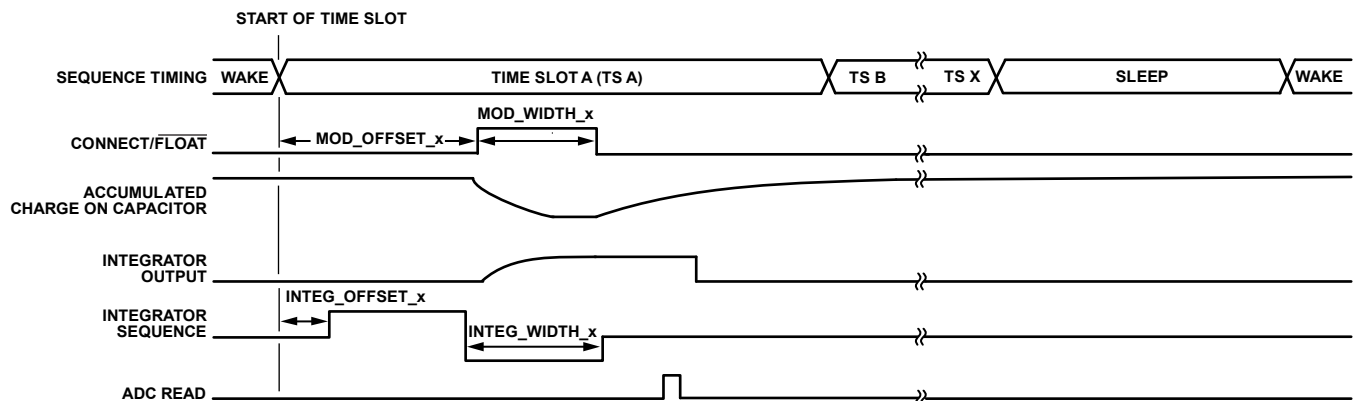


図 53. スリープ・フロート・モードのタイミング図

23297-053

表 27. スリープ・フロート・モードを使用した ECG 測定に関連するレジスタ設定

グループ	タイム・スロット A のレジスタ・アドレス ¹	ビット・フィールド名	説明
Signal Path Setup	0x0100, Bits[13:12]	SAMPLE_TYPE_x	デフォルトのサンプリング・モードを使用するときはデフォルト設定 (0) のままにしておきます。
	0x0100, Bits[11:10]	INPUT_R_SELECT_x	500Ω の直列入力抵抗を使用するには、0x0 に設定します。
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	TIA、積分器、ADC を使用するには 0x0E6 に設定します。BPF はバイパスします。
	0x0101, Bits[15:12]	PRE_WIDTH_x	0 に設定すると、プリコンディショニング期間をスキップします。
	0x0102, Bits[15:0]	INPxx_x	0x7 に設定すると、PAIRxx の定義に従って目的の入力をチャンネル 1 に接続します。
	0x0103, Bits[4:12]	PRECON_x	0x0 に設定すると、プリコンディショニングの間、入力をフロート状態にします。
	0x0020, Bits[15:0]	INP_SLEEP_xx	0x0 に設定すると、スリープの間、入力をフロート状態にします。
	0x0021, Bits[3:0]	PAIRxx	1 に設定すると、選択した入力を差動ペアとして設定します。
	0x0104, Bits[5:0]	TIA_GAIN_CHx_x	TIA ゲインを選択します。
0x0104, Bits[9:8]	AFE_TRIM_VREF_x	0x2 に設定すると、TIA_VREF = 0.9V になります。	
Float Mode Configuration	0x0107, Bits[15:8]	NUM_INT_x	ADC 変換グループごとに 1 回積分する場合は 1 に設定します。
	0x0107, Bits[7:0]	NUM_REPEAT_x	シーケンスの繰り返し回数。
	0x0108, Bits[13:12]	MOD_TYPE_x	フロート・モード動作では 0x1 に設定します。
	0x0108, Bits[9:0]	MIN_PERIOD_x	0 に設定。積分を 1 回だけ行うスリープ・フロート・モードでは最小周期は使用しません。
	0x010A, Bits[4:0]	INTEG_WIDTH_x	積分幅 (μs) の設定値です。MOD_WIDTH_x + 1 に設定してください。
	0x010A, Bits[10:8], Bits[14:12]	CHx_AMP_DISABLE_x	0x010A のビット 9 を 1 に設定するとチャンネル 1 の BPF をパワーダウンします。チャンネル 2 がイネーブルのときにビット 13 を 1 に設定するとチャンネル 2 の BPF をパワーダウンします。
	0x010B, Bits[12:0]	INTEG_OFFSET_x	積分シーケンスの開始時間です。(MOD_OFFSET_x - INTEG_WIDTH_x - 250ns) に設定します。
	0x010C, Bits[15:8]	MOD_WIDTH_x	接続パルス幅を 1μs 刻みで設定します。MOD_WIDTH_x × NUM_REPEAT_x によって外部コンデンサから電荷を移動する時間が決まります。MOD_WIDTH_x × NUM_REPEAT_x は、外部コンデンサと直列入力抵抗 (INPUT_R_SELECT_x の設定により 500Ω または 6500Ω) で生成される時定数の約 3 倍に設定します。
	0x010C, Bits[7:0]	MOD_OFFSET_x	最初の接続パルスの開始時間を 1μs 刻みで設定します。INTEG_WIDTH_x + 3 に設定してください。

¹ これはタイム・スロット A のレジスタ・アドレスです。それぞれのレジスタ・アドレスに 0x020 を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ 0x0100 は SAMPLE_TYPE_A の位置ですが、タイム・スロット B では、このレジスタはアドレス 0x0120 になります。タイム・スロット C ではアドレス 0x0140、タイム・スロット D ではアドレス 0x0160 となり、以下も同様になります。

複数の電荷移動を実施するスリープ・フロート・モード

ECG 測定では、電極・皮膚間の接触インピーダンスが高い場合や、ハーフ・セル電位のミスマッチが大きい材料で電極が作られている場合に、数十ミリボルトから数百ミリボルト、もしくはもっと大きな DC オフセット電圧が生じることがあります。DC オフセット電圧は、ECG 測定で利用可能なダイナミック・レンジの大半を使用します。ADPD4100/ADPD4101 が 1 回のサンプリングで対応できる総電荷量は、200kΩ の TIA ゲイン設定時に約 7.5pC です。サンプリングあたりの最大電荷量は、TIA のゲインに反比例して増減します。大きな DC オフセット電圧が存在すると検出用コンデンサの電荷が過剰になり、ADC の入力飽和する可能性があります。例えば、100mV の DC オフセット電圧は、470pF のコンデンサに 47pC の電荷を追加で増加させます。

検出用コンデンサのサイズを小さくすることなく DC オフセット電圧に対応するには、TIA ゲインを 50kΩ か 100kΩ に下げ、蓄積電荷を複数の短いパルスで移動させることを推奨します。例えば、47pC の電荷を検出用コンデンサから積分器に送る場合、50kΩ の TIA ゲインではサンプリングあたり 30pC の電荷に対応できます。R_{IN} = 6.5kΩ に設定すると TIA への電荷の移動速度が制限されます。このとき、RC 時定数は 2 × 6.5kΩ × 470pF = 6.1μs です。複数の短い変調パルス (最小 1μs) を使用して、パルスごとに総電荷の一部を移動・積算することで TIA の飽和を防止します。複数回の移動サイクルで検出用コンデンサから完全に放電させます。ADPD4100/ADPD4101 は自動的に移動サイクルの結果を合計し、総電荷量を記録します。このモードのタイミングは、デバイスのセットアップが複数の変調パルスになっていること以外、図 53 と同様です。

ECG 測定で推奨される設定

DC オフセット電圧 (V_{DC} 、[図 52](#) 参照) が無視できるか $\pm 30\text{mV}$ 未満の場合に、ECG 測定で推奨される設定の一例を以下に示します。

```
#ADPD4100 ECG Measurement with small DC offset
0009 0080 # 32MHz oscillator trim
000B 02B2 # 1MHz oscillator trim
000D 0D05 # Sampling rate 300 Hz
000F 0006 # 1MHz low frequency oscillator
0010 0000 # Timeslot A enabled
0020 2220 # Float input 1&2 during sleep
0021 0001 # IN1/IN2 configured as a
differential pair
```

```
# Timeslot configuration #
### Timeslot A - Sleep float mode ECG with
multiple charge transfers
0100 0000 # Input resistor 500  $\Omega$ 
0101 00E6 # skip preconditioning, bandpass
filter bypassed
0102 0007 # IN1&IN2 differential pair to
channel 1
0103 0000 # float during preconditioning
0104 02C1 # TIA gain 100k,  $V_{ref} = 0.88\text{V}$ 
0105 0000 # LEDs off
0106 0000 # LEDs off
0107 0102 # 2 pulses
0108 1000 # float mode, minimum period
010A 0203 # Integrator pulse width, bandpass
filter powered down
010B 01A0 # Integrator pulse timing offset
010C 0210 # Modulation pulse width and offset
010D 0000 # Chopping mode disabled
010E 0000 # no ADC offset
010F 0000 # no ADC offset
0110 0003 # Configure number of bytes written
to the registers
```

DC オフセット電圧が大きい場合、以下の推奨設定を使用してください。この設定では、 $\pm 450\text{mV}$ までの DC オフセット電圧に対応できます。3 つのレジスタ設定を変更するだけで、残りは前述の設定と同じです。INPUT_R_SELECT_x を 1 に設定して入力レジスタを 6500Ω に、TIA_GAIN_CH1_x を 3 に設定して TIA ゲインを $25\text{k}\Omega$ に変更します。また、NUM_REPEAT_x を 12 に設定して変調パルス数を 12 に増加します。

```
#ADPD4100 ECG Measurement with small DC offset
0009 0080 # 32MHz oscillator trim
000B 02B2 # 1MHz oscillator trim
000D 0D05 # Sampling rate 300 Hz
000F 0006 # 1MHz low frequency oscillator
0010 0000 # Timeslot A enabled
0020 2220 # Float inputs 1&2 during sleep
0021 0001 # IN1/IN2 configured as a
differential pair
```

```
# Timeslot configuration #
### Timeslot A - Sleep float mode ECG with
multiple charge transfers
0100 0400 # Input resistor 6500  $\Omega$ 
0101 00E6 # skip preconditioning, bandpass
filter bypassed
0102 0007 # IN1&IN2 differential pair to
channel 1
0103 0000 # float during preconditioning
0104 02C3 # TIA gain 25k,  $V_{ref} = 0.88\text{V}$ 
0105 0000 # LEDs off
0106 0000 # LEDs off
0107 010C # 12 pulses
0108 1000 # float mode, minimum period
010A 0203 # Integrator pulse width, bandpass
filter powered down
010B 01A0 # Integrator pulse timing offset
010C 0210 # Modulation pulse width and offset
010D 0000 # Chopping mode disabled
010E 0000 # no ADC offset
010F 0000 # no ADC offset
0110 0003 # Configure number of bytes written
to the registers
```

DC オフセット電圧がそれほど大きくない場合を考慮するために、これとは異なる設定が利用される場合もあります。一般に、DC オフセット電圧が高い場合は低 TIA ゲインと 6500Ω の入力抵抗を使用し、DC オフセット電圧が低い場合は高い TIA ゲインと 500Ω の入力抵抗を使用することで低ノイズ性能を実現できます。また、NUM_REPEAT_x を増加させることで検出用コンデンサを完全に放電させることができます。[表 28](#) に、様々な DC オフセット電圧レベルに対応するための関連レジスタを示します。

積分器のチョッピングによる ECG 測定の S/N 比向上

積分器のチョッピングは、低周波ノイズ成分を除去することにより、スリープ・フロート・モードを使用した ECG 測定の S/N 比を向上させることもできます。積分器のチョッピング・モードをイネーブルする手順は、[積分器のチョッピングによる S/N 比の向上](#)のセクションで説明した手順と同じです。ただし、積分器のチョッピングを使用した ECG 測定では他にも考慮事項があります。[図 52](#)では DC オフセット電圧の符号は正にも負にもできます。最終的な DC オフセット電圧の符号が負の場合、積分器のチョッピング・モードは ECG 信号をクリッピングする可能性があります。ECG 信号のクリッピングを避けるため、明データを使用する必要があります。[図 23](#)にデータパスを示します。[図 23](#)において、明値と暗値をオプションとして FIFO に書き込むこともできます。このオプションにより、FIFO に明値と暗値の両方を書き込むことで負の信号値を使用することができ、外部のデータ処理で符号付の減算を実行して信号値を計算することができます。これにより、最終的な DC オフセット電圧の符号にかかわらず、積分器のチョッピングを使用できます。

リード・オフ検出

リード・オフ検出の測定を実行するため、ADPD4100/ADPD4101 は電極-皮膚接触部のインピーダンスを測定し、1 つ以上の電極が皮膚との接触を失っていないかどうかを判断します。リード・オフの測定は、使用する電極の数に応じて 2 つの方法で実行できます。

3 電極リード・オフ測定

3 電極の構成では、第 3 の電極を未使用の VCx ピンに接続して人体に励起信号を供給する必要があります。ECG 測定の RC 回路は、2 つの電極を 25kΩ の抵抗を通じて別の入力ペアに直接接続することによりバイパスします。励起信号からの応答は、この入力ペアで測定します。3 電極のリード・オフ測定によって、どの電極が断線しているか、または皮膚との接触を失ったかを判断できます。[図 54](#)に、3 電極のリード・オフ検出測定用の回路を示します。ここで、R_{BODY}は人体の抵抗です。

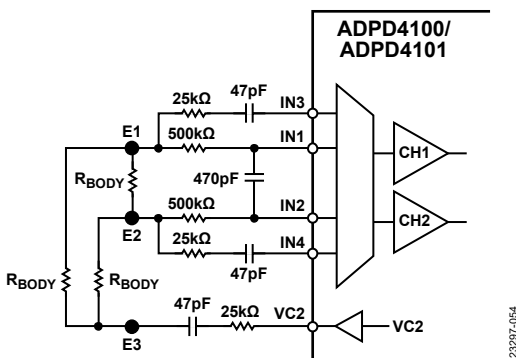


図 54. 3 電極のリード・オフ検出測定で使用する回路

ECG と 3 電極のリード・オフ検出は以下のように測定します。

1. ECG はタイム・スロット A で測定し、[ADPD4100/ADPD4101 を使用した ECG 測定](#)のセクションの定義に従います。
2. ECG 電極のリード・オフ検出はタイム・スロット B で測定し、チャンネル 1 で ECG 電極 1 (E1)、チャンネル 2 で電極 2 (E2) のシングルエンドのインピーダンスを同時に測定します。

測定中に E1 と E2 の両方の ECG 電極が皮膚と接触している場合は、ECG 信号が現れます。E1 および E2 電極のインピーダンス測定では皮膚と接触していることを示す読み値が得られ、励起信号が印加されると低インピーダンスの人体を通して ADPD4100/ADPD4101 に電流が流入します。ECG 電極のどちらかが皮膚との接触を失うか断線すると、取得パターンに ECG 信号は現れません。電極と皮膚が再び接触すると、ECG 信号はすぐに現れます。リード・オフ状態を検出するために 2 つの電極に対して 2 つの入力と 2 つのチャンネルが割り当てられているため、この測定方法では、皮膚との接触を失ったのが電極の一方なのか両方なのかを判断できます。また、電極の 1 つが皮膚との接触を失った場合に、失った電極がどちらなのかを検出することも可能です。

[図 55](#)に、異なるリード・オフ状態による ADC 出力の変化を示します。[図 55](#)において、時刻 t_A 以前は、ECG 電極はどちらも皮膚と接触しています。時刻 t_A で E1 と皮膚との接触が絶たれます。時刻 t_A と t_B の間は、E1 のみが皮膚と接触していません。時刻 t_B で E1 は皮膚と接触し、2 つのチャンネルの出力は初期レベルに戻ります。時刻 t_C では E2 のみが皮膚との接触を絶たれ、時刻 t_D まで接触していない状態が保たれます。時刻 t_E で E2 は再び皮膚と接触します。時刻 t_E で、E1 と E2 の両方が皮膚との接触を絶たれ、時刻 t_F まで接触していない状態が保たれます。時刻 t_F で E1 と E2 は再び皮膚と接触します。このように、リード・オフ状態は電極接続のすべてのケースで検出できると共に、3 電極リード・オフ測定は異なるケースをすべて検出し見分けることが可能です。チャンネル 1 とチャンネル 2 の実際の ADC 出力レベルは異なることがあります。なぜなら、電極の種類や配置がそれぞれのケースで異なり、R_{BODY} も人によって異なるため、各チャンネルが受け取る電流量に影響を与えるからです。

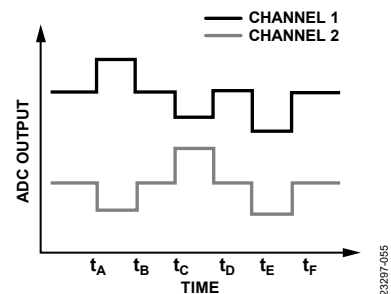


図 55. 3 電極リード・オフ測定のグラフ

表 28. ECG 測定において様々な DC オフセット電圧レベルに対応するために関連するレジスタ設定

タイム・スロット A のレジスタ・アドレス ¹	ビット・フィールド名	説明
0x0100, Bits[11:10]	INPUT_R_SELECT_x	500Ω の直列入力抵抗を使用するには、0x0 に設定します。6500Ω の直列入力抵抗を使用するには、0x1 に設定します。
0x0104, Bits[5:0]	TIA_GAIN_CHx_x	TIA ゲインを選択します。
0x0107, Bits[7:0]	NUM_REPEAT_x	シーケンスの繰り返し回数。

¹これはタイム・スロット A のレジスタ・アドレスです。それぞれのレジスタ・アドレスに 0x020 を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ 0x0100 は SAMPLE_TYPE_A の位置ですが、タイム・スロット B では、このレジスタはアドレス 0x0120 になります。タイム・スロット C ではアドレス 0x0140、タイム・スロット D ではアドレス 0x0160 となり、以下も同様になります。

以下の設定により、タイム・スロット A で低 DC オフセットの ECG 測定を実行し、タイム・スロット B で 3 電極リード・オフ検出を実行します。

```
# ADPD4100 ECG Measurement with small DC offset
in Timeslot A and Three-Electrode Lead-Off
Measurement in Timeslot B
```

```
0009 0080 # 32MHz oscillator trim
000B 02B2 # 1MHz oscillator trim
000D 0D05 # Sampling rate 300 Hz
000F 0006 # 1MHz low frequency oscillator
0010 0100 # Timeslot A and B enabled
0020 2200 # Float input 1&2 and 3&4 during
sleep
0021 0001 # IN1/IN2 configured as a
differential pair
```

```
# Timeslot configuration #
```

```
# ADPD4100 ECG Measurement with small DC offset
```

```
0100 0000 # Input resistor 500 Ω
0101 00E6 # skip preconditioning, bandpass
filter bypassed
0102 0007 # IN1&IN2 differential pair to
channel 1
0103 0000 # float during preconditioning
0104 02C1 # TIA gain 100k, TIA_VREF = 0.88V
0105 0000 # LEDs off
0106 0000 # LEDs off
0107 0102 # 2 pulses
0108 1000 # float mode, minimum period
010A 0203 # Integrator pulse width, bandpass
filter powered down
010B 01A0 # Integrator pulse timing offset
010C 0210 # Modulation pulse width and offset
010D 0000 # Chopping mode disabled
010E 0000 # no ADC offset
010F 0000 # no ADC offset
```

```
0110 0003 # Configure number of bytes written
to the registers
```

```
# Timeslot B - Three-Electrode Lead-Off
Detection on IN3/4
```

```
0120 4000 # CH2 active
0121 40DA # 8 μs preconditioning, TIA-BPF-
INT-ADC
0122 0050 # IN3 to CH1, IN4 to CH2
0123 5A45 # Precondition to TIA_VREF, pulse
VC2_VREF by 215 mV
0124 E212 # 50k TIA GAIN both channels,
TIA_VREF=0.88V
0125 0000 # LEDs off
0126 0000 # LEDs off
0127 0110 # 16 pulses, single integration
0128 0000 # continuous TIA connection
012A 0003 # Integrator pulse width
012B 0216 # Integrator pulse timing offset
012C 0210 # Modulation pulse width and
offset
012D 0000 # Integrator chopping off
012E 0000 # No ADC Offset
012F 0000 # No ADC Offset
0130 0003 # Configure number of bytes
written to the registers
```

2 電極リード・オフ測定

この測定方法は、第 3 の電極を必要とせずにリード・オフの状態を検出できますが、皮膚との接触を失ったのが電極の一方か両方かを区別することはできません。2 電極リード・オフ測定は、独立した電極を利用できない場合や少ない部品を使用してより小型化する必要がある場合に有用です。また、2 電極リード・オフ測定は消費電力が低いため、消費電力の条件が厳しい場合にも便利です。2 電極リード・オフ測定では、ECG 電極の一方を通じて未使用の VCx ピンから人体への励起信号を供給します。別の入力を 1 つだけ使用してインピーダンスを測定し、リード・オフ状態を検出します。

図 56 に、2 電極リード・オフ検出測定に使用可能な回路を示します。ここで、 R_{BODY} は人体の抵抗です。

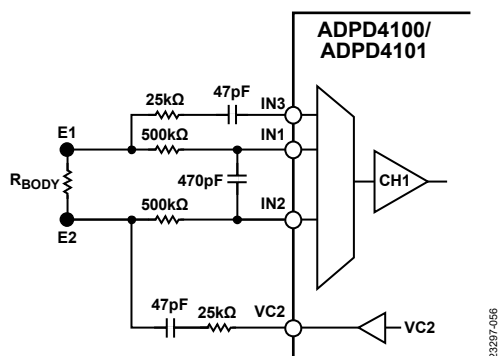


図 56. 2 電極リード・オフ検出測定に使用する回路

ECG と 2 電極リード・オフ検出は以下のように測定します。

1. ECG はタイム・スロット A で測定し、[ADPD4100/ADPD4101 を使用した ECG 測定](#)のセクションの定義に従います。
2. ECG 電極のリード・オフ検出はタイム・スロット B で取得し、チャンネル 1 で E1 電極と E2 電極の間のインピーダンスのシングルエンド測定を実行します (図 56 参照)。

測定中に ECG 電極が皮膚と接触している場合は、ECG 信号と、 R_{BODY} を通して電流が流れていることを示すインピーダンス測定値が現れます。電極のどちらかが皮膚との接触を断たれると、ECG 信号は現れず、インピーダンス測定においても、低インピーダンスの R_{BODY} に電流が流れていないことを示す非常に小さな値が ADC 出力に現れます。両方の電極が再び皮膚と接触すると、ECG 信号はすぐに現れます。リード・オフ状態を検出するために 2 つの電極に対して 1 つの入力と 1 つのチャンネルのみが割り当てられているため、どちらの電極が皮膚との接触を失ってもインピーダンス測定は非常に小さな値を示します。すなわち、両方の電極で共通の結果を示します。

図 57 に、様々な場合での ADC 出力の変化を示します。時刻 t_A 以前には、ECG 電極はどちらも皮膚と接触しています。時刻 t_A で E1 のみが皮膚との接触を絶たれます。時刻 t_B で再び皮膚と接触し、電極はどちらも t_C まで接触し続けます。時刻 t_C で E2 のみが皮膚との接触を絶たれ、時刻 t_D まで接触していない状態が保たれます。時刻 t_D で E2 は再び皮膚と接触し、どちらの電極も t_E まで接触し続けます。時刻 t_E で電極は両方とも接触を絶たれます。時刻 t_F で両方の電極は再び皮膚と接触します。このように、すべての場合でリード・オフ検出の測定は可能で、インピーダンス測定で ADC 出力が低下することでリード・オフ状態が分かります。

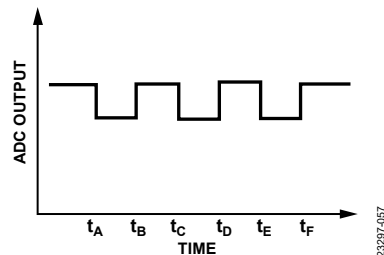


図 57. 2 電極リード・オフ測定グラフ

以下の設定により、タイム・スロット A で低 DC オフセットの ECG 測定を実行し、タイム・スロット B で 2 電極リード・オフ検出を実行します。

```
# ADPD4100 ECG Measurement with small DC offset
in Timeslot A and Two-Electrode Lead-Off
Measurement in Timeslot B
```

```
0009 0080 # 32MHz oscillator trim
000B 02B2 # 1MHz oscillator trim
000D 0D05 # Sampling rate 300 Hz
000F 0006 # 1MHz low frequency oscillator
0010 0100 # Timeslot A and B enabled
0020 2200 # Float input 1&2 and 3&4 during
sleep
0021 0001 # IN1/IN2 configured as a
differential pair
```

```
# Timeslot configuration #
# ADPD4100 ECG Measurement with small DC offset
0100 0000 # Input resistor 500 Ω
0101 00E6 # skip preconditioning, bandpass
filter bypassed
0102 0007 # IN1&IN2 differential pair to
channel 1
0103 0000 # float during preconditioning
0104 02C1 # TIA gain 100kΩ, TIA_VREF = 0.88V
0105 0000 # LEDs off
0106 0000 # LEDs off
0107 0102 # 2 pulses
0108 1000 # float mode, minimum period
010A 0203 # Integrator pulse width, bandpass
filter powered down
010B 01A0 # Integrator pulse timing offset
010C 0210 # Modulation pulse width and offset
010D 0000 # Chopping mode disabled
010E 0000 # no ADC offset
010F 0000 # no ADC offset
```

0110 0003 # Configure number of bytes written
to the registers

Timeslot B - Two-Electrode Lead-Off Detection
on IN3

0120 0000 # 1 channel enabled

0121 40DA # 8us precondition, TIA-BPF-INT-
ADC

0122 0010 # IN3 to CH1, IN4 disconnected

0123 5A45 # Precondition to TIA_VREF, pulse
VC2_VREF by 215 mV

0124 E212 # 50 k Ω TIA GAIN both channels,
TIA_VREF=0.88V

0125 0000 # LEDs off

0126 0000 # LEDs off

0127 0110 # 16 pulses, single integration

0128 0000 # continuous TIA connection

012A 0003 # Integrator pulse width

012B 0216 # Integrator pulse timing offset

012C 0210 # Modulation pulse width and
offset

012D 0000 # Integrator chopping off

012E 0000 # No ADC Offset

012F 0000 # No ADC Offset

0130 0003 # Configure number of bytes
written to the registers

レジスタ・マップ

表 29. ADPD4100 のレジスタ・マップの一覧

Reg	Name	Bits	Bit 15 Bit 7	Bit 14 Bit 6	Bit 13 Bit 5	Bit 12 Bit 4	Bit 11 Bit 3	Bit 10 Bit 2	Bit 9 Bit 1	Bit 8 Bit 0	Reset	R/W		
0x0000	FIFO_STATUS	[15:8]	CLEAR_FIFO	INT_FIFO_UFLOW	INT_FIFO_OFLOW	Reserved		FIFO_BYTE_COUNT[10:8]			0x0000	R/W		
		[7:0]	FIFO_BYTE_COUNT[7:0]											
0x0001	INT_STATUS_DATA	[15:8]	INT_FIFO_TH	Reserved			INT_DATA_L	INT_DATA_K	INT_DATA_J	INT_DATA_I	0x0000	R/W		
		[7:0]	INT_DATA_H	INT_DATA_G	INT_DATA_F	INT_DATA_E	INT_DATA_D	INT_DATA_C	INT_DATA_B	INT_DATA_A				
0x0002	INT_STATUS_LEV0	[15:8]	Reserved				INT_LEV0_L	INT_LEV0_K	INT_LEV0_J	INT_LEV0_I	0x0000	R/W		
		[7:0]	INT_LEV0_H	INT_LEV0_G	INT_LEV0_F	INT_LEV0_E	INT_LEV0_D	INT_LEV0_C	INT_LEV0_B	INT_LEV0_A				
0x0003	INT_STATUS_LEV1	[15:8]	Reserved				INT_LEV1_L	INT_LEV1_K	INT_LEV1_J	INT_LEV1_I	0x0000	R/W		
		[7:0]	INT_LEV1_H	INT_LEV1_G	INT_LEV1_F	INT_LEV1_E	INT_LEV1_D	INT_LEV1_C	INT_LEV1_B	INT_LEV1_A				
0x0004	INT_STATUS_TC1	[15:8]	Reserved				INT_TCLN1_L	INT_TCLN1_K	INT_TCLN1_J	INT_TCLN1_I	0x0000	R/W		
		[7:0]	INT_TCLN1_H	INT_TCLN1_G	INT_TCLN1_F	INT_TCLN1_E	INT_TCLN1_D	INT_TCLN1_C	INT_TCLN1_B	INT_TCLN1_A				
0x0005	INT_STATUS_TC2	[15:8]	Reserved				INT_TCLN2_L	INT_TCLN2_K	INT_TCLN2_J	INT_TCLN2_I	0x0000	R/W		
		[7:0]	INT_TCLN2_H	INT_TCLN2_G	INT_TCLN2_F	INT_TCLN2_E	INT_TCLN2_D	INT_TCLN2_C	INT_TCLN2_B	INT_TCLN2_A				
0x0006	FIFO_TH	[15:8]	Reserved						FIFO_TH[9:8]			0x0000	R/W	
		[7:0]	FIFO_TH[7:0]											
0x0007	INT_ACLEAR	[15:8]	INT_ACLEAR_FIFO	Reserved			INT_ACLEAR_DATA_L	INT_ACLEAR_DATA_K	INT_ACLEAR_DATA_J	INT_ACLEAR_DATA_I	0x8FFF	R/W		
		[7:0]	INT_ACLEAR_DATA_H	INT_ACLEAR_DATA_G	INT_ACLEAR_DATA_F	INT_ACLEAR_DATA_E	INT_ACLEAR_DATA_D	INT_ACLEAR_DATA_C	INT_ACLEAR_DATA_B	INT_ACLEAR_DATA_A				
0x0008	CHIP_ID	[15:8]	Version										0x02C2	R
		[7:0]	CHIP_ID											
0x0009	OSC32M	[15:8]	Reserved										0x0080	R/W
		[7:0]	OSC_32M_FREQ_ADJ[7:0]											
0x000A	OSC32M_CAL	[15:8]	OSC_32M_CAL_START	OSC_32M_CAL_COUNT[14:8]									0x0000	R/W
		[7:0]	OSC_32M_CAL_COUNT[7:0]											
0x000B	OSC1M	[15:8]	Reserved					CLK_CAL_ENA	OSC_1M_FREQ_ADJ[9:8]			0x02B2	R/W	
		[7:0]	OSC_1M_FREQ_ADJ[7:0]											
0x000C	OSC32K	[15:8]	CAPTURE_TIMESTAMP	Reserved								0x0012	R/W	
		[7:0]	Reserved			OSC_32K_ADJUST[5:0]								
0x000D	TS_FREQ	[15:8]	TIMESLOT_PERIOD_L[15:8]										0x2710	R/W
		[7:0]	TIMESLOT_PERIOD_L[7:0]											
0x000E	TS_FREQH	[15:8]	Reserved										0x0000	R/W
		[7:0]	Reserved	TIMESLOT_PERIOD_H[6:0]										
0x000F	SYS_CTL	[15:8]	SW_RESET	Reserved					ALT_CLOCKS[1:0]			0x0000	R/W	
		[7:0]	ALT_CLK_GPIO[1:0]			Reserved			LFOSC_SEL	OSC_1M_EN	OSC_32K_EN			
0x0010	OPMODE	[15:8]	Reserved					TIMESLOT_EN[3:0]					0x0000	R/W
		[7:0]	Reserved								OP_MODE			
0x0011	STAMP_L	[15:8]	TIMESTAMP_COUNT_L[15:8]										0x0000	R
		[7:0]	TIMESTAMP_COUNT_L[7:0]											

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0012	STAMP_H	[15:8]	TIMESTAMP_COUNT_H[15:8]								0x0000	R	
		[7:0]	TIMESTAMP_COUNT_H[7:0]										
0x0013	STAMPDELTA	[15:8]	TIMESTAMP_SLOT_DELTA[15:8]								0x0000	R	
		[7:0]	TIMESTAMP_SLOT_DELTA[7:0]										
0x0014	INT_ENABLE_XD	[15:8]	INTX_EN_FIFO_TH	INTX_EN_FIFO_UFLOW	INTX_EN_FIFO_OFLOW	Reserved	INTX_EN_DATA_L	INTX_EN_DATA_K	INTX_EN_DATA_J	INTX_EN_DATA_I	0x0000	R/W	
		[7:0]	INTX_EN_DATA_H	INTX_EN_DATA_G	INTX_EN_DATA_F	INTX_EN_DATA_E	INTX_EN_DATA_D	INTX_EN_DATA_C	INTX_EN_DATA_B	INTX_EN_DATA_A			
0x0015	INT_ENABLE_YD	[15:8]	INTY_EN_FIFO_TH	INTY_EN_FIFO_UFLOW	INTY_EN_FIFO_OFLOW	Reserved	INTY_EN_DATA_L	INTY_EN_DATA_K	INTY_EN_DATA_J	INTY_EN_DATA_I	0x0000	R/W	
		[7:0]	INTY_EN_DATA_H	INTY_EN_DATA_G	INTY_EN_DATA_F	INTY_EN_DATA_E	INTY_EN_DATA_D	INTY_EN_DATA_C	INTY_EN_DATA_B	INTY_EN_DATA_A			
0x0016	INT_ENABLE_XL0	[15:8]	Reserved				INTX_EN_LEV0_L	INTX_EN_LEV0_K	INTX_EN_LEV0_J	INTX_EN_LEV0_I	0x0000	R/W	
		[7:0]	INTX_EN_LEV0_H	INTX_EN_LEV0_G	INTX_EN_LEV0_F	INTX_EN_LEV0_E	INTX_EN_LEV0_D	INTX_EN_LEV0_C	INTX_EN_LEV0_B	INTX_EN_LEV0_A			
0x0017	INT_ENABLE_XL1	[15:8]	Reserved				INTX_EN_LEV1_L	INTX_EN_LEV1_K	INTX_EN_LEV1_J	INTX_EN_LEV1_I	0x0000	R/W	
		[7:0]	INTX_EN_LEV1_H	INTX_EN_LEV1_G	INTX_EN_LEV1_F	INTX_EN_LEV1_E	INTX_EN_LEV1_D	INTX_EN_LEV1_C	INTX_EN_LEV1_B	INTX_EN_LEV1_A			
0x0018	INT_ENABLE_XT1	[15:8]	Reserved				INTX_EN_TCLN1_L	INTX_EN_TCLN1_K	INTX_EN_TCLN1_J	INTX_EN_TCLN1_I	0x0000	R/W	
		[7:0]	INTX_EN_TCLN1_H	INTX_EN_TCLN1_G	INTX_EN_TCLN1_F	INTX_EN_TCLN1_E	INTX_EN_TCLN1_D	INTX_EN_TCLN1_C	INTX_EN_TCLN1_B	INTX_EN_TCLN1_A			
0x0019	INT_ENABLE_XT2	[15:8]	Reserved				INTX_EN_TCLN2_L	INTX_EN_TCLN2_K	INTX_EN_TCLN2_J	INTX_EN_TCLN2_I	0x0000	R/W	
		[7:0]	INTX_EN_TCLN2_H	INTX_EN_TCLN2_G	INTX_EN_TCLN2_F	INTX_EN_TCLN2_E	INTX_EN_TCLN2_D	INTX_EN_TCLN2_C	INTX_EN_TCLN2_B	INTX_EN_TCLN2_A			
0x001A	INT_ENABLE_YL0	[15:8]	Reserved				INTY_EN_LEV0_L	INTY_EN_LEV0_K	INTY_EN_LEV0_J	INTY_EN_LEV0_I	0x0000	R/W	
		[7:0]	INTY_EN_LEV0_H	INTY_EN_LEV0_G	INTY_EN_LEV0_F	INTY_EN_LEV0_E	INTY_EN_LEV0_D	INTY_EN_LEV0_C	INTY_EN_LEV0_B	INTY_EN_LEV0_A			
0x001B	INT_ENABLE_YL1	[15:8]	Reserved				INTY_EN_LEV1_L	INTY_EN_LEV1_K	INTY_EN_LEV1_J	INTY_EN_LEV1_I	0x0000	R/W	
		[7:0]	INTY_EN_LEV1_H	INTY_EN_LEV1_G	INTY_EN_LEV1_F	INTY_EN_LEV1_E	INTY_EN_LEV1_D	INTY_EN_LEV1_C	INTY_EN_LEV1_B	INTY_EN_LEV1_A			
0x001C	INT_ENABLE_YT1	[15:8]	Reserved				INTY_EN_TCLN1_L	INTY_EN_TCLN1_K	INTY_EN_TCLN1_J	INTY_EN_TCLN1_I	0x0000	R/W	
		[7:0]	INTY_EN_TCLN1_H	INTY_EN_TCLN1_G	INTY_EN_TCLN1_F	INTY_EN_TCLN1_E	INTY_EN_TCLN1_D	INTY_EN_TCLN1_C	INTY_EN_TCLN1_B	INTY_EN_TCLN1_A			
0x001D	INT_ENABLE_YT2	[15:8]	Reserved				INTY_EN_TCLN2_L	INTY_EN_TCLN2_K	INTY_EN_TCLN2_J	INTY_EN_TCLN2_I	0x0000	R/W	
		[7:0]	INTY_EN_TCLN2_H	INTY_EN_TCLN2_G	INTY_EN_TCLN2_F	INTY_EN_TCLN2_E	INTY_EN_TCLN2_D	INTY_EN_TCLN2_C	INTY_EN_TCLN2_B	INTY_EN_TCLN2_A			
0x001E	FIFO_STATUS_BYTES	[15:8]	Reserved								ENA_STAT_TCX	0x0000	R/W
		[7:0]	ENA_STAT_TC2	ENA_STAT_TC1	ENA_STAT_LX	ENA_STAT_L1	ENA_STAT_L0	ENA_STAT_D2	ENA_STAT_D1	ENA_STAT_SUM			
0x0020	INPUT_SLEEP	[15:8]	INP_SLEEP_78[3:0]				INP_SLEEP_56[3:0]				0x0000	R/W	
		[7:0]	INP_SLEEP_34[3:0]				INP_SLEEP_12[3:0]						
0x0021	INPUT_CFG	[15:8]	Reserved								0x0000	R/W	
		[7:0]	VC2_SLEEP[1:0]		VC1_SLEEP[1:0]		PAIR78	PAIR56	PAIR34	PAIR12			
0x0022	GPIO_CFG	[15:8]	GPIO_SLEW[1:0]		GPIO_DRV[1:0]		GPIO_PIN_CFG3[2:0]			GPIO_PIN_CFG2[2]	0x0000	R/W	
		[7:0]	GPIO_PIN_CFG2[1:0]		GPIO_PIN_CFG1[2:0]			GPIO_PIN_CFG0[2:0]					
0x0023	GPIO01	[15:8]	Reserved		GPIOOUT1[6:0]						0x0000	R/W	
		[7:0]	Reserved		GPIOOUT0[6:0]								

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x0024	GPIO23	[15:8]	Reserved		GPIOOUT3[6:0]						0x0000	R/W		
		[7:0]	Reserved		GPIOOUT2[6:0]									
0x0025	GPIO_IN	[15:8]	Reserved									0x0000	R	
		[7:0]	Reserved						GPIO_INPUT[3:0]					
0x0026	GPIO_EXT	[15:8]	Reserved								TS_GPIO_SLEEP	0x0000	R/W	
		[7:0]	TIMESTAMP_INV	TIMESTAMP_ALWAYS_EN	TIMESTAMP_GPIO[1:0]		Reserved		EXT_SYNC_EN	EXT_SYNC_GPIO[1:0]				
0x002E	DATA_HOLD_FLAG	[15:8]	Reserved				HOLD_REGS_L	HOLD_REGS_K	HOLD_REGS_J	HOLD_REGS_I		0x0000	R/W	
		[7:0]	HOLD_REGS_H	HOLD_REGS_G	HOLD_REGS_F	HOLD_REGS_E	HOLD_REGS_D	HOLD_REGS_C	HOLD_REGS_B		HOLD_REGS_A			
0x002F	FIFO_DATA	[15:8]	FIFO_DATA[15:8]										0x0000	R
		[7:0]	FIFO_DATA[7:0]											
0x0030	SIGNAL1_L_A	[15:8]	SIGNAL1_L_A[15:8]										0x0000	R
		[7:0]	SIGNAL1_L_A[7:0]											
0x0031	SIGNAL1_H_A	[15:8]	SIGNAL1_H_A[15:8]										0x0000	R
		[7:0]	SIGNAL1_H_A[7:0]											
0x0032	SIGNAL2_L_A	[15:8]	SIGNAL2_L_A[15:8]										0x0000	R
		[7:0]	SIGNAL2_L_A[7:0]											
0x0033	SIGNAL2_H_A	[15:8]	SIGNAL2_H_A[15:8]										0x0000	R
		[7:0]	SIGNAL2_H_A[7:0]											
0x0034	DARK1_L_A	[15:8]	DARK1_L_A[15:8]										0x0000	R
		[7:0]	DARK1_L_A[7:0]											
0x0035	DARK1_H_A	[15:8]	DARK1_H_A[15:8]										0x0000	R
		[7:0]	DARK1_H_A[7:0]											
0x0036	DARK2_L_A	[15:8]	DARK2_L_A[15:8]										0x0000	R
		[7:0]	DARK2_L_A[7:0]											
0x0037	DARK2_H_A	[15:8]	DARK2_H_A[15:8]										0x0000	R
		[7:0]	DARK2_H_A[7:0]											
0x0038	SIGNAL1_L_B	[15:8]	SIGNAL1_L_B[15:8]										0x0000	R
		[7:0]	SIGNAL1_L_B[7:0]											
0x0039	SIGNAL1_H_B	[15:8]	SIGNAL1_H_B[15:8]										0x0000	R
		[7:0]	SIGNAL1_H_B[7:0]											
0x003A	SIGNAL2_L_B	[15:8]	SIGNAL2_L_B[15:8]										0x0000	R
		[7:0]	SIGNAL2_L_B[7:0]											
0x003B	SIGNAL2_H_B	[15:8]	SIGNAL2_H_B[15:8]										0x0000	R
		[7:0]	SIGNAL2_H_B[7:0]											
0x003C	DARK1_L_B	[15:8]	DARK1_L_B[15:8]										0x0000	R
		[7:0]	DARK1_L_B[7:0]											
0x003D	DARK1_H_B	[15:8]	DARK1_H_B[15:8]										0x0000	R
		[7:0]	DARK1_H_B[7:0]											
0x003E	DARK2_L_B	[15:8]	DARK2_L_B[15:8]										0x0000	R
		[7:0]	DARK2_L_B[7:0]											
0x003F	DARK2_H_B	[15:8]	DARK2_H_B[15:8]										0x0000	R
		[7:0]	DARK2_H_B[7:0]											
0x0040	SIGNAL1_L_C	[15:8]	SIGNAL1_L_C[15:8]										0x0000	R
		[7:0]	SIGNAL1_L_C[7:0]											
0x0041	SIGNAL1_H_C	[15:8]	SIGNAL1_H_C[15:8]										0x0000	R
		[7:0]	SIGNAL1_H_C[7:0]											
0x0042	SIGNAL2_L_C	[15:8]	SIGNAL2_L_C[15:8]										0x0000	R
		[7:0]	SIGNAL2_L_C[7:0]											
0x0043	SIGNAL2_H_C	[15:8]	SIGNAL2_H_C[15:8]										0x0000	R
		[7:0]	SIGNAL2_H_C[7:0]											

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0044	DARK1_L_C	[15:8]	DARK1_L_C[15:8]									0x0000	R
		[7:0]	DARK1_L_C[7:0]										
0x0045	DARK1_H_C	[15:8]	DARK1_H_C[15:8]									0x0000	R
		[7:0]	DARK1_H_C[7:0]										
0x0046	DARK2_L_C	[15:8]	DARK2_L_C[15:8]									0x0000	R
		[7:0]	DARK2_L_C[7:0]										
0x0047	DARK2_H_C	[15:8]	DARK2_H_C[15:8]									0x0000	R
		[7:0]	DARK2_H_C[7:0]										
0x0048	SIGNAL1_L_D	[15:8]	SIGNAL1_L_D[15:8]									0x0000	R
		[7:0]	SIGNAL1_L_D[7:0]										
0x0049	SIGNAL1_H_D	[15:8]	SIGNAL1_H_D[15:8]									0x0000	R
		[7:0]	SIGNAL1_H_D[7:0]										
0x004A	SIGNAL2_L_D	[15:8]	SIGNAL2_L_D[15:8]									0x0000	R
		[7:0]	SIGNAL2_L_D[7:0]										
0x004B	SIGNAL2_H_D	[15:8]	SIGNAL2_H_D[15:8]									0x0000	R
		[7:0]	SIGNAL2_H_D[7:0]										
0x004C	DARK1_L_D	[15:8]	DARK1_L_D[15:8]									0x0000	R
		[7:0]	DARK1_L_D[7:0]										
0x004D	DARK1_H_D	[15:8]	DARK1_H_D[15:8]									0x0000	R
		[7:0]	DARK1_H_D[7:0]										
0x004E	DARK2_L_D	[15:8]	DARK2_L_D[15:8]									0x0000	R
		[7:0]	DARK2_L_D[7:0]										
0x004F	DARK2_H_D	[15:8]	DARK2_H_D[15:8]									0x0000	R
		[7:0]	DARK2_H_D[7:0]										
0x0050	SIGNAL1_L_E	[15:8]	SIGNAL1_L_E[15:8]									0x0000	R
		[7:0]	SIGNAL1_L_E[7:0]										
0x0051	SIGNAL1_H_E	[15:8]	SIGNAL1_H_E[15:8]									0x0000	R
		[7:0]	SIGNAL1_H_E[7:0]										
0x0052	SIGNAL2_L_E	[15:8]	SIGNAL2_L_E[15:8]									0x0000	R
		[7:0]	SIGNAL2_L_E[7:0]										
0x0053	SIGNAL2_H_E	[15:8]	SIGNAL2_H_E[15:8]									0x0000	R
		[7:0]	SIGNAL2_H_E[7:0]										
0x0054	DARK1_L_E	[15:8]	DARK1_L_E[15:8]									0x0000	R
		[7:0]	DARK1_L_E[7:0]										
0x0055	DARK1_H_E	[15:8]	DARK1_H_E[15:8]									0x0000	R
		[7:0]	DARK1_H_E[7:0]										
0x0056	DARK2_L_E	[15:8]	DARK2_L_E[15:8]									0x0000	R
		[7:0]	DARK2_L_E[7:0]										
0x0057	DARK2_H_E	[15:8]	DARK2_H_E[15:8]									0x0000	R
		[7:0]	DARK2_H_E[7:0]										
0x0058	SIGNAL1_L_F	[15:8]	SIGNAL1_L_F[15:8]									0x0000	R
		[7:0]	SIGNAL1_L_F[7:0]										
0x0059	SIGNAL1_H_F	[15:8]	SIGNAL1_H_F[15:8]									0x0000	R
		[7:0]	SIGNAL1_H_F[7:0]										
0x005A	SIGNAL2_L_F	[15:8]	SIGNAL2_L_F[15:8]									0x0000	R
		[7:0]	SIGNAL2_L_F[7:0]										
0x005B	SIGNAL2_H_F	[15:8]	SIGNAL2_H_F[15:8]									0x0000	R
		[7:0]	SIGNAL2_H_F[7:0]										
0x005C	DARK1_L_F	[15:8]	DARK1_L_F[15:8]									0x0000	R
		[7:0]	DARK1_L_F[7:0]										
0x005D	DARK1_H_F	[15:8]	DARK1_H_F[15:8]									0x0000	R
		[7:0]	DARK1_H_F[7:0]										
0x005E	DARK2_L_F	[15:8]	DARK2_L_F[15:8]									0x0000	R
		[7:0]	DARK2_L_F[7:0]										

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x005F	DARK2_H_F	[15:8]	DARK2_H_F[15:8]								0x0000	R
		[7:0]	DARK2_H_F[7:0]									
0x0060	SIGNAL1_L_G	[15:8]	SIGNAL1_L_G[15:8]								0x0000	R
		[7:0]	SIGNAL1_L_G[7:0]									
0x0061	SIGNAL1_H_G	[15:8]	SIGNAL1_H_G[15:8]								0x0000	R
		[7:0]	SIGNAL1_H_G[7:0]									
0x0062	SIGNAL2_L_G	[15:8]	SIGNAL2_L_G[15:8]								0x0000	R
		[7:0]	SIGNAL2_L_G[7:0]									
0x0063	SIGNAL2_H_G	[15:8]	SIGNAL2_H_G[15:8]								0x0000	R
		[7:0]	SIGNAL2_H_G[7:0]									
0x0064	DARK1_L_G	[15:8]	DARK1_L_G[15:8]								0x0000	R
		[7:0]	DARK1_L_G[7:0]									
0x0065	DARK1_H_G	[15:8]	DARK1_H_G[15:8]								0x0000	R
		[7:0]	DARK1_H_G[7:0]									
0x0066	DARK2_L_G	[15:8]	DARK2_L_G[15:8]								0x0000	R
		[7:0]	DARK2_L_G[7:0]									
0x0067	DARK2_H_G	[15:8]	DARK2_H_G[15:8]								0x0000	R
		[7:0]	DARK2_H_G[7:0]									
0x0068	SIGNAL1_L_H	[15:8]	SIGNAL1_L_H[15:8]								0x0000	R
		[7:0]	SIGNAL1_L_H[7:0]									
0x0069	SIGNAL1_H_H	[15:8]	SIGNAL1_H_H[15:8]								0x0000	R
		[7:0]	SIGNAL1_H_H[7:0]									
0x006A	SIGNAL2_L_H	[15:8]	SIGNAL2_L_H[15:8]								0x0000	R
		[7:0]	SIGNAL2_L_H[7:0]									
0x006B	SIGNAL2_H_H	[15:8]	SIGNAL2_H_H[15:8]								0x0000	R
		[7:0]	SIGNAL2_H_H[7:0]									
0x006C	DARK1_L_H	[15:8]	DARK1_L_H[15:8]								0x0000	R
		[7:0]	DARK1_L_H[7:0]									
0x006D	DARK1_H_H	[15:8]	DARK1_H_H[15:8]								0x0000	R
		[7:0]	DARK1_H_H[7:0]									
0x006E	DARK2_L_H	[15:8]	DARK2_L_H[15:8]								0x0000	R
		[7:0]	DARK2_L_H[7:0]									
0x006F	DARK2_H_H	[15:8]	DARK2_H_H[15:8]								0x0000	R
		[7:0]	DARK2_H_H[7:0]									
0x0070	SIGNAL1_L_I	[15:8]	SIGNAL1_L_I[15:8]								0x0000	R
		[7:0]	SIGNAL1_L_I[7:0]									
0x0071	SIGNAL1_H_I	[15:8]	SIGNAL1_H_I[15:8]								0x0000	R
		[7:0]	SIGNAL1_H_I[7:0]									
0x0072	SIGNAL2_L_I	[15:8]	SIGNAL2_L_I[15:8]								0x0000	R
		[7:0]	SIGNAL2_L_I[7:0]									
0x0073	SIGNAL2_H_I	[15:8]	SIGNAL2_H_I[15:8]								0x0000	R
		[7:0]	SIGNAL2_H_I[7:0]									
0x0074	DARK1_L_I	[15:8]	DARK1_L_I[15:8]								0x0000	R
		[7:0]	DARK1_L_I[7:0]									
0x0075	DARK1_H_I	[15:8]	DARK1_H_I[15:8]								0x0000	R
		[7:0]	DARK1_H_I[7:0]									
0x0076	DARK2_L_I	[15:8]	DARK2_L_I[15:8]								0x0000	R
		[7:0]	DARK2_L_I[7:0]									
0x0077	DARK2_H_I	[15:8]	DARK2_H_I[15:8]								0x0000	R
		[7:0]	DARK2_H_I[7:0]									
0x0078	SIGNAL1_L_J	[15:8]	SIGNAL1_L_J[15:8]								0x0000	R
		[7:0]	SIGNAL1_L_J[7:0]									
0x0079	SIGNAL1_H_J	[15:8]	SIGNAL1_H_J[15:8]								0x0000	R
		[7:0]	SIGNAL1_H_J[7:0]									

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x007A	SIGNAL2_L_J	[15:8]	SIGNAL2_L_J[15:8]									0x0000	R
		[7:0]	SIGNAL2_L_J[7:0]										
0x007B	SIGNAL2_H_J	[15:8]	SIGNAL2_H_J[15:8]									0x0000	R
		[7:0]	SIGNAL2_H_J[7:0]										
0x007C	DARK1_L_J	[15:8]	DARK1_L_J[15:8]									0x0000	R
		[7:0]	DARK1_L_J[7:0]										
0x007D	DARK1_H_J	[15:8]	DARK1_H_J[15:8]									0x0000	R
		[7:0]	DARK1_H_J[7:0]										
0x007E	DARK2_L_J	[15:8]	DARK2_L_J[15:8]									0x0000	R
		[7:0]	DARK2_L_J[7:0]										
0x007F	DARK2_H_J	[15:8]	DARK2_H_J[15:8]									0x0000	R
		[7:0]	DARK2_H_J[7:0]										
0x0080	SIGNAL1_L_K	[15:8]	SIGNAL1_L_K[15:8]									0x0000	R
		[7:0]	SIGNAL1_L_K[7:0]										
0x0081	SIGNAL1_H_K	[15:8]	SIGNAL1_H_K[15:8]									0x0000	R
		[7:0]	SIGNAL1_H_K[7:0]										
0x0082	SIGNAL2_L_K	[15:8]	SIGNAL2_L_K[15:8]									0x0000	R
		[7:0]	SIGNAL2_L_K[7:0]										
0x0083	SIGNAL2_H_K	[15:8]	SIGNAL2_H_K[15:8]									0x0000	R
		[7:0]	SIGNAL2_H_K[7:0]										
0x0084	DARK1_L_K	[15:8]	DARK1_L_K[15:8]									0x0000	R
		[7:0]	DARK1_L_K[7:0]										
0x0085	DARK1_H_K	[15:8]	DARK1_H_K[15:8]									0x0000	R
		[7:0]	DARK1_H_K[7:0]										
0x0086	DARK2_L_K	[15:8]	DARK2_L_K[15:8]									0x0000	R
		[7:0]	DARK2_L_K[7:0]										
0x0087	DARK2_H_K	[15:8]	DARK2_H_K[15:8]									0x0000	R
		[7:0]	DARK2_H_K[7:0]										
0x0088	SIGNAL1_L_L	[15:8]	SIGNAL1_L_L[15:8]									0x0000	R
		[7:0]	SIGNAL1_L_L[7:0]										
0x0089	SIGNAL1_H_L	[15:8]	SIGNAL1_H_L[15:8]									0x0000	R
		[7:0]	SIGNAL1_H_L[7:0]										
0x008A	SIGNAL2_L_L	[15:8]	SIGNAL2_L_L[15:8]									0x0000	R
		[7:0]	SIGNAL2_L_L[7:0]										
0x008B	SIGNAL2_H_L	[15:8]	SIGNAL2_H_L[15:8]									0x0000	R
		[7:0]	SIGNAL2_H_L[7:0]										
0x008C	DARK1_L_L	[15:8]	DARK1_L_L[15:8]									0x0000	R
		[7:0]	DARK1_L_L[7:0]										
0x008D	DARK1_H_L	[15:8]	DARK1_H_L[15:8]									0x0000	R
		[7:0]	DARK1_H_L[7:0]										
0x008E	DARK2_L_L	[15:8]	DARK2_L_L[15:8]									0x0000	R
		[7:0]	DARK2_L_L[7:0]										
0x008F	DARK2_H_L	[15:8]	DARK2_H_L[15:8]									0x0000	R
		[7:0]	DARK2_H_L[7:0]										
0x00B4	IO_ADJUST	[15:8]	Reserved									0x0050	R/W
		[7:0]	Reserved (set to 0x0)	LOW_IOVDD_EN	Reserved (set to 0x0)	Reserved (set to 0x1)	SPI_SLEW[1:0]		SPI_DRV[1:0]				
0x00B6	I2C_KEY	[15:8]	I2C_KEY_MATCH[3:0]			I2C_KEY[11:8]						0x0000	R/W
		[7:0]	I2C_KEY[7:0]										
0x00B7	I2C_ADDR	[15:8]	I2C_SLAVE_KEY2[7:0]									0x0048	R/W
		[7:0]	I2C_SLAVE_ADDR[6:0]						Reserved				
0x0100	TS_CTRL_A	[15:8]	SUBSAMPLE_A	CH2_EN_A	SAMPLE_TYPE_A[1:0]		INPUT_R_SELECT_A[1:0]		TIMESLOT_OFFSET_A[9:8]		0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_A[7:0]										

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x0101	TS_PATH_A	[15:8]	PRE_WIDTH_A[3:0]				Reserved			TS_GPIO_A	AFE_PATH_CFG_A[8]	0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_A[7:0]											
0x0102	INPUTS_A	[15:8]	INP78_A[3:0]				INP56_A[3:0]				0x0000	R/W		
		[7:0]	INP34_A[3:0]				INP12_A[3:0]							
0x0103	CATHODE_A	[15:8]	Reserved	PRECON_A[2:0]			VC2_PULSE_A[1:0]		VC2_ALT_A[1:0]		0x0000	R/W		
		[7:0]	VC2_SEL_A[1:0]		VC1_PULSE_A[1:0]		VC1_ALT_A[1:0]		VC1_SEL_A[1:0]					
0x0104	AFE_TRIM_A	[15:8]	TIA_CEIL_DETECT_EN_A	CH2_TRIM_INT_A[1:0]		CH1_TRIM_INT_A[1:0]		VREF_PULSE_A	AFE_TRIM_VREF_A[1:0]		0x03C0	R/W		
		[7:0]	VREF_PULSE_VAL_A[1:0]		TIA_GAIN_CH2_A[2:0]			TIA_GAIN_CH1_A[2:0]						
0x0105	LED_POW12_A	[15:8]	LED_DRIVESIDE2_A	LED_CURRENT2_A[6:0]						0x0000	R/W			
		[7:0]	LED_DRIVESIDE1_A	LED_CURRENT1_A[6:0]										
0x0106	LED_POW34_A	[15:8]	LED_DRIVESIDE4_A	LED_CURRENT4_A[6:0]						0x0000	R/W			
		[7:0]	LED_DRIVESIDE3_A	LED_CURRENT3_A[6:0]										
0x0107	COUNTS_A	[15:8]	NUM_INT_A[7:0]						0x0101	R/W				
		[7:0]	NUM_REPEAT_A[7:0]											
0x0108	PERIOD_A	[15:8]	Reserved		MOD_TYPE_A[1:0]		Reserved		MIN_PERIOD_A[9:8]		0x0000	R/W		
		[7:0]	MIN_PERIOD_A[7:0]											
0x0109	LED_PULSE_A	[15:8]	LED_WIDTH_A[7:0]						0x0210	R/W				
		[7:0]	LED_OFFSET_A[7:0]											
0x010A	INTEG_SETUP_A	[15:8]	SINGLE_INTEG_A	CH2_AMP_DISABLE_A[2:0]			AFE_INT_C_BUF_A	CH1_AMP_DISABLE_A[2:0]			0x0003	R/W		
		[7:0]	ADC_COUNT_A[1:0]		Reserved	INTEG_WIDTH_A[4:0]								
0x010B	INTEG_OS_A	[15:8]	Reserved				INTEG_OFFSET_A[12:8]				0x0214	R/W		
		[7:0]	INTEG_OFFSET_A[7:0]											
0x010C	MOD_PULSE_A	[15:8]	MOD_WIDTH_A[7:0]						0x0001	R/W				
		[7:0]	MOD_OFFSET_A[7:0]											
0x010D	PATTERN_A	[15:8]	LED_DISABLE_A[3:0]				MOD_DISABLE_A[3:0]				0x0000	R/W		
		[7:0]	SUBTRACT_A[3:0]				REVERSE_INTEG_A[3:0]							
0x010E	ADC_OFF1_A	[15:8]	Reserved			CH1_ADC_ADJUST_A[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_A[7:0]											
0x010F	ADC_OFF2_A	[15:8]	ZERO_ADJUST_A	Reserved	CH2_ADC_ADJUST_A[13:8]							0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_A[7:0]											
0x0110	DATA_FORMAT_A	[15:8]	DARK_SHIFT_A[4:0]				DARK_SIZE_A[2:0]				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_A[4:0]				SIGNAL_SIZE_A[2:0]							
0x0111	LIT_DATA_FORMAT_A	[15:8]	Reserved										0x0000	R/W
		[7:0]	LIT_SHIFT_A[4:0]				LIT_SIZE_A[2:0]							
0x0112	DECIMATE_A	[15:8]	Reserved				DECIMATE_FACTOR_A[6:4]				0x0000	R/W		
		[7:0]	DECIMATE_FACTOR_A[3:0]			DECIMATE_TYPE_A[3:0]								
0x0113	DIGINT_LIT_A	[15:8]	Reserved							LIT_OFFSET_A[8]	0x0026	R/W		
		[7:0]	LIT_OFFSET_A[7:0]											
0x0114	DIGINT_DARK_A	[15:8]	DARK2_OFFSET_A[8:1]						0x2306	R/W				
		[7:0]	DARK2_OFFSET_A[0]	DARK1_OFFSET_A[6:0]										
0x0115	THRESH_CFG_A	[15:8]	Reserved										0x0000	R/W
		[7:0]	THRESH1_CHAN_A	THRESH1_DIR_A	THRESH1_TYPE_A[1:0]	THRESH0_CHAN_A	THRESH0_DIR_A	THRESH0_TYPE_A[1:0]						
0x0116	THRESH0_A	[15:8]	Reserved				THRESH0_SHIFT_A[4:0]				0x0000	R/W		
		[7:0]	THRESH0_VALUE_A[7:0]											

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W				
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0						
0x0117	THRESH1_A	[15:8]	Reserved			THRESH1_SHIFT_A[4:0]						0x0000	R/W			
		[7:0]	THRESH1_VALUE_A[7:0]													
0x0120	TS_CTRL_B	[15:8]	SUBSAMPLE_B	CH2_EN_B	SAMPLE_TYPE_B[1:0]		INPUT_R_SELECT_B[1:0]		TIMESLOT_OFFSET_B[9:8]				0x0000	R/W		
		[7:0]	TIMESLOT_OFFSET_B[7:0]													
0x0121	TS_PATH_B	[15:8]	PRE_WIDTH_B[3:0]				Reserved			TS_GPIO_B	AFE_PATH_CFG_B[8]	0x40DA	R/W			
		[7:0]	AFE_PATH_CFG_B[7:0]													
0x0122	INPUTS_B	[15:8]	INP78_B[3:0]				INP56_B[3:0]					0x0000	R/W			
		[7:0]	INP34_B[3:0]				INP12_B[3:0]									
0x0123	CATHODE_B	[15:8]	Reserved	PRECON_B[2:0]			VC2_PULSE_B[1:0]		VC2_ALT_B[1:0]				0x0000	R/W		
		[7:0]	VC2_SEL_B[1:0]		VC1_PULSE_B[1:0]		VC1_ALT_B[1:0]		VC1_SEL_B[1:0]							
0x0124	AFE_TRIM_B	[15:8]	TIA_CEIL_DETECT_EN_B	CH2_TRIM_INT_B[1:0]		CH2_TRIM_INT_B[1:0]		VREF_PULSE_B		AFE_TRIM_VREF_B[1:0]			0x03C0	R/W		
		[7:0]	VREF_PULSE_VAL_B[1:0]		TIA_GAIN_CH2_B[2:0]			TIA_GAIN_CH1_B[2:0]								
0x0125	LED_POW12_B	[15:8]	LED_DRIVESIDE2_B	LED_CURRENT2_B[6:0]								0x0000	R/W			
		[7:0]	LED_DRIVESIDE1_B	LED_CURRENT1_B[6:0]												
0x0126	LED_POW34_B	[15:8]	LED_DRIVESIDE4_B	LED_CURRENT4_B[6:0]								0x0000	R/W			
		[7:0]	LED_DRIVESIDE3_B	LED_CURRENT3_B[6:0]												
0x0127	COUNTS_B	[15:8]	NUM_INT_B[7:0]									0x0101	R/W			
		[7:0]	NUM_REPEAT_B[7:0]													
0x0128	PERIOD_B	[15:8]	Reserved			MOD_TYPE_B[1:0]		Reserved			MIN_PERIOD_B[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_B[7:0]													
0x0129	LED_PULSE_B	[15:8]	LED_WIDTH_B[7:0]									0x0210	R/W			
		[7:0]	LED_OFFSET_B[7:0]													
0x012A	INTEG_SETUP_B	[15:8]	SINGLE_INTEG_B	CH2_AMP_DISABLE_B[2:0]			AFE_INT_C_BUF_B		CH1_AMP_DISABLE_B[2:0]				0x0003	R/W		
		[7:0]	ADC_COUNT_B[1:0]		Reserved		INTEG_WIDTH_B[4:0]									
0x012B	INTEG_OS_B	[15:8]	Reserved				INTEG_OFFSET_B[12:8]					0x0214	R/W			
		[7:0]	INTEG_OFFSET_B[7:0]													
0x012C	MOD_PULSE_B	[15:8]	MOD_WIDTH_B[7:0]									0x0001	R/W			
		[7:0]	MOD_OFFSET_B[7:0]													
0x012D	PATTERN_B	[15:8]	LED_DISABLE_B[3:0]				MOD_DISABLE_B[3:0]					0x0000	R/W			
		[7:0]	SUBTRACT_B[3:0]				REVERSE_INTEG_B[3:0]									
0x012E	ADC_OFF1_B	[15:8]	Reserved			CH1_ADC_ADJUST_B[13:8]						0x0000	R/W			
		[7:0]	CH1_ADC_ADJUST_B[7:0]													
0x012F	ADC_OFF2_B	[15:8]	ZERO_ADJUST_B	Reserved		CH2_ADC_ADJUST_B[13:8]						0x0000	R/W			
		[7:0]	CH2_ADC_ADJUST_B[7:0]													
0x0130	DATA_FORMAT_B	[15:8]	DARK_SHIFT_B[4:0]				DARK_SIZE_B[2:0]					0x0003	R/W			
		[7:0]	SIGNAL_SHIFT_B[4:0]				SIGNAL_SIZE_B[2:0]									
0x0131	LIT_DATA_FORMAT_B	[15:8]	Reserved											0x0000	R/W	
		[7:0]	LIT_SHIFT_B[4:0]				LIT_SIZE_B[2:0]									
0x0132	DECIMATE_B	[15:8]	Reserved									DECIMATE_FACTOR_B[6:4]			0x0000	R/W
		[7:0]	DECIMATE_FACTOR_B[3:0]				DECIMATE_TYPE_B[3:0]									
0x0133	DIGINT_LIT_B	[15:8]	Reserved								LIT_OFFSET_B[8]		0x0026	R/W		
		[7:0]	LIT_OFFSET_B[7:0]													
0x0134	DIGINT_DARK_B	[15:8]	DARK2_OFFSET_B[8:1]											0x2306	R/W	
		[7:0]	DARK2_OFFSET_B[0]	DARK1_OFFSET_B[6:0]												

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x0135	THRESH_CFG_B	[15:8]	Reserved									0x0000	R/W	
		[7:0]	THRESH1_CHAN_B	THRESH1_DIR_B	THRESH1_TYPE_B[1:0]		THRESH0_CHAN_B	THRESH0_DIR_B	THRESH0_TYPE_B[1:0]					
0x0136	THRESH0_B	[15:8]	Reserved			THRESH0_SHIFT_B[4:0]						0x0000	R/W	
		[7:0]	THRESH0_VALUE_B[7:0]											
0x0137	THRESH1_B	[15:8]	Reserved			THRESH1_SHIFT_B[4:0]						0x0000	R/W	
		[7:0]	THRESH1_VALUE_B[7:0]											
0x0140	TS_CTRL_C	[15:8]	SUBSAMPLE_C	CH2_EN_C	SAMPLE_TYPE_C[1:0]		INPUT_R_SELECT_C[1:0]		TIMESLOT_OFFSET_C[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_C[7:0]											
0x0141	TS_PATH_C	[15:8]	PRE_WIDTH_C[3:0]			Reserved			TS_GPIO_C	AFE_PATH_CFG_C[8]		0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_C[7:0]											
0x0142	INPUTS_C	[15:8]	INP78_C[3:0]				INP56_C[3:0]				0x0000	R/W		
		[7:0]	INP34_C[3:0]				INP12_C[3:0]							
0x0143	CATHODE_C	[15:8]	Reserved	PRECON_C[2:0]		VC2_PULSE_C[1:0]		VC2_ALT_C[1:0]		0x0000	R/W			
		[7:0]	VC2_SEL_C[1:0]		VC1_PULSE_C[1:0]		VC1_ALT_C[1:0]		VC1_SEL_C[1:0]					
0x0144	AFE_TRIM_C	[15:8]	TIA_CEIL_DETECT_EN_C	CH2_TRIM_INT_C[1:0]		CH1_TRIM_INT_C[1:0]		VREF_PULSE_C	AFE_TRIM_VREF_C[1:0]		0x03C0	R/W		
		[7:0]	VREF_PULSE_VAL_C[1:0]		TIA_GAIN_CH2_C[2:0]		TIA_GAIN_CH1_C[2:0]							
0x0145	LED_POW12_C	[15:8]	LED_DRIVESIDE2_C	LED_CURRENT2_C[6:0]								0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_C	LED_CURRENT1_C[6:0]										
0x0146	LED_POW34_C	[15:8]	LED_DRIVESIDE4_C	LED_CURRENT4_C[6:0]								0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_C	LED_CURRENT3_C[6:0]										
0x0147	COUNTS_C	[15:8]	NUM_INT_C[7:0]									0x0101	R/W	
		[7:0]	NUM_REPEAT_C[7:0]											
0x0148	PERIOD_C	[15:8]	Reserved		MOD_TYPE_C[1:0]		Reserved		MIN_PERIOD_C[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_C[7:0]											
0x0149	LED_PULSE_C	[15:8]	LED_WIDTH_C[7:0]									0x0210	R/W	
		[7:0]	LED_OFFSET_C[7:0]											
0x014A	INTEG_SETUP_C	[15:8]	SINGLE_INTEG_C	CH2_AMP_DISABLE_C[2:0]			AFE_INT_BUF_C	CH1_AMP_DISABLE_C[2:0]			0x0003	R/W		
		[7:0]	ADC_COUNT_C[1:0]		Reserved		INTEG_WIDTH_C[4:0]							
0x014B	INTEG_OS_C	[15:8]	Reserved			INTEG_OFFSET_C[12:8]						0x0214	R/W	
		[7:0]	INTEG_OFFSET_C[7:0]											
0x014C	MOD_PULSE_C	[15:8]	MOD_WIDTH_C[7:0]									0x0001	R/W	
		[7:0]	MOD_OFFSET_C[7:0]											
0x014D	PATTERN_C	[15:8]	LED_DISABLE_C[3:0]			MOD_DISABLE_C[3:0]						0x0000	R/W	
		[7:0]	SUBTRACT_C[3:0]			REVERSE_INTEG_C[3:0]								
0x014E	ADC_OFF1_C	[15:8]	Reserved			CH1_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_C[7:0]											
0x014F	ADC_OFF2_C	[15:8]	ZERO_ADJUST_C	Reserved		CH2_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_C[7:0]											
0x0150	DATA_FORMAT_C	[15:8]	DARK_SHIFT_C[4:0]				DARK_SIZE_C[2:0]				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_C[4:0]				SIGNAL_SIZE_C[2:0]							
0x0151	LIT_DATA_FORMAT_C	[15:8]	Reserved									0x0000	R/W	
		[7:0]	LIT_SHIFT_C[4:0]				LIT_SIZE_C[2:0]							
0x0152	DECIMATE_C	[15:8]	Reserved						DECIMATE_FACTOR_C[6:4]				0x0000	R/W
		[7:0]	DECIMATE_FACTOR_C[3:0]			DECIMATE_TYPE_C[3:0]								

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0153	DIGINT_LIT_C	[15:8]	Reserved								LIT_OFFSET_C[8]	0x0026	R/W
		[7:0]	LIT_OFFSET_C[7:0]										
0x0154	DIGINT_DARK_C	[15:8]	DARK2_OFFSET_C[8:1]									0x2306	R/W
		[7:0]	DARK2_OFFSET_C[0]	DARK1_OFFSET_C[6:0]									
0x0155	THRESH_CFG_C	[15:8]	Reserved									0x0000	R/W
		[7:0]	THRESH1_CHAN_C	THRESH1_DIR_C	THRESH1_TYPE_C[1:0]	THRESH0_CHAN_C	THRESH0_DIR_C	THRESH0_TYPE_C[1:0]					
0x0156	THRESH0_C	[15:8]	Reserved			THRESH0_SHIFT_C[4:0]						0x0000	R/W
		[7:0]	THRESH0_VALUE_C[7:0]										
0x0157	THRESH1_C	[15:8]	Reserved			THRESH1_SHIFT_C[4:0]						0x0000	R/W
		[7:0]	THRESH1_VALUE_C[7:0]										
0x0160	TS_CTRL_D	[15:8]	SUBSAMPLE_D	CH2_EN_D	SAMPLE_TYPE_D[1:0]	INPUT_R_SELECT_D[1:0]	TIMESLOT_OFFSET_D[9:8]				0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_D[7:0]										
0x0161	TS_PATH_D	[15:8]	PRE_WIDTH_D[3:0]			Reserved			TS_GPIO_D	AFE_PATH_CFG_D[8]	0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_D[7:0]										
0x0162	INPUTS_D	[15:8]	INP78_D[3:0]			INP56_D[3:0]						0x0000	R/W
		[7:0]	INP34_D[3:0]			INP12_D[3:0]							
0x0163	CATHODE_D	[15:8]	Reserved	PRECON_D[2:0]		VC2_PULSE_D[1:0]		VC2_ALT_D[1:0]				0x0000	R/W
		[7:0]	VC2_SEL_D[1:0]		VC1_PULSE_D[1:0]		VC1_ALT_D[1:0]		VC1_SEL_D[1:0]				
0x0164	AFE_TRIM_D	[15:8]	TIA_CEIL_DETECT_EN_D	CH2_TRIM_INT_D[1:0]	CH1_TRIM_INT_D[1:0]		VREF_PULSE_D	AFE_TRIM_VREF_D[1:0]				0x03C0	R/W
		[7:0]	VREF_PULSE_VAL_D[1:0]		TIA_GAIN_CH2_D[2:0]			TIA_GAIN_CH1_D[2:0]					
0x0165	LED_POW12_D	[15:8]	LED_DRIVESIDE2_D	LED_CURRENT2_D[6:0]								0x0000	R/W
		[7:0]	LED_DRIVESIDE1_D	LED_CURRENT1_D[6:0]									
0x0166	LED_POW34_D	[15:8]	LED_DRIVESIDE4_D	LED_CURRENT4_D[6:0]								0x0000	R/W
		[7:0]	LED_DRIVESIDE3_D	LED_CURRENT3_D[6:0]									
0x0167	COUNTS_D	[15:8]	NUM_INT_D[7:0]									0x0101	R/W
		[7:0]	NUM_REPEAT_D[7:0]										
0x0168	PERIOD_D	[15:8]	Reserved		MOD_TYPE_D[1:0]	Reserved			MIN_PERIOD_D[9:8]			0x0000	R/W
		[7:0]	MIN_PERIOD_D[7:0]										
0x0169	LED_PULSE_D	[15:8]	LED_WIDTH_D[7:0]									0x0210	R/W
		[7:0]	LED_OFFSET_D[7:0]										
0x016A	INTEG_SETUP_D	[15:8]	SINGLE_INTEG_D	CH2_AMP_DISABLE_D[2:0]		AFE_INT_C_BUF_D	CH1_AMP_DISABLE_D[2:0]					0x0003	R/W
		[7:0]	ADC_COUNT_D[1:0]		Reserved	INTEG_WIDTH_D[4:0]							
0x016B	INTEG_OS_D	[15:8]	Reserved			INTEG_OFFSET_D[12:8]						0x0214	R/W
		[7:0]	INTEG_OFFSET_D[7:0]										
0x016C	MOD_PULSE_D	[15:8]	MOD_WIDTH_D[7:0]									0x0001	R/W
		[7:0]	MOD_OFFSET_D[7:0]										
0x016D	PATTERN_D	[15:8]	LED_DISABLE_D[3:0]			MOD_DISABLE_D[3:0]						0x0000	R/W
		[7:0]	SUBTRACT_D[3:0]			REVERSE_INTEG_D[3:0]							
0x016E	ADC_OFF1_D	[15:8]	Reserved			CH1_ADC_ADJUST_D[13:8]						0x0000	R/W
		[7:0]	CH1_ADC_ADJUST_D[7:0]										
0x016F	ADC_OFF2_D	[15:8]	ZERO_ADJUST_D	Reserved	CH2_ADC_ADJUST_D[13:8]							0x0000	R/W
		[7:0]	CH2_ADC_ADJUST_D[7:0]										
0x0170	DATA_FORMAT_D	[15:8]	DARK_SHIFT_D[4:0]				DARK_SIZE_D[2:0]				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_D[4:0]				SIGNAL_SIZE_D[2:0]						

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0171	LIT_DATA_FORMAT_D	[15:8]	Reserved								0x0000	R/W	
		[7:0]	LIT_SHIFT_D[4:0]				LIT_SIZE_D[2:0]						
0x0172	DECIMATE_D	[15:8]	Reserved								0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_D[3:0]				DECIMATE_TYPE_D[3:0]						
0x0173	DIGINT_LIT_D	[15:8]	Reserved								0x0026	R/W	
		[7:0]	LIT_OFFSET_D[7:0]										
0x0174	DIGINT_DARK_D	[15:8]	DARK2_OFFSET_D[8:1]								0x2306	R/W	
		[7:0]	DARK2_OFFSET_D[0]	DARK1_OFFSET_D[6:0]									
0x0175	THRESH_CFG_D	[15:8]	Reserved								0x0000	R/W	
		[7:0]	THRESH1_CHAN_D	THRESH1_DIR_D	THRESH1_TYPE_D[1:0]	THRESH0_CHAN_D	THRESH0_DIR_D	THRESH0_TYPE_D[1:0]					
0x0176	THRESH0_D	[15:8]	Reserved				THRESH0_SHIFT_D[4:0]				0x0000	R/W	
		[7:0]	THRESH0_VALUE_D[7:0]										
0x0177	THRESH1_D	[15:8]	Reserved				THRESH1_SHIFT_D[4:0]				0x0000	R/W	
		[7:0]	THRESH1_VALUE_D[7:0]										
0x0180	TS_CTRL_E	[15:8]	SUBSAMPLE_E	CH2_EN_E	SAMPLE_TYPE_E[1:0]		INPUT_R_SELECT_E[1:0]		TIMESLOT_OFFSET_E[9:8]			0x0000	R/W
		[7:0]	TIMESLOT_OFFSET_E[7:0]										
0x0181	TS_PATH_E	[15:8]	PRE_WIDTH_E[3:0]				Reserved		TS_GPIO_E	AFE_PATH_CFG_E[8]		0x40DA	R/W
		[7:0]	AFE_PATH_CFG_E[7:0]										
0x0182	INPUTS_E	[15:8]	INP78_E[3:0]				INP56_E[3:0]				0x0000	R/W	
		[7:0]	INP34_E[3:0]				INP12_E[3:0]						
0x0183	CATHODE_E	[15:8]	Reserved	PRECON_E[2:0]			VC2_PULSE_E[1:0]		VC2_ALT_E[1:0]			0x0000	R/W
		[7:0]	VC2_SEL_E[1:0]		VC1_PULSE_E[1:0]		VC1_ALT_E[1:0]		VC1_SEL_E[1:0]				
0x0184	AFE_TRIM_E	[15:8]	TIA_CEIL_DETECT_EN_E	CH2_TRIM_INT_E[1:0]		CH1_TRIM_INT_E[1:0]		VREF_PULSE_E	AFE_TRIM_VREF_E[1:0]			0x03C0	R/W
		[7:0]	VREF_PULSE_VAL_E[1:0]		TIA_GAIN_CH2_E[2:0]			TIA_GAIN_CH1_E[2:0]					
0x0185	LED_POW12_E	[15:8]	LED_DRIVESIDE2_E	LED_CURRENT2_E[6:0]								0x0000	R/W
		[7:0]	LED_DRIVESIDE1_E	LED_CURRENT1_E[6:0]									
0x0186	LED_POW34_E	[15:8]	LED_DRIVESIDE4_E	LED_CURRENT4_E[6:0]								0x0000	R/W
		[7:0]	LED_DRIVESIDE3_E	LED_CURRENT3_E[6:0]									
0x0187	COUNTS_E	[15:8]	NUM_INT_E[7:0]								0x0101	R/W	
		[7:0]	NUM_REPEAT_E[7:0]										
0x0188	PERIOD_E	[15:8]	Reserved		MOD_TYPE_E[1:0]		Reserved		MIN_PERIOD_E[9:8]			0x0000	R/W
		[7:0]	MIN_PERIOD_E[7:0]										
0x0189	LED_PULSE_E	[15:8]	LED_WIDTH_E[7:0]								0x0210	R/W	
		[7:0]	LED_OFFSET_E[7:0]										
0x018A	INTEG_SETUP_E	[15:8]	SINGLE_INTEG_E	CH2_AMP_DISABLE_E[2:0]			AFE_INT_C_BUF_E	CH1_AMP_DISABLE_E[2:0]			0x0003	R/W	
		[7:0]	ADC_COUNT_E[1:0]		Reserved		INTEG_WIDTH_E[4:0]						
0x018B	INTEG_OS_E	[15:8]	Reserved				INTEG_OFFSET_E[12:8]				0x0214	R/W	
		[7:0]	INTEG_OFFSET_E[7:0]										
0x018C	MOD_PULSE_E	[15:8]	MOD_WIDTH_E[7:0]								0x0001	R/W	
		[7:0]	MOD_OFFSET_E[7:0]										
0x018D	PATTERN_E	[15:8]	LED_DISABLE_E[3:0]				MOD_DISABLE_E[3:0]				0x0000	R/W	
		[7:0]	SUBTRACT_E[3:0]				REVERSE_INTEG_E[3:0]						
0x018E	ADC_OFF1_E	[15:8]	Reserved				CH1_ADC_ADJUST_E[13:8]				0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_E[7:0]										

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x018F	ADC_OFF2_E	[15:8]	ZERO_ADJUST_E	Reserved	CH2_ADC_ADJUST_E[13:8]						0x0000	R/W
		[7:0]	CH2_ADC_ADJUST_E[7:0]									
0x0190	DATA_FORMAT_E	[15:8]	DARK_SHIFT_E[4:0]				DARK_SIZE_E[2:0]				0x0003	R/W
		[7:0]	SIGNAL_SHIFT_E[4:0]				SIGNAL_SIZE_E[2:0]					
0x0191	LIT_DATA_FORMAT_E	[15:8]	Reserved						0x0000	R/W		
		[7:0]	LIT_SHIFT_E[4:0]				LIT_SIZE_E[2:0]					
0x0192	DECIMATE_E	[15:8]	Reserved						DECIMATE_FACTOR_E[6:4]		0x0000	R/W
		[7:0]	DECIMATE_FACTOR_E[3:0]				DECIMATE_TYPE_E[3:0]					
0x0193	DIGINT_LIT_E	[15:8]	Reserved						LIT_OFFSET_E[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_E[7:0]									
0x0194	DIGINT_DARK_E	[15:8]	DARK2_OFFSET_E[8:1]						0x2306	R/W		
		[7:0]	DARK2_OFFSET_E[0]	DARK1_OFFSET_E[6:0]								
0x0195	THRESH_CFG_E	[15:8]	Reserved						0x0000	R/W		
		[7:0]	THRESH1_CHAN_E	THRESH1_DIR_E	THRESH1_TYPE_E[1:0]	THRESH0_CHAN_E	THRESH0_DIR_E	THRESH0_TYPE_E[1:0]				
0x0196	THRESH0_E	[15:8]	Reserved			THRESH0_SHIFT_E[4:0]			0x0000	R/W		
		[7:0]	THRESH0_VALUE_E[7:0]									
0x0197	THRESH1_E	[15:8]	Reserved			THRESH1_SHIFT_E[4:0]			0x0000	R/W		
		[7:0]	THRESH1_VALUE_E[7:0]									
0x01A0	TS_CTRL_F	[15:8]	SUBSAMPLE_F	CH2_EN_F	SAMPLE_TYPE_F[1:0]	INPUT_R_SELECT_F[1:0]	TIMESLOT_OFFSET_F[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_F[7:0]									
0x01A1	TS_PATH_F	[15:8]	PRE_WIDTH_F[3:0]			Reserved		TS_GPIO_F	AFE_PATH_CFG_F[8]	0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_F[7:0]									
0x01A2	INPUTS_F	[15:8]	INP78_F[3:0]				INP56_F[3:0]				0x0000	R/W
		[7:0]	INP34_F[3:0]				INP12_F[3:0]					
0x01A3	CATHODE_F	[15:8]	Reserved	PRECON_F[2:0]		VC2_PULSE_F[1:0]		VC2_ALT_F[1:0]		0x0000	R/W	
		[7:0]	VC2_SEL_F[1:0]		VC1_PULSE_F[1:0]		VC1_ALT_F[1:0]		VC1_SEL_F[1:0]			
0x01A4	AFE_TRIM_F	[15:8]	TIA_CEIL_DETECT_EN_F	CH2_TRIM_INT_F[1:0]	CH1_TRIM_INT_F[1:0]		VREF_PULSE_F	AFE_TRIM_VREF_F[1:0]		0x03C0	R/W	
		[7:0]	VREF_PULSE_VAL_F[1:0]		TIA_GAIN_CH2_F[2:0]		TIA_GAIN_CH1_F[2:0]					
0x01A5	LED_POW12_F	[15:8]	LED_DRIVESIDE2_F	LED_CURRENT2_F[6:0]						0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_F	LED_CURRENT1_F[6:0]								
0x01A6	LED_POW34_F	[15:8]	LED_DRIVESIDE4_F	LED_CURRENT4_F[6:0]						0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_F	LED_CURRENT3_F[6:0]								
0x01A7	COUNTS_F	[15:8]	NUM_INT_F[7:0]						0x0101	R/W		
		[7:0]	NUM_REPEAT_F[7:0]									
0x01A8	PERIOD_F	[15:8]	Reserved		MOD_TYPE_F[1:0]	Reserved		MIN_PERIOD_F[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_F[7:0]									
0x01A9	LED_PULSE_F	[15:8]	LED_WIDTH_F[7:0]						0x0210	R/W		
		[7:0]	LED_OFFSET_F[7:0]									
0x01AA	INTEG_SETUP_F	[15:8]	SINGLE_INTEG_F	CH2_AMP_DISABLE_F[2:0]		AFE_INT_C_BUF_F	CH1_AMP_DISABLE_F[2:0]		0x0003	R/W		
		[7:0]	ADC_COUNT_F[1:0]		Reserved	INTEG_WIDTH_F[4:0]						
0x01AB	INTEG_OS_F	[15:8]	Reserved						INTEG_OFFSET_F[12:8]		0x0214	R/W
		[7:0]	INTEG_OFFSET_F[7:0]									
0x01AC	MOD_PULSE_F	[15:8]	MOD_WIDTH_F[7:0]						0x0001	R/W		
		[7:0]	MOD_OFFSET_F[7:0]									

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x01AD	PATTERN_F	[15:8]	LED_DISABLE_F[3:0]				MOD_DISABLE_F[3:0]				0x0000	R/W		
		[7:0]	SUBTRACT_F[3:0]				REVERSE_INTEG_F[3:0]							
0x01AE	ADC_OFF1_F	[15:8]	Reserved				CH1_ADC_ADJUST_F[13:8]				0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_F[7:0]											
0x01AF	ADC_OFF2_F	[15:8]	ZERO_ADJUST_F	Reserved			CH2_ADC_ADJUST_F[13:8]				0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_F[7:0]											
0x01B0	DATA_FORMAT_F	[15:8]	DARK_SHIFT_F[4:0]				DARK_SIZE_F[2:0]				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_F[4:0]				SIGNAL_SIZE_F[2:0]							
0x01B1	LIT_DATA_FORMAT_F	[15:8]	Reserved								0x0000	R/W		
		[7:0]	LIT_SHIFT_F[4:0]				LIT_SIZE_F[2:0]							
0x01B2	DECIMATE_F	[15:8]	Reserved				DECIMATE_FACTOR_F[6:4]				0x0000	R/W		
		[7:0]	DECIMATE_FACTOR_F[3:0]				DECIMATE_TYPE_F[3:0]							
0x01B3	DIGINT_LIT_F	[15:8]	Reserved							LIT_OFFSET_F[8]	0x0026	R/W		
		[7:0]	LIT_OFFSET_F[7:0]											
0x01B4	DIGINT_DARK_F	[15:8]	DARK2_OFFSET_F[8:1]									0x2306	R/W	
		[7:0]	DARK2_OFFSET_F[0]	DARK1_OFFSET_F[6:0]										
0x01B5	THRESH_CFG_F	[15:8]	Reserved									0x0000	R/W	
		[7:0]	THRESH1_CHAN_F	THRESH1_DIR_F	THRESH1_TYPE_F[1:0]			THRESH0_CHAN_F	THRESH0_DIR_F	THRESH0_TYPE_F[1:0]				
0x01B6	THRESH0_F	[15:8]	Reserved				THRESH0_SHIFT_F[4:0]				0x0000	R/W		
		[7:0]	THRESH0_VALUE_F[7:0]											
0x01B7	THRESH1_F	[15:8]	Reserved				THRESH1_SHIFT_F[4:0]				0x0000	R/W		
		[7:0]	THRESH1_VALUE_F[7:0]											
0x01C0	TS_CTRL_G	[15:8]	SUBSAMPLE_G	CH2_EN_G	SAMPLE_TYPE_G[1:0]		INPUT_R_SELECT_G[1:0]		TIMESLOT_OFFSET_G[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_G[7:0]											
0x01C1	TS_PATH_G	[15:8]	PRE_WIDTH_G[3:0]				Reserved			TS_GPIO_G	AFE_PATH_CFG_G[8]	0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_G[7:0]											
0x01C2	INPUTS_G	[15:8]	INP78_G[3:0]				INP56_G[3:0]				0x0000	R/W		
		[7:0]	INP34_G[3:0]				INP12_G[3:0]							
0x01C3	CATHODE_G	[15:8]	Reserved		PRECON_G[2:0]		VC2_PULSE_G[1:0]		VC2_ALT_G[1:0]			0x0000	R/W	
		[7:0]	VC2_SEL_G[1:0]		VC1_PULSE_G[1:0]		VC1_ALT_G[1:0]		VC1_SEL_G[1:0]					
0x01C4	AFE_TRIM_G	[15:8]	TIA_CEIL_DETECT_EN_G	CH2_TRIM_INT_G[1:0]		CH1_TRIM_INT_G[1:0]		VREF_PULSE_G	AFE_TRIM_VREF_G[1:0]			0x03C0	R/W	
		[7:0]	VREF_PULSE_VAL_G[1:0]		TIA_GAIN_CH2_G[2:0]		TIA_GAIN_CH1_G[2:0]							
0x01C5	LED_POW12_G	[15:8]	LED_DRIVESIDE2_G	LED_CURRENT2_G[6:0]								0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_G	LED_CURRENT1_G[6:0]										
0x01C6	LED_POW34_G	[15:8]	LED_DRIVESIDE4_G	LED_CURRENT4_G[6:0]								0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_G	LED_CURRENT3_G[6:0]										
0x01C7	COUNTS_G	[15:8]	NUM_INT_G[7:0]								0x0101	R/W		
		[7:0]	NUM_REPEAT_G[7:0]											
0x01C8	PERIOD_G	[15:8]	Reserved			MOD_TYPE_G[1:0]		Reserved		MIN_PERIOD_G[9:8]			0x0000	R/W
		[7:0]	MIN_PERIOD_G[7:0]											
0x01C9	LED_PULSE_G	[15:8]	LED_WIDTH_G[7:0]								0x0210	R/W		
		[7:0]	LED_OFFSET_G[7:0]											
0x01CA	INTEG_SETUP_G	[15:8]	SINGLE_INTEG_G	CH2_AMP_DISABLE_G[2:0]			AFE_INT_C_BUF_G		CH1_AMP_DISABLE_G[2:0]			0x0003	R/W	
		[7:0]	ADC_COUNT_G[1:0]		Reserved		INTEG_WIDTH_G[4:0]							

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x01CB	INTEG_OS_G	[15:8]	Reserved				INTEG_OFFSET_G[12:8]					0x0214	R/W	
		[7:0]	INTEG_OFFSET_G[7:0]											
0x01CC	MOD_PULSE_G	[15:8]	MOD_WIDTH_G[7:0]					MOD_OFFSET_G[7:0]					0x0001	R/W
		[7:0]	MOD_OFFSET_G[7:0]											
0x01CD	PATTERN_G	[15:8]	LED_DISABLE_G[3:0]				MOD_DISABLE_G[3:0]				0x0000	R/W		
		[7:0]	SUBTRACT_G[3:0]				REVERSE_INTEG_G[3:0]							
0x01CE	ADC_OFF1_G	[15:8]	Reserved			CH1_ADC_ADJUST_G[13:8]					0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_G[7:0]											
0x01CF	ADC_OFF2_G	[15:8]	ZERO_ADJUST_G	Reserved		CH2_ADC_ADJUST_G[13:8]					0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_G[7:0]											
0x01D0	DATA_FORMAT_G	[15:8]	DARK_SHIFT_G[4:0]				DARK_SIZE_G[2:0]				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_G[4:0]				SIGNAL_SIZE_G[2:0]							
0x01D1	LIT_DATA_FORMAT_G	[15:8]	Reserved					LIT_SIZE_G[2:0]				0x0000	R/W	
		[7:0]	LIT_SHIFT_G[4:0]											
0x01D2	DECIMATE_G	[15:8]	Reserved					DECIMATE_FACTOR_G[6:4]				0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_G[3:0]				DECIMATE_TYPE_G[3:0]							
0x01D3	DIGINT_LIT_G	[15:8]	Reserved							LIT_OFFSET_G[8]	0x0026	R/W		
		[7:0]	LIT_OFFSET_G[7:0]											
0x01D4	DIGINT_DARK_G	[15:8]	DARK2_OFFSET_G[8:1]									0x2306	R/W	
		[7:0]	DARK2_OFFSET_G[0]	DARK1_OFFSET_G[6:0]										
0x01D5	THRESH_CFG_G	[15:8]	Reserved									0x0000	R/W	
		[7:0]	THRESH1_CHAN_G	THRESH1_DIR_G	THRESH1_TYPE_G[1:0]	THRESH0_CHAN_G	THRESH0_DIR_G	THRESH0_TYPE_G[1:0]						
0x01D6	THRESH0_G	[15:8]	Reserved				THRESH0_SHIFT_G[4:0]				0x0000	R/W		
		[7:0]	THRESH0_VALUE_G[7:0]											
0x01D7	THRESH1_G	[15:8]	Reserved				THRESH1_SHIFT_G[4:0]				0x0000	R/W		
		[7:0]	THRESH1_VALUE_G[7:0]											
0x01E0	TS_CTRL_H	[15:8]	SUBSAMPLE_H	CH2_EN_H	SAMPLE_TYPE_H[1:0]	INPUT_R_SELECT_H[1:0]	TIMESLOT_OFFSET_H[9:8]			0x0000	R/W			
		[7:0]	TIMESLOT_OFFSET_H[7:0]											
0x01E1	TS_PATH_H	[15:8]	PRE_WIDTH_H[3:0]				Reserved		TS_GPIO_H	AFE_PATH_CFG_H[8]	0x40DA	R/W		
		[7:0]	AFE_PATH_CFG_H[7:0]											
0x01E2	INPUTS_H	[15:8]	INP78_H[3:0]				INP56_H[3:0]				0x0000	R/W		
		[7:0]	INP34_H[3:0]				INP12_H[3:0]							
0x01E3	CATHODE_H	[15:8]	Reserved	PRECON_H[2:0]			VC2_PULSE_H[1:0]	VC2_ALT_H[1:0]			0x0000	R/W		
		[7:0]	VC2_SEL_H[1:0]		VC1_PULSE_H[1:0]	VC1_ALT_H[1:0]	VC1_SEL_H[1:0]							
0x01E4	AFE_TRIM_H	[15:8]	TIA_CEIL_DETECT_EN_H	CH2_TRIM_INT_H[1:0]	CH1_TRIM_INT_H[1:0]		VREF_PULSE_H	AFE_TRIM_VREF_H[1:0]		0x03C0	R/W			
		[7:0]	VREF_PULSE_VAL_H[1:0]		TIA_GAIN_CH2_H[2:0]		TIA_GAIN_CH1_H[2:0]							
0x01E5	LED_POW12_H	[15:8]	LED_DRIVESIDE2_H	LED_CURRENT2_H[6:0]					0x0000	R/W				
		[7:0]	LED_DRIVESIDE1_H	LED_CURRENT1_H[6:0]										
0x01E6	LED_POW34_H	[15:8]	LED_DRIVESIDE4_H	LED_CURRENT4_H[6:0]					0x0000	R/W				
		[7:0]	LED_DRIVESIDE3_H	LED_CURRENT3_H[6:0]										
0x01E7	COUNTS_H	[15:8]	NUM_INT_H[7:0]					0x0101	R/W					
		[7:0]	NUM_REPEAT_H[7:0]											
0x01E8	PERIOD_H	[15:8]	Reserved		MOD_TYPE_H[1:0]	Reserved		MIN_PERIOD_H[9:8]			0x0000	R/W		
		[7:0]	MIN_PERIOD_H[7:0]											
0x01E9	LED_PULSE_H	[15:8]	LED_WIDTH_H[7:0]					0x0210	R/W					
		[7:0]	LED_OFFSET_H[7:0]											

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x01EA	INTEG_SETUP_H	[15:8]	SINGLE_INTEG_H	CH2_AMP_DISABLE_H[2:0]			AFE_INT_C_BUF_H	CH1_AMP_DISABLE_H[2:0]			0x0003	R/W
		[7:0]	ADC_COUNT_H[1:0]		Reserved	INTEG_WIDTH_H[4:0]						
0x01EB	INTEG_OS_H	[15:8]	Reserved				INTEG_OFFSET_H[12:8]				0x0214	R/W
		[7:0]	INTEG_OFFSET_H[7:0]									
0x01EC	MOD_PULSE_H	[15:8]	MOD_WIDTH_H[7:0]						0x0001	R/W		
		[7:0]	MOD_OFFSET_H[7:0]									
0x01ED	PATTERN_H	[15:8]	LED_DISABLE_H[3:0]			MOD_DISABLE_H[3:0]			0x0000	R/W		
		[7:0]	SUBTRACT_H[3:0]			REVERSE_INTEG_H[3:0]						
0x01EE	ADC_OFF1_H	[15:8]	Reserved		CH1_ADC_ADJUST_H[13:8]				0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_H[7:0]									
0x01EF	ADC_OFF2_H	[15:8]	ZERO_ADJUST_H	Reserved	CH2_ADC_ADJUST_H[13:8]				0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_H[7:0]									
0x01F0	DATA_FORMAT_H	[15:8]	DARK_SHIFT_H[4:0]				DARK_SIZE_H[2:0]			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_H[4:0]				SIGNAL_SIZE_H[2:0]					
0x01F1	LIT_DATA_FORMAT_H	[15:8]	Reserved						0x0000	R/W		
		[7:0]	LIT_SHIFT_H[4:0]			LIT_SIZE_H[2:0]						
0x01F2	DECIMATE_H	[15:8]	Reserved				DECIMATE_FACTOR_H[6:4]			0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_H[3:0]			DECIMATE_TYPE_H[3:0]						
0x01F3	DIGINT_LIT_H	[15:8]	Reserved							LIT_OFFSET_H[8]	0x0026	R/W
		[7:0]	LIT_OFFSET_H[7:0]									
0x01F4	DIGINT_DARK_H	[15:8]	DARK2_OFFSET_H[8:1]						0x2306	R/W		
		[7:0]	DARK2_OFFSET_H[0]	DARK1_OFFSET_H[6:0]								
0x01F5	THRESH_CFG_H	[15:8]	Reserved						0x0000	R/W		
		[7:0]	THRESH1_CHAN_H	THRESH1_DIR_H	THRESH1_TYPE_H[1:0]	THRESH0_CHAN_H	THRESH0_DIR_H	THRESH0_TYPE_H[1:0]				
0x01F6	THRESH0_H	[15:8]	Reserved			THRESH0_SHIFT_H[4:0]			0x0000	R/W		
		[7:0]	THRESH0_VALUE_H[7:0]									
0x01F7	THRESH1_H	[15:8]	Reserved			THRESH1_SHIFT_H[4:0]			0x0000	R/W		
		[7:0]	THRESH1_VALUE_H[7:0]									
0x0200	TS_CTRL_I	[15:8]	SUBSAMPLE_I	CH2_EN_I	SAMPLE_TYPE_I[1:0]	INPUT_R_SELECT_I[1:0]	TIMESLOT_OFFSET_I[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_I[7:0]									
0x0201	TS_PATH_I	[15:8]	PRE_WIDTH_I[3:0]			Reserved	TS_GPIO_I	AFE_PATH_CFG_I[8]		0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_I[7:0]									
0x0202	INPUTS_I	[15:8]	INP78_I[3:0]			INP56_I[3:0]			0x0000	R/W		
		[7:0]	INP34_I[3:0]			INP12_I[3:0]						
0x0203	CATHODE_I	[15:8]	Reserved	PRECON_I[2:0]		VC2_PULSE_I[1:0]	VC2_ALT_I[1:0]		0x0000	R/W		
		[7:0]	VC2_SEL_I[1:0]	VC1_PULSE_I[1:0]	VC1_ALT_I[1:0]	VC1_SEL_I[1:0]						
0x0204	AFE_TRIM_I	[15:8]	TIA_CEIL_DETECT_EN_I	CH2_TRIM_INT_I[1:0]	CH1_TRIM_INT_I[1:0]	VREF_PULSE_I	AFE_TRIM_VREF_I[1:0]			0x03C0	R/W	
		[7:0]	VREF_PULSE_VAL_I[1:0]	TIA_GAIN_CH2_I[2:0]		TIA_GAIN_CH1_I[2:0]						
0x0205	LED_POW12_I	[15:8]	LED_DRIVESIDE2_I	LED_CURRENT2_I[6:0]						0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_I	LED_CURRENT1_I[6:0]								
0x0206	LED_POW34_I	[15:8]	LED_DRIVESIDE4_I	LED_CURRENT4_I[6:0]						0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_I	LED_CURRENT3_I[6:0]								
0x0207	COUNTS_I	[15:8]	NUM_INT_I[7:0]						0x0101	R/W		
		[7:0]	NUM_REPEAT_I[7:0]									

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x0208	PERIOD_I	[15:8]	Reserved		MOD_TYPE_I[1:0]		Reserved		MIN_PERIOD_I[9:8]		0x0000	R/W		
		[7:0]	MIN_PERIOD_I[7:0]											
0x0209	LED_PULSE_I	[15:8]	LED_WIDTH_I[7:0]										0x0210	R/W
		[7:0]	LED_OFFSET_I[7:0]											
0x020A	INTEG_SETUP_I	[15:8]	SINGLE_INTEG_I	CH2_AMP_DISABLE_I[2:0]			AFE_INT_C_BUF_I	CH1_AMP_DISABLE_I[2:0]				0x0003	R/W	
		[7:0]	ADC_COUNT_I[1:0]		Reserved		INTEG_WIDTH_I[4:0]							
0x020B	INTEG_OS_I	[15:8]	Reserved				INTEG_OFFSET_I[12:8]						0x0214	R/W
		[7:0]	INTEG_OFFSET_I[7:0]											
0x020C	MOD_PULSE_I	[15:8]	MOD_WIDTH_I[7:0]										0x0001	R/W
		[7:0]	MOD_OFFSET_I[7:0]											
0x020D	PATTERN_I	[15:8]	LED_DISABLE_I[3:0]				MOD_DISABLE_I[3:0]				0x0000	R/W		
		[7:0]	SUBTRACT_I[3:0]				REVERSE_INTEG_I[3:0]							
0x020E	ADC_OFF1_I	[15:8]	Reserved			CH1_ADC_ADJUST_I[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_I[7:0]											
0x020F	ADC_OFF2_I	[15:8]	ZERO_ADJUST_I	Reserved		CH2_ADC_ADJUST_I[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_I[7:0]											
0x0210	DATA_FORMAT_I	[15:8]	DARK_SHIFT_I[4:0]				DARK_SIZE_I[2:0]				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_I[4:0]				SIGNAL_SIZE_I[2:0]							
0x0211	LIT_DATA_FORMAT_I	[15:8]	Reserved										0x0000	R/W
		[7:0]	LIT_SHIFT_I[4:0]					LIT_SIZE_I[2:0]						
0x0212	DECIMATE_I	[15:8]	Reserved					DECIMATE_FACTOR_I[6:4]					0x0000	R/W
		[7:0]	DECIMATE_FACTOR_I[3:0]				DECIMATE_TYPE_I[3:0]							
0x0213	DIGINT_LIT_I	[15:8]	Reserved								LIT_OFFSET_I[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_I[7:0]											
0x0214	DIGINT_DARK_I	[15:8]	DARK2_OFFSET_I[8:1]										0x2306	R/W
		[7:0]	DARK2_OFFSET_I[0]	DARK1_OFFSET_I[6:0]										
0x0215	THRESH_CFG_I	[15:8]	Reserved										0x0000	R/W
		[7:0]	THRESH1_CHAN_I	THRESH1_DIR_I	THRESH1_TYPE_I[1:0]		THRESH0_CHAN_I	THRESH0_DIR_I	THRESH0_TYPE_I[1:0]					
0x0216	THRESH0_I	[15:8]	Reserved				THRESH0_SHIFT_I[4:0]						0x0000	R/W
		[7:0]	THRESH0_VALUE_I[7:0]											
0x0217	THRESH1_I	[15:8]	Reserved				THRESH1_SHIFT_I[4:0]						0x0000	R/W
		[7:0]	THRESH1_VALUE_I[7:0]											
0x0220	TS_CTRL_J	[15:8]	SUBSAMPLE_J	CH2_EN_J	SAMPLE_TYPE_J[1:0]		INPUT_R_SELECT_J[1:0]		TIMESLOT_OFFSET_J[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_J[7:0]											
0x0221	TS_PATH_J	[15:8]	PRE_WIDTH_J[3:0]				Reserved		TS_GPIO_J	AFE_PATH_CFG_J[8]			0x40DA	R/W
		[7:0]	AFE_PATH_CFG_J[7:0]											
0x0222	INPUTS_J	[15:8]	INP78_J[3:0]				INP56_J[3:0]						0x0000	R/W
		[7:0]	INP34_J[3:0]											
0x0223	CATHODE_J	[15:8]	Reserved		PRECON_J[2:0]			VC2_PULSE_J[1:0]		VC2_ALT_J[1:0]			0x0000	R/W
		[7:0]	VC2_SEL_J[1:0]		VC1_PULSE_J[1:0]		VC1_ALT_J[1:0]		VC1_SEL_J[1:0]					
0x0224	AFE_TRIM_J	[15:8]	TIA_CEIL_DETECT_EN_J	CH2_TRIM_INT_J[1:0]		CH1_TRIM_INT_J[1:0]		VREF_PULSE_J	AFE_TRIM_VREF_J[1:0]				0x03C0	R/W
		[7:0]	VREF_PULSE_VAL_J[1:0]		TIA_GAIN_CH2_J[2:0]			TIA_GAIN_CH1_J[2:0]						
0x0225	LED_POW12_J	[15:8]	LED_DRIVESIDE2_J		LED_CURRENT2_J[6:0]						0x0000	R/W		
		[7:0]	LED_DRIVESIDE1_J		LED_CURRENT1_J[6:0]									

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0226	LED_POW34_J	[15:8]	LED_DRIVESIDE4_J	LED_CURRENT4_J[6:0]							0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_J	LED_CURRENT3_J[6:0]									
0x0227	COUNTS_J	[15:8]	NUM_INT_J[7:0]									0x0101	R/W
		[7:0]	NUM_REPEAT_J[7:0]										
0x0228	PERIOD_J	[15:8]	Reserved			MOD_TYPE_J[1:0]		Reserved			MIN_PERIOD_J[9:8]	0x0000	R/W
		[7:0]	MIN_PERIOD_J[7:0]										
0x0229	LED_PULSE_J	[15:8]	LED_WIDTH_J[7:0]									0x0210	R/W
		[7:0]	LED_OFFSET_J[7:0]										
0x022A	INTEG_SETUP_J	[15:8]	SINGLE_INTEG_J	CH2_AMP_DISABLE_J[2:0]			AFE_INT_C_BUF_J	CH1_AMP_DISABLE_J[2:0]				0x0003	R/W
		[7:0]	ADC_COUNT_J[1:0]			Reserved		INTEG_WIDTH_J[4:0]					
0x022B	INTEG_OS_J	[15:8]	Reserved			INTEG_OFFSET_J[12:8]						0x0214	R/W
		[7:0]	INTEG_OFFSET_J[7:0]										
0x022C	MOD_PULSE_J	[15:8]	MOD_WIDTH_J[7:0]									0x0001	R/W
		[7:0]	MOD_OFFSET_J[7:0]										
0x022D	PATTERN_J	[15:8]	LED_DISABLE_J[3:0]			MOD_DISABLE_J[3:0]			REVERSE_INTEG_J[3:0]			0x0000	R/W
		[7:0]	SUBTRACT_J[3:0]			Reserved							
0x022E	ADC_OFF1_J	[15:8]	Reserved			CH1_ADC_ADJUST_J[13:8]						0x0000	R/W
		[7:0]	CH1_ADC_ADJUST_J[7:0]										
0x022F	ADC_OFF2_J	[15:8]	ZERO_ADJUST_J	Reserved		CH2_ADC_ADJUST_J[13:8]						0x0000	R/W
		[7:0]	CH2_ADC_ADJUST_J[7:0]										
0x0230	DATA_FORMAT_J	[15:8]	DARK_SHIFT_J[4:0]				DARK_SIZE_J[2:0]				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_J[4:0]				SIGNAL_SIZE_J[2:0]						
0x0231	LIT_DATA_FORMAT_J	[15:8]	Reserved									0x0000	R/W
		[7:0]	LIT_SHIFT_J[4:0]				LIT_SIZE_J[2:0]						
0x0232	DECIMATE_J	[15:8]	Reserved						DECIMATE_FACTOR_J[6:4]			0x0000	R/W
		[7:0]	DECIMATE_FACTOR_J[3:0]			DECIMATE_TYPE_J[3:0]							
0x0233	DIGINT_LIT_J	[15:8]	Reserved							LIT_OFFSET_J[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_J[7:0]										
0x0234	DIGINT_DARK_J	[15:8]	DARK2_OFFSET_J[8:1]									0x2306	R/W
		[7:0]	DARK2_OFFSET_J[0]	DARK1_OFFSET_J[6:0]									
0x0235	THRESH_CFG_J	[15:8]	Reserved									0x0000	R/W
		[7:0]	THRESH1_CHAN_J	THRESH1_DIR_J	THRESH1_TYPE_J[1:0]		THRESH0_CHAN_J	THRESH0_DIR_J	THRESH0_TYPE_J[1:0]				
0x0236	THRESH0_J	[15:8]	Reserved			THRESH0_SHIFT_J[4:0]						0x0000	R/W
		[7:0]	THRESH0_VALUE_J[7:0]										
0x0237	THRESH1_J	[15:8]	Reserved			THRESH1_SHIFT_J[4:0]						0x0000	R/W
		[7:0]	THRESH1_VALUE_J[7:0]										
0x0240	TS_CTRL_K	[15:8]	SUBSAMPLE_K	CH2_EN_K	SAMPLE_TYPE_K[1:0]		INPUT_R_SELECT_K[1:0]		TIMESLOT_OFFSET_K[9:8]			0x0000	R/W
		[7:0]	TIMESLOT_OFFSET_K[7:0]										
0x0241	TS_PATH_K	[15:8]	PRE_WIDTH_K[3:0]				Reserved			TS_GPIO_K	AFE_PATH_CFG_K[8]	0x40DA	R/W
		[7:0]	AFE_PATH_CFG_K[7:0]										
0x0242	INPUTS_K	[15:8]	INP78_K[3:0]				INP56_K[3:0]				0x0000	R/W	
		[7:0]	INP34_K[3:0]				INP12_K[3:0]						
0x0243	CATHODE_K	[15:8]	Reserved	PRECON_K[2:0]			VC2_PULSE_K[1:0]		VC2_ALT_K[1:0]			0x0000	R/W
		[7:0]	VC2_SEL_K[1:0]		VC1_PULSE_K[1:0]		VC1_ALT_K[1:0]		VC1_SEL_K[1:0]				
0x0244	AFE_TRIM_K	[15:8]	TIA_CEIL_DETECT_EN_K	CH2_TRIM_INT_K[1:0]		CH1_TRIM_INT_K[1:0]		VREF_PULSE_K	AFE_TRIM_VREF_K[1:0]			0x03C0	R/W
		[7:0]	VREF_PULSE_VAL_K[1:0]		TIA_GAIN_CH2_K[2:0]			TIA_GAIN_CH1_K[2:0]					

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0245	LED_POW12_K	[15:8]	LED_DRIVESIDE2_K	LED_CURRENT2_K[6:0]						0x0000	R/W		
		[7:0]	LED_DRIVESIDE1_K	LED_CURRENT1_K[6:0]									
0x0246	LED_POW34_K	[15:8]	LED_DRIVESIDE4_K	LED_CURRENT4_K[6:0]						0x0000	R/W		
		[7:0]	LED_DRIVESIDE3_K	LED_CURRENT3_K[6:0]									
0x0247	COUNTS_K	[15:8]	NUM_INT_K[7:0]						0x0101	R/W			
		[7:0]	NUM_REPEAT_K[7:0]										
0x0248	PERIOD_K	[15:8]	Reserved		MOD_TYPE_K[1:0]		Reserved		MIN_PERIOD_K[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_K[7:0]										
0x0249	LED_PULSE_K	[15:8]	LED_WIDTH_K[7:0]						0x0210	R/W			
		[7:0]	LED_OFFSET_K[7:0]										
0x024A	INTEG_SETUP_K	[15:8]	SINGLE_INTEG_K	CH2_AMP_DISABLE_K[2:0]			AFE_INT_C_BUF_K	CH1_AMP_DISABLE_K[2:0]			0x0003	R/W	
		[7:0]	ADC_COUNT_K[1:0]		Reserved		INTEG_WIDTH_K[4:0]						
0x024B	INTEG_OS_K	[15:8]	Reserved			INTEG_OFFSET_K[12:8]						0x0214	R/W
		[7:0]	INTEG_OFFSET_K[7:0]										
0x024C	MOD_PULSE_K	[15:8]	MOD_WIDTH_K[7:0]						0x0001	R/W			
		[7:0]	MOD_OFFSET_K[7:0]										
0x024D	PATTERN_K	[15:8]	LED_DISABLE_K[3:0]			MOD_DISABLE_K[3:0]			0x0000	R/W			
		[7:0]	SUBTRACT_K[3:0]			REVERSE_INTEG_K[3:0]							
0x024E	ADC_OFF1_K	[15:8]	Reserved			CH1_ADC_ADJUST_K[13:8]			0x0000	R/W			
		[7:0]	CH1_ADC_ADJUST_K[7:0]										
0x024F	ADC_OFF2_K	[15:8]	ZERO_ADJUST_K	Reserved		CH2_ADC_ADJUST_K[13:8]			0x0000	R/W			
		[7:0]	CH2_ADC_ADJUST_K[7:0]										
0x0250	DATA_FORMAT_K	[15:8]	DARK_SHIFT_K[4:0]			DARK_SIZE_K[2:0]			0x0003	R/W			
		[7:0]	SIGNAL_SHIFT_K[4:0]			SIGNAL_SIZE_K[2:0]							
0x0251	LIT_DATA_FORMAT_K	[15:8]	Reserved						0x0000	R/W			
		[7:0]	LIT_SHIFT_K[4:0]			LIT_SIZE_K[2:0]							
0x0252	DECIMATE_K	[15:8]	Reserved			DECIMATE_FACTOR_K[6:4]			0x0000	R/W			
		[7:0]	DECIMATE_FACTOR_K[3:0]			DECIMATE_TYPE_K[3:0]							
0x0253	DIGINT_LIT_K	[15:8]	Reserved						0x0026	R/W			
		[7:0]	LIT_OFFSET_K[7:0]										
0x0254	DIGINT_DARK_K	[15:8]	DARK2_OFFSET_K[8:1]						0x2306	R/W			
		[7:0]	DARK2_OFFSET_K[0]	DARK1_OFFSET_K[6:0]									
0x0255	THRESH_CFG_K	[15:8]	Reserved						0x0000	R/W			
		[7:0]	THRESH1_CHAN_K	THRESH1_DIR_K	THRESH1_TYPE_K[1:0]		THRESH0_CHAN_K	THRESH0_DIR_K			THRESH0_TYPE_K[1:0]		
0x0256	THRESH0_K	[15:8]	Reserved			THRESH0_SHIFT_K[4:0]			0x0000	R/W			
		[7:0]	THRESH0_VALUE_K[7:0]										
0x0257	THRESH1_K	[15:8]	Reserved			THRESH1_SHIFT_K[4:0]			0x0000	R/W			
		[7:0]	THRESH1_VALUE_K[7:0]										
0x0260	TS_CTRL_L	[15:8]	SUBSAMPLE_L	CH2_EN_L	SAMPLE_TYPE_L[1:0]		INPUT_R_SELECT_L[1:0]		TIMESLOT_OFFSET_L[9:8]		0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_L[7:0]										
0x0261	TS_PATH_L	[15:8]	PRE_WIDTH_L[3:0]			Reserved		TS_GPIO_L	AFE_PATH_CFG_L[8]		0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_L[7:0]										
0x0262	INPUTS_L	[15:8]	INP78_L[3:0]			INP56_L[3:0]			0x0000	R/W			
		[7:0]	INP34_L[3:0]			INP12_L[3:0]							
0x0263	CATHODE_L	[15:8]	Reserved		PRECON_L[2:0]		VC2_PULSE_L[1:0]		VC2_ALT_L[1:0]		0x0000	R/W	
		[7:0]	VC2_SEL_L[1:0]		VC1_PULSE_L[1:0]		VC1_ALT_L[1:0]		VC1_SEL_L[1:0]				

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x0264	AFE_TRIM_L	[15:8]	TIA_CEIL_DETECT_EN_L	CH2_TRIM_INT_L[1:0]		CH1_TRIM_INT_L[1:0]		VREF_PULSE_L	AFE_TRIM_VREF_L[1:0]		0x03C0	R/W
		[7:0]	VREF_PULSE_VAL_L[1:0]		TIA_GAIN_CH2_L[2:0]		TIA_GAIN_CH1_L[2:0]					
0x0265	LED_POW12_L	[15:8]	LED_DRIVESIDE2_L	LED_CURRENT2_L[6:0]						0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_L	LED_CURRENT1_L[6:0]								
0x0266	LED_POW34_L	[15:8]	LED_DRIVESIDE4_L	LED_CURRENT4_L[6:0]						0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_L	LED_CURRENT3_L[6:0]								
0x0267	COUNTS_L	[15:8]	NUM_INT_L[7:0]						0x0101	R/W		
		[7:0]	NUM_REPEAT_L[7:0]									
0x0268	PERIOD_L	[15:8]	Reserved		MOD_TYPE_L[1:0]		Reserved		MIN_PERIOD_L[9:8]		0x0000	R/W
		[7:0]	MIN_PERIOD_L[7:0]									
0x0269	LED_PULSE_L	[15:8]	LED_WIDTH_L[7:0]						0x0210	R/W		
		[7:0]	LED_OFFSET_L[7:0]									
0x026A	INTEG_SETUP_L	[15:8]	SINGLE_INTEG_L	CH2_AMP_DISABLE_L[2:0]		AFE_INT_C_BUF_L	CH1_AMP_DISABLE_L[2:0]		0x0003	R/W		
		[7:0]	ADC_COUNT_L[1:0]		Reserved	INTEG_WIDTH_L[4:0]						
0x026B	INTEG_OS_L	[15:8]	Reserved			INTEG_OFFSET_L[12:8]			0x0214	R/W		
		[7:0]	INTEG_OFFSET_L[7:0]									
0x026C	MOD_PULSE_L	[15:8]	MOD_WIDTH_L[7:0]						0x0001	R/W		
		[7:0]	MOD_OFFSET_L[7:0]									
0x026D	PATTERN_L	[15:8]	LED_DISABLE_L[3:0]			MOD_DISABLE_L[3:0]			0x0000	R/W		
		[7:0]	SUBTRACT_L[3:0]			REVERSE_INTEG_L[3:0]						
0x026E	ADC_OFF1_L	[15:8]	Reserved		CH1_ADC_ADJUST_L[13:8]			0x0000	R/W			
		[7:0]	CH1_ADC_ADJUST_L[7:0]									
0x026F	ADC_OFF2_L	[15:8]	ZERO_ADJUST_L	Reserved	CH2_ADC_ADJUST_L[13:8]			0x0000	R/W			
		[7:0]	CH2_ADC_ADJUST_L[7:0]									
0x0270	DATA_FORMAT_L	[15:8]	DARK_SHIFT_L[4:0]			DARK_SIZE_L[2:0]			0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_L[4:0]			SIGNAL_SIZE_L[2:0]						
0x0271	LIT_DATA_FORMAT_L	[15:8]	Reserved						0x0000	R/W		
		[7:0]	LIT_SHIFT_L[4:0]			LIT_SIZE_L[2:0]						
0x0272	DECIMATE_L	[15:8]	Reserved			DECIMATE_FACTOR_L[6:4]			0x0000	R/W		
		[7:0]	DECIMATE_FACTOR_L[3:0]		DECIMATE_TYPE_L[3:0]							
0x0273	DIGINT_LIT_L	[15:8]	Reserved						LIT_OFFSET_L[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_L[7:0]									
0x0274	DIGINT_DARK_L	[15:8]	DARK2_OFFSET_L[8:1]						0x2306	R/W		
		[7:0]	DARK2_OFFSET_L[0]	DARK1_OFFSET_L[6:0]								
0x0275	THRESH_CFG_L	[15:8]	Reserved						0x0000	R/W		
		[7:0]	THRESH1_CHAN_L	THRESH1_DIR_L	THRESH1_TYPE_L[1:0]	THRESH0_CHAN_L	THRESH0_DIR_L	THRESH0_TYPE_L[1:0]				
0x0276	THRESH0_L	[15:8]	Reserved			THRESH0_SHIFT_L[4:0]			0x0000	R/W		
		[7:0]	THRESH0_VALUE_L[7:0]									
0x0277	THRESH1_L	[15:8]	Reserved			THRESH1_SHIFT_L[4:0]			0x0000	R/W		
		[7:0]	THRESH1_VALUE_L[7:0]									

レジスタの詳細

グローバル設定レジスタ

表 30. グローバル設定レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x000D	TS_FREQ	[15:0]	TIMESLOT_PERIOD_L	低周波発振器サイクルでのタイム・スロット周期の下位 16 ビット。タイム・スロット・レートは(低周波発振器の周波数) ÷ (TIMESLOT_PERIOD_x)です。1MHzの低周波発振器を使用したときのデフォルト値は 100Hz です。	0x2710	R/W
0x000E	TS_FREQH	[15:7]	Reserved	予備。	0x0	R
		[6:0]	TIMESLOT_PERIOD_H	低周波発振器サイクルでのタイム・スロット周期の上位 7 ビット。タイム・スロット・レートは(低周波発振器の周波数) ÷ (TIMESLOT_PERIOD_x)です。1MHzの低周波発振器を使用したときのデフォルト値は 100Hz です。	0x0	R/W
0x000F	SYS_CTL	15	SW_RESET	ソフトウェア・リセット。このビットに 1 を書き込んでソフトウェア・リセットをアサートすると、すべての AFE 動作が停止し、デバイスはデフォルト値にリセットされません。ソフトウェア・リセットでは SPI と I ² C ポートはリセットされません。	0x0	R/W
		[14:10]	Reserved	予備。	0x0	R
		[9:8]	ALT_CLOCKS	外部クロックの選択。 00：内部の低周波発振器と高周波発振器を使用。 01：外部の低周波発振器を使用。 02：外部の高周波発振器と内部の低周波発振器を使用。 03：外部の高周波発振器を使用し、高周波発振器で低周波の発振周波数を生成。	0x0	R/W
		[7:6]	ALT_CLK_GPIO	代替クロック用 GPIO の選択。 00：代替クロックに GPIO0 を使用。 01：代替クロックに GPIO1 を使用。 10：代替クロックに GPIO2 を使用。 11：代替クロックに GPIO3 を使用。	0x0	R/W
		[5:3]	Reserved	0x0 を書き込みます。	0x0	R/W
		2	LFOSC_SEL	低周波発振器の選択。このビットを使用して、32kHz と 1MHz の低周波発振器のどちらにするかを選択します。 0：低周波クロックとして 32kHz の発振器を使用。 1：低周波クロックとして 1MHz の発振器を使用。	0x0	R/W
		1	OSC_1M_EN	1MHz の低周波発振器のイネーブル。このビットを使用して 1MHz の低周波発振器をオンにします。この発振器を使用するすべての動作期間中、常にオンしておく必要があります。	0x0	R/W
		0	OSC_32K_EN	32kHz の低周波発振器のイネーブル。このビットを使用して 32kHz の低周波発振器をオンにします。この発振器を使用するすべての動作期間中、常にオンしておく必要があります。	0x0	R/W
0x0010	OPMODE	[15:12]	Reserved	予備。	0x0	R
		[11:8]	TIMESLOT_EN	タイム・スロットのイネーブル制御。 0000：タイム・スロット・シーケンス A のみ。 0001：タイム・スロット・シーケンス AB。 0010：タイム・スロット・シーケンス ABC。 0011：タイム・スロット・シーケンス ABCD。 0100：タイム・スロット・シーケンス ABCDE。 0101：タイム・スロット・シーケンス ABCDEF。 0110：タイム・スロット・シーケンス ABCDEFG。 0111：タイム・スロット・シーケンス ABCDEFGH。 1000：タイム・スロット・シーケンス ABCDEFGHI。 1001：タイム・スロット・シーケンス ABCDEFGHIJ。 1010：タイム・スロット・シーケンス ABCDEFGHIJK。 1011：タイム・スロット・シーケンス ABCDEFGHIJKL。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[7:1]	Reserved	予備。	0x0	R
		0	OP_MODE	動作モードの選択。 0 : スタンバイ。 1 : Go モード。選択したタイム・スロットで動作します。	0x0	R/W
0x0020	INPUT_SLEEP	[15:12]	INP_SLEEP_78	入力ペア IN7 および IN8 のスリープ状態。 0x0 : どちらの入力もフロート状態。 0x1 : フロート状態で IN7 と IN8 を短絡。PAIR78 が 1 に設定されている場合のみ。 0x2 : IN7 と IN8 を VC1 に接続。PAIR78 が 1 に設定されている場合は互いに短絡されます。 0x3 : IN7 と IN8 を VC2 に接続。PAIR78 が 1 に設定されている場合は互いに短絡されます。 0x4 : IN7 を VC1 に接続。IN8 はフロート状態。 0x5 : IN7 を VC1 に接続。IN8 を VC2 に接続。 0x6 : IN7 を VC2 に接続。IN8 はフロート状態。 0x7 : IN7 を VC2 に接続。IN8 を VC1 に接続。 0x8 : IN7 はフロート状態。IN8 を VC1 に接続。 0x9 : IN7 はフロート状態。IN8 を VC2 に接続。	0x0	R/W
		[11:8]	INP_SLEEP_56	入力ペア IN5 および IN6 のスリープ状態。 0x0 : どちらの入力もフロート状態。 0x1 : フロート状態で IN5 と IN6 を短絡。PAIR56 が 1 に設定されているときのみ。 0x2 : IN5 と IN6 を VC1 に接続。PAIR56 が 1 に設定されている場合は互いに短絡されます。 0x3 : IN5 と IN6 を VC2 に接続。PAIR56 が 1 に設定されている場合は互いに短絡されます。 0x4 : IN5 を VC1 に接続。IN6 はフロート状態。 0x5 : IN5 を VC1 に接続。IN6 を VC2 に接続。 0x6 : IN5 を VC2 に接続。IN6 はフロート状態。 0x7 : IN5 を VC2 に接続。IN6 を VC1 に接続。 0x8 : IN5 はフロート状態。IN6 を VC1 に接続。 0x9 : IN5 はフロート状態。IN6 を VC2 に接続。	0x0	R/W
		[7:4]	INP_SLEEP_34	入力ペア IN3 および IN4 のスリープ状態。 0x0 : どちらの入力もフロート状態。 0x1 : フロート状態で IN3 と IN4 を短絡。PAIR34 が 1 に設定されているときのみ。 0x2 : IN3 と IN4 を VC1 に接続。PAIR34 が 1 に設定されている場合は互いに短絡されます。 0x3 : IN3 と IN4 を VC2 に接続。PAIR34 が 1 に設定されている場合は互いに短絡されます。 0x4 : IN3 を VC1 に接続。IN4 はフロート状態。 0x5 : IN3 を VC1 に接続。IN4 を VC2 に接続。 0x6 : IN3 を VC2 に接続。IN4 はフロート状態。 0x7 : IN3 を VC2 に接続。IN4 を VC1 に接続。 0x8 : IN3 はフロート状態。IN4 を VC1 に接続。 0x9 : IN3 はフロート状態。IN4 を VC2 に接続。	0x0	R/W
		[3:0]	INP_SLEEP_12	入力ペア IN1 および IN2 のスリープ状態。 0x0 : どちらの入力もフロート状態。 0x1 : フロート状態で IN1 と IN2 を短絡。PAIR12 が 1 に設定されているときのみ。 0x2 : IN1 と IN2 を VC1 に接続。PAIR12 が 1 に設定されている場合は互いに短絡されます。 0x3 : IN1 と IN2 を VC2 に接続。PAIR12 が 1 に設定されている場合は互いに短絡されます。 0x4 : IN1 を VC1 に接続。IN2 はフロート状態。 0x5 : IN1 を VC1 に接続。IN2 を VC2 に接続。 0x6 : IN1 を VC2 に接続。IN2 はフロート状態。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				0x7: IN1 を VC2 に接続。IN2 を VC1 に接続。 0x8: IN1 はフロート状態。IN2 を VC1 に接続。 0x9: IN1 はフロート状態。IN2 を VC2 に接続。		
0x0021	INPUT_CFG	[15:8]	Reserved	予備。	0x0	R
		[7:6]	VC2_SLEEP	VC2 のスリープ状態。 0: スリープ期間中、VC2 を AVDD に設定します。 1: スリープ期間中、VC2 をグラウンドに設定します。 10: スリープ期間中、VC2 をフロート状態にします。	0x0	R/W
		[5:4]	VC1_SLEEP	VC1 のスリープ状態。 0: スリープ期間中、VC1 を AVDD に設定します。 1: スリープ期間中、VC1 をグラウンドに設定します。 10: スリープ期間中、VC1 をフロート状態にします。	0x0	R/W
		3	PAIR78	入力ペアの構成。 0: IN7 と IN8 を 2 つのシングルエンド入力として構成。 1: IN7 と IN8 を差動ペアとして構成。	0x0	R/W
		2	PAIR56	入力ペアの構成。 0: IN5 と IN6 を 2 つのシングルエンド入力として構成。 1: IN5 と IN6 を差動ペアとして構成。	0x0	R/W
		1	PAIR34	入力ペアの構成。 0: IN3 と IN4 を 2 つのシングルエンド入力として構成。 1: IN3 と IN4 を差動ペアとして構成。	0x0	R/W
		0	PAIR12	入力ペアの構成。 0: IN1 と IN2 を 2 つのシングルエンド入力として構成。 1: IN1 と IN2 を差動ペアとして構成。	0x0	R/W

割込みステータスとコントロール・レジスタ

表 31. 割込みステータスとコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス ¹
0x0000	FIFO_STATUS	15	CLEAR_FIFO	FIFO のクリア。1 を書き込むと、FIFO へのアクセスが実行されていないときに FIFO を空にします。FIFO_BYTE_COUNT をリセットし、INT_FIFO_OFLOW、INT_FIFO_UFLOW、および INT_FIFO_TH ステータス・ビットをクリアします。	0x0	R/W1C
		14	INT_FIFO_UFLOW	FIFO のアンダーフロー・エラー。FIFO が空のときに読み出すと、このビットがセットされます。このビットに 1 を書き込むと割込みはクリアされます。CLEAR_FIFO ビットを使用して FIFO をクリアした場合も、このビットはクリアされます。	0x0	R/W1C
		13	INT_FIFO_OFLOW	FIFO のオーバーフロー・エラー。FIFO に空きスペースがないためにデータが書き込まれなかったとき、このビットがセットされます。このビットに 1 を書き込むと割込みはクリアされます。CLEAR_FIFO ビットを使用して FIFO をクリアした場合も、このビットはクリアされます。	0x0	R/W1C
		[12:11]	Reserved	予備。	0x0	R
		[10:0]	FIFO_BYTE_COUNT	このフィールドは、FIFO 内のバイト数を示します。	0x0	R
0x0001	INT_STATUS_DATA	15	INT_FIFO_TH	FIFO_TH 割込みステータス。FIFO 書き込み時に FIFO 内のバイト数が FIFO_TH レジスタの値を超えると、このビットがセットされます。このビットに 1 を書き込むと、この割込みはクリアされます。また、INT_ACLEAR_FIFO ビットがセットされているときに FIFO_DATA レジスタが読み出されると、このビットは自動的にクリアされます。	0x0	R/W1C
		[14:12]	Reserved	予備。	0x0	R
		11	INT_DATA_L	タイム・スロット L のデータ・レジスタ割込みステータス。タイム・スロット L のデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに 1 を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_L ビットがセットされているときにタイム・スロット L のデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1C

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス ¹
		2	INT_TCLN2_C	タイム・スロット C のチャンネル 2 上限値検出割込みステータス。タイム・スロット C のデータ・レジスタ更新時にチャンネル 2 が閾値レベルを超えると、このビットがセットされます。	0x0	R/W1C
		1	INT_TCLN2_B	タイム・スロット B のチャンネル 2 上限値検出割込みステータス。タイム・スロット B のデータ・レジスタ更新時にチャンネル 2 が閾値レベルを超えると、このビットがセットされます。	0x0	R/W1C
		0	INT_TCLN2_A	タイム・スロット A のチャンネル 2 上限値検出割込みステータス。タイム・スロット A のデータ・レジスタ更新時にチャンネル 2 が閾値レベルを超えると、このビットがセットされます。	0x0	R/W1C
0x0007	INT_ACLEAR	15	INT_ACLEAR_FIFO	FIFO 閾値割込みの自動クリア・イネーブル。このビットをセットすると、FIFO が読み出されるたびに FIFO_TH 割込みが自動的にクリアされます。	0x1	R/W
		[14:12]	Reserved	予備。	0x0	R
		11	INT_ACLEAR_DATA_L	タイム・スロット L 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット L のデータ・レジスタが読み出されるたびに INT_DATA_L 割込みが自動的にクリアされます。	0x1	R/W
		10	INT_ACLEAR_DATA_K	タイム・スロット K 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット K のデータ・レジスタが読み出されるたびに INT_DATA_K 割込みが自動的にクリアされます。	0x1	R/W
		9	INT_ACLEAR_DATA_J	タイム・スロット J 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット J のデータ・レジスタが読み出されるたびに INT_DATA_J 割込みが自動的にクリアされます。	0x1	R/W
		8	INT_ACLEAR_DATA_I	タイム・スロット I 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット I のデータ・レジスタが読み出されるたびに INT_DATA_I 割込みが自動的にクリアされます。	0x1	R/W
		7	INT_ACLEAR_DATA_H	タイム・スロット H 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット H のデータ・レジスタが読み出されるたびに INT_DATA_H 割込みが自動的にクリアされます。	0x1	R/W
		6	INT_ACLEAR_DATA_G	タイム・スロット G 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット G のデータ・レジスタが読み出されるたびに INT_DATA_G 割込みが自動的にクリアされます。	0x1	R/W
		5	INT_ACLEAR_DATA_F	タイム・スロット F 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット F のデータ・レジスタが読み出されるたびに INT_DATA_F 割込みが自動的にクリアされます。	0x1	R/W
		4	INT_ACLEAR_DATA_E	タイム・スロット E 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット E のデータ・レジスタが読み出されるたびに INT_DATA_E 割込みが自動的にクリアされます。	0x1	R/W
		3	INT_ACLEAR_DATA_D	タイム・スロット D 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット D のデータ・レジスタが読み出されるたびに INT_DATA_D 割込みが自動的にクリアされます。	0x1	R/W
		2	INT_ACLEAR_DATA_C	タイム・スロット C 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット C のデータ・レジスタが読み出されるたびに INT_DATA_C 割込みが自動的にクリアされます。	0x1	R/W
		1	INT_ACLEAR_DATA_B	タイム・スロット B 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット B のデータ・レジスタが読み出されるたびに INT_DATA_B 割込みが自動的にクリアされます。	0x1	R/W
		0	INT_ACLEAR_DATA_A	タイム・スロット A 割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロット A のデータ・レジスタが読み出されるたびに INT_DATA_A 割込みが自動的にクリアされます。	0x1	R/W

データシート

ADPD4100/ADPD4101

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス ¹
0x0014	INT_ENABLE_XD	15	INTX_EN_FIFO_TH	INT_FIFO_TH 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で FIFO 閾値ステータスの駆動をイネーブルします。	0x0	R/W
		14	INTX_EN_FIFO_UFLOW	Interrupt X で INT_FIFO_UFLOW 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で FIFO アンダーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		13	INTX_EN_FIFO_OFLOW	Interrupt X で INT_FIFO_OFLOW 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で FIFO オーバーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		12	Reserved	予備。	0x0	R
		11	INTX_EN_DATA_L	INT_DATA_L 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_L ステータスの駆動をイネーブルします。	0x0	R/W
		10	INTX_EN_DATA_K	INT_DATA_K 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_K ステータスの駆動をイネーブルします。	0x0	R/W
		9	INTX_EN_DATA_J	INT_DATA_J 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_J ステータスの駆動をイネーブルします。	0x0	R/W
		8	INTX_EN_DATA_I	INT_DATA_I 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_I ステータスの駆動をイネーブルします。	0x0	R/W
		7	INTX_EN_DATA_H	INT_DATA_H 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_H ステータスの駆動をイネーブルします。	0x0	R/W
		6	INTX_EN_DATA_G	INT_DATA_G 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_G ステータスの駆動をイネーブルします。	0x0	R/W
		5	INTX_EN_DATA_F	INT_DATA_F 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_F ステータスの駆動をイネーブルします。	0x0	R/W
		4	INTX_EN_DATA_E	INT_DATA_E 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_E ステータスの駆動をイネーブルします。	0x0	R/W
		3	INTX_EN_DATA_D	INT_DATA_D 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_D ステータスの駆動をイネーブルします。	0x0	R/W
		2	INTX_EN_DATA_C	INT_DATA_C 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_C ステータスの駆動をイネーブルします。	0x0	R/W
		1	INTX_EN_DATA_B	INT_DATA_B 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_B ステータスの駆動をイネーブルします。	0x0	R/W
0	INTX_EN_DATA_A	INT_DATA_A 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt X で INT_DATA_A ステータスの駆動をイネーブルします。	0x0	R/W		
0x0015	INT_ENABLE_YD	15	INTY_EN_FIFO_TH	INT_FIFO_TH 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で FIFO 閾値ステータスの駆動をイネーブルします。	0x0	R/W
		14	INTY_EN_FIFO_UFLOW	Interrupt Y で INT_FIFO_UFLOW 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で FIFO アンダーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		13	INTY_EN_FIFO_OFLOW	Interrupt Y で INT_FIFO_OFLOW 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で FIFO オーバーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		12	Reserved	予備。	0x0	R
		11	INTY_EN_DATA_L	INT_DATA_L 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で INT_DATA_L ステータスの駆動をイネーブルします。	0x0	R/W
		10	INTY_EN_DATA_K	INT_DATA_K 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で INT_DATA_K ステータスの駆動をイネーブルします。	0x0	R/W
		9	INTY_EN_DATA_J	INT_DATA_J 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で INT_DATA_J ステータスの駆動をイネーブルします。	0x0	R/W
		8	INTY_EN_DATA_I	INT_DATA_I 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で INT_DATA_I ステータスの駆動をイネーブルします。	0x0	R/W
		7	INTY_EN_DATA_H	INT_DATA_H 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で INT_DATA_H ステータスの駆動をイネーブルします。	0x0	R/W
		6	INTY_EN_DATA_G	INT_DATA_G 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で INT_DATA_G ステータスの駆動をイネーブルします。	0x0	R/W
		5	INTY_EN_DATA_F	INT_DATA_F 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で INT_DATA_F ステータスの駆動をイネーブルします。	0x0	R/W
		4	INTY_EN_DATA_E	INT_DATA_E 割込みをイネーブル。このビットに 1 を書き込むと、Interrupt Y で INT_DATA_E ステータスの駆動をイネーブルします。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス ¹
0x001E	FIFO_STATUS_BYTES	[15:9]	Reserved	予備。	0x0	R
		8	ENA_STAT_TCX	タイム・スロット1からタイム・スロットLまでのチャンネル1とチャンネル2のTIA上限値検出割込みステータス・バイトをイネーブル。このバイトには、タイム・スロット1からタイム・スロットLまでのチャンネル1およびチャンネル2割込みの割込みステータスが格納されます。	0x0	R
		7	ENA_STAT_TC2	タイム・スロットAからタイム・スロットHまでのチャンネル2のTIA上限値検出割込みステータス・バイトをイネーブル。このバイトには、タイム・スロットAからタイム・スロットHまでのチャンネル2割込みの割込みステータスが格納されます。	0x0	R
		6	ENA_STAT_TC1	タイム・スロットAからタイム・スロットHまでのチャンネル1のTIA上限値検出割込みステータス・バイトをイネーブル。このバイトには、タイム・スロットAからタイム・スロットHまでのチャンネル1割込みの割込みステータスが格納されます。	0x0	R
		5	ENA_STAT_LX	タイム・スロット1からタイム・スロットLまでのレベル0およびレベル1割込みステータス・バイトをイネーブル。このバイトには、タイム・スロット1からタイム・スロットLまでのレベル0およびレベル1割込みの割込みステータスが格納されます。	0x0	R/W
		4	ENA_STAT_L1	タイム・スロットAからタイム・スロットHまでのレベル1割込みステータス・バイトをイネーブル。このバイトには、タイム・スロットAからタイム・スロットHまでのレベル1割込みの割込みステータスが格納されます。	0x0	R/W
		3	ENA_STAT_L0	タイム・スロットAからタイム・スロットHまでのレベル0割込みステータス・バイトをイネーブル。このバイトには、タイム・スロットAからタイム・スロットHまでのレベル0割込みの割込みステータスが格納されます。	0x0	R/W
		2	ENA_STAT_D2	タイム・スロット1からタイム・スロットLまでのデータ割込みステータス・バイトをイネーブル。このバイトには、タイム・スロット1からタイム・スロットLまでのデータ割込みステータスが格納されます。	0x0	R/W
		1	ENA_STAT_D1	タイム・スロットAからタイム・スロットHまでのデータ割込みステータス・バイトをイネーブル。このバイトには、タイム・スロットAからタイム・スロットHまでのデータ割込みステータスが格納されます。	0x0	R/W
		0	ENA_STAT_SUM	ステータス・サマリー・バイトをイネーブル。このバイトがイネーブルされている場合は、最後にイネーブルされたタイム・スロット・データの後に、概要パターンが格納されたステータス・バイトをFIFOに書き込みます。	0x0	R/W

¹ R/WICは、1を書き込んでクリアすることを表しています。

閾値の設定とコントロール・レジスタ

表 32. 閾値の設定とコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0006	FIFO_TH	[15:10]	Reserved	予備。	0x00	R
		[9:0]	FIFO_TH	FIFO割込みを生成する閾値。FIFO書き込み時にFIFO内のバイト数がこの値を超えると、FIFO割込みを生成します。FIFOは512バイトです。したがって、FIFO_THの最大値は0x1FFです。	0x000	R/W
0x0115	THRESH_CFG_A	[15:8]	Reserved	予備。	0x0	R
0x0135	THRESH_CFG_B	7	THRESH1_CHAN_x	レベル1割込みのチャンネル選択。	0x0	R/W
0x0155	THRESH_CFG_C			0: チャンネル1を使用。		
0x0175	THRESH_CFG_D			1: チャンネル2を使用。		
0x0195	THRESH_CFG_E	6	THRESH1_DIR_x	レベル1割込みで比較する方向。	0x0	R/W
0x01B5	THRESH_CFG_F			0: レベル1割込みの閾値を下回る方向で比較する場合にセットします。		
0x01D5	THRESH_CFG_G			1: レベル1割込みの閾値を上回る方向で比較する場合にセットします。		
0x01F5	THRESH_CFG_H	[5:4]	THRESH1_TYPE_x	レベル1割込みで比較するタイプ。	0x0	R/W
0x0215	THRESH_CFG_I			0: オフ (比較しない)。		
0x0235	THRESH_CFG_J			1: 信号と比較。		
0x0255	THRESH_CFG_K			10: 暗値と比較。		
0x0275	THRESH_CFG_L			11: 予備。		

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		3	THRESH0_CHAN_x	レベル 0 割込みのチャンネル選択。 0：チャンネル 1 を使用。 1：チャンネル 2 を使用。	0x0	R/W
		2	THRESH0_DIR_x	レベル 0 割込みで比較する方向。 0：レベル 0 割込みの閾値を下回る方向で比較する場合にセットします。 1：レベル 0 割込みの閾値を上回る方向で比較する場合にセットします。	0x0	R/W
		[1:0]	THRESH0_TYPE_x	レベル 0 割込みで比較するタイプ。 0：オフ（比較しない）。 1：信号と比較。 10：暗値と比較。 11：予備。	0x0	R/W
0x0116	THRESH0_A	[15:13]	Reserved	予備。	0x0	R
0x0136	THRESH0_B	[12:8]	THRESH0_SHIFT_x	レベル 0 割込み比較閾値におけるシフト量。比較する前に、ここで設定した量だけ THRESH0_VALUE_x をシフトします。	0x0	R/W
0x0156	THRESH0_C					
0x0176	THRESH0_D	[7:0]	THRESH0_VALUE_x	レベル 0 割込み比較閾値の値。	0x0	R/W
0x0196	THRESH0_E					
0x01B6	THRESH0_F					
0x01D6	THRESH0_G					
0x01F6	THRESH0_H					
0x0216	THRESH0_I					
0x0236	THRESH0_J					
0x0256	THRESH0_K					
0x0276	THRESH0_L					
0x0117	THRESH1_A	[15:13]	Reserved	予備。	0x0	R
0x0137	THRESH1_B	[12:8]	THRESH1_SHIFT_x	レベル 1 割込み比較閾値におけるシフト量。比較する前に、ここで設定した量だけ THRESH1_VALUE_x をシフトします。	0x0	R/W
0x0157	THRESH1_C					
0x0177	THRESH1_D	[7:0]	THRESH1_VALUE_x	レベル 1 割込み比較閾値の値。	0x0	R/W
0x0197	THRESH1_E					
0x01B7	THRESH1_F					
0x01D7	THRESH1_G					
0x01F7	THRESH1_H					
0x0217	THRESH1_I					
0x0237	THRESH1_J					
0x0257	THRESH1_K					
0x0277	THRESH1_L					

クロックとタイム・スタンプの設定、およびコントロール・レジスタ

表 33. クロックとタイム・スタンプの設定、およびコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0009	OSC32M	[15:8]	Reserved	予備。	0x0	R
		[7:0]	OSC_32M_FREQ_ADJ	高周波発振器の周波数制御。最小周波数は 0x00、最大周波数は 0xFF です。	0x80	R/W
0x000A	OSC32M_CAL	15	OSC_32M_CAL_START	高周波発振器のキャリブレーション・サイクルのスタート。このビットに 1 を書き込むと、高周波発振器のキャリブレーション・サイクルを開始します。1MHz の低周波発振器を使用している場合は低周波発振器の 128 サイクルの期間、32kHz の低周波発振器を使用している場合は低周波発振器の 32 サイクルの期間、32MHz 発振器のサイクルをカウントします。OSC_32M_CAL_COUNT ビットにこのカウント数が更新されます。キャリブレーション・サイクルが完了すると、キャリブレーション回路が OSC_32M_CAL_START ビットをクリアします。	0x0	R/W
		[14:0]	OSC_32M_CAL_COUNT	高周波発振器のキャリブレーション・カウンタ。このビットには、最後に行われた高周波発振器のキャリブレーション・サイクルにおける 32MHz サイクルのカウント数の合計が格納されます。	0x0	R
0x000B	OSC1M	[15:11]	Reserved	予備。	0x0	R
		10	CLK_CAL_ENA	発振器のキャリブレーション用クロックをイネーブル。0 (デフォルト) に設定した場合、発振器のキャリブレーション回路はディスエーブルされます。このビットを 1 に設定すると、発振器のキャリブレーション回路をオンにします。	0x0	R/W
		[9:0]	OSC_1M_FREQ_ADJ	低周波発振器の周波数制御。最小周波数は 0x000、最大周波数は 0x3FF です。	0x2B2	R/W
0x000C	OSC32K	15	CAPTURE_TIMESTAMP	タイム・スタンプの取得をイネーブル。このビットを使用して、タイム・スタンプ取得機能を有効にします。このビットが設定されている場合、タイム・スタンプ入力 (デフォルトで GPIO0) の次の立上がりエッジでタイム・スタンプを取得します。タイム・スタンプが生成されるとこのビットはクリアされます。	0x0	R/W
		[14:6]	Reserved	予備。	0x0	R
		[5:0]	OSC_32K_ADJUST	32kHz 発振器のトリム。 00 0000 : 最大周波数。 01 0010 : デフォルト周波数。 11 1111 : 最小周波数。	0x12	R/W
0x0011	STAMP_L	[15:0]	TIMESTAMP_COUNT_L	前のタイム・スタンプのカウント。下位 16 ビット。	0x0	R
0x0012	STAMP_H	[15:0]	TIMESTAMP_COUNT_H	前のタイム・スタンプのカウント。上位 16 ビット。	0x0	R
0x0013	STAMPDELTA	[15:0]	TIMESTAMP_SLOT_DELTA	カウントは次のタイム・スロットが開始されるまで保持されます。	0x0	R

システム・レジスタ

表 34. システム・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0008	CHIP_ID	[15:8]	Version	マスクのバージョン。	0x2	R
		[7:0]	CHIP_ID	チップ ID。	0xC2	R
0x002E	DATA_HOLD_F_LAG	[15:12]	Reserved	予備。	0x0	R
		11	HOLD_REGS_L	タイム・スロット L のデータ・レジスタの更新を停止します。 0 : データ・レジスタの更新を許可します。 1 : データ・レジスタの現在の内容を保持します。	0x0	R/W
		10	HOLD_REGS_K	タイム・スロット K のデータ・レジスタの更新を停止します。 0 : データ・レジスタの更新を許可します。 1 : データ・レジスタの現在の内容を保持します。	0x0	R/W
		9	HOLD_REGS_J	タイム・スロット J のデータ・レジスタの更新を停止します。 0 : データ・レジスタの更新を許可します。 1 : データ・レジスタの現在の内容を保持します。	0x0	R/W
		8	HOLD_REGS_I	タイム・スロット I のデータ・レジスタの更新を停止します。 0 : データ・レジスタの更新を許可します。 1 : データ・レジスタの現在の内容を保持します。	0x0	R/W
		7	HOLD_REGS_H	タイム・スロット H のデータ・レジスタの更新を停止します。 0 : データ・レジスタの更新を許可します。 1 : データ・レジスタの現在の内容を保持します。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		6	HOLD_REGS_G	タイム・スロット G のデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		5	HOLD_REGS_F	タイム・スロット F のデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		4	HOLD_REGS_E	タイム・スロット E のデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		3	HOLD_REGS_D	タイム・スロット D のデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		2	HOLD_REGS_C	タイム・スロット C のデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		1	HOLD_REGS_B	タイム・スロット B のデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		0	HOLD_REGS_A	タイム・スロット A のデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
0x00B6	I2C_KEY	[15:12]	I2C_KEY_MATCH	I2C_KEY_MATCH ビットを使用して、スレーブ・アドレスを変更するためにハイにする GPIOx ピンを指定します。0 に設定すると、指定した GPIO の入力を無視します。1 に設定すると、その GPIO がアドレス変更のためにハイになります。どのような組み合わせも可能です。GPIO0 にビット 12、GPIO1 にビット 13、GPIO2 にビット 14、GPIO3 にビット 15 を使用します。	0x0	R/W
		[11:0]	I2C_KEY	I ² C アドレス変更キー。アドレスを変更するには、このビットに 0x4AD を書き込む必要があります。このビットへの書き込みは、I2C_KEY_MATCH に書き込むと同時にいきます。	0x0	R0/W
0x00B7	I2C_ADDR	[15:8]	I2C_SLAVE_KEY2	I ² C キー2。I2C_KEY ビットに書き込んだ後すぐに、このビットに 0xAD を書き込みます。同時に、I2C_KEY_MATCH ビットで選択した GPIOx ピンもハイにする必要があります。	0x0	R/W
		[7:1]	I2C_SLAVE_ADDR	I ² C のスレーブ・アドレスの更新フィールド。目的の 7 ビット・スレーブ・アドレスと適切なキーを書き込んで、I ² C のスレーブ・アドレスを変更します。	0x24	R/W
		0	Reserved	予備。	0x0	R

I/O の設定とコントロール・レジスタ

表 35. I/O の設定とコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0022	GPIO_CFG	[15:14]	GPIO_SLEW	GPIOx ピンのスルー制御。 0：最も遅い。 1：遅い。 10：最も速い。 11：速い。	0x0	R/W
		[13:12]	GPIO_DRV	GPIOx ピンの駆動制御。 0：中間。 1：弱い。 10：強い。 11：強い。	0x0	R/W
		[11:9]	GPIO_PIN_CFG3	GPIO3 ピンの設定。 000：ディスエーブル（トライステート、入力バッファ・オフ）。 001：入力をイネーブル。 010：出力-通常。 011：出力-反転。 100：プルダウンのみ-通常。 101：プルダウンのみ-反転。 110：プルアップのみ-通常。 111：プルアップのみ-反転。	0x0	R/W
		[8:6]	GPIO_PIN_CFG2	GPIO2 ピンの設定。 000：ディスエーブル（トライステート、入力バッファ・オフ）。 001：入力をイネーブル。 010：出力-通常。 011：出力-反転。 100：プルダウンのみ-通常。 101：プルダウンのみ-反転。 110：プルアップのみ-通常。 111：プルアップのみ-反転。	0x0	R/W
		[5:3]	GPIO_PIN_CFG1	GPIO1 ピンの設定。 000：ディスエーブル（トライステート、入力バッファ・オフ）。 001：入力をイネーブル。 010：出力-通常。 011：出力-反転。 100：プルダウンのみ-通常。 101：プルダウンのみ-反転。 110：プルアップのみ-通常。 111：プルアップのみ-反転。	0x0	R/W
		[2:0]	GPIO_PIN_CFG0	GPIO0 ピンの設定。 000：ディスエーブル（トライステート、入力バッファ・オフ）。 001：入力をイネーブル。 010：出力-通常。 011：出力-反転。 100：プルダウンのみ-通常。 101：プルダウンのみ-反転。 110：プルアップのみ-通常。 111：プルアップのみ-反転。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0023	GPIO01	15	Reserved	予備。	0x0	R
		[14:8]	GPIOOUT1	<p>GPIO1 出力信号の選択。</p> <p>0x00 : 出力ロジック 0。</p> <p>0x01 : 出力ロジック 1。</p> <p>0x02 : Interrupt X。</p> <p>0x03 : Interrupt Y。</p> <p>0x08 : LED1x アンプをイネーブル。</p> <p>0x09 : LED2x アンプをイネーブル。</p> <p>0x0A : LED3x アンプをイネーブル。</p> <p>0x0B : LED4x アンプをイネーブル。</p> <p>0x0C : 任意のアンプをイネーブル。</p> <p>0x0F : 32MHz 発振器を 64 分周した出力 (500kHz)。</p> <p>0x10 : TS_GPIO_x ビットと TS_GPIO_SLEEP ビットで定義されたタイム・スロットの特定出力パターン。</p> <p>0x11 : スリープ状態。</p> <p>0x16 : 低周波発振器の出力。</p> <p>0x17 : 32MHz 発振器の出力。</p> <p>0x18 : 32MHz 発振器を 32 分周した出力 (1MHz)。</p> <p>0x20 : タイム・スロット A をアクティブ。</p> <p>0x21 : タイム・スロット B をアクティブ。</p> <p>0x22 : タイム・スロット C をアクティブ。</p> <p>0x23 : タイム・スロット D をアクティブ。</p> <p>0x24 : タイム・スロット E をアクティブ。</p> <p>0x25 : タイム・スロット F をアクティブ。</p> <p>0x26 : タイム・スロット G をアクティブ。</p> <p>0x27 : タイム・スロット H をアクティブ。</p> <p>0x28 : タイム・スロット I をアクティブ。</p> <p>0x29 : タイム・スロット J をアクティブ。</p> <p>0x2A : タイム・スロット K をアクティブ。</p> <p>0x2B : タイム・スロット L をアクティブ。</p> <p>0x30 : タイム・スロット A の LED パルス。</p> <p>0x31 : タイム・スロット B の LED パルス。</p> <p>0x32 : タイム・スロット C の LED パルス。</p> <p>0x33 : タイム・スロット D の LED パルス。</p> <p>0x34 : タイム・スロット E の LED パルス。</p> <p>0x35 : タイム・スロット F の LED パルス。</p> <p>0x36 : タイム・スロット G の LED パルス。</p> <p>0x37 : タイム・スロット H の LED パルス。</p> <p>0x38 : タイム・スロット I の LED パルス。</p> <p>0x39 : タイム・スロット J の LED パルス。</p> <p>0x3A : タイム・スロット K の LED パルス。</p> <p>0x3B : タイム・スロット L の LED パルス。</p> <p>0x3F : 任意のタイム・スロットの LED パルス。</p> <p>0x40 : タイム・スロット A の変調パルス。</p> <p>0x41 : タイム・スロット B の変調パルス。</p> <p>0x42 : タイム・スロット C の変調パルス。</p> <p>0x43 : タイム・スロット D の変調パルス。</p> <p>0x44 : タイム・スロット E の変調パルス。</p> <p>0x45 : タイム・スロット F の変調パルス。</p> <p>0x46 : タイム・スロット G の変調パルス。</p> <p>0x47 : タイム・スロット H の変調パルス。</p> <p>0x48 : タイム・スロット I の変調パルス。</p> <p>0x49 : タイム・スロット J の変調パルス。</p>	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				0x4A : タイム・スロット K の変調パルス。 0x4B : タイム・スロット L の変調パルス。 0x4F : 任意のタイム・スロットの変調パルス。 0x50 : タイム・スロット A で発生したデータ・サイクルを出力。外部デバイスを ADPD4100/ADPD4101 のデシメーションされたデータ・レートと同期する場合に有効です。 0x51 : タイム・スロット B で発生したデータ・サイクルを出力。 0x52 : タイム・スロット C で発生したデータ・サイクルを出力します。 0x53 : タイム・スロット D で発生したデータ・サイクルを出力します。 0x54 : タイム・スロット E で発生したデータ・サイクルを出力します。 0x55 : タイム・スロット F で発生したデータ・サイクルを出力します。 0x56 : タイム・スロット G で発生したデータ・サイクルを出力します。 0x57 : タイム・スロット H で発生したデータ・サイクルを出力します。 0x58 : タイム・スロット I で発生したデータ・サイクルを出力します。 0x59 : タイム・スロット J で発生したデータ・サイクルを出力します。 0x5A : タイム・スロット K で発生したデータ・サイクルを出力します。 0x5B : タイム・スロット L で発生したデータ・サイクルを出力します。 0x5F : 任意のタイム・スロットで発生したデータ・サイクルを出力。		
		7	Reserved	予備。	0x0	R
		[6:0]	GPIOOUT0	GPIO0 出力信号の選択。選択肢は GPIOOUT1 で説明した内容と同じです。	0x0	R/W
0x0024	GPIO23	15	Reserved	予備。	0x0	R
		[14:8]	GPIOOUT3	GPIO3 出力信号の選択。選択肢は GPIOOUT1 で説明した内容と同じです。	0x0	R/W
		7	Reserved	予備。	0x0	R
		[6:0]	GPIOOUT2	GPIO2 出力信号の選択。選択肢は GPIOOUT1 で説明した内容と同じです。	0x0	R/W
		0x0025	GPIO_IN	[15:4]	Reserved	予備。
	[3:0]	GPIO_INPUT		GPIO 入力の値 (イネーブルの場合)。入力としてイネーブルされた GPIO に存在する値のリードバック。ビット 0 が GPIO1、ビット 1 が GPIO1、ビット 2 が GPIO2、ビット 3 が GPIO3 です。	0x0	R
0x0026	GPIO_EX T	[15:9]	Reserved	予備。	0x0	R
		8	TS_GPIO_SLEEP	GPIOOUTx が 0x10 に設定されている場合、GPIO は、タイム・スロットの最後とスリープ期間に TS_GPIO_SLEEP の値を返します。	0x0	R/W
		7	TIMESTAMP_INV	タイム・スタンプ・トリガの反転。 0 : タイム・スタンプ・トリガは立上がりエッジです。 1 : タイム・スタンプ・トリガは立下がりエッジです。	0x0	R/W
		6	TIMESTAMP_ALWAYS_EN	タイム・スタンプを常にオンにします。このビットが設定されている場合、CAPTURE_TIMESTAMP は自動的にクリアされません。このビットによって、タイム・スタンプは常にアクティブになります。	0x0	R/W
		[5:4]	TIMESTAMP_GPIO	タイム・スタンプに使用する GPIO の選択。 0x0 : タイム・スタンプに GPIO0 を使用 (デフォルト)。 0x1 : タイム・スタンプに GPIO1 を使用。 0x2 : タイム・スタンプに GPIO2 を使用。 0x3 : タイム・スタンプに GPIO3 を使用。	0x0	R/W
		3	Reserved	予備。	0x0	R/W
		2	EXT_SYNC_EN	外部同期をイネーブル。イネーブルされた場合、時間カウンタではなく、EXT_SYNC_GPIO で選択した GPIO を使用してサンプルをトリガします。	0x0	R/W
		[1:0]	EXT_SYNC_GPIO	外部同期用の GPIO を選択します。 00 : 外部同期に GPIO0 を使用。 01 : 外部同期に GPIO1 を使用。 10 : 外部同期に GPIO2 を使用。 11 : 外部同期に GPIO3 を使用。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x00B4	IO_ADJUST	[15:7]	Reserved	予備。	0x000	R
		6	LOW_IOVDD_EN	3V以上のIOVDDを使用する場合は0x0に設定します。標準的なIOVDDは1.8Vのため、デフォルト値の0x1は3V未満のIOVDDで使用します。	0x1	R/W
		[5:4]	Reserved	0x01に設定します。	0x01	R/W
		[3:2]	SPI_SLEW	SPIピンのスルー制御。 0：最も遅い。 1：遅い。 10：最も速い。 11：速い。	0x0	R/W
		[1:0]	SPI_DRV	SPIピンの駆動制御。 0：中間。 1：弱い。 10：強い。 11：強い。	0x0	R/W

タイム・スロット設定レジスタ

表 36. タイム・スロット設定レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0100	TS_CTRL_A	15	SUBSAMPLE_x	DECIMATE_FACTOR_xを使用したサブサンプリング。このビットが設定されている場合は、選択したタイム・スロットを、タイム・スロット・シーケンス (DECIMATE_FACTOR_x + 1) 回ごとに1回だけ実行します。	0x0	R/W
0x0120	TS_CTRL_B					
0x0140	TS_CTRL_C					
0x0160	TS_CTRL_D	14	CH2_EN_x	チャンネル2をイネーブル。 0：チャンネル2をディスエーブルします。 1：チャンネル2をイネーブルします。	0x0	R/W
0x0180	TS_CTRL_E					
0x01A0	TS_CTRL_F	[13:12]	SAMPLE_TYPE_x	タイム・スロットxのサンプリング・タイプ 00：標準のサンプリング・モード。 01：1領域のデジタル積分モード。 10：2領域のデジタル積分モード。 11：インパルス応答モード。	0x0	R/W
0x01C0	TS_CTRL_G					
0x01E0	TS_CTRL_H					
0x0200	TS_CTRL_I					
0x0220	TS_CTRL_J					
0x0240	TS_CTRL_K	[11:10]	INPUT_R_SELECT_x	入力抵抗 (R _{IN}) の選択。 00：500Ω。 01：6.5kΩ。 10：予備。 11：予備。	0x0	R/W
0x0260	TS_CTRL_L					
		[9:0]	TIMESLOT_OFFSET_x	タイム・スロットxを、64 × 1MHz低周波発振器のサイクル数、または2 × 32kHz低周波発振器のサイクル数だけオフセットします。	0x0	R/W
0x0101	TS_PATH_A	[15:12]	PRE_WIDTH_x	タイム・スロットxのプリコンディショニング期間。この値は2μs刻みで設定します。値を0にするとプリコンディショニング状態をスキップします。デフォルトは8μsです。	0x4	R/W
0x0121	TS_PATH_B					
0x0141	TS_PATH_C					
0x0161	TS_PATH_D					
0x0181	TS_PATH_E	[11:10]	Reserved	0x0を書き込みます。	0x0	R
0x01A1	TS_PATH_F					
0x01C1	TS_PATH_G					
0x01E1	TS_PATH_H					
0x0201	TS_PATH_I					
		9	TS_GPIO_x	タイム・スロットをタイム・スロットxに特定する値。GPIOOUTxが0x10に設定されTS_GPIO_xが1に設定されている場合、GPIOOUTxで選択したGPIOは1を出力します。同時にTS_GPIO_xで選択したタイム・スロットがアクティブになります。GPIOは、タイム・スロットの終了時にTS_GPIO_SLEEP値を返します。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0221 0x0241 0x0261	TS_PATH_J TS_PATH_K TS_PATH_L	[8:0]	AFE_PATH_CFG_x	信号パスの選択。 0x0DA : TIA、BPF、積分器、ADC。 0x0E6 : TIA、積分器、ADC。 0x106 : TIA、ADC。 0x101 : ADC。 0x0E1 : バッファ、ADC。 0x0E6 : TIA、積分器、ADC。	0x0DA	R/W
0x0102 0x0122 0x0142 0x0162 0x0182 0x01A2 0x01C2 0x01E2 0x0202 0x0222 0x0242 0x0262	INPUTS_A INPUTS_B INPUTS_C INPUTS_D INPUTS_E INPUTS_F INPUTS_G INPUTS_H INPUTS_I INPUTS_J INPUTS_K INPUTS_L	[15:12]	INP78_x	IN7 と IN8 の入力ペアをイネーブル。 0000 : 入力ペアをディスエーブルします。IN7 と IN8 はどちらも接続されません。 0001 : IN7 はチャンネル 1 に接続します。IN8 は接続されません。 0010 : IN7 はチャンネル 2 に接続します。IN8 は接続されません。 0011 : IN7 は接続されません。IN8 はチャンネル 1 に接続します。 0100 : IN7 は接続されません。IN8 はチャンネル 2 に接続します。 0101 : IN7 はチャンネル 1 に接続します。IN8 はチャンネル 2 に接続します。 0110 : IN7 はチャンネル 2 に接続します。IN8 はチャンネル 1 に接続します。 0111 : IN7 と IN8 をチャンネル 1 に接続します。シングルエンド入力か差動入力かは PAIR78 に基づいて決定します。 1000 : IN7 と IN8 をチャンネル 2 に接続します。シングルエンド入力か差動入力かは PAIR78 に基づいて決定します。	0x0	R/W
		[11:8]	INP56_x	IN5 と IN6 の入力ペアをイネーブル。 0000 : 入力ペアをディスエーブルします。IN5 と IN6 はどちらも接続されません。 0001 : IN5 はチャンネル 1 に接続します。IN6 は接続されません。 0010 : IN5 はチャンネル 2 に接続します。IN6 は接続されません。 0011 : IN5 は接続されません。IN6 はチャンネル 1 に接続します。 0100 : IN5 は接続されません。IN6 はチャンネル 2 に接続します。 0101 : IN5 はチャンネル 1 に接続します。IN6 はチャンネル 2 に接続します。 0110 : IN5 はチャンネル 2 に接続します。IN6 はチャンネル 1 に接続します。 0111 : IN5 と IN6 をチャンネル 1 に接続します。シングル・エンド入力か差動入力かは PAIR56 に基づいて決定します。 1000 : IN5 と IN6 をチャンネル 2 に接続します。シングル・エンド入力か差動入力かは PAIR56 に基づいて決定します。	0x0	R/W
		[7:4]	INP34_x	IN3 と IN4 の入力ペアをイネーブル。 0000 : 入力ペアをディスエーブルします。IN3 と IN4 はどちらも接続されません。 0001 : IN3 はチャンネル 1 に接続します。IN4 は接続されません。 0010 : IN3 はチャンネル 2 に接続します。IN4 は接続されません。 0011 : IN3 は接続されません。IN4 はチャンネル 1 に接続します。 0100 : IN3 は接続されません。IN4 はチャンネル 2 に接続します。 0101 : IN3 はチャンネル 1 に接続します。IN4 はチャンネル 2 に接続します。 0110 : IN3 はチャンネル 2 に接続します。IN4 はチャンネル 1 に接続します。 0111 : IN3 と IN4 をチャンネル 1 に接続します。シングルエンド入力か差動入力かは PAIR34 に基づいて決定します。 1000 : IN3 と IN4 をチャンネルに接続します。シングルエンド入力か差動入力かは PAIR34 に基づいて決定します。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[3:0]	INP12_x	IN1 と IN2 の入力ペアをイネーブル。 0000 : 入力ペアをディスエーブルします。IN1 と IN2 はどちらも接続されません。 0001 : IN1 はチャンネル 1 に接続します。IN2 は接続されません。 0010 : IN1 はチャンネル 2 に接続します。IN2 は接続されません。 0011 : IN1 は接続されません。IN2 はチャンネル 1 に接続します。 0100 : IN1 は接続されません。IN2 はチャンネル 2 に接続します。 0101 : IN1 はチャンネル 1 に接続します。IN2 はチャンネル 2 に接続します。 0110 : IN1 はチャンネル 2 に接続します。IN2 はチャンネル 1 に接続します。 0111 : IN1 と IN2 をチャンネル 1 に接続します。シングルエンド入力か差動入力かは PAIR12 に基づいて決定します。 1000 : IN1 と IN2 をチャンネル 2 に接続します。シングルエンド入力か差動入力かは PAIR12 に基づいて決定します。	0x0	R/W
0x0103	CATHODE_A	15	Reserved	予備。	0x0	R
0x0123	CATHODE_B	[14:12]	PRECON_x	タイム・スロット x でイネーブルされた入力のプリコンディショニング値。 000 : 入力をフロート状態にします。 001 : VC1 にプリコンディショニングします。 010 : VC2 にプリコンディショニングします。 011 : V _{ICM} にプリコンディショニングします。入力が差動に設定されている場合に使用します。 100 : TIA 入力を使用してプリコンディショニングします。 101 : TIA_VREF を使用してプリコンディショニングします。 110 : 短絡している差動ペアによってプリコンディショニングします。	0x0	R/W
0x0143	CATHODE_C					
0x0163	CATHODE_D					
0x0183	CATHODE_E					
0x01A3	CATHODE_F					
0x01C3	CATHODE_G					
0x01E3	CATHODE_H					
0x0203	CATHODE_I					
0x0223	CATHODE_J					
0x0243	CATHODE_K	[11:10]	VC2_PULSE_x	タイム・スロット x における VC2 パルス制御。 00 : パルスなし。 01 : 次のタイム・スロット x で VC2 をオルタネートします。 10 : 変調パルスを使用して VC2_ALT_x で指定したオルタネート値にパルスを出力します。	0x0	R/W
0x0263	CATHODE_L					
		[9:8]	VC2_ALT_x	タイム・スロット x における VC2 のオルタネート・パルス・ステート。 00 : V _{DD0} 。 01 : TIA_VREF。 10 : TIA_VREF = 215mV。 11 : GND。	0x0	R/W
		[7:6]	VC2_SEL_x	タイム・スロット x における VC2 のアクティブ・ステート。 00 : V _{DD0} 。 01 : TIA_VREF。 10 : TIA_VREF = 215mV。 11 : GND。	0x0	R/W
		[5:4]	VC1_PULSE_x	タイム・スロット x における VC1 パルス制御。 00 : パルスなし。 01 : 次のタイム・スロット x で VC1 をオルタネートします。 10 : 変調パルスを使用して VC1_ALT_x で指定したオルタネート値にパルスを出力します。	0x0	R/W
		[3:2]	VC1_ALT_x	タイム・スロット x における VC1 のオルタネート・パルス・ステート。 00 : V _{DD0} 。 01 : TIA_VREF。 10 : TIA_VREF = 215mV。 11 : GND。	0x0	R/W
		[1:0]	VC1_SEL_x	タイム・スロット x における VC1 のアクティブ・ステート。 00 : V _{DD0} 。 01 : TIA_VREF。 10 : TIA_VREF = 215mV。 11 : GND。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0104 0x0124 0x0144	AFE_TRIM_A AFE_TRIM_B AFE_TRIM_C	15	TIA_CEIL_DETECT_EN_x	1に設定すると、TIAの上限値検出回路をイネーブルします。チャンネル1のTIA上限値検出回路と共に、チャンネル2がイネーブルされている場合はチャンネル2のTIA上限値検出回路もイネーブルされます。	0x0	R/W
0x0164 0x0184 0x01A4 0x01C4 0x01E4 0x0204 0x0224	AFE_TRIM_D AFE_TRIM_E AFE_TRIM_F AFE_TRIM_G AFE_TRIM_H AFE_TRIM_I AFE_TRIM_J	[14:13]	CH2_TRIM_INT_x	AFE_INT_C_BUF_x = 0のとき、積分器の入力抵抗を設定します。 AFE_INT_C_BUF_x = 1のとき、バッファ・ゲインを設定します。 AFE_INT_C_BUF_x = 0 00 : 400kΩ。 01 : 200kΩ。 10 : 100kΩ。 11 : 100kΩ。	0x0	R/W
0x0244 0x0264	AFE_TRIM_K AFE_TRIM_L	[12:11]	CH1_TRIM_INT_x	AFE_INT_C_BUF_x = 0のとき、積分器の入力抵抗を設定します。 AFE_INT_C_BUF_x = 1、またはデジタル積分モードのとき、バッファ・ゲインを設定します。 AFE_INT_C_BUF_x = 0 00 : 400kΩ。 01 : 200kΩ。 10 : 100kΩ。 11 : 100kΩ。	0x0	R/W
		10	VREF_PULSE_x	TIA_VREFのパルス制御。 0 : パルスなし。 1 : TIA_VREFに変調パルスをベースにしたパルスを印加します。	0x0	R/W
		[9:8]	AFE_TRIM_VREF_x	TIA_VREF電圧の選択。 00 : TIA_VREF = 1.1385V。 01 : TIA_VREF = 1.012V。 10 : TIA_VREF = 0.8855V。 11 : TIA_VREF = 1.265V。	0x3	R/W
		[7:6]	VREF_PULSE_VAL_x	TIA_VREFパルスのオルタネート値。 00 : TIA_VREF = 1.1385Vに変調します。 01 : TIA_VREF = 1.012Vに変調します。 10 : TIA_VREF = 0.8855Vに変調します。 11 : TIA_VREF = 1.265Vに変調します。	0x3	R/W
		[5:3]	TIA_GAIN_CH2_x	チャンネル2のTIA抵抗のゲイン設定 000 : 200kΩ。 001 : 100kΩ。 010 : 50kΩ。 011 : 25kΩ。 100 : 12.5kΩ。	0x0	R/W
		[2:0]	TIA_GAIN_CH1_x	チャンネル1のTIA抵抗のゲイン設定 000 : 200kΩ。 001 : 100kΩ。 010 : 50kΩ。 011 : 25kΩ。 100 : 12.5kΩ。	0x0	R/W
0x010D 0x012D 0x014D	PATTERN_A PATTERN_B PATTERN_C	[15:12]	LED_DISABLE_x	4パルスのLEDディスエーブル・パターン。1に設定すると、マッチング位置での4パルス・グループによるLEDパルスをディスエーブルします。LSBは最初のパルスにマップされます。	0x0	R/W
0x016D 0x018D 0x01AD	PATTERN_D PATTERN_E PATTERN_F	[11:8]	MOD_DISABLE_x	4パルスの変調ディスエーブル・パターン。1に設定すると、マッチング位置での4パルス・グループによる変調パルスをディスエーブルします。LSBは最初のパルスにマップされます。	0x0	R/W
0x01CD 0x01ED 0x020D	PATTERN_G PATTERN_H PATTERN_I	[7:4]	SUBTRACT_x	4パルスの減算パターン。1に設定すると、マッチング位置における4パルス・グループでの計算を無効にします。LSBは最初のパルスにマップされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス					
0x022D	PATTERN_J	[3:0]	REVERSE_INTEG_x	4パルス積分の反転パターン。1に設定すると、マッチング位置において積分器の4パルス・グループ内の正と負の順序を逆にします。LSBは最初のパルスにマップされます。	0x0	R/W					
0x024D	PATTERN_K										
0x026D	PATTERN_L										
0x0110	DATA_FORM AT_A	[15:11]	DARK_SHIFT_x	FIFO書き込みの前にタイム・スロットxの暗データを右にシフトするビット数。0ビットから32ビットの間で選択できます。	0x0	R/W					
0x0130	DATA_FORM AT_B										
0x0150	DATA_FORM AT_C										
0x0170	DATA_FORM AT_D										
0x0190	DATA_FORM AT_E	[10:8]	DARK_SIZE_x	FIFOに書き込むタイム・スロットxの暗データのバイト数。0バイトから4バイトの間で選択できます。	0x0	R/W					
0x01B0	DATA_FORM AT_F	[7:3]	SIGNAL_SHIFT_x	FIFO書き込みの前にタイム・スロットxの信号データを右にシフトするビット数。0ビットから32ビットの間で選択できます。	0x0	R/W					
0x01D0	DATA_FORM AT_G										
0x01F0	DATA_FORM AT_H										
0x0210	DATA_FORM AT_I										
0x0230	DATA_FORM AT_J	[2:0]	SIGNAL_SIZE_x	FIFOに書き込むタイム・スロットxの信号データのバイト数。0バイトから4バイトの間で選択できます。	0x3	R/W					
0x0250	DATA_FORM AT_K										
0x0270	DATA_FORM AT_L										
0x0111	LIT_DATA_F ORMAT_A						[15:8]	Reserved	予備	0x0	R/W
0x0131	LIT_DATA_F ORMAT_B	[7:3]	LIT_SHIFT_x	FIFO書き込みの前にタイム・スロットxの明データを右にシフトするビット数。0ビットから32ビットの間で選択できます。	0x0	R/W					
0x0151	LIT_DATA_F ORMAT_C										
0x0171	LIT_DATA_F ORMAT_D										
0x0191	LIT_DATA_F ORMAT_E										
0x01B1	LIT_DATA_F ORMAT_F	[2:0]	LIT_SIZE_x	FIFOに書き込むタイム・スロットxの明データのバイト数。0バイトから4バイトの間で選択できます。	0x3	R/W					
0x01D1	LIT_DATA_F ORMAT_G										
0x01F1	LIT_DATA_F ORMAT_H										
0x0211	LIT_DATA_F ORMAT_I										
0x0231	LIT_DATA_F ORMAT_J										
0x0251	LIT_DATA_F ORMAT_K										
0x0271	LIT_DATA_F ORMAT_L										
0x0112	DECIMATE_A						[15:11]	Reserved	0x0を書き込みます。	0x0	R
0x0132	DECIMATE_B						[10:4]	DECIMATE_FACTOR_x	サンプル分周器をデシメーション。出力データ・レートは、サンプリング・レート ÷ (DECIMATE_FACTOR_x + 1)。1~128でデシメーションします。	0x0	R/W
0x0152	DECIMATE_C										
0x0172	DECIMATE_D	[3:0]	DECIMATE_TYPE_x	デシメーション・タイプの選択。 0：ブロック合計、1次のCICを使用。 1：2次のCICを使用した信号。 10：3次のCICを使用した信号。 11：4次のCICを使用した信号。 100：予備。	0x0	R/W					
0x0192	DECIMATE_E										
0x01B2	DECIMATE_F										
0x01D2	DECIMATE_G										
0x01F2	DECIMATE_H										
0x0212	DECIMATE_I										
0x0232	DECIMATE_J										
0x0252	DECIMATE_K										
0x0272	DECIMATE_L										

AFE タイミング設定レジスタ

表 37. AFE タイミング設定レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0107	COUNTS_A	[15:8]	NUM_INT_x	ADC サイクル数またはアキュジション幅。ADC 変換ごとのアナログ積分サイクル数、またはデジタル積分およびインパルス・モードでのアキュジション幅です。0 に設定することはできません。	0x1	R/W
0x0127	COUNTS_B					
0x0147	COUNTS_C	[7:0]	NUM_REPEAT_x	シーケンスの繰り返し回数。パルスの総数 = NUM_INT_x × NUM_REPEAT_x。0 に設定することはできません。	0x1	R/W
0x0167	COUNTS_D					
0x0187	COUNTS_E					
0x01A7	COUNTS_F					
0x01C7	COUNTS_G					
0x01E7	COUNTS_H					
0x0207	COUNTS_I					
0x0227	COUNTS_J					
0x0247	COUNTS_K					
0x0267	COUNTS_L					
0x0108	PERIOD_A	[15:14]	Reserved	予備。	0x0	R
0x0128	PERIOD_B	[13:12]	MOD_TYPE_x	変調接続タイプ。 00 : TIA は、プリコンディション後、常に入力と接続し続けます。接続の変調はありません。 01 : フロート・タイプの動作。変調パルスを使用して入力から TIA にパルス接続します。パルスとパルスの間はフロート状態です。 10 : 非フロート・タイプの接続変調。入力から TIA にパルス接続します。パルスとパルスの間はプリコンディション値に接続します。	0x0	R/W
0x0148	PERIOD_C					
0x0168	PERIOD_D					
0x0188	PERIOD_E					
0x01A8	PERIOD_F					
0x01C8	PERIOD_G					
0x01E8	PERIOD_H	[11:10]	Reserved	予備。	0x0	R
0x0208	PERIOD_I					
0x0228	PERIOD_J	[9:0]	MIN_PERIOD_x	パルス繰り返しの最小周期 (単位 : μ s)。自動計算の周期にオーバーライドします。フロート・タイプ動作で使用し、次式を使用して 2 番目以上のフロートのフロート時間を設定します。フロート時間 = $MIN_PERIOD_x - MOD_WIDTH_x$ 。	0x0	R/W
0x0248	PERIOD_K					
0x0268	PERIOD_L					
0x010A	INTEG_SETUP_A	15	SINGLE_INTEG_x	シングル積分パルスの使用。 0 : 生成された積分器のクロックを両方使用します。 1 : 積分器の 2 番目のクロックをスキップします。	0x0	R/W
0x012A	INTEG_SETUP_B					
0x014A	INTEG_SETUP_C					
0x016A	INTEG_SETUP_D					
0x018A	INTEG_SETUP_E	[14:12]	CH2_AMP_DISABLE_x	アンプをディスエーブルしてパワーを制御します。タイム・スロット x に該当するビットを設定して、チャンネル 2 のアンプをディスエーブルします。 0 : TIA。 1 : BPF。 2 : 積分器。	0x0	R/W
0x01AA	INTEG_SETUP_F					
0x01CA	INTEG_SETUP_G					
0x01EA	INTEG_SETUP_H					
0x020A	INTEG_SETUP_I					
0x022A	INTEG_SETUP_J	11	AFE_INT_C_BUF_x	1 に設定すると、積分器はタイム・スロット x においてバッファとして構成されます。	0x0	R/W
0x024A	INTEG_SETUP_K					
0x026A	INTEG_SETUP_L					
0x022A	INTEG_SETUP_J	[10:8]	CH1_AMP_DISABLE_x	アンプをディスエーブルしてパワーを制御します。タイム・スロット x に該当するビットを設定して、チャンネル 1 のアンプをディスエーブルします。 0 : TIA。 1 : BPF。 2 : 積分器。	0x0	R/W
0x024A	INTEG_SETUP_K					
0x026A	INTEG_SETUP_L					
		[7:6]	ADC_COUNT_x	パルスごとの ADC 変換数。変換数 = ADC_COUNT + 1。	0x0	R/W
		5	Reserved	予備。	0x0	R
		[4:0]	INTEG_WIDTH_A	積分器のクロック幅 (単位 : μ s)。0 を超える値にしなければなりません。	0x3	R/W

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x010B	INTEG_OS_A	[15:13]	Reserved	予備。	0x0	R
0x012B	INTEG_OS_B	[12:5]	INTEG_OFFSET_x	タイム・スロット x における積分器のクロック・オフセット、LSB ごとに 1 μ s インクリメントされます。 0 を超える値にしなければなりません。	0x10	R/W
0x014B	INTEG_OS_C	[4:0]	INTEG_OFFSET_x	タイム・スロット x における積分器のクロック・オフセット、LSB ごとに 31.25ns インクリメントされます。	0x14	R/W
0x016B	INTEG_OS_D					
0x018B	INTEG_OS_E					
0x01AB	INTEG_OS_F					
0x01CB	INTEG_OS_G					
0x01EB	INTEG_OS_H					
0x020B	INTEG_OS_I					
0x022B	INTEG_OS_J					
0x024B	INTEG_OS_K					
0x026B	INTEG_OS_L					
0x010C	MOD_PULSE_A	[15:8]	MOD_WIDTH_x	タイム・スロット x における変調パルス幅 (単位: μ s)。0 = デイジーエーブル。	0x0	R/W
0x012C	MOD_PULSE_B	[7:0]	MOD_OFFSET_x	タイム・スロット x における変調パルスのオフセット (単位: μ s)。0 を超える値にしなければなりません。	0x1	R/W
0x014C	MOD_PULSE_C	[15:9]	Reserved	予備。	0x0	R
0x016C	MOD_PULSE_D					
0x018C	MOD_PULSE_E					
0x01AC	MOD_PULSE_F					
0x01CC	MOD_PULSE_G					
0x01EC	MOD_PULSE_H					
0x020C	MOD_PULSE_I					
0x022C	MOD_PULSE_J					
0x024C	MOD_PULSE_K					
0x026C	MOD_PULSE_L					
0x0113	DIGINT_LIT_A	[8:0]	LIT_OFFSET_x	デジタル積分モードでのタイム・スロット x におけるアキュジション・ウィンドウの明オフセット (単位: μ s)。インパルス応答モードのオフセットでもあります。0 を超える値にしなければなりません。	0x26	R/W
0x0133	DIGINT_LIT_B	[15:7]	DARK2_OFFSET_x	デジタル積分モードでのタイム・スロット x におけるアキュジション・ウィンドウの Dark 2 のオフセット (単位: μ s)。0 を超える値にしなければなりません。	0x046	R/W
0x0153	DIGINT_LIT_C					
0x0173	DIGINT_LIT_D					
0x0193	DIGINT_LIT_E					
0x01B3	DIGINT_LIT_F					
0x01D3	DIGINT_LIT_G					
0x01F3	DIGINT_LIT_H					
0x0213	DIGINT_LIT_I					
0x0233	DIGINT_LIT_J					
0x0253	DIGINT_LIT_K					
0x0273	DIGINT_LIT_L					
0x0114	DIGINT_DARK_A	[6:0]	DARK1_OFFSET_x	デジタル積分モードでのタイム・スロット x におけるアキュジション・ウィンドウの Dark 1 のオフセット (単位: μ s)。0 を超える値にしなければなりません。	0x6	R/W
0x0134	DIGINT_DARK_B	[15:7]	DARK2_OFFSET_x	デジタル積分モードでのタイム・スロット x におけるアキュジション・ウィンドウの Dark 2 のオフセット (単位: μ s)。0 を超える値にしなければなりません。	0x046	R/W
0x0154	DIGINT_DARK_C					
0x0174	DIGINT_DARK_D					
0x0194	DIGINT_DARK_E					
0x01B4	DIGINT_DARK_F					
0x01D4	DIGINT_DARK_G					
0x01F4	DIGINT_DARK_H					
0x0214	DIGINT_DARK_I					
0x0234	DIGINT_DARK_J					
0x0254	DIGINT_DARK_K					
0x0274	DIGINT_DARK_L					

LED 制御およびタイミング・レジスタ

表 38. LED 制御およびタイミング・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0105	LED_POW12_A	15	LED_DRIVESIDE2_x	LED 出力 LED2x の選択。	0x0	R/W
0x0125	LED_POW12_B			0 : 出力 LED2A の LED を駆動。		
0x0145	LED_POW12_C			1 : 出力 LED2B の LED を駆動。		
0x0165	LED_POW12_D	[14:8]	LED_CURRENT2_x	出力 LED2A または LED2B の LED 電流の設定値。0 に設定するとディスエーブルされます。出力電流は、0x01~0x7F の範囲で設定することにより、単調増加で 1.5mA~200mA に変化します。	0x0	R/W
0x0185	LED_POW12_E					
0x01A5	LED_POW12_F					
0x01C5	LED_POW12_G	7	LED_DRIVESIDE1_x	LED 出力 LED1x の選択。	0x0	R/W
0x01E5	LED_POW12_H			0 : 出力 LED1A の LED を駆動。		
0x0205	LED_POW12_I			1 : 出力 LED1B の LED を駆動。		
0x0225	LED_POW12_J	[6:0]	LED_CURRENT1_x	出力 LED1A または LED1B の LED 電流の設定値。0 に設定するとディスエーブルされます。出力電流は、0x01~0x7F の範囲で設定することにより、単調増加で 1.5mA~200mA に変化します。	0x0	R/W
0x0245	LED_POW12_K					
0x0265	LED_POW12_L					
0x0106	LED_POW34_A	15	LED_DRIVESIDE4_x	LED 出力 LED4x の選択。	0x0	R/W
0x0126	LED_POW34_B			0 : 出力 LED4A の LED を駆動。		
0x0146	LED_POW34_C			1 : 出力 LED4B の LED を駆動。		
0x0166	LED_POW34_D	[14:8]	LED_CURRENT4_x	出力 LED4A または LED4B の LED 電流の設定値。0 に設定するとディスエーブルされます。出力電流は、0x01~0x7F の範囲で設定することにより、単調増加で 1.5mA~200mA に変化します。	0x0	R/W
0x0186	LED_POW34_E					
0x01A6	LED_POW34_F					
0x01C6	LED_POW34_G	7	LED_DRIVESIDE3_x	LED 出力 LED3x の選択。	0x0	R/W
0x01E6	LED_POW34_H			0 : 出力 LED3A の LED を駆動。		
0x0206	LED_POW34_I			1 : 出力 LED3B の LED を駆動。		
0x0226	LED_POW34_J	[6:0]	LED_CURRENT3_x	出力 LED3A または LED3B の LED 電流の設定値。0 に設定するとディスエーブルされます。出力電流は、0x01~0x7F の範囲で設定することにより、単調増加で 1.5mA~200mA に変化します。	0x0	R/W
0x0246	LED_POW34_K					
0x0266	LED_POW34_L					
0x0109	LED_PULSE_A	[15:8]	LED_WIDTH_x	LED のパルス幅 (単位 : μ s) 。0 = ディスエーブル。	0x2	R/W
0x0129	LED_PULSE_B	[7:0]	LED_OFFSET_x	LED パルスのオフセット (単位 : μ s) 。最小 16 μ s (0x10) に設定してください。0 を超える値にしなればなりません。	0x10	R/W
0x0149	LED_PULSE_C					
0x0169	LED_PULSE_D					
0x0189	LED_PULSE_E					
0x01A9	LED_PULSE_F					
0x01C9	LED_PULSE_G					
0x01E9	LED_PULSE_H					
0x0209	LED_PULSE_I					
0x0229	LED_PULSE_J					
0x0249	LED_PULSE_K					
0x0269	LED_PULSE_L					

ADC オフセット・レジスタ

表 39. ADC オフセット・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x010E	ADC_OFF1_A	[15:14]	Reserved	予備。	0x0	R
0x012E	ADC_OFF1_B	[13:0]	CH1_ADC_ADJUST_x	ADC の値を調整します。ここで設定した値が、タイム・スロット x におけるチャンネル 1 の ADC の値から減算されます。チョッピング・モードおよびフロート・モードの場合は、0 に設定します。	0x0	R/W
0x014E	ADC_OFF1_C					
0x016E	ADC_OFF1_D					
0x018E	ADC_OFF1_E					
0x01AE	ADC_OFF1_F					
0x01CE	ADC_OFF1_G					
0x01EE	ADC_OFF1_H					
0x020E	ADC_OFF1_I					
0x022E	ADC_OFF1_J					
0x024E	ADC_OFF1_K					
0x026E	ADC_OFF1_L					
0x010F	ADC_OFF2_A	15	ZERO_ADJUST_x		0x0	R/W
0x012F	ADC_OFF2_B	14	Reserved	予備。		
0x014F	ADC_OFF2_C	[13:0]	CH2_ADC_ADJUST_x	ADC の値を調整します。ここで設定した値が、タイム・スロット x におけるチャンネル 2 の ADC の値から減算されます。チョッピング・モードおよびフロート・モードの場合は、0 に設定します。	0x0	R/W
0x016F	ADC_OFF2_D					
0x018F	ADC_OFF2_E					
0x01AF	ADC_OFF2_F					
0x01CF	ADC_OFF2_G					
0x01EF	ADC_OFF2_H					
0x020F	ADC_OFF2_I					
0x022F	ADC_OFF2_J					
0x024F	ADC_OFF2_K					
0x026F	ADC_OFF2_L					

出力データ・レジスタ

表 40. 出力データ・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x002F	FIFO_DATA	[15:0]	FIFO_DATA	FIFO データ・ポート	0x0	R
0x0030	SIGNAL1_L_A	[15:0]	SIGNAL1_L_A	チャンネル 1 の信号の下位半分、タイム・スロット A	0x0	R
0x0031	SIGNAL1_H_A	[15:0]	SIGNAL1_H_A	チャンネル 1 の信号の上位半分、タイム・スロット A	0x0	R
0x0032	SIGNAL2_L_A	[15:0]	SIGNAL2_L_A	チャンネル 2 の信号の下位半分、タイム・スロット A	0x0	R
0x0033	SIGNAL2_H_A	[15:0]	SIGNAL2_H_A	チャンネル 2 の信号の上位半分、タイム・スロット A	0x0	R
0x0034	DARK1_L_A	[15:0]	DARK1_L_A	チャンネル 1 の暗値の下位半分、タイム・スロット A	0x0	R
0x0035	DARK1_H_A	[15:0]	DARK1_H_A	チャンネル 1 の暗値の上位半分、タイム・スロット A	0x0	R
0x0036	DARK2_L_A	[15:0]	DARK2_L_A	チャンネル 2 の暗値の下位半分、タイム・スロット A	0x0	R
0x0037	DARK2_H_A	[15:0]	DARK2_H_A	チャンネル 2 の暗値の上位半分、タイム・スロット A	0x0	R
0x0038	SIGNAL1_L_B	[15:0]	SIGNAL1_L_B	チャンネル 1 の信号の下位半分、タイム・スロット B	0x0	R
0x0039	SIGNAL1_H_B	[15:0]	SIGNAL1_H_B	チャンネル 1 の信号の上位半分、タイム・スロット B	0x0	R
0x003A	SIGNAL2_L_B	[15:0]	SIGNAL2_L_B	チャンネル 2 の信号の下位半分、タイム・スロット B	0x0	R
0x003B	SIGNAL2_H_B	[15:0]	SIGNAL2_H_B	チャンネル 2 の信号の上位半分、タイム・スロット B	0x0	R
0x003C	DARK1_L_B	[15:0]	DARK1_L_B	チャンネル 1 の暗値の下位半分、タイム・スロット B	0x0	R
0x003D	DARK1_H_B	[15:0]	DARK1_H_B	チャンネル 1 の暗値の上位半分、タイム・スロット B	0x0	R
0x003E	DARK2_L_B	[15:0]	DARK2_L_B	チャンネル 2 の暗値の下位半分、タイム・スロット B	0x0	R
0x003F	DARK2_H_B	[15:0]	DARK2_H_B	チャンネル 2 の暗値の上位半分、タイム・スロット B	0x0	R
0x0040	SIGNAL1_L_C	[15:0]	SIGNAL1_L_C	チャンネル 1 の信号の下位半分、タイム・スロット C	0x0	R
0x0041	SIGNAL1_H_C	[15:0]	SIGNAL1_H_C	チャンネル 1 の信号の上位半分、タイム・スロット C	0x0	R
0x0042	SIGNAL2_L_C	[15:0]	SIGNAL2_L_C	チャンネル 2 の信号の下位半分、タイム・スロット C	0x0	R
0x0043	SIGNAL2_H_C	[15:0]	SIGNAL2_H_C	チャンネル 2 の信号の上位半分、タイム・スロット C	0x0	R

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0044	DARK1_L_C	[15:0]	DARK1_L_C	チャンネル1の暗値の下位半分、タイム・スロットC	0x0	R
0x0045	DARK1_H_C	[15:0]	DARK1_H_C	チャンネル1の暗値の上位半分、タイム・スロットC	0x0	R
0x0046	DARK2_L_C	[15:0]	DARK2_L_C	チャンネル2の暗値の下位半分、タイム・スロットC	0x0	R
0x0047	DARK2_H_C	[15:0]	DARK2_H_C	チャンネル2の暗値の上位半分、タイム・スロットC	0x0	R
0x0048	SIGNAL1_L_D	[15:0]	SIGNAL1_L_D	チャンネル1の信号の下位半分、タイム・スロットD	0x0	R
0x0049	SIGNAL1_H_D	[15:0]	SIGNAL1_H_D	チャンネル1の信号の上位半分、タイム・スロットD	0x0	R
0x004A	SIGNAL2_L_D	[15:0]	SIGNAL2_L_D	チャンネル2の信号の下位半分、タイム・スロットD	0x0	R
0x004B	SIGNAL2_H_D	[15:0]	SIGNAL2_H_D	チャンネル2の信号の上位半分、タイム・スロットD	0x0	R
0x004C	DARK1_L_D	[15:0]	DARK1_L_D	チャンネル1の暗値の下位半分、タイム・スロットD	0x0	R
0x004D	DARK1_H_D	[15:0]	DARK1_H_D	チャンネル1の暗値の上位半分、タイム・スロットD	0x0	R
0x004E	DARK2_L_D	[15:0]	DARK2_L_D	チャンネル2の暗値の下位半分、タイム・スロットD	0x0	R
0x004F	DARK2_H_D	[15:0]	DARK2_H_D	チャンネル2の暗値の上位半分、タイム・スロットD	0x0	R
0x0050	SIGNAL1_L_E	[15:0]	SIGNAL1_L_E	チャンネル1の信号の下位半分、タイム・スロットE	0x0	R
0x0051	SIGNAL1_H_E	[15:0]	SIGNAL1_H_E	チャンネル1の信号の上位半分、タイム・スロットE	0x0	R
0x0052	SIGNAL2_L_E	[15:0]	SIGNAL2_L_E	チャンネル2の信号の下位半分、タイム・スロットE	0x0	R
0x0053	SIGNAL2_H_E	[15:0]	SIGNAL2_H_E	チャンネル2の信号の上位半分、タイム・スロットE	0x0	R
0x0054	DARK1_L_E	[15:0]	DARK1_L_E	チャンネル1の暗値の下位半分、タイム・スロットE	0x0	R
0x0055	DARK1_H_E	[15:0]	DARK1_H_E	チャンネル1の暗値の上位半分、タイム・スロットE	0x0	R
0x0056	DARK2_L_E	[15:0]	DARK2_L_E	チャンネル2の暗値の下位半分、タイム・スロットE	0x0	R
0x0057	DARK2_H_E	[15:0]	DARK2_H_E	チャンネル2の暗値の上位半分、タイム・スロットE	0x0	R
0x0058	SIGNAL1_L_F	[15:0]	SIGNAL1_L_F	チャンネル1の信号の下位半分、タイム・スロットF	0x0	R
0x0059	SIGNAL1_H_F	[15:0]	SIGNAL1_H_F	チャンネル1の信号の上位半分、タイム・スロットF	0x0	R
0x005A	SIGNAL2_L_F	[15:0]	SIGNAL2_L_F	チャンネル2の信号の下位半分、タイム・スロットF	0x0	R
0x005B	SIGNAL2_H_F	[15:0]	SIGNAL2_H_F	チャンネル2の信号の上位半分、タイム・スロットF	0x0	R
0x005C	DARK1_L_F	[15:0]	DARK1_L_F	チャンネル1の暗値の下位半分、タイム・スロットF	0x0	R
0x005D	DARK1_H_F	[15:0]	DARK1_H_F	チャンネル1の暗値の上位半分、タイム・スロットF	0x0	R
0x005E	DARK2_L_F	[15:0]	DARK2_L_F	チャンネル2の暗値の下位半分、タイム・スロットF	0x0	R
0x005F	DARK2_H_F	[15:0]	DARK2_H_F	チャンネル2の暗値の上位半分、タイム・スロットF	0x0	R
0x0060	SIGNAL1_L_G	[15:0]	SIGNAL1_L_G	チャンネル1の信号の下位半分、タイム・スロットG	0x0	R
0x0061	SIGNAL1_H_G	[15:0]	SIGNAL1_H_G	チャンネル1の信号の上位半分、タイム・スロットG	0x0	R
0x0062	SIGNAL2_L_G	[15:0]	SIGNAL2_L_G	チャンネル2の信号の下位半分、タイム・スロットG	0x0	R
0x0063	SIGNAL2_H_G	[15:0]	SIGNAL2_H_G	チャンネル2の信号の上位半分、タイム・スロットG	0x0	R
0x0064	DARK1_L_G	[15:0]	DARK1_L_G	チャンネル1の暗値の下位半分、タイム・スロットG	0x0	R
0x0065	DARK1_H_G	[15:0]	DARK1_H_G	チャンネル1の暗値の上位半分、タイム・スロットG	0x0	R
0x0066	DARK2_L_G	[15:0]	DARK2_L_G	チャンネル2の暗値の下位半分、タイム・スロットG	0x0	R
0x0067	DARK2_H_G	[15:0]	DARK2_H_G	チャンネル2の暗値の上位半分、タイム・スロットG	0x0	R
0x0068	SIGNAL1_L_H	[15:0]	SIGNAL1_L_H	チャンネル1の信号の下位半分、タイム・スロットH	0x0	R
0x0069	SIGNAL1_H_H	[15:0]	SIGNAL1_H_H	チャンネル1の信号の上位半分、タイム・スロットH	0x0	R
0x006A	SIGNAL2_L_H	[15:0]	SIGNAL2_L_H	チャンネル2の信号の下位半分、タイム・スロットH	0x0	R
0x006B	SIGNAL2_H_H	[15:0]	SIGNAL2_H_H	チャンネル2の信号の上位半分、タイム・スロットH	0x0	R
0x006C	DARK1_L_H	[15:0]	DARK1_L_H	チャンネル1の暗値の下位半分、タイム・スロットH	0x0	R
0x006D	DARK1_H_H	[15:0]	DARK1_H_H	チャンネル1の暗値の上位半分、タイム・スロットH	0x0	R
0x006E	DARK2_L_H	[15:0]	DARK2_L_H	チャンネル2の暗値の下位半分、タイム・スロットH	0x0	R
0x006F	DARK2_H_H	[15:0]	DARK2_H_H	チャンネル2の暗値の上位半分、タイム・スロットH	0x0	R
0x0070	SIGNAL1_L_I	[15:0]	SIGNAL1_L_I	チャンネル1の信号の下位半分、タイム・スロットI	0x0	R
0x0071	SIGNAL1_H_I	[15:0]	SIGNAL1_H_I	チャンネル1の信号の上位半分、タイム・スロットI	0x0	R
0x0072	SIGNAL2_L_I	[15:0]	SIGNAL2_L_I	チャンネル2の信号の下位半分、タイム・スロットI	0x0	R
0x0073	SIGNAL2_H_I	[15:0]	SIGNAL2_H_I	チャンネル2の信号の上位半分、タイム・スロットI	0x0	R
0x0074	DARK1_L_I	[15:0]	DARK1_L_I	チャンネル1の暗値の下位半分、タイム・スロットI	0x0	R
0x0075	DARK1_H_I	[15:0]	DARK1_H_I	チャンネル1の暗値の上位半分、タイム・スロットI	0x0	R
0x0076	DARK2_L_I	[15:0]	DARK2_L_I	チャンネル2の暗値の下位半分、タイム・スロットI	0x0	R
0x0077	DARK2_H_I	[15:0]	DARK2_H_I	チャンネル2の暗値の上位半分、タイム・スロットI	0x0	R
0x0078	SIGNAL1_L_J	[15:0]	SIGNAL1_L_J	チャンネル1の信号の下位半分、タイム・スロットJ	0x0	R

データシート

ADPD4100/ADPD4101

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0079	SIGNAL1_H_J	[15:0]	SIGNAL1_H_J	チャンネル1の信号の上位半分、タイム・スロットJ	0x0	R
0x007A	SIGNAL2_L_J	[15:0]	SIGNAL2_L_J	チャンネル2の信号の下位半分、タイム・スロットJ	0x0	R
0x007B	SIGNAL2_H_J	[15:0]	SIGNAL2_H_J	チャンネル2の信号の上位半分、タイム・スロットJ	0x0	R
0x007C	DARK1_L_J	[15:0]	DARK1_L_J	チャンネル1の暗値の下位半分、タイム・スロットJ	0x0	R
0x007D	DARK1_H_J	[15:0]	DARK1_H_J	チャンネル1の暗値の上位半分、タイム・スロットJ	0x0	R
0x007E	DARK2_L_J	[15:0]	DARK2_L_J	チャンネル2の暗値の下位半分、タイム・スロットJ	0x0	R
0x007F	DARK2_H_J	[15:0]	DARK2_H_J	チャンネル2の暗値の上位半分、タイム・スロットJ	0x0	R
0x0080	SIGNAL1_L_K	[15:0]	SIGNAL1_L_K	チャンネル1の信号の下位半分、タイム・スロットK	0x0	R
0x0081	SIGNAL1_H_K	[15:0]	SIGNAL1_H_K	チャンネル1の信号の上位半分、タイム・スロットK	0x0	R
0x0082	SIGNAL2_L_K	[15:0]	SIGNAL2_L_K	チャンネル2の信号の下位半分、タイム・スロットK	0x0	R
0x0083	SIGNAL2_H_K	[15:0]	SIGNAL2_H_K	チャンネル2の信号の上位半分、タイム・スロットK	0x0	R
0x0084	DARK1_L_K	[15:0]	DARK1_L_K	チャンネル1の暗値の下位半分、タイム・スロットK	0x0	R
0x0085	DARK1_H_K	[15:0]	DARK1_H_K	チャンネル1の暗値の上位半分、タイム・スロットK	0x0	R
0x0086	DARK2_L_K	[15:0]	DARK2_L_K	チャンネル2の暗値の下位半分、タイム・スロットK	0x0	R
0x0087	DARK2_H_K	[15:0]	DARK2_H_K	チャンネル2の暗値の上位半分、タイム・スロットK	0x0	R
0x0088	SIGNAL1_L_L	[15:0]	SIGNAL1_L_L	チャンネル1の信号の下位半分、タイム・スロットL	0x0	R
0x0089	SIGNAL1_H_L	[15:0]	SIGNAL1_H_L	チャンネル1の信号の上位半分、タイム・スロットL	0x0	R
0x008A	SIGNAL2_L_L	[15:0]	SIGNAL2_L_L	チャンネル2の信号の下位半分、タイム・スロットL	0x0	R
0x008B	SIGNAL2_H_L	[15:0]	SIGNAL2_H_L	チャンネル2の信号の上位半分、タイム・スロットL	0x0	R
0x008C	DARK1_L_L	[15:0]	DARK1_L_L	チャンネル1の暗値の下位半分、タイム・スロットL	0x0	R
0x008D	DARK1_H_L	[15:0]	DARK1_H_L	チャンネル1の暗値の上位半分、タイム・スロットL	0x0	R
0x008E	DARK2_L_L	[15:0]	DARK2_L_L	チャンネル2の暗値の下位半分、タイム・スロットL	0x0	R
0x008F	DARK2_H_L	[15:0]	DARK2_H_L	チャンネル2の暗値の上位半分、タイム・スロットL	0x0	R

外形寸法

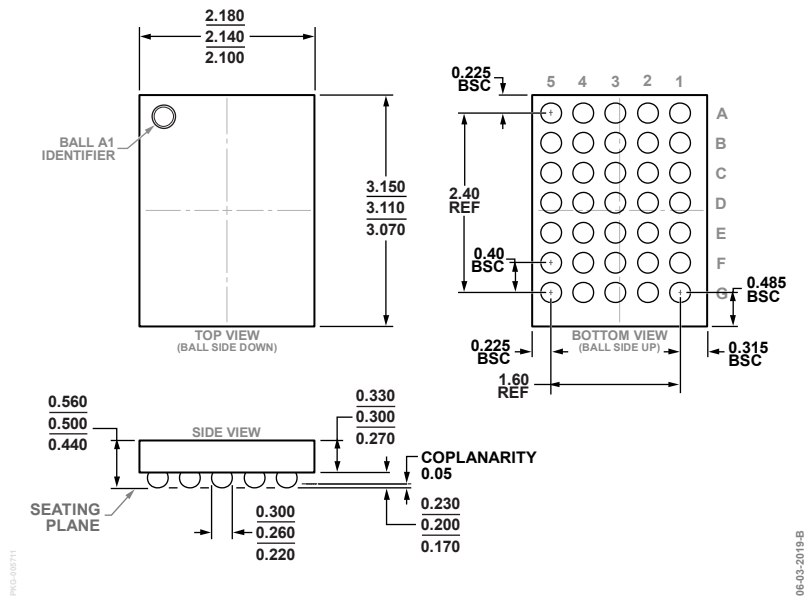


図 58. 35 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP] (CB-35-2)
寸法：mm

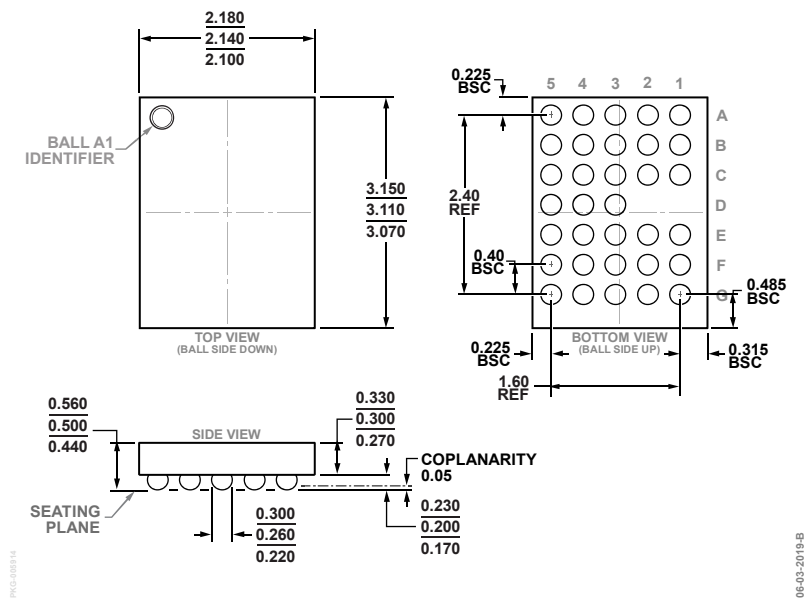


図 59. 33 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP] (CB-33-1)
寸法：mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Package Option
ADPD4100BCBZR7	-40°C to +85°C	35-Ball Wafer Level Chip Scale Package [WLCSP]	CB-35-2
ADPD4101BCBZR7	-40°C to +85°C	33-Ball Wafer Level Chip Scale Package [WLCSP]	CB-33-1
EVAL-ADPD4100Z-PPG		Evaluation Board	

¹ Z = RoHS 準拠製品

² EVAL-ADPDUCZ は別注文のマイクロコントローラ・ボードで、EVAL-ADPD4100Z-PPG 評価用ボードとインターフェースをとるために必要です。

I²C は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。