



7つのデジタル・アイソレータを備えた、 2チャンネル絶縁型マイクロパワー・ マネージメント・ユニット

データシート

ADP1032

特長

- 広い入力電源電圧範囲：4.5V～60V
- フライバック・パワー・スイッチを内蔵
- 十分に安定化され、独立した2つの絶縁型出力を生成
 - V_{OUT1} ：24Vまたは6V～28V
 - V_{OUT2} ：3.3V、5.0V、または5.15V
- 巻数比1:1のトランスを採用し、トランス設計を簡素化
- フライバック・レギュレータおよび降圧レギュレータのピーク電流制限と過電圧保護
- 高精度なイネーブル入力とパワーグッド出力
- SYNC 入力により調整可能なスイッチング周波数
- レギュレータごとの内部補償とソフトスタート制御
- 高速、低伝搬遅延の SPI 信号絶縁チャンネル
- 3つの絶縁された 100kbps 汎用データ・チャンネル
- 41ピン、9mm × 7mm LFCSP フォーム・ファクタにより、ソリューション全体の小型化を実現
- 動作ジャンクション温度範囲：-40°C～+125°C
- 安全性と規制に対する認定（申請中）
- CISPR11 クラス B の放射エミッション
 - UL 認定：1分間で 2500Vrms、UL 1577 規格に準拠
 - CSA Component Acceptance Notice 5A に準拠
 - スレープ、マスタ、およびフィールド・パワー・ドメイン間の基本絶縁：300V rms (IEC 61010-1、申請中)
- VDE 適合性認定
 - DIN V VDE 0884-10 (VDE 0884-10) : 2006-12
 - $V_{IORM} = 565 V_{PEAK}$

アプリケーション

- 産業オートメーションとプロセス制御
- 計測器およびデータ・アキュイジション・システム
- データと電力の絶縁

概要

ADP1032 は、高性能、絶縁型マイクロパワー・マネージメント・ユニット (PMU) で、絶縁型フライバック・レギュレータと DC/DC レギュレータを組み合わせて、2つの絶縁型電源レールを供給します。また ADP1032 は、4つの高速シリアル・パリアフェラル・インターフェース (SPI) 絶縁チャンネルと3つの汎用アイソレータを内蔵しており、低消費電力とソリューションの小型化が求められるチャンネル間アプリケーションに適しています。ADP1032 は、4.5V～60V の入力電圧範囲で動作し、 V_{OUT1} では 6V～28V (可変バージョン) または 24V (固定バージョン) の絶縁出力電圧を生成して、 V_{OUT2} では 5.15V、5.0V、または 3.3V の出荷時設定可能電圧を生成します。デフォルトでは、ADP1032 のフライバック・レギュレータは 250kHz のスイッチング周波数で動作し、降圧レギュレータは 125kHz で動作します。

代表的なアプリケーション回路

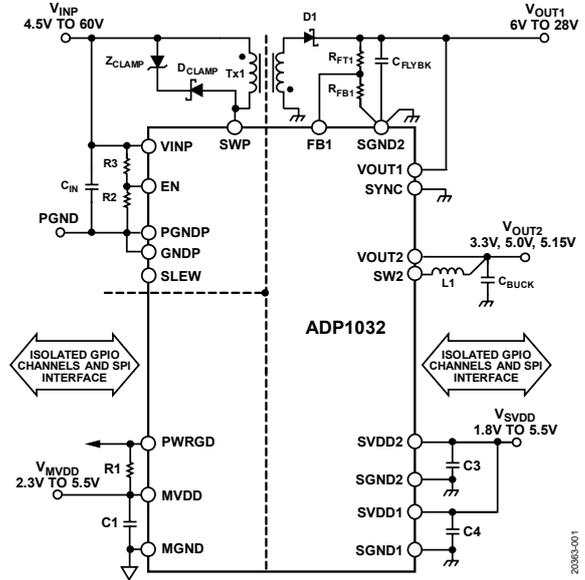


図 1.

これら 2 つのレギュレータでは位相が互いにシフトしているため、電磁干渉 (EMI) が低減されます。ADP1032 は、350kHz～750kHz の範囲の外部発振器によって駆動できるので、ノイズに敏感なアプリケーションにおいてノイズを容易に除去できます。

ADP1032 の内蔵デジタル・アイソレータには、低消費電力と低放射エミッション用に最適化された、アナログ・デバイセズの iCoupler® チップ・スケール・トランス技術を採用しています。ADP1032 は、9mm × 7mm の 41ピン LFCSP パッケージで供給されており、動作ジャンクション温度範囲の定格値は -40°C～+125°C です。

表 1. ファミリー・モデル

Model	Flyback Switch (mA)	Buck Switch (mA)	Inverter Switch (mA)
ADP1031	300	300	300
ADP1032	440	300	Not applicable

関連製品

- アナログ出力 D/A コンバータ (DAC) : [AD5758](#)
- 汎用アナログ入力 : [AD4110-1](#)
- ソフトウェア定義の入出力 : [AD74412R](#)
- 高精度データ・アキュイジション・サブシステム : [AD7768-1](#)
- その他の関連製品については ADP1032 製品ページをご覧ください。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	降圧レギュレータ.....	25
アプリケーション.....	1	パワーグッド.....	25
概要.....	1	パワーアップ・シーケンス.....	26
代表的なアプリケーション回路.....	1	発振器と同期.....	26
関連製品.....	1	サーマル・シャットダウン.....	26
改訂履歴.....	2	データ絶縁.....	26
仕様.....	3	アプリケーション情報.....	29
適用規格.....	7	部品の選択.....	29
電磁両立性.....	7	フライバック・レギュレータの部品の選択.....	29
絶縁および安全性関連の仕様.....	7	降圧レギュレータの部品の選択.....	32
DIN V VDE 0884-10 (VDE V 0884-10) 絶縁特性.....	8	絶縁寿命.....	33
絶対最大定格.....	9	熱解析.....	34
熱抵抗.....	9	代表的なアプリケーション回路.....	35
ESD に関する注意.....	9	PCB レイアウトに関する検討事項.....	36
ピン配置およびピン機能の説明.....	10	外形寸法.....	37
代表的な性能特性.....	12	オーダー・ガイド.....	37
動作原理.....	23		
フライバック・レギュレータ.....	24		

改訂履歴

1/2020-Revision 0: 初版

仕様

V_{INP} の電圧 (V_{INP}) = 24V、MVDD の電圧 (V_{MVDD}) = 3.3V、SVDD_x の電圧 (V_{SVDDx}) = 3.3V、VOUT1 の電圧 (V_{OUT1}) = 24V、VOUT2 の電圧 (V_{OUT2}) = 3.3V、および周囲温度 (T_A) = 25°C (仕様における代表値)。特に指定のない限り、最小値と最大値の仕様は 4.5V ≤ V_{INP} ≤ 60V、2.3V ≤ V_{MVDD} ≤ 5.5V、1.8V ≤ V_{SVDDx} ≤ 5.5V、および -40°C ≤ T_J ≤ +125°C の全動作範囲に適用されます。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT SUPPLY VOLTAGE RANGE						
V _{INP}	V _{INP}	4.5		60	V	
MVDD	V _{MVDD}	2.3		5.5	V	
SVDD _x	V _{SVDDx}	1.8		5.5	V	Applies to SVDD1 and SVDD2
OUTPUT POWER AND EFFICIENCY						
Total Output Power			2.5		W	Transformer = Coilcraft ZA9644-AE VOUT1 current (I _{OUT1}) = 100 mA VOUT2 current (I _{OUT2}) = 30 mA
Efficiency			623		mW	I _{OUT1} = 25 mA, I _{OUT2} = 7 mA
			86.5		%	I _{OUT1} = 100 mA, I _{OUT2} = 30 mA
			84.5		%	I _{OUT1} = 25 mA, I _{OUT2} = 7 mA
Power Dissipation			390		mW	I _{OUT1} = 100 mA, I _{OUT2} = 30 mA
			114		mW	I _{OUT1} = 25 mA, I _{OUT2} = 7 mA
QUIESCENT CURRENT						
V_{INP}						
Operating Current	I _{Q_VINP}		1.9		mA	Normal operation, VOUT1, VOUT2 = no load
Shutdown Current	I _{SHDN_VINP}		125	175	μA	EN voltage (V _{EN}) = 0 V
MVDD						
SPI Active Mode	I _{Q_MVDD (SPI_ACTIVE)}		4.1	6.5	mA	V _{IX1} = logic low, $\overline{\text{MSS}}$ = logic low
			9.2	14	mA	V _{IX1} = logic high, $\overline{\text{MSS}}$ = logic low
SPI Low Power Mode	I _{Q_MVDD (SPI_LOWPWR)}		1.6	2.5	mA	V _{IX1} = logic low, $\overline{\text{MSS}}$ = logic high
			1.6	2.5	mA	V _{IX1} = logic high, $\overline{\text{MSS}}$ = logic high
SVDD1						
SPI Active Mode	I _{Q_SVDD1 (SPI_ACTIVE)}		1.8	2.7	mA	V _{IX1} = logic low, $\overline{\text{SSS}}$ = logic low
			5.7	8.6	mA	V _{IX1} = logic high, $\overline{\text{SSS}}$ = logic low
SPI Low Power Mode	I _{Q_SVDD1 (SPI_LOWPWR)}		1.8	2.7	mA	V _{IX1} = logic low, $\overline{\text{SSS}}$ = logic high
			1.8	2.7	mA	V _{IX1} = logic high, $\overline{\text{SSS}}$ = logic high
SVDD2						
	I _{Q_SVDD2}		15.5	22	μA	V _{IX1} = logic low
			2	2.5	mA	V _{IX1} = logic high
Undervoltage Lockout (UVLO)						
V_{INP}						
Rising Threshold	V _{UVLO_VINP (RISE)}		4.44	4.49	V	Relative to PGNDP
Falling Threshold	V _{UVLO_VINP (FALL)}	4.29	4.34		V	
Hysteresis			100		mV	
MVDD						
Rising Threshold	V _{UVLO_MVDD (RISE)}		2.14	2.28	V	Relative to MGND
Falling Threshold	V _{UVLO_MVDD (FALL)}	1.9	2		V	
Hysteresis			140		mV	
THERMAL SHUTDOWN						
Threshold	T _{SHDN}		150		°C	
Hysteresis	T _{HYS}		15		°C	
PRECISION ENABLE						
Rising Input Threshold	V _{EN_RISING}	1.10	1.135	1.20	V	
Input Hysteresis	V _{EN_HYST}		100		mV	
Leakage Current			0.03	0.5	μA	V _{EN} = V _{INP}

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
POWER GOOD						
Power-Good Threshold						
Flyback Regulator						
Lower Limit	$V_{PG_FLYBACK_LL}$	87.5	90	92.5	%	Fixed and adjustable output versions
Upper Limit	$V_{PG_FLYBACK_UL}$	107.5	110	112.5	%	Fixed and adjustable output versions
Buck Regulator						
Lower Limit	$V_{PG_BUCK_LL}$	87.5	90	92.5	%	
Upper Limit	$V_{PG_BUCK_UL}$	107.5	110	112.5	%	
Glitch Rejection			1.36		μs	Glitch of $\pm 15\%$ of the typical output
Output Voltage						
Logic High	V_{PWRGD_OH}	$V_{MVDD} - 0.4$			V	PWRGD current (I_{PWRGD}) = -1 mA
Logic Low	V_{PWRGD_OL}			0.4	V	$I_{PWRGD} = 1 \text{ mA}$
SLEW						
Voltage Level Threshold						
Slow Slew Rate				0.8	V	
Normal Slew Rate		2			V	
Input Current						
Slow Slew Rate		-10			μA	Slew voltage (V_{SLEW}) = 0 V to 0.8 V
Normal Slew Rate				10	μA	$V_{SLEW} = 2 \text{ V to } V_{INP}$
Fast Slew Rate		-1		+1	μA	SLEW pin not connected
CLOCK SYNCHRONIZATION						
SYNC Input						
Input Clock						
Range	f_{SYNC}	350		750	kHz	
Minimum On Pulse Width	$t_{SYNC_MIN_ON}$	100			ns	
Minimum Off Pulse Width	$t_{SYNC_MIN_OFF}$	150			ns	
High Logic	$V_{H(SYNC)}$	1.3			V	
Low Logic	$V_{L(SYNC)}$			0.4	V	
Leakage Current		-1	+0.00 5	+1	μA	SYNC voltage (V_{SYNC}) = V_{SVDDx}
FLYBACK REGULATOR						
Output Voltage Range	$V_{OUT1(ADJ)}$	6		28	V	ADP1032ACPZ-1, ADP1032ACPZ-2, and ADP1032ACPZ-3
	$V_{OUT1(FIXED)}$		24		V	ADP1032ACPZ-4 and ADP1032ACPZ-5
Output Voltage Accuracy		-1.5		1.5	%	Fixed output options
Feedback Voltage	V_{FBI}		0.8		V	
Feedback Voltage Accuracy		-1.5		+1.5	%	Adjustable output options
Feedback Bias Current	I_{FBI}			0.05	μA	
Load Regulation	$(\Delta V_{FBI}/V_{FBI})/\Delta I_{OUT1}$		-0.00 05		%/mA	$I_{OUT1} = 4 \text{ mA to } 100 \text{ mA}, I_{OUT2} = 30 \text{ mA}$
Line Regulation	$(\Delta V_{OUT1}/V_{OUT1})/\Delta V_{INP}$		0.0002		%/V	$V_{INP} = 18 \text{ V to } 32 \text{ V}, I_{OUT1} = 80 \text{ mA}, I_{OUT2} = 10 \text{ mA}$
Power Field Effect Transistor (FET) On Resistance	$R_{ON(FLYBACK)}$		3		Ω	SWP current (I_{SWP}) = 100 mA
Current-Limit Threshold	$I_{LIM(FLYBACK)}$	400	440	480	mA	
SWP Leakage Current			0.03	0.5	μA	SWP voltage (V_{SWP}) = 60 V
SWP Capacitance	C_{SWP}		50		pF	
Switching Frequency	$f_{SW(FLYBACK)}$	235	250	265	kHz	SYNC = low or high
			$f_{SYNC}/2$		kHz	SYNC = external clock
Minimum On Time			425		ns	
Minimum Off Time			220		ns	
Soft Start Timer	$t_{SS(FLYBACK)}$		8		ms	
Severe Overvoltage Threshold	$SOVP_{FLYBACK}$	29.4	30	30.6	V	Flyback regulator stops switching until the overvoltage is removed
Severe Overvoltage Hysteresis	$SOVP_{FLYBACK_HYST}$		500		mV	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
BUCK REGULATOR						
Output Voltage	V_{OUT2}		5.15 5.0 3.3		V V V	ADP1032ACPZ-1 ADP1032ACPZ-2 and ADP1032ACPZ-4 ADP1032ACPZ-3 and ADP1032ACPZ-5
Output Voltage Accuracy		-1.5		+1.5	%	$I_{OUT2} = 10 \text{ mA}$, applies to all models
Load Regulation	$(\Delta V_{OUT2}/V_{OUT2})/\Delta I_{OUT2}$		-0.00 05		%/mA	$I_{OUT2} = 2 \text{ mA to } 50 \text{ mA}$
Line Regulation	$(\Delta V_{OUT2}/V_{OUT2})/\Delta V_{OUT1}$		0.0004		%/V	$V_{OUT1} = 6 \text{ V to } 28 \text{ V}$, $I_{OUT2} = 7 \text{ mA}$
Power FET On Resistance	$R_{ON_NFET (BUCK)}$ $R_{ON_PFET (BUCK)}$		1 2.5		Ω Ω	SW2 current (I_{SW2}) = 100 mA $I_{SW2} = 100 \text{ mA}$
Current-Limit Threshold	$I_{LIM (BUCK)}$	280	300	320	mA	
SW2 Leakage Current			0.03	0.5	μA	$V_{SW2} = 0 \text{ V}$
P Type Metal-Oxide Semiconductor (PMOS)			0.03	0.5	μA	$V_{SW2} = 28 \text{ V}$
N Type Metal-Oxide Semiconductor (NMOS)			0.03	0.5	μA	$V_{SW2} = 28 \text{ V}$
Switching Frequency	$f_{SW (BUCK)}$	117.5	125 $f_{SYNC}/4$	132.5	kHz kHz	SYNC = low or high SYNC = external clock
Minimum On Time			200		ns	
Soft Start Timer	$t_{SS (BUCK)}$		8		ms	
Active Pull-Down Resistor	$R_{PD (BUCK)}$		1.7		k Ω	$1.23 \text{ V} < V_{OUT1} < 4.5 \text{ V}$
ISOLATORS, DC SPECIFICATIONS						
MCK, MSS, MO, SO, MGPI1, MGPI2, SGPI3						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{xVDD}^2$			V	
Logic Low	V_{IL}			$0.3 \times V_{xVDD}^2$	V	
Input Current	I_I	-1		+1	μA	$0 \text{ V} \leq V_{INPUT} \leq V_{xVDD}^2$
SCK, SSS, SI, MI						
Output Voltage						
Logic High	V_{OH}	$V_{xVDD}^2 - 0.1$ $V_{xVDD}^2 - 0.4$			V V	$I_{OX^3} = -20 \mu\text{A}$, $V_{IX} = V_{IXH}^4$ $I_{OX^3} = -2 \text{ mA}$, $V_{IX} = V_{IXH}^4$
Logic Low	V_{OL}		0.15	0.4	V V	$I_{OX^3} = 20 \mu\text{A}$, $V_{IX} = V_{IXL}^5$ $I_{OX^3} = 2 \text{ mA}$, $V_{IX} = V_{IXL}^5$
SGPO1, SGPO2, MGPO3						
Output Voltage						
Logic High	V_{OH}	$V_{xVDD}^2 - 0.1$ $V_{xVDD}^2 - 0.4$			V V	$I_{OX^3} = -20 \mu\text{A}$, $V_{IX} = V_{IXH}^4$ $I_{OX^3} = -500 \mu\text{A}$, $V_{IX} = V_{IXH}^4$
Logic Low	V_{OL}		0.15	0.4	V V	$I_{OX^3} = 20 \mu\text{A}$, $V_{IX} = V_{IXL}^5$ $I_{OX^3} = 500 \mu\text{A}$, $V_{IX} = V_{IXL}^5$
SCK, SI, MI						
Tristate Leakage		-1 -1	+0.01 +0.01	+1 +1	μA μA	$\overline{\text{MSS}}$ = logic high $V_{OX^6} = V_{xVDD}^2$
ISOLATORS, SWITCHING SPECIFICATION						
MCK, MSS, MO, SO						
SPI Clock Rate	SPI_{MCK}			16.6	MHz	
Latency (MSS)			100	125	ns	Delay from $\overline{\text{MSS}}$ going low to the first data out is valid
Input Pulse Width	t_{PW}	17			ns	Within PWD limit
Input Pulse Width Distortion	t_{PWD}		0.25	6.5	ns	$ t_{PLH} - t_{PHL} $

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Channel Matching						
Codirectional	t_{PSKCD}		0.5	5.5	ns	
Opposing Direction	t_{PSKOD}		0.5	4	ns	
Propagation Delay	t_{PHL}, t_{PLH}					50% input to 50% output
			7	11	ns	$V_{MVDD} = 5\text{ V}, V_{SVDD1} = 5\text{ V}$
			7	12	ns	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 5\text{ V}$
			7	15	ns	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 3.3\text{ V}$
			8.5	12	ns	$V_{MVDD} = 2.3\text{ V}, V_{SVDD1} = 1.8\text{ V}$
Jitter			620		ps p-p	$V_{MVDD} = 5\text{ V}, V_{SVDD1} = 5\text{ V}$
			100		ps rms	$V_{MVDD} = 5\text{ V}, V_{SVDD1} = 5\text{ V}$
			440		ps p-p	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 5\text{ V}$
			80		ps rms	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 5\text{ V}$
			290		ps p-p	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 3.3\text{ V}$
			60		ps rms	$V_{MVDD} = 3.3\text{ V}, V_{SVDD1} = 3.3\text{ V}$
			410		ps p-p	$V_{MVDD} = 2.3\text{ V}, V_{SVDD1} = 1.8\text{ V}$
			110		ps rms	$V_{MVDD} = 2.3\text{ V}, V_{SVDD1} = 1.8\text{ V}$
MGPI1, MGPI2, SGPI3						
Data Rate				100	kbps	
Input Pulse Width	t_{PW}	10			μs	Within PWD limit
Propagation Delay	t_{PHL}, t_{PLH}			14	μs	50% input to 50% output
Jitter				19.5	μs	
ISOLATORS AC SPECIFICATIONS						
General-Purpose Input/Output (GPIO)						
Output Rise Time/Fall Time	t_R/t_F		2.5		ns	10% to 90%
SPI						
Output Rise Time/Fall Time	t_R/t_F		2		ns	10% to 90%
Common-Mode Transient Immunity ⁷	$ CM $		100		kV/ μs	

¹ V_{IK} はチャンネル x のロジック入力です。チャンネル x は、MCK、MO、SO、MGPI1、MGPI2、または SGPI3 です。

² $V_{AVDD} = V_{MVDD}$ または V_{SVDDx} 。これらの箇所では、 V_{MVDD} と V_{SVDDx} のどちらを使用してもかまいません。

³ I_{OX} はピンの出力電流です。

⁴ V_{IXH} は入力側のロジック・ハイ・レベルです。

⁵ V_{IXL} は入力側のロジック・ロー・レベルです。

⁶ V_{OX} は出力が引き上げられる電圧です。

⁷ $|CM|$ は、 $V_{OUT} > 0.8V_{MVDD}$ または V_{SVDDx} 、あるいはその両方を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立上がりおよび立下りの両方のコモンモード電圧エッジに適用されます。

適用規格

特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 9 および絶縁寿命のセクションを参照してください。

表 3. 安全認証

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized Under UL 1577 Component Recognition Program 2500 V rms Single Protection	Approved under CSA Component Acceptance Notice 5A CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: basic insulation at 300 V rms (424 V _{PEAK}) CSA 61010-1-12 and IEC 61010-1 third edition: basic insulation at 300 V rms mains, 300 V rms (424 V _{PEAK}) secondary	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 Basic insulation, 565 V _{PEAK}

電磁両立性

表 4.

Regulatory Body	Standard	Comment
SGS-CCSR	CISPR11 Class B	Pending

絶縁および安全性関連の仕様

表 5.

Parameter	Symbol	Test Conditions/Comments	Value	Unit
Rated Dielectric Insulation Voltage		1 minute duration	2500	V rms
Minimum External Air Gap (Clearance)				
Field Power Domain to Master Domain		Measured from field power pins and pads to master pins and pads, shortest distance through air	2.15	mm min
Field Power Domain to Slave Domain		Measured from field power pins and pads to slave pins and pads, shortest distance through air	2.15	mm min
Master Domain to Slave Domain		Measured from master pins and pads to slave pins and pads, shortest distance through air	2.15	mm min
Minimum External Tracking (Creepage)				
Field Power Domain to Master Domain		Measured from field power pins and pads to master pins and pads, shortest distance path along body	2.15	mm min
Field Power Domain to Slave Domain		Measured from field power pins and pads to slave pins and pads, shortest distance path along body	2.15	mm min
Master Domain to Slave Domain		Measured from master pins and pads to slave pins and pads, shortest distance path along body	2.15	mm min
Minimum Internal Gap (Internal Clearance)		Insulation distance through insulation	18	μm min
Tracking Resistance (Comparative Tracking Index)	CTI	DIN IEC 112/VDE 0303, Part 1	>400	V
Material Group		Material group (DIN VDE 0110, 1/89, Table 1)	II	

DIN V VDE 0884-10 (VDE V 0884-10) 絶縁特性

表 6.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to III I to II I to I	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	565	V_{PEAK}
Input to Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PD(M)}$, 100% production test, $t_{INI} = t_M = 1$ sec, partial discharge < 5 pC	$V_{PD(M)}$	1060	V_{PEAK}
Input to Output Test Voltage, Method A After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{PD(M)}$, $t_{INI} = 60$ sec, $t_M = 10$ sec, partial discharge < 5 pC	$V_{PD(M)}$	847	V_{PEAK}
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PD(M)}$, $t_{INI} = 60$ sec, $t_M = 10$ sec, partial discharge < 5 pC		678	V_{PEAK}
Highest Allowable Overtoltage		V_{IOTM}	3537	V_{PEAK}
Surge Isolation Voltage	$V_{PEAK} = 12.8$ kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	4000	V_{PEAK}
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 2)			
Maximum Junction Temperature		T_S	150	$^{\circ}C$
Total Power Dissipation at 25 $^{\circ}C$		P_S	2.48	W
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	$>10^9$	Ω

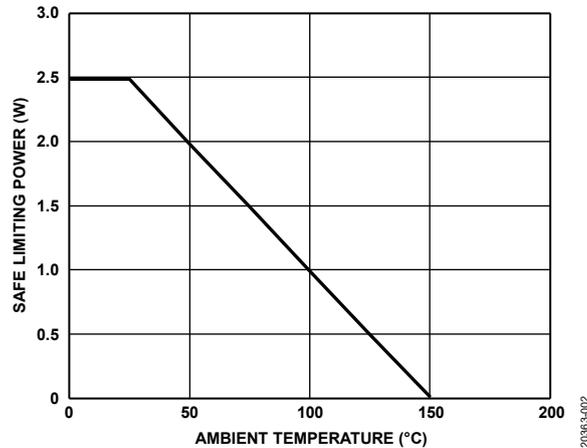


図 2. 熱ディレーティング曲線、DIN V VDE V 0884-10 による安全限界電力の周囲温度への依存性

絶対最大定格

表 7.

Parameter	Rating
VINP to PGNDP	61 V
SWP to VINP	$V_{INP} + 70 \text{ V}$ or 110 V, whichever is lower
SLEW to GNDP	-0.3 V to $V_{INP} + 0.3 \text{ V}$
EN to GNDP	-0.3 V to +61 V
VOU _{T1} to SGND2	35 V
FB1 to SGND2	-0.3 V to $V_{OUT1} + 0.3 \text{ V}$
SW2 to SGND2	-0.3 V to $V_{OUT1} + 0.3 \text{ V}$
VOU _{T2} to SGND2	6 V
SVDD1 to SGND1	6.0 V
SVDD2 to SGND2	6.0 V
SSS, SCK, SI, SO to SGND1	-0.3 V to $SVDD1 + 0.3 \text{ V}$
SGPO1, SGPO2, SGPI3 to SGND2	-0.3 V to $SVDD2 + 0.3 \text{ V}$
SYNC to SGND2	-0.3 V to +6 V
MVDD to MGND	6.0 V
MSS, MCK, MO, MI to MGND	-0.3 V to $MVDD + 0.3 \text{ V}$
MGPI1, MGPI2, MGPO3 to MGND	-0.3 V to $MVDD + 0.3 \text{ V}$
PWRGD to MGND	-0.3 V to $MVDD + 0.3 \text{ V}$
Common-Mode Transients	$\pm 100 \text{ kV}/\mu\text{s}$
Operating Junction Temperature Range ¹	-40°C to $+125^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Soldering Conditions	JEDEC J-STD-020

¹ チップ内の消費電力を抑えて、ジャンクション温度を 125°C 以下に維持する必要があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 9. 最大連続動作電圧¹

Parameter	Value	Constraint
60 Hz AC Voltage	300 V rms	20-year lifetime at 0.1% failure rate, zero average voltage
DC Voltage	424 V _{PEAK}	Limited by the creepage of the package, Pollution Degree 2, Material Group II ^{2, 3}

¹ 詳細については、絶縁寿命のセクションを参照。

² 他の汚染度条件および材料グループ条件により、別の制限が発生する。

³ 一部のシステム・レベル規格では、部品に対してプリント配線基板 (PWB) の沿面距離値を使用できる。これらの規格では、サポートされている DC 電圧が高い場合がある。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。 θ_{JA} は、1 立方フィートの密閉容器内で測定される、周囲とジャンクションの間の自然対流における熱抵抗です。 θ_{JC} はパッケージの上側で測定され、PCB には依存しません。アプリケーションのジャンクションからケースにかけての温度の計算には、 Ψ_{JT} が適しています。

表 8. 熱抵抗

Package Type ^{1, 2, 3, 4}	θ_{JA}	θ_{JC}	Ψ_{JT}	Unit
CP-41-1	50.4	33.1	25	$^\circ\text{C}/\text{W}$

¹ 絶縁目的でピンを除去した $9\text{mm} \times 7\text{mm}$ LFCSP。

² 熱抵抗のシミュレーション値は、19 個のサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づく。JEDEC JESD-51 参照。

³ ケース温度はパッケージの中央で測定。

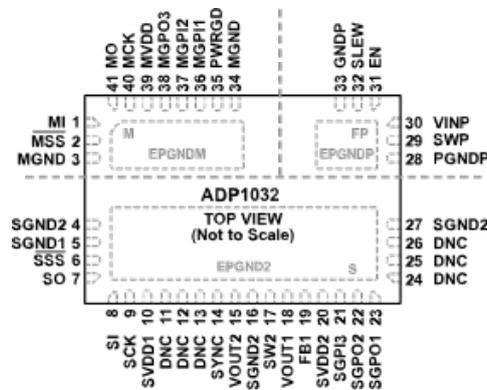
⁴ ボード温度は 1 番ピンの近くで測定。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



注意
 1. DNC は接続不可を意味する。このピンには接続しないこと。
 2. EPGNDP は PGNDP に、EPGNDM は MGND に、EPGND2 は SGND に、それぞれ内部で接続されている。

図 3. ピン配置

表 10. ピン機能の説明

ピン番号	記号	絶縁ドメイン	方向	説明
1	MI	Master	Output	スレーブの MI および SO ラインからの SPI データ出力。このピンは SO と組み合わせられます。スレーブ・ドメインでは、SO がこのピンを駆動します。
2	MSS	Master	Input	マスタ・コントローラからの SPI スレーブ・セレクト入力。このピンはSSSと組み合わせられます。スレーブ・ドメインでは、このピンがSSSを駆動します。この信号はアクティブ・ローのロジックを使用します。
3	MGND	Master	Ground	マスタ・ドメイン信号のグラウンド接続。
4	SGND2	Slave	Ground	スレーブ・ドメインのグラウンド接続。このピンは未接続のままにしておくことができます。
5	SGND1	Slave	Ground	スレーブ・ドメインの SPI アイソレータ・グラウンド。
6	SSS	Slave	Output	SPI スレーブ・セレクト出力。このピンはMSSと組み合わせられます。マスタ・ドメインでは、MSSがこのピンを駆動します。
7	SO	Slave	Input	マスタの MI および SO ラインへの SPI データ入力。このピンは MI と組み合わせられます。マスタ・ドメインでは、このピンが MI を駆動します。
8	SI	Slave	Output	マスタの MO および SI ラインからの SPI データ出力。このピンは MO と組み合わせられます。マスタ・ドメインでは、MO がこのピンを駆動します。
9	SCK	Slave	Output	マスタからの SPI クロック出力。このピンは MCK と組み合わせられます。マスタ・ドメインでは、MCK がこのピンを駆動します。
10	SVDD1	Slave	Power	SPI アイソレータ電源。SVDD1 と SGND1 の間に 100nF のデカップリング・コンデンサを接続してください。
11 to 14, 24 to 26	DNC	Slave	Not applicable	接続不可。このピンには接続しないでください。
14	SYNC	Slave	Input	SYNC ピン。スイッチング周波数を同期するには、必要なスイッチング周波数の 2 倍の外部クロックに SYNC ピンを接続します。このピンはフロート状態のままにしないでください。100kΩ のプルダウン抵抗を SGND2 に接続してください。
15	VOUT2	Slave	Power	降圧レギュレータの出力帰還ノード。
16	SGND2	Slave	Ground	スレーブの電源グラウンド。降圧レギュレータの出力コンデンサ用のグラウンド・リターン。
17	SW2	Slave	Not applicable	降圧レギュレータのスイッチ・ノード。
18	VOUT1	Slave	Power	フライバック・レギュレータの出力および過電圧検出ノード。降圧レギュレータの入力。
19	FB1	Slave	Power	フライバック・レギュレータ用の帰還ノード。

ピン番号	記号	絶縁 ドメイン	方向	説明
20	SVDD2	Slave	Power	GPIO アイソレータ電源。SVDD2 と SGND2 の間に 100nF のデカップリング・コンデンサを接続してください。
21	SGPI3	Slave	Input	汎用入力 3。このピンは MGPO3 と組み合わせられます。
22	SGPO2	Slave	Output	汎用出力 2。このピンは MGPI2 と組み合わせられます。
23	SGPO1	Slave	Output	汎用出力 1。このピンは MGPI1 と組み合わせられます。
27	SGND2	Slave	Ground	スレーブ・ドメインのグラウンド接続。このピンは未接続のままにしておくことができます。
28	PGNDP	Field power	Ground	フライバック・レギュレータ電源用のグラウンド・リターン。
29	SWP	Field power	Not applicable	フライバック・レギュレータのスイッチング・ノード。1 次側トランスの接続。
30	VINP	Field power	Power	フライバック・レギュレータの電源電圧。VINP と PGNDP の間に少なくとも 3.3 μ F のコンデンサを接続してください。
31	EN	Field power	Input	高精度イネーブル。EN ピンは、フライバック・レギュレータ出力をイネーブルするために内部高精度リファレンスと比較されます。
32	SLEW	Field power	Input	フライバック・レギュレータのスルー・レート制御。SLEW ピンは、SWP ドライバのスルー・レートを設定します。最大スルー・レート（最大効率）を得るには、SLEW ピンをオープン状態のままにしてください。通常のスルー・レートでいい場合は、SLEW ピンを VINP に接続します。最小スルー・レート（最良 EMI 性能）とするには、SLEW ピンを GNDP に接続します。
33	GNDP	Field power	Ground	フィールド電力信号グラウンド接続。
34	MGND	Master	Ground	マスタ・ドメイン電力グラウンド接続。
35	PWRGD	Master	Ground	パワーグッド。このピンは、2 次側電源が設定された範囲内に入ったことを示します。
36	MGPI1	Master	Input	汎用入力 1。このピンは SGPO1 と組み合わせられます。
37	MGPI2	Master	Input	汎用入力 2。このピンは SGPO2 と組み合わせられます。
38	MGPO3	Master	Output	汎用出力 3。このピンは SGPI3 と組み合わせられます。
39	MVDD	Master	Power	マスタ・ドメイン電力。MVDD と MGND の間に 100nF のデカップリング・コンデンサを接続してください。
40	MCK	Master	Input	マスタ・コントローラからの SPI クロック入力。SCK と組み合わせられます。スレーブ・ドメインでは、このピンが SCK を駆動します。
41	MO	Master	Input	スレーブの MO および SI ラインへの SPI データ入力。SI と組み合わせられます。スレーブ・ドメインでは、このピンが SI を駆動します。
	EPGNDP	Field power	Ground	PGNDP 露出パッド。このパッドは内部で PGNDP に接続されています。
	EPGNM	Master	Ground	MGND 露出パッド。このパッドは内部で MGND に接続されています。
	EPGND2	Slave	Ground	SGND 露出パッド。このパッドは内部で SGND に接続されています。

代表的な性能特性

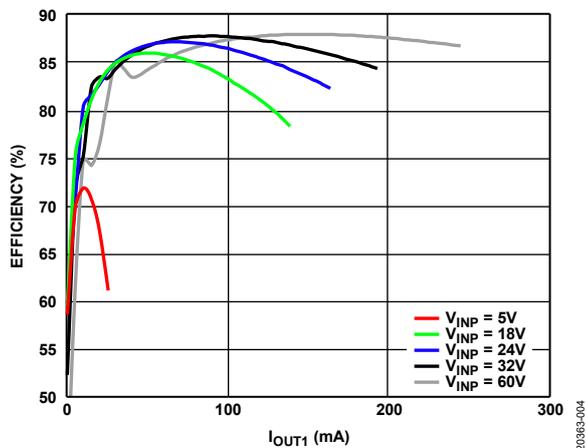


図 4. 様々な入力電圧での全体的な効率、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 3.3\text{V}$ 、 $I_{OUT2} = 30\text{mA}$ 、Coilcraft ZA9644-AE トランスとツェナー・クランプ回路を使用

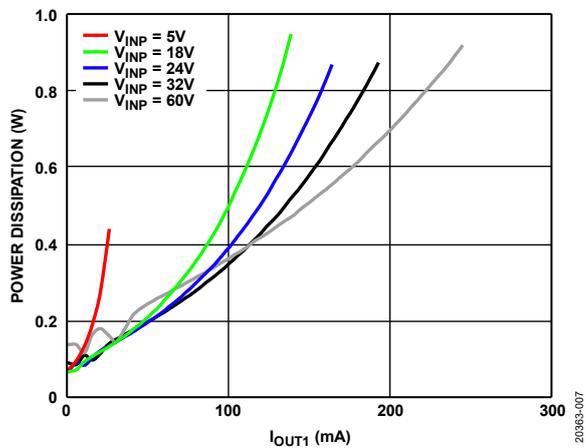


図 7. 様々な入力電圧での消費電力、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 3.3\text{V}$ 、 $I_{OUT2} = 30\text{mA}$ 、Coilcraft ZA9644-AE トランスとツェナー・クランプ回路を使用

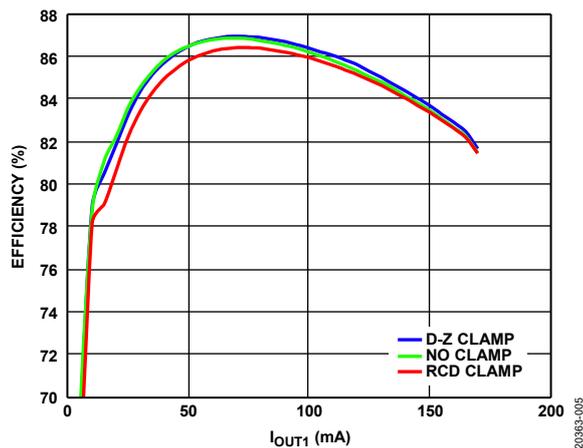


図 5. 様々な入力電圧での全体的な効率、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 3.3\text{V}$ 、 $I_{OUT2} = 30\text{mA}$ 、Coilcraft ZA9644-AE トランスを使用して異なるクランプ回路で比較

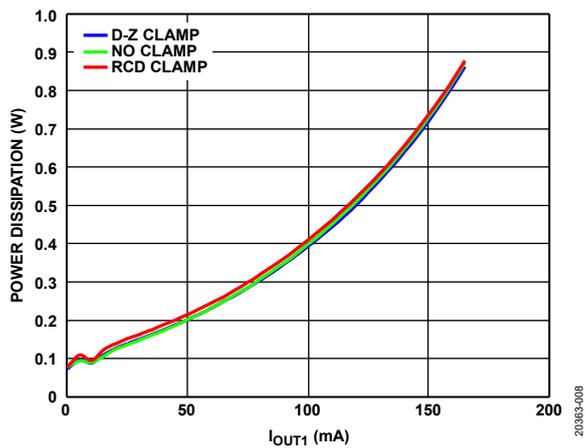


図 8. 様々な入力電圧での消費電力、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 3.3\text{V}$ 、 $I_{OUT2} = 30\text{mA}$ 、Coilcraft ZA9644-AE トランスを使用して異なるクランプ回路で比較

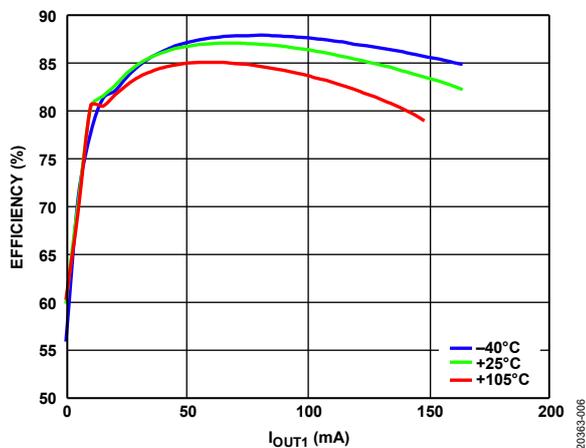


図 6. 全温度範囲での全体的な効率、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 3.3\text{V}$ 、 $I_{OUT2} = 30\text{mA}$ 、Coilcraft ZA9644-AE トランスとツェナー・クランプ回路を使用

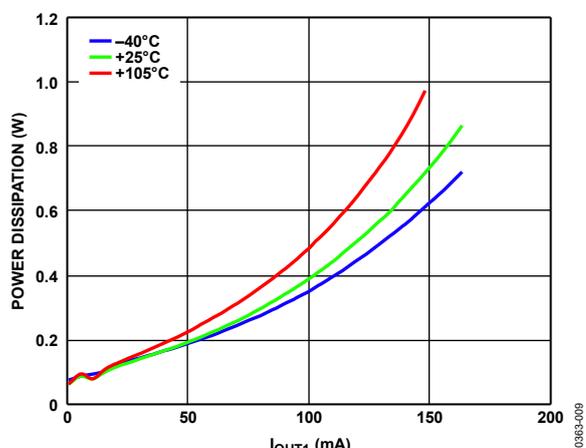


図 9. 全温度範囲での消費電力、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 3.3\text{V}$ 、 $I_{OUT2} = 30\text{mA}$ 、Coilcraft ZA9644-AE トランスとツェナー・クランプ回路を使用

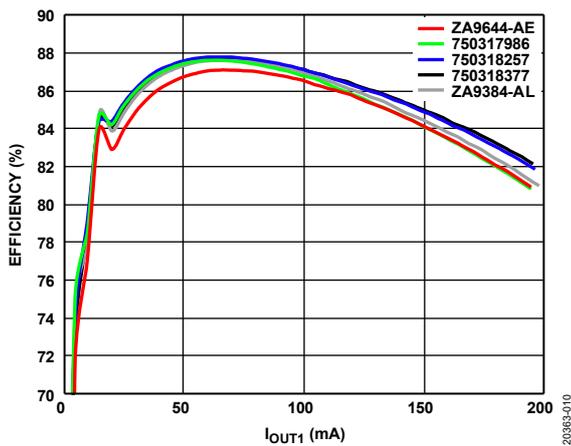


図 10. 各種のトランスを使用した全体的な効率、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{INP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 19.4\text{V}$ 、 $V_{\text{OUT2}} = 3.3\text{V}$ 、 $I_{\text{OUT2}} = 13\text{mA}$

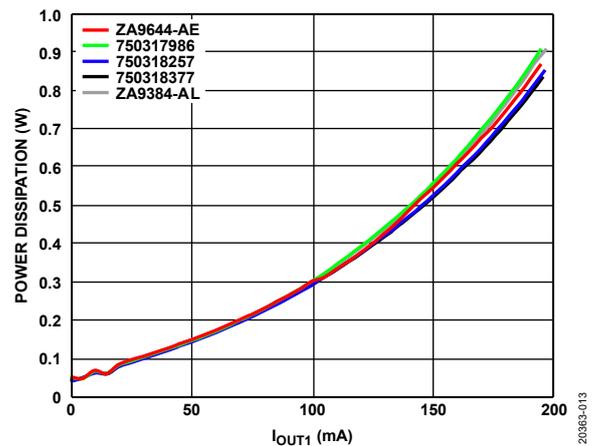


図 13. 各種のトランスを使用した消費電力、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{INP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 19.4\text{V}$ 、 $V_{\text{OUT2}} = 3.3\text{V}$ 、 $I_{\text{OUT2}} = 13\text{mA}$

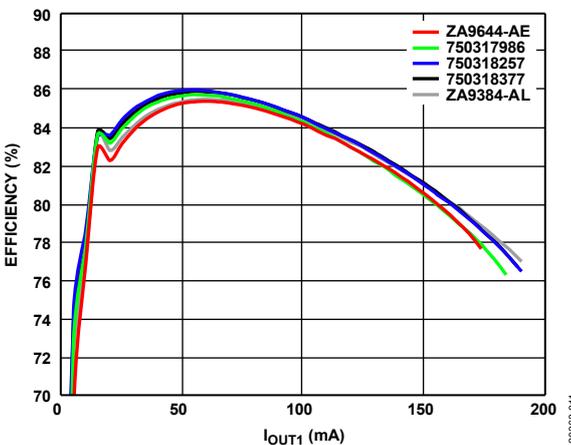


図 11. 各種のトランスを使用した全体的な効率、 $T_A = 105^\circ\text{C}$ 、 $V_{\text{INP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 19.4\text{V}$ 、 $V_{\text{OUT2}} = 3.3\text{V}$ 、 $I_{\text{OUT2}} = 13\text{mA}$

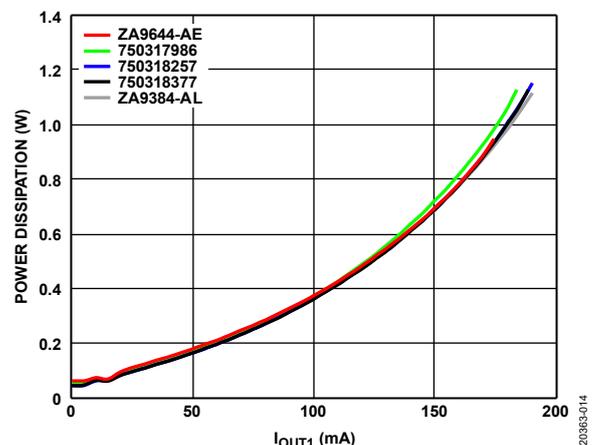


図 14. 各種のトランスを使用した消費電力、 $T_A = 105^\circ\text{C}$ 、 $V_{\text{INP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 19.4\text{V}$ 、 $V_{\text{OUT2}} = 3.3\text{V}$ 、 $I_{\text{OUT2}} = 13\text{mA}$

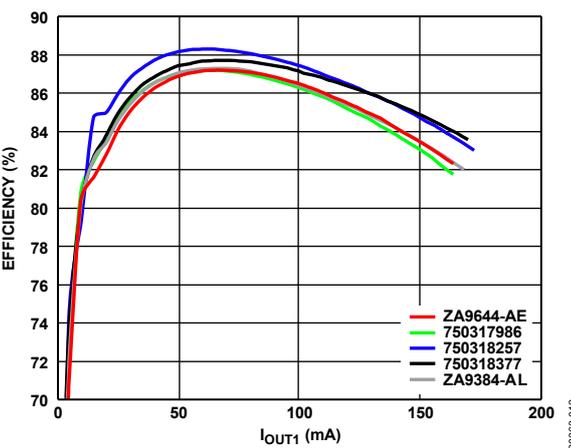


図 12. 各種のトランスを使用した全体的な効率、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{INP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、 $V_{\text{OUT2}} = 3.3\text{V}$ 、 $I_{\text{OUT2}} = 30\text{mA}$

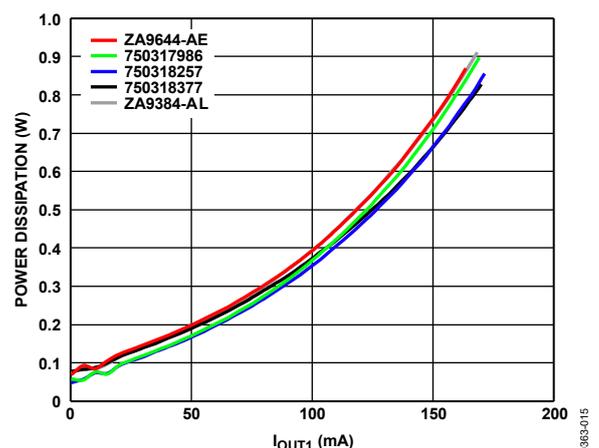


図 15. 各種のトランスを使用した消費電力、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{INP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、 $V_{\text{OUT2}} = 3.3\text{V}$ 、 $I_{\text{OUT2}} = 30\text{mA}$

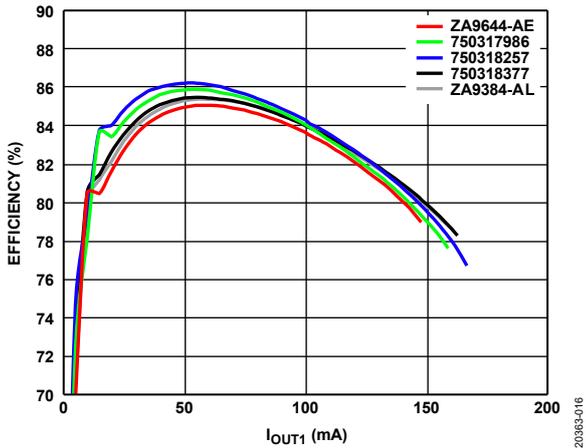


図 16. 各種のトランスを使用した全体的な効率、 $T_A = 105^\circ\text{C}$ 、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 3.3\text{V}$ 、 $I_{OUT2} = 30\text{mA}$

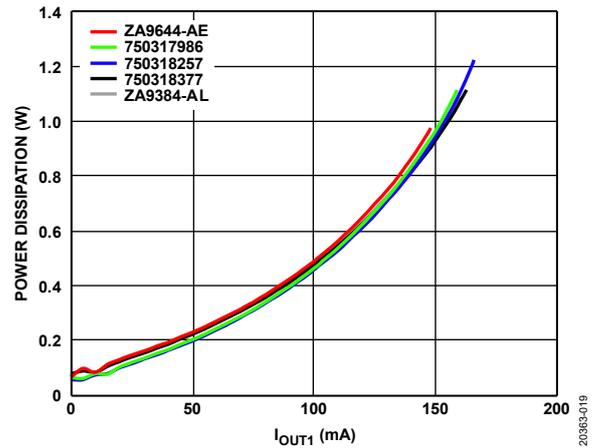


図 19. 各種のトランスを使用した消費電力、 $T_A = 105^\circ\text{C}$ 、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 3.3\text{V}$ 、 $I_{OUT2} = 30\text{mA}$

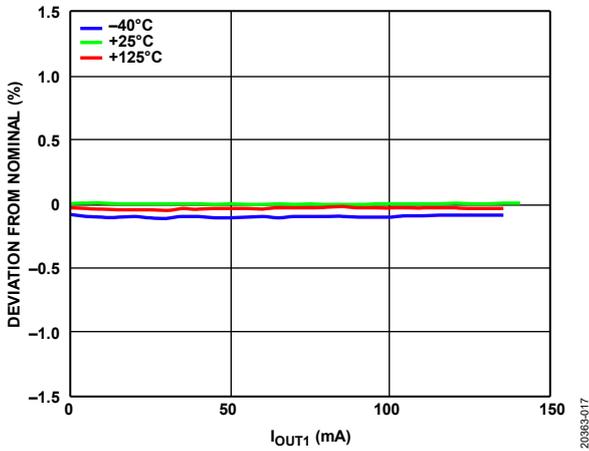


図 17. 全温度範囲でのフライバック・レギュレータの負荷レギュレーション、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ (固定出力バージョン)、公称値 = V_{OUT1} (負荷 20mA)

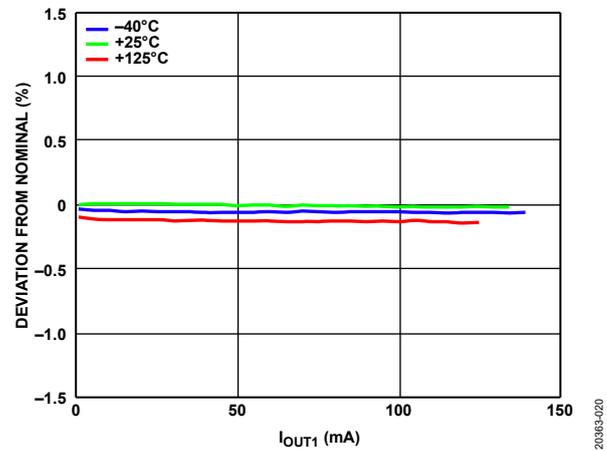


図 20. 全温度範囲でのフライバック・レギュレータの負荷レギュレーション、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ (可変出力バージョン)、公称値 = V_{OUT1} (負荷 20mA)

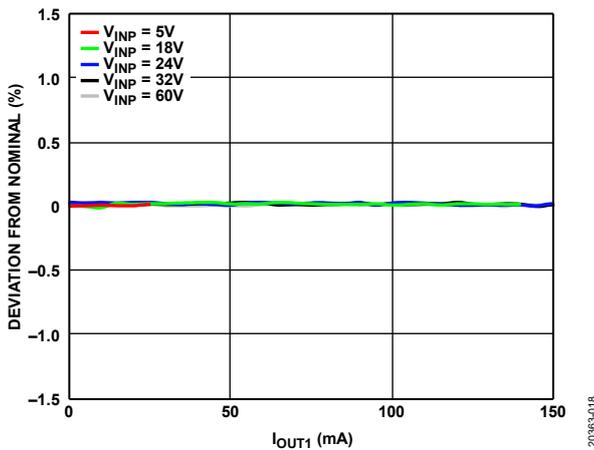


図 18. 様々な入力電圧でのフライバック・レギュレータの負荷レギュレーション、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、公称値 = V_{OUT1} (負荷 20mA)

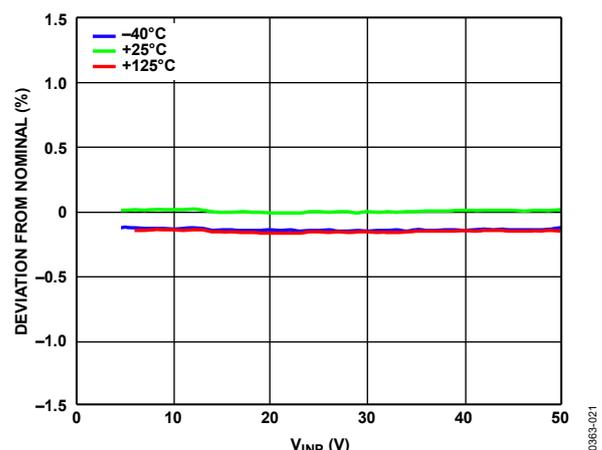


図 21. 全温度範囲でのフライバック・レギュレータのラインレギュレーション、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 20\text{mA}$ 、公称値 = V_{OUT1} ($V_{INP} = 24\text{V}$)

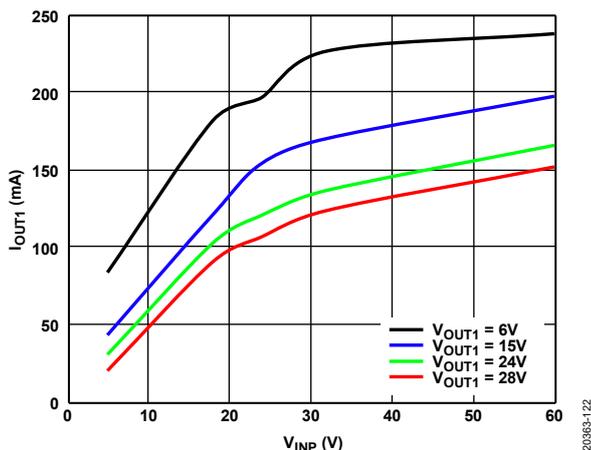


図 22. 様々な出力電圧でのフライバック・レギュレータの最大出力電流、 $T_A = 25^\circ\text{C}$ 、Coilcraft ZA9644-AE トランスとツェナー・クランプ回路を使用、 $I_{\text{LIM (FLYBACK)}}$ の 70% という目標値に基づく

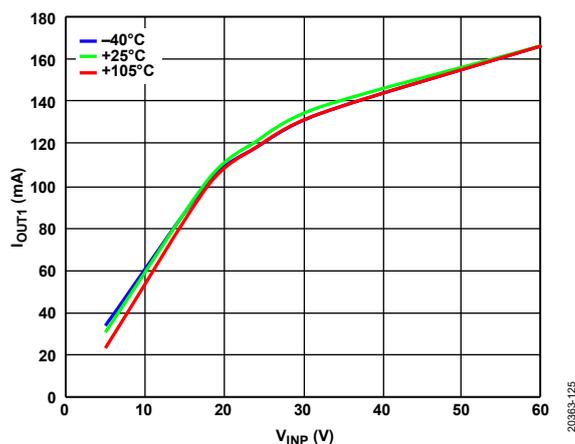


図 25. 全温度範囲でのフライバック・レギュレータの最大出力電流、 $V_{\text{OUT1}} = 24\text{V}$ 、Coilcraft ZA9644-AE トランスとツェナー・クランプ回路を使用、 $I_{\text{LIM (FLYBACK)}}$ の 70% という目標値に基づく

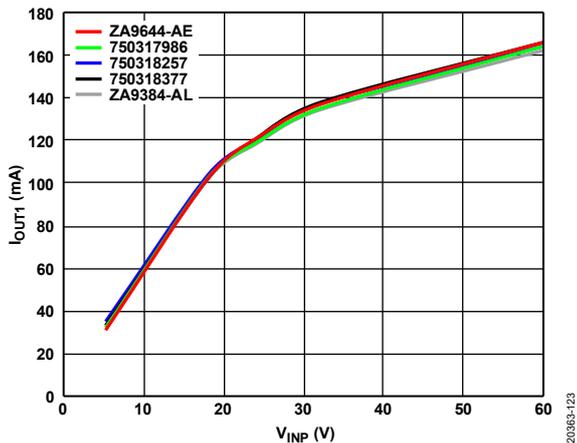


図 23. 様々なトランスでのフライバック・レギュレータの最大出力電流、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、様々な入力電圧とツェナー・クランプ回路を使用、 $I_{\text{LIM (FLYBACK)}}$ の 70% という目標値に基づく

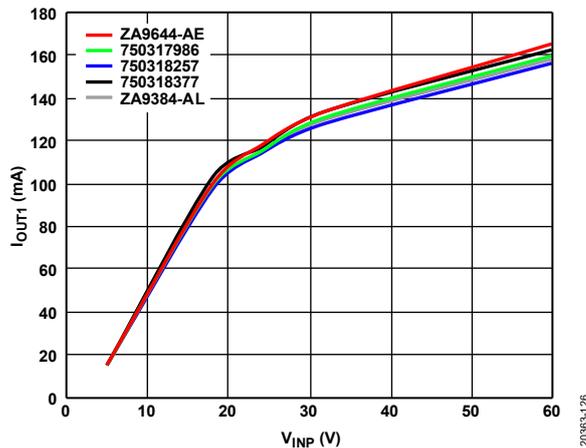


図 26. 様々なトランスでのフライバック・レギュレータの最大出力電流、 $T_A = 105^\circ\text{C}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、様々な入力電圧とツェナー・クランプ回路を使用、 $I_{\text{LIM (FLYBACK)}}$ の 70% という目標値に基づく

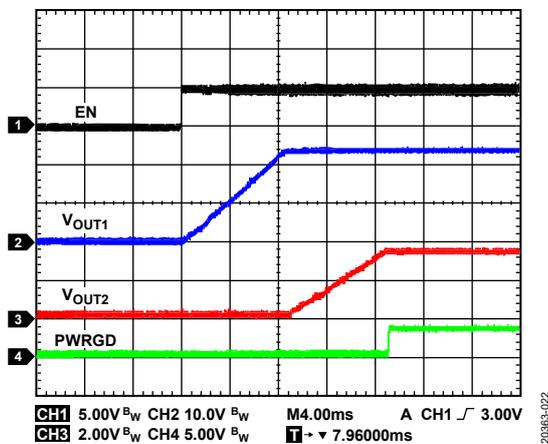


図 24. EN の立上がりでのパワーアップ・シーケンス、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{INP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、 $I_{\text{OUT1}} = 50\text{mA}$ 、 $V_{\text{OUT2}} = 3.3\text{V}$ 、 $I_{\text{OUT2}} = 15\text{mA}$

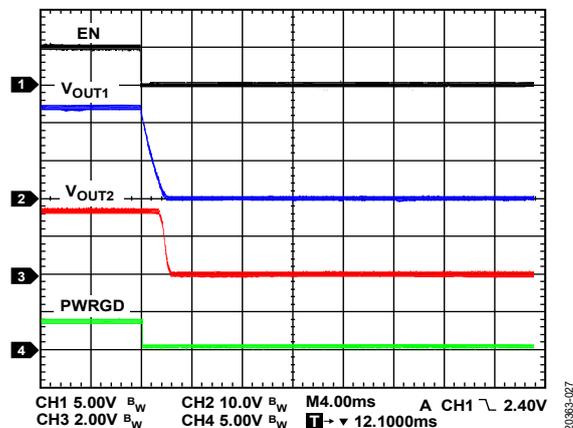


図 27. EN の立下がりでのパワーダウン・シーケンス、 $T_A = +25^\circ\text{C}$ 、 $V_{\text{INP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、 $I_{\text{OUT1}} = 50\text{mA}$ 、 $V_{\text{OUT2}} = 3.3\text{V}$ 、 $I_{\text{OUT2}} = 15\text{mA}$

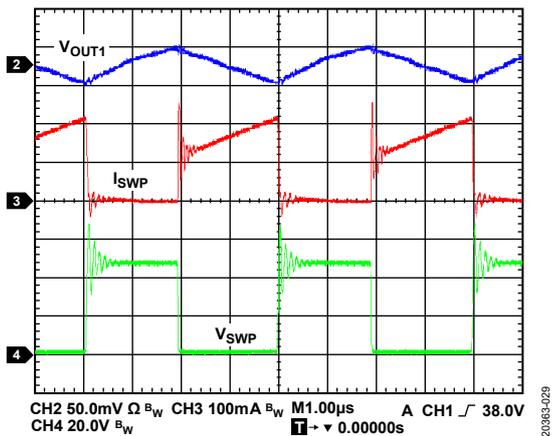


図 28. フライバック・レギュレータの連続導通モード動作、 I_{SWP} 、スイッチ・ノード電圧、および出力リップルを表示、 $T_A = 25^\circ\text{C}$ 、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 80\text{mA}$

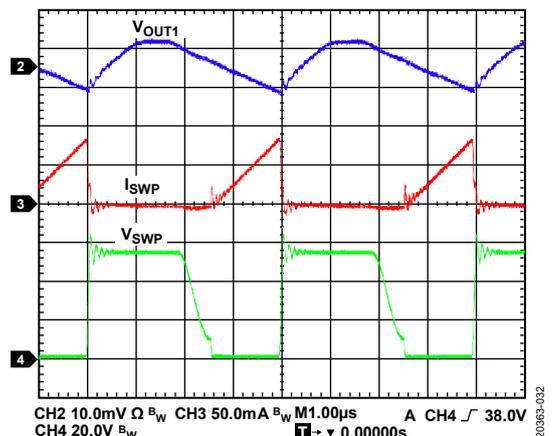


図 31. フライバック・レギュレータの不連続導通モード動作、 I_{SWP} 、スイッチ・ノード電圧、および出力リップルを表示、 $T_A = 25^\circ\text{C}$ 、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 20\text{mA}$

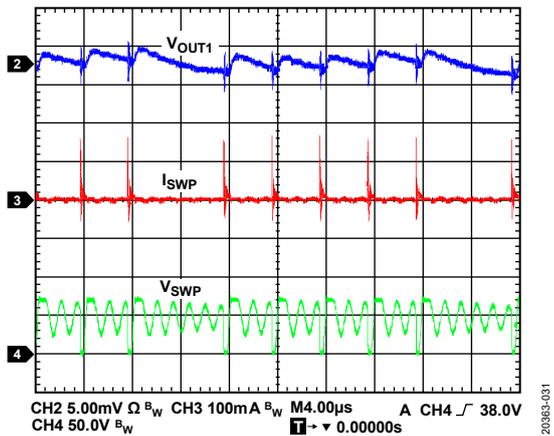


図 29. フライバック・レギュレータのパルス・スキップ・モード動作、インダクタ電流 (I_{SWP})、スイッチ・ノード電圧、および出力リップルを表示、 $T_A = 25^\circ\text{C}$ 、 $V_{INP} = 48\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 4\text{mA}$

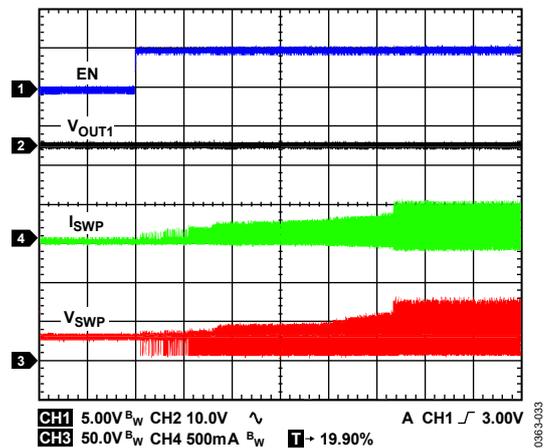


図 32. 起動中のフライバック・レギュレータの短絡電流制限、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = \text{SGND2}$ 、 $T_A = 25^\circ\text{C}$

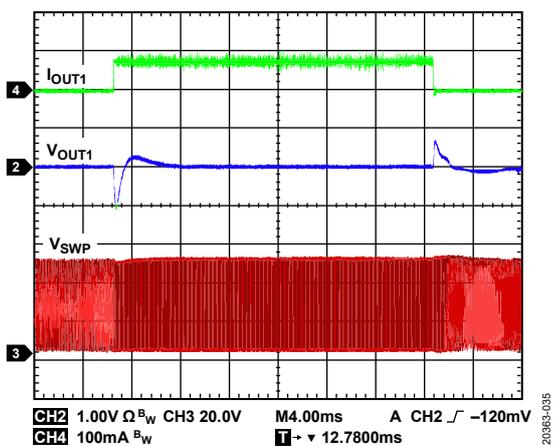


図 30. フライバック・レギュレータの負荷過渡応答、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 1\text{mA} \sim 80\text{mA}$ ステップ、 $T_A = 25^\circ\text{C}$

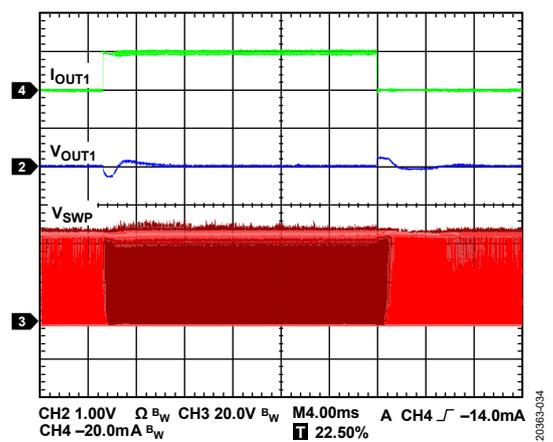


図 33. フライバック・レギュレータの負荷過渡応答、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $I_{OUT1} = 1\text{mA} \sim 20\text{mA}$ ステップ、 $T_A = 25^\circ\text{C}$

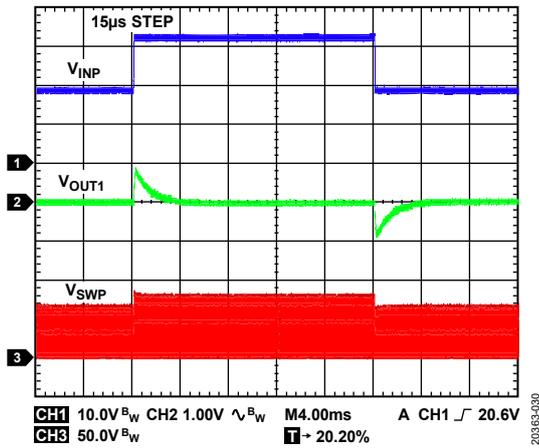


図 34. フライバック・レギュレータの入力過渡応答、 $V_{INP} = 18V \sim 32V$ (ステップ時間: $15\mu s$)、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 80mA$ 、 $T_A = 25^\circ C$

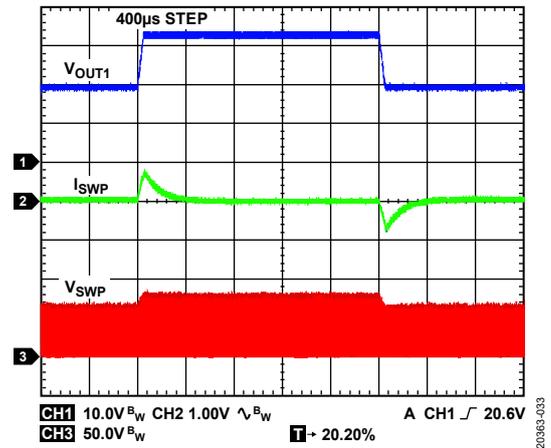


図 37. フライバック・レギュレータの入力過渡応答、 $V_{INP} = 18V \sim 32V$ (ステップ時間: $400\mu s$)、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 80mA$ 、 $T_A = 25^\circ C$

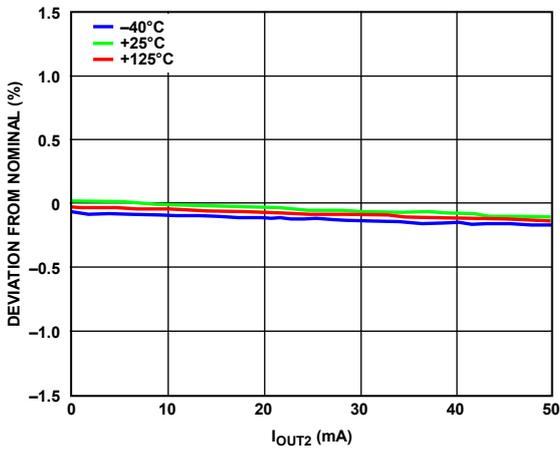


図 35. クロス・レギュレーション、全温度範囲でのフライバック・レギュレータのレギュレーションと降圧レギュレータの負荷電流の関係、 $V_{INP} = 24V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 80mA$ 、 $V_{OUT2} = 3.3V$

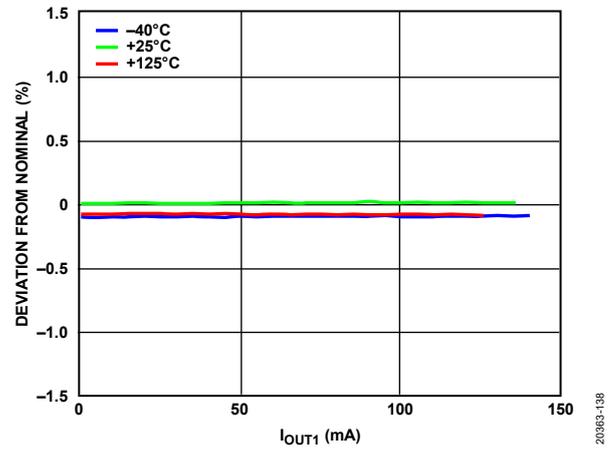


図 38. クロス・レギュレーション、全温度範囲での降圧レギュレータのレギュレーションとフライバック・レギュレータの負荷電流の関係、 $V_{INP} = 24V$ 、 $V_{OUT1} = 24V$ 、 $V_{OUT2} = 3.3V$ 、 $I_{OUT2} = 13mA$

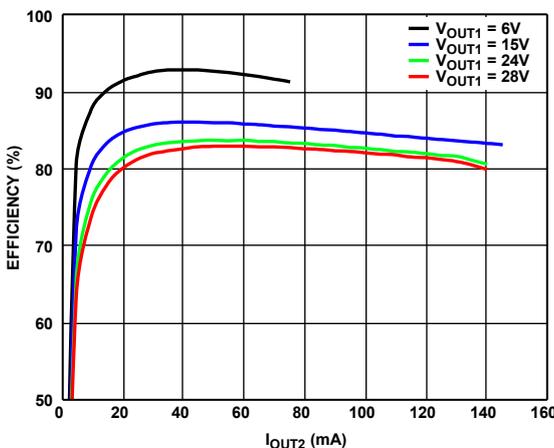


図 36. 様々な V_{OUT1} での降圧レギュレータの効率と負荷電流の関係、 $V_{OUT2} = 5.15V$ 、 $T_A = 25^\circ C$

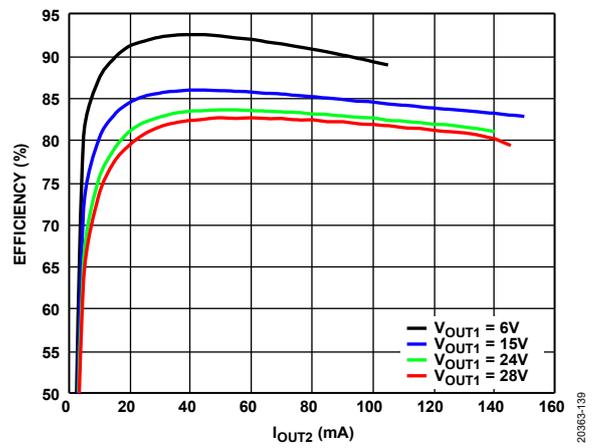


図 39. 様々な V_{OUT1} での降圧レギュレータの効率と負荷電流の関係、 $V_{OUT2} = 5.0V$ 、 $T_A = 25^\circ C$

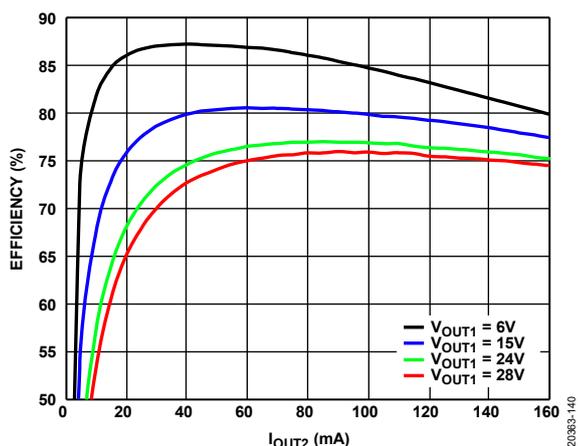


図 40. 様々な V_{OUT1} での降圧レギュレータの効率と負荷電流の関係、 $V_{OUT2} = 3.3V$ 、 $T_A = 25^\circ C$

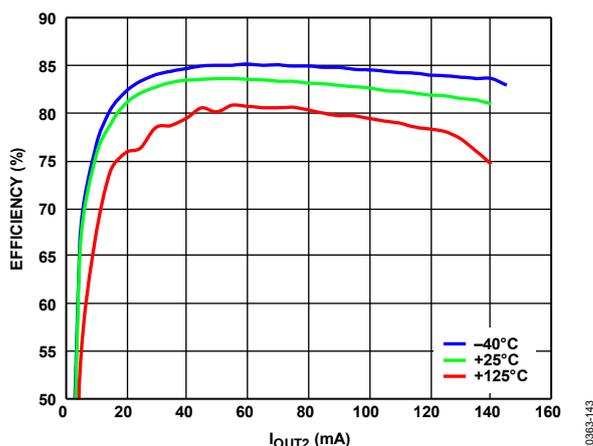


図 43. 全温度範囲での降圧レギュレータの効率と負荷電流の関係、 $V_{OUT1} = 24V$ 、 $V_{OUT2} = 5V$

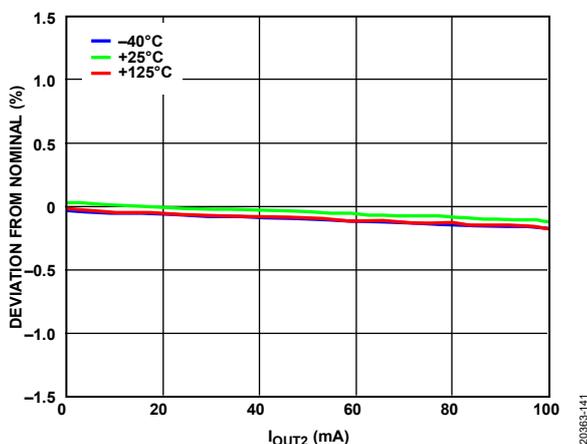


図 41. 全温度範囲での降圧レギュレータの負荷レギュレーション、 $V_{OUT2} = 3.3V$ 、 $V_{OUT1} = 24V$ 、公称条件 = V_{OUT2} (I_{OUT2} が 25mA のとき)

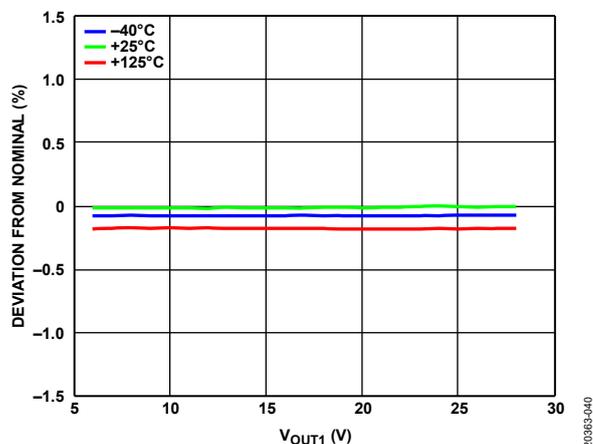


図 44. 全温度範囲での降圧レギュレータのライン・レギュレーション、 $V_{OUT2} = 5.15V$ 、 $I_{OUT2} = 7mA$ 、公称条件 = V_{OUT2} (V_{OUT1} が 24V のとき)

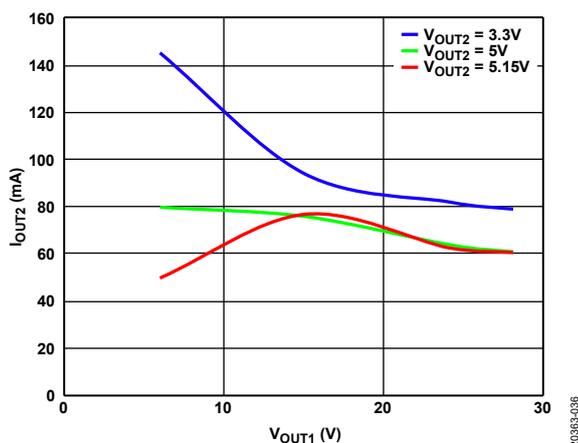


図 42. 降圧レギュレータの様々な出力電圧での降圧レギュレータの最大出力電流、 $T_A = 25^\circ C$ 、 $V_{INP} = 24V$ 、 $I_{OUT1} = 0mA$ 、 $I_{LIM(FLYBACK)}$ の 70% または $I_{LIM(BUCK)}$ の 70% という目標値に先に到達した方に基づく

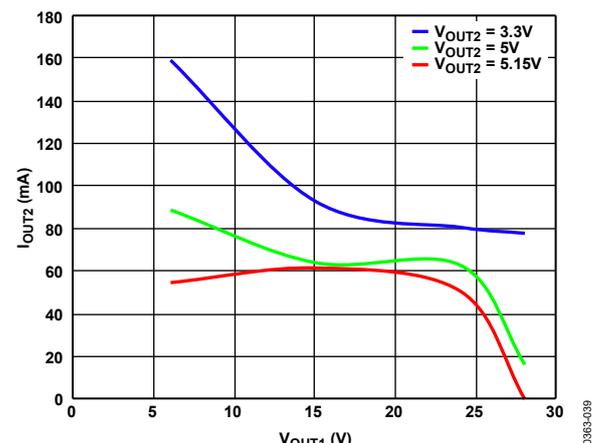


図 45. 降圧レギュレータの様々な出力電圧での降圧レギュレータの最大出力電流、 $T_A = 25^\circ C$ 、 $V_{INP} = 24V$ 、 $I_{OUT1} = 24mA$ 、 $I_{LIM(FLYBACK)}$ の 70% または $I_{LIM(BUCK)}$ の 70% という目標値に先に到達した方に基づく

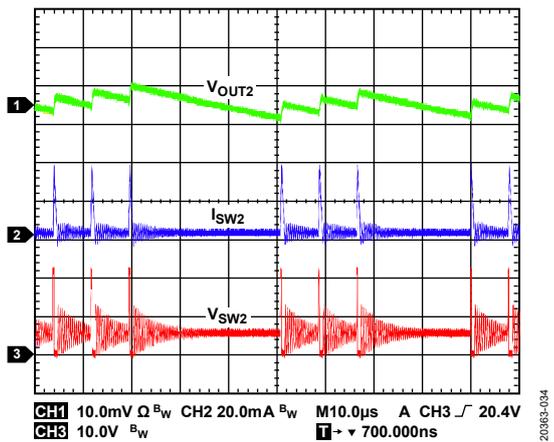


図 46. 降圧レギュレータのパルス・スキップ・モード動作、インダクタ電流 2 (I_{SW2})、スイッチ・ノード電圧、および出力リップルを表示、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 5.15\text{V}$ 、 $I_{OUT2} = 0.3\text{mA}$

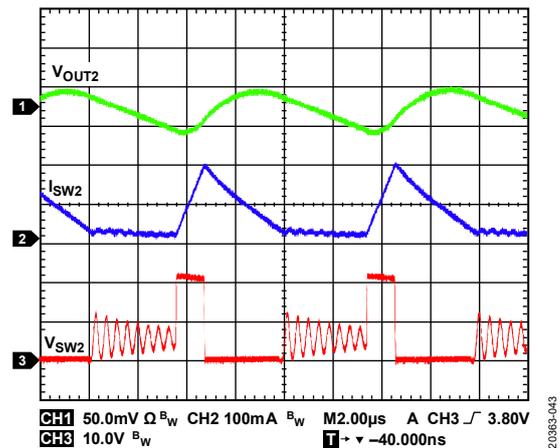


図 49. 降圧レギュレータの不連続導通モード動作、 I_{SW2} 、スイッチ・ノード電圧、および出力リップルを表示、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 21\text{V}$ 、 $V_{OUT2} = 5.15\text{V}$ 、 $I_{OUT2} = 50\text{mA}$

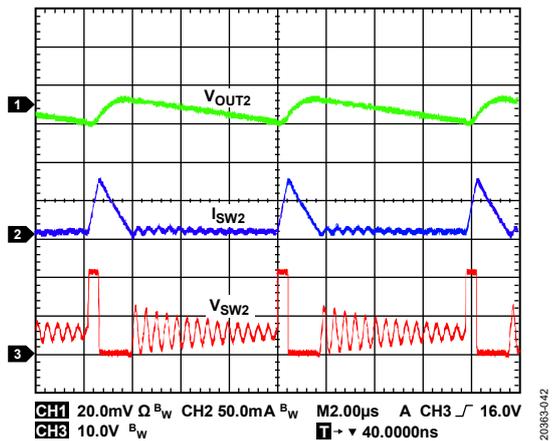


図 47. 降圧レギュレータの不連続導通モード動作、 I_{SW2} 、スイッチ・ノード電圧、および出力リップルを表示、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 21\text{V}$ 、 $V_{OUT2} = 5.15\text{V}$ 、 $I_{OUT2} = 7\text{mA}$

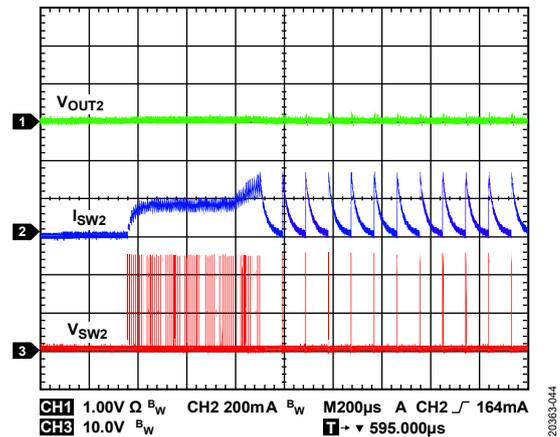


図 50. 起動中の降圧レギュレータの短絡電流制限、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = \text{SGND2}$ 、 $T_A = 25^\circ\text{C}$

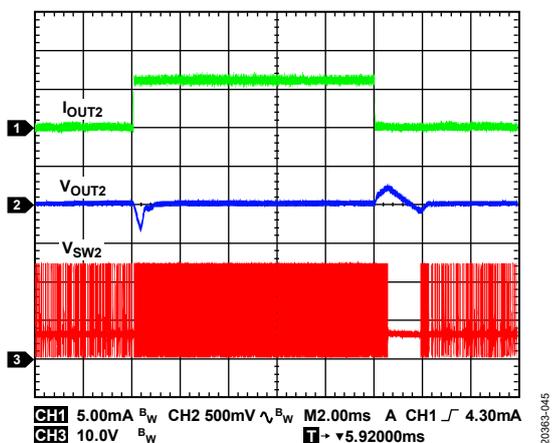


図 48. 降圧レギュレータの負荷過渡応答、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 5.15\text{V}$ 、 $I_{OUT2} = 0.3\text{mA}$ から 7mA へのステップ、 $T_A = 25^\circ\text{C}$

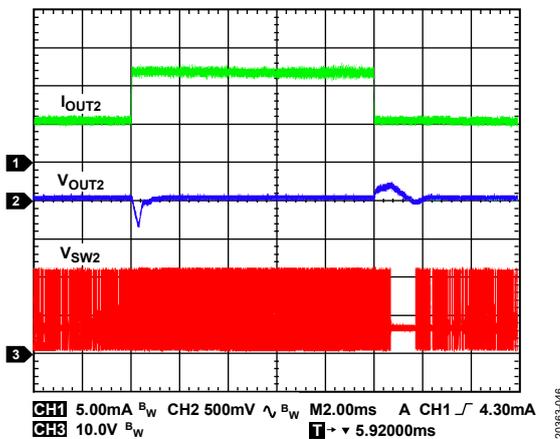


図 51. 降圧レギュレータの負荷過渡応答、 $V_{OUT1} = 21\text{V}$ 、 $V_{OUT2} = 5.15\text{V}$ 、 $I_{OUT2} = 0.3\text{mA}$ から 7mA へのステップ、 $T_A = 25^\circ\text{C}$

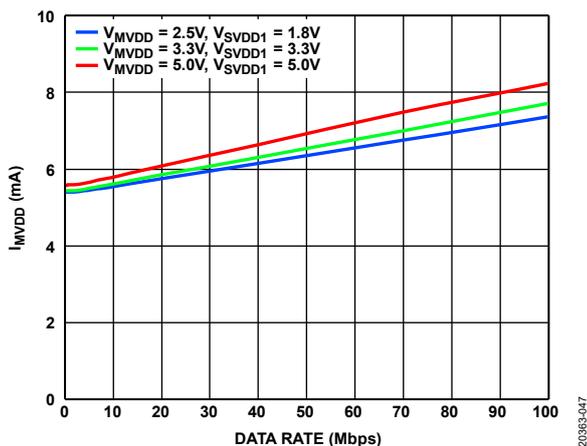


図 52. 様々な電源電圧での SPI 入力ごとの \overline{MVDD} 電源電流 (I_{MVDD}) とデータ・レートの関係、 \overline{MSS} はロー、クロック信号は 1 つの SPI チャンネルに印加、他の入力チャンネルはローに接続

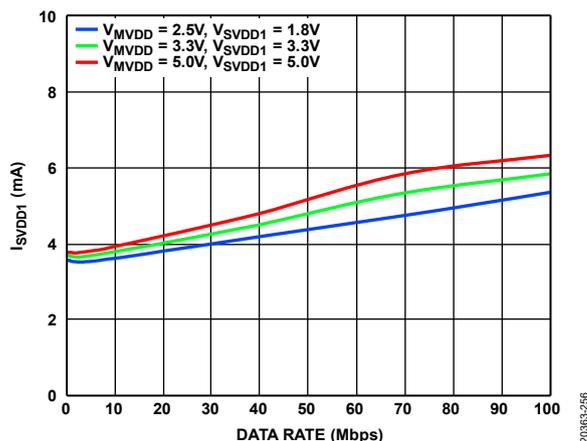


図 55. 様々な電源電圧での SPI 入力ごとの $\overline{SVDD1}$ 電源電流 (I_{SVDD1}) とデータ・レートの関係、 \overline{SSS} はロー、クロック信号は 1 つの SPI チャンネルに印加、他の入力チャンネルはローに接続

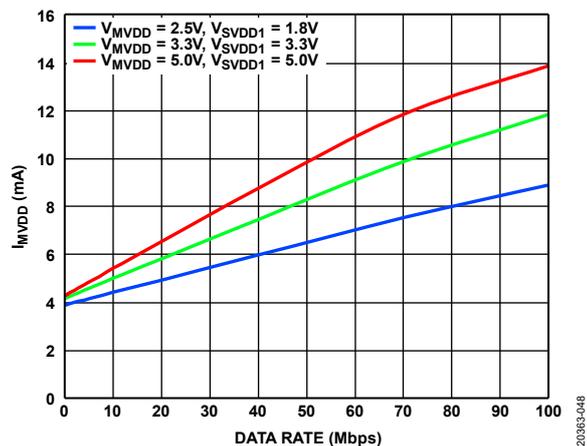


図 53. 様々な電源電圧での SPI 出力ごとの I_{MVDD} とデータ・レートの関係、 \overline{MSS} はロー、クロック信号は 1 つの SPI チャンネルに印加、他の入力チャンネルはローに接続

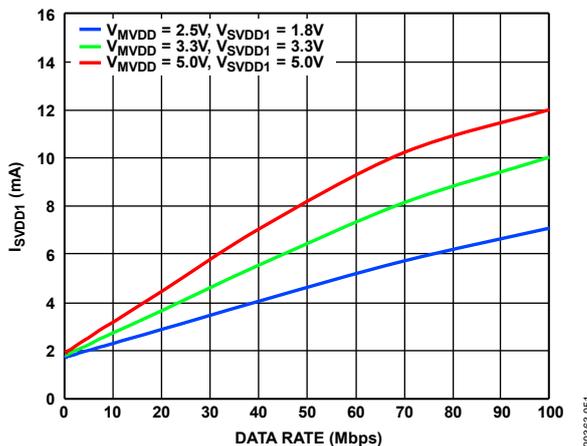


図 56. 様々な電源電圧での I_{SVDD1} とデータ・レートの関係、 \overline{SSS} はロー、クロック信号は 1 つの SPI チャンネルに印加、他の入力チャンネルはローに接続

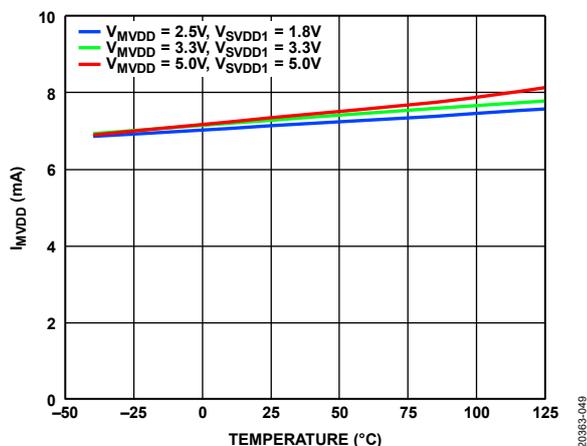


図 54. 様々な電源電圧での I_{MVDD} と温度の関係、 \overline{MSS} はロー、全ての SPI チャンネル上でデータ・レート = 10Mbps

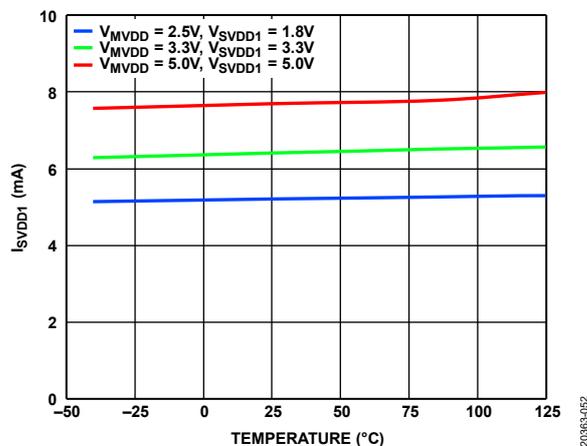


図 57. 様々な電源電圧での I_{SVDD1} と温度の関係、 \overline{SSS} はロー、全ての SPI チャンネル上でデータ・レート = 10Mbps

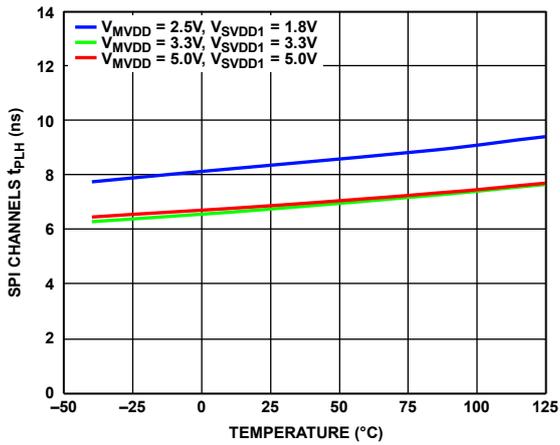


図 58. 様々な電源電圧での SPI チャンネルの t_{PLH} と温度の関係

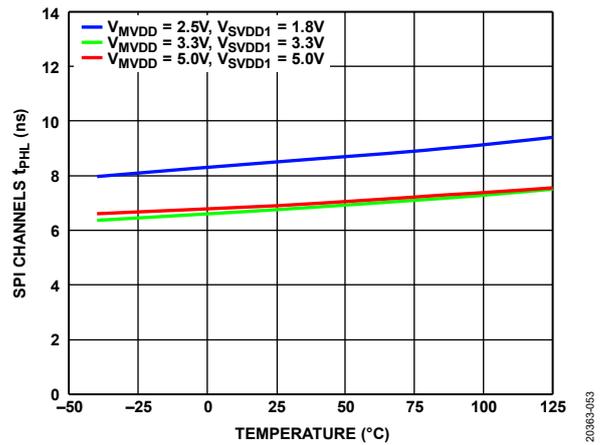


図 61. 様々な電源電圧での SPI チャンネルの t_{PLH} と温度の関係

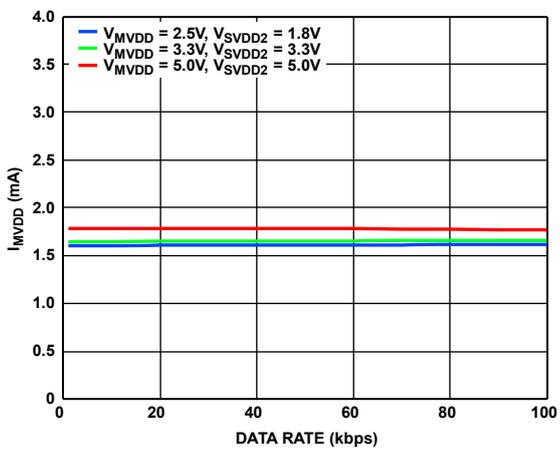


図 59. 様々な電源電圧での I_{MVDD} と全ての GPIO チャンネル上のデータ・レートの関係、 \overline{MSS} はハイ

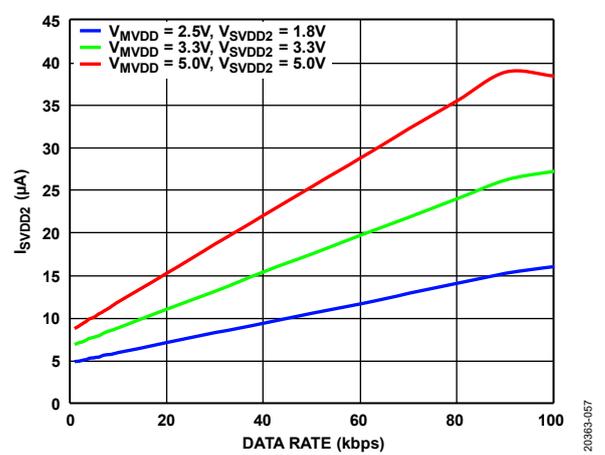


図 62. 様々な電源電圧での I_{SVDD2} 電源電流 (I_{SVDD2}) と全ての GPIO チャンネル上のデータ・レートの関係、 \overline{MSS} はハイ

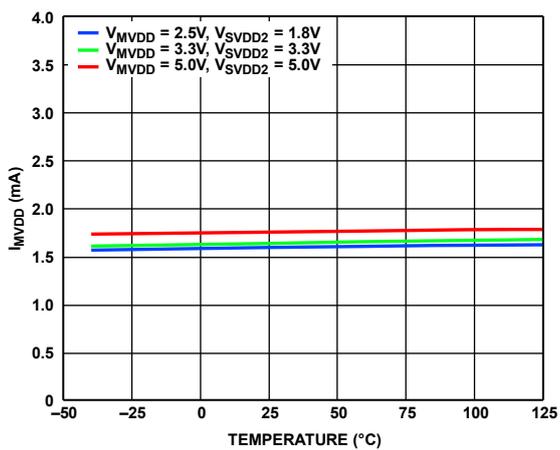


図 60. 様々な電源電圧での I_{MVDD} 電源電流と温度の関係、 \overline{MSS} はロー、全ての GPIO チャンネル上でデータ・レート = 40kbps

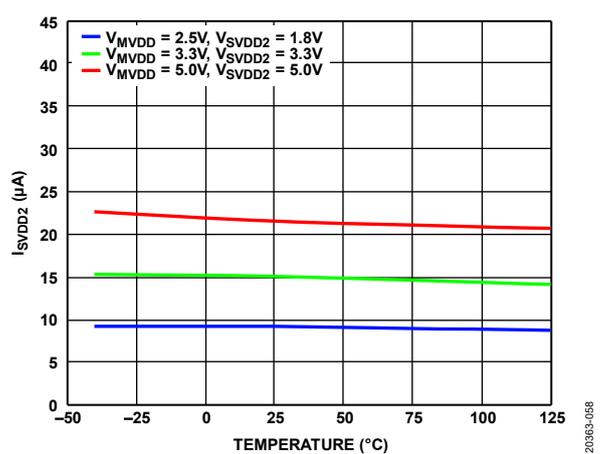


図 63. 様々な電源電圧での I_{SVDD2} と温度の関係、 \overline{SSS} はロー、全ての GPIO チャンネル上でデータ・レート = 40kbps

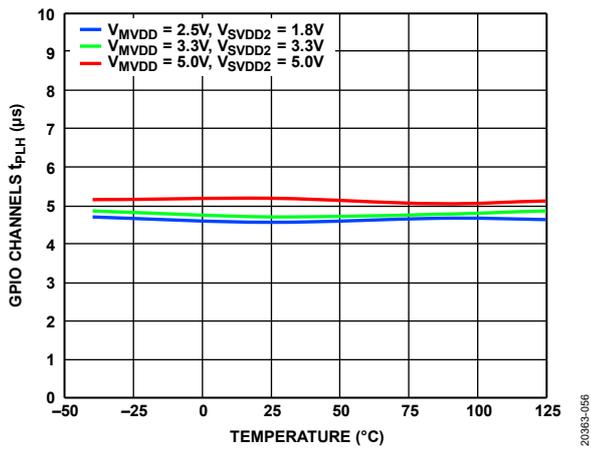


図 64. 様々な電源電圧での GPIO チャンネルの t_{PHL} と温度の関係

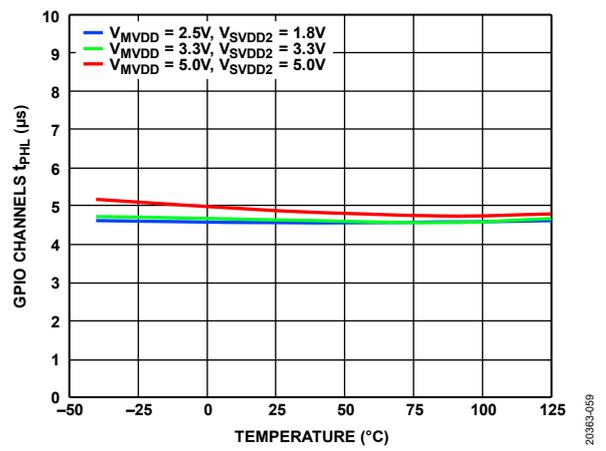
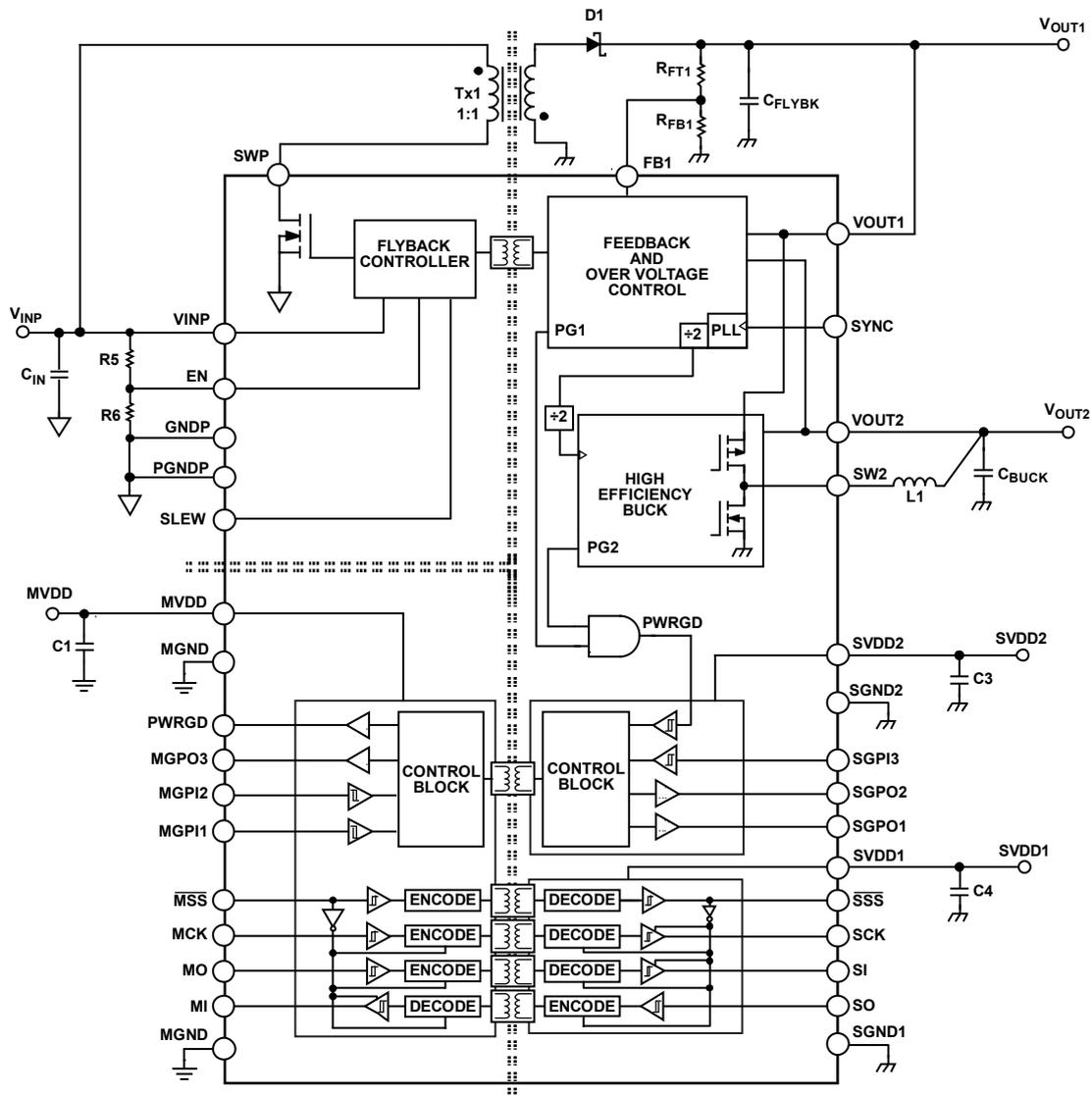


図 65. 様々な電源電圧での GPIO チャンネルの t_{PHL} と温度の関係

動作原理

ADP1032 は、高性能、絶縁型マイクロ PMU で、絶縁型フライバック・レギュレータと降圧レギュレータを組み合わせ、2つの絶縁型電源レールを供給します。また ADP1032 は、41 ピ

ン LFCSP パッケージに 7 つの低消費電力デジタル・アイソレータを内蔵しており、消費電力と基板面積の制約が厳しいチャンネル間絶縁アプリケーションに適しています。



- NOTES
 1. C_{FLYBK} IS THE FLYBACK REGULATOR OUTPUT CAPACITOR VALUE.
 2. C_{BUCK} IS THE BUCK REGULATOR OUTPUT CAPACITOR VALUE.

図 66. 簡略ブロック図

20383-060

フライバック・レギュレータ

フライバック・レギュレータの動作

ADP1032 のフライバック・レギュレータは、可変出力バージョンでは 6V~28V、工場出荷時に設定可能な固定出力バージョンでは 24V にプログラムできる、絶縁出力電源レールを生成します。このフライバック・レギュレータは電流モード制御を採用しており、高速な内側の電流制御ループを使用してピーク・インダクタ電流を安定化します。また、絶縁された iCoupler チャンネルによる、より低速な外側のループを使用して電流制御ループを調整し、安定化出力電圧を設定します。高電圧スイッチがオンになると、トランスの 2 次側のダイオードに逆バイアスがかかり、トランスの 1 次側インダクタンスの電流が増加してエネルギーとして蓄積されます。スイッチがオフになると、ダイオードに順方向バイアスがかかり、トランスに蓄積されたエネルギーは負荷に移動します。

従来型の絶縁型フライバック・レギュレータは、帰還パスにディスプレイ・フォトカプラを使用して、2 次側から 1 次側に信号を送信します。しかし、フォトカプラの電流伝達率 (CTR) は、時間および温度と共に低下します。したがって、フォトカプラは 5 年~10 年おきに交換する必要があります。ADP1032 は、帰還パスにアナログ・デバイゼスの iCoupler 技術を採用することでフォトカプラを不要にし、それに関連する問題を解決します。これにより、CTR の低下の問題を起こさずにシステムの信頼性を向上させながら、システム・コスト、PCB の面積、および複雑性を削減できます。

フライバック・レギュレータは、1 個のトランスと 1 本の 1 次巻線および 2 次巻線を組み合わせて使用します。iCoupler 技術を使用して、絶縁された制御信号を 1 次側のコントローラに送信することで 1 次検出巻線が不要になるため、この構成が可能となります。更に、2 次レールは高効率のスイッチング・レギュレータを使用して生成されるため、追加の 2 次巻線は必要ありません。この手法により、多巻線の代替ソリューションに比べて、次のような多くの利点が得られます。

- コアに必要な巻数が少なく、ピンの数が少ないため、トランス・ソリューションのサイズを小さくすることができます。
- 各出力は個別に設定できます。マルチタップ手法では、出力電圧の様々な組み合わせに合わせてカスタムのマルチタップ・トランスが必要です。
- 出力がトランスの巻数比に依存しないため、出力の精度が向上します。
- 出力の精度は、各レール上の負荷の変化の影響を受けません。

省電力モード (PSM)

軽負荷動作時に、レギュレータはパルススキップして出力電圧レギュレーションを維持できます。したがって、最小限の負荷は不要です。パルス・スキップ・モードでは、デバイスの効率は向上しますが、出力リップルが大きくなります。

フライバック・レギュレータの低電圧ロックアウト (UVLO)

UVLO 回路は、VINP ピンの電圧レベルをモニタします。入力電圧が $V_{UVLO_VINP (FALL)}$ の閾値より低くなると、フライバック・レギュレータはオフになります。VINP ピンの電圧が $V_{UVLO_VINP (RISE)}$ の閾値より高くなると、ソフトスタートが開始され、フライバック・レギュレータはイネーブル状態になります。

フライバック・レギュレータの高精度イネーブル制御

ADP1032 のフライバック・レギュレータは、正確なリファレンス電圧を使用する高精度のイネーブル回路を搭載しています。EN ピンの電圧が V_{EN_RISING} 閾値より高くなると、フライバック・レギュレータのソフトスタートが開始され、レギュレータがイネーブルになります。EN ピンの電圧が $V_{EN_RISING} - V_{EN_HYST}$ 閾値より低くなると、フライバック・レギュレータはオフになります。

フライバック・レギュレータのソフトスタート

フライバック・レギュレータにはソフトスタート機能が組み込まれており、電源からの突入電流を制限し、制御された状態で出力電圧を上昇させます。EN ピンの電圧が V_{EN_RISING} の閾値より高くなると、フライバック・レギュレータのソフトスタート期間が始まります。

フライバック・レギュレータのスルー・レート制御

フライバック・レギュレータは、設定可能な出力ドライバのスルー・レート制御回路を使用します。この回路は、図 67 に示すようにスイッチング・ノードのスルー・レートを調整し、動作効率が多少下がるのと引き換えにリングングと EMI を低減させることや、リングングと EMI が多少増えるのと引き換えに効率を上げることができます。スルー・レートのプログラムには SLEW ピンを使い、このピンを VINP ピンに接続すると通常モード、GNDP ピンに接続すると低速モード、オープン状態のままにすると高速モードになります。スルー・レート制御においては、効率と低 EMI のトレードオフが発生します。

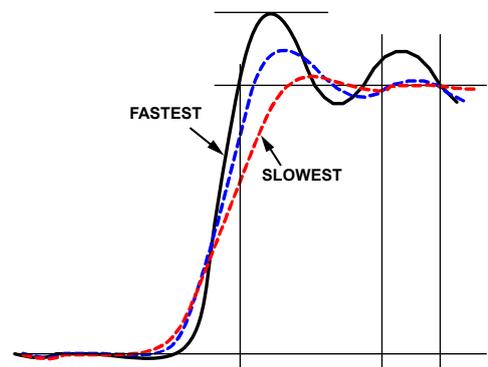


図 67. 様々なスルー・レート設定でのスイッチング・ノード

表 11. スルー・レートの設定

SLEW Pin Connection	Slew Rate	Comment
GNDP	Slow	Lowest EMI
VINP	Normal	Optimized efficiency and EMI
Unconnected	Fast	Highest efficiency

フライバック・レギュレータの過電流保護

フライバック・レギュレータは、スイッチング MOSFET（金属酸化膜半導体電界効果トランジスタ）の順方向電流をサイクルごとに検出する電流制限機能を搭載しています。この電流が I_{LIM} (FLYBACK) 閾値を超えると、スイッチはオフになります。

フライバック・レギュレータの過電圧保護

ADP1032 のフライバック・レギュレータは次のような各種の OVP 対策を施しており、フライバック・レギュレータ出力の過電圧状態を検出し、防止します。

- 可変出力バージョンでは、FB1 ピンの電圧が V_{FB1} を 10% 超えた場合、また固定出力バージョンでは VOUT1 ピンの電圧が工場出荷時にプログラムされた V_{OUT1} を 10% 超えた場合、OVP フォルトが検出され、フライバック・レギュレータのスイッチはオンになりません。OVP 状態が解消されるまで、フライバック・レギュレータの 1 次側スイッチはオフのままになります。
- 2 次側コントローラから 1 次側コントローラへの絶縁バリアをまたぐ通信が失敗した場合、フライバック・レギュレータはシャットダウンし、新たなソフトスタート・パワーアップ・サイクルが開始されます。
- フライバック・レギュレータの出力の電圧が重度の過電圧閾値 ($SOVP_{FLYBACK}$) を超えた場合、1 次側コントローラは 1 次側スイッチをオンにしません。VOUT1 ピンの電圧が $SOVP_{FLYBACK} \cdot SOVP_{FLYBACK_HYST}$ 閾値未満に低下するまで、フライバック・レギュレータの 1 次側スイッチはオフのままです。

降圧レギュレータ

降圧レギュレータの動作

ADP1032 の降圧 DC/DC レギュレータは、電流モード制御方式を使用して、内部発振器によって設定される固定周波数で動作します。電流モードは、高速な内側の電流制御ループを使用してインダクタ電流を安定させます。また、より低速な外側ループを使用して電流ループを調整し、出力電圧を安定させます。各発振器サイクルの始めに、ハイサイド MOSFET スイッチがオンになり、インダクタの一端に入力電圧を印加します。これにより、通常は、電流検出信号がピーク・インダクタ電流の閾値を超えて MOSFET スイッチをオフにするまで、降圧レギュレータのインダクタ電流 (I_{L_BUCK}) は増加します。この閾値は、エラーアンプの出力によって設定されます。ハイサイド MOSFET がオフの時間中、インダクタ電流はローサイド MOSFET スイッチを流れて減少します。この状態は、次の発振器クロック・パルスが新しいサイクルを開始して連続導通モード (CCM) 動作となるまでか、インダクタ電流がゼロに達するまで続きます。ローサイド MOSFET スイッチはオフになり、制御システムは次の発振器クロック・パルスが新しいサイクルを開始するのを待って、不連続モード (DCM) 動作になります。軽負荷状態では、レギュレータはパルスをスキップしてレギュレーションを維持し、電力変換効率を向上させることができます。

降圧レギュレータの UVLO

ADP1032 の降圧レギュレータは、レギュレータの入力電圧または VOUT1 を監視する内部 UVLO 回路を搭載しています。VOUT1 の電圧が 4.5 V の内部閾値レベル未満に低下すると、レギュレータはオフになります。VOUT1 の出力が内部閾値より高くなると、レギュレータのソフトスタートが開始され、レギュレータがイネーブルになります。

降圧レギュレータのソフトスタート

ADP1032 の降圧レギュレータにはソフトスタート回路が組み込まれており、起動時に制御された状態で出力電圧を上昇させて、突入電流を制限します。

降圧レギュレータの電流制限保護

ADP1032 の降圧レギュレータは、ハイサイド MOSFET スイッチを流れる順方向電流の量を制限する電流制限保護回路を内蔵しています。この機能は、ピーク・インダクタ電流をサイクルごとに監視し、過負荷状態を検出します。過負荷状態が発生すると、電流制限保護回路がピーク・インダクタ電流を I_{LIM} (BUCK) に制限するので、出力電圧が低下します。

降圧レギュレータのアクティブ・プルダウン抵抗

降圧レギュレータは、VOUT1 ピンの出力が 1.23V~4.5V の範囲内に入ると出力コンデンサを放電するアクティブ・プルダウン抵抗を備えています。このプルダウン抵抗は VOUT2 と SGND2 の間に接続されています。

降圧レギュレータの OVP

ADP1032 の降圧レギュレータは、出力電圧を監視する OVP 回路を搭載しています。VOUT2 ピンの電圧が公称出力電圧を 10% 上回ると、電圧が再び閾値未満に低下するまで、降圧 DC/DC レギュレータはスイッチングを停止します。

パワーグッド

ADP1032 は、2 つの絶縁された出力電圧レールが有効になったことを示すプッシュプルパワーグッド出力を備えています。PWRGD ピンは、2 つの電源の電圧がそれぞれのパワーグッド閾値制限の範囲内に入ったときにハイになります。

パワーアップ・シーケンス

パワーアップ・シーケンスは次のとおりです (図 68 を参照)。

1. フライバック・レギュレータが最初にパワーアップします (図 68 のラベル 1 を参照)。
2. V_{OUT1} が低い方のパワーグッド閾値 ($V_{PG_FLYBACK_LL}$) より高くなると、降圧レギュレータがオンになります (図 68 のラベル 2 を参照)。
3. 降圧レギュレータの出力 (V_{OUT2}) が低い方のパワーグッド閾値 ($V_{PG_BUCK_LL}$) より高くなると、PWRGD はハイになります (図 68 の 3 を参照)。
4. 2 つのアナログ電源のいずれかがパワーグッド閾値の範囲を外れると、短いデグリッチ遅延の後に PWRGD はローになります (図 68 の 4 を参照)。

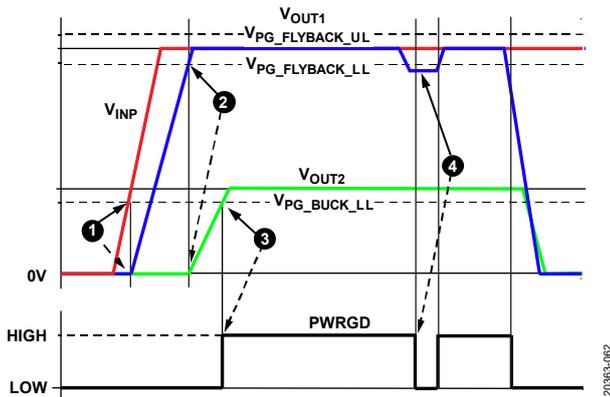


図 68. パワー・シーケンスと PWRGD

発振器と同期

フェーズ・ロック・ループ (PLL) ベースの発振器は、フライバック・レギュレータおよび降圧レギュレータの内部クロックを生成します。また、内部生成周波数と外部クロックへの同期のいずれかを選択できます。表 12 に示すように SYNC ピンを接続して、スイッチング周波数を設定します。外部同期の場合は、SYNC ピンを適切なクロック源に接続します。PLL は、 f_{SYNC} によって指定される範囲内の入力クロックにロックします。

表 12. SYNC ピンの機能

SYNC Pin State	Switching Frequency (f_{sw})	
	Flyback	Buck
Low or High	250 kHz	125 kHz
350 kHz to 750 kHz	$f_{SYNC}/2$	$f_{SYNC}/4$

サーマル・シャットダウン

ADP1032 のジャンクション温度が T_{SHDN} より高くなると、サーマル・シャットダウン回路がフライバック・レギュレータをオフにします。ジャンクション温度が非常に高くなってしまう原因としては、長時間にわたる大電流での動作、不適切な回路基板設計、高い周囲温度などが考えられます。サーマル・シャットダウン機能にはヒステリシスがあるので、サーマル・シャットダウンが発生すると、オンチップ温度が $T_{SHDN} \cdot T_{HYS}$ 未満に低下するまで ADP1032 の機能は回復しません。サーマル・シャットダウンから回復すると、ADP1032 はソフトスタートを実行します。

データ絶縁

高速 SPI チャンネル

ADP1032 には 4 つの高速チャンネルがあります。最初の 3 つのチャンネル (CLK、MI/SO、および MO/SI) は、伝搬遅延が短くなるよう最適化されています (スラッシュは、SPI バス信号に対応するアイソレータをまたぐデータパスを形成する入力と出力の接続を示します)。ADP1032 の最大伝搬遅延はわずか 15ns であり、標準的な 4 線式 SPI で最大 16.6MHz の読出しおよび書込みクロック・レートをサポートします。ただし、実際には、信号がグラウンドとの間を往復する間に生じる遅延のため、最大クロック・レートである 16.6MHz は低くなります。表 13 に、SPI 信号パス、ADP1032 のピン記号、およびデータ方向の関係を示します。

表 13. ピン記号と SPI 信号パス名の対応

SPI Signal Path	Master Side	Data Direction	Slave Side
CLK	MCK	→	SCK
MO/SI	MO	→	SI
MI/SO	MI	←	SO
SS	MSS	→	SSS

これらのデータパスは SPI モードに依存しません。CLK および MO/SI SPI データパスは、伝搬遅延とチャンネル間マッチングに最適化されています。MI/SO SPI データパスは、伝搬遅延に最適化されています。デバイスはクロック・チャンネルに同期しません。したがって、データ・ラインについてはクロックの極性やタイミングの制約はありません。

スレーブ・セレクト (SS) はアクティブ・ロー信号です。マルチチャンネル・システムの消費電力を削減するために、SS は、他の SPI アイソレータ・チャンネルが使用されていないときは (SS = ハイ)、それらのチャンネルを低消費電力状態に移行させます。これらのチャンネルは、必要な場合 (SS がローのとき) にのみアクティブになります。クロック・チャンネルとデータ・チャンネルは、図 69 に示すように SS にゲーティングされます。ただし、この省電力モードでは遅延が 100ns 長くなります。この遅延は、内部回路が低消費電力状態からウェークアップし、絶縁バリアへのデータ送信を開始するのにかかる時間です。逆に言うと、この遅延は、図 70 に示すように、MSS の立下がりエッジから、スレーブ側に現れる最初のクロック・エッジまたはデータ・エッジまでの遅延です。

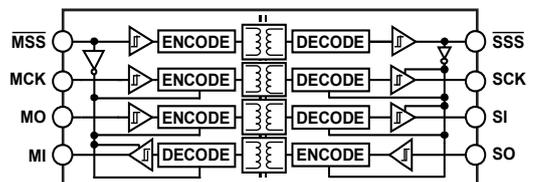
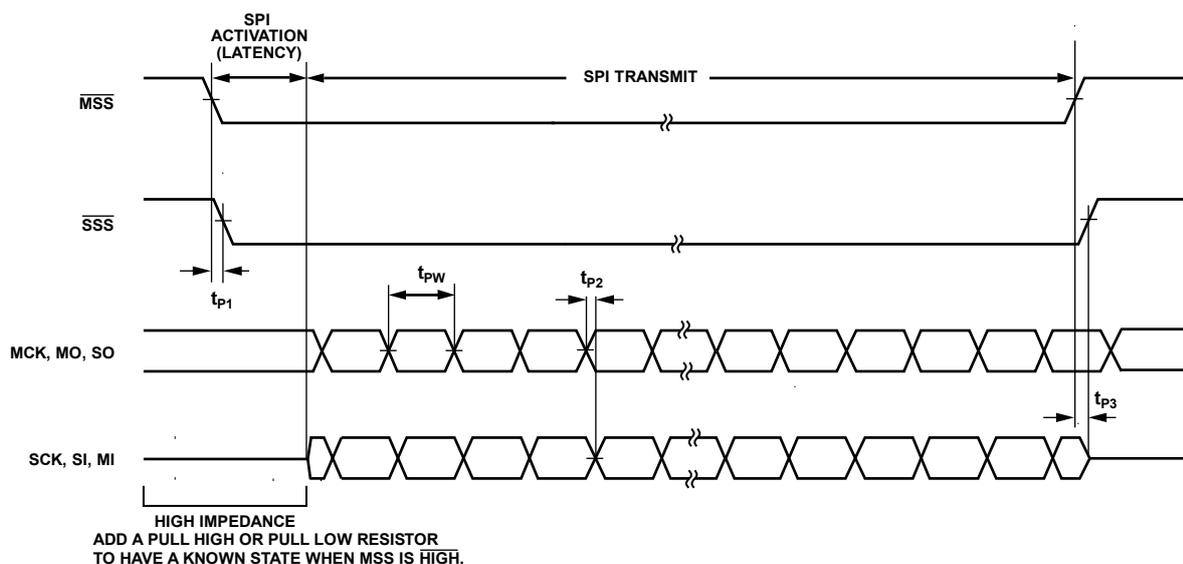


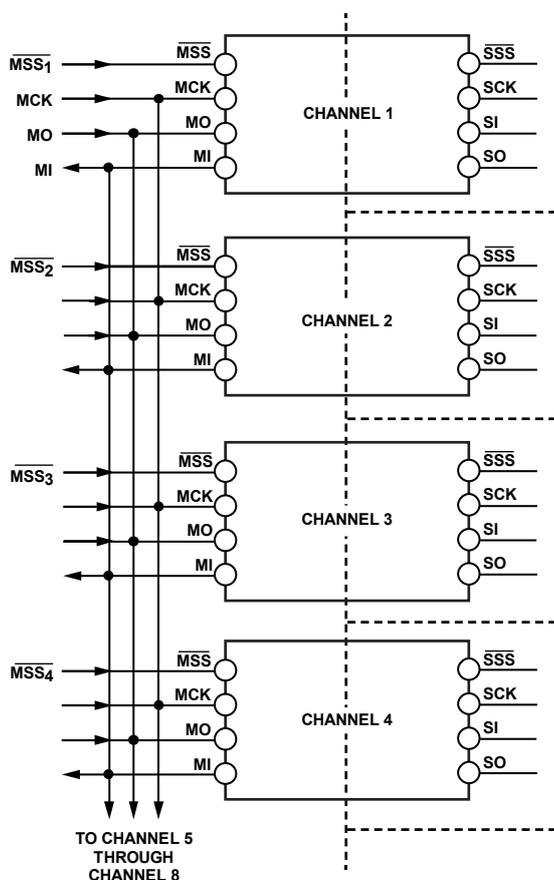
図 69. 高速データ絶縁チャンネルのゲート制御



LATENCY = $\overline{\text{MSS}}$ FALLING EDGE TO SCK, SI, MI STARTS SENDING DATA (EXIT TO HIGH IMPEDANCE MODE).
 t_{PW} = MCK, MO, SO PULSE WIDTH.
 t_{P1} = $\overline{\text{MSS}}$ TO $\overline{\text{SSS}}$ PROPAGATION DELAY.
 t_{P2} = MCK TO SCK, MO TO SI, SO TO MI PROPAGATION DELAY.
 t_{P3} = $\overline{\text{MSS}}$ RISING EDGE TO SCK, SI, MI RETURN TO HIGH IMPEDANCE STATE. SAME AS t_{P1} .

20383-064

図 70. SPI アイソレータのタイミング図



20383-065

図 71. マルチチャンネル SPI のミキシング方式

MI、SCK、および SI の出力は、 $\overline{\text{MSS}}$ がハイのときはトライステートになります（表 14 を参照）。これにより、マルチチャンネル・システムのより柔軟な設計が可能となり、MI を外部でマルチプレクスする必要がなくなります。図 71 に、複数の ADP1032 デバイスからの SPI バスをどのように相互接続できるかを示します。

表 14. SPI $\overline{\text{MSS}}$ のゲーティング

Parameter	$\overline{\text{MSS}}$ High	$\overline{\text{MSS}}$ Low
$\overline{\text{SSS}}$	High	Low
SCK	Tristate	MCK
SI	Tristate	MO
MI	Tristate	SO

プルアップまたはプルダウン抵抗を MI、SCK、および SI に接続し、 $\overline{\text{MSS}}$ がハイのときにこれらのピンを希望のロジック・ステートにすることができます。

GPIO データ・チャンネル

汎用データ・チャンネルは、タイミングが重要でない用途向けの省スペース型の絶縁データバスとして用意されています。(デバイスの指定された側にある) 全ての低速汎用入力の DC 値が同時にサンプリングされてパケット化され、1 つの絶縁コイルでシフトされます。次にこのプロセスを逆にして、デバイスの反対側の入力を読み出され、パケット化され、同様の処理の

ために返信されます。このプロセスはサンプリングに基づいているため、汎用データ・チャンネルは、19.5 μ s のピーク・ジッタに相当するサンプリングの不確か性を示します。

GPIO チャンネルの正常な動作については、表 15 を参照してください。MVDD ピンと SVDD2 ピンの規定入力電圧範囲内で、これら両方のピンに電力を供給します。

表 15. GPIO チャンネルの真理値表

MVDD State	SVDD2 State	xGPIOx	MGPOx	SGPOx	Test Conditions/Comments
Unpowered	Powered	Don't care	Low	Low	During startup
Powered	Unpowered	Don't care	Low	Low	During startup
Powered	Powered	High	High	High	Normal operation
Powered	Powered	Low	Low	Low	Normal operation
Powered	Powered to Unpowered	Don't care	Hold ¹	Low	
Powered to Unpowered	Powered	Don't care	Low	Hold ¹	

¹ Hold とは、出力の電流状態が保持されることを意味します。

アプリケーション情報

部品の選択

帰還抵抗

ADP1032 は、フライバック・レギュレータの可変出力電圧を供給します。出力電圧は外付け抵抗分圧器によって設定しますが、この分圧器出力は、該当する帰還リファレンス電圧 V_{FB1} と等しくする必要があります。帰還バイアス電流による出力電圧の精度低下を制限するため、分圧器を流れる電流は I_{FB1} の 10 倍以上になるようにしてください。推奨される第 1 帰還抵抗 (R_{FB1}) の値は $50k\Omega \sim 250k\Omega$ の範囲内であり、その目的はバイアス電流による出力電圧の誤差を最小限に抑えることと、帰還抵抗での消費電力を低減することです。固定出力バージョンは帰還抵抗が既にチップに組み込まれているため、外付けの帰還抵抗は不要です。

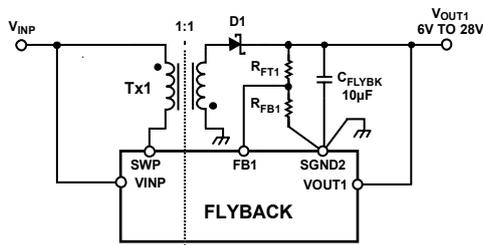


図 72. フライバック・レギュレータの出力電圧の設定

次式を使用してフライバック・レギュレータの正出力を設定します。

$$V_{OUT1} = V_{FB1} \times (1 + (R_{FT1}/R_{FB1}))$$

ここで、
 V_{OUT1} はフライバック・レギュレータの出力電圧。
 V_{FB1} はフライバック・レギュレータの帰還電圧。
 R_{FT1} は V_{OUT1} と $FB1$ の間の帰還抵抗。
 R_{FB1} は $FB1$ と $SGND2$ の間の帰還抵抗。
 逆に、ターゲットとなる V_{OUT1} の上側抵抗の値は、次式により計算します。

$$R_{FT1} = R_{FB1} \times ((V_{OUT1}/V_{FB1}) - 1)$$

表 16. 推奨帰還抵抗値

Desired Output Voltage (V)	Flyback Regulator		
	R_{FT1} (M Ω)	R_{FB1} (k Ω)	Calculated Output Voltage (V)
6	0.715	110	6.000
9	1.24	121	8.998
12	1.54	110	12.000
15	2.15	121	15.015
24	3.48	120	24.000
28	3.4	100	28.000

コンデンサの選択

出力コンデンサの値を大きくすると、出力電圧リップルが減少して負荷過渡応答が改善されます。この値を選ぶ時は、出力電圧の DC バイアスによる容量損失を考慮することも重要です。セラミック・コンデンサは、温度や印加する電圧に対して異なる動作を示す、様々な誘電体で製造されています。必要な温度範囲と DC バイアス条件に対して最小容量を確保するため、適切な誘電体を使用したコンデンサを選ぶ必要があります。最大限の性能を得るには、電圧定格が $25V \sim 50V$ (出力に応じて選択) の X5R または X7R 誘電体を推奨します。Y5V および Z5U 誘電体は温度特性と DC バイアス特性に劣るので、DC/DC コンバータに使用することは推奨できません。温度、部品公差、電圧による容量の変動を考慮に入れ、以下の式を使って最も厳しい条件の容量を計算してください。

$$C_{EFFECTIVE} = C_{NOMINAL} \times (1 - TEMPCO) \times (1 - DCBIASCO) \times (1 - Tolerance)$$

ここで、
 $C_{EFFECTIVE}$ は動作電圧における実効容量。
 $C_{NOMINAL}$ はこのデータシートに記載された公称容量。
 $TEMPCO$ は最も厳しい条件のコンデンサ温度係数。
 $DCBIASCO$ は出力電圧における DC バイアス・ディレーティング。

$Tolerance$ は最も厳しい条件の部品許容誤差。
 デバイスの性能を確保するには、DC バイアス、温度、許容誤差がコンデンサの動作におよぼす影響をアプリケーションごとに評価することが不可欠です。
 電圧リップルを最小限に抑えるには、等価直列抵抗 (ESR) と等価直列インダクタンス (ESL) の小さいものが適しています。

フライバック・レギュレータの部品の選択

入力コンデンサ

V_{INP} ピンとグラウンドの間に入力コンデンサを接続する必要があります。全温度範囲および全電圧範囲で $3.3\mu F$ 以上のセラミック・コンデンサを推奨します。入力コンデンサにより、スイッチング電流によって生じる入力電圧リップルが減少します。入力コンデンサは V_{INP} ピンと $PGNDP$ ピンのできるだけ近くに配置して、入力電圧スパイクを小さくします。入力コンデンサの定格電圧は、最大入力電圧よりも大きくする必要があります。

出力コンデンサ

出力コンデンサの値を大きくすると、出力電圧リップルが減少して負荷過渡応答が改善されます。この値を選ぶ時は、出力電圧の DC バイアスによる容量損失を考慮することも重要です。性能とサイズのバランスが取れた $10\mu F$ のコンデンサを推奨します。

リップル電流とコンデンサの値の関係

出力コンデンサの値は、出力電圧リップルが最小限に抑えられるように選択する必要がありますが、コンデンサの値を大きくするとサイズとコストが増えることも考慮に入れる必要があります。出力容量は次式を使用して計算します。

$$C_{OUT} = (L_{PRI} \times I_{SWP}^2) / (2 \times V_{OUT1} \times \Delta V_{OUT1})$$

ここで、

C_{OUT} はフライバック・レギュレータの出力コンデンサの容量。

L_{PRI} はトランスの 1 次側インダクタンス。

I_{SWP} はスイッチのピーク電流。

ΔV_{OUT1} はフライバック・レギュレータの許容出力リップル。

ショットキー・ダイオード

整流ダイオード D1 には、低接合容量のショットキー・ダイオードを推奨します。出力電圧やスイッチング周波数が高い場合は接合容量が効率に大きく影響しますが、特に高スイッチング周波数ではその傾向が顕著です。出力ダイオードには、順方向電流の定格 (I_F) が最大負荷条件より大きく、逆方向電圧の定格 (V_R) が最大電源電圧 ($V_{INP(MAX)}$) と最大出力電圧 ($V_{OUT1(MAX)}$) の和より大きいものを選択してください。

トランス

ADP1032 と組み合わせて使用されるトランスは、システム内の重要な部品であり、効率と最大出力電力に大きな影響を与えます。トランスの設計情報を表 17 に示します。ADP1032 と組み合わせて使用するトランスを設計する際は、多くの要因を考慮に入れる必要があります。

巻数比

ADP1032 が正常に起動するには、1 次側と 2 次側の巻数比が 1:1 のトランスを使用する必要があります。

1 次側インダクタンス

ADP1032 はインダクタンスが $80\mu\text{H} \sim 560\mu\text{H}$ の範囲のトランスで動作しますが、制御ループの安定性を維持するために、フライバック・レギュレータの出力電圧 (V_{OUT1}) をトランスの 1 次側インダクタンスで割った値が 140,000 以下になるようなインダクタンス値を選ぶことを推奨します。

$$V_{OUT1} / L_{PRI} \leq 140,000$$

インダクタンス範囲の下限のトランスを使用すると、トランスのサイズは小さくできますが、トランスを流れるリップル電流が大きくなり、出力電力は減少します。逆に言うと、大きなインダクタンスで動作させると、出力電力は大きくなりますが、代償としてトランスのサイズが大きくなる可能性があります。

フライバック・トランスの飽和電流

動作中にトランスの飽和電流を超えないようにしてください。トランスの飽和電流を超えると、損失が大きくなり、全体的なシステム効率が大きく低下します。トランスには、全ライン条件および負荷条件で予想されるピーク・スイッチ電流 (I_{SWP}) より飽和電流定格が大きいものを選択してください。

直列巻線抵抗

電力損失の影響を受けやすいアプリケーションでは、1 次巻線と 2 次巻線の直列抵抗をできるだけ小さく抑えて、全体的な効率を向上させます。

漏れインダクタンスとクランプ回路

ADP1032 と組み合わせて動作するトランスには、できるだけ漏れインダクタンスが小さいものを選択します。出力に転換しないエネルギーが漏れインダクタンスに蓄積されると、フライバック・レギュレータ・スイッチがオフのとき、SWP ノードに電圧スパイクが現れる原因になります。電圧スパイクは、負荷電流が大きいほど顕著になり、漏れインダクタンスが大きいほど増加します。SWP ピンを駆動するフライバック・スイッチの電圧定格よりも電圧スパイクを低く抑えることが重要です。フライバック・スイッチ保護用のクランプ回路またはスナバ回路を使用しない場合は、この制限を超えないようなマージンを組み込んで設計する必要があります。

スイッチがオフになったときに SWP ピンに発生する電圧スパイクのピークを推定するには、次式を使用します。

$$V_{PEAK} = I_{PEAK} \times (L_{LEAK} / (C_P + C_{SWP}))^{1/2} + V_{INP} + V_{OUT1} + V_D$$

ここで、

V_{PEAK} は電圧スパイクの大きさ。

I_{PEAK} はフライバック・スイッチのピーク電流。

L_{LEAK} はトランスの漏れインダクタンス。

C_P はトランスの寄生容量。

C_{SWP} はフライバック・スイッチの容量。

V_{INP} は入力電源電圧。

V_D は整流器ダイオードの順方向電圧降下。

アプリケーションの条件に対して漏れインダクタンスが大きすぎる場合は、スナバ回路またはクランプ回路を使用してフライバック・スイッチを保護できます。クランプ回路の 2 つの一般的なタイプは、図 73 に示す抵抗、コンデンサ、ダイオードによるクランプと、図 74 に示すダイオードとツェナー・ダイオードによるクランプです。抵抗、コンデンサ、ダイオードによるクランプは、電圧スパイクを素早く減衰させて EMI 性能を向上させます。ダイオードとツェナー・ダイオードによるクランプは、安定したクランプ・レベルを厳密に定義する必要がある場合に使用します。ダイオードとツェナー・ダイオードによるクランプは、抵抗、コンデンサ、ダイオードによるクランプより若干高い電力効率が得られます。ただし、ダイオードとツェナー・ダイオードによるクランプのソリューションは、通常は抵抗、コンデンサ、ダイオードによるソリューションよりコスト高になります。

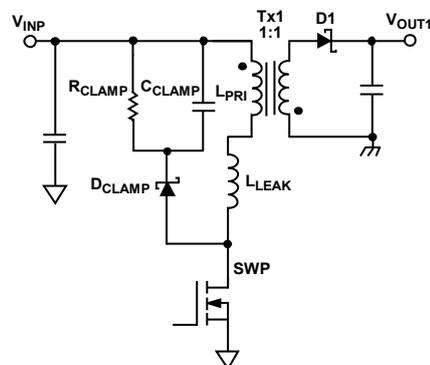


図 73. 抵抗、コンデンサ、ダイオードによるクランプ

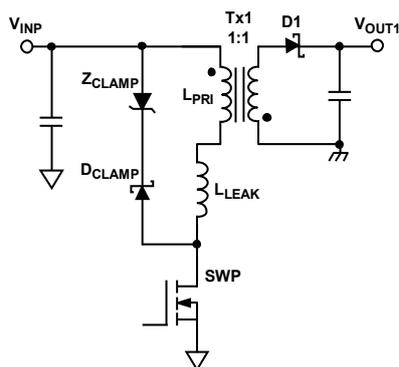


図 74. ダイオードとツェナー・ダイオードによるクランプ

クランプ抵抗

クランプ抵抗 (R_{CLAMP}) の値を計算するには、クランプ電圧 (V_{CLAMP}) を決める必要があります。クランプ電圧とは、フライバック・スイッチ上に発生する電圧スパイクがクランプされる電圧です。 V_{CLAMP} には、次式に示すように、絶対最大定格のセクションで仕様規定されている SWP の最大電圧定格 (SWP_{VMAX}) との間で十分なマージンを確保でき、アプリケーションの最大入力電源電圧 ($V_{INP (MAX)}$) とフライバック・レギュレータの最大出力電圧 ($V_{OUT1 (MAX)}$) の和より大きい値を選択します。

$$SWP_{VMAX} > V_{INP (MAX)} + V_{CLAMP} > V_{INP (MAX)} + V_{OUT1 (MAX)}$$

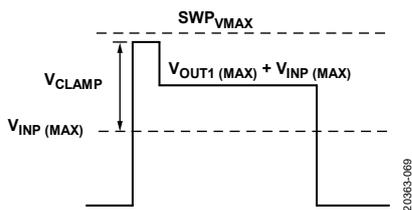


図 75. クランプ波形

次式を使用して、指定された V_{CLAMP} の値に基づいてクランプ抵抗の値を計算します。

$$R_{CLAMP} = (2 \times V_{CLAMP} \times (V_{CLAMP} - V_{OUT1})) / (L_{LEAK} \times I_{PEAK}^2 \times f_{SW})$$

ここで、 f_{SW} はフライバック・レギュレータのスイッチング周波数。

スナバ抵抗の消費電力を計算するには、次式を使います。

$$P_{RCLAMP} = (V_{CLAMP})^2 / (R_{CLAMP})$$

ここで、 P_{RCLAMP} は R_{CLAMP} の消費電力です。この値の約 2 倍の電力定格を持つ R_{CLAMP} を選択し、マージンを確保します。

クランプ・コンデンサ

クランプ・コンデンサ (C_{CLAMP}) を使用して、 V_{CLAMP} に生じる電圧リップルのレベル (V_{RIPPLE}) を最小限に抑えることができます。次式を使用して、希望する V_{RIPPLE} のレベルと計算された R_{CLAMP} に基づいてクランプ・コンデンサの値を計算します。

$$C_{CLAMP} = V_{CLAMP} / (V_{RIPPLE} \times f_{SW} \times R_{CLAMP})$$

ここで、

C_{CLAMP} はクランプ・コンデンサの値。

V_{RIPPLE} は、 V_{CLAMP} に重畳される電圧リップル。 V_{RIPPLE} は、 V_{CLAMP} の約 5%~10% が妥当です。

クランプ・ダイオード

通常はクランプ・ダイオードとしてショットキー・ダイオードを選択するのが最善です。ただし、高速回復ダイオードも使用できます。ダイオードの逆電圧定格は、SWP ピンの最大電圧定格より高くなければなりません。

ダイオードとツェナー・ダイオードによるクランプ

安定したクランプ・レベルを厳密に定義する必要がある場合は、抵抗、コンデンサ、ダイオードによるクランプ上の抵抗とコンデンサ (RC) の回路網をツェナー・ダイオードで置き換えることができます。ツェナー・ダイオードの降伏電圧には、電力損失とスイッチ電圧保護のバランスがとれる値を選択します。ツェナー電圧は次式を使用して計算します。

$$V_{ZENER (MAX)} \leq SWP_{VMAX} - V_{INP (MAX)}$$

ここで、 $V_{ZENER (MAX)}$ は最大ツェナー・ダイオード降伏電圧 (ツェナー電圧)。この電圧は V_{CLAMP} と同じにしてかまいません。

クランプ内の電力損失により、ツェナー・ダイオードの電力条件が決まります。次の式を使用して、ツェナー・ダイオードの消費電力を計算します。

$$P_{ZENER} = (V_{ZENER} \times L_{LEAK} \times I_{PEAK}^2 \times f_{SW}) / (2 \times (V_{ZENER} - V_{OUT1}))$$

ここで、

P_{ZENER} はツェナー・ダイオードの消費電力。この式で計算される値より電力定格が大きいツェナー・ダイオードを選択します。 V_{ZENER} はツェナー・ダイオードの降伏電圧 (ツェナー電圧)。

リップル電流 (I_{AC}) とインダクタンスの関係

リップル電流を計算するには、まず連続導通モードでのデューティ・サイクルを計算します。

$$D_{CCM} = (V_{OUT1} + V_D) / (V_{OUT1} + V_D + V_{INP})$$

ここで、 D_{CCM} はフライバック・スイッチのデューティ・サイクル。

次に、このデューティ・サイクルから、フライバック・スイッチとトランスの 1 次側の I_{AC} を計算します。

$$I_{AC} = (V_{INP} \times D_{CCM}) / (f_{SW} \times L_{PRI})$$

ここで、 I_{AC} はトランスの 1 次側とフライバック・スイッチを流れるリップル電流。

最大出力電流の計算

フライバック・レギュレータの出力から得られる最大出力電力および電流は、レギュレータ内のいくつかの変数によって決まります。これらの変数には、トランスの選択、動作周波数、整流器ダイオードの選択などがあります。フライバック・レギュレータの出力は、 V_{OUT2} を駆動する降圧レギュレータに電力を供給します。次式により、最大出力電力を計算します。

$$P_{VOUT1(MAX)} = 0.5 \times (I_{PEAK}^2 - (I_{PEAK} - I_{AC}/2)^2) \times L_{PRI} \times f_{SW} \times \eta$$

ここで、

$P_{VOUT1(MAX)}$ は V_{OUT1} からの最大出力電力。

η は予想されるフライバック・レギュレータの効率。

I_{PEAK} の最大値は、フライバック・レギュレータの電流制限閾値の下限 ($I_{LIM(FLYBACK)}$) によって制限されます。しかし、このレベルで動作させると、トランスのインダクタンス、効率、フライバック・レギュレータのスイッチング周波数の変動や整流器ダイオードの順方向電圧降下のために、望ましくない電流制限イベントが発生する可能性があるため、このレベルで動作させることは推奨できません。フライバック・レギュレータの負荷が原因で電流制限が作動した場合、出力電圧が予想どおりに安定化されないことがあります。上記の変動に対応するマージンを組み込んだピーク動作電流を選択するか、またはトランスのインダクタンス、効率、ダイオードの順方向電圧降下、およびフライバック・レギュレータのスイッチング周波数について最も厳しい条件を前提として最大出力電力（すなわち出力負荷）を計算することを推奨します。

表 17. トランスの選択

Part Number	Manufacturer	Turns Ratio ¹	Primary		Saturation Current ² (mA)	Leakage Inductance (μH)	Isolation Voltage ³ (V rms)	Size, Length × Width × Height, (mm)
			Inductance (μH)	Resistance (Ω)				
ZA9644-AE	Coilcraft	1:1	470	1.8	490	3.8 maximum	2000	10.92 × 9.25 × 10
750317986R6A	Würth Elektronik	1:1	470	1.27	480	3.5 typical, 7 maximum	1500	10.8 × 13.35 × 9.76
750318257R6A	Würth Elektronik	1:1	470	1.56	550	1.0 typical, 2.0 maximum	1500	16 × 16.8 × 7.62
ZA9384-AL	Coilcraft	1:1	470	1.1	800	4.0	2000	15.3 × 16.5 × 6.7
750318377R6A	Würth Elektronik	1:1	470	1.42	470	0.8 typical, 1.6 maximum	1500	17.78 × 22.35 × 8.89
751318463R6A	Würth Elektronik	1:1	470	1.22	450	0.5 typical, 1.0 maximum	Functional isolation	10.8 × 13.35 × 9.76

¹ 1次コイルと2次コイルの巻数比。

² 初期状態から20%低下したときの値。

³ 1分間。基本絶縁。

表 18. 降圧レギュレータの推奨インダクタ

Part Number	Manufacturer	Inductance (μH)	DC Resistance (Ω)	Saturation Current ¹ (mA)	Size, Length × Width × Height, (mm)
744043101	Würth Elektronik	100	0.55	290	4.8 × 4.8 × 2.8
XFL3012-104MEB	Coilcraft	100	2.63	280	3.2 × 3.2 × 1.3
LQH3NPN101MMEL	Murata	100	1.59	260	3 × 3 × 1.4
SRN3015-101M	Bourns	100	2.92	270	3 × 3 × 1.5
SRU2016-101Y	Bourns	100	4.9	150	2.8 × 2.8 × 1.65
XFL2006-104MEB	Coilcraft	100	11.1	115	2 × 2 × 0.6

¹ インダクタンスが30%低下したときの値。

V_{OUT1} 上の最大負荷電流は次式により計算します。

$$I_{VOUT1(MAX)} = P_{VOUT1(MAX)}/V_{OUT1}$$

ここで、 $I_{VOUT1(MAX)}$ は V_{OUT1} からの最大出力電流。

降圧レギュレータの部品の選択

インダクタ

ADP1032 の降圧レギュレータ用インダクタの値は、効率と出力電圧リップルに影響を与えます。インダクタの値が大きいほど、通常は効率が向上します。ただし、特定のパッケージ・サイズでは負荷が大きくなるにつれて、DC 抵抗 (DCR) とコア損失が効率に悪影響を及ぼすようになります。小さい値のインダクタを使用すると、出力電圧リップルは小さくなりますが、スイッチング損失の増加のために全体的な効率が低下する可能性があります。

出力コンデンサ

出力コンデンサの選択は、レギュレータの出力リップル電圧、ステップ状の負荷過渡応答、およびループの安定性に影響を与えます。性能とサイズのバランスがとれる 4.7 μF のコンデンサを推奨しますが、コンデンサの容量を増やすと出力リップルは減少します。

絶縁寿命

すべての絶縁構造は、充分長い時間にわたり電圧ストレスを加えると、最終的には破壊されます。絶縁性能の低下率は、絶縁体に加える電圧波形の特性だけでなく、材料自体や材料の境界面にも依存します。

絶縁劣化には、空気にさらされる表面に沿った破壊と絶縁疲労という注目すべき 2 つのタイプがあります。表面の破損は表面トラッキング現象で、システム・レベルの規格に定められた沿面距離条件を決定する主要な要素となります。絶縁疲労とは、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長時間にわたり絶縁の劣化が生じる現象です。

表面トラッキング

表面トラッキングは電気安全規格に規定されており、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離を定めることによって決定されます。安全性規制当局は、部品の表面絶縁について特性評価テストを行います。これにより、部品を異なる材料グループに分類することができます。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、小さい沿面距離で十分に長い寿命を実現できます。特定の動作電圧と材料グループに対する最小沿面距離は、各システム・レベル規格の範囲内にあります。この値は、絶縁をまたぐ合計実効値電圧、汚染度、材料グループに基づいています。ADP1032 アイソレータの材料グループと沿面距離を表 5 に示します。

絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であることを確認することが重要です。アイソレータがサポートしている耐疲労動作電圧は、耐トラッキング動作電圧と異なる場合があります。トラッキングに該当する動作電圧は、ほとんどの規格で仕様規定されています。

テストとモデリングにより、長期間にわたる性能低下の主な要因は、増分型損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体にかかるストレスは、DC ストレスや、AC 成分の時間と共に変化する電圧ストレスに大別できます。前者の場合は変位電流が存在しないため、ほとんど疲労が発生しませんが、後者の場合は疲労が発生します。

通常、認定文書に記載されている定格は、60Hz のサイン波ストレスに基づいています。このストレスには、ライン電圧からの絶縁が反映されることが理由です。ただし、多くの実用的なアプリケーションでは、バリアをまたぐ 60Hz の AC 電圧と DC 電圧の組み合わせが使用されます (式 1 を参照)。ストレスの AC 部分のみが疲労を発生させるため、式 1 を変形して AC 実効値電圧を求めることができます (式 2 を参照)。これらの製品で使用されるポリイミド材料の絶縁疲労については、AC 実効値電圧が製品寿命を決定します。

$$V_{RMS} = \sqrt{V_{ACRMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{ACRMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

V_{ACRMS} は、動作電圧の時間と共に変化する部分。

V_{RMS} は、合計実効値動作電圧。

V_{DC} は、動作電圧の DC オフセット。

計算とパラメータ使用の例

一般的な電力変換アプリケーションの例を以下に示します。絶縁バリアの一方に AC 実効値が 240V のライン電圧が存在し、他方に 400V dc のバス電圧が存在するとします。絶縁材料はポリイミドです。デバイスの沿面距離、間隙、寿命を判断するために臨界電圧を求める場合は、図 76 と以降の数式を参照してください。

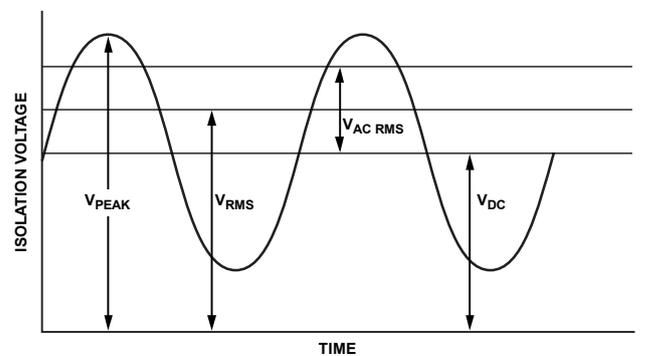


図 76. 臨界電圧の例

式 1 のバリアの両端にかかる動作電圧は次のようになります。

$$V_{RMS} = \sqrt{V_{ACRMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466V$$

この V_{RMS} は、システムの規格で要求されている沿面距離を求める際に材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が十分かどうかを判断するには、動作電圧の時間と共に変化する部分を求めます。AC 実効値電圧を求めるには、式 2 を使用します。

$$V_{ACRMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{ACRMS} = \sqrt{466^2 - 400^2}$$

$$V_{ACRMS} = 240V \text{ rms}$$

この場合、AC 実効値電圧は 240V rms のライン電圧です。この計算は、波形がサイン波でない場合は更に精度が向上します。表 9 の動作電圧の制限値とこの値を比較して期待寿命を確認すると、60Hz のサイン波の値よりも低く、20 年の運用寿命規定を十分に満たしていることがわかります。

DC 動作電圧の制限値は、IEC 60664-1 で規定されているパッケージの沿面距離によって定められています。この値は、特定のシステム・レベル規格と異なる場合があります。

熱解析

熱解析では ADP1032 のダイを 1 つのサーマル・ユニットとして扱い、最高ジャンクション温度には表 8 の θ_{JA} の値を反映さ

せませす。 θ_{JA} の値は、細かいパターンを使った JEDEC 規格の 4 層ボードにデバイスを実装し、自然空冷で測定した値に基づいています。通常の動作条件では、ADP1032 は出力電流をディレーティングすることなく、全温度範囲にわたって最大負荷で動作します。ただし、PCB レイアウトに関する検討事項のセクションの推奨事項に従って PCB への熱抵抗を低減すると、高い周囲温度での熱マージンを拡大できます。ADP1032 の各スイッチング・レギュレータは、ダイの温度が約 150°C に達したときに DC/DC コンバータと出力をオフにするサーマル・シャットダウン回路を備えています。ダイの温度が約 135°C より低くなると、ADP1032 の DC/DC コンバータの出力は再びオンになります。

代表的なアプリケーション回路

図 77 に代表的なアプリケーション回路を示します。

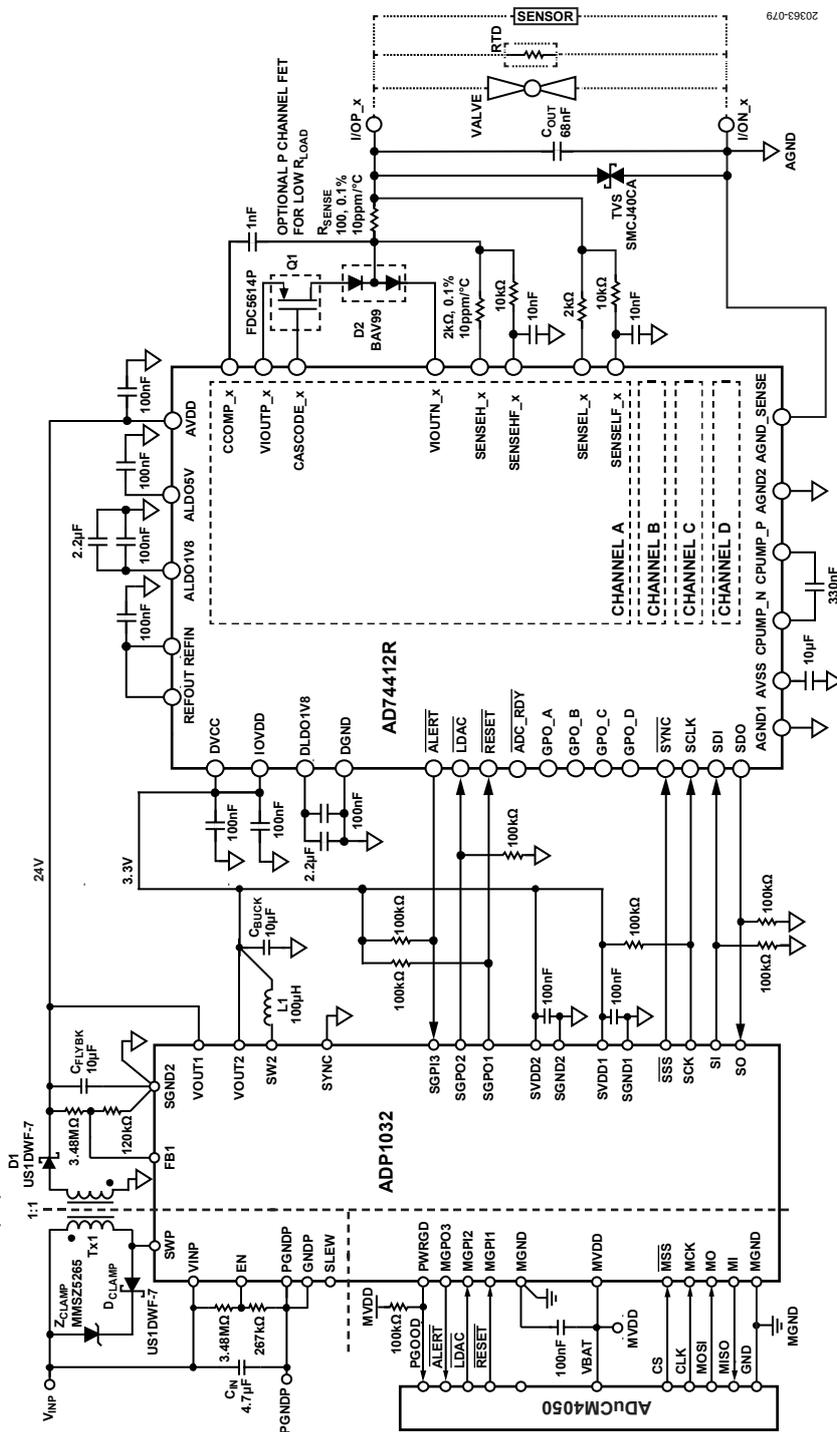


図 77. 代表的なアプリケーション回路

PCBレイアウトに関する検討事項

最適な効率、適切なレギュレーション、優れた安定性、低ノイズを実現するには、PCBレイアウトの適切な設計が必要です。PCBの設計時は以下のガイドラインに従ってください。

- 入力バイパス・コンデンサ (C_{IN}) は、VINP ピンと PGNDP ピンの近くに配置します。
- 大電流スイッチング経路はできるだけ短くします。これらの経路には、以下の部品と場所の間の接続が含まれます。
 - C_{IN} 、VINP ピン、トランスの 1 次巻線、および PGNDP ピン
 - VOUT1 ピン、 C_{FLYBK} 、ダイオード 1 (D1)、トランスの 2 次巻線、および SGND2 ピン
 - VOUT2 ピン、SW2 ピン、インダクタンス 1 (L1)、 C_{BUCK} 、および SGND2 ピン
- 大電流パターンは、スパイクや EMI を発生させる寄生直列インダクタンスを最小限に抑えるために、できるだけ短く、幅を広くしてください。
- SWP ピンと SW2 ピンに接続するノードの近くや、L1 インダクタおよび T1 トランスの近くには高インピーダンスのパターンを配線しないようにして、放射スイッチング・ノイズの混入を防ぎます。
- 帰還抵抗を FB1 ピンのできるだけ近くに配置して、高周波スイッチング・ノイズの混入を防ぎます。
- EMI を最小限に抑えるため、以下の対策を実施します。
 - MVDD のデカップリング・コンデンサ (C1) を、MVDD ピン (39 番ピン) と MGND ピン (3 番ピン) のできるだけ近くに配置します。

- SVDD1 のデカップリング・コンデンサ (C3) を、SVDD1 ピン (10 番ピン) と SGND1 ピン (5 番ピン) のできるだけ近くに配置します。
- SVDD2 のデカップリング・コンデンサ (C7) を、SVDD2 ピン (20 番ピン) と SGND2 ピン (16 番ピン) のできるだけ近くに配置します。

図 78 に、EMI を最小限に抑えるための ADP1032 の最上層の推奨レイアウトを示します。

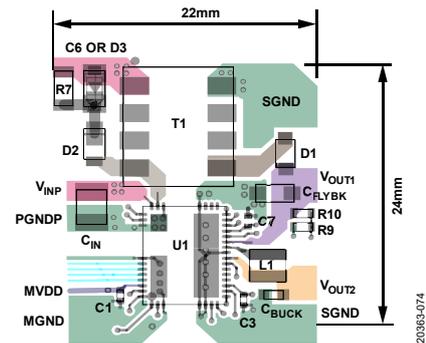


図 78. 最上層の推奨レイアウト

外形寸法

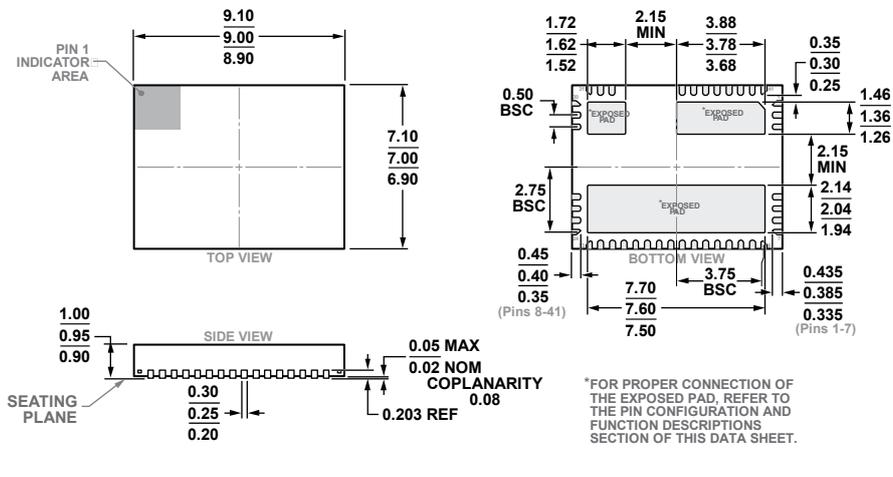


図 79. 41ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 9mm × 7mm ボディ、0.95mm パッケージ高
 (CP-41-1)
 寸法単位：mm

オーダー・ガイド

Model ¹	V _{OUT1} ²	V _{OUT2}	Temperature Range	Package Description	Package Option
ADP1032ACPZ-1-R7	Adjustable	5.15 V	-40°C to +125°C	41-Lead Lead Frame Chip Scale Package [LFCSP]	CP-41-1
ADP1032ACPZ-2-R7	Adjustable	5 V	-40°C to +125°C	41-Lead Lead Frame Chip Scale Package [LFCSP]	CP-41-1
ADP1032ACPZ-3-R7	Adjustable	3.3 V	-40°C to +125°C	41-Lead Lead Frame Chip Scale Package [LFCSP]	CP-41-1
ADP1032ACPZ-4-R7	24 V	5 V	-40°C to +125°C	41-Lead Lead Frame Chip Scale Package [LFCSP]	CP-41-1
ADP1032ACPZ-5-R7	24 V	3.3 V	-40°C to +125°C	41-Lead Lead Frame Chip Scale Package [LFCSP]	CP-41-1
ADP1032CP-1-EVALZ	Adjustable	5.15 V		Evaluation Board for the ADP1032ACPZ-1	
ADP1032CP-2-EVALZ	Adjustable	5 V		Evaluation Board for the ADP1032ACPZ-2	
ADP1032CP-3-EVALZ	Adjustable	3.3 V		Evaluation Board for the ADP1032ACPZ-3	
ADP1032CP-4-EVALZ	24 V	5 V		Evaluation Board for the ADP1032ACPZ-4	
ADP1032CP-5-EVALZ	24 V	3.3 V		Evaluation Board for the ADP1032ACPZ-5	

¹ Z = RoHS 準拠製品

² その他の V_{OUT1} 電圧オプションの詳細については、弊社または弊社代理店にお問い合わせください。