



# オン抵抗 13.5 Ω、±20 V/+36 V 電源 対応、マルチプレクサ構成可能な SPI インターフェース対応の オクタール SPST スイッチ

データシート

ADGS5414

## 特長

- エラー検出機能付き SPI インターフェース  
CRC エラー検出、無効な読出し/書き込みアドレスの  
検出、SCLK カウント・エラー検出
- バースト・モードとデジチェーン・モードをサポート  
業界標準となっている SPI のモード 0 およびモード 3 イン  
ターフェースに対応
- ブレークビフォアメークのスイッチング動作が確保されてい  
るため、スイッチを外部で配線することによりマルチプレクサ  
構成が可能
- アナログ信号範囲:  $V_{SS} \sim V_{DD}$   
±15 V、±20 V、+12 V、+36 V の電源で仕様規定
- 単電源動作: 9 V ~ 40 V ( $V_{DD}$ )
- 両電源動作: ±9 V ~ ±22 V ( $V_{DD}/V_{SS}$ )
- 8 kV の HBM ESD 定格
- 低いオン抵抗
- 1.8 V ロジックとの互換性 ( $2.7 V \leq V_L \leq 3.3 V$ )

## アプリケーション

- リレーからの置き換え
- ATE (自動試験装置)
- データ・アキュジション
- 計測器
- 航空電子機器
- オーディオ/ビデオでのスイッチング
- 通信システム

## 概要

ADGS5414 は 8 つの独立した単極/単投 (SPST) スイッチを内蔵しています。スイッチは、SPI インターフェースによって制御されます。SPI インターフェースは、巡回冗長性チェック (CRC) エラーの検出、無効な読出し/書き込みアドレスのエラーの検出、SCLK カウント・エラーの検出など、強力なエラー検出機能を備えています。

複数の ADGS5414 デバイスをデジチェーン接続できます。デジチェーン・モードでは、最小限のデジタル・ラインで複数のデバイスを構成できます。さらに、ADGS5414 をバースト・モードで動作させて、SPI コマンド間の間隔を短縮することも可能です。

各スイッチはオンのとき、両方向に等しく信号を伝達します。各スイッチの入力信号範囲は電源電圧まで達します。スイッチがオフ状態のときは、電源電圧までの信号レベルがブロックされます。

オン抵抗のプロファイルは、アナログ入力範囲全体にわたって平坦なので、オーディオ信号の切り替え時にも優れた直線性と低歪みが確保されます。ADGS5414 はブレークビフォアメークのスイッチング動作を示すので、外部配線によりデバイスをマルチプレクサとして使用できます。

## 機能ブロック図

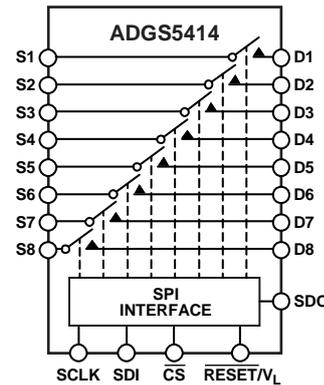


図 1.

## 製品のハイライト

- SPI インターフェースにより、パラレル変換やロジック・パターンの必要がなくなり、汎用入出力 (GPIO) チャンネル数を削減します。
- デジチェーン・モードにより、複数のデバイスを使用する場合にロジック・パターンを追加する必要がありません。
- CRC エラーの検出、無効な読出し/書き込みアドレスのエラーの検出、SCLK カウント・エラーの検出により、強固なデジタル・インターフェースを実現します。
- CRC およびエラー検出機能があるため、安全性が不可欠なシステムに ADGS5414 を使用できます。
- ブレークビフォアメークのスイッチング動作が確保されているため、スイッチを外部で配線することによりマルチプレクサ構成が可能です。
- トレンチ・アイソレーションによるアナログ・スイッチ・セクションがチャンネルをラッチアップから保護します。誘電体トレンチが正チャンネルと負チャンネルのトランジスタを分離するので、厳しい過電圧条件下でもラッチアップを防ぎます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

|                                    |    |                         |    |
|------------------------------------|----|-------------------------|----|
| 特長.....                            | 1  | アドレス・モード.....           | 22 |
| アプリケーション.....                      | 1  | エラー検出機能.....            | 22 |
| 機能ブロック図.....                       | 1  | エラー・フラグ・レジスタのクリア.....   | 23 |
| 概要.....                            | 1  | バースト・モード.....           | 23 |
| 製品のハイライト.....                      | 1  | ソフトウェア・リセット.....        | 23 |
| 改訂履歴.....                          | 2  | デイジーチェーン・モード.....       | 23 |
| 仕様.....                            | 3  | パワーオン・リセット.....         | 24 |
| ±15 V の両電源.....                    | 3  | ブレイクビフォアメークのスイッチング..... | 25 |
| ±20 V の両電源.....                    | 5  | トレンチ・アイソレーション.....      | 25 |
| 12 V の単電源.....                     | 7  | アプリケーション情報.....         | 26 |
| 36 V の単電源.....                     | 9  | 電源レール.....              | 26 |
| チャンネルごとの連続電流 (Sx ピンまたは Dx ピン)..... | 11 | 電源の推奨事項.....            | 26 |
| タイミング仕様.....                       | 11 | レジスタの一覧.....            | 27 |
| 絶対最大定格.....                        | 13 | レジスタの詳細.....            | 28 |
| 熱抵抗.....                           | 13 | スイッチ・データ・レジスタ.....      | 28 |
| ESD に関する注意.....                    | 13 | エラー設定レジスタ.....          | 28 |
| ピン配置およびピン機能の説明.....                | 14 | エラー・フラグ・レジスタ.....       | 29 |
| 代表的な性能特性.....                      | 15 | バースト・イネーブル・レジスタ.....    | 29 |
| 試験回路.....                          | 19 | ソフトウェア・リセット・レジスタ.....   | 29 |
| 用語の定義.....                         | 21 | 外形寸法.....               | 30 |
| 動作原理.....                          | 22 | オーダー・ガイド.....           | 30 |

## 改訂履歴

10/2017—Revision 0: Initial Version

## 仕様

## ±15 V の両電源

特に指定のない限り、デジタル・ロジック電圧 ( $V_{DD}$ ) = +15 V ± 10 %、負電源電圧 ( $V_{SS}$ ) = -15 V ± 10 %、正側電源電圧 ( $V_L$ ) = 2.7 V ~ 5.5 V、GND = 0 V。

表 1.

| Parameter  | +25°C | -40°C to +85°C | -40°C to +125°C      | Unit   | Test Conditions/Comments   |
|--|-------|----------------|----------------------|--------|--|
| <b>ANALOG SWITCH</b>                                   |       |                |                      |        |  |
| Analog Signal Range                                    |       |                | $V_{DD}$ to $V_{SS}$ | V      |  |
| On Resistance, $R_{ON}$                                | 13.5  |                |                      | Ω typ  | Source voltage ( $V_S$ ) = ±10 V, $I_S$ = -10 mA; see Figure 29                          |
| On-Resistance Match Between Channels, $\Delta R_{ON}$  | 15    | 18             | 22                   | Ω max  | $V_{DD}$ = +13.5 V, $V_{SS}$ = -13.5 V   |
|  | 0.3   |                |                      | Ω typ  | $V_S$ = ±10 V, source current ( $I_S$ ) = -10 mA   |
| On-Resistance Flatness, $R_{FLAT(ON)}$                 | 0.8   | 1.3            | 1.4                  | Ω max  |  |
|  | 1.8   |                |                      | Ω typ  | $V_S$ = ±10 V, $I_S$ = -10 mA  |
|  | 2.2   | 2.6            | 3                    | Ω max  |  |
| <b>LEAKAGE CURRENTS</b>                                |       |                |                      |        |  |
| Source Off Leakage, $I_S$ (Off)                        | ±0.1  |                |                      | nA typ | $V_{DD}$ = +16.5 V, $V_{SS}$ = -16.5 V<br>$V_S$ = ±10 V, $V_D$ = ±10 V;<br>see Figure 32 |
| Drain Off Leakage, $I_D$ (Off)                         | ±0.25 | ±1             | ±7                   | nA max |  |
|  | ±0.1  |                |                      | nA typ | $V_S$ = ±10 V, $V_D$ = ±10 V;<br>see Figure 32   |
| Channel On Leakage, $I_D$ (On), $I_S$ (On)             | ±0.25 | ±1             | ±7                   | nA max |  |
|  | ±0.15 |                |                      | nA typ | $V_S$ = $V_D$ = ±10 V; see Figure 28   |
|  | ±0.4  | ±2             | ±14                  | nA max |  |
| <b>DIGITAL OUTPUT</b>                                  |       |                |                      |        |  |
| Output Voltage   |       |                |                      |        |  |
| Low, $V_{OL}$  |       |                | 0.4                  | V max  | Sink current ( $I_{SINK}$ ) = 5 mA   |
| Output Current, Low ( $I_{OL}$ ) or High ( $I_{OH}$ )  | 0.001 |                | 0.2                  | V max  | $I_{SINK}$ = 1 mA  |
|  |       |                |                      | μA typ | Output voltage ( $V_{OUT}$ ) = ground<br>voltage ( $V_{GND}$ ) or $V_L$                  |
| Digital Output Capacitance, $C_{OUT}$                  | 4     |                | ±0.1                 | μA max |  |
|  |       |                |                      | pF typ |  |
| <b>DIGITAL INPUTS</b>                                  |       |                |                      |        |  |
| Input Voltage  |       |                |                      |        |  |
| High, $V_{INH}$  |       |                | 2                    | V min  | 3.3 V < $V_L$ ≤ 5.5 V  |
| Low, $V_{INL}$   |       |                | 1.35                 | V min  | 2.7 V ≤ $V_L$ < 3.3 V  |
| Input Current, Low ( $I_{INL}$ ) or High ( $I_{INH}$ ) | 0.001 |                | 0.8                  | V max  | 3.3 V < $V_L$ ≤ 5.5 V  |
|  |       |                | 0.8                  | V max  | 2.7 V ≤ $V_L$ < 3.3 V  |
| Digital Input Capacitance, $C_{IN}$                    | 4     |                | ±0.1                 | μA typ | $V_{IN}$ = $V_{GND}$ or $V_L$  |
|  |       |                |                      | μA max |  |
|  |       |                |                      | pF typ |  |
| <b>DYNAMIC CHARACTERISTICS</b>                         |       |                |                      |        |  |
| $t_{ON}$   | 410   |                |                      | ns typ | Load resistance ( $R_L$ ) = 300 Ω, load<br>capacitance ( $C_L$ ) = 35 pF                 |
|  | 420   | 515            | 515                  | ns max | $V_S$ = 10 V; see Figure 37  |
| $t_{OFF}$  | 135   |                |                      | ns typ | $R_L$ = 300 Ω, $C_L$ = 35 pF   |
| Break-Before-Make Time Delay, $t_D$                    | 140   | 185            | 195                  | ns max | $V_S$ = 10 V; see Figure 37  |
|  | 260   |                |                      | ns typ | $R_L$ = 300 Ω, $C_L$ = 35 pF   |
| Charge Injection, $Q_{INJ}$                            | 250   |                | 210                  | ns min | $V_{S1}$ = $V_{S2}$ = 10 V; see Figure 36  |
|  | 125   |                |                      | pC typ | $V_S$ = 0 V, $R_S$ = 0 Ω, $C_L$ = 1 nF;<br>see Figure 38                                 |

| Parameter                                   | +25°C | -40°C to +85°C | -40°C to +125°C | Unit        | Test Conditions/Comments   |
|---|-------|----------------|-----------------|-------------|--|
| Off Isolation                               | -60   |                |                 | dB typ      | $R_L = 50 \Omega$ , $C_L = 5$ pF, frequency (f) = 1 MHz; see Figure 32 |
| Channel to Channel Crosstalk                | -75   |                |                 | dB typ      | $R_L = 50 \Omega$ , $C_L = 5$ pF, f = 1 MHz; see Figure 30             |
| Total Harmonic Distortion + Noise (THD + N) | 0.01  |                |                 | % typ       | $R_L = 1$ k $\Omega$ , 15 V p-p, f = 20 Hz to 20 kHz; see Figure 33    |
| -3 dB Bandwidth                             | 200   |                |                 | MHz typ     | $R_L = 50 \Omega$ , $C_L = 5$ pF; see Figure 34                        |
| Insertion Loss                              | -0.9  |                |                 | dB typ      | $R_L = 50 \Omega$ , $C_L = 5$ pF, f = 1 MHz; see Figure 34             |
| Source Capacitance ( $C_S$ ) (Off)          | 11    |                |                 | pF typ      | $V_S = 0$ V, f = 1 MHz   |
| Drain Capacitance ( $C_D$ ) (Off)           | 11    |                |                 | pF typ      | $V_S = 0$ V, f = 1 MHz   |
| $C_D$ (On), $C_S$ (On)                      | 30    |                |                 | pF typ      | $V_S = 0$ V, f = 1 MHz   |
| <b>POWER REQUIREMENTS</b>                   |       |                |                 |             |  |
| Positive Supply Current ( $I_{DD}$ )        | 45    |                |                 | $\mu$ A typ | $V_{DD} = +16.5$ V, $V_{SS} = -16.5$ V<br>All switches open            |
|   |       |                | 70              | $\mu$ A max | All switches open  |
|   | 45    |                |                 | $\mu$ A typ | All switches closed, $V_L = 5.5$ V                                     |
|   |       |                | 70              | $\mu$ A max | All switches closed, $V_L = 5.5$ V                                     |
|   | 310   |                |                 | $\mu$ A typ | All switches closed, $V_L = 2.7$ V                                     |
|   |       |                | 430             | $\mu$ A max | All switches closed, $V_L = 2.7$ V                                     |
| $I_L$                                       |       |                |                 |             |  |
| Inactive                                    | 6.3   |                |                 | $\mu$ A typ | Digital inputs = 0 V or $V_L$  |
|   |       |                | 8.0             | $\mu$ A max |  |
| SCLK = 1 MHz                                | 14    |                |                 | $\mu$ A typ | $\overline{CS}$ and SDI = 0 V or $V_L$ , $V_L = 5$ V                   |
|   | 7     |                |                 | $\mu$ A typ | $\overline{CS}$ and SDI = 0 V or $V_L$ , $V_L = 3$ V                   |
| SCLK = 50 MHz                               | 390   |                |                 | $\mu$ A typ | $\overline{CS} = V_L$ and SDI = 0 V or $V_L$ , $V_L = 5$ V             |
|   | 210   |                |                 | $\mu$ A typ | $\overline{CS} = V_L$ and SDI = 0 V or $V_L$ , $V_L = 3$ V             |
| SDI = 1 MHz                                 | 15    |                |                 | $\mu$ A typ | $\overline{CS}$ and SCLK = 0 V or $V_L$ , $V_L = 5$ V                  |
|   | 7.5   |                |                 | $\mu$ A typ | $\overline{CS}$ and SCLK = 0 V or $V_L$ , $V_L = 3$ V                  |
| SDI = 25 MHz                                | 230   |                |                 | $\mu$ A typ | $\overline{CS}$ and SCLK = 0 V or $V_L$ , $V_L = 5$ V                  |
|   | 120   |                |                 | $\mu$ A typ | $\overline{CS}$ and SCLK = 0 V or $V_L$ , $V_L = 3$ V                  |
| Active at 50 MHz                            | 1.8   |                |                 | mA typ      | Digital inputs toggle between 0 V and $V_L$ , $V_L = 5.5$ V            |
|   |       | 2              | 2.1             | mA max      |  |
|   | 0.7   |                |                 | mA typ      | Digital inputs toggle between 0 V and $V_L$ , $V_L = 2.7$ V            |
| Negative Supply Current ( $I_{SS}$ )        | 0.05  |                |                 | $\mu$ A typ | Digital inputs = 0 V or $V_L$  |
|   |       |                | 1.0             | $\mu$ A max |  |
| Dual-Supply Operation ( $V_{DD}/V_{SS}$ )   |       |                | $\pm 9$         | V min       | GND = 0 V  |
|   |       |                | $\pm 22$        | V max       | GND = 0 V  |

## ±20 V の両電源

特に指定のない限り、 $V_{DD} = +20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 2.

| Parameter  | +25°C      | -40°C to +85°C | -40°C to +125°C      | Unit              | Test Conditions/Comments  |
|--|------------|----------------|----------------------|-------------------|---|
| <b>ANALOG SWITCH</b>                                     |            |                |                      |                   |   |
| Analog Signal Range                                      |            |                | $V_{DD}$ to $V_{SS}$ | V                 |   |
| On Resistance, $R_{ON}$                                  | 12.5       |                |                      | $\Omega$ typ      | $V_S = \pm 15\text{ V}$ , $I_S = -10\text{ mA}$ ;<br>see Figure 29  |
| On-Resistance Match Between Channels,<br>$\Delta R_{ON}$ | 14         | 17             | 21                   | $\Omega$ max      | $V_{DD} = +18\text{ V}$ , $V_{SS} = -18\text{ V}$   |
| On-Resistance Flatness, $R_{FLAT(ON)}$                   | 0.3        |                |                      | $\Omega$ typ      | $V_S = \pm 15\text{ V}$ , $I_S = -10\text{ mA}$   |
|  | 0.8        | 1.3            | 1.4                  | $\Omega$ max      |   |
|  | 2.3        |                |                      | $\Omega$ typ      | $V_S = \pm 15\text{ V}$ , $I_S = -10\text{ mA}$   |
|  | 2.7        | 3.1            | 3.5                  | $\Omega$ max      |   |
| <b>LEAKAGE CURRENTS</b>                                  |            |                |                      |                   |   |
| Source Off Leakage, $I_S$ (Off)                          | $\pm 0.1$  |                |                      | nA typ            | $V_{DD} = +22\text{ V}$ , $V_{SS} = -22\text{ V}$<br>$V_S = \pm 15\text{ V}$ , $V_D = \pm 15\text{ V}$ ;<br>see Figure 32 |
| Drain Off Leakage, $I_D$ (Off)                           | $\pm 0.25$ | $\pm 1$        | $\pm 7$              | nA max            |   |
|  | $\pm 0.1$  |                |                      | nA typ            | $V_S = \pm 15\text{ V}$ , $V_D = \pm 15\text{ V}$ ;<br>see Figure 32  |
| Channel On Leakage, $I_D$ (On), $I_S$ (On)               | $\pm 0.25$ | $\pm 1$        | $\pm 7$              | nA max            |   |
|  | $\pm 0.15$ |                |                      | nA typ            | $V_S = V_D = \pm 15\text{ V}$ ; see Figure 28   |
|  | $\pm 0.4$  | $\pm 2$        | $\pm 14$             | nA max            |   |
| <b>DIGITAL OUTPUT</b>                                    |            |                |                      |                   |   |
| Output Voltage   |            |                |                      |                   |   |
| Low, $V_{OL}$  |            |                | 0.4                  | V max             | $I_{SINK} = 5\text{ mA}$  |
|  |            |                | 0.2                  | V max             | $I_{SINK} = 1\text{ mA}$  |
| Output Current, $I_{OL}$ or $I_{OH}$                     | 0.001      |                |                      | $\mu\text{A}$ typ | $V_{OUT} = V_{GND}$ or $V_L$  |
|  |            |                | $\pm 0.1$            | $\mu\text{A}$ max |   |
| Digital Output Capacitance, $C_{OUT}$                    | 4          |                |                      | pF typ            |   |
| <b>DIGITAL INPUTS</b>                                    |            |                |                      |                   |   |
| Input Voltage  |            |                |                      |                   |   |
| High, $V_{INH}$  |            |                | 2                    | V min             | $3.3\text{ V} < V_L \leq 5.5\text{ V}$  |
|  |            |                | 1.35                 | V min             | $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$   |
| Low, $V_{INL}$   |            |                | 0.8                  | V max             | $3.3\text{ V} < V_L \leq 5.5\text{ V}$  |
|  |            |                | 0.8                  | V max             | $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$   |
| Input Current, $I_{INL}$ or $I_{INH}$                    | 0.001      |                |                      | $\mu\text{A}$ typ | $V_{IN} = V_{GND}$ or $V_L$   |
|  |            |                | $\pm 0.1$            | $\mu\text{A}$ max |   |
| Digital Input Capacitance, $C_{IN}$                      | 4          |                |                      | pF typ            |   |
| <b>DYNAMIC CHARACTERISTICS</b>                           |            |                |                      |                   |   |
| $t_{ON}$   | 410        |                |                      | ns typ            | $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$  |
|  | 418        | 485            | 495                  | ns max            | $V_S = 10\text{ V}$ ; see Figure 37   |
| $t_{OFF}$  | 135        |                |                      | ns typ            | $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$  |
|  | 144        | 185            | 195                  | ns max            | $V_S = 10\text{ V}$ ; see Figure 37   |
| Break-Before-Make Time Delay, $t_D$                      | 255        |                |                      | ns typ            | $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$  |
|  | 245        |                | 205                  | ns min            | $V_{S1} = V_{S2} = 10\text{ V}$ ; see Figure 36   |
| Charge Injection, $Q_{INJ}$                              | 160        |                |                      | pC typ            | $V_S = 0\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ ;<br>see Figure 38   |
| Off Isolation  | -60        |                |                      | dB typ            | $R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; see<br>Figure 34  |
| Channel to Channel Crosstalk                             | -75        |                |                      | dB typ            | $R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ;<br>see Figure 30  |
| (THD + N)  | 0.012      |                |                      | % typ             | $R_L = 1\text{ k}\Omega$ , $20\text{ V p-p}$ , $f = 20\text{ Hz}$ to<br>20 kHz; see Figure 33                             |

| Parameter                                 | +25°C                         | -40°C to +85°C | -40°C to +125°C   | Unit   | Test Conditions/Comments   |
|---|-------------------------------|----------------|-------------------|--|--|
| -3 dB Bandwidth                           | 200                           |                |                   | MHz typ  | $R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ ; see Figure 34                       |
| Insertion Loss                            | -0.8                          |                |                   | dB typ   | $R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ ; see Figure 34 |
| $C_S$ (Off)                               | 11                            |                |                   | pF typ   | $V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$                                      |
| $C_D$ (Off)                               | 11                            |                |                   | pF typ   | $V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$                                      |
| $C_D$ (On), $C_S$ (On)                    | 30                            |                |                   | pF typ   | $V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$                                      |
| <b>POWER REQUIREMENTS</b>                 |                               |                |                   |  |  |
| $I_{DD}$                                  | 50                            |                |                   | $\mu\text{A}$ typ  | $V_{DD} = +22 \text{ V}$ , $V_{SS} = -22 \text{ V}$<br>All switches open       |
|   |                               |                | 110               | $\mu\text{A}$ max  | All switches open  |
|   | 50                            |                |                   | $\mu\text{A}$ typ  | All switches closed, $V_L = 5.5 \text{ V}$                                     |
|   |                               |                | 110               | $\mu\text{A}$ max  | All switches closed, $V_L = 5.5 \text{ V}$                                     |
|   | 320                           |                |                   | $\mu\text{A}$ typ  | All switches closed, $V_L = 2.7 \text{ V}$                                     |
|   |                               |                | 450               | $\mu\text{A}$ max  | All switches closed, $V_L = 2.7 \text{ V}$                                     |
| $I_L$                                     | Inactive                      |                |                   |  |  |
|   | 6.3                           |                |                   | $\mu\text{A}$ typ  | Digital inputs = 0 V or $V_L$  |
|   |                               |                | 8.0               | $\mu\text{A}$ max  |  |
|   | SCLK = 1 MHz                  |                |                   |  |  |
|   | 14                            |                |                   | $\mu\text{A}$ typ  | $\overline{\text{CS}}$ and SDI = 0 V or $V_L$ , $V_L = 5 \text{ V}$            |
|   | 7                             |                |                   | $\mu\text{A}$ typ  | $\overline{\text{CS}}$ and SDI = 0 V or $V_L$ , $V_L = 3 \text{ V}$            |
|   | SCLK = 50 MHz                 |                |                   |  |  |
|   | 390                           |                |                   | $\mu\text{A}$ typ  | $\overline{\text{CS}} = V_L$ and SDI = 0 V or $V_L$ ,<br>$V_L = 5 \text{ V}$   |
|   | 210                           |                |                   | $\mu\text{A}$ typ  | $\overline{\text{CS}} = V_L$ and SDI = 0 V or $V_L$ ,<br>$V_L = 3 \text{ V}$   |
|   | SDI = 1 MHz                   |                |                   |  |  |
| 15  |                               |                | $\mu\text{A}$ typ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 5 \text{ V}$   |  |
| 7.5                                       |                               |                | $\mu\text{A}$ typ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 3 \text{ V}$   |  |
| SDI = 25 MHz                              |                               |                |                   |  |  |
| 230                                       |                               |                | $\mu\text{A}$ typ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 5 \text{ V}$   |  |
| 120                                       |                               |                | $\mu\text{A}$ typ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 3 \text{ V}$   |  |
| Active at 50 MHz                          |                               |                |                   |  |  |
| 1.8                                       |                               |                | mA typ            | Digital inputs toggle between<br>0 V and $V_L$ , $V_L = 5.5 \text{ V}$ |  |
|   | 2                             |                |                   | mA max   |  |
| 0.7                                       |                               | 2.1            |                   | mA typ   | Digital inputs toggle between<br>0 V and $V_L$ , $V_L = 2.7 \text{ V}$         |
|   |                               | 1.0            |                   | mA max   |  |
| $I_{SS}$                                  | Digital inputs = 0 V or $V_L$ |                |                   |  |  |
|   | 0.05                          |                |                   | $\mu\text{A}$ typ  |  |
| Dual-Supply Operation ( $V_{DD}/V_{SS}$ ) |                               |                |                   |  |  |
|   |                               |                | 1.0               | $\mu\text{A}$ max  |  |
|   |                               |                | $\pm 9$           | V min  | GND = 0 V  |
|   |                               |                | $\pm 22$          | V max  | GND = 0 V  |

## 12 V の単電源

特に指定のない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 3.

| Parameter   | +25°C                    | -40°C to +85°C | -40°C to +125°C | Unit              | Test Conditions/Comments   |
|---|--------------------------|----------------|-----------------|-------------------|--|
| <b>ANALOG SWITCH</b>                                  |                          |                |                 |                   |  |
| Analog Signal Range                                   |                          |                | 0 V to $V_{DD}$ | V                 |  |
| On Resistance, $R_{ON}$                               | 26                       |                |                 | $\Omega$ typ      | $V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$ ;<br>see Figure 29   |
|   | 30                       | 36             | 42              | $\Omega$ max      | $V_{DD} = 10.8\text{ V}$ , $V_{SS} = 0\text{ V}$   |
| On-Resistance Match Between Channels, $\Delta R_{ON}$ | 0.3                      |                |                 | $\Omega$ typ      | $V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$  |
|   | 1                        | 1.5            | 1.6             | $\Omega$ max      |  |
| On-Resistance Flatness, $R_{FLAT(ON)}$                | 5.5                      |                |                 | $\Omega$ typ      | $V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$  |
|   | 6.5                      | 8              | 12              | $\Omega$ max      |  |
| <b>LEAKAGE CURRENTS</b>                               |                          |                |                 |                   |  |
| Source Off Leakage, $I_S$ (Off)                       | $\pm 0.1$                |                |                 | nA typ            | $V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$<br>$V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ ;<br>see Figure 32 |
| Drain Off Leakage, $I_D$ (Off)                        | $\pm 0.25$<br>$\pm 0.1$  | $\pm 1$        | $\pm 7$         | nA max<br>nA typ  | $V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ ;<br>see Figure 32   |
| Channel On Leakage, $I_D$ (On), $I_S$ (On)            | $\pm 0.25$<br>$\pm 0.15$ | $\pm 1$        | $\pm 7$         | nA max<br>nA typ  | $V_S = V_D = 1\text{ V}/10\text{ V}$ ; see<br>Figure 28  |
|   | $\pm 0.4$                | $\pm 2$        | $\pm 14$        | nA max            |  |
| <b>DIGITAL OUTPUT</b>                                 |                          |                |                 |                   |  |
| Output Voltage<br>Low, $V_{OL}$                       |                          |                | 0.4             | V max             | $I_{SINK} = 5\text{ mA}$   |
|   |                          |                | 0.2             | V max             | $I_{SINK} = 1\text{ mA}$   |
| Output Current, $I_{OL}$ or $I_{OH}$                  | 0.001                    |                |                 | $\mu\text{A}$ typ | $V_{OUT} = V_{GND}$ or $V_L$   |
|   |                          |                | $\pm 0.1$       | $\mu\text{A}$ max |  |
| Digital Output Capacitance, $C_{OUT}$                 | 4                        |                |                 | pF typ            |  |
| <b>DIGITAL INPUTS</b>                                 |                          |                |                 |                   |  |
| Input Voltage<br>High, $V_{INH}$                      |                          |                | 2               | V min             | $3.3\text{ V} < V_L \leq 5.5\text{ V}$   |
|   |                          |                | 1.35            | V min             | $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$  |
| Low, $V_{INL}$  |                          |                | 0.8             | V max             | $3.3\text{ V} < V_L \leq 5.5\text{ V}$   |
|   |                          |                | 0.8             | V max             | $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$  |
| Input Current, $I_{INL}$ or $I_{INH}$                 | 0.001                    |                |                 | $\mu\text{A}$ typ | $V_{IN} = V_{GND}$ or $V_L$  |
|   |                          |                | $\pm 0.1$       | $\mu\text{A}$ max |  |
| Digital Input Capacitance, $C_{IN}$                   | 4                        |                |                 | pF typ            |  |
| <b>DYNAMIC CHARACTERISTICS</b>                        |                          |                |                 |                   |  |
| $t_{ON}$  | 450                      |                |                 | ns typ            | $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$   |
|   | 455                      | 555            | 575             | ns max            | $V_S = 8\text{ V}$ ; see Figure 37   |
| $t_{OFF}$   | 135                      |                |                 | ns typ            | $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$   |
|   | 141                      | 195            | 205             | ns max            | $V_S = 8\text{ V}$ ; see Figure 37   |
| Break-Before-Make Time Delay, $t_D$                   | 285                      |                |                 | ns typ            | $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$   |
|   | 275                      |                | 225             | ns min            | $V_{S1} = V_{S2} = 8\text{ V}$ ; see Figure 36   |
| Charge Injection, $Q_{INJ}$                           | 55                       |                |                 | pC typ            | $V_S = 6\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ ;<br>see Figure 38  |
| Off Isolation   | -60                      |                |                 | dB typ            | $R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ;<br>see Figure 31   |
| Channel to Channel Crosstalk                          | -75                      |                |                 | dB typ            | $R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ;<br>see Figure 30   |

| Parameter                            | +25°C    | -40°C to +85°C | -40°C to +125°C | Unit              | Test Conditions/Comments  |                               |
|--------------------------------------|----------|----------------|-----------------|-------------------|---|-------------------------------|
| THD +N                               | 0.1      |                |                 | % typ             | $R_L = 1\text{ k}\Omega$ , 6 V p-p, $f = 20\text{ Hz}$ to 20 kHz; see Figure 33 |                               |
| -3 dB Bandwidth                      | 220      |                |                 | MHz typ           | $R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ ; see Figure 34                        |                               |
| Insertion Loss                       | -1.55    |                |                 | dB typ            | $R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; see Figure 34   |                               |
| $C_S$ (Off)                          | 12       |                |                 | pF typ            | $V_S = 6\text{ V}$ , $f = 1\text{ MHz}$   |                               |
| $C_D$ (Off)                          | 12       |                |                 | pF typ            | $V_S = 6\text{ V}$ , $f = 1\text{ MHz}$   |                               |
| $C_D$ (On), $C_S$ (On)               | 30       |                |                 | pF typ            | $V_S = 6\text{ V}$ , $f = 1\text{ MHz}$   |                               |
| <b>POWER REQUIREMENTS</b>            |          |                |                 |                   |   |                               |
| $I_{DD}$                             | 40       |                |                 | $\mu\text{A}$ typ | $V_{DD} = 13.2\text{ V}$<br>All switches open                                   |                               |
|                                      |          |                | 65              | $\mu\text{A}$ max | All switches open   |                               |
|                                      | 40       |                |                 | $\mu\text{A}$ typ | All switches closed, $V_L = 5.5\text{ V}$                                       |                               |
|                                      |          |                | 65              | $\mu\text{A}$ max | All switches closed, $V_L = 5.5\text{ V}$                                       |                               |
| $I_L$                                | 300      |                |                 | $\mu\text{A}$ typ | All switches closed, $V_L = 2.7\text{ V}$                                       |                               |
|                                      |          |                | 420             | $\mu\text{A}$ max | All switches closed, $V_L = 2.7\text{ V}$                                       |                               |
|                                      | Inactive | 6.3            |                 |                   | $\mu\text{A}$ typ   | Digital inputs = 0 V or $V_L$ |
|                                      |          |                |                 | 8.0               | $\mu\text{A}$ max   |                               |
| SCLK = 1 MHz                         | 14       |                |                 | $\mu\text{A}$ typ | $\overline{\text{CS}}$ and SDI = 0 V or $V_L$ , $V_L = 5\text{ V}$              |                               |
|                                      | 7        |                |                 | $\mu\text{A}$ typ | $\overline{\text{CS}}$ and SDI = 0 V or $V_L$ , $V_L = 3\text{ V}$              |                               |
| SCLK = 50 MHz                        | 390      |                |                 | $\mu\text{A}$ typ | $\overline{\text{CS}} = V_L$ and SDI = 0 V or $V_L$ ,<br>$V_L = 5\text{ V}$     |                               |
|                                      | 210      |                |                 | $\mu\text{A}$ typ | $\overline{\text{CS}} = V_L$ and SDI = 0 V or $V_L$ ,<br>$V_L = 3\text{ V}$     |                               |
| SDI = 1 MHz                          | 15       |                |                 | $\mu\text{A}$ typ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 5\text{ V}$             |                               |
|                                      | 7.5      |                |                 | $\mu\text{A}$ typ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 3\text{ V}$             |                               |
| SDI = 25 MHz                         | 230      |                |                 | $\mu\text{A}$ typ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 5\text{ V}$             |                               |
|                                      | 120      |                |                 | $\mu\text{A}$ typ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 3\text{ V}$             |                               |
| Active at 50 MHz                     | 1.8      |                |                 | mA typ            | Digital inputs toggle between 0 V and $V_L$ , $V_L = 5.5\text{ V}$              |                               |
|                                      |          | 2              | 2.1             | mA max            |   |                               |
|                                      | 0.7      |                |                 | mA typ            | Digital inputs toggle between 0 V and $V_L$ , $V_L = 2.7\text{ V}$              |                               |
| Single-Supply Operation ( $V_{DD}$ ) |          |                | 1.0             | mA max            |   |                               |
|                                      |          |                | 9               | V min             | $\text{GND} = 0\text{ V}$ , $V_{SS} = 0\text{ V}$                               |                               |
|                                      |          |                | 40              | V max             | $\text{GND} = 0\text{ V}$ , $V_{SS} = 0\text{ V}$                               |                               |

## 36 V の単電源

特に指定のない限り、 $V_{DD} = 36\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 4.

| Parameter   | +25°C                    | -40°C to +85°C | -40°C to +125°C | Unit              | Test Conditions/Comments   |
|---|--------------------------|----------------|-----------------|-------------------|--|
| <b>ANALOG SWITCH</b>                                  |                          |                |                 |                   |  |
| Analog Signal Range                                   |                          |                | 0 V to $V_{DD}$ | V                 |  |
| On Resistance, $R_{ON}$                               | 14.5                     |                |                 | $\Omega$ typ      | $V_S = 0\text{ V}$ to 30 V, $I_S = -10\text{ mA}$ ;<br>see Figure 29   |
|   | 16                       | 19             | 23              | $\Omega$ max      | $V_{DD} = 32.4\text{ V}$ , $V_{SS} = 0\text{ V}$   |
| On-Resistance Match Between Channels, $\Delta R_{ON}$ | 0.3                      |                |                 | $\Omega$ typ      | $V_S = 0\text{ V}$ to 30 V, $I_S = -10\text{ mA}$  |
|   | 0.8                      | 1.3            | 1.4             | $\Omega$ max      |  |
| On-Resistance Flatness, $R_{FLAT(ON)}$                | 3.5                      |                |                 | $\Omega$ typ      | $V_S = 0\text{ V}$ to 30 V, $I_S = -10\text{ mA}$  |
|   | 4.3                      | 5.5            | 6.5             | $\Omega$ max      |  |
| <b>LEAKAGE CURRENTS</b>                               |                          |                |                 |                   |  |
| Source Off Leakage, $I_S$ (Off)                       | $\pm 0.1$                |                |                 | nA typ            | $V_{DD} = 39.6\text{ V}$ , $V_{SS} = 0\text{ V}$<br>$V_S = 1\text{ V}/30\text{ V}$ , $V_D = 30\text{ V}/1\text{ V}$ ;<br>see Figure 32 |
| Drain Off Leakage, $I_D$ (Off)                        | $\pm 0.25$<br>$\pm 0.1$  | $\pm 1$        | $\pm 7$         | nA max<br>nA typ  | $V_S = 1\text{ V}/30\text{ V}$ , $V_D = 30\text{ V}/1\text{ V}$ ;<br>see Figure 32   |
| Channel On Leakage, $I_D$ (On), $I_S$ (On)            | $\pm 0.25$<br>$\pm 0.15$ | $\pm 1$        | $\pm 7$         | nA max<br>nA typ  | $V_S = V_D = 1\text{ V}/30\text{ V}$ ; see<br>Figure 28  |
|   | $\pm 0.4$                | $\pm 2$        | $\pm 14$        | nA max            |  |
| <b>DIGITAL OUTPUT</b>                                 |                          |                |                 |                   |  |
| Output Voltage  |                          |                |                 |                   |  |
| Low, $V_{OL}$   |                          |                | 0.4             | V max             | $I_{SINK} = 5\text{ mA}$   |
|   |                          |                | 0.2             | V max             | $I_{SINK} = 1\text{ mA}$   |
| Output Current, $I_{OL}$ or $I_{OH}$                  | 0.001                    |                |                 | $\mu\text{A}$ typ | $V_{OUT} = V_{GND}$ or $V_L$   |
|   |                          |                | $\pm 0.1$       | $\mu\text{A}$ max |  |
| Digital Output Capacitance, $C_{OUT}$                 | 4                        |                |                 | pF typ            |  |
| <b>DIGITAL INPUTS</b>                                 |                          |                |                 |                   |  |
| Input Voltage   |                          |                |                 |                   |  |
| High, $V_{INH}$                                       |                          |                | 2               | V min             | $3.3\text{ V} < V_L \leq 5.5\text{ V}$   |
|   |                          |                | 1.35            | V min             | $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$  |
| Low, $V_{INL}$  |                          |                | 0.8             | V max             | $3.3\text{ V} < V_L \leq 5.5\text{ V}$   |
|   |                          |                | 0.8             | V max             | $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$  |
| Input Current, $I_{INL}$ or $I_{INH}$                 | 0.001                    |                |                 | $\mu\text{A}$ typ | $V_{IN} = V_{GND}$ or $V_L$  |
|   |                          |                | $\pm 0.1$       | $\mu\text{A}$ max |  |
| Digital Input Capacitance, $C_{IN}$                   | 4                        |                |                 | pF typ            |  |
| <b>DYNAMIC CHARACTERISTICS</b>                        |                          |                |                 |                   |  |
| $t_{ON}$  | 425                      |                |                 | ns typ            | $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$   |
|   | 435                      | 515            | 515             | ns max            | $V_S = 18\text{ V}$ ; see Figure 37  |
| $t_{OFF}$   | 145                      |                |                 | ns typ            | $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$   |
|   | 151                      | 195            | 195             | ns max            | $V_S = 18\text{ V}$ ; see Figure 37  |
| Break-Before-Make Time Delay, $t_D$                   | 260                      |                |                 | ns typ            | $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$   |
|   | 245                      |                | 205             | ns min            | $V_{S1} = V_{S2} = 18\text{ V}$ ; see Figure 36  |
| Charge Injection, $Q_{INJ}$                           | 145                      |                |                 | pC typ            | $V_S = 18\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ ;<br>see Figure 38   |
| Off Isolation   | -60                      |                |                 | dB typ            | $R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ;<br>see Figure 31   |
| Channel to Channel Crosstalk                          | -75                      |                |                 | dB typ            | $R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ;<br>Figure 30   |

| Parameter                            | +25°C    | -40°C to +85°C | -40°C to +125°C | Unit              | Test Conditions/Comments   |                               |
|--------------------------------------|----------|----------------|-----------------|-------------------|--|-------------------------------|
| THD + N                              | 0.04     |                |                 | % typ             | $R_L = 1\text{ k}\Omega$ , 18 V p-p, $f = 20\text{ Hz}$ to 20 kHz; see Figure 33 |                               |
| -3 dB Bandwidth                      | 200      |                |                 | MHz typ           | $R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ ; see Figure 34                         |                               |
| Insertion Loss                       | -0.85    |                |                 | dB typ            | $R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; see Figure 34    |                               |
| $C_S$ (Off)                          | 11       |                |                 | pF typ            | $V_S = 18\text{ V}$ , $f = 1\text{ MHz}$   |                               |
| $C_D$ (Off)                          | 11       |                |                 | pF typ            | $V_S = 18\text{ V}$ , $f = 1\text{ MHz}$   |                               |
| $C_D$ (On), $C_S$ (On)               | 26       |                |                 | pF typ            | $V_S = 18\text{ V}$ , $f = 1\text{ MHz}$   |                               |
| POWER REQUIREMENTS                   |          |                |                 |                   | $V_{DD} = 39.6\text{ V}$   |                               |
| $I_{DD}$                             | 80       |                |                 | $\mu\text{A typ}$ | All switches open  |                               |
|                                      |          |                | 130             | $\mu\text{A max}$ | All switches open  |                               |
|                                      | 80       |                |                 | $\mu\text{A typ}$ | All switches closed, $V_L = 5.5\text{ V}$  |                               |
|                                      |          |                | 130             | $\mu\text{A max}$ | All switches closed, $V_L = 5.5\text{ V}$  |                               |
| $I_L$                                | 330      |                |                 | $\mu\text{A typ}$ | All switches closed, $V_L = 2.7\text{ V}$  |                               |
|                                      |          |                | 490             | $\mu\text{A max}$ | All switches closed, $V_L = 2.7\text{ V}$  |                               |
|                                      | Inactive | 6.3            |                 |                   | $\mu\text{A typ}$  | Digital inputs = 0 V or $V_L$ |
|                                      |          |                |                 | 8.0               | $\mu\text{A max}$  |                               |
| SCLK = 1 MHz                         | 14       |                |                 | $\mu\text{A typ}$ | $\overline{\text{CS}}$ and SDI = 0 V or $V_L$ , $V_L = 5\text{ V}$               |                               |
|                                      | 7        |                |                 | $\mu\text{A typ}$ | $\overline{\text{CS}}$ and SDI = 0 V or $V_L$ , $V_L = 3\text{ V}$               |                               |
| SCLK = 50 MHz                        | 390      |                |                 | $\mu\text{A typ}$ | $\overline{\text{CS}} = V_L$ and SDI = 0 V or $V_L$ , $V_L = 5\text{ V}$         |                               |
|                                      | 210      |                |                 | $\mu\text{A typ}$ | $\overline{\text{CS}} = V_L$ and SDI = 0 V or $V_L$ , $V_L = 3\text{ V}$         |                               |
| SDI = 1 MHz                          | 15       |                |                 | $\mu\text{A typ}$ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 5\text{ V}$              |                               |
|                                      | 7.5      |                |                 | $\mu\text{A typ}$ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 3\text{ V}$              |                               |
| SDI = 25 MHz                         | 230      |                |                 | $\mu\text{A typ}$ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 5\text{ V}$              |                               |
|                                      | 120      |                |                 | $\mu\text{A typ}$ | $\overline{\text{CS}}$ and SCLK = 0 V or $V_L$ , $V_L = 3\text{ V}$              |                               |
| Active at 50 MHz                     | 1.8      |                |                 | mA typ            | Digital inputs toggle between 0 V and $V_L$ , $V_L = 5.5\text{ V}$               |                               |
|                                      |          | 2              |                 | mA max            |  |                               |
|                                      | 0.7      |                | 2.1             | mA typ            | Digital inputs toggle between 0 V and $V_L$ , $V_L = 2.7\text{ V}$               |                               |
| Single-Supply Operation ( $V_{DD}$ ) |          |                | 1.0             | mA max            |  |                               |
|                                      |          |                | 9               | V min             | $GND = 0\text{ V}$ , $V_{SS} = 0\text{ V}$                                       |                               |
|                                      |          |                | 40              | V max             | $GND = 0\text{ V}$ , $V_{SS} = 0\text{ V}$                                       |                               |

## チャンネルごとの連続電流 (Sx ピンまたは Dx ピン)

表 5. 8 つのチャンネルがオン

| Parameter  | 25°C | 85°C | 125°C | Unit       |
|--|------|------|-------|------------|
| CONTINUOUS CURRENT, Sx OR Dx PINS  |      |      |       |            |
| $V_{DD} = +15\text{ V}$ , $V_{SS} = -15\text{ V}$ ( $\theta_{JA} = 50^\circ\text{C/W}$ ) | 82   | 61   | 38    | mA maximum |
| $V_{DD} = +20\text{ V}$ , $V_{SS} = -20\text{ V}$ ( $\theta_{JA} = 50^\circ\text{C/W}$ ) | 86   | 63   | 41    | mA maximum |
| $V_{DD} = 12\text{ V}$ , $V_{SS} = 0\text{ V}$ ( $\theta_{JA} = 50^\circ\text{C/W}$ )    | 63   | 47   | 29    | mA maximum |
| $V_{DD} = 36\text{ V}$ , $V_{SS} = 0\text{ V}$ ( $\theta_{JA} = 50^\circ\text{C/W}$ )    | 85   | 62   | 40    | mA maximum |

表 6. 1 つのチャンネルがオン

| Parameter  | 25°C | 85°C | 125°C | Unit       |
|--|------|------|-------|------------|
| CONTINUOUS CURRENT, Sx OR Dx PINS  |      |      |       |            |
| $V_{DD} = +15\text{ V}$ , $V_{SS} = -15\text{ V}$ ( $\theta_{JA} = 50^\circ\text{C/W}$ ) | 199  | 124  | 75    | mA maximum |
| $V_{DD} = +20\text{ V}$ , $V_{SS} = -20\text{ V}$ ( $\theta_{JA} = 50^\circ\text{C/W}$ ) | 210  | 129  | 77    | mA maximum |
| $V_{DD} = 12\text{ V}$ , $V_{SS} = 0\text{ V}$ ( $\theta_{JA} = 50^\circ\text{C/W}$ )    | 157  | 104  | 68    | mA maximum |
| $V_{DD} = 36\text{ V}$ , $V_{SS} = 0\text{ V}$ ( $\theta_{JA} = 50^\circ\text{C/W}$ )    | 206  | 127  | 76    | mA maximum |

## タイミング仕様

特に指定のない限り、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 、すべての仕様で  $T_{MIN} \sim T_{MAX}$ 。

表 7.

| Parameter              | Limit | Unit   | Test Conditions/Comments                                     |
|------------------------|-------|--------|--|
| TIMING CHARACTERISTICS |       |        |  |
| $t_1$                  | 20    | ns min | SCLK period  |
| $t_2$                  | 8     | ns min | SCLK high pulse width  |
| $t_3$                  | 8     | ns min | SCLK low pulse width   |
| $t_4$                  | 10    | ns min | $\overline{CS}$ falling edge to SCLK active edge             |
| $t_5$                  | 6     | ns min | Data setup time  |
| $t_6$                  | 8     | ns min | Data hold time   |
| $t_7$                  | 10    | ns min | SCLK active edge to $\overline{CS}$ rising edge              |
| $t_8$                  | 20    | ns max | $\overline{CS}$ falling edge to SDO data available           |
| $t_9^1$                | 20    | ns max | SCLK falling edge to SDO data available                      |
| $t_{10}$               | 20    | ns max | $\overline{CS}$ rising edge to SDO returns to high impedance |
| $t_{11}$               | 20    | ns min | $\overline{CS}$ high time between SPI commands               |
| $t_{12}$               | 8     | ns min | $\overline{CS}$ falling edge to SCLK becomes stable          |
| $t_{13}$               | 8     | ns min | $\overline{CS}$ rising edge to SCLK becomes stable           |

<sup>1</sup>  $V_L$  と 20 pF の負荷に接続された 1 k $\Omega$  のプルアップ抵抗で測定。SDO を使用する場合の最大 SCLK 周波数は  $t_9$  で決定します。

タイミング図

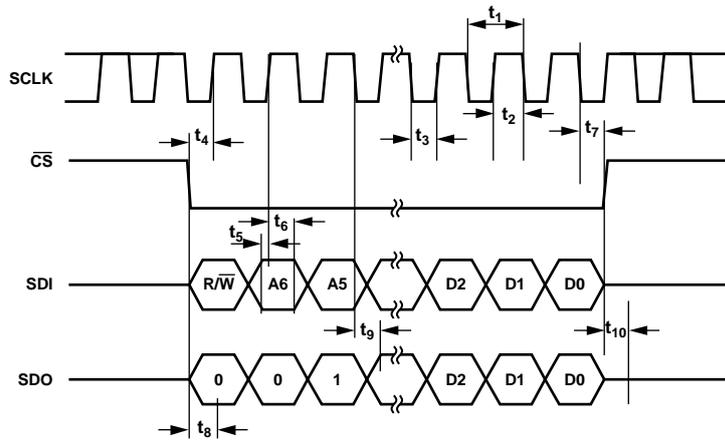


図 2. アドレス・モードのタイミング図

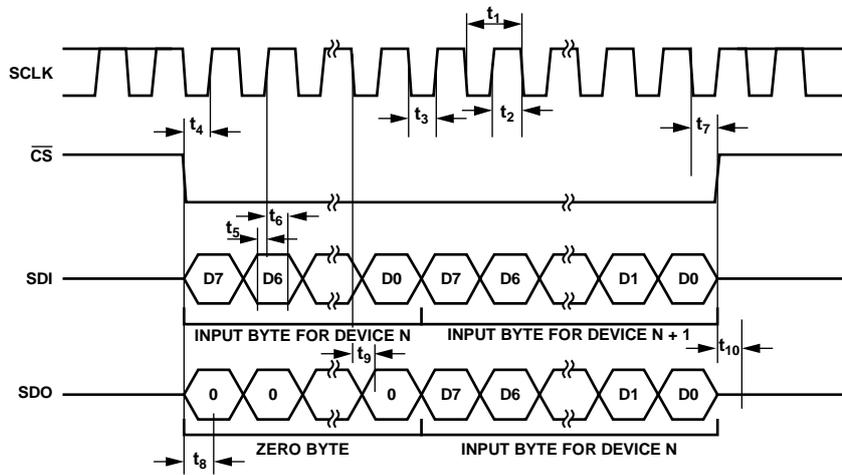


図 3. デイジーチェーンのタイミング図

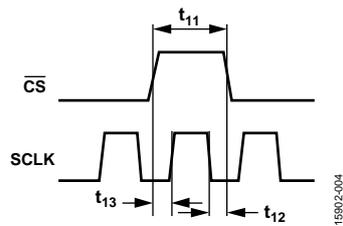


図 4. SCLK/CS のタイミング図

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 8.

| Parameter  | Rating  |
|--|---|
| $V_{DD}$ to $V_{SS}$                                 | 48 V  |
| $V_{DD}$ to GND                                      | -0.3 V to +48 V   |
| $V_{SS}$ to GND                                      | +0.3 V to -48 V   |
| $V_L$ to GND   | -0.3 V to +5.75 V   |
| Analog Inputs <sup>1</sup>                           | $V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first |
| Digital Inputs <sup>1</sup>                          | -0.3 V to +5.75 V   |
| Peak Current, Sx or Dx Pins                          | 422 mA (pulsed at 1 ms, 10% duty cycle maximum)                                     |
| Continuous Current, Sx or Dx Pins <sup>2</sup>       | Data (see Table 5 and Table 6) + 15%  |
| Operating Temperature Range                          | -40°C to +125°C   |
| Storage Temperature Range                            | -65°C to +150°C   |
| Junction Temperature                                 | 150°C   |
| Reflow Soldering Peak Temperature, Pb Free           | 260(+0 or -5)°C   |
| Human Body Model (HBM) Electrostatic Discharge (ESD) | 8 kV  |

<sup>1</sup> Sx ピンおよび Dx ピンでの過電圧は、内部ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

<sup>2</sup> 表 5 および表 6 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意が必要です。

$\theta_{JA}$  は、1 立方フィートの密閉容器内で測定される、周囲温度とジャンクション温度の間の熱抵抗です。 $\theta_{JC}$  は、ジャンクション温度とケース温度の間の熱抵抗です。

表 9. 熱抵抗

| Package Type          | $\theta_{JA}$ | $\theta_{JC}^2$ | Unit |
|-----------------------|---------------|-----------------|------|
| CP-24-17 <sup>1</sup> | 50            | 3.28            | °C/W |

<sup>1</sup> 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照。

<sup>2</sup>  $\theta_{ICB}$  は、ジャンクションとケース底部の間の値です。

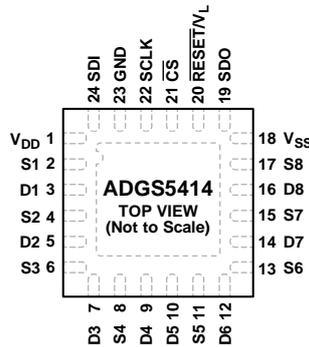
## ESD に関する注意



## ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
 1. EXPOSED PAD. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE EXPOSED PAD BE SOLDERED TO THE SUBSTRATE, V<sub>SS</sub>.

15902-005

図 5. ピン配置

表 8. ピン機能の説明

| Pin No. | Mnemonic             | Description   |
|---------|----------------------|---|
| 1       | V <sub>DD</sub>      | 正電源の電位。   |
| 2       | S1                   | ソース端子 1。このピンは、入力または出力に設定できます。   |
| 3       | D1                   | ドレイン端子 1。このピンは、入力または出力に設定できます。  |
| 4       | S2                   | ソース端子 2。このピンは、入力または出力に設定できます。   |
| 5       | D2                   | ドレイン端子 2。このピンは、入力または出力に設定できます。  |
| 6       | S3                   | ソース端子 3。このピンは、入力または出力に設定できます。   |
| 7       | D3                   | ドレイン端子 3。このピンは、入力または出力に設定できます。  |
| 8       | S4                   | ソース端子 4。このピンは、入力または出力に設定できます。   |
| 9       | D4                   | ドレイン端子 4。このピンは、入力または出力に設定できます。  |
| 10      | D5                   | ドレイン端子 5。このピンは、入力または出力に設定できます。  |
| 11      | S5                   | ソース端子 5。このピンは、入力または出力に設定できます。   |
| 12      | D6                   | ドレイン端子 6。このピンは、入力または出力に設定できます。  |
| 13      | S6                   | ソース端子 6。このピンは、入力または出力に設定できます。   |
| 14      | D7                   | ドレイン端子 7。このピンは、入力または出力に設定できます。  |
| 15      | S7                   | ソース端子 7。このピンは、入力または出力に設定できます。   |
| 16      | D8                   | ドレイン端子 8。このピンは、入力または出力に設定できます。  |
| 17      | S8                   | ソース端子 8。このピンは、入力または出力に設定できます。   |
| 18      | V <sub>SS</sub>      | 負電源の電位。単電源アプリケーションでは、このピンをグラウンドに接続します。  |
| 19      | SDO                  | シリアル・データ出力。多数の ADGS5414 デバイスをデジチェーン接続したり、診断のためにレジスタに格納されたデータをリードバックするには、このピンを使用します。シリアル・データは SCLK の立下がりエッジで伝搬されます。外部抵抗を使用して、このオープンドレイン出力を V <sub>L</sub> にプルダウンします。 |
| 20      | RESET/V <sub>L</sub> | RESET/ロジック電源入力 (V <sub>L</sub> )。通常動作では、2.7 V ~ 5.5 V の電源で RESET/V <sub>L</sub> ピンを駆動します。ハードウェア・リセットを完了するには、このピンをローにプルダウンします。すべてのスイッチが開放され、適切なレジスタがデフォルトに設定されます。    |
| 21      | CS                   | アクティブ・ローのコントロール入力。これは、入力データに対するフレーム同期化信号です。CS がロー・レベルになると、SCLK バッファの電源がオンになり、入力シフト・レジスタが有効になります。データは次のクロックの立下がりエッジで転送されます。CS がハイ・レベルになると、スイッチ状態が更新されます。             |
| 22      | SCLK                 | シリアル・クロック入力。SCLK の立下がりエッジでデータがキャプチャされます。最大 50 MHz のレートでデータを転送できます。  |
| 23      | GND                  | グラウンド・リファレンス (0 V)。   |
| 24      | SDI<br>Exposed Pad   | シリアル・データ入力。シリアル・クロック入力の立下がりエッジでデータがキャプチャされます。エクスポーズド・パッドは内部では接続されていません。ハンダ接続の信頼性と熱性能を向上させるため、このパッドを基板の V <sub>SS</sub> にハンダ付けすることを推奨します。                            |

代表的な性能特性

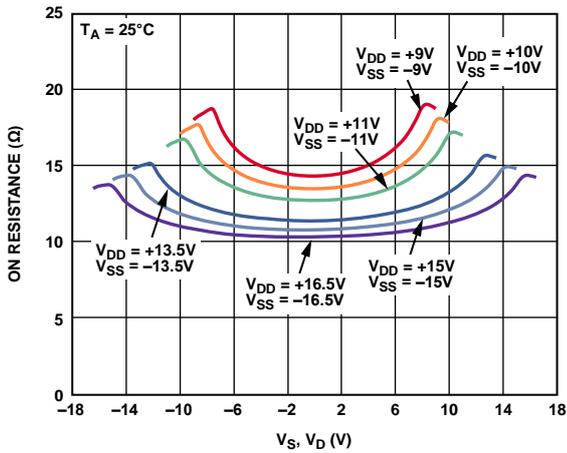


図 6.  $V_S$ ,  $V_D$  と  $R_{ON}$  の関係 (両電源)

15902-106

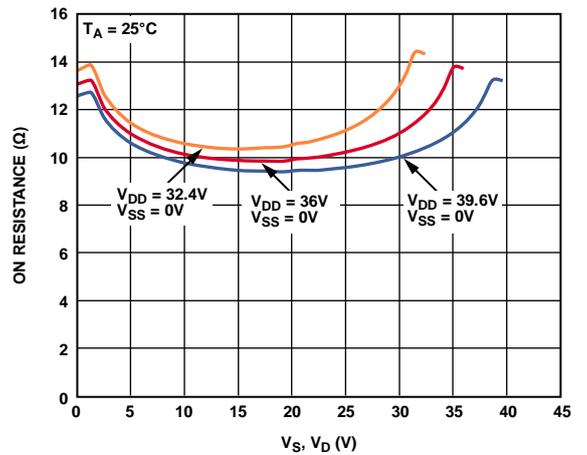


図 9.  $V_S$ ,  $V_D$  と  $R_{ON}$  の関係 (単電源)

15902-109

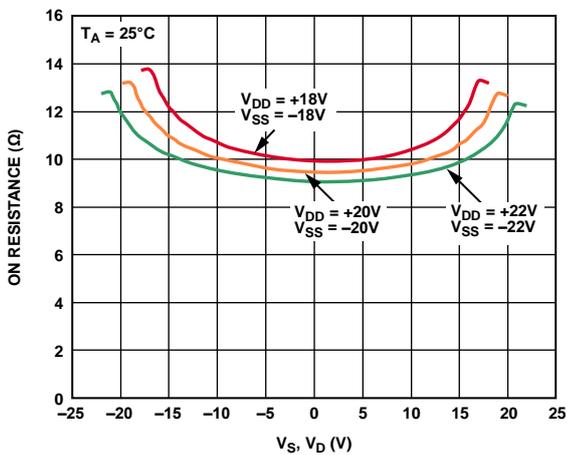


図 7.  $V_S$ ,  $V_D$  と  $R_{ON}$  の関係 (両電源)

15902-107

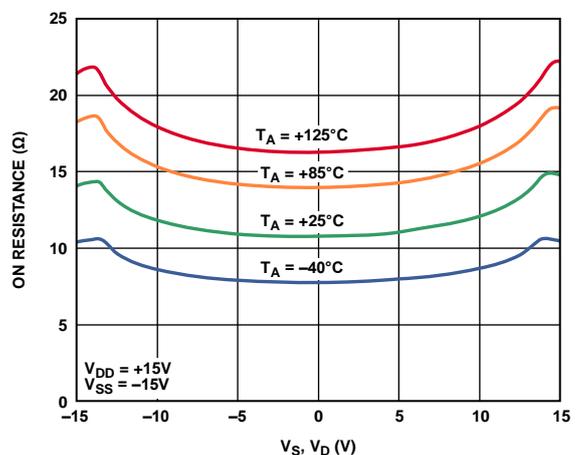


図 10.  $V_S$ ,  $V_D$  とさまざまな温度での  $R_{ON}$  の関係, ±15 V 両電源

15902-110

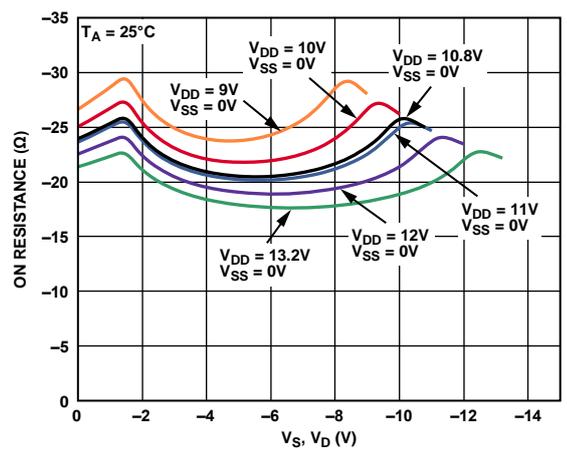


図 8.  $V_S$ ,  $V_D$  と  $R_{ON}$  の関係 (単電源)

15902-108

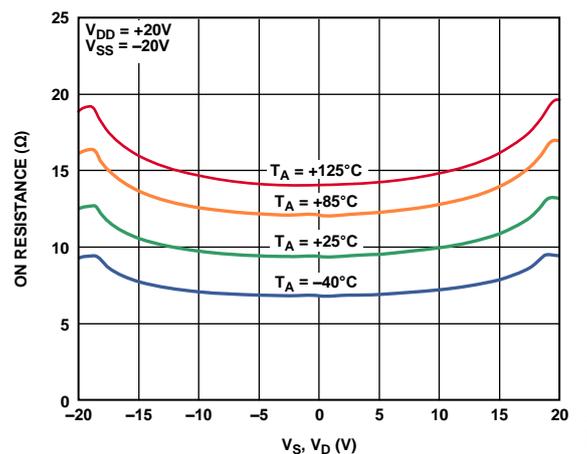


図 11.  $V_S$ ,  $V_D$  とさまざまな温度での  $R_{ON}$  の関係, ±20 V 両電源

15902-111

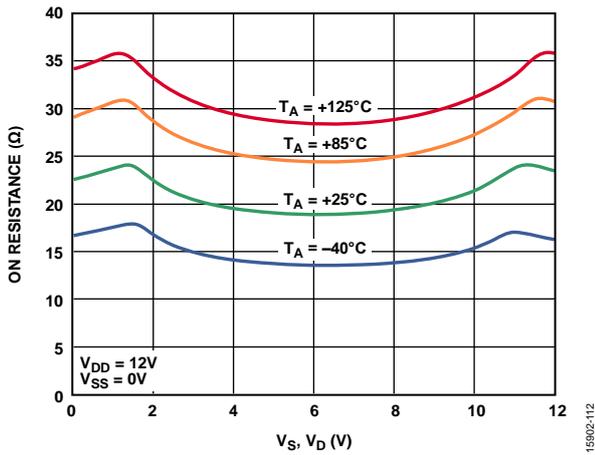


図 12.  $V_S$ 、 $V_D$  とさまざまな温度での  $R_{ON}$  の関係、12 V 単電源

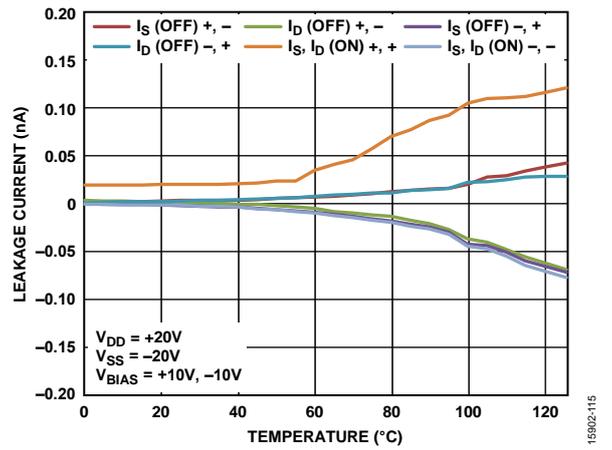


図 15. リーク電流の温度特性、±20 V 両電源

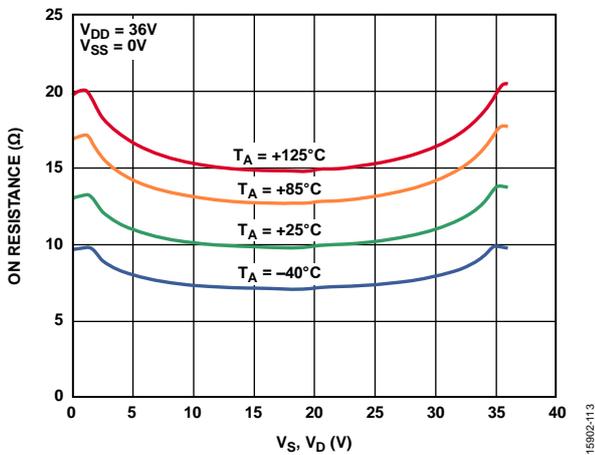


図 13.  $V_S$ 、 $V_D$  とさまざまな温度での  $R_{ON}$  の関係、36 V 単電源

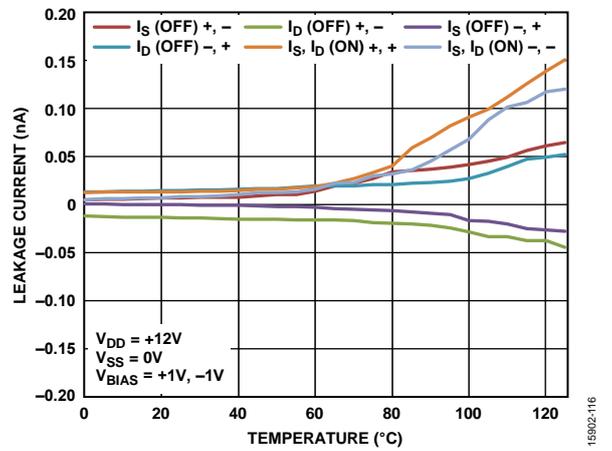


図 16. リーク電流の温度特性、12 V 単電源

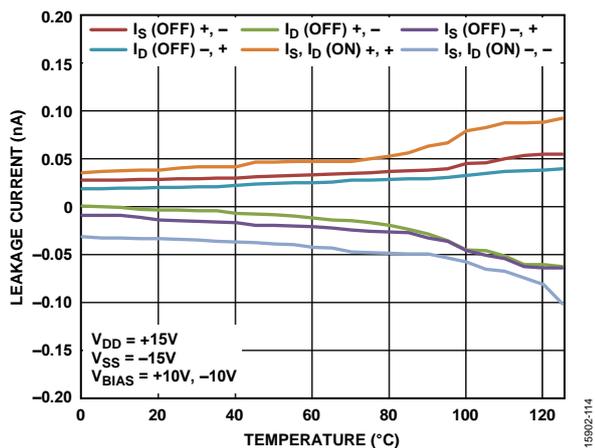


図 14. リーク電流の温度特性、±15 V 両電源

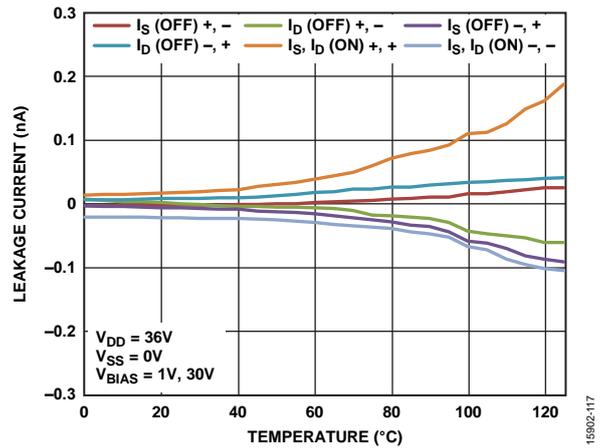


図 17. リーク電流の温度特性、36 V 単電源

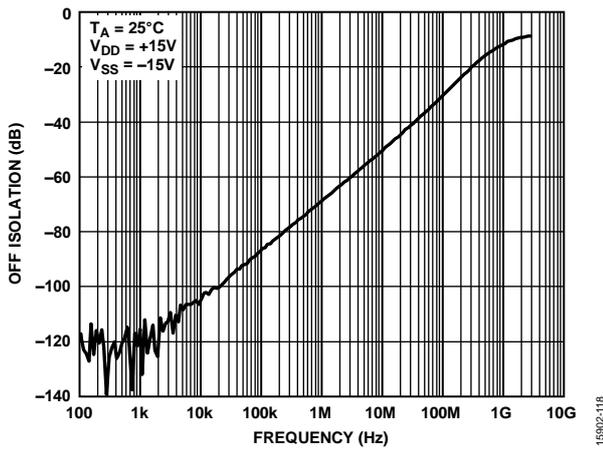


図 18. オフ・アイソレーションの周波数特性、±15 V 両電源

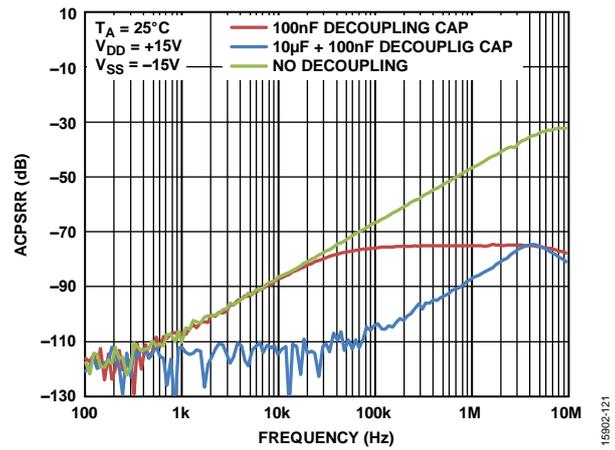


図 21. ACPSRR (AC 電源電圧変動除去比) の周波数特性、±15 V 両電源

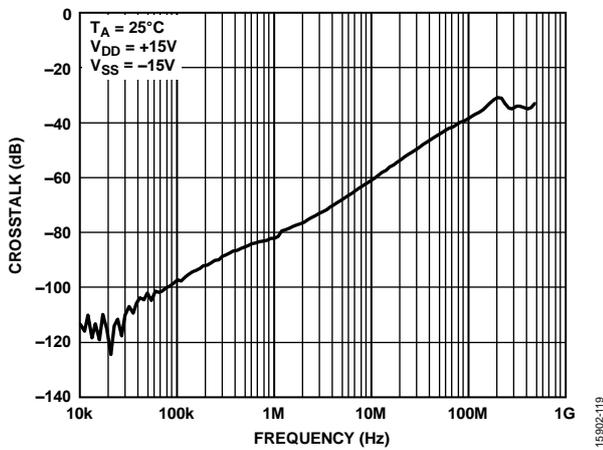


図 19. クロストークの周波数特性、±15 V 両電源

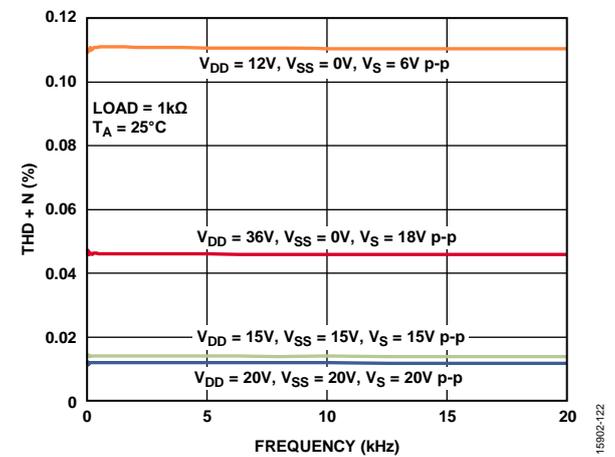


図 22. THD + N (全高調波歪み + ノイズ) の周波数特性、両電源

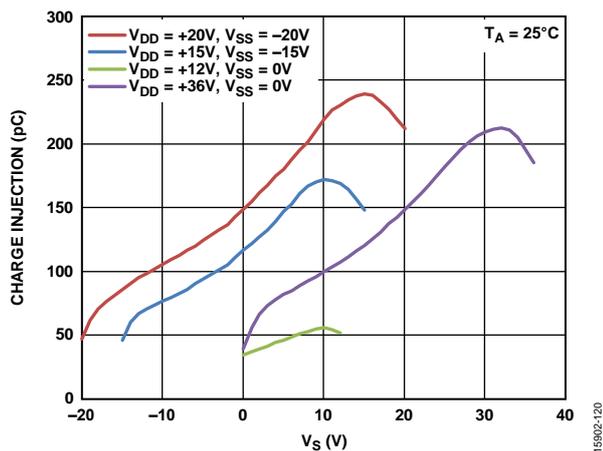


図 20. チャージ・インJECTIONと  $V_S$  の関係

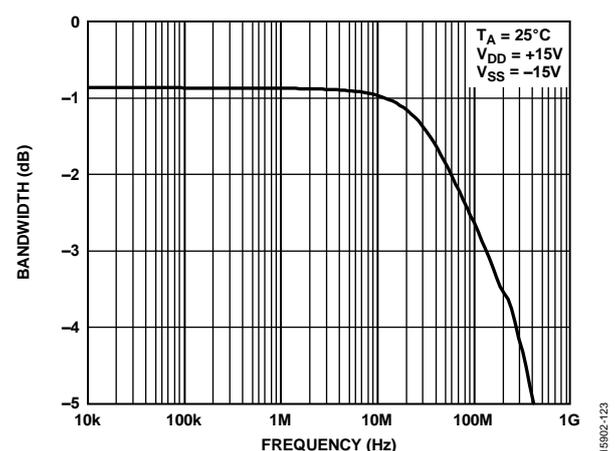


図 23. 帯域幅の周波数特性

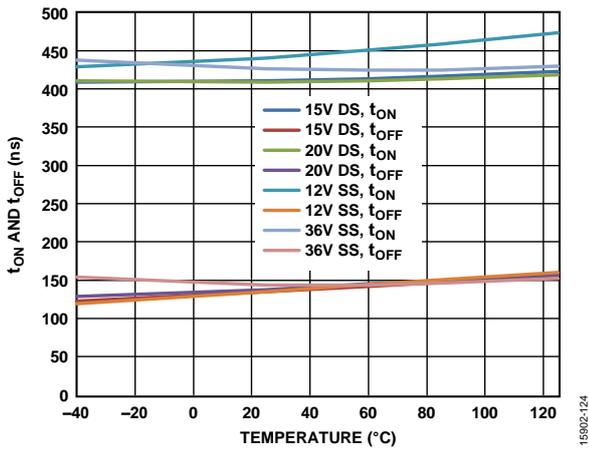


図 24.  $t_{ON}$ 、 $t_{OFF}$  の温度特性

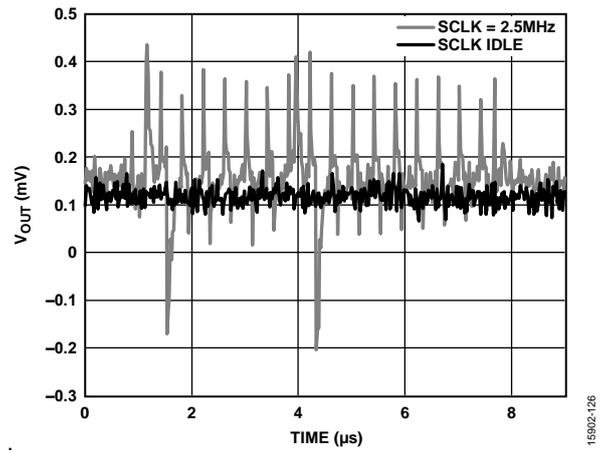


図 26. デジタル・フィードスルー

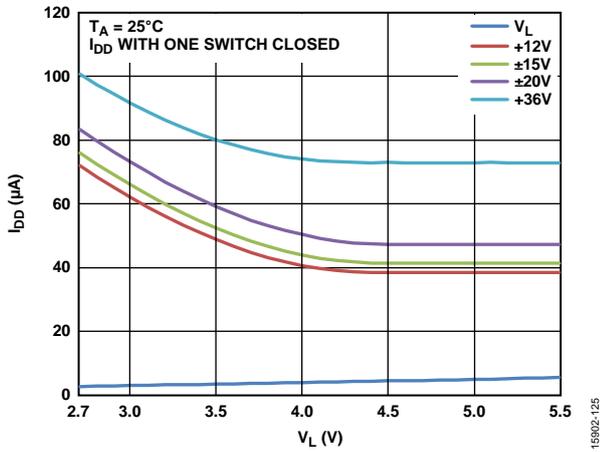


図 25.  $I_{DD}$  と  $V_L$  の関係

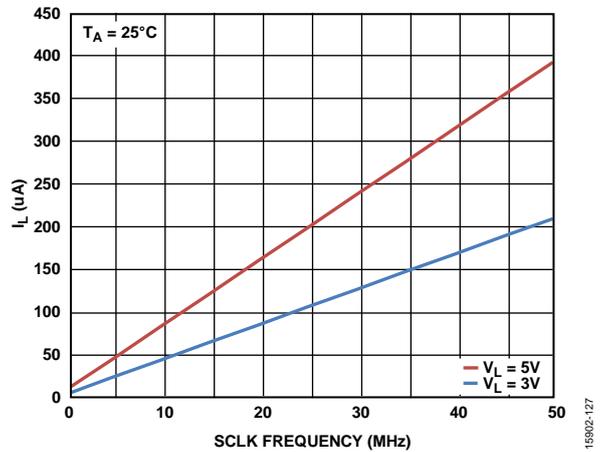


図 27.  $\overline{CS}$  がハイの場合の  $I_L$  の SCLK 周波数特性

試験回路

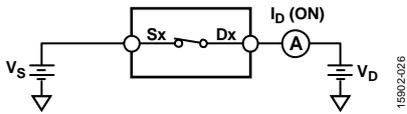


図 28. オン・リーク

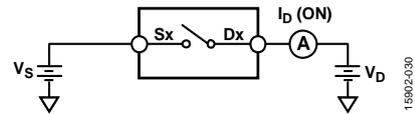


図 32. オフ・リーク

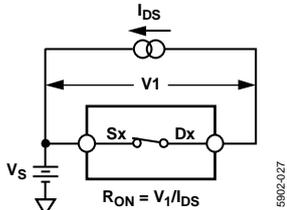


図 29. オン抵抗

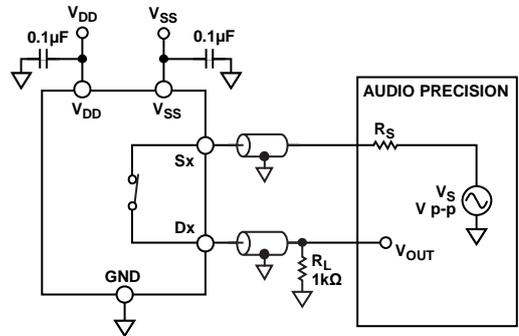


図 33. THD + ノイズ

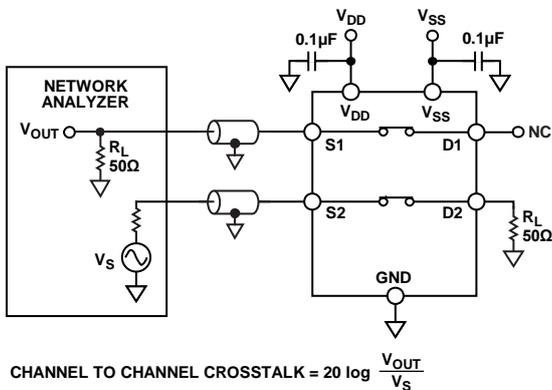


図 30. チャンネル間クロストーク

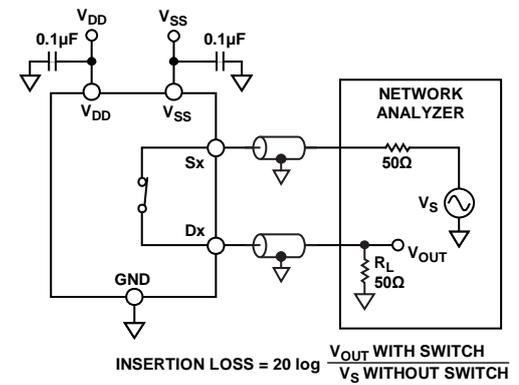


図 34. 帯域幅

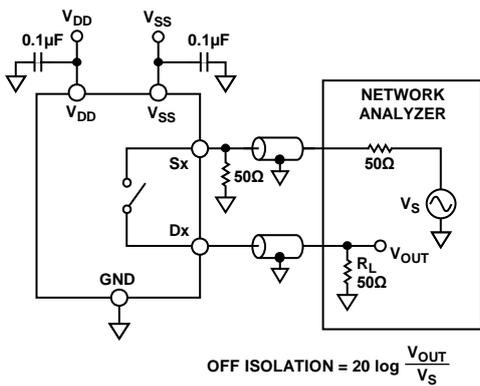
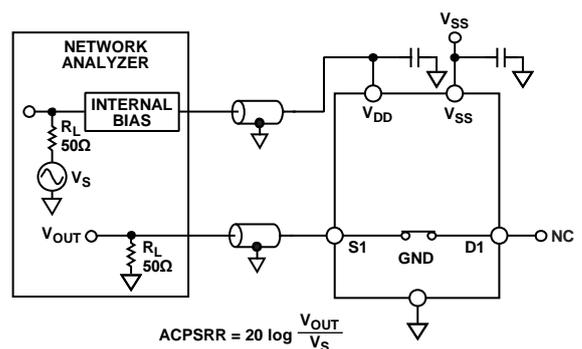


図 31. オフ・アイソレーション



NOTES  
1. BOARD AND COMPONENT EFFECTS ARE NOT DE-EMBEDDED FROM THE ACPSRR MEASUREMENT.

図 35. ACPSRR

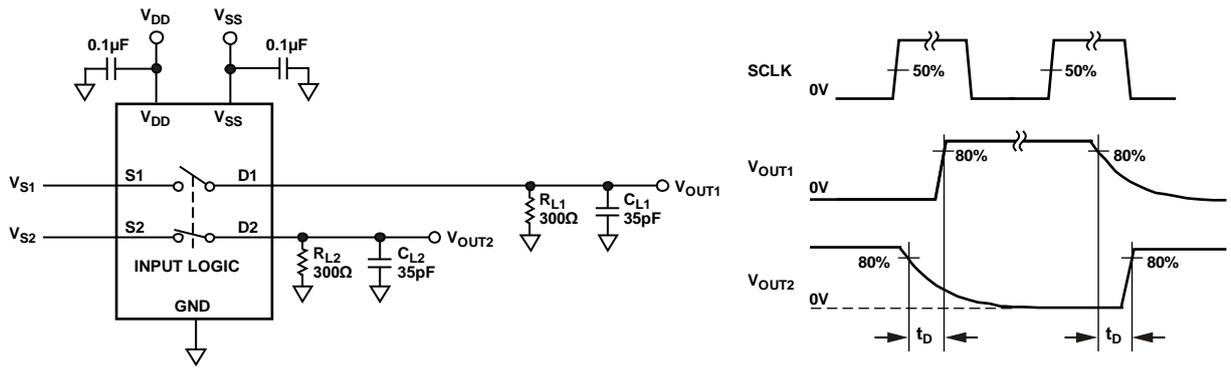


図 36. ブレークビフォアメークの遅延時間、 $t_D$

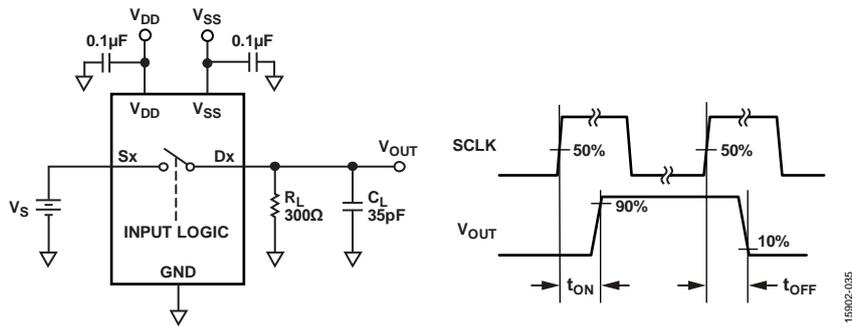


図 37. スイッチング時間

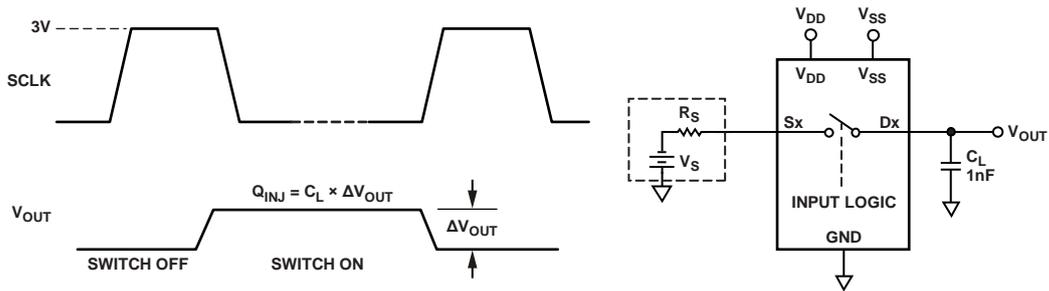


図 38. チャージ・インジェクション

## 用語の定義

**I<sub>DD</sub>**

正側電源電流。

**I<sub>SS</sub>**

負電源電流。

**V<sub>D</sub>、V<sub>S</sub>**

端子 D と端子 S のアナログ電圧。

**R<sub>ON</sub>**

端子 D と端子 S 間の抵抗。

**ΔR<sub>ON</sub>**

任意の 2 チャンネル間の R<sub>ON</sub> の差。

**R<sub>FLAT (ON)</sub>**

仕様規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される、抵抗値の平坦性。

**I<sub>S (Off)</sub>**

スイッチ・オフ時のソース・リーク電流。

**I<sub>D (Off)</sub>**

スイッチ・オフ時のドレイン・リーク電流。

**I<sub>D (On)</sub>、I<sub>S (On)</sub>**

スイッチ・オン時のチャンネル・リーク電流。

**V<sub>INL</sub>**

ロジック 0 の最大入力電圧。

**V<sub>INH</sub>**

ロジック 1 の最小入力電圧。

**I<sub>INL</sub>、I<sub>INH</sub>**

デジタル入力のロー・レベルおよびハイ・レベルでの入力電流。

**C<sub>D (Off)</sub>**

スイッチ・オフ時のドレイン容量。GND を基準として測定。

**C<sub>S (Off)</sub>**

スイッチ・オフ時のソース容量。GND を基準として測定。

**C<sub>D (On)</sub>、C<sub>S (On)</sub>**

スイッチ・オン時の容量。GND を基準として測定。

**C<sub>IN</sub>**

デジタル入力容量。

**t<sub>ON</sub>**

デジタル・コントロールで入力と出力をオンにする間の遅延。

**t<sub>OFF</sub>**

デジタル・コントロールで入力と出力をオフにする間の遅延。

**t<sub>D</sub>**

あるアドレス状態から別のアドレス状態へ切り替わる時、両方のスイッチの 80 % ポイント間で測定されるオフ時間。

**オフ・アイソレーション**

オフ・スイッチから混入する不要な信号の大きさ。

**チャージ・インジェクション**

切り替え中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。

**クロストーク**

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

**帯域幅**

出力が 3 dB 減衰する周波数。

**オン応答**

オン状態にあるスイッチの周波数応答。

**挿入損失**

スイッチのオン抵抗に起因する損失。

**全高調波歪み + ノイズ (THD + N)**

基本波成分に対する全高調波成分 + 信号ノイズの比。

**AC 電源電圧変動除去比 (ACPSRR)**

変調振幅に対する出力信号振幅の比。ACPSRR は、電源電圧ピンに現れる AC ノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイス電源の DC 電圧が、0.62 V<sub>pp</sub> のサイン波で変調されます。

## 動作原理

ADGS5414 は、エラー検出機能を備えた SPI 制御、オクタル SPST スイッチのセットです。SPI モード 0 および SPI モード 3 をデバイスと組み合わせることができ、最大 50 MHz の SCLK 周波数で動作します。ADGS5414 のデフォルト・モードは、アドレス・モードで、デバイスのレジスタには  $\overline{CS}$  によって束ねられた 16 ビットの SPI コマンドでアクセスします。CRC エラー検出が有効な場合、SPI コマンドは 24 ビット長になります。その他のエラー検出機能には、SCLK カウント・エラー検出や無効な読出し/書込みのエラー検出があります。これらの SPI インターフェースでエラーが発生すると、エラー・フラグ・レジスタの読出し時に検出されます。また、ADGS5414 は、バースト・モードとデジタイゼーション・モードでも動作します。

ADGS5414 のインターフェース・ピンは、 $\overline{CS}$ 、SCLK、SDI、および SDO です。SPI インターフェースを使用する場合は、 $\overline{CS}$  をローにします。データは SCLK の立上がりエッジ発生時に SDI でキャプチャされ、SCLK の立下がりエッジ発生時に SDO に伝搬されます。SDO はオープンドレイン出力を備えているので、プルアップ抵抗をこの出力に接続します。ADGS5414 を使用してもローにならない場合、SDO は高インピーダンス状態になります。

### アドレス・モード

アドレス・モードは、ADGS5414 のパワーアップ時のデフォルト・モードです。アドレス・モードでは、単一の SPI フレームが  $\overline{CS}$  立下がりエッジと後続の  $\overline{CS}$  立上がりエッジによって束ねられます。SPI フレームは、16 SCLK サイクルで構成されます。アドレス・モードのタイミング図を図 39 に示します。最初の SDI ビットを使用して、SPI コマンドが読出しコマンドまたは書込みコマンドのどちらであるかを示します。最初のビットが 0 に設定されている場合は、書込みコマンドが実行されます。最初のビットが 1 に設定されている場合は、読出しコマンドが実行されます。次の 7 ビットはターゲット・レジスタのアドレスを決定します。残りの 8 ビットは、指定されたレジスタへデータを提供します。読出しコマンド実行中のクロック・サイクルでは、SDO がアドレス指定されたレジスタに含まれるデータを伝搬するため、最後の 8 ビットは無視されます。

SPI コマンドのターゲット・レジスタのアドレスは、8 番目の SCLK 立上がりエッジで決定されます。このレジスタのデータは、SPI 読出し中に 9 ~ 16 番目の SCLK 立下がりエッジで SDO に伝搬されます。レジスタへの書込みは、SPI 書込み中に 16 番目の SCLK 立上がりエッジで発生します。

SPI コマンドの実行中、SDO は初めの 8 つの SCLK 立下がりエッジで 8 つのアライメント・ビットを送信します。SDO から送信されるアライメント・ビットは、0x25 です。

### エラー検出機能

SPI インターフェースでは、プロトコルと通信のエラーを検出できます。不正な SCLK エラー検出、無効な読出し/書込みアドレスのエラー検出、CRC エラー検出の 3 つのエラーを検出できます。エラー設定レジスタには、各エラーに対応するイネーブル・ビットがあります。さらに、エラー・フラグ・レジスタには、各エラーに対応するエラー・フラグ・ビットがあります。

### CRC エラー検出

CRC エラー検出機能では、有効な SPI フレームが 8 つの SCLK サイクル分だけ拡張されます。8 つの追加サイクルは、SPI フレームの CRC バイトを送信します。CRC バイトは、16 ビットのペイロードを使用して SPI ブロックによって計算されます。ペイロードは、R/W ビット、選択されたレジスタ・アドレス、ビット [6:0]、選択されたレジスタ・データ・ビット [7:0] で構成されます。SPI ブロックで使用される CRC 多項式は、 $x^8 + x^2 + x^1 + 1$  で、シード値は 0 です。CRC を有効にした場合のタイミング図については、図 40 を参照してください。レジスタへの書込みは、CRC エラー・チェックを有効にした場合に 24 番目の SCLK 立上がりエッジで発生します。

SPI の書込み中に、マイクロコントローラまたは CPU（中央処理装置）は、SDI 経由で CRC バイトを出力します。SPI ブロックは、24 番目の SCLK 立上がりエッジ直前に CRC バイトをチェックします。同じエッジで、SPI インターフェースから不正な CRC バイトが受信されると、レジスタへの書込みは阻止されます。CRC エラー・フラグは、不正な CRC バイトが検出された場合にエラー・フラグ・レジスタでアサートされます。

SPI の読出しを実行中、CRC バイトは SDO からマイクロコントローラに出力されます。

CRC エラー検出機能は、デフォルトでは無効になっています。この機能はエラー設定レジスタで設定できます。

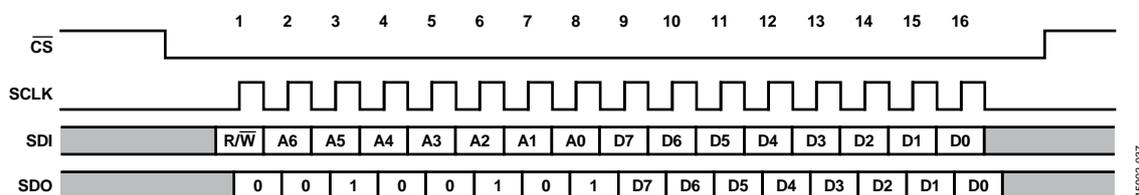


図 39. アドレス・モードのタイミング図

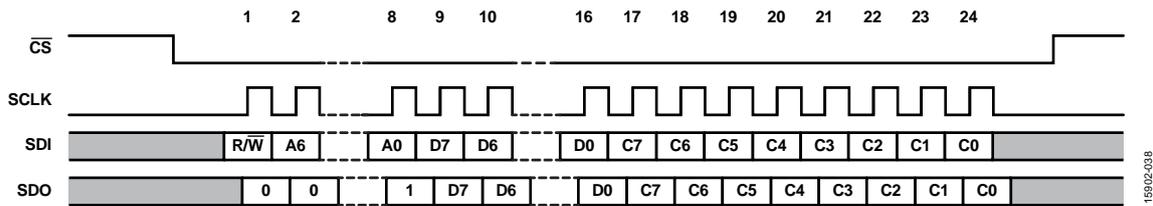


図 40. CRC が有効な場合のタイミング図

## SCLK カウント・エラー検出

SCLK カウント・エラー検出を使用すると、不正な SCLK サイクル数がマイクロコントローラまたは CPU から送信されたかどうかを検出できます。アドレス・モードで CRC を無効にすると、SCLK サイクルの発生回数は 16 回になります。検出される SCLK サイクルの回数が 16 未満の場合、SCLK カウントのエラー・フラグがエラー・フラグ・レジスタでアサートされます。デバイスによって受信される SCLK サイクルの回数が 16 未満の場合、レジスタ・マップへの書き込みは発生しません。

ADGS5414 によって受信される SCLK サイクルの回数が 16 を超える場合も、メモリ・マップへの書き込みが 16 番目の SCLK 立上がりエッジで発生し、エラー・フラグ・レジスタでフラグがアサートされます。CRC を有効にすると、発生する SCLK サイクルの回数は 24 になります。SCLK カウント・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで設定できます。

## 無効な読出し／書き込みアドレスのエラー

存在しないレジスタ・アドレスが読出しまたは書き込みのターゲットになると、無効な読出し／書き込みアドレスのエラーが検出されます。さらに、このエラーは、読出し専用レジスタに書き込みが試行された場合にもアサートされます。無効な読出し／書き込みアドレスのエラーが発生すると、エラー・フラグ・レジスタで無効な読出し／書き込みアドレスのエラー・フラグがアサートされます。無効な読出し／書き込みアドレスのエラーは、9 番目の SCLK 立上がりエッジで検出されます。つまり、無効なアドレスがターゲットになっている場合、レジスタへの書き込みは発生しません。無効な読出し／書き込みアドレスのエラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで無効にできます。

## エラー・フラグ・レジスタのクリア

エラー・フラグ・レジスタをクリアするには、16 ビット SPI フレーム 0x6CA9 (レジスタ・マップには含まれていません) をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレスのエラーはトリガされません。CRC が有効な場合、エラー・クリア・コマンドを正常に完了するため、CRC バイトを送信する必要があります。16 番目または 24 番目の SCLK 立上がりエッジで、エラー・フラグ・レジスタは 0 にリセットされます。

## バースト・モード

SPI インターフェースでは、 $\overline{\text{CS}}$  ラインをアサート解除する必要がなく、連続する SPI コマンドに対応できます。これをバースト・モードといいます。バースト・モードを有効にするには、バースト・イネーブル・レジスタ (アドレス 0x05) を使用します。このモードでは、同じ 16 ビット・コマンドを使用してデバイスと通信します。さらに、SDO でのデバイスの応答は、対応する SPI コマンドに揃えられます。図 41 に、バースト・モードを実行中の SDI と SDO の例を示します。

無効な読出し／書き込みアドレスおよび CRC のエラー・チェック機能は、バースト・モードの実行中もアドレス・モードと同様に動作します。ただし、SCLK カウント・エラー検出の動作は若干異なります。特定の  $\overline{\text{CS}}$  フレーム内で SCLK サイクルの合計がカウントされ、CRC を有効にした状態で合計が 16 または 24 の倍数でない場合、SCLK カウント・エラー・フラグがアサートされます。

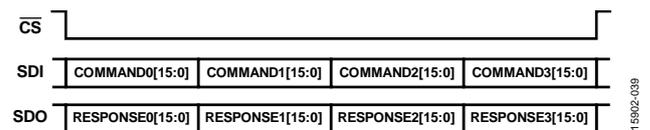


図 41. バースト・モード・フレーム

## ソフトウェア・リセット

アドレス・モードでは、次の方法でソフトウェア・リセットを開始できます。連続した 2 つの SPI コマンド (つまり 0xA3 と 0x05) のレジスタ 0x0B への書き込みを実行します。ソフトウェア・リセットの後に、すべてのレジスタ値がデフォルトに設定されます。

## デジチェーン・モード

デジチェーン設定では、複数の ADGS5414 デバイスを接続できます。図 42 に、このセットアップを示します。すべてのデバイスが同じ  $\overline{\text{CS}}$  と SCLK ラインを共有し、あるデバイスの SDO が次のデバイスの SDI に接続され、シフト・レジスタが作成されます。デジチェーン・モードでは、SDO は SDI の 8 サイクル遅延したバージョンになります。デジチェーン・モードでは、すべてのコマンドがスイッチ・データ・レジスタ (SW\_DATA) をターゲットにします。そのため、デジチェーン・モードでは設定を変更できません。

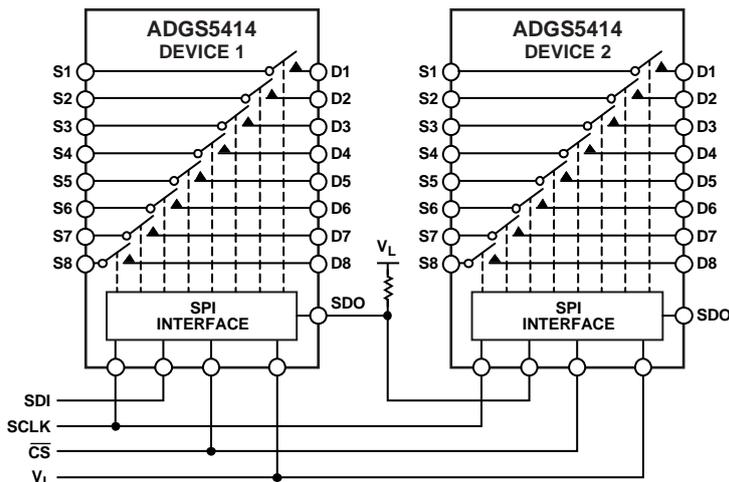


図 42. デイジーチェーン構成で接続された 2 台の SPI コントロール・スイッチ

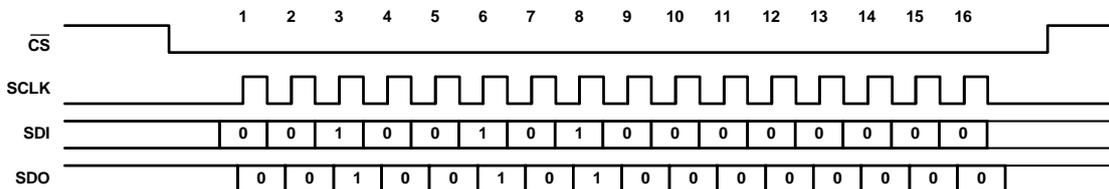
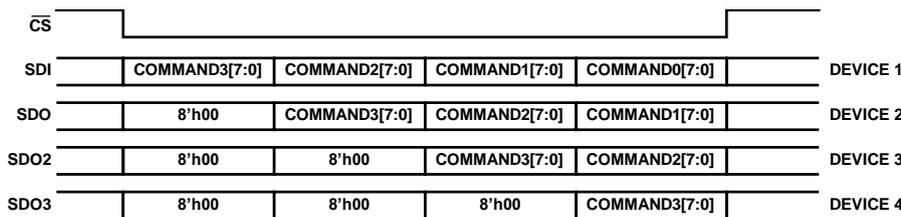


図 43. デイジーチェーン・モードに移行する SPI コマンド



NOTES

1. SDO2 AND SDO3 ARE THE OUTPUT COMMANDS FROM DEVICE 2 AND DEVICE 3, RESPECTIVELY.

図 44. デイジーチェーン・モードで 4 台の ADGS5414 デバイスが接続される SPI フレームの例

ADGS5414 は、アドレス・モードで 16 ビットの SPI コマンド 0x2500 (図 43 参照) を送信した場合のみ、デイジーチェーン・モードに移行できます。ADGS5414 がこのコマンドを受信すると、そのデバイスの SDO が同じコマンドを送信します。SDO のアライメント・ビットが 0x25 であることが理由です。これにより、デイジーチェーン接続された複数のデバイスを 1 つの SPI フレームでデイジーチェーン・モードに移行できます。デイジーチェーン・モードを終了するには、ハードウェア・リセットが必要です。

代表的なデイジーチェーン SPI フレームのタイミング図については、図 44 を参照してください。例えば、CS がハイになると、デバイス 1 はコマンド 0、ビット [7:0] をスイッチ・データ・レジスタ (SW\_DATA) に書き込みます。デバイス 2 はコマンド 1、ビット [7:0] をスイッチ (SW\_DATA) に書き込みます。SPI ブロックでは、SDI から受信した最後の 8 ビットを使用してスイッチが更新されます。デイジーチェーン・モードに移行した後、チェーン内の各デバイスに搭載された SDO によって

送信される最初の 8 ビットは 0x00 です。CS がハイになると、内部シフト・レジスタ値は 0 にリセットされません。

SCLK の立上がりエッジでは、SDI からデータが読み出されず。一方、SCLK の立下がりエッジでは、SDO からデータが伝搬されます。CS がハイになるまで SCLK サイクルが発生する回数は、8 の倍数になるはずですが、そうでない場合、SPI インターフェースは受信した最後の 8 ビットをスイッチ・データ・レジスタに送信します。

パワーオン・リセット

ADGS5414 のデジタル・セクションは、V<sub>L</sub> の電源投入時に初期化フェーズを実行します。この初期化は、ハードウェアまたはソフトウェアのリセット後にも発生します。V<sub>L</sub> の電源投入またはリセットの後、少なくとも 120 μs 経過してから SPI コマンドを発行します。120 μs の初期化フェーズでは、V<sub>L</sub> がドロップアウトしないよう注意してください。V<sub>L</sub> がドロップアウトすると、ADGS5414 の動作に異常が発生する可能性があります。

### ブレイクビフォアメークのスイッチング

ADGS5414 はブレイクビフォアメークのスイッチング動作を示すので、デバイスをマルチプレクサとして使用できます。マルチプレクサ機能は、デバイスを目的の MUX 構成に外付けでハードワイヤ接続することにより実現できます (図 45 参照)。

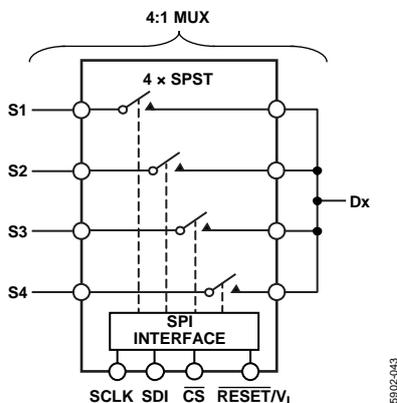


図 45. 4:1 Mux に構成された SPI コントロール・スイッチ

### トレンチ・アイソレーション

ADGS5414 のアナログ・スイッチ・セクションでは、各相補型金属酸化膜半導体 (CMOS) スイッチの N 型 MOS (NMOS) トランジスタと P 型 MOS (PMOS) トランジスタの間に絶縁酸化物層 (トレンチ) が配置されています。ジャンクション部を絶縁処理したスイッチのトランジスタ間で発生する寄生ジャンクションがなくなるため、完全なラッチアップ・プルーフ・スイッチになります。

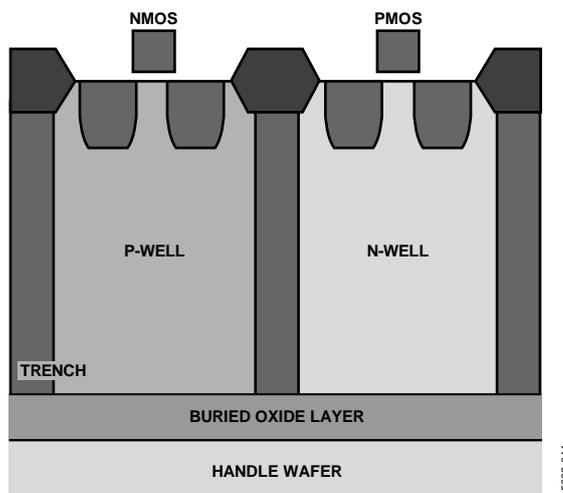


図 46. トレンチ・アイソレーション

ジャンクション絶縁では、PMOS トランジスタと NMOS トランジスタの P ウェルと N ウェルが、通常動作時には逆方向バイアスのダイオードを形成します。ただし、過電圧状態では、このダイオードは順方向バイアスになります。シリコン制御整流器 (SCR) 回路が、この 2 個のトランジスタで形成されます。このため、電流が大幅に増幅され、結果としてラッチアップが発生します。トレンチ絶縁では、このダイオードが除去され、ラッチアップ・プルーフ・スイッチになります。

アナログ・デバイセズによるスイッチとマルチプレクサの高電圧ラッチアップ・プルーフ・ファミリーは、ラッチアップしやすい、つまりデバイスを損傷させ、電源がオフになるまで続く、好ましくない高電流状態になりやすい計装用、工業用、航空宇宙用、その他の厳しい環境に対して、強固なソリューションを提供します。ADGS5414 の高電圧スイッチは、9 V ~ 40 V の単電源と ±9 V ~ ±22 V の両電源で動作します。

## アプリケーション情報

### 電源レール

ADGS5414 の正常な動作を確保するには、0.1  $\mu\text{F}$  のデカップリング・コンデンサが必要です。

ADGS5414 は、 $\pm 9\text{ V} \sim \pm 22\text{ V}$  のバイポーラ電源で動作させることができます。V<sub>DD</sub> と V<sub>SS</sub> に接続した電源が対称である必要はありませんが、V<sub>DD</sub> と V<sub>SS</sub> の範囲が 44 V を超えてはいけません。また、ADGS5414 は、V<sub>SS</sub> を GND に接続した 9 V ~ 40 V の単電源で動作させることもできます。

V<sub>L</sub> に供給できる電圧範囲は 2.7 V ~ 5.5 V です。

デバイスは  $\pm 15\text{ V}$ 、 $\pm 20\text{ V}$ 、 $+12\text{ V}$ 、 $+36\text{ V}$  のアナログ電圧範囲で仕様規定されています。

### 電源の推奨事項

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの要件を満たす広範なパワー・マネージメント製品を提供しています。

バイポーラ電源ソリューションの例を図 47 に示します。デュアル・スイッチング・レギュレータの ADP5070 は、典型的なシグナル・チェーンの ADGS5414、アンプ、高精度コンバータ向けに正と負の電源レールを生成します。

図 47 には、オプションの 2 つの低ドロップアウト・レギュレータ (LDO)、ADP7118 と ADP7182 も示します。これらはそれぞれ正と負の LDO で、これらの LDO を使用すると、きわめて小さなノイズにも敏感なアプリケーションにおいて ADP5070 の出力リップルを削減できます。

ADM7160 を使用すると、ADGS5414 内のデジタル回路に電力を供給するのに必要な V<sub>L</sub> 電圧を生成できます。

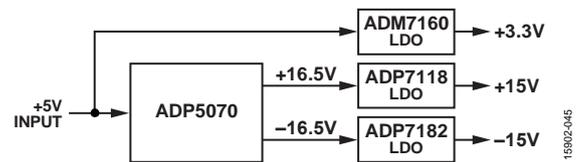


図 47. バイポーラ電源のソリューション

表 10. 推奨されるパワー・マネージメント・デバイス

| Product | Description  |
|---------|--|
| ADP5070 | 1 A/0.6 A, dc-to-dc switching regulator with independent positive and negative outputs |
| ADM7160 | 5.5 V, 200 mA, ultralow noise, linear regulator  |
| ADP7118 | 20 V, 200 mA, low noise, CMOS LDO linear regulator                                     |
| ADP7182 | -28 V, -200 mA, low noise, LDO linear regulator  |

## レジスタの一覧

表 11. レジスタの一覧

| Reg. | Name        | Bit 7       | Bit 6  | Bit 5  | Bit 4  | Bit 3  | Bit 2       | Bit 1         | Bit 0         | Default | RW  |
|------|-------------|-------------|--------|--------|--------|--------|-------------|---------------|---------------|---------|-----|
| 0x01 | SW_DATA     | SW8_EN      | SW7_EN | SW6_EN | SW5_EN | SW4_EN | SW3_EN      | SW2_EN        | SW1_EN        | 0x00    | R/W |
| 0x02 | ERR_CONFIG  | Reserved    |        |        |        |        | RW_ERR_EN   | SCLK_ERR_EN   | CRC_ERR_EN    | 0x06    | R/W |
| 0x03 | ERR_FLAGS   | Reserved    |        |        |        |        | RW_ERR_FLAG | SCLK_ERR_FLAG | CRC_ERR_FLAG  | 0x00    | R   |
| 0x05 | BURST_EN    | Reserved    |        |        |        |        |             |               | BURST_MODE_EN | 0x00    | R/W |
| 0x0B | SOFT_RESETB | SOFT_RESETB |        |        |        |        |             |               |               | 0x00    | R/W |

## レジスタの詳細

## スイッチ・データ・レジスタ

## SW\_DATA、アドレス 0x01、リセット: 0x00

スイッチ・データ・レジスタは、ADGS5414 の 8 つのスイッチのステータスを制御します。

表 12. SW\_DATA のビットの説明

| Bit | Bit Name | Setting | Description                        | Default | Access |
|-----|----------|---------|------------------------------------|---------|--------|
| 7   | SW8_EN   | 0       | スイッチ 8 のイネーブル・ビット。<br>スイッチ 8 オープン。 | 0x0     | R/W    |
|     |          | 1       | スイッチ 8 クローズ。                       |         |        |
| 6   | SW7_EN   | 0       | スイッチ 7 のイネーブル・ビット。<br>スイッチ 7 オープン。 | 0x0     | R/W    |
|     |          | 1       | スイッチ 7 クローズ。                       |         |        |
| 5   | SW6_EN   | 0       | スイッチ 6 のイネーブル・ビット。<br>スイッチ 6 オープン。 | 0x0     | R/W    |
|     |          | 1       | スイッチ 6 クローズ。                       |         |        |
| 4   | SW5_EN   | 0       | スイッチ 5 のイネーブル・ビット。<br>スイッチ 5 オープン。 | 0x0     | R/W    |
|     |          | 1       | スイッチ 5 クローズ。                       |         |        |
| 3   | SW4_EN   | 0       | スイッチ 4 のイネーブル・ビット。<br>スイッチ 4 オープン。 | 0x0     | R/W    |
|     |          | 1       | スイッチ 4 クローズ。                       |         |        |
| 2   | SW3_EN   | 0       | スイッチ 3 のイネーブル・ビット。<br>スイッチ 3 オープン。 | 0x0     | R/W    |
|     |          | 1       | スイッチ 3 クローズ。                       |         |        |
| 1   | SW2_EN   | 0       | スイッチ 2 のイネーブル・ビット。<br>スイッチ 2 オープン。 | 0x0     | R/W    |
|     |          | 1       | スイッチ 2 クローズ。                       |         |        |
| 0   | SW1_EN   | 0       | スイッチ 1 のイネーブル・ビット。<br>スイッチ 1 オープン。 | 0x0     | R/W    |
|     |          | 1       | スイッチ 1 クローズ。                       |         |        |

## エラー設定レジスタ

## ERR\_CONFIG、アドレス 0x02、リセット: 0x06

エラー設定レジスタでは、必要に応じて関連するエラー機能を有効または無効にできます。

表 13. ERR\_CONFIG のビットの説明

| Bit   | Bit Name    | Setting | Description  | Default | Access |
|-------|-------------|---------|--|---------|--------|
| [7:3] | Reserved    |         | これらのビットは予約済みで、0 に設定します。  | 0x0     | R      |
| 2     | RW_ERR_EN   | 0       | 無効な読出し/書き込みアドレスを検出するイネーブル・ビット。<br>ディスエーブル。   | 0x1     | R/W    |
|       |             | 1       | イネーブル。   |         |        |
| 1     | SCLK_ERR_EN | 0       | SPI フレームの SCLK サイクルの回数が正しいかどうかを検出するためのイネーブル・ビット。CRC が無効で、バースト・モードが無効の場合、SCLK サイクルの回数は 16 になります。CRC が有効で、バースト・モードが無効の場合、SCLK サイクルの回数は 24 になります。CRC が無効で、バースト・モードが有効の場合、SCLK サイクルの回数は 16 の倍数になります。CRC が有効で、バースト・モードが有効の場合、SCLK サイクルの回数は 24 の倍数になります。 | 0x1     | R/W    |
|       |             | 1       | ディスエーブル。<br>イネーブル。   |         |        |
| 0     | CRC_ERR_EN  | 0       | CRC エラー検出のイネーブル・ビット。有効な場合の SPI フレームは 24 ビットです。<br>ディスエーブル。   | 0x0     | R/W    |
|       |             | 1       | イネーブル。   |         |        |

## エラー・フラグ・レジスタ

## ERR\_FLAGS、アドレス 0x03、リセット: 0x00

エラー・フラグ・レジスタを使用すると、エラーが発生したかどうかを判断できます。エラー・フラグ・レジスタをクリアするには、16ビットの専用 SPI コマンド 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・フラグ・レジスタのクリア・コマンドを正常に完了するには、SPI の書き込みで正しい CRC バイトを挿入する必要があります。

表 14. ERR\_FLAGS のビットの説明

| Bit   | Bit Name      | Setting | Description   | Default | Access |
|-------|---------------|---------|---|---------|--------|
| [7:3] | RESERVED      |         | これらのビットは予約済みで、0 に設定します。   | 0x0     | R      |
| 2     | RW_ERR_FLAG   | 0<br>1  | 無効な読み出し/書き込みアドレスのエラー・フラグ。ターゲット・アドレスが存在しない場合、SPI 読み出しでエラー・フラグがアサートされます。また、SPI 書き込みのアドレスが存在しない場合、または読み出し専用である場合にも、エラー・フラグがアサートされます。<br>0 エラーなし。<br>1 エラー。 | 0x0     | R      |
| 1     | SCLK_ERR_FLAG | 0<br>1  | SPI フレームの SCLK サイクルの数が正しいかどうかを検出するためのエラー・フラグ。<br>0 エラーなし。<br>1 エラー。   | 0x0     | R      |
| 0     | CRC_ERR_FLAG  | 0<br>1  | レジスタへの書き込みで CRC エラーが発生したかどうかを判断するエラー・フラグ。<br>0 エラーなし。<br>1 エラー。   | 0x0     | R      |

## バースト・イネーブル・レジスタ

## BURST\_EN、アドレス 0x05、リセット: 0x00

バースト・イネーブル・レジスタを使用すると、バースト・モードを有効または無効にできます。有効にすると、 $\overline{CS}$  をアサート解除せずに、複数の連続する SPI コマンドを送信できます。

表 15. BURST\_EN のビットの説明

| Bits  | Bit Name      | Settings | Description                                   | Default | Access |
|-------|---------------|----------|---|---------|--------|
| [7:1] | Reserved      |          | これらのビットは予約済みで、0 に設定します。                       | 0x0     | R      |
| 0     | BURST_MODE_EN | 0<br>1   | バースト・モード・イネーブル・ビット。<br>0 ディスエーブル。<br>1 イネーブル。 | 0x0     | R/W    |

## ソフトウェア・リセット・レジスタ

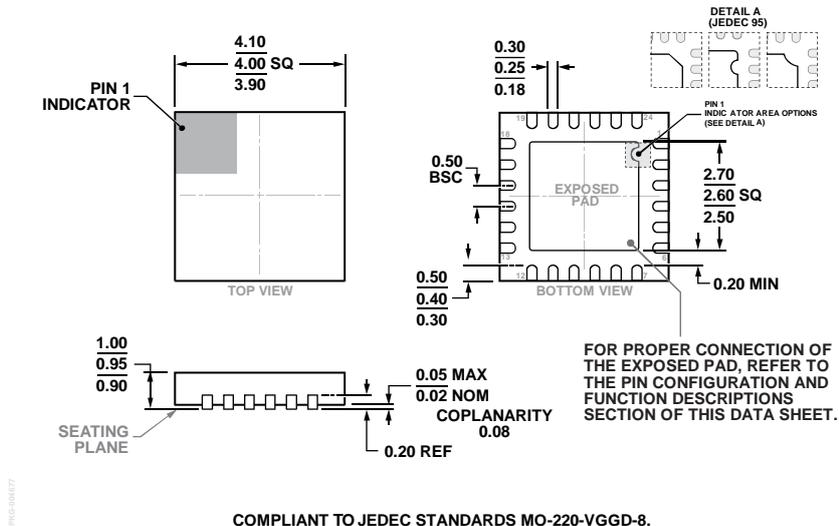
## SOFT\_RESETB、アドレス 0x0B、リセット: 0x00

このレジスタはソフトウェア・リセットを実行します。このレジスタに 0xA3 と 0x05 の順で書き込みを実行すると、デバイスのレジスタはデフォルトの状態にリセットされます。

表 15. SOFT\_RESETB のビットの説明

| Bits  | Bit Name    | Settings | Description   | Default | Access |
|-------|-------------|----------|---|---------|--------|
| [7:0] | SOFT_RESETB |          | ソフトウェア・リセットを実行するには、このレジスタに 0xA3 と 0x05 の順で書き込みを実行します。 | 0x0     | R      |

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-8.

図 48. 24 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP]  
 4 mm × 4 mm ボディ、0.95 mm パッケージ高  
 (CP-24-17)  
 寸法: mm

オーダー・ガイド

| Model <sup>1</sup> | Temperature Range | Package Description                           | Package Option |
|--------------------|-------------------|---|----------------|
| ADGS5414BCPZ       | -40°C to +125°C   | 24-Lead Lead Frame Chip Scale Package [LFCSP] | CP-24-17       |
| ADGS5414BCPZ-RL7   | -40°C to +125°C   | 24-Lead Lead Frame Chip Scale Package [LFCSP] | CP-24-17       |
| EVAL-ADGS5414SDZ   |                   | Evaluation Board                              |                |

<sup>1</sup> Z = RoHS 準拠製品。