



SPI、 1.5Ω R_{ON} 、 $\pm 15V/\pm 5V/+12V$ の 高密度オクタール SPST スイッチ

データシート

ADGS1414D

特長

エラー検出付き SPI

- CRC エラー検出、無効な読出しおよび書込みアドレス検出、SCLK カウント・エラー検出を含む
- バースト・モードとデジチェーン・モードをサポート
- 業界標準の SPI モード 0 およびモード 3 インターフェースと互換

パッシブ・コンポーネント内蔵

- デジタル信号および電源のスルー配線
- ブレークピフォアメークのスイッチングを確保することで、スイッチの外部配線によるマルチプレクサ構成が可能
- 25°C で 1.5Ω (代表値) のオン抵抗 ($\pm 15V$ の両電源)
- 25°C で 0.3Ω (代表値) のオン抵抗平坦性 ($\pm 15V$ の両電源)
- 25°C で 0.1Ω (代表値) のチャンネル間オン抵抗一致 ($\pm 15V$ 両電源)

アナログ信号範囲: $V_{SS}\sim V_{DD}$

- $\pm 15V$ 、 $\pm 5V$ 、 $+12V$ の電源で仕様規定
- 1.8V ロジックとの互換性あり、 $2.7V \leq V_L \leq 3.3V$ (1.8V デバイスへの SPI リードバックを除く)

4mm × 5mm 30 端子 LGA

アプリケーション

ATE (自動試験装置)

- データ・アクイジション・システム
- サンプル&ホールド・システム
- オーディオおよびビデオ信号ルーティング
- 通信システム
- リレーからの置き換え

概要

ADGS1414D には 8 個の独立した SPST スイッチがあります。シリアル周辺機器インターフェース (SPI) がこれらのスイッチを制御します。SPI は、巡回冗長検査 (CRC) エラーの検出、無効な読出しおよび書込みアドレスの検出、SCLK カウント・エラーの検出など、強力なエラー検出機能を備えています。

複数の ADGS1414D デバイスをデジチェーン接続することが可能です。デジチェーン・モードでは、最小限のデジタル・ラインで複数のデバイスを構成できます。ADGS1414D を通してデジタル信号および電源を配線することで、チャンネル密度を更に増加させることができます。パッシブ・コンポーネントが内蔵されているため、外付けのパッシブ・コンポーネントは不要です。

機能ブロック図

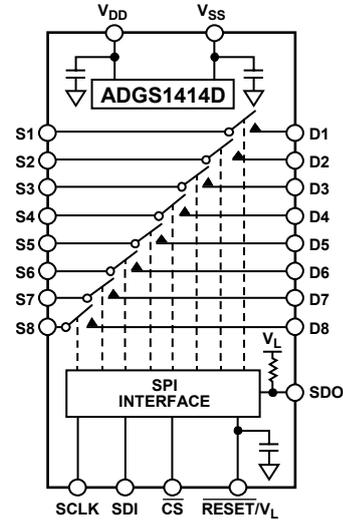


図 1.

ADGS1414D は、大規模スイッチ・マトリクスや高ファンアウト・アプリケーションなど、高密度スイッチング・アプリケーションに最適です。

各スイッチをオンにすると、両方向に均一に信号が伝達されます。また、各スイッチは電源電圧まで拡張された入力信号範囲を備えています。オフ状態では、電源までの信号レベルがブロックされます。

多機能ピンの名称は、該当する機能のみで表示されることがあります。

製品のハイライト

- SPI を採用しているため、パラレル変換やロジック・パターンの必要がなく、汎用の入出力 (GPIO) チャンネル数が減ります。
- デジチェーン・モードでは、複数のデバイスを使用する場合にロジック・パターンを追加する必要がありません。
- デジタル信号および電源のスルー配線により配線が容易になり、チャンネル密度を増加できます。
- パッシブ・コンポーネントが内蔵されているため、外付けのパッシブ・コンポーネントは不要です。
- CRC エラーの検出、無効な読出しおよび書込みアドレスの検出、SCLK カウント・エラーの検出により、デジタル・インターフェースの信頼性が向上します。
- CRC エラー検出、無効な読出しおよび書込みアドレスの検出、SCLK エラー検出などの機能があるため、安全性が不可欠なシステムにおいて ADGS1414D を使用できます。
- 最小の歪み。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	エラー・フラグ・レジスタのクリア	21
アプリケーション	1	バースト・モード	21
概要	1	ソフトウェア・リセット	21
機能ブロック図	1	デイジーチェーン・モード	21
製品のハイライト	1	パワーオン・リセット	22
改訂履歴	2	アプリケーション情報	23
仕様	3	システム・チャンネル密度	23
±15V の両電源	3	ブレイクビフオアメーク・スイッチング機能	24
±5V の両電源	5	デジタル入力バッファ	24
12V の単電源	7	電源レール	24
チャンネルごとの連続電流、Sx または Dx	9	電源の推奨事項	24
タイミング特性	9	1.8V ロジックとの互換性	24
絶対最大定格	11	レジスタの一覧	25
熱抵抗	11	レジスタの詳細	26
静電放電 (ESD) 定格	11	スイッチ・データ・レジスタ	26
ESD に関する注意	11	エラー設定レジスタ	26
ピン配置およびピン機能の説明	12	エラー・フラグ・レジスタ	27
代表的な性能特性	13	バースト・イネーブル・レジスタ	27
試験回路	17	ソフトウェア・リセット・レジスタ	27
用語の定義	19	外形寸法	28
動作原理	20	オーダー・ガイド	28
アドレス・モード	20		
エラー検出機能	20		

改訂履歴

6/2020—Revision 0: Initial Version

仕様

±15Vの両電源

特に指定のない限り、 $V_{DD} = +15V \pm 10\%$ 、 $V_{SS} = -15V \pm 10\%$ 、 $V_L = 2.7V \sim 5.5V$ 、 $GND = 0V$ 。

表 1.

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	1.5			Ω typ	ソース電圧、 $V_S = \pm 10V$ 、ソース電流、 $I_S = -10mA$ 、 図 29 を参照
On-Resistance Match Between Channels, ΔR_{ON}	1.8	2.3	2.6	Ω max	$V_{DD} = +13.5V$ 、 $V_{SS} = -13.5V$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.1			Ω typ	$V_S = \pm 10V$ 、 $I_S = -10mA$
	0.18	0.19	0.21	Ω max	
	0.3			Ω typ	$V_S = \pm 10V$ 、 $I_S = -10mA$
	0.36	0.4	0.45	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.03			nA typ	$V_{DD} = +16.5V$ 、 $V_{SS} = -16.5V$
	± 0.55	± 2	± 12.5	nA max	$V_S = \pm 10V$ 、ドレイン電圧、 $V_D = \mu 10V$ 、 図 32 を参照
Drain Off Leakage, I_D (Off)	± 0.03			nA typ	
	± 0.55	± 2	± 12.5	nA max	$V_S = \pm 10V$ 、 $V_D = \mu 10V$ 、 図 32 を参照
Channel On Leakage, I_D (On), I_S (On)	± 0.15			nA typ	$V_S = V_D = \pm 10V$ 、 図 28 を参照
	± 2	± 4	± 30	nA max	
DIGITAL OUTPUT					
Output Voltage					
Low, V_{OL}			0.4	V max	シンク電流、 $I_{SINK} = 1mA$
High, V_{OH}			0.3	V max	$I_{SINK} = 100\mu A$
			$V_L - 1.25V$	V min	ソース電流、 $I_{SOURCE} = 1mA$
			$V_L - 0.125V$	V min	$I_{SOURCE} = 100\mu A$
Digital Output Capacitance, C_{OUT}	4			pF typ	
DIGITAL INPUTS					
Input Voltage					
High, V_{INH}			2	V min	$3.3V < V_L \leq 5.5V$
			1.35	V min	$2.7V \leq V_L \leq 3.3V$
Low, V_{INL}			0.8	V max	$3.3V < V_L \leq 5.5V$
			0.8	V max	$2.7V \leq V_L \leq 3.3V$
Input Current					
Low, I_{INL} or High, I_{INH}	0.001			μA typ	入力電圧、 $V_{IN} =$ グラウンド電圧、 V_{GND} または V_L
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTICS¹					
On Time, t_{ON}	400			ns typ	負荷抵抗、 $R_L = 300\Omega$ 、負荷容量、 $C_L = 35pF$
	475	480	485	ns max	$V_S = 10V$ 、 図 37 を参照
Off Time, t_{OFF}	160			ns typ	$R_L = 300\Omega$ 、 $C_L = 35pF$
	190	210	225	ns max	$V_S = 10V$ 、 図 37 を参照

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
Break-Before-Make Time Delay, t_b	215		170	ns typ	$R_L = 300\Omega$, $C_L = 35pF$
				ns min	ソース 1 電圧、 V_{S1} = ソース 2 電圧、 $V_{S2} = 10V$ 、 図 36 を参照
Charge Injection, Q_{INJ}	-20			pC typ	$V_S = 0V$ 、ソース抵抗、 $R_S = 0\Omega$ 、 $C_L = 1nF$ 、 図 38 を参照
Off Isolation	-76			dB typ	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、周波数、 $f = 1MHz$ 、 図 31 を参照
Channel to Channel Crosstalk	-75			dB typ	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、 $f = 1MHz$ 、 図 30 を参照
Total Harmonic Distortion + Noise, THD + N	0.014			% typ	$R_L = 110\Omega$ 、15V p-p、 $f = 20Hz \sim 20kHz$ 、 図 33 を参照
-3 dB Bandwidth	170			MHz typ	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、 図 34 を参照
Insertion Loss	-0.2			dB typ	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、 $f = 1MHz$ 、 図 34 を参照
Source Capacitance, C_S (Off)	20			pF typ	$V_S = 0V$ 、 $f = 1MHz$
Drain Capacitance, C_D (Off)	21			pF typ	$V_S = 0V$ 、 $f = 1MHz$
C_D (On), C_S (On)	111			pF typ	$V_S = 0V$ 、 $f = 1MHz$
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.04		4.0	μA typ	$V_{DD} = +16.5V$ 、 $V_{SS} = -16.5V$ 全スイッチが開
				μA max	
				μA typ	全スイッチが閉、 $V_L = 5.5V$
				μA max	
Load Current, I_L			800	μA max	全スイッチが閉、 $V_L = 2.7V$
				μA typ	
				μA max	
				μA typ	
Inactive	6.3		8.0	μA typ	デジタル入力 = 0V または V_L
				μA max	
Inactive, SCLK = 1 MHz	14			μA typ	$\overline{CS} = V_L$ および $SDI = 0V$ または V_L 、 $V_L = 5V$
				μA max	
SCLK = 50 MHz	7			μA typ	$\overline{CS} = V_L$ および $SDI = 0V$ または V_L 、 $V_L = 3V$
				μA max	
Inactive, SDI = 1 MHz	390			μA typ	$\overline{CS} = V_L$ および $SDI = 0V$ または V_L 、 $V_L = 5V$
				μA max	
SDI = 25 MHz	210			μA typ	$\overline{CS} = V_L$ および $SDI = 0V$ または V_L 、 $V_L = 3V$
				μA max	
Active at 50 MHz	15			μA typ	\overline{CS} および $SCLK = 0V$ または V_L 、 $V_L = 5V$
				μA max	
SDI = 25 MHz	7.5			μA typ	\overline{CS} および $SCLK = 0V$ または V_L 、 $V_L = 3V$
				μA max	
Active at 50 MHz	230			μA typ	\overline{CS} および $SCLK = 0V$ または V_L 、 $V_L = 5V$
				μA max	
Negative Supply Current, I_{SS}	1.8		2.1	mA typ	デジタル入力トグル : 0V~ V_L 、 $V_L = 5.5V$
				mA max	
Negative Supply Current, I_{SS}	0.7		1.0	mA typ	デジタル入力トグル : 0V~ V_L 、 $V_L = 2.7V$
				mA max	
V_{DD}/V_{SS}	0.04		4.0	μA typ	デジタル入力 = 0V または V_L
				μA max	
			$\pm 4.5/\pm 16.5$	V min/V max	GND = 0V

¹ 設計により性能を確保。出荷テストは実施していません。

±5V の両電源

特に指定のない限り、 $V_{DD} = +5V \pm 10\%$ 、 $V_{SS} = -5V \pm 10\%$ 、 $V_L = 2.7V \sim 5.5V$ 、 $GND = 0V$ 。

表 2.

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	3.3			Ω typ	$V_S = \pm 4.5V$ 、 $I_S = -10mA$ 、 図 29 を参照
On-Resistance Match Between Channels, ΔR_{ON}	4 0.13	4.9	5.4	Ω max Ω typ	$V_{DD} = +4.5V$ 、 $V_{SS} = -4.5V$ $V_S = \pm 4.5V$ 、 $I_S = -10mA$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.35 0.9 1.1	0.43	0.45	Ω max Ω typ Ω max	$V_S = \pm 4.5V$ 、 $I_S = -10mA$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.03			nA typ	$V_{DD} = +5.5V$ 、 $V_{SS} = -5.5V$ $V_S = \pm 4.5V$ 、 $V_D = \mu 4.5V$ 、 図 32 を参照
Drain Off Leakage, I_D (Off)	± 0.55 ± 0.03	± 2	± 12.5	nA max nA typ	$V_S = \pm 4.5V$ 、 $V_D = \mu 4.5V$ 、 図 32 を参照
Channel On Leakage, I_D (On), I_S (On)	± 0.55 ± 0.05 ± 1.0	± 2 ± 4	± 12.5 ± 30	nA max nA typ nA max	$V_S = V_D = \pm 4.5V$ 、図 28 を参照
DIGITAL OUTPUT					
Output Voltage Low, V_{OL}			0.4 0.3	V max V max	$I_{SINK} = 1mA$ $I_{SINK} = 100\mu A$
High, V_{OH}			$V_L - 1.25V$ $V_L - 0.125V$	V min V min	$I_{SOURCE} = 1mA$ $I_{SOURCE} = 100\mu A$
Digital Output Capacitance, C_{OUT}	4			pF typ	
DIGITAL INPUTS					
Input Voltage High, V_{INH}			2 1.35	V min V min	$3.3V < V_L \leq 5.5V$ $2.7V \leq V_L \leq 3.3V$
Low, V_{INL}			0.8 0.8	V max V max	$3.3V < V_L \leq 5.5V$ $2.7V \leq V_L \leq 3.3V$
Input Current Low, I_{INL} or High, I_{INH}	0.001		± 0.1	μA typ μA max	$V_{IN} = V_{GND}$ または V_L
Digital Input Capacitance, C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTICS¹					
On Time, t_{ON}	510 645			ns typ ns max	$R_L = 300\Omega$ 、 $C_L = 35pF$ $V_S = 3V$ 、図 37 を参照
Off Time, t_{OFF}	280 365	680 400	710 435	ns typ ns max	$R_L = 300\Omega$ 、 $C_L = 35pF$ $V_S = 3V$ 、図 37 を参照
Break-Before-Make Time Delay, t_D	245		200	ns typ ns min	$R_L = 300\Omega$ 、 $C_L = 35pF$ $V_{S1} = V_{S2} = 3V$ 、図 36 を参照
Charge Injection, Q_{INJ}	10			pC typ	$V_S = 0V$ 、 $R_S = 0\Omega$ 、 $C_L = 1nF$ 、 図 38 を参照
Off Isolation	-76			dB typ	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、 $f = 1MHz$ 、 図 31 を参照
Channel to Channel Crosstalk	-75			dB typ	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、 $f = 1MHz$ 、 図 30 を参照

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
Total Harmonic Distortion + Noise, THD + N	0.03			% typ	$R_L = 110\Omega$, 5V p-p, $f = 20\text{Hz} \sim 20\text{kHz}$, 図 33 を参照
-3 dB Bandwidth	130			MHz typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, 図 34 を参照
Insertion Loss	-0.3			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, $f = 1\text{MHz}$, 図 34 を参照
Source Capacitance, C_S (Off)	30			pF typ	$V_S = 0\text{V}$, $f = 1\text{MHz}$
Drain Capacitance, C_D (Off)	31			pF typ	$V_S = 0\text{V}$, $f = 1\text{MHz}$
C_D (On), C_S (On)	116			pF typ	$V_S = 0\text{V}$, $f = 1\text{MHz}$
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.04			μA typ	$V_{DD} = +5.5\text{V}$, $V_{SS} = -5.5\text{V}$ デジタル入力 = 0V または V_L , $V_L = 5.5\text{V}$
			4.0	μA max	
	28			μA typ	全スイッチが閉、 $V_L = 2.7\text{V}$
			60	μA max	
Load Current, I_L					
Inactive	6.3			μA typ	デジタル入力 = 0V または V_L
			8.0	μA max	
Inactive, SCLK = 1 MHz	14			μA typ	$\overline{CS} = V_L$ および $SDI = 0\text{V}$ または V_L , $V_L = 5\text{V}$
				μA typ	$\overline{CS} = V_L$ および $SDI = 0\text{V}$ または V_L , $V_L = 3\text{V}$
SCLK = 50 MHz	390			μA typ	$\overline{CS} = V_L$ および $SDI = 0\text{V}$ または V_L , $V_L = 5\text{V}$
				μA typ	$\overline{CS} = V_L$ および $SDI = 0\text{V}$ または V_L , $V_L = 3\text{V}$
Inactive, SDI = 1 MHz	15			μA typ	\overline{CS} および $SCLK = 0\text{V}$ または V_L , $V_L = 5\text{V}$
				μA typ	\overline{CS} および $SCLK = 0\text{V}$ または V_L , $V_L = 3\text{V}$
SDI = 25 MHz	230			μA typ	\overline{CS} および $SCLK = 0\text{V}$ または V_L , $V_L = 5\text{V}$
				μA typ	\overline{CS} および $SCLK = 0\text{V}$ または V_L , $V_L = 3\text{V}$
Active at 50 MHz	1.8			mA typ	デジタル入力トグル: 0V~ V_L , $V_L = 5.5\text{V}$
			2.1	mA max	
	0.7			mA typ	デジタル入力トグル: 0V~ V_L , $V_L = 2.7\text{V}$
			1.0	mA max	
Negative Supply Current, I_{SS}	0.04			μA typ	デジタル入力 = 0V または V_L
			4.0	μA max	
V_{DD}/V_{SS}			$\pm 4.5/\pm 16.5$	V min/V max	GND = 0V

¹ 設計により性能を確保。出荷テストは実施していません。

12Vの単電源

特に指定のない限り、 $V_{DD} = 12V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $V_L = 2.7V \sim 5.5V$ 、 $GND = 0V$ 。

表 3.

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
ANALOG SWITCH					
Analog Signal Range			0V to V_{DD}	V	
On Resistance, R_{ON}	2.8			Ω typ	$V_S = 0V \sim 10V$ 、 $I_S = -10mA$ 、 図 29 を参照
On-Resistance Match Between Channels, ΔR_{ON}	3.5	4.3	4.8	Ω max	$V_{DD} = 10.8V$ 、 $V_{SS} = 0V$
	0.13			Ω typ	$V_S = 0V \sim 10V$ 、 $I_S = -10mA$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.35	0.43	0.45	Ω max	
	0.6			Ω typ	$V_S = 0V \sim 10V$ 、 $I_S = -10mA$
	1.1	1.2	1.3	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.02			nA typ	$V_{DD} = 13.2V$ 、 $V_{SS} = 0V$ $V_S = 1V/10V$ 、 $V_D = 10V/1V$ 、 図 32 を参照
Drain Off Leakage, I_D (Off)	± 0.55	± 2	± 12.5	nA max	
	± 0.02			nA typ	$V_S = 1V/10V$ 、 $V_D = 10V/1V$ 、 図 32 を参照
Channel On Leakage, I_D (On), I_S (On)	± 0.55	± 2	± 12.5	nA max	
	± 0.15			nA typ	$V_S = V_D = 1V/10V$ 、図 28 を参照
	± 1.5	± 4	± 30	nA max	
DIGITAL OUTPUT					
Output Voltage Low, V_{OL}			0.4	V max	$I_{SINK} = 1mA$
			0.3	V max	$I_{SINK} = 100\mu A$
High, V_{OH}			$V_L - 1.25V$	V min	$I_{SOURCE} = 1mA$
			$V_L - 0.125V$	V min	$I_{SOURCE} = 100\mu A$
Digital Output Capacitance, C_{OUT}	4			pF typ	
DIGITAL INPUTS					
Input Voltage High, V_{INH}			2	V min	$3.3V < V_L \leq 5.5V$
			1.35	V min	$2.7V \leq V_L \leq 3.3V$
Low, V_{INL}			0.8	V max	$3.3V < V_L \leq 5.5V$
			0.8	V max	$2.7V \leq V_L \leq 3.3V$
Input Current Low, I_{INL} or High, I_{INH}	0.001			μA typ	$V_{IN} = V_{GND}$ または V_L
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTICS¹					
On Time, t_{ON}	470			ns typ	$R_L = 300\Omega$ 、 $C_L = 35pF$
	570	595	615	ns max	$V_S = 8V$ 、図 37 を参照
Off Time, t_{OFF}	170			ns typ	$R_L = 300\Omega$ 、 $C_L = 35pF$
	215	240	265	ns max	$V_S = 8V$ 、図 37 を参照
Break-Before-Make Time Delay, t_D	280			ns typ	$R_L = 300\Omega$ 、 $C_L = 35pF$
			225	ns min	$V_{S1} = V_{S2} = 8V$ 、図 36 を参照
Charge Injection, Q_{INJ}	10			pC typ	$V_S = 6V$ 、 $R_S = 0\Omega$ 、 $C_L = 1nF$ 、 図 38 を参照
Off Isolation	-76			dB typ	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、 $f = 1MHz$ 、 図 31 を参照

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
Channel to Channel Crosstalk	-75			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$, 図 30 を参照
Total Harmonic Distortion + Noise, THD + N	0.06			% typ	$R_L = 110\Omega$, 6V p-p, $f = 20Hz \sim 20kHz$, 図 33 を参照
-3 dB Bandwidth	130			MHz typ	$R_L = 50\Omega$, $C_L = 5pF$, 図 34 を参照
Insertion Loss	-0.3			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$, 図 34 を参照
Source Capacitance, C_S (Off)	27			pF typ	$V_S = 6V$, $f = 1MHz$
Drain Capacitance, C_D (Off)	28			pF typ	$V_S = 6V$, $f = 1MHz$
C_D (On), C_S (On)	116			pF typ	$V_S = 6V$, $f = 1MHz$
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.04			μA typ	$V_{DD} = 13.2V$ 全スイッチが開
			4.0	μA max	
	420			μA typ	全スイッチが閉, $V_L = 5.5V$
			800	μA max	
	520			μA typ	全スイッチが閉, $V_L = 2.7V$
			850	μA max	
Load Current, I_L					
Inactive	6.3			μA typ	デジタル入力 = 0V または V_L
			8.0	μA max	
Inactive, SCLK = 1 MHz	14			μA typ	$\overline{CS} = V_L$ および SDI = 0V または V_L , $V_L = 5V$
	7			μA typ	$\overline{CS} = V_L$ および SDI = 0V または V_L , $V_L = 3V$
SCLK = 50 MHz	390			μA typ	$\overline{CS} = V_L$ および SDI = 0V または V_L , $V_L = 5V$
	210			μA typ	$\overline{CS} = V_L$ および SDI = 0V または V_L , $V_L = 3V$
Inactive, SDI = 1 MHz	15			μA typ	\overline{CS} および SCLK = 0V または V_L , $V_L = 5V$
	7.5			μA typ	\overline{CS} および SCLK = 0V または V_L , $V_L = 3V$
SDI = 25 MHz	230			μA typ	\overline{CS} および SCLK = 0V または V_L , $V_L = 5V$
	120			μA typ	\overline{CS} および SCLK = 0V または V_L , $V_L = 3V$
Active at 50 MHz	1.8			mA typ	デジタル入力トグル: 0V~ V_L , $V_L = 5.5V$
			2.1	mA max	
	0.7			mA typ	デジタル入力トグル: 0V~ V_L , $V_L = 2.7V$
V_{DD}			1.0	mA max	
			5/20	V min/V max	GND = 0V, $V_{SS} = 0V$

¹ 設計により性能を確保。出荷テストは実施していません。

チャンネルごとの連続電流、Sx または Dx

表 4. 8 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹				
$V_{DD} = +15V, V_{SS} = -15V (\theta_{JA} = 65.5^{\circ}C/W)$	273	156	80	mA maximum
$V_{DD} = +12V, V_{SS} = 0V (\theta_{JA} = 65.5^{\circ}C/W)$	221	133	72	mA maximum
$V_{DD} = +5V, V_{SS} = -5V (\theta_{JA} = 65.5^{\circ}C/W)$	206	126	70	mA maximum

¹ Sx は S1~S8 ピン、Dx は D1~D8 ピンを表します。

表 5. 1 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹				
$V_{DD} = +15V, V_{SS} = -15V (\theta_{JA} = 65.5^{\circ}C/W)$	490	225	87	mA maximum
$V_{DD} = +12V, V_{SS} = 0V (\theta_{JA} = 65.5^{\circ}C/W)$	399	200	84	mA maximum
$V_{DD} = +5V, V_{SS} = -5V (\theta_{JA} = 65.5^{\circ}C/W)$	373	192	83	mA maximum

¹ Sx は S1~S8 ピン、Dx は D1~D8 ピンを表します。

タイミング特性

特に指定のない限り、 $V_L = 2.7V \sim 5.5V$ 、 $GND = 0V$ 、すべての仕様で最低温度 (T_{MIN}) ~ 最高温度 (T_{MAX})。設計と特性評価により性能は確保していますが、出荷テストの対象外です。タイミング図については図 2~図 4 を参照してください。

表 6.

パラメータ	限界値	単位	テスト条件/コメント
TIMING CHARACTERISTICS			
t_1	20	ns min	SCLK 周期
t_2	8	ns min	SCLK ハイ・パルス幅
t_3	8	ns min	SCLK ロー・パルス幅
t_4	10	ns min	\overline{CS} の立下がりエッジから SCLK アクティブ・エッジまでの時間
t_5	6	ns min	データ・セットアップ時間
t_6	8	ns min	データ・ホールド時間
t_7	10	ns min	SCLK のアクティブ・エッジから \overline{CS} の立上がりエッジまでの時間
t_8	20	ns max	\overline{CS} の立下がりエッジから使用可能 SDO データまでの時間
t_9^1	30	ns max	SCLK の立下がりエッジからの使用可能 SDO データまでの時間
t_{10}	30	ns max	\overline{CS} 立上がりエッジから SDO がハイに戻るまでの時間
t_{11}	20	ns min	SPI コマンド間の \overline{CS} のハイ時間
t_{12}	8	ns min	\overline{CS} の立下がりエッジから SCLK が安定するまでの時間
t_{13}	8	ns min	\overline{CS} の立上がりエッジから SCLK が安定するまでの時間

¹ 20pF の負荷容量を接続して測定。SDO を使用する場合の最大 SCLK 周波数は t_9 で決定します。

タイミング図

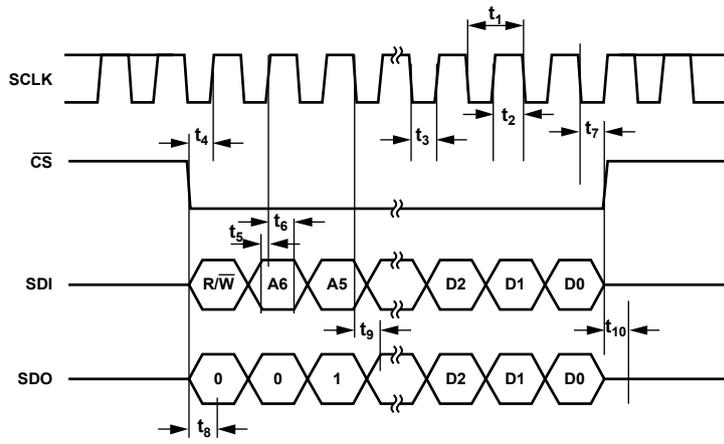


図 2. アドレス・モードのタイミング図

23895-002

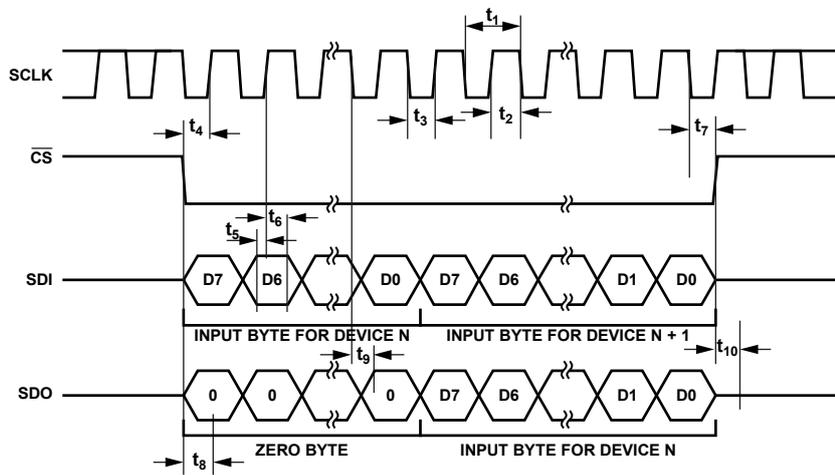


図 3. デイジーチェーンのタイミング図

23895-003

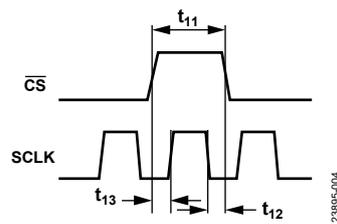


図 4. SCLK および CS のタイミングの関係

23895-004

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
V_{DD} to V_{SS}	35V
V_{DD} to GND	-0.3V to +25V
V_{SS} to GND	+0.3V to -25V
V_L to GND	
For $V_{DD} \leq 5.5\text{V}$	-0.3V to $V_{DD} + 0.3\text{V}$
For $V_{DD} > 5.5\text{V}$	-0.3V to +6V
SDO	-0.3V to $V_L + 0.3\text{V}$ or 6mA, whichever occurs first
Analog Inputs ¹	$V_{SS} - 0.3\text{V}$ to $V_{DD} + 0.3\text{V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	-0.3V to +6V
Peak Current, Sx or Dx ²	550mA (pulsed at 1ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx ^{2,3}	Data + 15%
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction	150°C
Reflow Soldering Peak Temperature, Pb Free	260(+0/-5)°C

¹ デジタル Sx ピンおよび Dx ピンでの過電圧は、内部ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

² Sx は S1~S8 ピン、Dx は D1~D8 ピンを表します。

³ 表 4 および 表 5 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JCB} は、ジャンクションとケース底面の間の値です。

表 8. 熱抵抗

Package Type	θ_{JA}	θ_{JCB}	Unit
LGA ¹	65.5	48.12	°C/W

¹ 熱抵抗のシミュレーション値は、4 つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電 (ESD) 定格

次の ESD 情報は、ESD に敏感なデバイスを ESD 保護領域内においてのみ取り扱う場合のものであります。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘導デバイス帯電モデル (FICDM)。

ADGS1414D の ESD 定格

表 9. ADGS1414D、30 端子 LGA

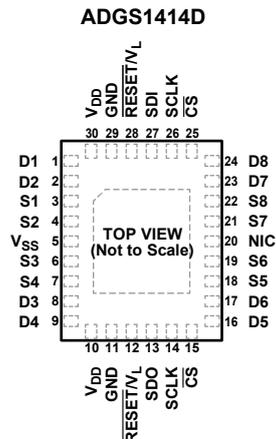
Package Type	Withstand Threshold (V)	Class
HBM	±2000	2
FICDM	±1250	C3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. NIC = NOT INTERNALLY CONNECTED.
 2. EXPOSED PAD. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE EXPOSED PAD IS CONNECTED TO V_{SS}.

2389E-005

図 5. ピン配置

表 10. ピン機能の説明

ピン番号	記号	説明
1	D1	ドレイン端子 1。D1 ピンは、入力または出力に設定できます。
2	D2	ドレイン端子 2。D2 ピンは、入力または出力に設定できます。
3	S1	ソース端子 1。S1 ピンは、入力または出力に設定できます。
4	S2	ソース端子 2。S2 ピンは、入力または出力に設定できます。
5	V _{SS}	負電源の電位。単電源アプリケーションでは、V _{SS} ピンをグラウンドに接続します。
6	S3	ソース端子 3。S3 ピンは、入力または出力に設定できます。
7	S4	ソース端子 4。S4 ピンは、入力または出力に設定できます。
8	D3	ドレイン端子 3。D3 ピンは、入力または出力に設定できます。
9	D4	ドレイン端子 4。D4 ピンは、入力または出力に設定できます。
10, 30	V _{DD}	正電源の電位。どちらの V _{DD} ピンも内部接続されています。
11, 29	GND	グラウンド (0V) リファレンス。どちらの GND ピンも内部接続されています。
12, 28	RESET/V _L	RESET/ロジック電源入力 (V _L)。通常動作では、2.7V~5.5V の電源で RESET/V _L を駆動します。ハードウェア・リセットを完了するには、RESET/V _L をローにプルダウンします。リセット後、すべてのスイッチは解放になり、該当するレジスタがデフォルト値に設定されます。両 RESET/V _L は内部接続されています。
13	SDO	シリアル・データ出力。多数のデバイスをデジチェーン接続したり、診断のためにレジスタに保存されているデータをリードバックしたりするには、SDO ピンを使用します。シリアル・データは SCLK の立上がりエッジで伝搬されます。
14, 26	SCLK	シリアル・クロック入力。SCLK の立上がりエッジでデータがキャプチャされます。最大 50MHz のレートでデータを転送できます。どちらの SCLK ピンも内部接続されています。
15, 25	CS	アクティブ・ローのコントロール入力。CS は、入力データのフレーム同期化信号です。両 CS ピンは内部接続されています。
16	D5	ドレイン端子 5。D5 ピンは、入力または出力に設定できます。
17	D6	ドレイン端子 6。D6 ピンは、入力または出力に設定できます。
18	S5	ソース端子 5。S5 ピンは、入力または出力に設定できます。
19	S6	ソース端子 6。S6 ピンは、入力または出力に設定できます。
20	NIC	内部では未接続。
21	S7	ソース端子 7。S7 ピンは、入力または出力に設定できます。
22	S8	ソース端子 8。S8 ピンは、入力または出力に設定できます。
23	D7	ドレイン端子 7。D7 ピンは、入力または出力に設定できます。
24	D8	ドレイン端子 8。D8 ピンは、入力または出力に設定できます。
27	SDI	シリアル・データ入力。SCLK の立上がりエッジでデータがキャプチャされます。
	EPAD	露出パッド。露出パッドは内部で接続されていません。ハンダ接続の信頼性を向上させ最大限の熱性能を得るため、この露出パッドを V _{SS} に接続することを推奨します。

代表的な性能特性

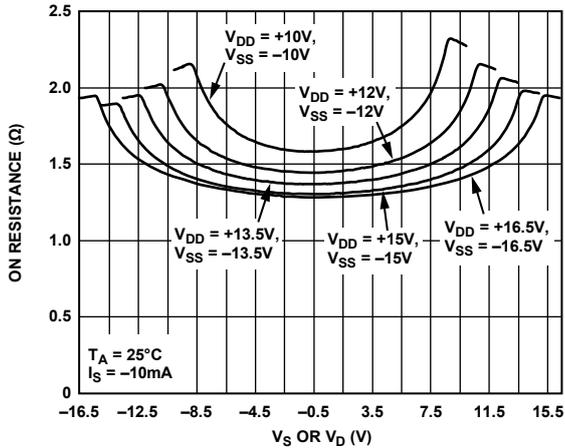


図 6. 様々な両電源でのオン抵抗と V_S または V_D の関係、 $\pm 10V \sim \pm 16.5V$

23895-008

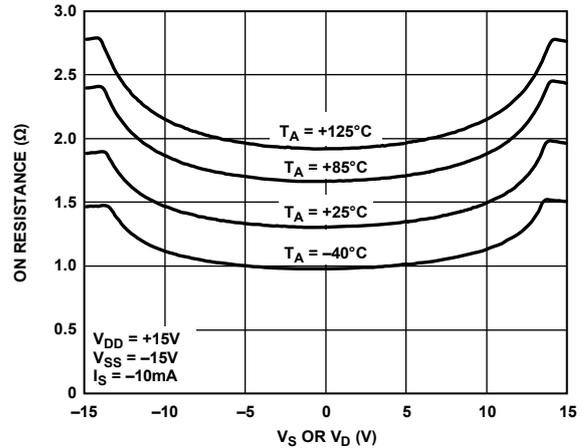


図 9. 様々な温度でのオン抵抗と V_S または V_D の関係、 $\pm 15V$ の両電源

23895-009

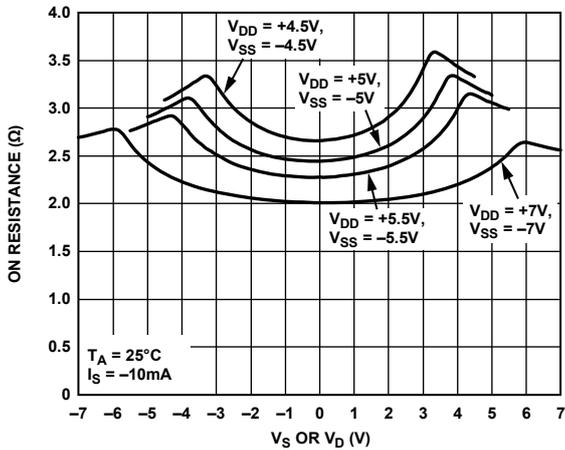


図 7. 様々な両電源でのオン抵抗と V_S または V_D の関係、 $\pm 4.5V \sim \pm 7V$

23895-007

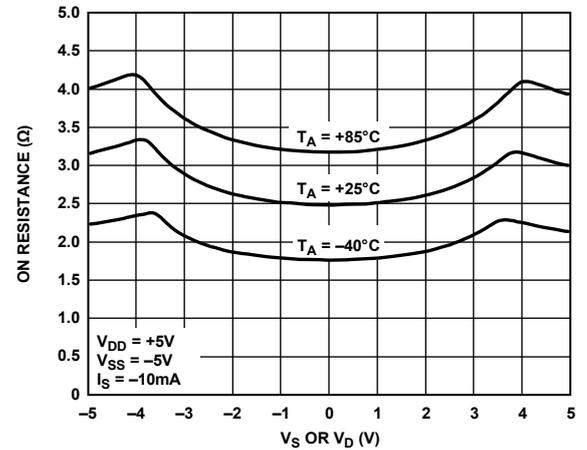


図 10. 様々な温度でのオン抵抗と V_S または V_D の関係、 $\pm 5V$ の両電源

23895-010

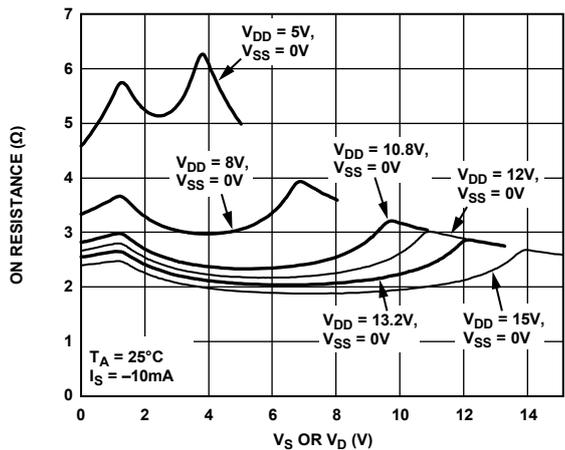


図 8. 様々な単電源でのオン抵抗と V_S または V_D の関係

23895-008

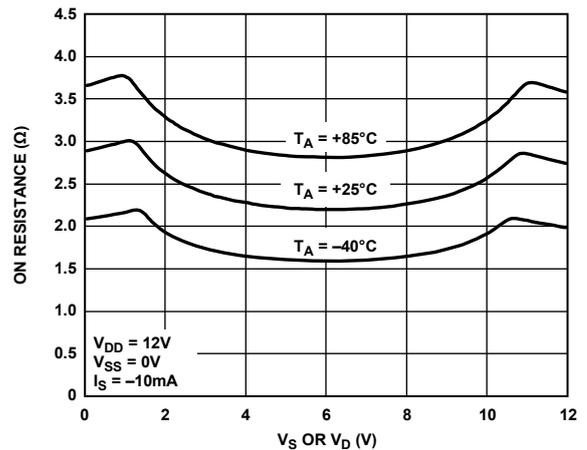


図 11. 様々な温度でのオン抵抗と V_S または V_D の関係、 $\pm 12V$ の単電源

23895-011

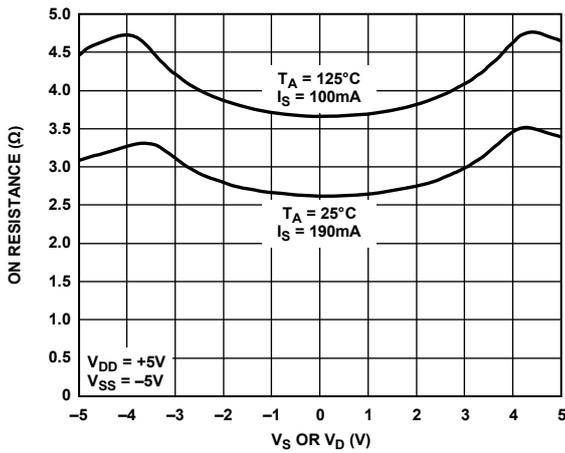


図 12. 様々な電流レベルと温度でのオン抵抗と V_S または V_D の関係、 $\pm 5\text{V}$ の両電源

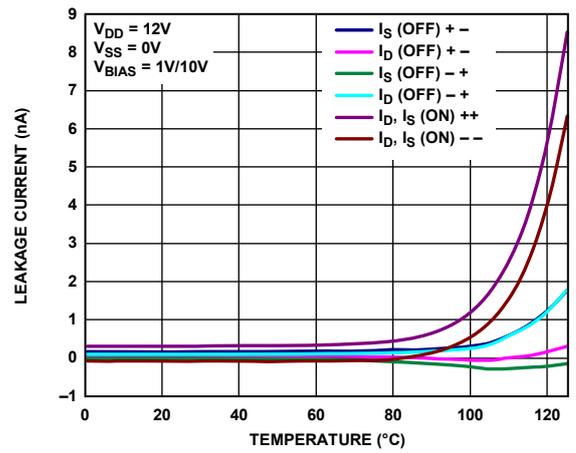


図 15. リーク電流の温度特性、12V の単電源

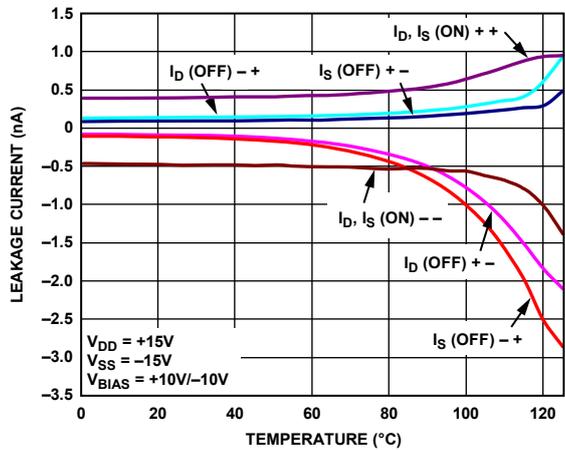


図 13. リーク電流の温度特性、 $\pm 15\text{V}$ の両電源 (V_{BIAS} = バイアス電圧)

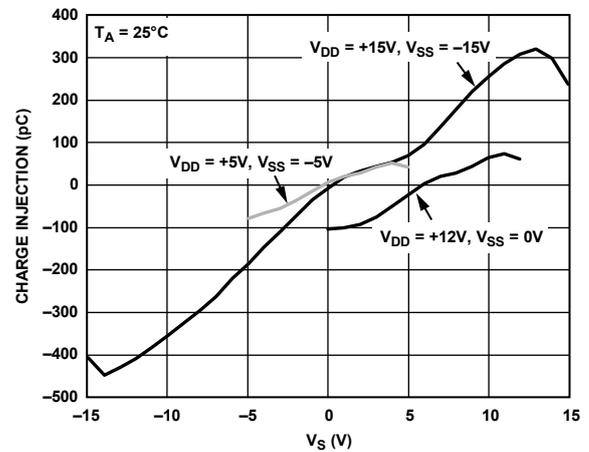


図 16. チャージ・インJECTIONと V_S の関係

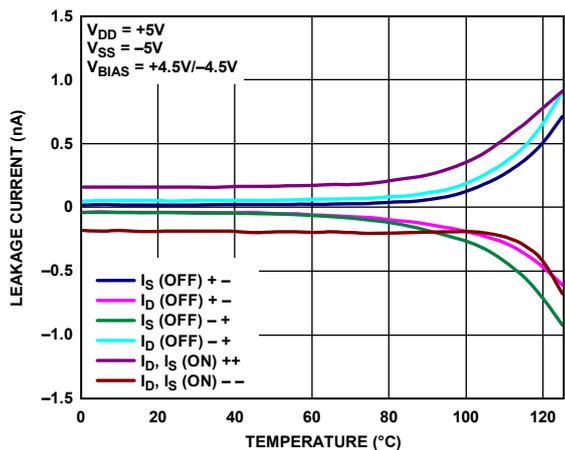


図 14. リーク電流の温度特性、 $\pm 5\text{V}$ の両電源

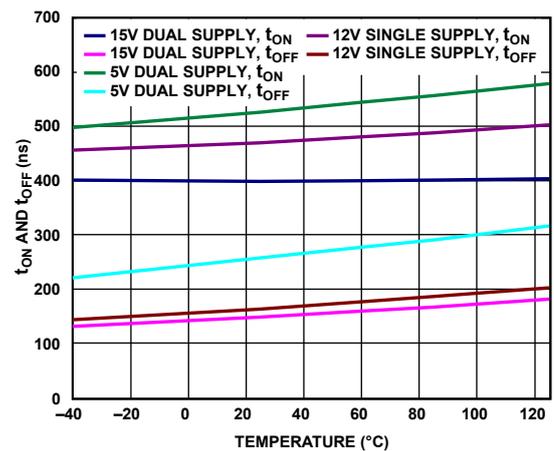


図 17. t_{ON} および t_{OFF} の温度特性、単電源と両電源

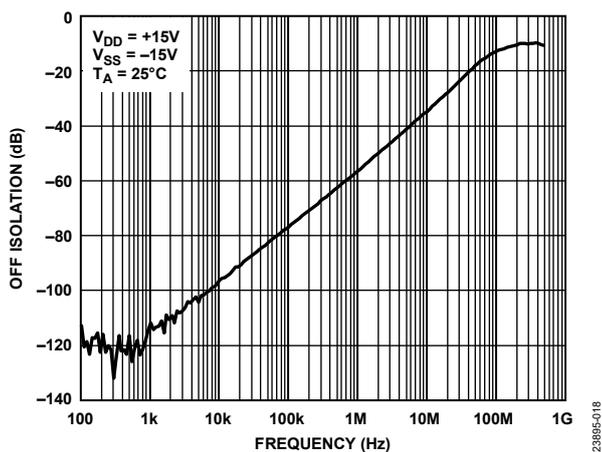


図 18. オフ・アイソレーションの周波数特性、±15Vの両電源

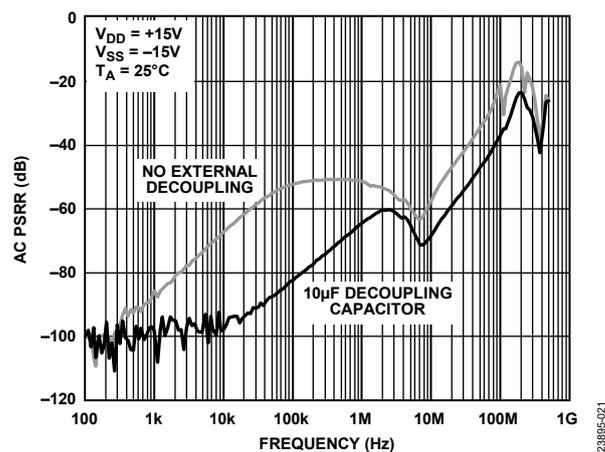


図 21. AC 電源電圧変動除去比 (AC PSRR) の周波数特性、±15Vの両電源

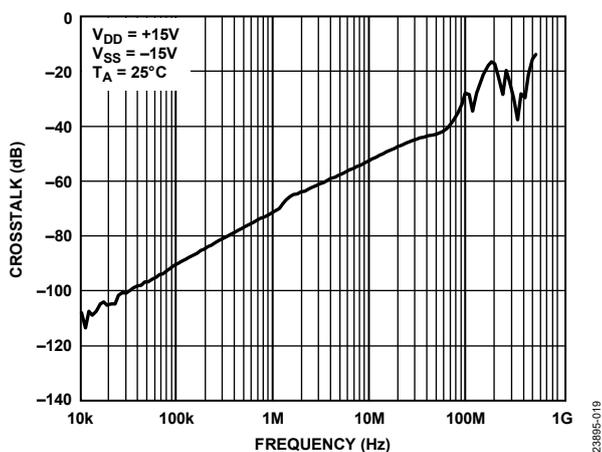


図 19. クロストークの周波数特性、±15Vの両電源

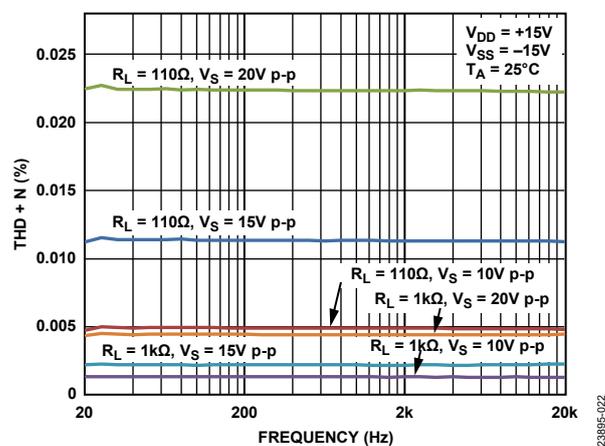


図 22. THD + N の周波数特性、±15Vの両電源

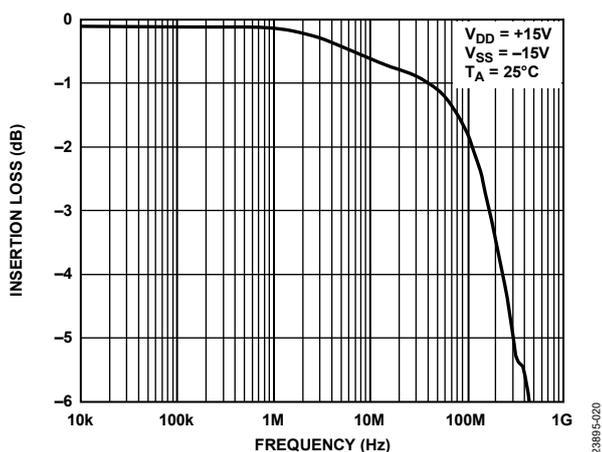


図 20. 挿入損失の周波数特性、±15Vの両電源

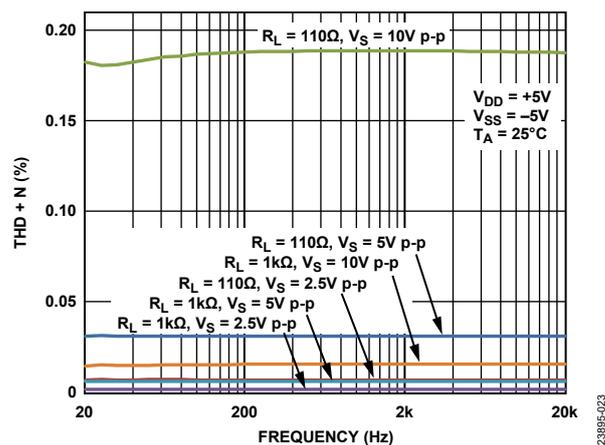


図 23. THD + N の周波数特性、±5Vの両電源

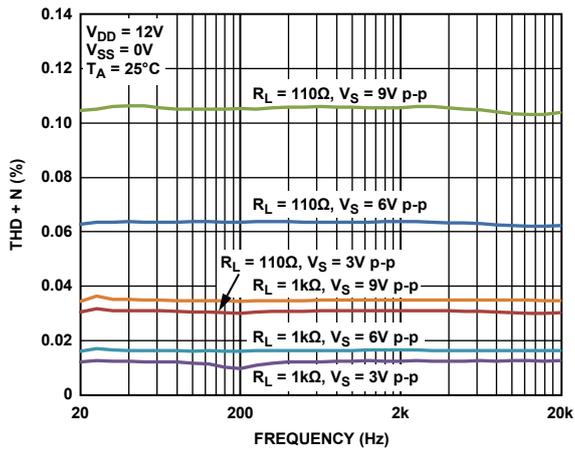


図 24. THD + N の周波数特性、±12V の単電源

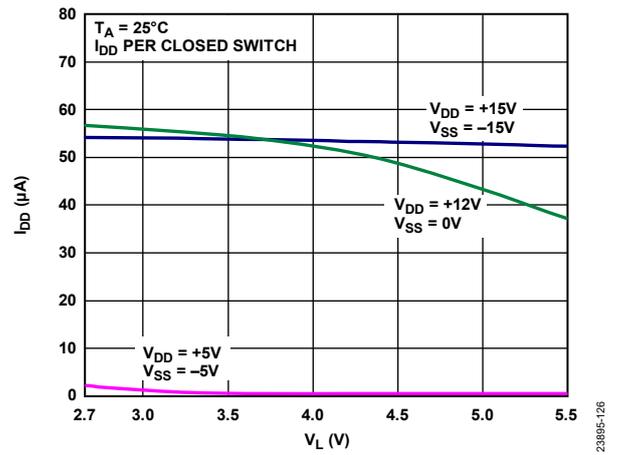


図 26. I_{DD} と V_L の関係

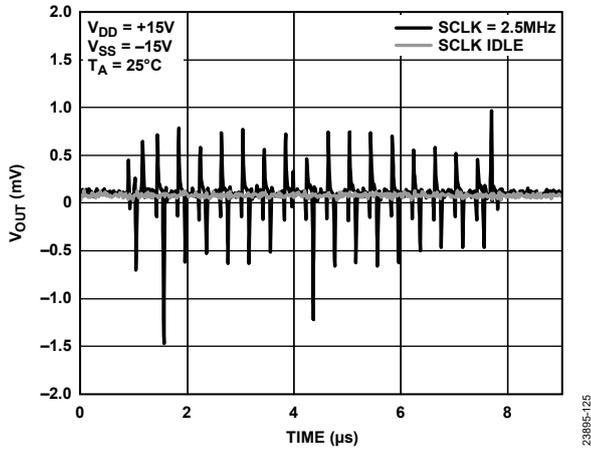


図 25. デジタル・フィードスルー (V_{OUT} = 出力電圧)

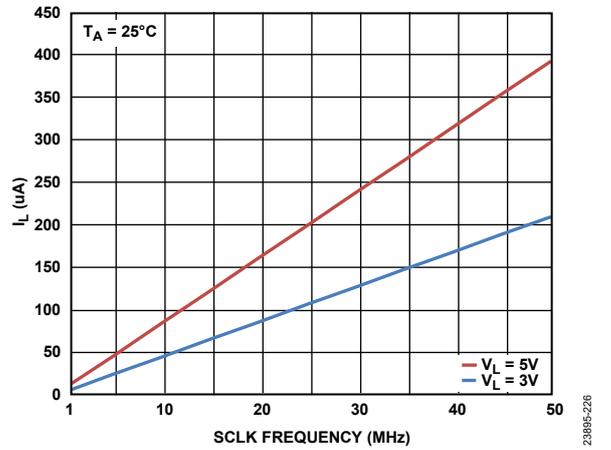


図 27. \overline{CS} がハイの場合の I_L の SCLK 周波数特性

試験回路

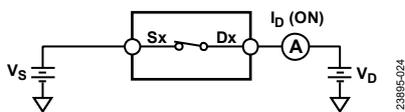


図 28. オン・リーク

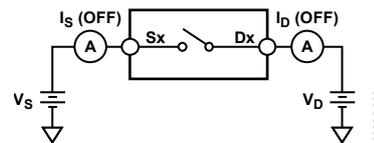


図 32. オフ・リーク

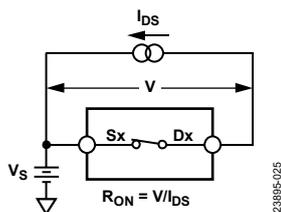


図 29. オン抵抗
(I_{DS} = ドレイン・ソース電流)

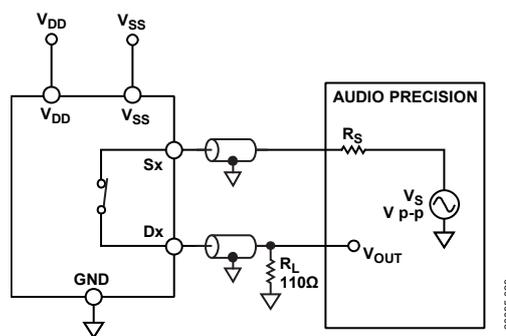


図 33. THD + N

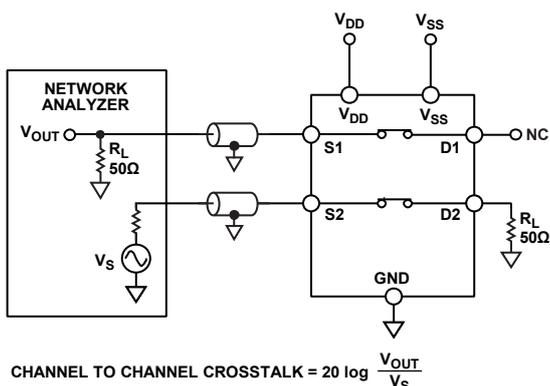


図 30. チャンネル間クロストーク

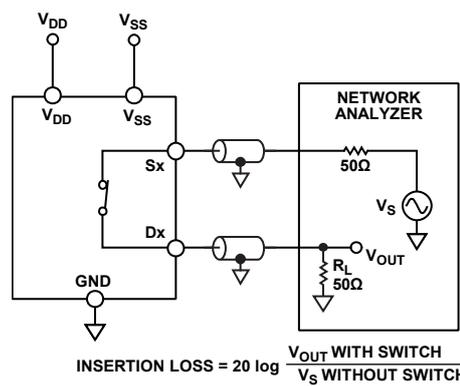


図 34. -3dB 帯域幅

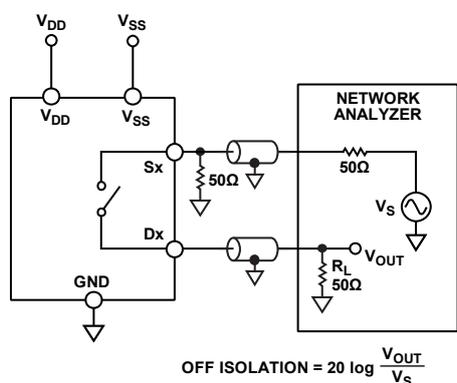
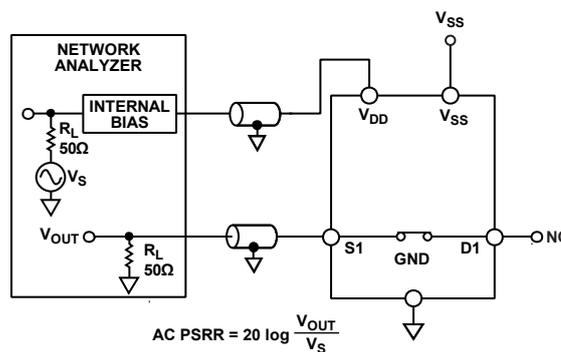


図 31. オフ・アイソレーション



NOTES
1. BOARD AND COMPONENT EFFECTS ARE NOT DE-EMBEDDED FROM THE AC PSRR MEASUREMENT.

図 35. AC PSRR

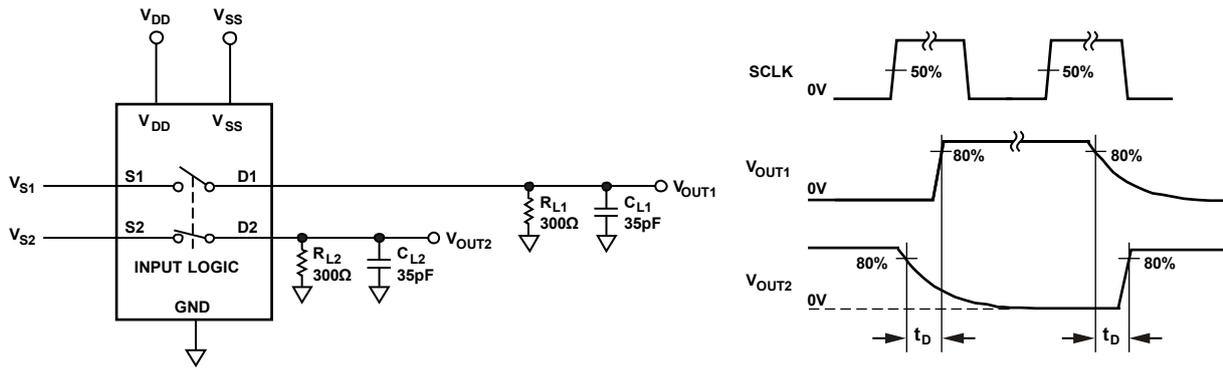


図 36. ブレークビフォアメーカーの遅延時間、 t_D

23895-236

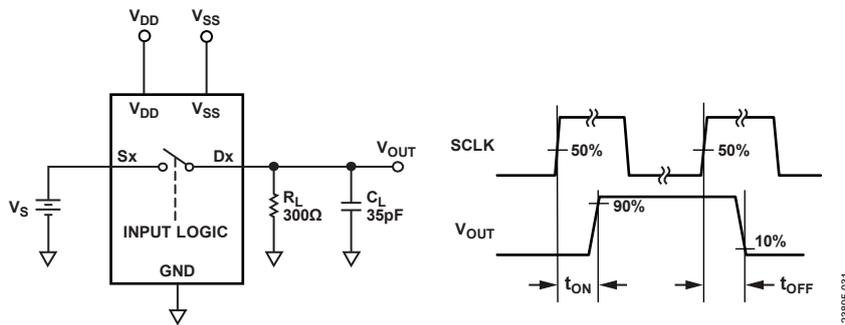


図 37. スイッチング時間、 t_{ON} および t_{OFF}

23895-031

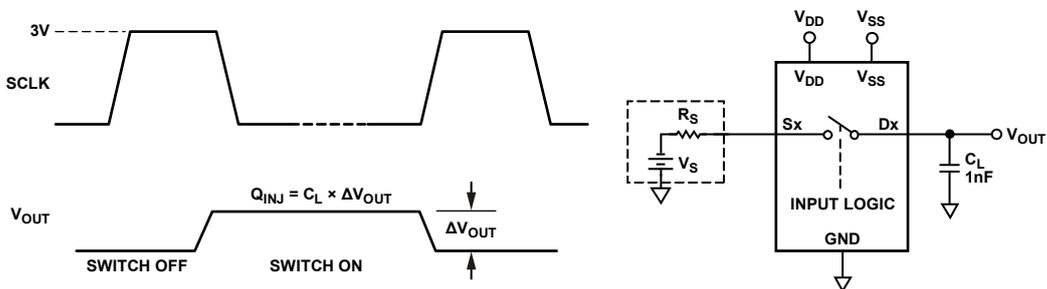


図 38. チャージ・インJECTION、 Q_{INJ} (ΔV_{OUT} = 出力電圧の変化)

23895-032

用語の定義

I_{DD}

正側電源の電流。

I_{SS}

負側電源の電流。

V_D、V_S

端子 DX と端子 Sx のアナログ電圧。

R_{ON}

端子 DX と端子 Sx の間の抵抗。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

R_{FLAT (ON)}

仕様規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される抵抗値の平坦性。

I_{S (Off)}

スイッチ・オフ時のソース・リーク電流。

I_{D (Off)}

スイッチ・オフ時のドレイン・リーク電流。

I_{D (On)}、I_{S (On)}

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

デジタル入力のロー・レベルおよびハイ・レベルでの入力電流。

C_{D (Off)}

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_{S (Off)}

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_{D (On)}、C_{S (On)}

スイッチ・オン時の容量で、グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

C_{OUT}

デジタル出力容量。

t_{ON}

デジタル・コントロールで入力と出力をオンにする間の遅延。

t_{OFF}

デジタル・コントロールで入力と出力をオフにする間の遅延。

オフ・アイソレーション

オフ・スイッチから混入する不要な信号の大きさ。

チャージ・インジェクション

切替え中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。

クロストーク

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

-3dB 帯域幅

出力が 3dB 減衰する周波数。

オン応答

オン状態にあるスイッチの周波数応答。

挿入損失

スイッチのオン抵抗に起因する損失。

全高調波歪み+ノイズ (THD + N)

基本波成分に対する全高調波成分+信号ノイズの比。

AC 電源電圧変動除去比 (AC PSRR)

変調振幅に対する出力信号の振幅の比。AC PSRR は、電源電圧ピンに現れる AC ノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧は、0.62V p-p のサイン波で変調されます。

動作原理

ADGS1414Dは、エラー検出機能を備えたシリアル制御、オクタル SPST スイッチのセットです。SPI モード 0 および SPI モード 3 を ADGS1414D と組み合わせることができ、最大 50MHz の SCLK 周波数で動作します。ADGS1414D のデフォルトのモードは、 \overline{CS} によって分割される 16 ビットの SPI コマンドでデバイスのレジスタにアクセスする、アドレス・モードです。CRC エラー検出が有効な場合は、SPI コマンドは 24 ビット・コマンドになります。その他のエラー検出機能には、SCLK カウント・エラーや無効な読み出し/書き込みエラーがあります。これらの SPI エラーが発生したかどうかを検出するには、エラー・フラグ・レジスタを読み出します。また、ADGS1414D は、バースト・モードとデジタイゼーション・モードでも動作します。

ADGS1414D のインターフェース・ピンは、 \overline{CS} 、SCLK、SDI、および SDO です。SPI を使用する場合は、 \overline{CS} をローにします。データは SCLK の立上がりエッジ発生時に SDI でキャプチャされ、SCLK の立下がりエッジ発生時に SDO で伝搬されます。

アドレス・モード

アドレス・モードは、ADGS1414D のパワーアップ時のデフォルト・モードです。アドレス・モードでは、単一の SPI フレームが \overline{CS} 立下がりエッジと後続の \overline{CS} 立上がりエッジによって分割されます。SPI フレームは、16 SCLK サイクルで構成されます。アドレス・モードのタイミング図を図 39 に示します。最初の SDI ビットを使用して、SPI コマンドが読み出しコマンドまたは書き込みコマンドのどちらであるかを示します。最初のビットが 0 に設定されている場合は、書き込みコマンドが実行されます。最初のビットが 1 に設定されている場合は、読み出しコマンドが実行されます。次の 7 ビットはターゲット・レジスタのアドレスを決定します。残りの 8 ビットは、指定されたレジスタへデータを提供します。読み出しコマンド実行中のクロック・サイクルでは、SDO がレジスタに含まれるデータを伝搬するため、最後の 8 ビットは無視されます。

SPI コマンドのターゲット・レジスタのアドレスは、8 番目の SCLK 立上がりエッジで決定されます。このレジスタのデータは、SPI 読み出し中に 8~15 番目の SCLK 立下がりエッジで SDO から伝搬されます。レジスタへの書き込みは、SPI の書き込み中に 16 番目の SCLK 立上がりエッジで発生します。

SPI コマンドの実行中、SDO は最初の 8 ビットで 8 つのアライメント・ビットを送信します。SDO で観察されるアライメント・ビットは、0x25 です。

エラー検出機能

SPI では、プロトコルと通信のエラーを検出できます。不正な SCLK カウント・エラー検出、無効な読み出しおよび書き込みアドレス・エラー検出、CRC エラー検出の 3 つのエラー検出機能があります。これらのエラー検出機能には、それぞれ、対応するイネーブル・ビットがエラー設定レジスタにあります。更に、エラー・フラグ・レジスタには、各エラー検出機能に対応するエラー・フラグ・ビットがあります。

巡回冗長検査 (CRC) エラーの検出

CRC エラー検出機能では、8 つの SCLK サイクルで有効な SPI フレームが拡張されます。8 つの追加サイクルは、SPI フレームの CRC バイトを送信するために必要です。CRC バイトは、16 ビットのペイロードを使用して SPI ブロックによって計算されます。ペイロードは、R/W ビット、レジスタ・アドレスのビット [6:0]、レジスタ・データのビット [7:0] で構成されます。SPI ブロックで使用される CRC 多項式は、 $x^8 + x^2 + x^1 + 1$ 、シード値は 0 です。CRC を有効にした場合のタイミング図については、図 40 を参照してください。レジスタへの書き込みは、CRC エラー・チェックを有効にした場合に 24 番目の SCLK 立上がりエッジで発生します。

SPI の書き込み中に、マイクロコントローラまたは CPU (中央処理装置) は、SDI 経由で CRC バイトを出力します。SPI ブロックは、24 番目の SCLK 立上がりエッジ直前に CRC バイトをチェックします。同じエッジで、SPI から不正な CRC バイトが受信されると、レジスタへの書き込みは阻止されます。不正な CRC バイトが検出された場合、エラー・フラグ・レジスタの CRC エラー・フラグがアサートされます。

SPI の読み出しを実行中、CRC バイトは SDO からマイクロコントローラに出力されます。

CRC エラー検出機能は、デフォルトでは無効になっています。この機能はエラー設定レジスタで設定できます。

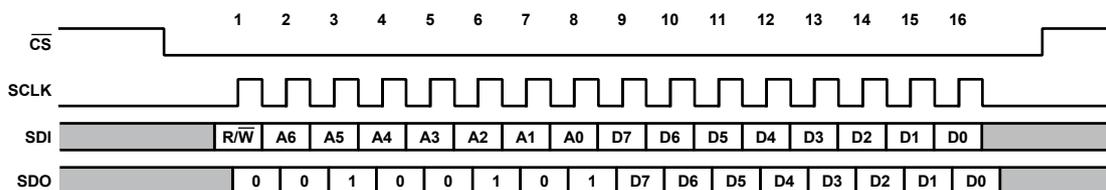


図 39. アドレス・モードのタイミング図

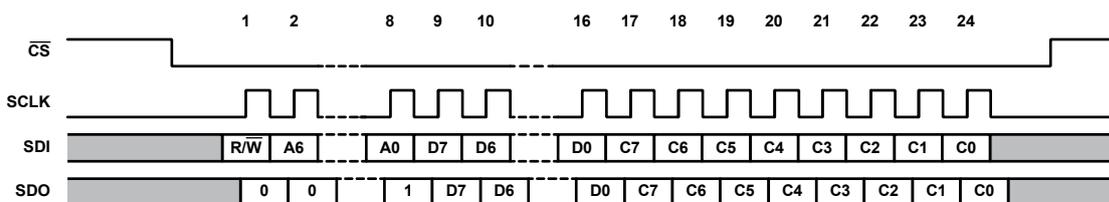


図 40. CRC が有効な場合のタイミング図

SCLK カウント・エラー検出

SCLK カウント・エラー検出を使用すると、不正な SCLK サイクル数がマイクロコントローラまたは CPU から送信されたかどうかを検出できます。アドレス・モードで CRC を無効にすると、SCLK サイクルの発生回数は 16 回になります。検出される SCLK サイクルの回数が 16 以外の場合、SCLK カウントのエラー・フラグがエラー・フラグ・レジスタでアサートされます。デバイスによって受信される SCLK サイクルの回数が 16 未満の場合、レジスタ・マップへの書き込みは発生しません。ADGS1414D によって受信される SCLK サイクルの回数が 16 を超える場合も、メモリ・マップへの書き込みが 16 番目の SCLK 立上がりエッジで発生し、エラー・フラグ・レジスタでフラグがアサートされます。CRC を有効にすると、発生する SCLK サイクルの回数は 24 です。SCLK カウント・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで設定できます。

無効な読出しおよび書き込みアドレス・エラー

存在しないレジスタ・アドレスが読出または書き込みのターゲットになると、無効な読出しおよび書き込みアドレス・エラーが検出されます。更に、このエラーは、読出し専用レジスタに書き込みが試行された場合にもアサートされます。無効な読出しおよび書き込みアドレス・エラーが発生すると、エラー・フラグ・レジスタの無効な読出しおよび書き込みアドレス・エラー・フラグがアサートされます。無効な読出しおよび書き込みアドレスのエラーは、9 番目の SCLK 立上がりエッジで検出されます。つまり、無効なアドレスがターゲットになっている場合、レジスタへの書き込みは発生しません。無効な読出しおよび書き込みアドレス・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで無効にできます。

エラー・フラグ・レジスタのクリア

エラー・フラグ・レジスタをクリアするには、専用の 16 ビット SPI フレーム 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・クリア・コマンドを正常に完了するため、CRC バイトも送信する必要があります。16 番目または 24 番目の SCLK 立上がりエッジで、エラー・フラグ・レジスタは 0 にリセットされます。

バースト・モード

SPI では、 \overline{CS} ラインをアサート解除する必要がなく、連続する SPI コマンドに対応できます。これをバースト・モードといいます。バースト・モードを有効にするには、バースト・イネーブル・レジスタを使用します。このモードでは、同じ 16 ビット・コマンドを使用してデバイスと通信します。更に、SDO でのデバイスの応答は、対応する SPI コマンドに揃えられます。図 41 に、バースト・モードを実行中の SDI と SDO の例を示します。

無効な読出しおよび書き込みアドレスおよび CRC のエラー・チェック機能は、バースト・モードの実行中もアドレス・モードでのエラー・チェック機能と同様に動作します。ただし、SCLK カウント・エラー検出の動作は若干異なります。特定の \overline{CS} フレーム内で SCLK サイクルの合計がカウントされ、CRC を有効にした状態で合計が 16 または 24 の倍数でない場合、SCLK カウント・エラー・フラグがアサートされます。

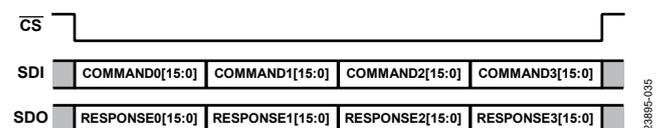


図 41. バースト・モード・フレーム

ソフトウェア・リセット

アドレス・モードの場合、レジスタ 0x0B をターゲットとする連続した 2 つの SPI コマンド（つまり 0xA3 と 0x05）を書き込むことでソフトウェア・リセットを起動できます。ソフトウェア・リセットの後に、すべてのレジスタ値がデフォルトに設定されます。

デジチェーン・モード

デジチェーン設定では、複数の ADGS1414D デバイスを接続できます。図 42 に、このセットアップを示します。すべてのデバイスが同じ、 \overline{CS} 、SCLK、 V_L ラインを共有し、また、デバイスの SDO は次のデバイスの SDI に接続され、シフト・レジスタが作成されます。デジチェーン・モードでは、SDO は SDI の 8 サイクル遅延したバージョンになります。デジチェーン・モードでは、すべてのコマンドがスイッチ・データ・レジスタをターゲットにします。そのため、デジチェーン・モードでは設定を変更できません。

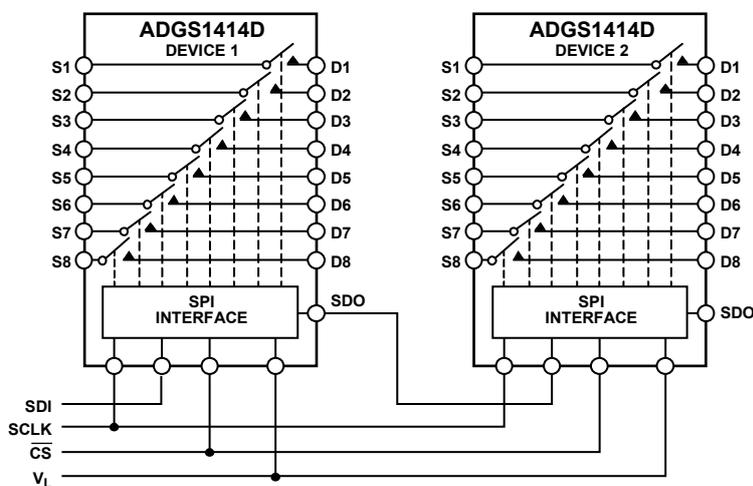


図 42. デジチェーン構成で接続された 2 個の ADGS1414D デバイス

アドレス・モードの場合、ADGS1414Dは、16ビットのSPIコマンド、0x2500を送信することによってのみ、デジチェーン・モードに移行できます(図43を参照)。ADGS1414Dがこのコマンドを受信すると、デバイスのSDOが同じコマンドを送信します。SDOのアライメント・ビットが0x25であることが理由です。この場合、デジチェーン接続された複数のデバイスを単一のSPIフレームでデジチェーン・モードに移行できます。デジチェーン・モードを終了するには、ハードウェア・リセットが必要です。

代表的なデジチェーン SPI フレームのタイミング図については、図44を参照してください。CSがハイになると、デバイス1はコマンド0、ビット[7:0]をスイッチ・データ・レジスタに書き込みます。デバイス2はコマンド1、ビット[7:0]をスイッチに書き込みます。残りのデバイスも同様にコマンドを実行します。SPIブロックでは、SDIから受信した最後の8ビットを使用してスイッチが更新されます。デジチェーン・モード

に移行した後、チェーン内の各デバイスに搭載されたSDOによって送信される最初の8ビットは0x00です。CSがハイになると、内部シフト・レジスタ値は0にリセットされません。

SCLK 立上がりエッジでは、SDIからデータが読み取られます。一方、SCLK 立下がりエッジでは、SDOからデータが伝搬されます。

パワーオン・リセット

ADGS1414Dのデジタル・セクションは、V_Lの電源投入時に初期化フェーズを実行します。この初期化は、ハードウェアまたはソフトウェアのリセット後も発生します。V_Lの電源投入またはリセットの後、少なくとも120μs経過してからSPIコマンドを発行するようにしてください。120μsの初期化フェーズでは、V_Lがドロップアウトしないよう注意してください。ドロップアウトすると、ADGS1414Dが異常な動作をする可能性があるためです。

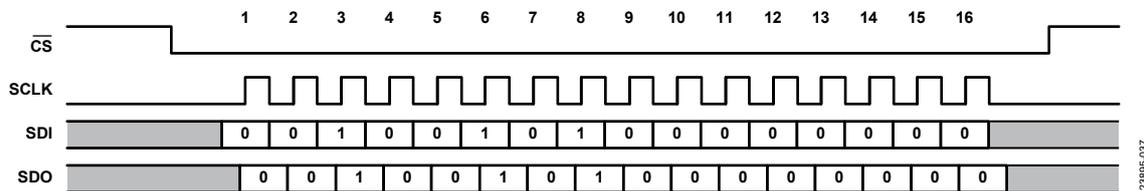
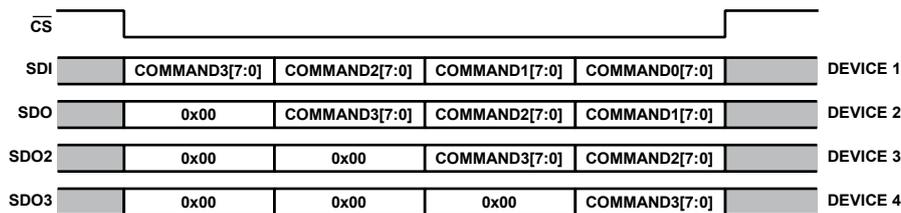


図 43. デジチェーン・モードに移行する SPI コマンド



NOTES

1. SDO2 AND SDO3 ARE THE OUTPUT COMMANDS FROM DEVICE 2 AND DEVICE 3, RESPECTIVELY.

図 44. デジチェーン・モードで4個のADGS1414Dデバイスが接続されるSPIフレームの例

アプリケーション情報

システム・チャンネル密度

ADGS1414Dの機能セットでは、大きなシステム・チャンネル密度が可能です。これらの機能セットには、デジタル信号および電源のスルー配線ピンや、内蔵パッシブ・コンポーネントがあります。

スルー配線ピン

複数のADGS1414Dデバイスを1つのシステムで使用する場合、スルー配線ピンによってレイアウトのチャンネル密度を増大できます。スルー配線ピンを使用すると、デバイス間の電源やデジタル・ラインの受け渡しが容易にできます。V_{DD}、RESET/V_L、GNDの電源ラインやSCLK、CS、SDI、SDOのデジタル・ラインは、パッケージの上部と下部の両方のピンで使用できます。これらのスルー配線ピンによってPCB配線が簡素化でき、多数のADGS1414Dを相互に接続する場合にビアの必要性を減少で

きます。図45に、デジチェーン・モードに構成された4個のADGS1414Dデバイスのスルー配線ピンを使用して、レイアウトの全体的なサイズを縮小した例を示します。

内蔵パッシブ・コンポーネント

図45のレイアウトには外付けのパッシブ・コンポーネントがないことに注意してください。ADGS1414Dでは、V_{DD}、V_{SS}、RESET/V_Lの電源用にデカップリング・コンデンサが内蔵されています。そのため、デカップリング・コンデンサを外付けする必要はなく、ADGS1414Dシステム全体のフットプリントを縮小できます。ノイズに非常に敏感なアプリケーション用にデカップリングを追加する必要がある場合は、外付けのデカップリング・コンデンサを追加してください。図21に、外付けデカップリング・コンデンサがある場合とない場合でのAC PSRR性能を示します。

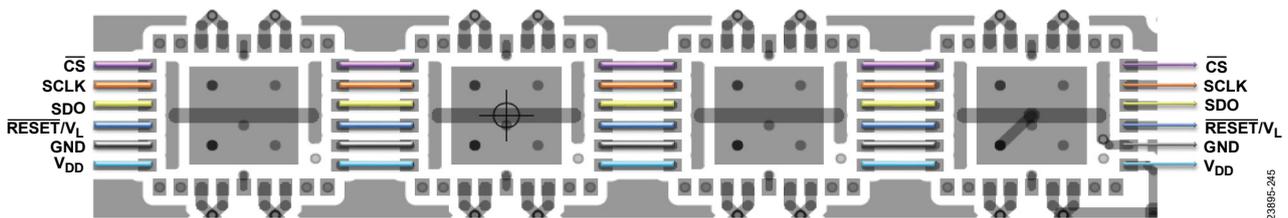


図 45. 配線ピンを使用し、外付けパッシブ・コンポーネントを使用しないレイアウト例。

ブレイクビフォアメーク・スイッチング機能

ADGS1414Dは、ブレイクビフォアメークのスイッチング動作を行います。この機能により、デバイスをマルチプレクサ・アプリケーションで使用できます。デバイスをマルチプレクサとして使用するには、[図 46](#)に示すように、デバイスを目的のマルチプレクサ構成に外部配線します。

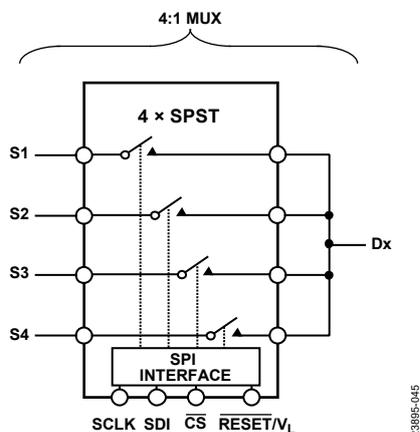


図 46. 4:1 Mux に構成された SPI コントロール・スイッチ

デジタル入力バッファ

デジタル入力ピン (\overline{CS} , SCLK, SDI) には入力バッファがあります。これらのバッファは、常にアクティブです。そのため、CSがアクティブであるかどうかに関係なく、SCLKまたはSDIがトグルすると、 V_L 電源から電源が流れます。この電流引き込みの代表値については、[仕様](#)のセクションと[図 27](#)を参照してください。

電源レール

ADGS1414D は、 $\pm 4.5V \sim \pm 16.5V$ の両極性電源で動作します。 V_{DD} と V_{SS} の電源が対称である必要はありません。ただし、 $V_{DD} \sim V_{SS}$ の電圧が33Vを超えてはいけません。ADGS1414Dは、 V_{SS} を GND に接続して $5V \sim 20V$ の単電源で動作することもできます。 V_L に供給できる電圧範囲は $2.7V \sim 5.5V$ です。デバイスは $\pm 15V$, $\pm 5V$, $+12V$ のアナログ電圧範囲で仕様規定されています。

電源の推奨事項

アナログ・デバイスでは、高性能シグナル・チェーンの条件を満たせるよう、広範なパワー・マネージメント製品を提供しています。

バイポーラ電源ソリューションの例を[図 47](#)に示します。LT3463 (デュアル・スイッチング・レギュレータ) は、典型的なシグナル・チェーンでのADGS1414D、アンプ、高精度コンバータ向けに正と負の電源レールを生成します。[図 47](#)に示すように、オプションで2つの低ドロップアウト・レギュレータ (LDO)、ADP7142 (正のLDO) と ADP7182 (負のLDO) があります。これらのLDOを使用すると、極めて小さなノイズにも敏感なアプリケーションでLT3463の出力リップルを削減できます。

ADP7142を使用すると、ADGS1414D内のデジタル回路に電力を供給するのに必要な V_L 電圧を生成できます。

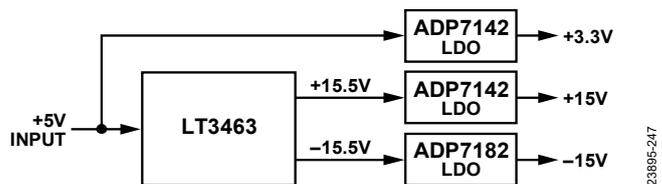


図 47. バイポーラ電源のソリューション

表 11. 推奨されるパワー・マネージメント・デバイス

製品	説明
LT3463	ショットキー・ダイオード内蔵のデュアル・マイクロパワーDC/DCコンバータ
ADP7142	40V、200mA、低ノイズ、CMOS、LDOリニア電圧レギュレータ
ADP7182	-28V、-200mA、低ノイズ、LDOリニア電圧レギュレータ

1.8V ロジックとの互換性

ADGS1414DのSDI、 \overline{CS} 、SCLKの各デジタル入力は、 V_L が $2.7V \sim 3.3V$ の場合、1.8V ロジックと互換性があります。

SDO デジタル出力レベルは、 V_L の電圧に比例します。例えば、 $V_L = 3V$ の場合、SDOのロジック・ハイは、約3Vです。1.8V ロジックを使用するコントローラ・デバイスでADGS1414DからSPIリードバックを実行する場合、コントローラのデジタル・ピンが1.8Vを超えるデジタル入力信号を許容できない場合、問題が発生する可能性があります。

[図 48](#)は、ADG3231 レベル変換器を使用して、マイクロコントローラやFPGA (フィールド・プログラマブル・ゲート・アレイ) などの1.8Vロジック・ポートを持つデバイスで1.8VのSPIリードバックを実行する方法を示すものです。ADGS1414DのSDOとマイクロコントローラまたはFPGAの間にADG3231を配置します。ADG3231の電源 V_{CC1} にADGS1414Dの V_L の電圧を供給し、 V_{CC2} をマイクロコントローラまたはFPGAの1.8V電源に接続します。このようにすることで、ADG3231はSDOのロジック・レベルを V_L から1.8Vに変換します。

このソリューションが必要となるのは、1.8VのマイクロコントローラまたはFPGAが1.8Vを超えるデジタル入力信号を許容できない場合のみです。

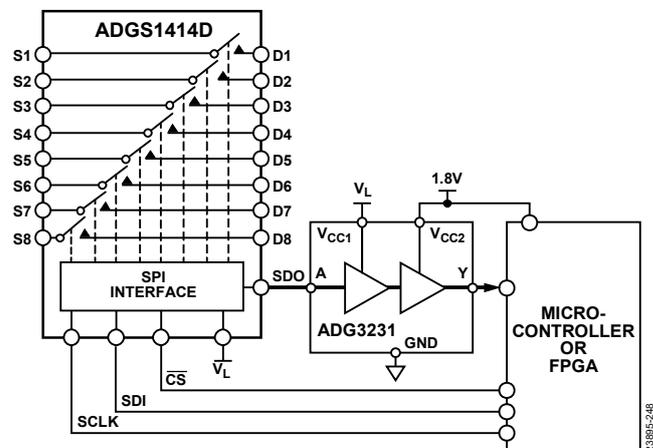


図 48. ADG3231 を使用して 1.8V SPI リードバックを実行

レジスタの一覧

表 12. レジスタの一覧

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	R/W	
0x01	SW_DATA	SW8_EN	SW7_EN	SW6_EN	SW5_EN	SW4_EN	SW3_EN	SW2_EN	SW1_EN	0x00	R/W	
0x02	ERR_CONFIG	Reserved					RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN		0x06	R/W
0x03	ERR_FLAGS	Reserved					RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG		0x00	R
0x05	BURST_EN	Reserved							BURST_MODE_EN		0x00	R/W
0x0B	SOFT_RESETB	SOFT_RESETB									0x00	W

レジスタの詳細

スイッチ・データ・レジスタ

アドレス：0x01、リセット：0x00、レジスタ名：SW_DATA

スイッチ・データ・レジスタを使用して、ADGS1414Dの8個のスイッチのステータスを制御します。

表 13. SW_DATA のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
7	SW8_EN	0	スイッチ 8 の SW8_EN ビットをイネーブル。 スイッチ 8 オープン。	0x0	R/W
		1	スイッチ 8 クローズ。		
6	SW7_EN	0	スイッチ 7 の SW7_EN ビットをイネーブル。 スイッチ 7 オープン。	0x0	R/W
		1	スイッチ 7 クローズ。		
5	SW6_EN	0	スイッチ 6 の SW6_EN ビットをイネーブル。 スイッチ 6 オープン。	0x0	R/W
		1	スイッチ 6 クローズ。		
4	SW5_EN	0	スイッチ 5 の SW5_EN ビットをイネーブル。 スイッチ 5 オープン。	0x0	R/W
		1	スイッチ 5 クローズ。		
3	SW4_EN	0	スイッチ 4 の SW4_EN ビットをイネーブル。 スイッチ 4 オープン。	0x0	R/W
		1	スイッチ 4 クローズ。		
2	SW3_EN	0	スイッチ 3 の SW3_EN ビットをイネーブル。 スイッチ 3 オープン。	0x0	R/W
		1	スイッチ 3 クローズ。		
1	SW2_EN	0	スイッチ 2 の SW2_EN ビットをイネーブル。 スイッチ 2 オープン。	0x0	R/W
		1	スイッチ 2 クローズ。		
0	SW1_EN	0	スイッチ 1 の SW1_EN ビットをイネーブル。 スイッチ 1 オープン。	0x0	R/W
		1	スイッチ 1 クローズ。		

エラー設定レジスタ

アドレス：0x02、リセット：0x06、レジスタ名：ERR_CONFIG

エラー設定レジスタを使用して、必要に応じて関連するエラー検出機能を有効または無効にします。

表 14. ERR_CONFIG のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:3]	Reserved		ビット [7:3] は予備。ビット [7:3] は 0 に設定します。	0x0	R
2	RW_ERR_EN	0	RW_ERR_EN ビットをイネーブルして、無効な読出しおよび書込みアドレスを検出。 ディスエーブル。	0x1	R/W
		1	イネーブル。		
1	SCLK_ERR_EN	0	SCLK_ERR_EN ビットをイネーブルして、SPI フレームの正しい SCLK サイクル数を検出。CRC が無効で、バースト・モードが無効の場合、SCLK サイクルの回数は 16 になるはずですが、CRC が有効で、バースト・モードが無効の場合、SCLK サイクルの回数は 24 になるはずですが、CRC が無効で、バースト・モードが有効の場合、SCLK サイクルの回数は 16 になるはずですが、CRC が有効で、バースト・モードが有効の場合、SCLK サイクルの回数は 24 になるはずですが。	0x1	R/W
		1	ディスエーブル。 イネーブル。		

ビット	ビット名	設定	説明	デフォルト	アクセス
0	CRC_ERR_EN	0 1	CRC_ERR_EN ビットをイネーブルして、CRC エラーを検出。有効な場合の SPI フレームは 24 ビットです。 ディスエーブル。 イネーブル。	0x0	R/W

エラー・フラグ・レジスタ

アドレス：0x03、リセット：0x00、レジスタ名：ERR_FLAGS

エラー・フラグ・レジスタを使用すると、エラーが発生したかどうかを判断できます。エラー・フラグ・レジスタをクリアするには、16 ビットの専用 SPI コマンド 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・フラグ・レジスタのクリア・コマンドを正常に完了するには、SPI の書き込みで正しい CRC バイトを挿入する必要があります。

表 15. ERR_FLAGS のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:3]	Reserved		ビット [7:3] は予備で、0 に設定します。	0x0	R
2	RW_ERR_FLAG	0 1	無効な読み出しおよび書き込みアドレスのエラー・フラグ。ターゲット・アドレスが存在しない場合、SPI 読み出しでエラー・フラグがアサートされます。また、SPI 書き込みのアドレスが存在しない場合、または読み出し専用である場合にも、エラー・フラグがアサートされます。 エラーなし。 エラー。	0x0	R
1	SCLK_ERR_FLAG	0 1	SPI フレームの SCLK サイクルの数が正しいかどうかを検出するためのエラー・フラグ。 エラーなし。 エラー。	0x0	R
0	CRC_ERR_FLAG	0 1	レジスタ書き込みで CRC エラーが発生したかどうかを判断するエラー・フラグ。 エラーなし。 エラー。	0x0	R

バースト・イネーブル・レジスタ

アドレス：0x05、リセット：0x00、レジスタ名：BURST_EN

バースト・イネーブル・レジスタを使用すると、バースト・モードを有効または無効にできます。バースト・モードを有効にすると、CS をアサート解除せずに、複数の連続する SPI コマンドを送信できます。

表 16. BURST_EN のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:1]	Reserved		ビット [7:1] は予備。ビット [7:1] は 0 に設定します。	0x0	R
0	BURST_MODE_EN	0 1	バースト・モード・イネーブル・ビット。 ディスエーブル。 イネーブル。	0x0	R/W

ソフトウェア・リセット・レジスタ

アドレス：0x0B、リセット：0x00、レジスタ名：SOFT_RESETB

ソフトウェア・リセットを実行するには、ソフトウェア・リセット・レジスタを使用します。このレジスタに 0xA3、0x05 の順に連続的に書き込みを実行すると、デバイスのレジスタはデフォルト状態にリセットされます。

表 17. SOFT_RESETB のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:0]	SOFT_RESETB		ソフトウェア・リセットを実行するには、SOFT_RESETB レジスタに 0xA3、0x05 の順に連続的に書き込みを実行します。	0x0	W

外形寸法

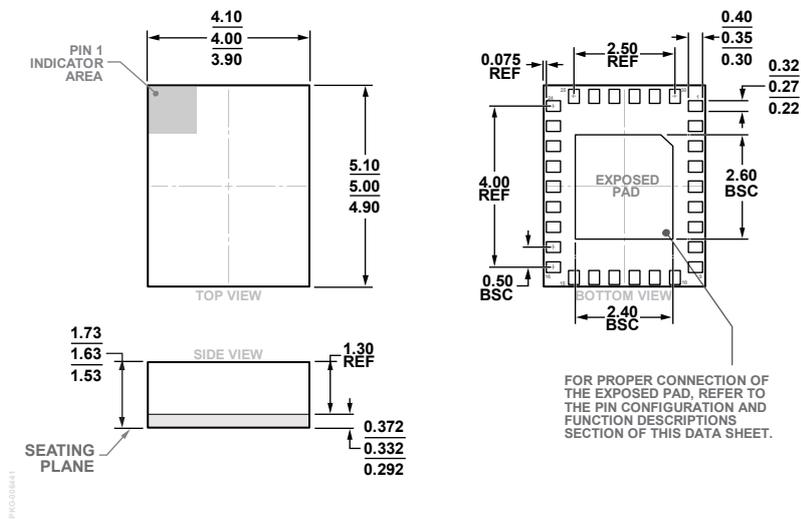


図 49. 30 端子ランド・グリッド・アレイ [LGA]
(CC-30-3)
4mm × 5mm ボディ、1.63 mm パッケージ高
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADGS1414DBCCZ	-40°C to +125°C	30-Terminal Land Grid Array [LGA]	CC-30-3
ADGS1414DBCCZ-RL7	-40°C to +125°C	30-Terminal Land Grid Array [LGA]	CC-30-3
EV-ADGS1414DSDZ		Evaluation Board	

¹ Z = RoHS 準拠製品