



SPI インターフェース、 低 C_{ON} および Q_{INJ} 、 $\pm 15V/+12V$ 、 1.8V ロジック制御、8:1 / デュアル 4:1 マルチプレクサ・スイッチ

データシート

ADGS1208/ADGS1209

特長

- エラー検出と SPI インターフェース
CRC、無効な読み出し/書き込みアドレス、SCLK カウント・エラー
の検出を含む
- バースト・モードとデジチェーン・モードをサポート
業界標準の SPI モード 0 および SPI モード 3 との互換性あり
ラウンド・ロビン・モードでは、パラレル・インターフェース
と互換性のあるスイッチング時間を実現
- 他のデバイスの制御に使用できる 4 つの汎用デジタル出力
- 全信号範囲で 1pC 未満のチャージ・インジェクション
- 1pF のオフ容量
- アナログ信号範囲: $V_{SS} \sim V_{DD}$
 $\pm 15V$ と $+12V$ で仕様規定
- 1.8V ロジックとの互換性あり、 $2.7V \leq V_L \leq 3.3V$
- 24 ピン LFCSP パッケージ

アプリケーション

- オーディオおよびビデオ・ルーティング
- ATE (自動試験装置)
- データ・アキュイジション・システム
- バッテリー駆動のシステム
- サンプル&ホールド・システム
- 通信システム

概要

ADGS1208/ADGS1209 は、それぞれ 8 つのシングル・チャンネルと 4 つの差動チャンネルで構成されるアナログ・マルチプレクサです。シリアル周辺機器インターフェース (SPI) でスイッチを制御します。SPI インターフェースは、巡回冗長検査 (CRC) エラーの検出、無効な読み出し/書き込みアドレスの検出、SCLK カウント・エラーの検出など、強力なエラー検出機能を備えています。

複数の ADGS1208/ADGS1209 デバイスをデジチェーン接続できます。デジチェーン・モードでは、最小限のデジタル・ラインで複数のデバイスを構成できます。更に、ADGS1208/ADGS1209 をバースト・モードで動作して、SPI コマンド間の時間を短縮できます。

iCMOS[®] 構造により消費電力が極めて少ないため、携帯型の計装器やバッテリー駆動の計装器に最適なデバイスになっています。

各スイッチをオンにすると、両方向に均一に信号が伝達されます。また、各スイッチは電源電圧まで拡張された入力信号範囲を備えています。オフ状態では、電源までの信号レベルがブロックされます。

機能ブロック図

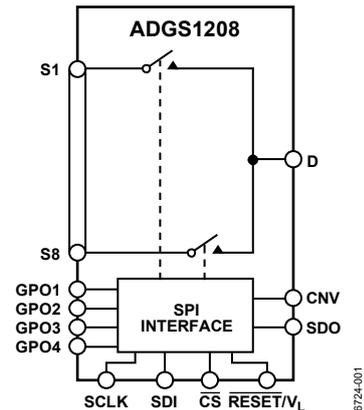


図 1. ADGS1208 の機能ブロック図

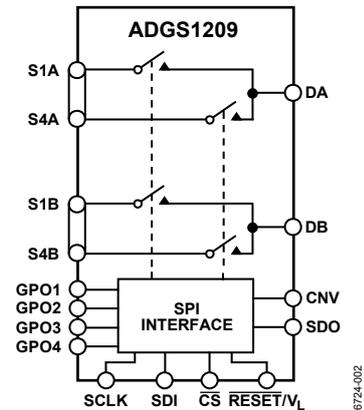


図 2. ADGS1209 の機能ブロック図

これらのマルチプレクサは、容量 (C_{ON}) とチャージ・インジェクション (Q_{INJ}) が極めて小さく、低グリッチと高速セトリングを必要とするデータ・アキュイジションやサンプル&ホールドのアプリケーションにとって最適なソリューションです。

製品のハイライト

- SPI インターフェースを搭載しているため、パラレル変換、ロジック・トレースの必要がなく、GPIO チャンネル数が減ります。
- デジチェーン・モードでは、複数のデバイスを使用する場合にロジック・トレースを追加する必要がありません。
- CRC エラーの検出、無効な読み出し/書き込みアドレスの検出、SCLK カウント・エラーの検出により、デジタル・インターフェースの信頼性が向上します。
- CRC およびエラー検出機能があるため、安全性が不可欠なシステムに ADGS1208/ADGS1209 を使用できます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	ソフトウェア・リセット.....	23
アプリケーション.....	1	デ이지チェーン・モード.....	23
概要.....	1	パワーオン・リセット.....	24
機能ブロック図.....	1	ラウンド・ロビン・モード.....	25
製品のハイライト.....	1	汎用出力.....	26
改訂履歴.....	2	アプリケーション情報.....	27
仕様.....	3	デジタル入力バッファ.....	27
±15V の両電源.....	3	セトリング時間.....	27
12V の単電源.....	5	電源レール.....	27
チャンネルごとの連続電流 (Sx または Dx).....	8	電源の推奨事項.....	27
タイミング特性.....	9	レジスタの概要.....	28
絶対最大定格.....	11	レジスタの詳細.....	29
熱抵抗.....	11	スイッチ・データ・レジスタ.....	29
ESD に関する注意.....	11	エラー設定レジスタ.....	30
ピン配置およびピン機能の説明.....	12	エラー・フラグ・レジスタ.....	30
代表的な性能特性.....	14	バースト・イネーブル・レジスタ.....	31
試験回路.....	18	ラウンド・ロビンのイネーブル・レジスタ.....	31
用語の定義.....	21	ラウンド・ロビン・チャンネル設定レジスタ.....	31
動作原理.....	22	CNV エッジ選択レジスタ.....	32
アドレス・モード.....	22	ソフトウェア・リセット・レジスタ.....	32
エラー検出機能.....	22	外形寸法.....	33
エラー・フラグ・レジスタのクリア.....	23	オーダー・ガイド.....	33
バースト・モード.....	23		

改訂履歴

4/2018–Revision 0: Initial Version

仕様

±15Vの両電源

特に指定のない限り、 $V_{DD} = 15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	150			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$, see Figure 39
On Resistance Match Between Channels, ΔR_{ON}	200 3.5	240	270	Ω max Ω typ	$V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$ $V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$
On Resistance Flatness, $R_{FLAT(ON)}$	6 35 64	10 76	12 83	Ω max Ω typ Ω max	$V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.003			nA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_S = \pm 10\text{ V}$, $V_D = \overline{\overline{+}}10\text{ V}$, see Figure 36
Drain Off Leakage, I_D (Off)	± 0.1 ± 0.003	± 0.6	± 1.0	nA max nA typ	$V_S = \pm 10\text{ V}$, $V_D = \overline{\overline{+}}10\text{ V}$, see Figure 36
Channel On Leakage, I_D (On), I_S (On)	± 0.1 ± 0.02 ± 0.3	± 0.6 ± 0.6	± 1.0 ± 1.0	nA max nA typ nA max	$V_S = V_D = \pm 10\text{ V}$, see Figure 32
DIGITAL OUTPUTS					
SDO					
Output Voltage Low, V_{OL}			0.4 0.2	V max V max	Sink current (I_{SINK}) = 5 mA $I_{SINK} = 1\text{ mA}$ Output voltage (V_{OUT}) = V_{GND} or V_L
High Impedance Leakage Current	0.001		± 0.1	μA typ μA max pF typ	
High Impedance Output Capacitance	4				
GPOx					
Output Voltage High, V_{OH}			$V_L - 0.2\text{ V}$	V min	$I_{SOURCE} = 100\text{ }\mu\text{A}$
Output Voltage Low, V_{OL}			0.2	V max	$I_{SINK} = 100\text{ }\mu\text{A}$
Timing					
t_{ON}	95 115	115	115	ns typ ns max	$C_L = 15\text{ pF}$, see Figure 44
t_{OFF}	15 20	25	25	ns typ ns max	$C_L = 15\text{ pF}$, see Figure 44
Break-Before-Make Time Delay, t_D	50		35	ns typ ns min	$C_L = 15\text{ pF}$, see Figure 45

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
DIGITAL INPUTS/OUTPUTS					
Input Voltage					
High, V_{INH}			2	V min	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
			1.35	V min	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Low, V_{INL}			0.8	V max	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
			0.8	V max	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Input Current, I_{INL} or I_{INH}	0.001			$\mu\text{A typ}$	Input voltage (V_{IN}) = V_{GND} or V_L
			± 0.1	$\mu\text{A max}$	
Digital Input Capacitance, C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	90			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	145	170	195	ns max	$V_S = 10\text{ V}$, see Figure 41
t_{ON} (EN)	92			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	110	140	155	ns max	$V_S = 10\text{ V}$, see Figure 42
t_{OFF} (EN)	120			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	135	170	190	ns max	$V_S = 10\text{ V}$, see Figure 42
Break-Before-Make Time Delay, t_D	32			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
			7	ns min	$V_{S1} = V_{S2} = 10\text{ V}$, see Figure 40
Charge Injection, Q_{INJ}	0.4			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$, see Figure 43
Off Isolation	-85			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 34
Channel to Channel Crosstalk	-85			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 33
Total Harmonic Distortion Plus Noise	0.15			% typ	$R_L = 110\ \Omega$, 15 V p-p , $f = 20\text{ Hz}$ to 20 kHz , see Figure 38
-3 dB Bandwidth					$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, see Figure 37
ADGS1208	550			MHz typ	
ADGS1209	630			MHz typ	
Insertion Loss	-6			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 37
C_S (Off)	1			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
	1.6			pF max	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)					
ADGS1208	5			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
	5.5			pF max	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
ADGS1209	2			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
	3.5			pF max	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)					
ADGS1208	5			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
	6.5			pF max	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
ADGS1209	3			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
	4.5			pF max	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
I_{DD}	0.002		1.0	$\mu\text{A typ}$ $\mu\text{A max}$	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ All switches open
	220		380	$\mu\text{A typ}$ $\mu\text{A max}$	All switches closed, $V_L = 5.5\text{ V}$
I_L	270		440	$\mu\text{A typ}$ $\mu\text{A max}$	All switches closed, $V_L = 2.7\text{ V}$
	6.3		8.0	$\mu\text{A typ}$ $\mu\text{A max}$	Digital inputs = 0 V or V_L
Inactive	14			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and $\text{SDI} = 0\text{ V}$ or V_L , $V_L = 5\text{ V}$
Inactive, SCLK = 1 MHz	7			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and $\text{SDI} = 0\text{ V}$ or V_L , $V_L = 3\text{ V}$
SCLK = 50 MHz	390			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and $\text{SDI} = 0\text{ V}$ or V_L , $V_L = 5\text{ V}$
	210			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and $\text{SDI} = 0\text{ V}$ or V_L , $V_L = 3\text{ V}$
Inactive, SDI = 1 MHz	15			$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0\text{ V}$ or V_L , $V_L = 5\text{ V}$
	7.5			$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0\text{ V}$ or V_L , $V_L = 3\text{ V}$
SDI = 25 MHz	230			$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0\text{ V}$ or V_L , $V_L = 5\text{ V}$
	120			$\mu\text{A typ}$	$\overline{\text{CS}}$ and $\text{SCLK} = 0\text{ V}$ or V_L , $V_L = 3\text{ V}$
Active at 50 MHz	1.8			mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 5.5\text{ V}$
	0.7		2.1	mA max mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 2.7\text{ V}$
I_{SS}	0.002		1.0	mA max $\mu\text{A typ}$	Digital inputs = 0 V or V_L
			1.0	$\mu\text{A max}$	
V_{DD}/V_{SS}			± 4.5	V min	$\text{GND} = 0\text{ V}$
			± 16.5	V max	$\text{GND} = 0\text{ V}$

¹ 設計上の性能は確保していますが、出荷テストの対象外です。

12Vの単電源

特に指定のない限り、 $V_{DD} = 12\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、 $V_L = 2.7\text{V} \sim 5.5\text{V}$ 、 $\text{GND} = 0\text{V}$ 。

表 2.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analogue Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	380			$\Omega\text{ typ}$	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$, see Figure 39
On Resistance Match Between Channels, ΔR_{ON}	475	570	625	$\Omega\text{ max}$	$V_{DD} = 10.8\text{ V}$, $V_{SS} = 0\text{ V}$
	5			$\Omega\text{ typ}$	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$
On Resistance Flatness, $R_{FLAT(ON)}$	16	26	27	$\Omega\text{ max}$	
	200			$\Omega\text{ typ}$	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	±0.003			nA typ	$V_{DD} = 13.2\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$, see Figure 36
Drain Off Leakage, I_D (Off)	±0.1 ±0.003	±0.6	±1.0	nA max nA typ	$V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$, see Figure 36
Channel On Leakage, I_D (On), I_S (On)	±0.1 ±0.02	±0.6	±1.0	nA max nA typ	$V_S = V_D = 1\text{ V}/10\text{ V}$, see Figure 32
	±0.3	±0.6	±1.0	nA max	
DIGITAL OUTPUT					
Output Voltage					
Low, V_{OL}			0.4 0.2	V max V max	$I_{SINK} = 5\text{ mA}$ $I_{SINK} = 1\text{ mA}$
High Impedance Leakage Current	0.001		±0.1	μA typ μA max	$V_{OUT} = V_{GND}$ or V_L
High Impedance Output Capacitance	4			pF typ	
GPOx					
Output Voltage					
High, V_{OH}			$V_L - 0.2\text{ V}$	V min	$I_{SOURCE} = 100\text{ μA}$
Low, V_{OL}			0.2	V max	$I_{SINK} = 100\text{ μA}$
Timing					
t_{ON}	95 115	115	115	ns typ ns max	$C_L = 15\text{ pF}$, see Figure 44
t_{OFF}	15 20	25	25	ns typ ns max	$C_L = 15\text{ pF}$, see Figure 44
Break-Before-Make Time Delay, t_D	50		35	ns typ ns min	$C_L = 15\text{ pF}$, see Figure 45
DIGITAL INPUTS					
Input Voltage					
High, V_{INH}			2 1.35	V min V min	$3.3\text{ V} < V_L \leq 5.5\text{ V}$ $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Low, V_{INL}			0.8 0.8	V max V max	$3.3\text{ V} < V_L \leq 5.5\text{ V}$ $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Input Current, I_{INL} or I_{INH}	0.001		±0.1	μA typ μA max	$V_{IN} = V_{GND}$ or V_L
Digital Input Capacitance, C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTIC¹					
Transition Time, $t_{TRANSITION}$	110 185	220	245	ns typ ns max	$R_L = 300\text{ Ω}$, $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$, see Figure 41
t_{ON} (EN)	120 140	190	210	ns typ ns max	$R_L = 300\text{ Ω}$, $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$, see Figure 42
t_{OFF} (EN)	130 145	195	215	ns typ ns max	$R_L = 300\text{ Ω}$, $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$, see Figure 42
Break-Before-Make Time Delay, t_D	35		15	ns typ ns min	$R_L = 300\text{ Ω}$, $C_L = 35\text{ pF}$ $V_{S1} = V_{S2} = 8\text{ V}$, see Figure 40
Charge Injection, Q_{INJ}	-0.2			pC typ	$V_S = 6\text{ V}$, $R_S = 0\text{ Ω}$, $C_L = 1\text{ nF}$, see Figure 43
Off Isolation	-85			dB typ	$R_L = 50\text{ Ω}$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 34
Channel to Channel Crosstalk	-85			dB typ	$R_L = 50\text{ Ω}$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 33

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
-3 dB Bandwidth					$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, see Figure 37
ADGS1208	450			MHz typ	
ADGS1209	550			MHz typ	
Insertion Loss	-12			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 37
C_S (Off)	1.2			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
	1.8			pF max	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
C_D (Off)					
ADGS1208	6			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
	6.5			pF max	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
ADGS1209	3.2			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
	4			pF max	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
C_D (On), C_S (On)					
ADGS1208	6			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
	7			pF max	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
ADGS1209	4			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
	4.5			pF max	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	0.002			μA typ	$V_{DD} = 13.2 \text{ V}$ All switches open
			1.0	μA max	
	220			μA typ	All switches closed, $V_L = 5.5 \text{ V}$
			380	μA max	
	270			μA typ	All switches closed, $V_L = 2.7 \text{ V}$
			440	μA max	
I_L					
Inactive	6.3			μA typ	Digital inputs = 0 V or V_L
			8.0	μA max	
Inactive, SCLK = 1 MHz	14			μA typ	$\overline{CS} = V_L$ and $SDI = 0 \text{ V}$ or V_L , $V_L = 5 \text{ V}$
	7			μA typ	$\overline{CS} = V_L$ and $SDI = 0 \text{ V}$ or V_L , $V_L = 3 \text{ V}$
SCLK = 50 MHz	390			μA typ	$\overline{CS} = V_L$ and $SDI = 0 \text{ V}$ or V_L , $V_L = 5 \text{ V}$
	210			μA typ	$\overline{CS} = V_L$ and $SDI = 0 \text{ V}$ or V_L , $V_L = 3 \text{ V}$
Inactive, SDI = 1 MHz	15			μA typ	\overline{CS} and SCLK = 0 V or V_L , $V_L = 5 \text{ V}$
	7.5			μA typ	\overline{CS} and SCLK = 0 V or V_L , $V_L = 3 \text{ V}$
SDI = 25 MHz	230			μA typ	\overline{CS} and SCLK = 0 V or V_L , $V_L = 5 \text{ V}$
	120			μA typ	\overline{CS} and SCLK = 0 V or V_L , $V_L = 3 \text{ V}$
Active at 50 MHz	1.8			mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 5.5 \text{ V}$
			2.1	mA max	
	0.7			mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 2.7 \text{ V}$
V_{DD}			1.0	mA max	
			5	V min	$GND = 0 \text{ V}$, $V_{SS} = 0 \text{ V}$
			16.5	V max	$GND = 0 \text{ V}$, $V_{SS} = 0 \text{ V}$

¹ 設計上の性能は確保していますが、出荷テストの対象外です。

チャンネルごとの連続電流 (Sx または Dx)

表 3. ADGS1208、1 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR D ¹				
$V_{DD} = +15\text{ V}, V_{SS} = -15\text{ V} (\theta_{JA} = 63.1^\circ\text{C/W})$	29.3	21.9	14.1	mA max
$V_{DD} = 12\text{ V}, V_{SS} = 0\text{ V} (\theta_{JA} = 63.1^\circ\text{C/W})$	37.7	27.3	19	mA max

¹ Sx は S1～S8 ピンを表します。

表 4. ADGS1209、2 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹				
$V_{DD} = +15\text{ V}, V_{SS} = -15\text{ V} (\theta_{JA} = 63.1^\circ\text{C/W})$	21.8	16.1	9.9	mA max
$V_{DD} = 12\text{ V}, V_{SS} = 0\text{ V} (\theta_{JA} = 63.1^\circ\text{C/W})$	28.2	21.2	13.4	mA max

¹ Sx は S1A～S4A ピンおよび S1B～S4B ピン、Dx は DA ピンおよび DB ピンを表します。

タイミング特性

特に指定のない限り、 $V_L = 2.7V \sim 5.5V$ 、 $GND = 0V$ 、すべての仕様で $T_{MIN} \sim T_{MAX}$ 。設計と特性評価による性能は確保していますが、出荷テストの対象外です。

表 5.

Parameter	Limit	Unit	Test Conditions/Comments
TIMING CHARACTERISTICS			
t_1	20	ns min	SCLK or CNV period
t_2	8	ns min	SCLK or CNV high pulse width
t_3	8	ns min	SCLK or CNV low pulse width
t_4	10	ns min	\overline{CS} falling edge to SCLK or CNV active edge
t_5	6	ns min	Data setup time
t_6	8	ns min	Data hold time
t_7	10	ns min	SCLK or CNV active edge to \overline{CS} rising edge
t_8	20	ns max	\overline{CS} falling edge to SDO data available
t_9^1	20	ns max	SCLK falling edge to SDO data available
t_{10}	20	ns max	\overline{CS} rising edge to SDO returns to high impedance
t_{11}	20	ns min	\overline{CS} high time between SPI commands
t_{12}	8	ns min	\overline{CS} falling edge to SCLK or CNV edge rejection
t_{13}	8	ns min	\overline{CS} rising edge to SCLK or CNV edge rejection

¹ V_L と 20pF の負荷に接続された 1k Ω のプルアップ抵抗で測定しています。SDO を使用する場合の最大 SCLK 周波数は t_9 で決定します。

タイミング図

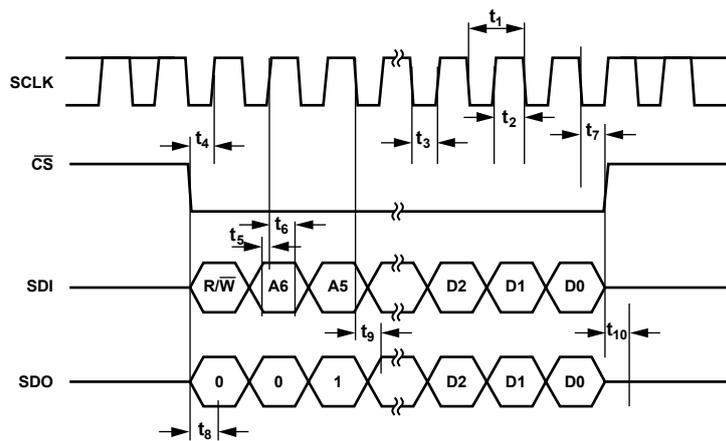


図 3. アドレス・モードのタイミング図

16724-02

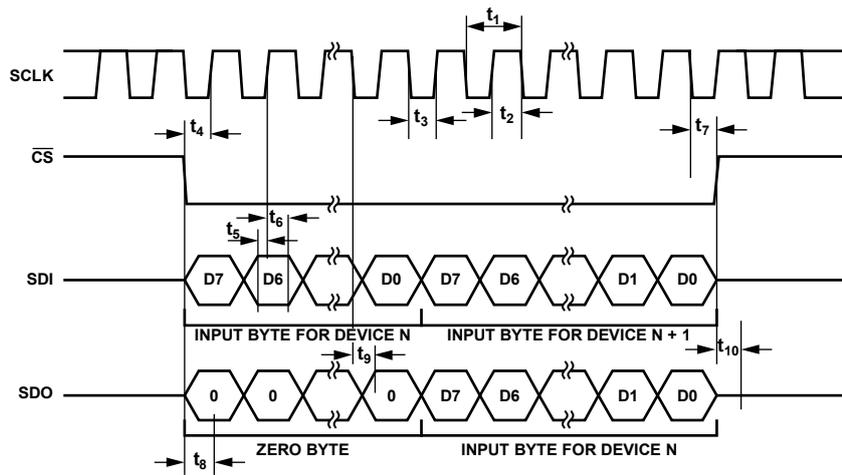


図 4. デイジーチェーンのタイミング図

16724-103

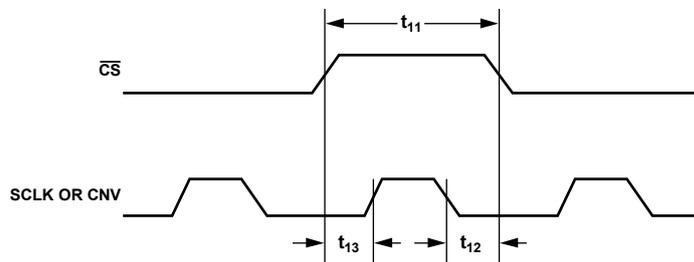


図 5. SCLK または CNV および CS タイミング図

16724-004

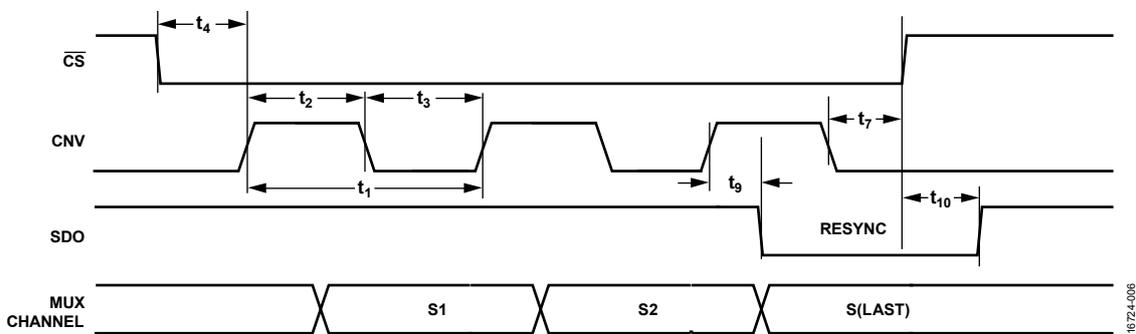


図 6. ラウンド・ロビンのタイミング図

16724-006

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to V_{SS}	35 V
V_{DD} to GND	-0.3 V to +25 V
V_{SS} to GND	+0.3 V to -25 V
V_L to GND	-0.3 V to +6 V
Analog Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	-0.3 V to +6 V
Peak Current, Sx or Dx Pins ²	59 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx ^{2,3}	Data + 15%
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Reflow Soldering Peak Temperature, Pb-Free	260(+0/-5)°C

¹ デジタル Sx ピンおよび Dx ピンでの過電圧は、内部ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

² Sx は S1~S4 ピン、Dx は D1~D4 ピンを表します。

³ 表 4 および 表 5 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JCB} ¹	Unit
CP-24-15 ²	63.1	27.3	°C/W

¹ θ_{JCB} は、ジャンクションとケース底部の間の値です。

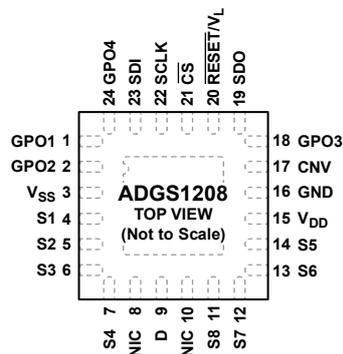
² 熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES

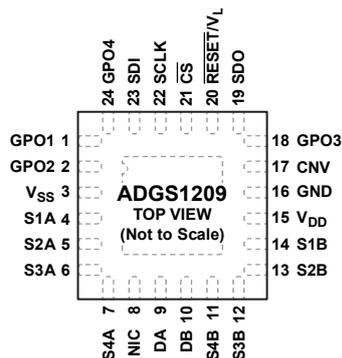
1. THE EXPOSED PAD IS CONNECTED INTERNALLY.
FOR INCREASED RELIABILITY OF THE SOLDER JOINTS
AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED
THAT THE EXPOSED PAD BE SOLDERED TO THE SUBSTRATE, V_{SS} .
2. NIC = NOT INTERNALLY CONNECTED.

16724-007

図 7. ADGS1208 のピン配置

表 8. ADGS1208 のピン機能の説明

ピン番号	記号	説明
1	GPO1	汎用出力 1。このピンはデジタル出力です。
2	GPO2	汎用出力 2。このピンはデジタル出力です。
3	V_{SS}	負電源の電位。単電源アプリケーションでは、このピンをグラウンドに接続します。
4	S1	ソース端子 1。このピンは、入力または出力に設定できます。
5	S2	ソース端子 2。このピンは、入力または出力に設定できます。
6	S3	ソース端子 3。このピンは、入力または出力に設定できます。
7	S4	ソース端子 4。このピンは、入力または出力に設定できます。
8、10	NIC	内部では未接続。これらのピンは、内部で接続されません。
9	D	ドレイン端子。このピンは、入力または出力に設定できます。
11	S8	ソース端子 8。このピンは、入力または出力に設定できます。
12	S7	ソース端子 7。このピンは、入力または出力に設定できます。
13	S6	ソース端子 6。このピンは、入力または出力に設定できます。
14	S5	ソース端子 5。このピンは、入力または出力に設定できます。
15	V_{DD}	正電源の電位。
16	GND	グラウンド・リファレンス (0V)。
17	CNV	チャンネル・サイクル入力ラウンド・ロビン・モードでは、CNV ピンを使用して選択したチャンネルを巡回します。
18	GPO3	汎用出力 3。このピンはデジタル出力です。
19	SDO	シリアル・データ出力多数のデバイスをデジチェーン接続したり、診断のためにレジスタに保存されているデータをリードバックするには、このピンを使用します。シリアル・データは SCLK の立下がりエッジで伝搬されます。外部抵抗を使用して、このオープンドレイン出力を V_L にプルダウンします。
20	$\overline{\text{RESET}}/V_L$	RESET/ロジック電源入力 (V_L) 通常動作では、2.7V~5.5V の電源で $\overline{\text{RESET}}/V_L$ ピンを駆動します。ハードウェア・リセットを完了するには、 $\overline{\text{RESET}}/V_L$ ピンをローにプルダウンします。リセット後、すべてのスイッチは解放され、適切なレジスタがデフォルト値に設定されます。
21	$\overline{\text{CS}}$	アクティブ・ローのコントロール入力。 $\overline{\text{CS}}$ は、入力データのフレーム同期信号です。
22	SCLK	シリアル・クロック入力。SCLK の立下がりエッジでデータがキャプチャされます。最大 50MHz のレートでデータを転送できます。
23	SDI	シリアル・データ入力。シリアル・クロック入力の立下がりエッジでデータがキャプチャされます。
24	GPO4 EPAD	汎用出力 4。このピンはデジタル出力です。 露出パッド。露出パッドは内部で接続されていません。ハンダ接続の信頼性と熱性能を向上させるため、このエクスポーズド・パッドを基板 V_{SS} にハンダ付けすることを推奨します。



NOTES

1. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE EXPOSED PAD BE SOLDERED TO THE SUBSTRATE, V_{SS}.
2. NIC = NOT INTERNALLY CONNECTED.

16724-008

図 8. ADGS1209 のピン配置

表 9. ADGS1209 のピン機能の説明

ピン番号	記号	説明
1	GPO1	汎用出力 1。このピンはデジタル出力です。
2	GPO2	汎用出力 2。このピンはデジタル出力です。
3	V _{SS}	負電源の電位。単電源アプリケーションでは、このピンをグラウンドに接続します。
4	S1A	ソース端子 1A。このピンは、入力または出力に設定できます。
5	S2A	ソース端子 2A。このピンは、入力または出力に設定できます。
6	S3A	ソース端子 3A。このピンは、入力または出力に設定できます。
7	S4A	ソース端子 4A。このピンは、入力または出力に設定できます。
8	NIC	内部では未接続。このピンは、内部では接続されません。
9	DA	ドレイン端子 A。このピンは、入力または出力に設定できます。
10	DB	ドレイン端子 B。このピンは、入力または出力に設定できます。
11	S4B	ソース端子 4B。このピンは、入力または出力に設定できます。
12	S3B	ソース端子 3B。このピンは、入力または出力に設定できます。
13	S2B	ソース端子 2B。このピンは、入力または出力に設定できます。
14	S1B	ソース端子 1B。このピンは、入力または出力に設定できます。
15	V _{DD}	正電源の電位。
16	GND	グラウンド・リファレンス (0V)。
17	CNV	チャンネル・サイクル入力ラウンド・ロビン・モードでは、CNV ピンを使用して選択したチャンネルを巡回します。
18	GPO3	汎用出力 3。このピンはデジタル出力です。
19	SDO	シリアル・データ出力多数のデバイスをデイズチェーン接続したり、診断のためにレジスタに保存されているデータをリードバックするには、このピンを使用します。シリアル・データは SCLK の立下がりエッジで伝搬されます。外部抵抗を使用して、このオープンドレイン出力を V _L にプルダウンします。
20	RESET/V _L	RESET/ロジック電源入力 (V _L) 通常動作では、2.7V~5.5V の電源で RESET/V _L ピンを駆動します。ハードウェア・リセットを完了するには、RESET/V _L ピンをローにプルダウンします。リセット後、すべてのスイッチは解放され、適切なレジスタがデフォルト値に設定されます。
21	CS	アクティブ・ローのコントロール入力。CS は、入力データのフレーム同期信号です。
22	SCLK	シリアル・クロック入力。SCLK の立下がりエッジでデータがキャプチャされます。最大 50MHz のレートでデータを転送できます。
23	SDI	シリアル・データ入力。シリアル・クロック入力の立下がりエッジでデータがキャプチャされます。
24	GPO4 EPAD	汎用出力 4。このピンはデジタル出力です。 露出パッド。露出パッドは内部で接続されていません。ハンダ接続の信頼性と熱性能を向上させるため、このエクスポーズド・パッドを基板 V _{SS} にハンダ付けすることを推奨します。

代表的な性能特性

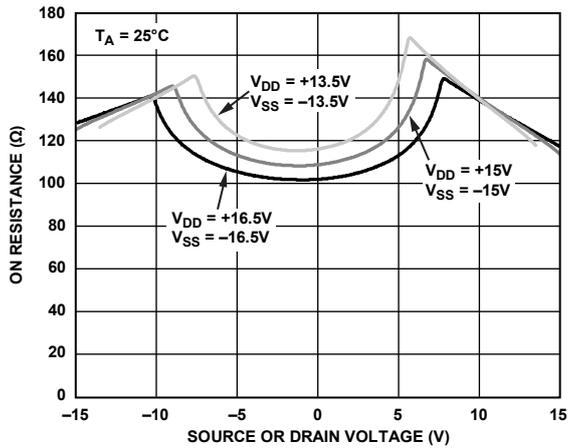


図 9. 様々な両電源でのオン抵抗とソース電圧またはドレイン電圧の関係

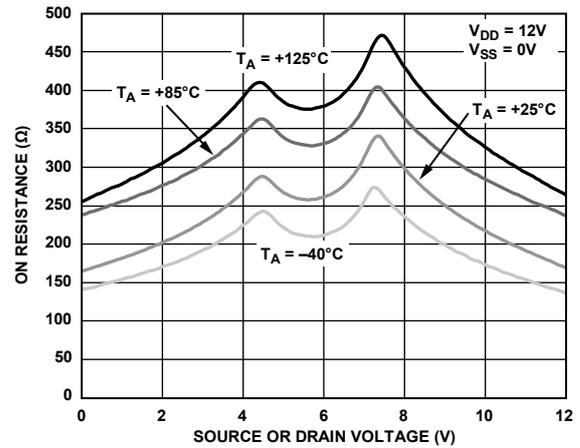


図 12. 様々な温度でのオン抵抗とソース電圧またはドレイン電圧の関係、12Vの単電源

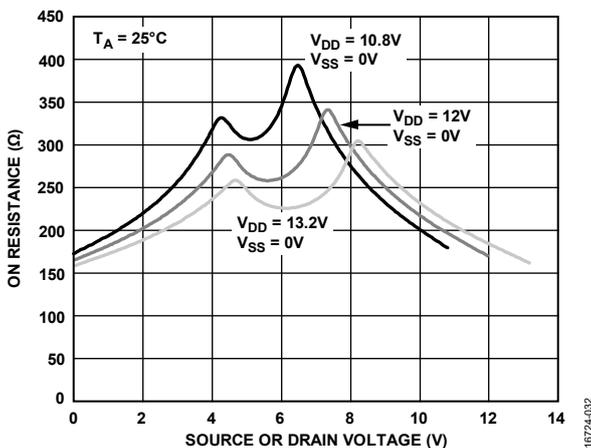


図 10. 様々な単電源でのオン抵抗とソース電圧またはドレイン電圧の関係

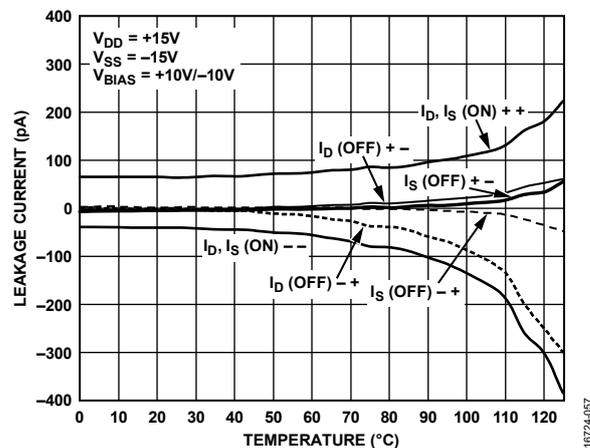


図 13. リーク電流の温度特性、±15Vの両電源

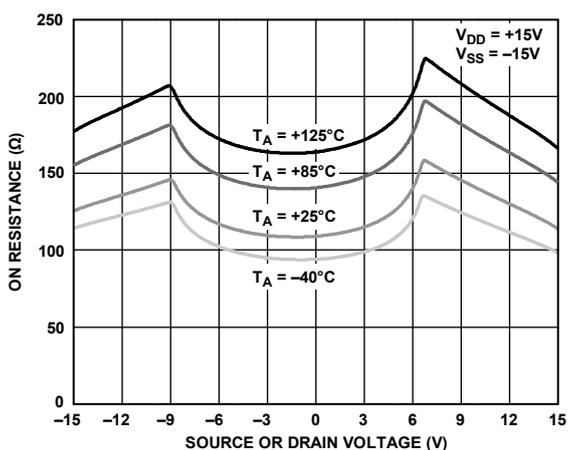


図 11. 様々な温度でのオン抵抗とソース電圧またはドレイン電圧の関係、±15V 両電源

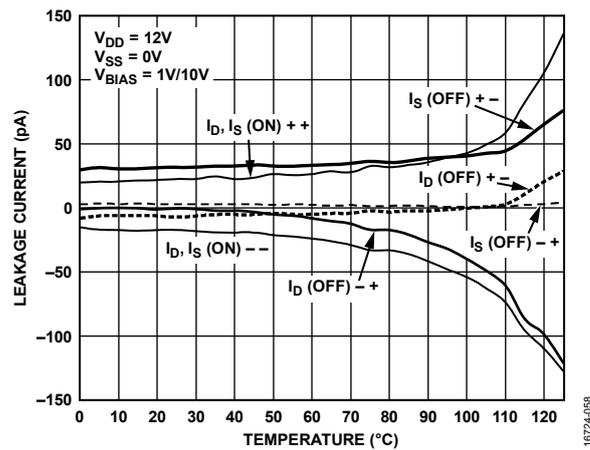


図 14. リーク電流の温度特性、12V 単電源

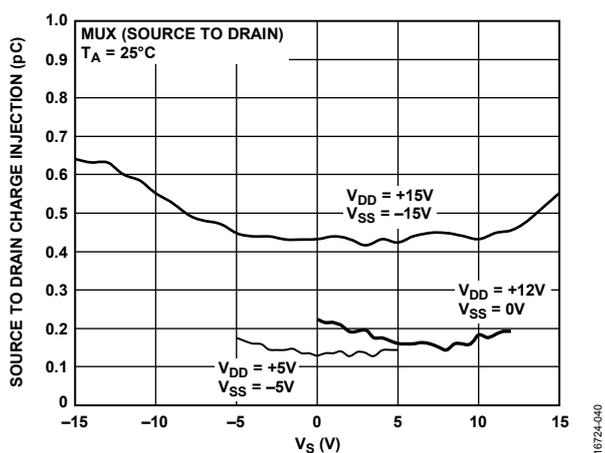


図 15. ソース/ドレイン間チャージ・インJECTIONとソース電圧 (VS) の関係

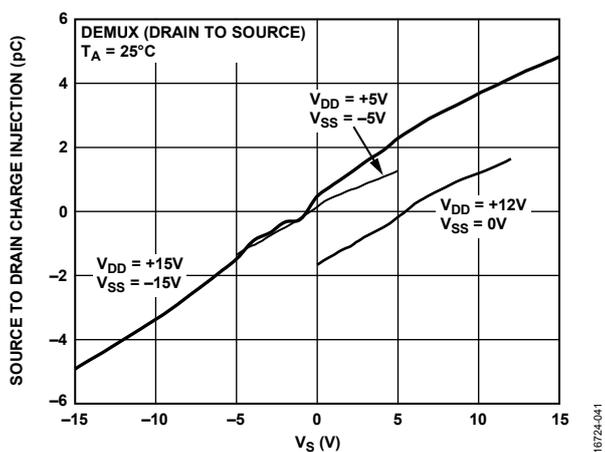


図 16. ドレイン/ソース間チャージ・インJECTIONとソース電圧 (VS) の関係

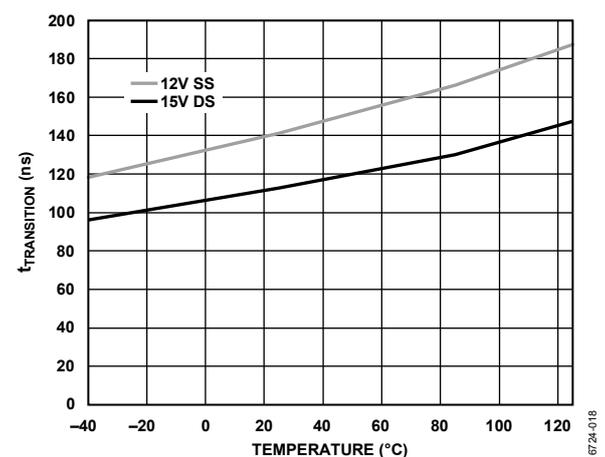


図 17. 遷移時間 (tTRANSITION) と温度の関係、単電源 (SS) と両電源 (DS)

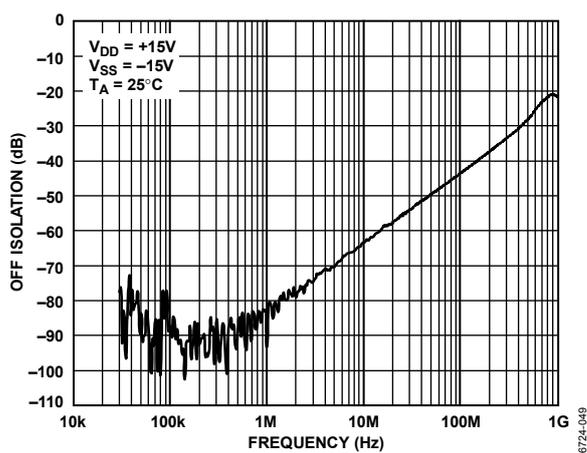


図 18. オフ・アイソレーションの周波数特性、±15V の両電源

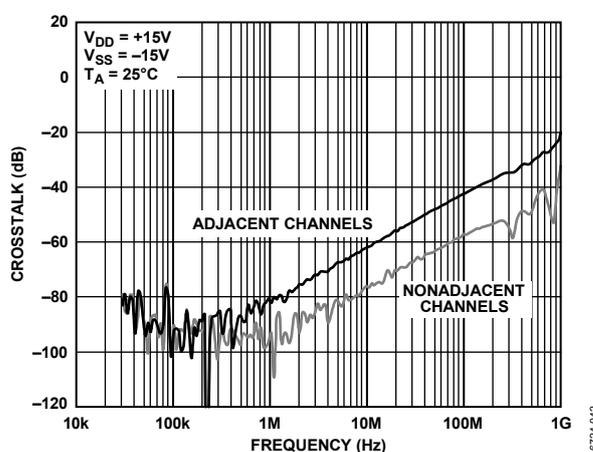


図 19. ADGS1208 クロストークの周波数特性、±15V の両電源

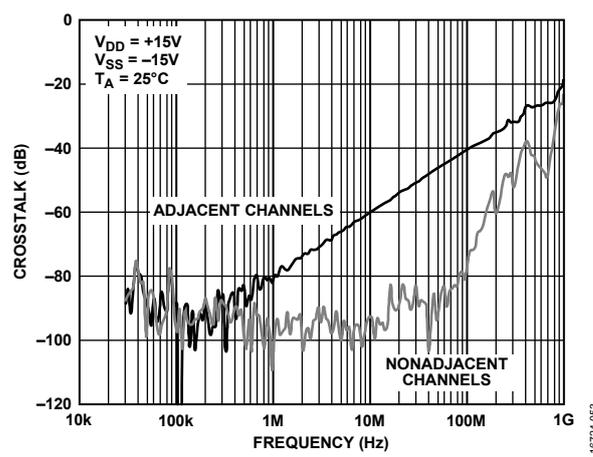


図 20. ADGS1209 クロストークの周波数特性、±15V の両電源

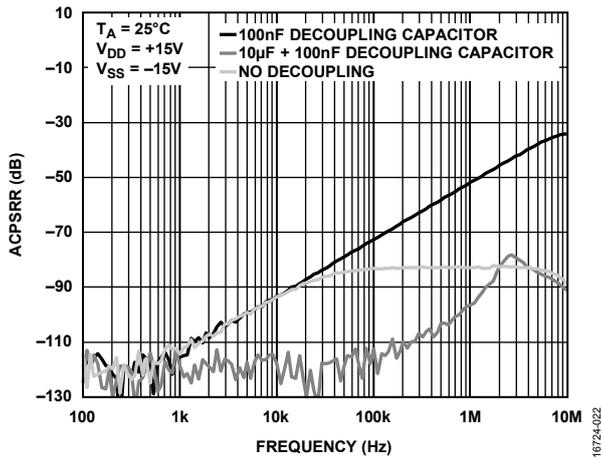


図 21. AC 電源電圧変動除去比 (ACPSRR) と周波数の関係、
±15V の両電源

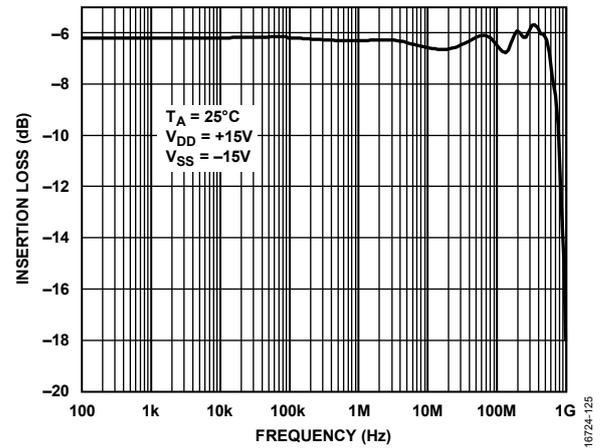


図 24. ADGS1209 挿入損失の周波数特性、±15V の両電源

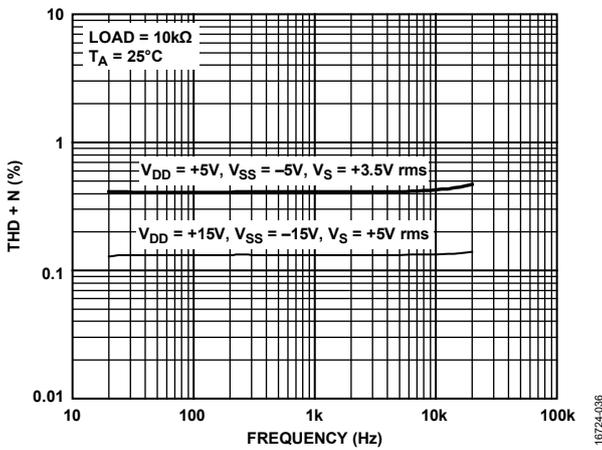


図 22. THD + N の周波数特性

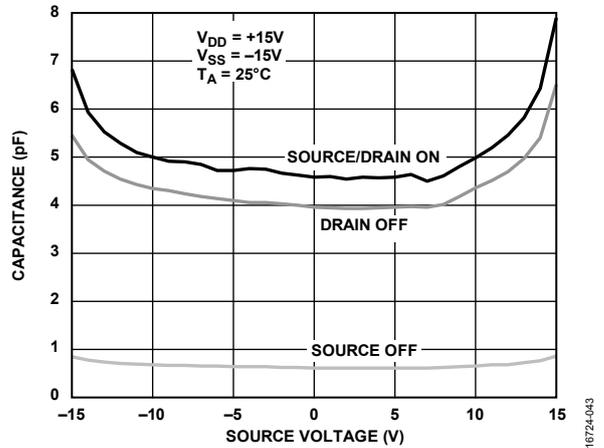


図 25. ADG1208 容量のソース電圧特性、±15V 両電源

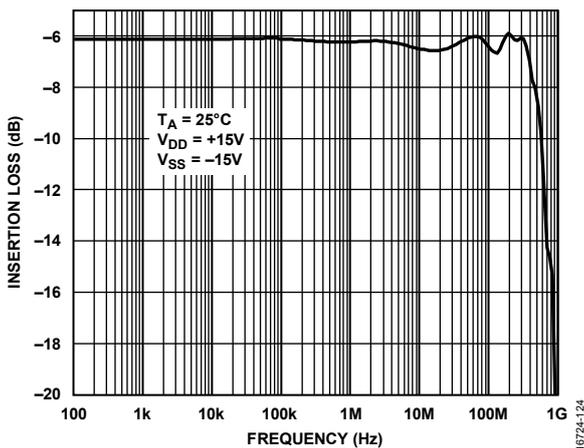


図 23. ADGS1208 挿入損失の周波数特性、±15V の両電源

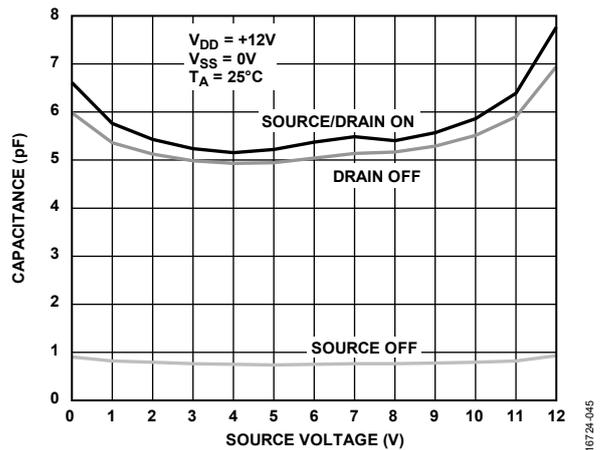


図 26. ADG1208 容量のソース電圧特性、12V 単電源

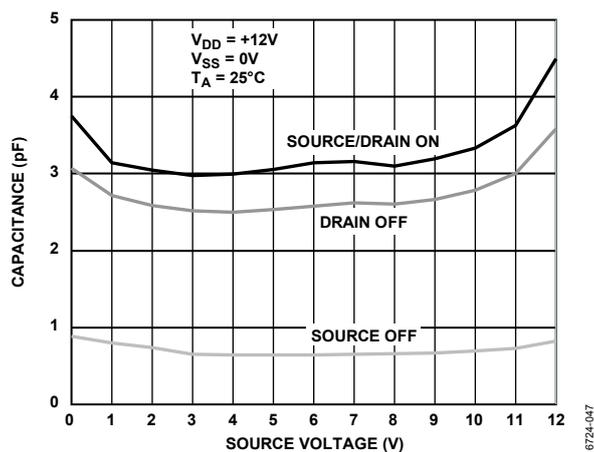


図 27. ADG1209 容量のソース電圧特性、12V 単電源

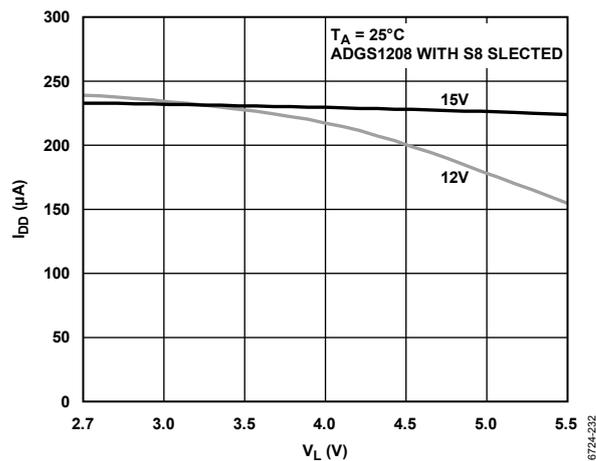


図 30. IDD と VL の関係

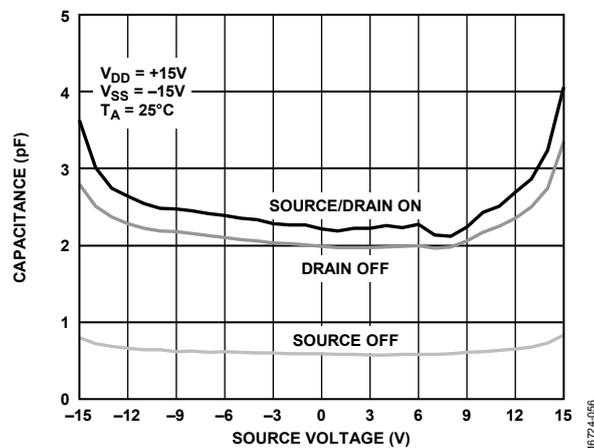


図 28. ADG1209 容量のソース電圧特性、±15V 両電源

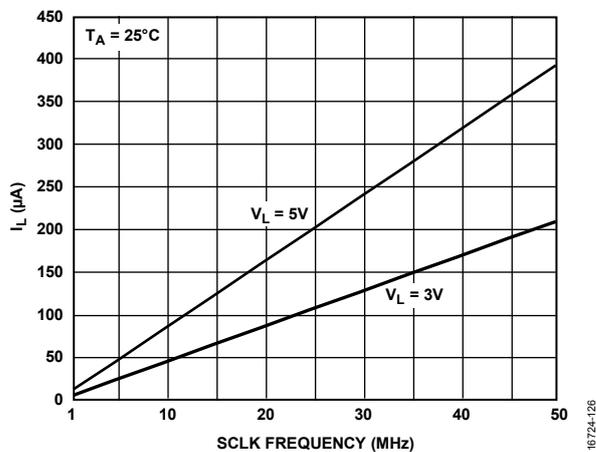


図 31. CS がハイの場合の IL の SCLK 周波数特性

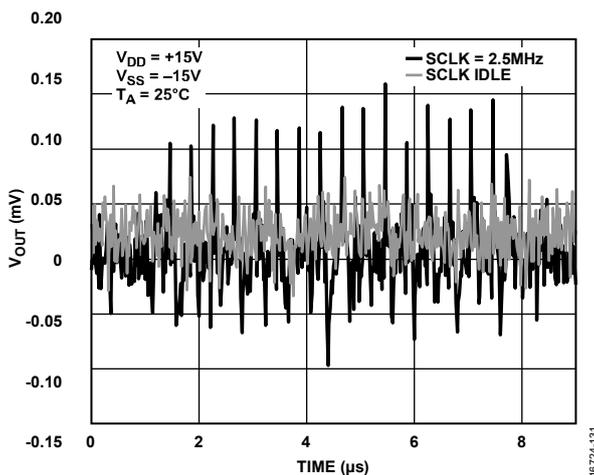


図 29. デジタル・フィードスルー

試験回路

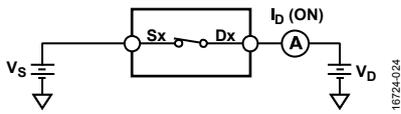


図 32. オン・リーク

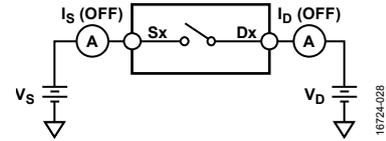
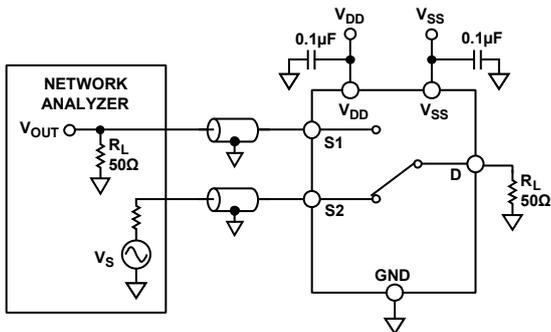
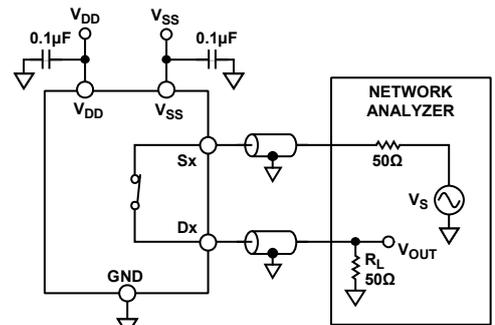


図 36. オフ・リーク



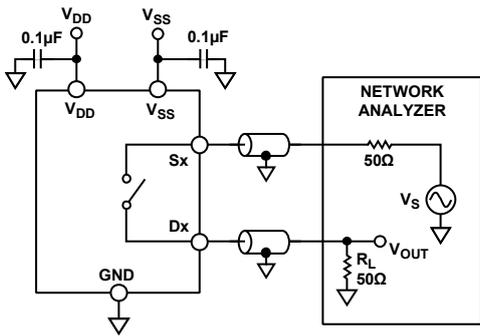
CHANNEL TO CHANNEL CROSSTALK = $20 \log \frac{V_{OUT}}{V_S}$

図 33. チャンネル間クロストーク



INSERTION LOSS = $20 \log \frac{V_{OUT \text{ WITH SWITCH}}}{V_S \text{ WITHOUT SWITCH}}$

図 37. 挿入損失/-3dB 帯域幅



OFF ISOLATION = $20 \log \frac{V_{OUT}}{V_S}$

図 34. オフ・アイソレーション

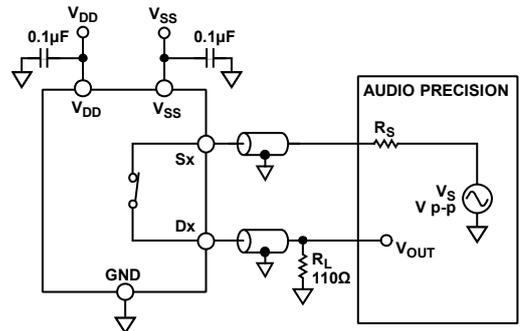
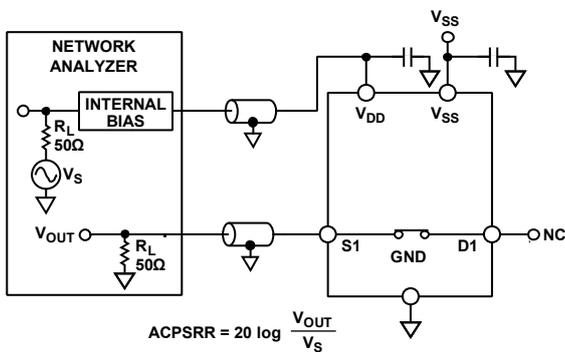


図 38. THD + N



ACPSRR = $20 \log \frac{V_{OUT}}{V_S}$

NOTES
1. BOARD AND COMPONENT EFFECTS ARE NOT DE-EMBEDDED FROM THE ACPSRR MEASUREMENT.

図 35. ACPSRR

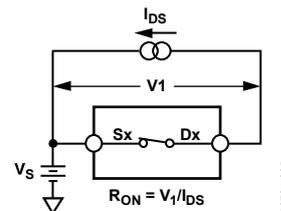


図 39. オン抵抗

$R_{ON} = V_1 / I_{DS}$

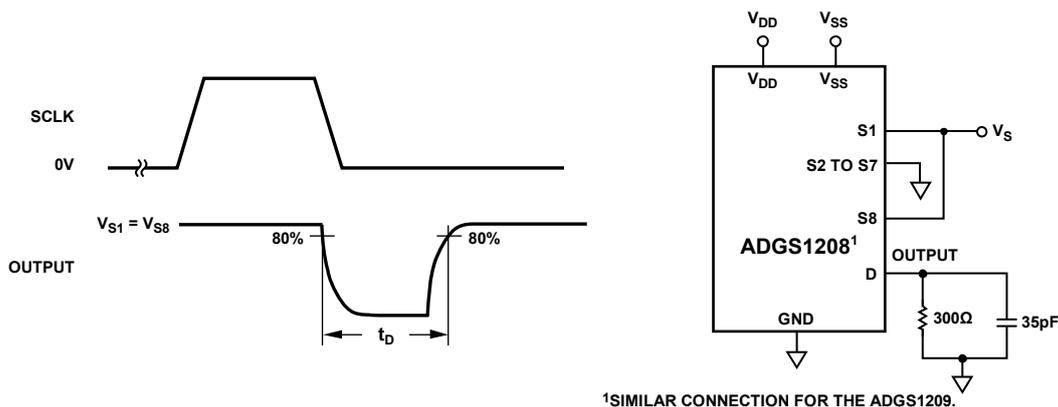


図 40. ブレーク・ビフォア・メークの遅延時間、 t_D

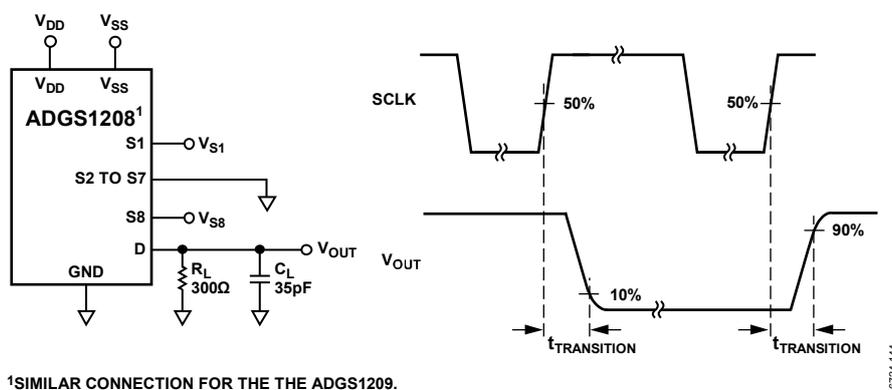


図 41. 遷移時間、 $t_{TRANSITION}$

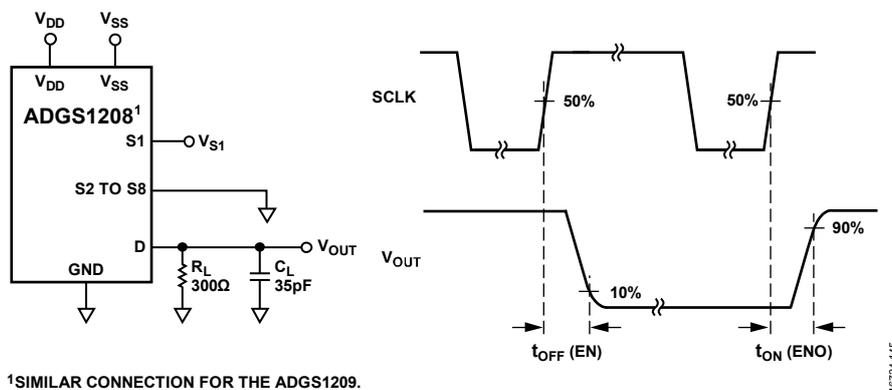
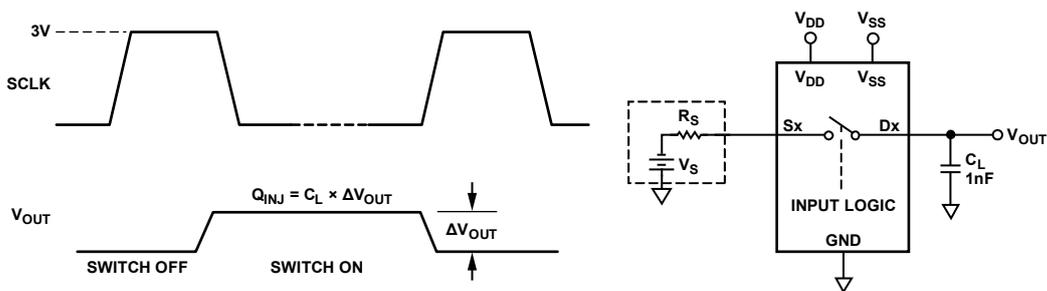
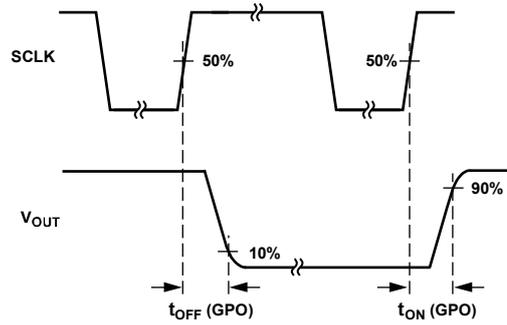
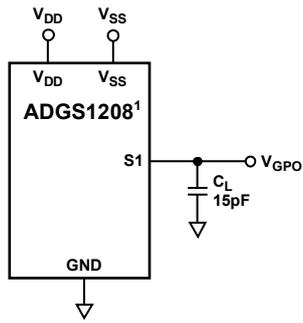


図 42. スイッチング時間、 $t_{ON} (EN)$ および $t_{OFF} (EN)$

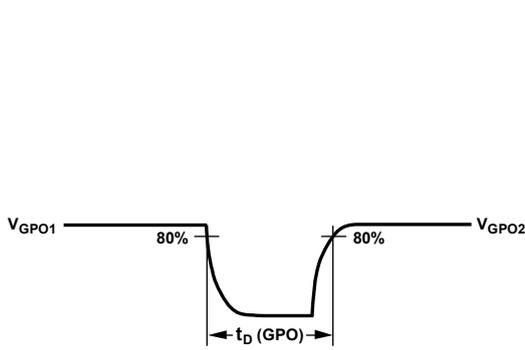




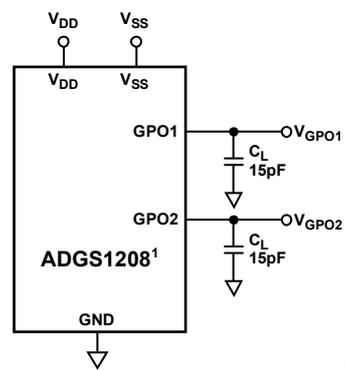
¹SIMILAR CONNECTION FOR THE ADGS1209.

16724-146

図 44. GPOx タイミング、 t_{ON} および t_{OFF}



TIME DELAY BETWEEN
GPO1 TURNING OFF
AND GPO2 TURNING ON



¹SIMILAR CONNECTION FOR THE ADGS1209.

16724-147

図 45. GPOx プレーク・ピフォア・メークの遅延時間、 t_D

用語の定義

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

V_D、V_S端子 D_X と端子 S_X のアナログ電圧。**R_{ON}**端子 D_X と端子 S_X の間の抵抗。**ΔR_{ON}**任意の 2 チャンネル間の R_{ON} の差。**R_{FLAT (ON)}**

仕様規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される抵抗値の平坦性です。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_S (On) 、 I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

デジタル入力のロー・レベルおよびハイ・レベルでの入力電流。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_S (On) 、 C_D (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON}

デジタル・コントロールで入力と出力をオンにする間の遅延。

t_{OFF}

デジタル・コントロールで入力と出力をオフにする間の遅延。

オフ・アイソレーション

オフ・スイッチから混入する不要な信号の大きさ。

チャージ・インジェクション

切替え中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。

クロストーク

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

-3dB 帯域幅

帯域幅とは、出力が 3dB 減衰する周波数。

オン応答

オン状態にあるスイッチの周波数応答。

挿入損失

スイッチのオン抵抗に起因する損失。

全高調波歪み+ノイズ (THD + N)

基本波成分に対する全高調波成分+信号ノイズの比。

AC 電源変動除去比 (ACPSRR)

変調振幅に対する出力信号振幅の比。ACPSRR は、電源電圧ピンに現れるカップリングノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイス電源の DC 電圧が、0.62V p-p の正弦波で変調されます。

動作原理

ADGS1208/ADGS1209は、それぞれ8つのシングル・チャンネルと4つの差動チャンネルで構成される、エラー検出機能を備えたシリアル制御のアナログ・マルチプレクサのセットです。SPIモード0およびSPIモード3をデバイスと組み合わせると、最大50MHzのSCLK周波数で動作させることができます。ADGS1208/ADGS1209のデフォルト・モードはアドレス・モードです。このモードでは、CSによって分割される16ビットのSPIコマンドで、デバイスのレジスタにアクセスできます。CRCエラー検出が有効な場合、SPIコマンドは24ビットになります。その他のエラー検出機能には、SCLKカウント・エラーや無効な読出し/書き込みエラーがあります。これらのSPIインターフェースでエラーが発生すると、エラー・フラグ・レジスタの読出し時に検出されます。また、ADGS1208/ADGS1209は、バースト・モードとデジタイズチェーン・モードでも動作します。

ADGS1208/ADGS1209のインターフェース・ピンは、CS、SCLK、SDI、およびSDOです。SPIインターフェースを使用する場合は、CSをローにします。データはSCLKの立ち上がりエッジ発生時にSDIでキャプチャされ、SCLKの立下がりエッジ発生時にSDOで伝搬されます。SDOはオープンドレイン出力を備えているので、プルアップ抵抗をこの出力に接続します。ADGS1208/ADGS1209を使用してもローにならない場合、SDOは高インピーダンス状態になります。

アドレス・モード

アドレス・モードは、パワーアップ時のADGS1208/ADGS1209のデフォルト・モードです。アドレス・モードでは、単一のSPIフレームがCS立下りエッジと後続のCS立ち上がりエッジによって分割されます。SPIフレームは、16SCLKサイクルで構成されます。アドレス・モードのタイミング図を図46に示します。最初のSDIビットを使用して、SPIコマンドが読出しコマンドまたは書き込みコマンドのどちらであるかを示します。最初のビットが0に設定されている場合は、書き込みコマンドが実行されます。最初のビットが1に設定されている場合は、読出しコマンドが実行されます。次の7ビットはターゲット・レジスタのアドレスを決定します。残りの8ビットは、指定されたレジスタへデータを提供します。読出しコマンド実行中のクロック・サイクルでは、SDOがレジスタに含まれるデータを伝搬するため、最後の8ビットは無視されます。

SPIコマンドのターゲット・レジスタのアドレスは、8番目のSCLK立ち上がりエッジで決定されます。このレジスタのデータは、SPIの読出し中に9～16番目のSCLK立下がりエッジでSDOに伝搬されます。レジスタへの書き込みは、SPIの書き込み中に16番目のSCLK立ち上がりエッジで発生します。

SPIコマンドの実行中、SDOは8つのSCLK立下りエッジで8つのアライメント・ビットを送信します。SDOで観察されるアライメント・ビットは、0x25です。

エラー検出機能

SPIインターフェースでは、プロトコルと通信のエラーを検出できます。不正SCLKエラー検出、無効な読出しと書き込みアドレス・エラー検出、CRCエラー検出の3つのエラーを検出できます。エラー設定レジスタには、各エラーに対応するイネーブル・ビットがあります。更に、エラー・フラグ・レジスタには、各エラーに対応するエラー・フラグ・ビットがあります。

巡回冗長検査 (CRC) エラーの検出

CRCエラー検出機能では、有効なSPIフレームが8つのSCLKサイクル分だけ拡張されます。8つの追加サイクルは、SPIフレームのCRCバイトを送信するために必要です。CRCバイトは、16ビットのペイロードを使用してSPIブロックによって計算されます。ペイロードは、R/Wビット、レジスタ・アドレス・ビット[6:0]、レジスタ・データ・ビット[7:0]で構成されます。SPIブロックで使用されるCRC多項式は、 $x^8+x^2+x^1+1$ 、シード値は0です。CRCを有効にした場合のタイミング図については、図47を参照してください。レジスタへの書き込みは、CRCエラー・チェックを有効にした場合に24番目のSCLK立ち上がりエッジで発生します。

SPI書き込み中に、マイクロコントローラ/CPUは、SDI経由でCRCバイトを出力します。SPIブロックは、24番目のSCLK立ち上がりエッジ直前にCRCバイトをチェックします。同じエッジで、SPIインターフェースから不正なCRCバイトが受信されると、レジスタへの書き込みは阻止されます。不正なCRCバイトが検出された場合、CRCエラー・フラグはエラー・フラグ・レジスタでアサートされます。

SPIの読出しを実行中、CRCバイトはSDOからマイクロコントローラに出力されます。

CRCエラー検出機能は、デフォルトでは無効になっています。この機能はエラー設定レジスタで設定できます。

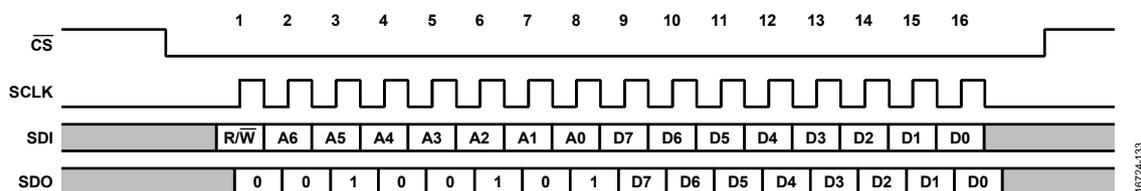


図 46. アドレス・モードのタイミング図

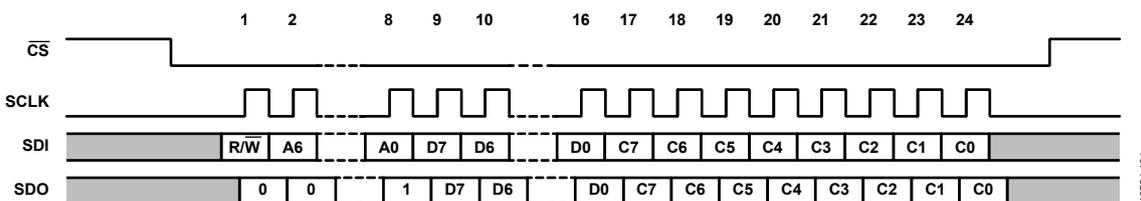


図 47. CRC が有効な場合のタイミング図

SCLK カウント・エラー検出

SCLK カウント・エラー検出を使用すると、不正な SCLK サイクル数がマイクロコントローラ/CPU から送信されたかどうかを検出できます。アドレス・モードで CRC を無効にすると、SCLK サイクルの発生回数は 16 回になります。検出される SCLK サイクルの回数が 16 未満の場合、SCLK カウントのエラー・フラグがエラー・フラグ・レジスタでアサートされます。デバイスによって受信される SCLK サイクルの回数が 16 未満の場合、レジスタ・マップへの書込みは発生しません。ADGS1208/ADGS1209 によって受信される SCLK サイクルの回数が 16 を超える場合も、メモリ・マップへの書込みが 16 番目の SCLK 立上がりエッジで発生し、エラー・フラグ・レジスタでフラグがアサートされます。CRC を有効にすると、発生する SCLK サイクルの回数は 24 です。SCLK カウント・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで設定できます。

無効な読出し/書込みアドレス・エラー検出

存在しないレジスタ・アドレスが読出しまたは書込みのターゲットになると、無効な読出し/書込みアドレス・エラーが検出されます。更に、このエラーは、読出し専用レジスタに書出しが試行された場合にもアサートされます。無効な読出し/書込みアドレス・エラーが発生すると、エラー・フラグ・レジスタで無効な読出し/書込みアドレス・エラー・フラグがアサートされます。無効な読出し/書込みアドレス・エラーは、9 番目の SCLK 立上がりエッジで検出されます。つまり、無効なアドレスがターゲットになっている場合、レジスタへの書込みは発生しません。無効な読出し/書込みアドレス・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで無効にできます。

エラー・フラグ・レジスタのクリア

エラー・フラグ・レジスタをクリアするには、専用の 16 ビット SPI フレーム 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な読出し/書込みアドレス・エラーはトリガされません。CRC が有効な場合、エラー・クリア・コマンドを正常に完了するため、CRC バイトも送信する必要があります。16 番目または 24 番目の SCLK 立上がりエッジで、エラー・フラグ・レジスタは 0 にリセットされます。

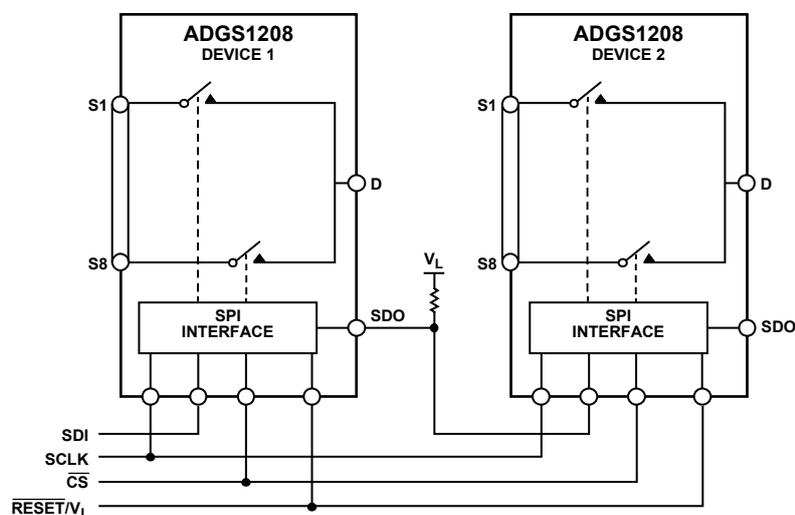


図 49. デイジーチェーン構成で接続された 2 台の ADGS1208/ADGS1209 デバイス

バースト・モード

SPI インターフェースでは、 \overline{CS} ラインをアサート解除する必要なく、連続する SPI コマンドに対応できます。これをバースト・モードといいます。バースト・モードを有効にするには、バースト・イネーブル・レジスタを使用します。このモードでは、同じ 16 ビット・コマンドを使用してデバイスと通信します。更に、SDO でのデバイスの応答は、対応する SPI コマンドに揃えられます。図 48 に、バースト・モードを実行中の SDI と SDO の例を示します。

無効な読出し/書込みアドレスおよび CRC のエラー・チェック機能は、バースト・モードの実行中もアドレス・モードと同様に動作します。ただし、SCLK カウント・エラー検出の動作は若干異なります。特定の \overline{CS} フレーム内で SCLK サイクルの合計がカウントされ、CRC を有効にした状態で合計が 16 または 24 の倍数でない場合、SCLK カウント・エラー・フラグがアサートされます。

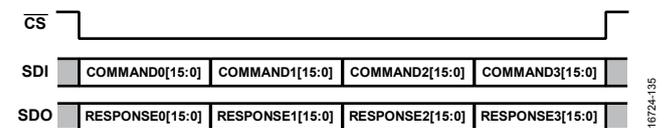


図 48. バースト・モード・フレーム

ソフトウェア・リセット

アドレス・モードでは、次の方法でソフトウェア・リセットを開始できます。レジスタ 0x0B をターゲットとする連続した 2 つの SPI コマンド (つまり 0xA3 と 0x05) の書込みを実行します。ソフトウェア・リセットの後に、すべてのレジスタ値がデフォルトに設定されます。

デイジーチェーン・モード

デイジーチェーン設定では、複数の ADGS1208/ADGS1209 デバイスを接続できます。図 49 に、このセットアップを示します。すべてのデバイスが同じ \overline{CS} と SCLK ラインを共有し、デバイスの SDO が次のデバイスの SDI に接続され、シフト・レジスタが作成されます。デイジーチェーン・モードでは、SDO は SDI の 8 サイクル遅延したバージョンになります。デイジーチェーン・モードでは、すべてのコマンドがスイッチ・データ・レジスタをターゲットにします。そのため、デイジーチェーン・モードでは設定を変更できません。

ADGS1208/ADGS1209 は、アドレス・モードで 16 ビットの SPI コマンド 0x2500 (図 50を参照) を送信した場合のみ、デジチェーン・モードに移行できます。ADGS1208/ADGS1209 がこのコマンドを受信すると、デバイスの SDO が同じコマンドを送信します。SDO のアライメント・ビットが 0x25 であることが理由です。この場合、デジチェーン接続された複数のデバイスを単一の SPI フレームでデジチェーン・モードに移行できます。デジチェーン・モードを終了するには、ハードウェア・リセットが必要です。

通常のデジチェーン SPI フレームのタイミング図については、図 51を参照してください。CS がハイになると、デバイス 1 はコマンド 0、ビット [7:0] をスイッチ・データ・レジスタに書き込みます。デバイス 2 はコマンド 1、ビット [7:0] をスイッチに書き込みます。残りのデバイスも同様にコマンドを実行します。SPI ブロックでは、SDI から受信した最後の 8 ビットを使用してスイッチが更新されます。デジチェーン・モードに移行した後、チェーン内の各デバイスに搭載された SDO によって送信される最初の 8 ビットは 0x00 です。CS がハイになると、内部シフト・レジスタ値は 0 にリセットされません。

SCLK の立上がりエッジでは、SDI からデータが読み出されます。一方、SCLK の立下がりエッジでは、SDO からデータが伝搬されます。CS がハイになるまで SCLK サイクルが発生する回数は、8 の倍数になるはずですが、そうでない場合、SPI インターフェースは受信した最後の 8 ビットをスイッチ・データ・レジスタに送信します。

パワーオン・リセット

ADGS1208/ADGS1209 のデジタル・セクションは、V_L の電源投入時に初期化フェーズを実行します。この初期化は、ハードウェアまたはソフトウェアのリセット後にも発生します。V_L の電源投入またはリセットの後、少なくとも 120 μs 経過してから SPI コマンドを発行します。120μs の初期化フェーズでは、V_L がドロップアウトしないよう注意してください。V_L がドロップアウトすると、ADGS1208/ADGS1209 の動作で異常が発生する可能性があります

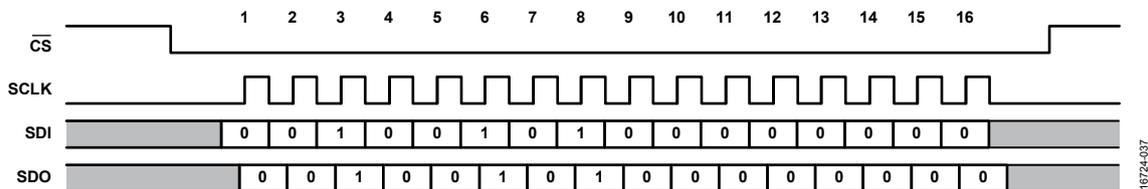


図 50. デジチェーン・モードに移行する SPI コマンド

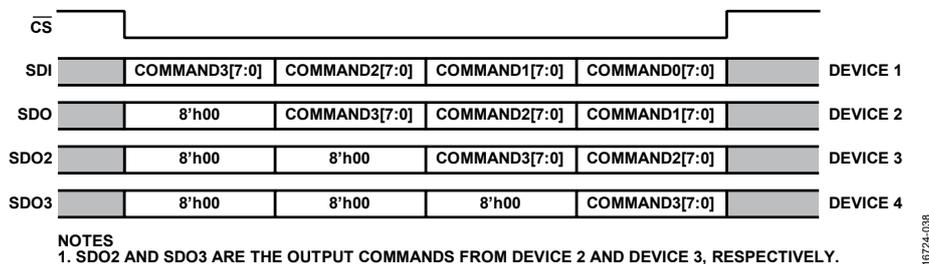


図 51. デジチェーン・モードで 4 台の ADGS1208/ADGS1209 デバイスが接続される SPI フレームの例

ラウンド・ロビン・モード

ラウンド・ロビン・モードで実行すると、デジタル・インターフェースがチャンネル間を切り替える必要を減らすことで、ADGS1208/ADGS1209はチャンネル間を迅速に巡回できます。サイクルに含めるチャンネルは、ラウンド・ロビン構成レジスタによって選択されます。また、ADGS1208/ADGS1209がシーケンスで次のチャンネルに切り替える CNV のエッジは、CNV エッジ選択レジスタによって選択されます。チャンネル・サイクルの最後に、再同期パルスが SDO に出力され、現在のサイクルが終了したことをユーザに通知し、チャンネルのシーケンスの先頭にループ・バックします。図 52 にラウンド・ロビン・モード・インターフェースの例を示し、図 53 にラウンド・ロビン・モードで ADGS1208 と組み合わせて使用する A/D コンバータ (ADC) の CNV 信号を示します。

構成が完了したら、ラウンド・ロビンのイネーブル・レジスタを使用することで、ADGS1208/ADGS1209 をラウンド・ロビン・モードに移行することができます。

ラウンド・ロビン・モードでは、チャンネル間の切替えに SPI は不要になります。代わりに、チャンネルを切替えるために、 \overline{CS} がロー・レベルにプルダウンする間、CNV ピンにデジタル信号が存在することを確認します。

ラウンド・ロビン・モードを終了するには、ハードウェア・リセットを実行するか、16 ビットのアドレス・モード SPI フレームを次のように送信します。0xA318 の後に 0xE3B4 を送信します。ラウンド・ロビン・モードでは、SPI インターフェースによって認識されるのは SPI コマンドのみです。

ラウンド・ロビン・モードでは、入力チャンネルの変更に必要な 16 ビットのオーバーヘッドがないので、アドレス・モードよりも大幅に高速になります。更に、ラウンド・ロビン・モードでは、SCLK の必要がなく、デジタル電流消費 (I_D) が減ります。最大 CNV 周波数は、デバイスの遷移時間とアプリケーションに必要なセトリング時間によって制限されます。

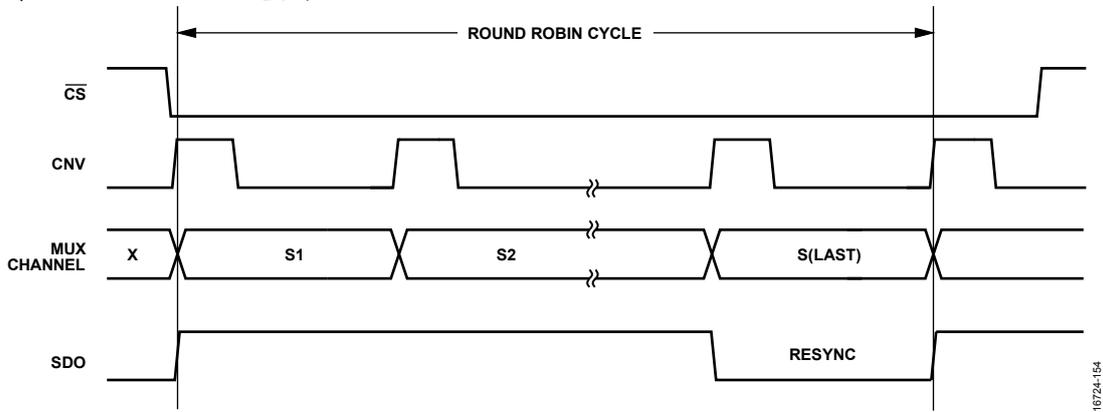


図 52. ラウンド・ロビン・モード・インターフェースの例

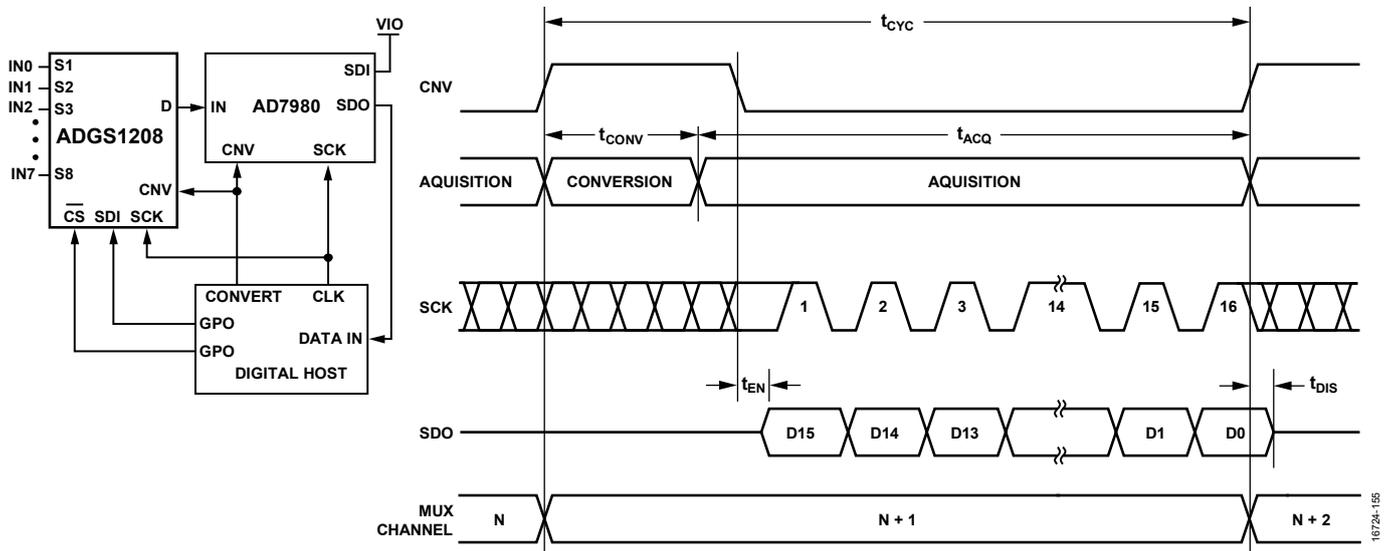


図 53. ADGS1208 でチャンネルを巡回する ADC の CNV 信号の例

汎用出力

ADGS1208/ADGS1209 は、4つの汎用出力（GPO）を備えています。これらのデジタル出力により、ADGS1208/ADGS1209 を使用してその他のデバイスを制御できます。GPO は SW_DATA レジスタを介して制御され、ハイまたはローに設定できます。デバイ

スがラウンド・ロビン・モードで実行している場合、GPO はローになります。ロジック・ロー・レベルは GND で、V_L でロジック・ハイ・レベルが設定されます。図 54 に、ADGS1208 を使用して別のデバイスを制御する方法を示します。この例では、ADG758 です。

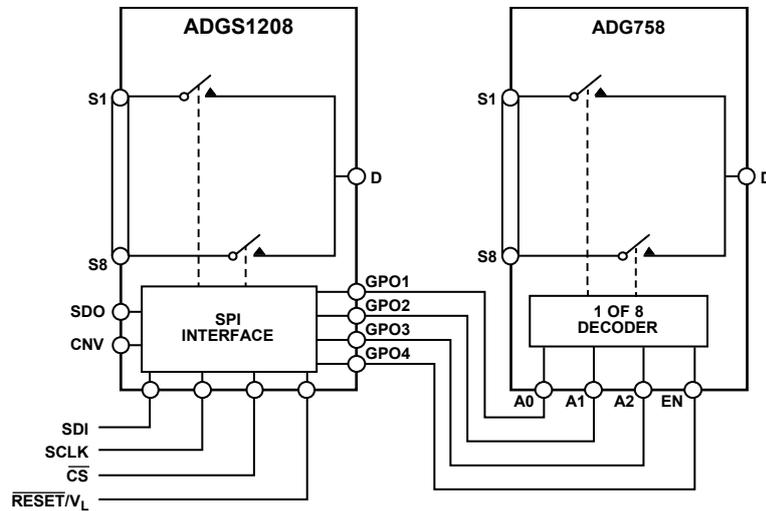


図 54. ADG758 を制御する ADGS1208 デバイス

16724-156

アプリケーション情報

デジタル入力バッファ

デジタル入力ピン ($\overline{\text{CS}}$ 、SCLK、SDI) には入力バッファがあります。これらのバッファは常にアクティブなので、 $\overline{\text{CS}}$ がアクティブであるかどうかに関係なく、SCLKまたはSDIがトグルすると、 V_L 電源から電源が流れます。この電流引き込みの代表値については、仕様のセクションとを参照してください。

セトリング時間

相補型金属酸化膜半導体 (CMOS) スイッチとマルチプレクサでよく見られますが、チャンネルの切替え中はソース/ドレイン間の外乱が大きくなります。正確な読出しを実行するため、これらの外乱がセトリングするまで十分に待機してから測定を開始する必要があります。データ・アキュイジション・システムのセトリング時間は、マルチプレクサの出力の負荷に依存します。

電源レール

ADGS1208/ADGS1209 の正常な動作を確保するには、 $0.1\mu\text{F}$ のデカップリング・コンデンサが必要です。

ADGS1208/ADGS1209 は、 $\pm 4.5\text{V} \sim \pm 16.5\text{V}$ のバイポーラ電源で動作します。 V_{DD} と V_{SS} の電源が対称である必要はありません。ただし、 $V_{DD} \sim V_{SS}$ の電圧が 33V を超えてはいけません。ADGS1208/ADGS1209 は、 V_{SS} を GND に接続して $5\text{V} \sim 20\text{V}$ の単電源で動作することもできます。

V_L に供給できる電圧範囲は $2.7\text{V} \sim 5.5\text{V}$ です。

デバイスは $\pm 15\text{V}$ 、 $+12\text{V}$ のアナログ電圧範囲で仕様規定されています。

電源の推奨事項

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの要件を満たす広範なパワー・マネジメント製品を提供しています。

バイポーラ電源ソリューションの例を図 55 に示します。ADP5070 デュアル・スイッチング・レギュレータは、典型的なシグナル・チェーンにおいて ADGS1208/ADGS1209、アンプ、高精度コンバータ向けに正と負の電源レールを生成します。図 55 に示すように、オプションで 2 つの低ドロップアウト (LDO) レギュレータがあります。ADP7118 と ADP7182 はそれぞれ正と負の LDO です。これらの LDO を使用すると、極めて小さなノイズに敏感なアプリケーションで、ADP5070 の出力リップルを削減できます。

ADM7160 を使用すると、ADGS1208/ADGS1209 内のデジタル回路に電力を供給するのに必要な V_L 電圧を生成できます。

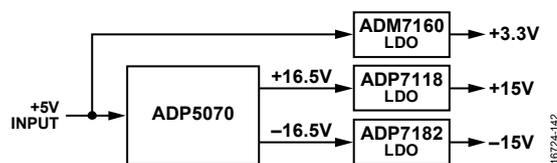


図 55. バイポーラ電源のソリューション

表 10. 推奨されるパワー・マネジメント・デバイス

Product	Description
ADP5070	1 A/0.6 A, dc-to-dc switching regulator with independent positive and negative outputs
ADM7160	5.5 V, 200 mA, ultralow noise LDO linear regulator
ADP7118	20 V, 200 mA, low noise CMOS LDO linear regulator
ADP7182	-28 V, -200 mA, low noise LDO linear regulator

レジスタの概要

表 11. ADGS1208 のレジスタの一覧

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	RW
0x01	SW_DATA	GPO4	GPO3	GPO2	GPO1	A2	A1	A0	EN	0x00	R/W
0x02	ERR_CONFIG	Reserved					RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN	0x06	R/W
0x03	ERR_FLAGS	Reserved					RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG	0x00	R
0x05	BURST_EN	Reserved							BURST_MODE_EN	0x00	R/W
0x06	ROUND_ROBIN_EN	Reserved							ROUND_ROBIN_EN	0x00	R/W
0x07	RROBIN_CHANNEL_CONFIG	S8_EN	S7_EN	S6_EN	S5_EN	S4_EN	S3_EN	S2_EN	S1_EN	0xFF	R/W
0x09	CNV_EDGE_SEL	RESERVED							CNV_EDGE_SEL	0x00	R/W
0x0B	SOFT_RESETB	SOFT_RESETB							0x00	R/W	

表 12. ADGS1209 のレジスタの一覧

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	RW
0x01	SW_DATA	GPO4	GPO3	GPO2	GPO1	Reserved	A1	A0	EN	0x00	R/W
0x02	ERR_CONFIG	Reserved					RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN	0x06	R/W
0x03	ERR_FLAGS	Reserved					RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG	0x00	R
0x05	BURST_EN	Reserved							BURST_MODE_EN	0x00	R/W
0x06	ROUND_ROBIN_EN	Reserved							ROUND_ROBIN_EN	0x00	R/W
0x07	RROBIN_CHANNEL_CONFIG	Reserved			S4_EN	S3_EN	S2_EN	S1_EN	0x0F	R/W	
0x09	CNV_EDGE_SEL	Reserved							CNV_EDGE_SEL	0x00	R/W
0x0B	SOFT_RESETB	SOFT_RESETB							0x00	R/W	

レジスタの詳細

スイッチ・データ・レジスタ

アドレス：0x01、リセット：0x00、レジスタ名：SW_DATA

スイッチ・データ・レジスタは、ADGS1208/ADGS1209の8つのスイッチのステータスと汎用デジタル出力を制御します。ADGS1208/ADGS1209真理値表テーブルをビットの説明と組み合わせて使用します。

表 13. ADGS1208 の SW_DATA のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
7	GPO4		GPO4 のイネーブル・ビット。	0x0	R/W
6	GPO3		GPO3 のイネーブル・ビット。	0x0	R/W
5	GPO2		GPO2 のイネーブル・ビット。	0x0	R/W
4	GPO1		GPO1 のイネーブル・ビット。	0x0	R/W
3	A2		A2 のイネーブル・ビット。	0x0	R/W
2	A1		A1 のイネーブル・ビット。	0x0	R/W
1	A0		A0 のイネーブル・ビット。	0x0	R/W
0	EN	0 1	ADGS1208 のイネーブル・ビット。 ADGS1208 ディスエーブル。 ADGS1208 イネーブル。	0x0	R/W

表 14. SW_DATA ADGS1209 のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
7	GPO4		GPO4 のイネーブル・ビット。	0x0	R/W
6	GPO3		GPO3 のイネーブル・ビット。	0x0	R/W
5	GPO2		GPO2 のイネーブル・ビット。	0x0	R/W
4	GPO1		GPO1 のイネーブル・ビット。	0x0	R/W
3	予備		このビットは予備です。このビットは0に設定します。	0x0	R
2	A1		A1 のイネーブル・ビット。	0x0	R/W
1	A0		A0 のイネーブル・ビット。	0x0	R/W
0	EN	0 1	ADGS1209 のイネーブル・ビット。 ADGS1209 ディスエーブル。 ADGS1209 イネーブル。	0x0	R/W

表 15. ADGS1208 真理値表

A2	A1	A0	EN	On Switch
X	X	X	0	None
0	0	0	1	S1
0	0	1	1	S2
0	1	0	1	S3
0	1	1	1	S4
1	0	0	1	S5
1	0	1	1	S6
1	1	0	1	S7
1	1	1	1	S8

表 16. ADGS1209 真理値表

A1	A0	EN	On Switch Pair
X	X	0	None
0	0	1	S1
0	1	1	S2
1	0	1	S3
1	1	1	S4

エラー設定レジスタ

アドレス：0x02、リセット：0x06、レジスタ名：ERR_CONFIG

エラー設定レジスタでは、必要に応じて関連する機能を有効または無効にできます。

表 17. ERR_CONFIG のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:3]	予備		これらのビットは予約済み。これらのビットは0に設定します。	0x0	R
2	RW_ERR_EN	0 1	無効な読み出し/書き込みアドレスを検出するイネーブル・ビット。 0 ディスエーブル。 1 イネーブル。	0x1	R/W
1	SCLK_ERR_EN	0 1	SPIフレームのSCLKサイクルの回数が正しいかどうかを検出するためのイネーブル・ビット。CRCが無効で、バースト・モードが無効の場合、SCLKサイクルの回数は16になるはずですが、CRCが有効で、バースト・モードが無効の場合、SCLKサイクルの回数は24になります。CRCが無効で、バースト・モードが有効の場合、SCLKサイクルの回数は16の倍数になります。CRCが有効で、バースト・モードが有効の場合、SCLKサイクルの回数は24の倍数になります。	0x1	R/W
0	CRC_ERR_EN	0 1	CRCエラー検出のイネーブル・ビット。有効な場合のSPIフレームは24ビットです。 0 ディスエーブル。 1 イネーブル。	0x0	R/W

エラー・フラグ・レジスタ

アドレス：0x03、リセット：0x00、レジスタ名：ERR_FLAGS

エラー・フラグ・レジスタを使用すると、エラーが発生したかどうかを判断できます。エラー・フラグ・レジスタをクリアするには、16ビットの専用SPIコマンド0x6CA9をデバイスに書き込みます。このSPIコマンドを実行しても、無効なR/Wアドレス・エラーはトリガされません。CRCが有効な場合、エラー・フラグ・レジスタのクリア・コマンドを正常に完了するには、SPIの書き込みで正しいCRCバイトを挿入する必要があります。

表 18. ERR_FLAGS のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:3]	予備		これらのビットは予約済み。これらのビットは0に設定します。	0x0	R
2	RW_ERR_FLAG	0 1	無効な読み出し/書き込みアドレスのエラー・フラグ。ターゲット・アドレスが存在しない場合、SPI読み出しでエラー・フラグがアサートされます。また、SPI書き込みのアドレスが存在しない場合、または読み出し専用である場合にも、エラー・フラグがアサートされます。 0 エラーなし。 1 エラー。	0x0	R
1	SCLK_ERR_FLAG	0 1	SPIフレームのSCLKサイクルの数が正しいかどうかを検出するためのエラー・フラグ。 0 エラーなし。 1 エラー。	0x0	R
0	CRC_ERR_FLAG	0 1	レジスタへの書き込みでCRCエラーが発生したかどうかを判断するエラー・フラグ。 0 エラーなし。 1 エラー。	0x0	R

バースト・イネーブル・レジスタ

アドレス：0x05、リセット：0x00、レジスタ名：BURST_EN

バースト・イネーブル・レジスタを使用すると、バースト・モードを有効または無効にできます。有効にすると、 \overline{CS} をアサート解除せずに、複数の連続するSPIコマンドを送信できます。

表 19. BURST_EN のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:1]	予備		これらのビットは予約済み。これらのビットは0に設定します。	0x0	R
0	BURST_MODE_EN	0 1	バースト・モード・イネーブル・ビット。 0 ディスエーブル。 1 イネーブル。	0x0	R/W

ラウンド・ロビンのイネーブル・レジスタ

アドレス：0x06、リセット：0x00、レジスタ名：ROUND_ROBIN_EN

ラウンド・ロビン・レジスタを使用すると、ラウンド・ロビン・モードを有効または無効にできます。イネーブルにすると、CNV ピンの関連するエッジを出力することで、ラウンド・ロビン構成レジスタでイネーブルのチャンネルを巡回できます。

表 20. ROUND_ROBIN_EN ビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:1]	予備		これらのビットは予約済み。これらのビットは0に設定します。	0x0	R
0	ROUND_ROBIN_EN	0 1	ラウンド・ロビン・モードのイネーブル・ビット 0 ディスエーブル。 1 イネーブル。	0x0	R/W

ラウンド・ロビン・チャンネル設定レジスタ

アドレス：0x07、リセット：0xFF (ADGS1208)、0x0F (ADGS1209)、レジスタ名：RROBIN_CHANNEL_CONFIG

ラウンド・ロビン・チャンネル設定レジスタを使用して、ラウンド・ロビン・モードの実行中にサイクルに含まれるチャンネルを制御します。ラウンド・ロビン・モードで実行中、チャンネルは昇順で巡回します。

表 21. RROBIN_CHANNEL_CONFIG (ADGS1208) のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
7	S8_EN	0 1	S8 のイネーブル・ビット。 0 ラウンド・ロビン・モード中、S8 はディスエーブル。 1 ラウンド・ロビン・モード中、S8 はイネーブル。	0x1	R/W
6	S7_EN	0 1	S7 のイネーブル・ビット。 0 ラウンド・ロビン・モード中、S7 はディスエーブル。 1 ラウンド・ロビン・モード中、S7 はイネーブル。	0x1	R/W
5	S6_EN	0 1	S6 のイネーブル・ビット。 0 ラウンド・ロビン・モード中、S6 はディスエーブル。 1 ラウンド・ロビン・モード中、S6 はイネーブル。	0x1	R/W
4	S5_EN	0 1	S5 のイネーブル・ビット。 0 ラウンド・ロビン・モード中、S5 はディスエーブル。 1 ラウンド・ロビン・モード中、S5 はイネーブル。	0x1	R/W
3	S4_EN	0 1	S4 のイネーブル・ビット。 0 ラウンド・ロビン・モード中、S4 はディスエーブル。 1 ラウンド・ロビン・モード中、S4 はイネーブル。	0x1	R/W
2	S3_EN	0 1	S3 のイネーブル・ビット。 0 ラウンド・ロビン・モード中、S3 はディスエーブル。 1 ラウンド・ロビン・モード中、S3 はイネーブル。	0x1	R/W

ビット	ビット名	設定	説明	デフォルト	アクセス
1	S2_EN	0 1	S2のイネーブル・ビット。 ラウンド・ロビン・モード中、S2はディスエーブル。 ラウンド・ロビン・モード中、S2はイネーブル。	0x1	R/W
0	S1_EN	0 1	S1のイネーブル・ビット。 ラウンド・ロビン・モード中、S1はディスエーブル。 ラウンド・ロビン・モード中、S1はイネーブル。	0x1	R/W

表 22. RROBIN_CHANNEL_CONFIG (ADGS1209) のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:4]	予備		これらのビットは予約済み。これらのビットは0に設定します。	0x0	R
3	S4_EN	0 1	S4のイネーブル・ビット。 ラウンド・ロビン・モード中、S4はディスエーブル。 ラウンド・ロビン・モード中、S4はイネーブル。	0x1	R/W
2	S3_EN	0 1	S3のイネーブル・ビット。 ラウンド・ロビン・モード中、S3はディスエーブル。 ラウンド・ロビン・モード中、S3はイネーブル。	0x1	R/W
1	S2_EN	0 1	S2のイネーブル・ビット。 ラウンド・ロビン・モード中、S2はディスエーブル。 ラウンド・ロビン・モード中、S2はイネーブル。	0x1	R/W
0	S1_EN	0 1	S1のイネーブル・ビット。 ラウンド・ロビン・モード中、S1はディスエーブル。 ラウンド・ロビン・モード中、S1はイネーブル。	0x1	R/W

CNV エッジ選択レジスタ

アドレス：0x09、リセット：0x00、レジスタ名：CNV_EDGE_SEL

CNVエッジ選択レジスタでは、デバイスがラウンド・ロビン・モードにある場合に、CNVのアクティブ・エッジを選択できます。

表 23. CNV_EDGE_SEL ビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:1]	予備		これらのビットは予約済み。これらのビットは0に設定します。	0x0	R
0	CNV_EDGE_SEL	0 1	CNVアクティブ・エッジ選択ビット。 CNVの立下がりエッジは、アクティブ・エッジです。 CNVの立上がりエッジは、アクティブ・エッジです。	0x0	R/W

ソフトウェア・リセット・レジスタ

アドレス：0x0B、リセット：0x00、レジスタ名：SOFT_RESETB

ソフトウェア・リセットを実行するには、ソフトウェア・リセット・レジスタを使用します。このレジスタに0xA3と0x05の順で書込みを実行すると、デバイスのレジスタはデフォルトの状態にリセットされます。

表 24. SOFT_RESETB のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:0]	SOFT_RESETB		ソフトウェア・リセットを実行するには、このレジスタに0xA3と0x05の順で書込みを実行します。	0x0	R

外形寸法

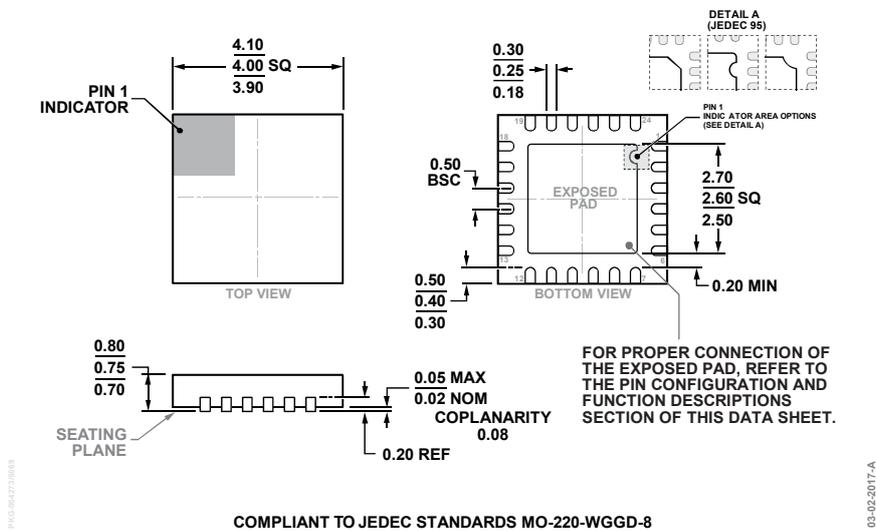


図 56. 24 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 4 mm × 4 mm ボディ、0.75 mm パッケージ高
 (CP-24-15)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADGS1208BCPZ	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-15
ADGS1208BCPZ-RL7	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-15
ADGS1209BCPZ	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-15
ADGS1209BCPZ-RL7	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-15
EVAL-ADGS1208SDZ		ADGS1208 Evaluation Board	
EVAL-ADGS1209SDZ		ADGS1209 Evaluation Board	

¹ Z = RoHS 準拠製品