



±60V の故障保護・検出 11Ω R_{ON}、デュアル SPST スイッチ

データシート

ADG5421F

特長

- S1 および S2 ピンでの過電圧故障保護：最大±60V
- S1 および S2 ピンでのパワーオフ保護：最大±60V
- デジタル入力がない場合に既知の状態
- 低オン抵抗：11Ω（代表値）
- 極めて平坦なオン抵抗
- ラッチアップなし
- 3.5kV の人体モデル（HBM）ESD 定格
- V_{SS}~V_{DD}-2V の信号範囲
- ±15V、±20V、+12V、+36V の電源で仕様規定
- 両電源動作：±5V~±22V
- 単電源動作：8V~44V

10ピン、3mm×2mm、LFCSP

アプリケーション

- アナログ入出力モジュール
- プロセス制御システムおよび分散型制御システム
- データ・アキュイジション
- 計測器
- 航空電子機器
- ATE（自動試験装置）
- 通信システム
- リレー部品の置き換え

概要

ADG5421F はソース・ピンに過電圧保護、パワーオフ保護および過電圧検出機能を備えたデュアル SPST、低オン抵抗スイッチです。

電源入力がない場合、このスイッチはオフ状態を維持し、スイッチ入力は高インピーダンスになります。電源供給時には、Sx ピンのいずれかのアナログ入力信号レベルがV_{DD}またはV_{SS}をスレッショールド電圧 V_T だけ超えると、スイッチは両方ともオフになり、オープンドレイン故障フラグ（FF）ピンがロジック・ローになります。これにより、入力信号レベルがグラウンドに対し-60V~+60V の範囲であれば、電源のあるなしにかかわらず過電圧保護機能が働きます。

スイッチは、ロジック 1 入力でもオンになり、両方向で等しく良好に導通します。デジタル入力は、全動作電源範囲で 1.8V のロジック入力に対応できます。

機能ブロック図

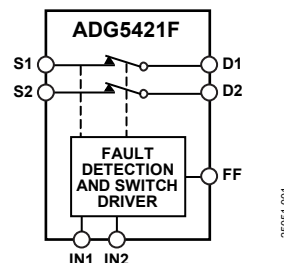


図 1.

関連製品

- 高精度 24 ビット ADC：AD7768-1
- 高精度 16 ビット、2MSPS の SAR ADC：AD4000

製品のハイライト

- ソース・ピンは、電源あり、電源なしの両方の状態で電源レールより-60V および+60V までの電圧に対して保護されます。
- デジタル出力付きの過電圧検出機能により、スイッチの動作状態を表示します。
- トレンチ・アイソレーションによりスイッチをラッチアップから保護します。
- ADG5421F は、±5V~±22V の両電源、または+8V~+44V の単電源で動作させることができます。
- N チャンネル金属酸化膜半導体（NMOS）のみを使用したアーキテクチャのため、V_{DD} に対して 2V のヘッドルームを必要とし、V_{SS}~V_{DD}-2V の信号範囲で低 R_{ON} と優れた R_{ON} 平坦性を実現します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長.....	1	代表的な性能特性.....	16
アプリケーション.....	1	試験回路.....	21
概要.....	1	用語の定義.....	25
機能ブロック図.....	1	動作原理.....	26
関連製品.....	1	スイッチ・アーキテクチャ.....	26
製品のハイライト.....	1	過電圧故障の保護.....	27
改訂履歴.....	2	アプリケーション情報.....	28
仕様.....	3	電源レール.....	28
±15V の両電源.....	3	電源の推奨事項.....	28
±20V の両電源.....	5	電源シーケンシング保護.....	28
12V の単電源.....	8	信号範囲.....	28
36V の単電源.....	11	インテリジェントな故障検出.....	28
チャンネルごとの連続電流 (S または D).....	13	既知の状態のスイッチ.....	28
絶対最大定格.....	14	高電圧サージ除去.....	29
熱抵抗.....	14	関連製品.....	30
静電放電 (ESD) 定格.....	14	外形寸法.....	31
ESD に関する注意.....	14	オーダー・ガイド.....	31
ピン配置およびピン機能の説明.....	15		

改訂履歴

10/2020—Revision 0: Initial Version

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
Drain Leakage Current, I_D With Overvoltage	±0.1			nA typ	$V_{DD} = +16.5V$, $V_{SS} = -16.5V$, $GND = 0V$, $V_S = \pm 60V$, 図 34 参照
	±0.2	±2	±20	nA max	$V_{DD} = +16.5V$, $V_{SS} = -16.5V$, $GND = 0V$, $V_S = \pm 60V$
Power Supplies Grounded	±0.1			nA typ	$V_{DD} = 0V$, $V_{SS} = 0V$, $GND = 0V$, $V_S = \pm 60V$, $I_N = 0V$, 図 35 参照
	±0.2	±2	±20	nA max	$V_{DD} = 0V$, $V_{SS} = 0V$, $GND = 0V$, $V_S = \pm 60V$, $I_N = 0V$
Power Supplies Floating			±0.1	µA typ	V_{DD} = フロート状態、 V_{SS} = フロート状 態、 $GND = 0V$, $V_S = \pm 60V$, $I_N =$ $0V$, 図 35 参照
DIGITAL INPUTS AND OUTPUTS					
Input Voltage High, V_{INH}			1.3	V min	
Input Voltage Low, V_{INL}			0.8	V max	
Input Low or High Current, I_{INL} or I_{INH}	0.7			µA typ	入力電圧 (V_{IN}) = 0V または 5V
Digital Input Capacitance, C_{IN}	5		1	µA max	$V_{IN} = 0V$ または 5V
Output Voltage Low, V_{OL}	0.4			pF typ	
				V max	故障フラグ電流 (I_{FF}) = 2mA
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}	11.2			µs typ	負荷抵抗 (R_L) = 300Ω、 負荷容量 (C_L) = 35pF、 $V_S = 10V$, 図 45 参照
	14.1	14.1	14.1	µs max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 10V$
Off Time, t_{OFF}	140			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 10V$, 図 45 参照
	170	170	170	ns max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 10V$
Break-Before-Make Time Delay, t_D	10			µs typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 10V$
	7.7	7.6	7.6	µs min	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 10V$
Overvoltage Response Time, $t_{RESPONSE}$ Positive	160			ns typ	$R_L = 1k\Omega$, $C_L = 5pF$, 図 40 参照
	180	190	190	ns max	$R_L = 1k\Omega$, $C_L = 5pF$
Negative	420			ns typ	$R_L = 1k\Omega$, $C_L = 5pF$, 図 41 参照
	510	540	570	ns max	$R_L = 1k\Omega$, $C_L = 5pF$
Overvoltage Recovery Time, $t_{RECOVERY}$	9.8			µs typ	$R_L = 1k\Omega$, $C_L = 5pF$, 図 42 参照
	12.8	12.8	12.8	µs max	$R_L = 1k\Omega$, $C_L = 5pF$
Interrupt Flag Response Time, $t_{DIGRESP}$	110			ns typ	プルアップ抵抗 (R_{PULLUP}) = 1kΩ, C_L = 12pF、プルアップ電圧 (V_{PULLUP}) = 5V, 図 43 参照
	130	140	140	ns max	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULLUP} = 5V$
Interrupt Flag Recovery Time, t_{DIGREC}	1.8			µs typ	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULLUP} = 5V$, 図 44 参照
	2.4	2.6	2.6	µs max	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULLUP} = 5V$
Charge Injection, Q_{INJ}	-135			pC typ	$V_S = 0V$ 、ソース抵抗 (R_S) = 0Ω, C_L = 1nF, 図 46 参照
Off Isolation	-85			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, 周波数 (f) = 1MHz, 図 36 参照
Channel to Channel Crosstalk	-78			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$, 図 37 参照
Total Harmonic Distortion Plus Noise, THD + N	0.001			% typ	$R_L = 10k\Omega$, $V_S = 10V_{p-p}$, $f = 20Hz \sim 20kHz$, 図 39 参照

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント	
-3 dB Bandwidth	630			MHz typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, 図 38 参照	
Insertion Loss	-0.95			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, $f = 1\text{MHz}$, 図 38 参照	
Source Off Capacitance, C_S (Off)	7			pF typ	$V_S = 0\text{V}$, $f = 1\text{MHz}$	
Drain Off Capacitance, C_D (Off)	5			pF typ	$V_S = 0\text{V}$, $f = 1\text{MHz}$	
Drain On Capacitance and Source On Capacitance, C_D (On) and C_S (On)	11			pF typ	$V_S = 0\text{V}$, $f = 1\text{MHz}$	
Drain On Capacitance and Source On Capacitance Flatness, C_{DFLAT} (On) and C_{SFLAT} (On)	2.5			pF typ	$V_S = V_{SS} \sim V_{DD} - 2\text{V}$, $f = 1\text{MHz}$	
Capacitance Matching, C_{MATCH} (On)	0.3			pF typ	$V_S = V_{SS} \sim V_{DD} - 2\text{V}$, $f = 1\text{MHz}$	
POWER REQUIREMENTS						
Normal Mode						
Positive Supply Current, I_{DD}	130		205	$\mu\text{A typ}$	$V_{DD} = +16.5\text{V}$, $V_{SS} = -16.5\text{V}$, $\text{GND} = 0\text{V}$, デジタル入力 = 0V または +5V	
	205			$\mu\text{A max}$		
GND Current, I_{GND}	55			$\mu\text{A typ}$		
	90		90	$\mu\text{A max}$		
Negative Supply Current, I_{SS}	75			$\mu\text{A typ}$		
	115		115	$\mu\text{A max}$		
Fault Mode						
I_{DD}	185			$\mu\text{A typ}$		
	270		270	$\mu\text{A max}$		
I_{GND}	155			$\mu\text{A typ}$		
	210		210	$\mu\text{A max}$		
I_{SS}	55			$\mu\text{A typ}$		
	90		90	$\mu\text{A max}$		

±20V の両電源

特に指定がない限り、 $V_{DD} = 20\text{V} \pm 10\%$ 、 $V_{SS} = -20\text{V} \pm 10\%$ 、 $\text{GND} = 0\text{V}$ 。

表 3.

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
ANALOG SWITCH					
Analog Signal Range	V_{SS} to $V_{DD} - 2$			V	$V_{DD} = +18\text{V}$, $V_{SS} = -18\text{V}$
R_{ON}	11.5			$\Omega \text{ typ}$	$V_S = V_{SS} \sim 15\text{V}$, $I_S = 10\text{mA}$, 図 31 参照
	14	17.5	20.5	$\Omega \text{ max}$	
	11			$\Omega \text{ typ}$	
$R_{FLAT(ON)}$	13.5	17	20	$\Omega \text{ max}$	$V_S = V_{SS} \sim 13.5\text{V}$, $I_S = 10\text{mA}$
	0.6			$\Omega \text{ typ}$	
	0.7	0.8	0.9	$\Omega \text{ max}$	
$R_{MATCH(ON)}$	0.02			$\Omega \text{ typ}$	$V_S = V_{SS} \sim 13.5\text{V}$, $I_S = 10\text{mA}$
	0.06	0.1	0.1	$\Omega \text{ max}$	
	0.02			$\Omega \text{ typ}$	
$R_{MATCH(ON)}$	0.2	0.35	0.45	$\Omega \text{ max}$	$V_S = V_{SS} \sim 15\text{V}$, $I_S = 10\text{mA}$

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
t_{RESPONSE}					
Positive	160			ns typ	$R_L = 1k\Omega, C_L = 5pF$, 図 40 参照
	190	190	190	ns max	$R_L = 1k\Omega, C_L = 5pF$
Negative	360			ns typ	$R_L = 1k\Omega, C_L = 5pF$, 図 41 参照
	440	460	490	ns max	$R_L = 1k\Omega, C_L = 5pF$
t_{RECOVERY}	11.7			μs typ	$R_L = 1k\Omega, C_L = 5pF$, 図 42 参照
	14.8	14.8	14.9	μs max	$R_L = 1k\Omega, C_L = 5pF$
t_{DIGRESP}	120			ns typ	$R_{\text{PULLUP}} = 1k\Omega, C_L = 12pF$, $V_{\text{PULLUP}} = 5V$, 図 43 参照
	140	140	140	ns max	$R_{\text{PULLUP}} = 1k\Omega, C_L = 12pF$, $V_{\text{PULLUP}} = 5V$
t_{DIGREC}	2.2			μs typ	$R_{\text{PULLUP}} = 1k\Omega, C_L = 12pF$, $V_{\text{PULLUP}} = 5V$, 図 44 参照
	2.8	3	3	μs max	$R_{\text{PULLUP}} = 1k\Omega, C_L = 12pF$, $V_{\text{PULLUP}} = 5V$
Q_{INJ}	-150			pC typ	$V_S = 0V, R_S = 0\Omega, C_L = 1nF$, 図 46 参照
Off Isolation	-85			dB typ	$R_L = 50\Omega, C_L = 5pF, f = 1MHz$, 図 36 参照
Channel to Channel Crosstalk	-78			dB typ	$R_L = 50\Omega, C_L = 5pF, f = 1MHz$, 図 37 参照
THD + N	0.001			% typ	$R_L = 10k\Omega, V_S = 10Vp-p$, $f = 20Hz \sim 20kHz$, 図 39 参照
-3 dB Bandwidth	630			MHz typ	$R_L = 50\Omega, C_L = 5pF$, 図 38 参照
Insertion Loss	-0.95			dB typ	$R_L = 50\Omega, C_L = 5pF, f = 1MHz$, 図 38 参照
C_S (Off)	6			pF typ	$V_S = 0V, f = 1MHz$
C_D (Off)	5			pF typ	$V_S = 0V, f = 1MHz$
C_D (On), C_S (On)	11			pF typ	$V_S = 0V, f = 1MHz$
C_{DFLAT} (On), C_{SFLAT} (On)	2.5			pF typ	$V_S = V_{SS} \sim V_{DD} - 2V, f = 1MHz$
C_{MATCH} (On)	0.3			pF typ	$V_S = V_{SS} \sim V_{DD} - 2V, f = 1MHz$
POWER REQUIREMENTS					$V_{DD} = +22V, V_{SS} = -22V, GND = 0V$, デジタル入力 = 0V または +5V
Normal Mode					
I_{DD}	130		205	μA typ	
	205			μA max	
I_{GND}	55		90	μA typ	
	90			μA max	
I_{SS}	75		115	μA typ	
	115			μA max	
Fault Mode					$V_S = \pm 60V$
I_{DD}	185		270	μA typ	
	270			μA max	
I_{GND}	155		210	μA typ	
	210			μA max	
I_{SS}	55		90	μA typ	
	90			μA max	

12Vの単電源

特に指定がない限り、 $V_{DD} = 12V \pm 10\%$ 、 $V_{SS} = 0V \pm 10\%$ 、 $GND = 0V$ 。

表 4.

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
ANALOG SWITCH					
Analog Signal Range	V_{SS} to $V_{DD} - 2$			V	$V_{DD} = 10.8V$ 、 $V_{SS} = 0V$
R_{ON}	11.5			Ω typ	$V_S = 0V \sim 7.5V$ 、 $I_S = 10mA$ 、 図 31 参照
	14.5	18	21.5	Ω max	$V_S = 0V \sim 7.5V$ 、 $I_S = 10mA$
	11			Ω typ	$V_S = 0V \sim 6V$ 、 $I_S = 10mA$
	13.5	17	20	Ω max	$V_S = 0V \sim 6V$ 、 $I_S = 10mA$
$R_{FLAT(ON)}$	0.7			Ω typ	$V_S = 0V \sim 7.5V$ 、 $I_S = 10mA$
	1.25	1.3	1.35	Ω max	$V_S = 0V \sim 7.5V$ 、 $I_S = 10mA$
	0.01			Ω typ	$V_S = 0V \sim 6V$ 、 $I_S = 10mA$
	0.04	0.06	0.06	Ω max	$V_S = 0V \sim 6V$ 、 $I_S = 10mA$
$R_{MATCH(ON)}$	0.02			Ω typ	$V_S = 0V \sim 7.5V$ 、 $I_S = 10mA$
	0.2	0.35	0.45	Ω max	$V_S = 0V \sim 7.5V$ 、 $I_S = 10mA$
LEAKAGE CURRENTS					
I_S (Off)	± 0.05			nA typ	$V_{DD} = 13.2V$ 、 $V_{SS} = 0V$ $V_S = 1V \sim 10V$ 、 $V_D = 10V \sim 1V$ 、 図 32 参照
	± 0.2	± 2.5	± 22	nA max	$V_S = 1V \sim 10V$ 、 $V_D = 10V \sim 1V$
			± 8	nA max	$V_S = 1V \sim 10V$ 、 $V_D = 10V \sim 1V$ 、 $-40^\circ C \sim +105^\circ C$
I_D (Off)	± 0.05			nA typ	$V_S = 1V \sim 10V$ 、 $V_D = 10V \sim 1V$ 、 図 32 参照
	± 0.2	± 2.5	± 22	nA max	$V_S = 1V \sim 10V$ 、 $V_D = 10V \sim 1V$
			± 8	nA max	$V_S = 1V \sim 10V$ 、 $V_D = 10V \sim 1V$ 、 $-40^\circ C \sim +105^\circ C$
I_D (On), I_S (On)	± 0.05			nA typ	$V_S = 1V \sim 10V$ 、 $V_D = 10V \sim 1V$ 、 図 33 参照
	± 0.3	± 3.5	± 30	nA max	$V_S = 1V \sim 10V$ 、 $V_D = 10V \sim 1V$
			± 14	nA max	$V_S = 1V \sim 10V$ 、 $V_D = 10V \sim 1V$ 、 $-40^\circ C \sim +105^\circ C$
FAULT					
V_T	0.7			V typ	図 25 参照
I_S					
With Overvoltage			± 30	μA typ	$V_{DD} = 13.2V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_S = \pm 60V$ 、 図 34 参照
Power Supplies Grounded or Floating			± 5.5	μA typ	$V_{DD} = 0V$ またはフロート状態、 $V_{SS} = 0V$ またはフロート状態、 $GND = 0V$ 、 $I_N = 0V$ またはフロート状態、 $V_S = \pm 60V$ 、 図 35 参照
I_D					
With Overvoltage	± 0.1			nA typ	$V_{DD} = +13.2V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_S = \pm 60V$ 、 図 34 参照
	± 0.2	± 2	± 20	nA max	$V_{DD} = +13.2V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_S = \pm 60V$
Power Supplies Grounded	± 0.1			nA typ	$V_{DD} = 0V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_S = \pm 60V$ 、 $I_N = 0V$ 、 図 35 参照
	± 0.2	± 2	± 20	nA max	$V_{DD} = 0V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_S = \pm 60V$ 、 $I_N = 0V$
Power Supplies Floating			± 0.1	μA typ	$V_{DD} =$ フロート状態、 $V_{SS} =$ フロート状態、 $GND = 0V$ 、 $V_S = \pm 60V$ 、 $I_N = 0V$ 、 図 35 参照

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
DIGITAL INPUTS AND OUTPUTS					
V_{INH}			1.3	V min	
V_{INL}			0.8	V max	
I_{INL} or I_{INH}	0.7			μ A typ	$V_{IN} = 0V$ または $5V$
			1	μ A max	$V_{IN} = 0V$ または $5V$
C_{IN}	5			pF typ	
V_{OL}	0.4			V max	$I_{FF} = 2mA$
DYNAMIC CHARACTERISTICS					
t_{ON}	5.3			μ s typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 8V$, 図 45 参照
	6.3	6.3	6.3	μ s max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 8V$
t_{OFF}	200			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 8V$, 図 45 参照
	240	240	240	ns max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 8V$
t_D	4.5			μ s typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 8V$
	3.5	3.4	3.4	μ s min	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 8V$
$t_{RESPONSE}$					
Positive	210			ns typ	$R_L = 1k\Omega$, $C_L = 5pF$, 図 40 参照
	250	250	250	ns max	$R_L = 1k\Omega$, $C_L = 5pF$
Negative	600			ns typ	$R_{PULLUP} = 1k\Omega$, $C_L = 5pF$, 図 41 参照
	700	700	700	ns max	$R_{PULLUP} = 1k\Omega$, $C_L = 5pF$
$t_{RECOVERY}$	5.3			μ s typ	$R_L = 1k\Omega$, $C_L = 5pF$, 図 42 参照
	6.2	6.5	6.6	μ s max	$R_L = 1k\Omega$, $C_L = 5pF$
$t_{DIGRESP}$	110			ns typ	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULL_UP} = 5V$, 図 43 参照
	130	130	130	ns max	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULL_UP} = 5V$
t_{DIGREC}	1.6			μ s typ	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULL_UP} = 5V$, 図 44 参照
	2.1	2.4	2.4	μ s max	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULL_UP} = 5V$
Q_{INJ}	-75			pC typ	$V_S = 6V$, $R_S = 0\Omega$, $C_L = 1nF$, 図 46 参照
Off Isolation	-69			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$, 図 36 参照
Channel to Channel Crosstalk	-78			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$, 図 37 参照
THD + N	0.0018			% typ	$R_L = 10k\Omega$, $V_S = 6V_{p-p}$, $f = 20Hz \sim 20kHz$, 図 39 参照
-3 dB Bandwidth	570			MHz typ	$R_L = 50\Omega$, $C_L = 5pF$, 図 38 参照
Insertion Loss	-0.95			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$, 図 38 参照
C_S (Off)	8			pF typ	$V_S = 6V$, $f = 1MHz$
C_D (Off)	7			pF typ	$V_S = 6V$, $f = 1MHz$
C_D (On), C_S (On)	11			pF typ	$V_S = 6V$, $f = 1MHz$
C_{DFLAT} (On), C_{SFLAT} (On)	2			pF typ	$V_S = V_{SS} \sim V_{DD} - 2V$, $f = 1MHz$
C_{MATCH} (On)	0.4			pF typ	$V_S = V_{SS} \sim V_{DD} - 2V$, $f = 1MHz$

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
POWER REQUIREMENTS					$V_{DD} = 13.2V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 デジタル入力 = 0V または 5V
Normal Mode					
I_{DD}	125			μA typ	
	200		200	μA max	
I_{GND}	45			μA typ	
	80		80	μA max	
I_{SS}	80			μA typ	
	120		120	μA max	
Fault Mode					$V_S = \pm 60V$
I_{DD}	185			μA typ	
	270		270	μA max	
I_{GND}	155			μA typ	
	210		210	μA max	
I_{SS}	55			μA typ	
	90		90	μA max	

36Vの単電源

特に指定がない限り、 $V_{DD} = 36V \pm 10\%$ 、 $V_{SS} = 0V \pm 10\%$ 、 $GND = 0V$ 。

表 5.

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
ANALOG SWITCH					
Analog Signal Range	V_{SS} to $V_{DD} - 2$			V	$V_{DD} = 32.4V$ 、 $V_{SS} = 0V$
R_{ON}	12			Ω typ	$V_S = 0V \sim 29.5V$ 、 $I_S = 10mA$ 、 図 31 参照
	14.5	18	21.5	Ω max	$V_S = 0V \sim 29.5V$ 、 $I_S = 10mA$
$R_{FLAT(ON)}$	11			Ω typ	$V_S = 0V \sim 27V$ 、 $I_S = 10mA$
	13.5	17	20	Ω max	$V_S = 0V \sim 27V$ 、 $I_S = 10mA$
	1.1			Ω typ	$V_S = 0V \sim 29.5V$ 、 $I_S = 10mA$
	1.25	1.3	1.35	Ω max	$V_S = 0V \sim 29.5V$ 、 $I_S = 10mA$
$R_{MATCH(ON)}$	0.01			Ω typ	$V_S = 0V \sim 27V$ 、 $I_S = 10mA$
	0.04	0.06	0.06	Ω max	$V_S = 0V \sim 27V$ 、 $I_S = 10mA$
	0.02			Ω typ	$V_S = 0V \sim 29.5V$ 、 $I_S = 10mA$
	0.2	0.35	0.45	Ω max	$V_S = 0V \sim 29.5V$ 、 $I_S = 10mA$
LEAKAGE CURRENTS					
I_S (Off)	± 0.05			nA typ	$V_{DD} = 39.6V$ 、 $V_{SS} = 0V$
	± 0.2	± 2.5	± 22 ± 8	nA max nA max	$V_S = 1V \sim 30V$ 、 $V_D = 30V \sim 1V$ 、 図 32 参照
I_D (Off)	± 0.05			nA typ	$V_S = 1V \sim 30V$ 、 $V_D = 30V \sim 1V$ 、 図 32 参照
	± 0.2	± 2.5	± 22 ± 8	nA max nA max	$V_S = 1V \sim 30V$ 、 $V_D = 30V \sim 1V$ 、 $V_S = 1V \sim 30V$ 、 $V_D = 30V \sim 1V$ 、 -40°C~+105°C
I_D (On), I_S (On)	± 0.05			nA typ	$V_S = 1V \sim 30V$ 、 $V_D = 30V \sim 1V$ 、 図 33 参照
	± 0.3	± 3.5	± 30 ± 14	nA max nA max	$V_S = 1V \sim 30V$ 、 $V_D = 30V \sim 1V$ 、 $V_S = 1V \sim 30V$ 、 $V_D = 30V \sim 1V$ 、 -40°C~+105°C
FAULT					
V_T	0.7			V typ	図 25 参照
I_S With Overvoltage			± 30	μA typ	$V_{DD} = +39.6V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_S = +60V$ および $V_S = -40V$ 、 図 34 参照
			± 5.5	μA typ	$V_{DD} = 0V$ またはフロート状態、 $V_{SS} = 0V$ またはフロート状態、 $GND = 0V$ 、 $I_N = 0V$ またはフロート状態、 $V_S = \pm 60V$ 、 図 35 参照
I_D With Overvoltage	± 0.1			nA typ	$V_{DD} = +39.6V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_S = +60V$ および $V_S = -40V$ 、 図 34 参照
	± 0.2	± 2	± 20	nA max	$V_{DD} = +39.6V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_S = +60V$ および $V_S = -40V$
Power Supplies Grounded	± 0.1			nA typ	$V_{DD} = 0V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_S = \pm 60V$ 、 $I_N = 0V$ 、 図 35 参照
	± 0.2	± 2	± 20	nA max	$V_{DD} = 0V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_S = \pm 60V$ 、 $I_N = 0V$
Power Supplies Floating			± 0.1	μA typ	V_{DD} = フロート状態、 V_{SS} = フロート状態、 $GND = 0V$ 、 $V_S = \pm 60V$ 、 $I_N = 0V$ 、 図 35 参照

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
DIGITAL INPUTS AND OUTPUTS					
V_{INH}			1.3	V min	
V_{INL}			0.8	V max	
I_{INL} or I_{INH}	0.7			μ A typ	$V_{IN} = 0V$ または $5V$
			1	μ A max	$V_{IN} = 0V$ または $5V$
C_{IN}	5			pF typ	
V_{OL}	0.4			V max	$I_{FF} = 2mA$
DYNAMIC CHARACTERISTICS					
t_{ON}	7.2			μ s typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 18V$, 図 45 参照
	8.7	8.7	8.7	μ s max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 18V$
t_{OFF}	200			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 18V$, 図 45 参照
	240	250	250	ns max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 18V$
t_D	6			μ s typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 18V$
	4.7	4.6	4.6	μ s min	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 18V$
$t_{RESPONSE}$					
Positive	240			ns typ	$R_L = 1k\Omega$, $C_L = 5pF$, 図 40 参照
	290	290	290	ns max	$R_L = 1k\Omega$, $C_L = 5pF$
Negative	600			ns typ	$R_{PULLUP} = 1k\Omega$, $C_L = 5pF$, 図 41 参照
	700	700	700	ns max	$R_{PULLUP} = 1k\Omega$, $C_L = 5pF$
$t_{RECOVERY}$	6.6			μ s typ	$R_L = 1k\Omega$, $C_L = 5pF$, 図 42 参照
	10.7	10.8	11.3	μ s max	$R_L = 1k\Omega$, $C_L = 5pF$
$t_{DIGRESP}$	120			ns typ	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULLUP} = 5V$, 図 43 参照
	150	150	150	ns max	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULLUP} = 5V$
t_{DIGREC}	4.1			μ s typ	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULLUP} = 5V$, 図 44 参照
	7.8	8	8.5	μ s max	$R_{PULLUP} = 1k\Omega$, $C_L = 12pF$, $V_{PULLUP} = 5V$
Q_{INJ}	-115			pC typ	$V_S = 18V$, $R_S = 0\Omega$, $C_L = 1nF$, 図 46 参照
Off Isolation	-70			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$, 図 36 参照
Channel to Channel Crosstalk	-78			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$, 図 37 参照
THD + N	0.0008			% typ	$R_L = 10k\Omega$, $V_S = 18Vp-p$, $f = 20Hz \sim 20kHz$, 図 39 参照
-3 dB Bandwidth	630			MHz typ	$R_L = 50\Omega$, $C_L = 5pF$, 図 38 参照
Insertion Loss	-0.95			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$, 図 38 参照
C_S (Off)	6			pF typ	$V_S = 18V$, $f = 1MHz$
C_D (Off)	5			pF typ	$V_S = 18V$, $f = 1MHz$
CD (On), C_S (On)	10			pF typ	$V_S = 18V$, $f = 1MHz$
C_{DFLAT} (On), C_{SFLAT} (On)	3.3			pF typ	$V_S = V_{SS} \sim V_{DD} - 2V$, $f = 1MHz$
C_{MATCH} (On)	0.3			pF typ	$V_S = V_{SS} \sim V_{DD} - 2V$, $f = 1MHz$

パラメータ	+25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
POWER REQUIREMENTS					$V_{DD} = 39.6V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、デジタル入力 = 0V または 5V
Normal Mode					
I_{DD}	125		200	μA typ	
	200			μA max	
I_{GND}	45		80	μA typ	
	80			μA max	
I_{SS}	80		120	μA typ	
	120			μA max	
Fault Mode					$V_S = +60V$ および $V_S = -40V$
I_{DD}	185		270	μA typ	
	270			μA max	
I_{GND}	155		210	μA typ	
	210			μA max	
I_{SS}	55		90	μA typ	
	90			μA max	

チャンネルごとの連続電流 (S または D)

表 6.

Parameter	25°C	85°C	125°C	Unit	Test Conditions/Comments
CONTINUOUS CURRENT, S OR D					
$\theta_{JA} = 170^\circ C/W$	88	61	41	mA max	$V_S = V_{SS}$ to $V_{DD} - 5V$
	81	57	39	mA max	$V_S = V_{SS}$ to $V_{DD} - 2V$

絶対最大定格

表 7.

Parameter	Value
V_{DD} to V_{SS}	60 V
V_{DD} to GND	-0.3 V to +48 V
V_{SS} to GND	-28 V to +0.3 V
Sx Pins	-60 V to +60 V
Sx to V_{DD}	80 V
Sx to V_{SS}	80 V
V_S to V_D	80 V
Dx Pins ¹	$V_{SS} - 0.7$ V to $V_{DD} + 0.7$ V or 30 mA, whichever occurs first
Digital Inputs	GND - 0.7 V to 6 V or 30 mA, whichever occurs first
Peak Current, Sx or Dx Pins	278 mA (pulsed at 1 ms, 10% duty cycle maximum)
Digital Output	GND - 0.7 V to 6 V or 30 mA, whichever occurs first
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction	150°C
Reflow Soldering Peak, Pb-Free	As per JEDEC J-STD-020

¹ Dx ピンの過電圧は、内蔵ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JC} は、ジャンクションからケースへの熱抵抗です。

表 8. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JC}	Unit
CP-10-16	170	58.2	°C/W

¹ 熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電 (ESD) 定格

ESD に関する以下の情報は、ESD に敏感なデバイスを ESD 保護がなされた場所で取り扱う場合にのみ適用できます。

人体モデル (HBM) は、ANSI/ESDA/JEDEC JS-001 規格に基づいています。

ADG5421F の ESD 定格

表 9. ADG5421F、10 ピン LFCSP

ESD Model	Withstand Threshold (kV)	Class
HBM ¹	3.5	2

¹ これは、入出力ポートから電源、入出力ポートから入出力ポート、およびその他すべてのピンでの HBM の値です。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

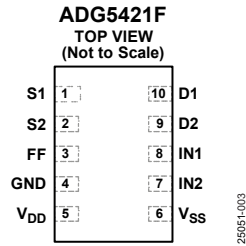


図 2. ピン配置

表 10. ピン機能の説明

ピン番号	記号	説明
1	S1	過電圧保護されたソース端子。S1 は、入力または出力に設定できます。
2	S2	過電圧保護されたソース端子。S2 は、入力または出力に設定できます。
3	FF	故障フラグ・デジタル出力。FF ピンはオープンドレイン出力で、外付けプルアップ抵抗が必要です。Sx 入力のどちらかが故障状態になると、このデジタル出力がローになります。
4	GND	グラウンド (0V) リファレンス。
5	V _{DD}	正電源の電位。
6	V _{SS}	負電源の電位。
7	IN2	ロジック・コントロール入力。
8	IN1	ロジック・コントロール入力。
9	D2	ドレイン端子。D1 は、入力または出力に設定できます。
10	D1	ドレイン端子。D2 は、入力または出力に設定できます。

代表的な性能特性

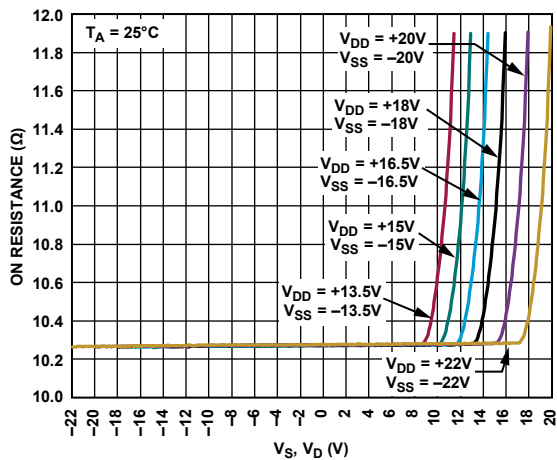


図 3. V_S, V_D とオン抵抗の関係、(両電源)

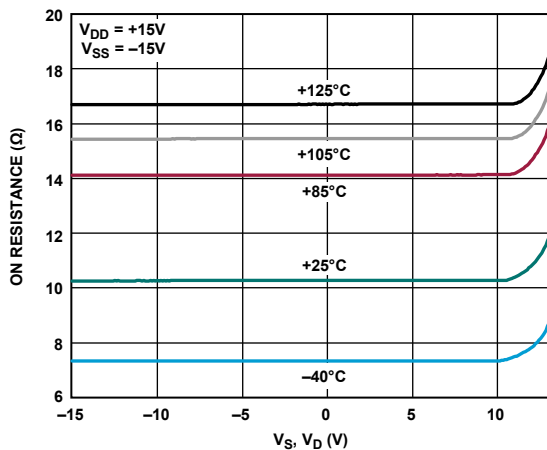


図 6. 様々な温度での V_S, V_D とオン抵抗の関係、 $\pm 15\text{V}$ の両電源

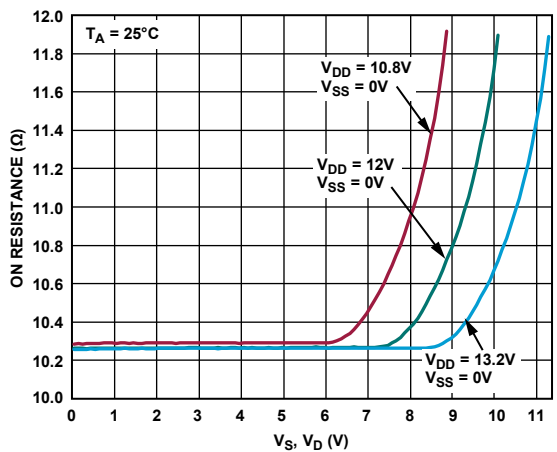


図 4. V_S, V_D とオン抵抗の関係、(12V の単電源)

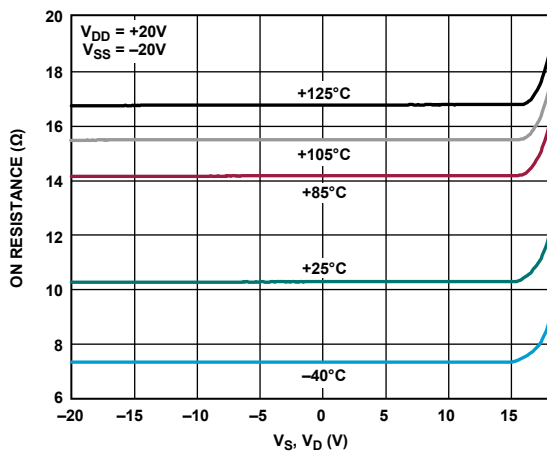


図 7. 様々な温度での V_S, V_D とオン抵抗の関係、 $\pm 20\text{V}$ の両電源

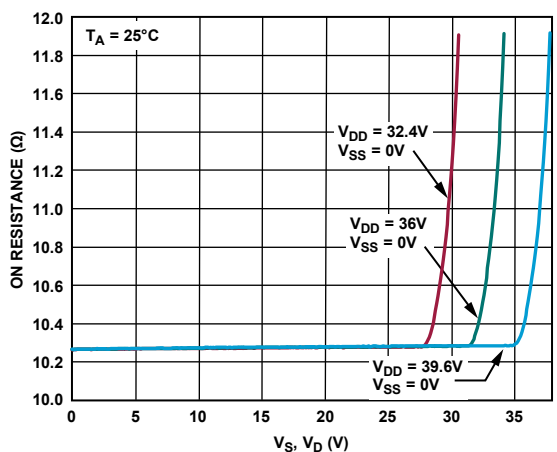


図 5. V_S, V_D とオン抵抗の関係、(36V の単電源)

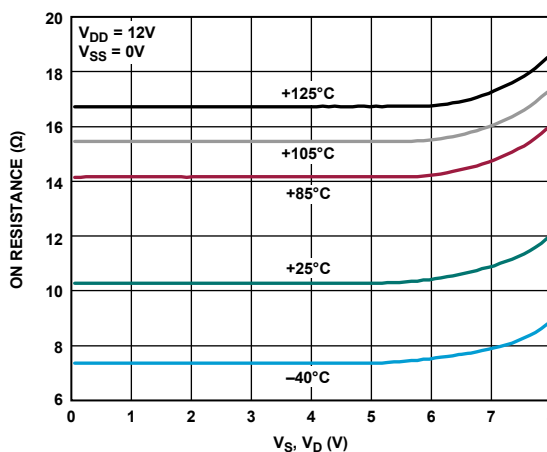


図 8. 様々な温度での V_S, V_D とオン抵抗の関係、12V の単電源

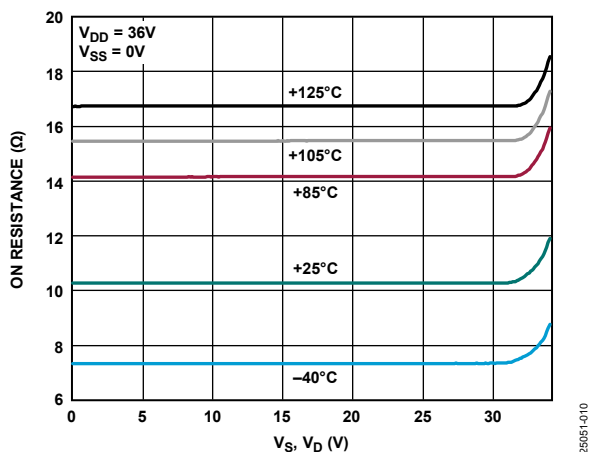


図 9. 様々な温度での V_S 、 V_D とオン抵抗の関係、36V の単電源

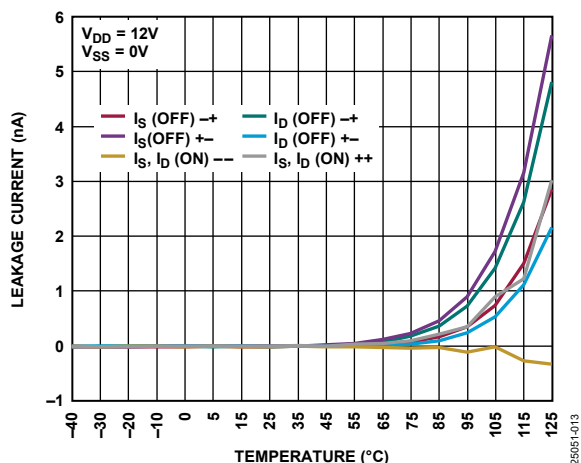


図 12. リーク電流の温度特性、12V の単電源

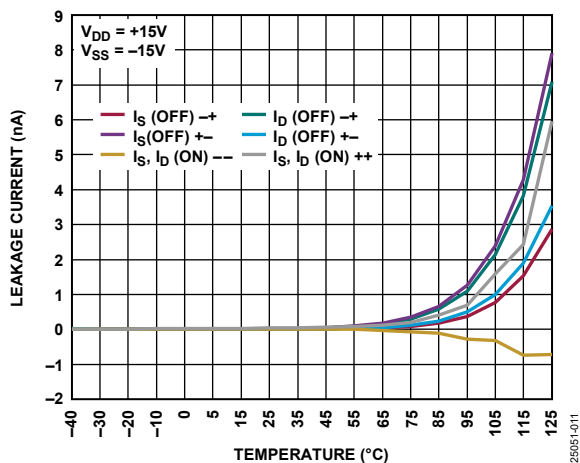


図 10. リーク電流の温度特性、 $\pm 15\text{V}$ の両電源

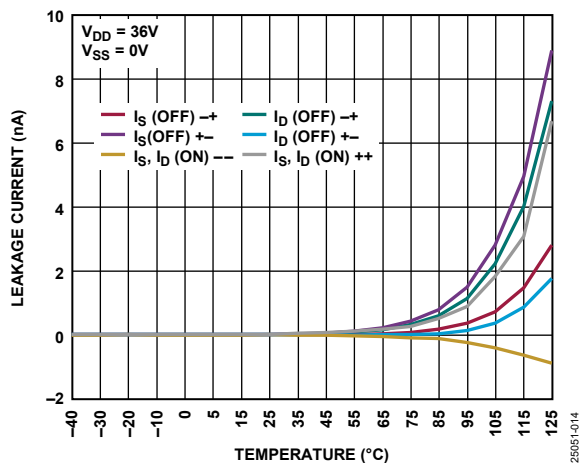


図 13. リーク電流の温度特性、36V の単電源

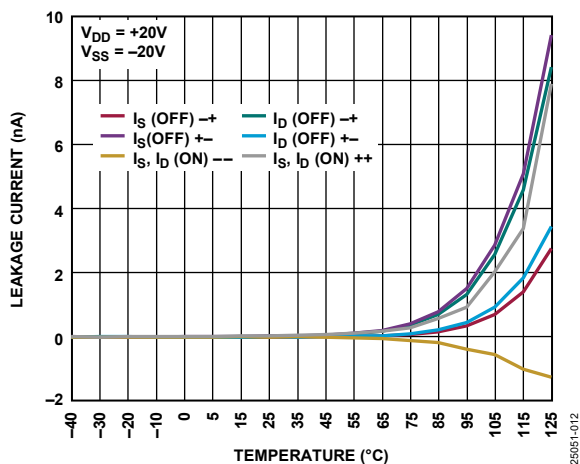


図 11. リーク電流の温度特性、 $\pm 20\text{V}$ の両電源

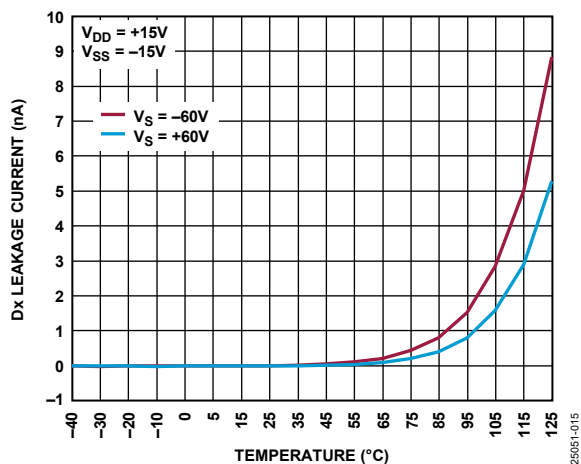


図 14. 過電圧時における Dx リーク電流の温度特性、 $\pm 15\text{V}$ の両電源

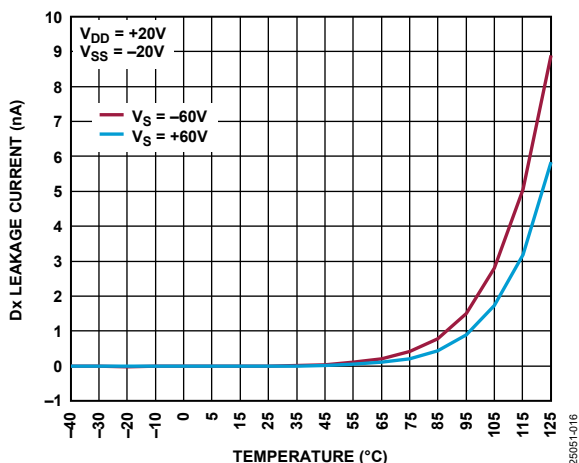


図 15. 過電圧時における Dx リーク電流の温度特性、 $\pm 20V$ の両電源

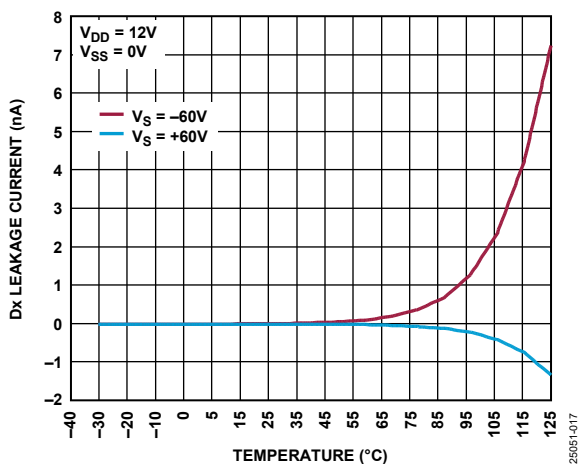


図 16. 過電圧時における Dx リーク電流の温度特性、 $12V$ の単電源

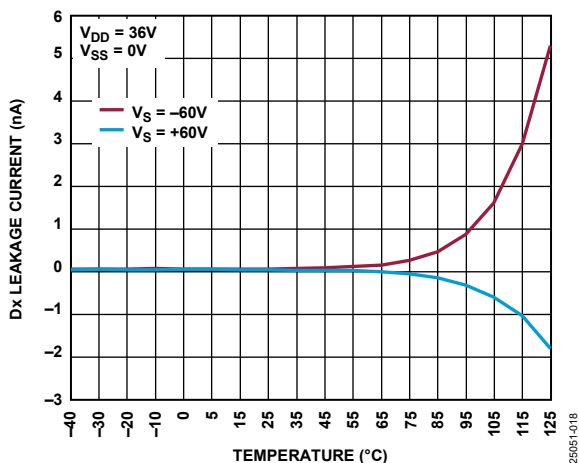


図 17. 過電圧時における Dx リーク電流の温度特性、 $36V$ の単電源

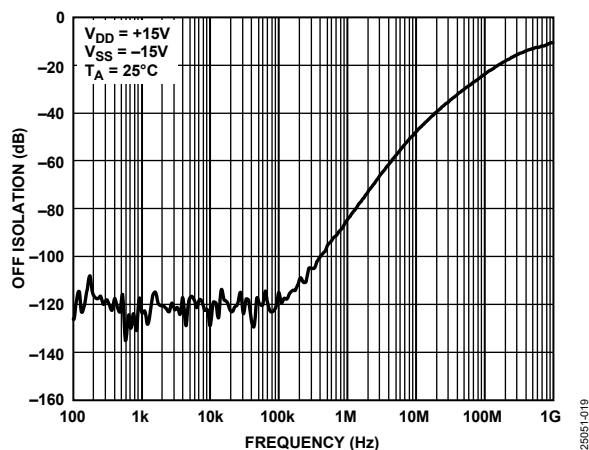


図 18. オフ・アイソレーションの周波数特性、 $\pm 15V$ の両電源

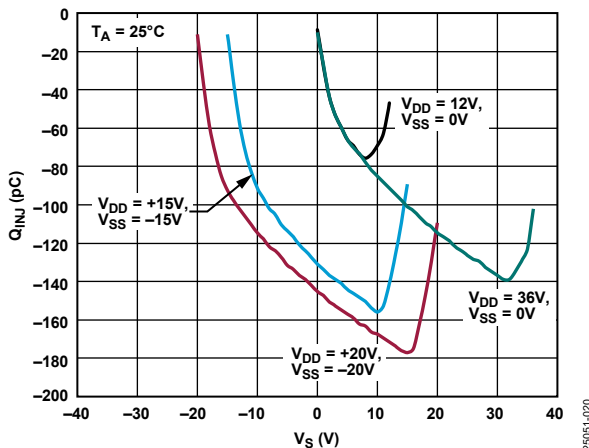


図 19. Q_{INJ} と V_S の関係

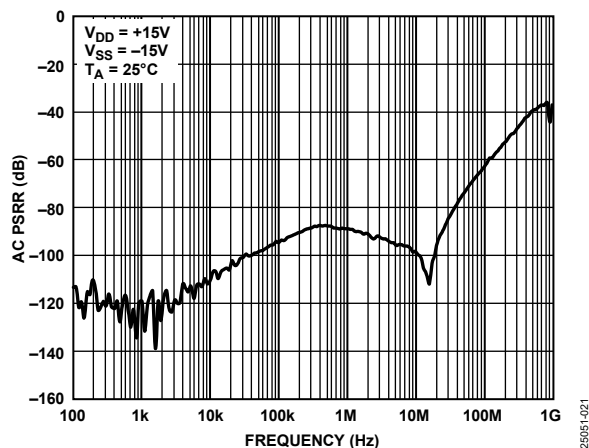


図 20. AC 電源電圧変動除去比 (PSRR) の周波数特性、 $\pm 15V$ の両電源

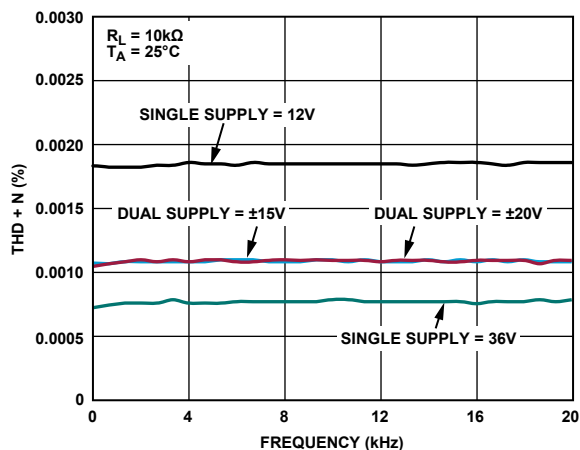


図 21. THD + N の周波数特性

25051-022

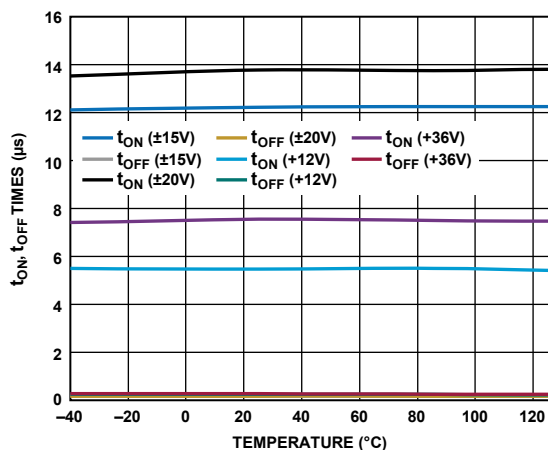


図 24. 様々な電源電圧での t_{ON} 、 t_{OFF} 時間の温度特性

25051-025

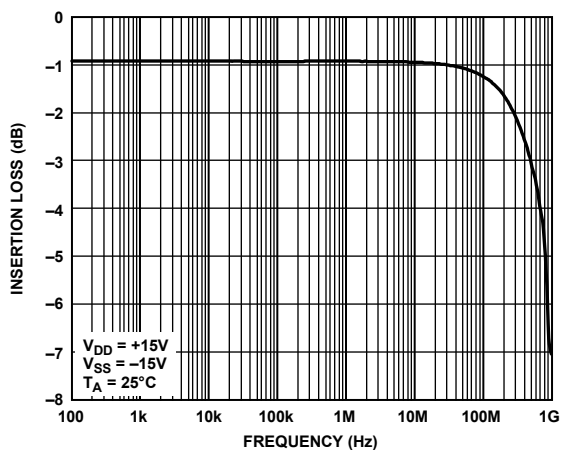


図 22. 挿入損失の周波数特性、±15V の両電源

25051-023

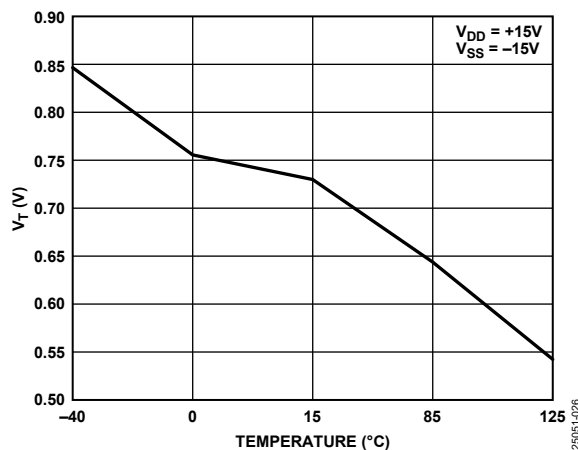


図 25. V_T の温度特性、±15V の両電源

25051-026

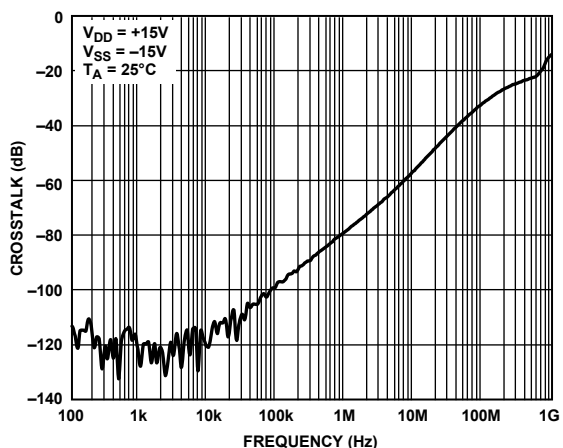


図 23. クロストークの周波数特性、±15V の両電源

25051-024

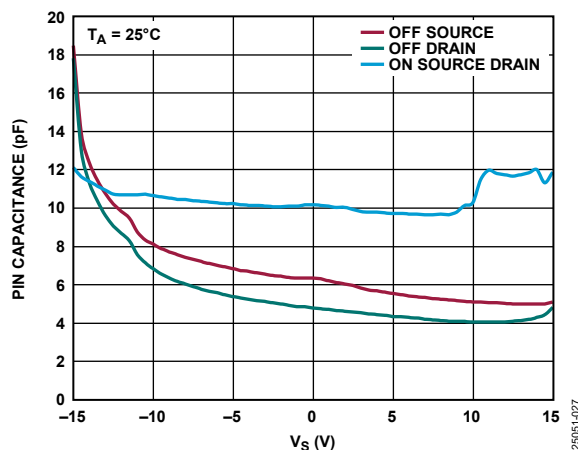


図 26. ピン容量と V_S の関係

25051-027

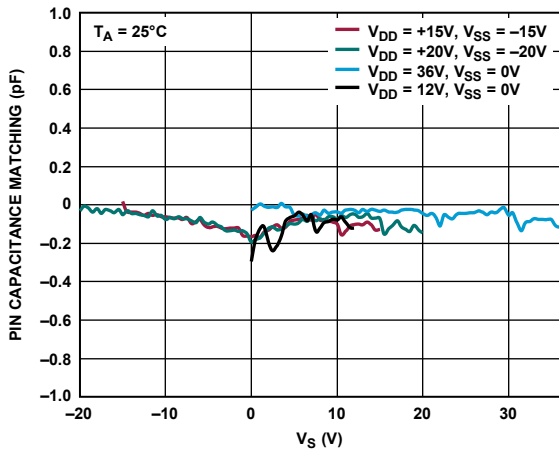


図 27. ピン容量マッチングと V_S の関係

25051-028

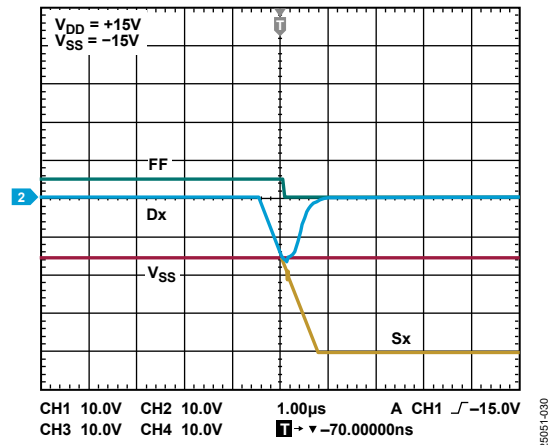


図 29. 負の過電圧に対するドレイン出力応答

25051-030

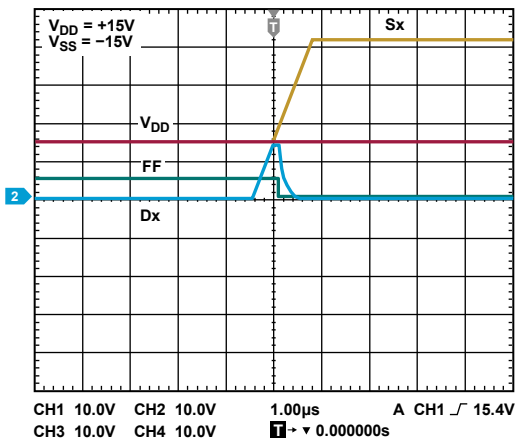


図 28. 正の過電圧に対するドレイン出力応答

25051-029

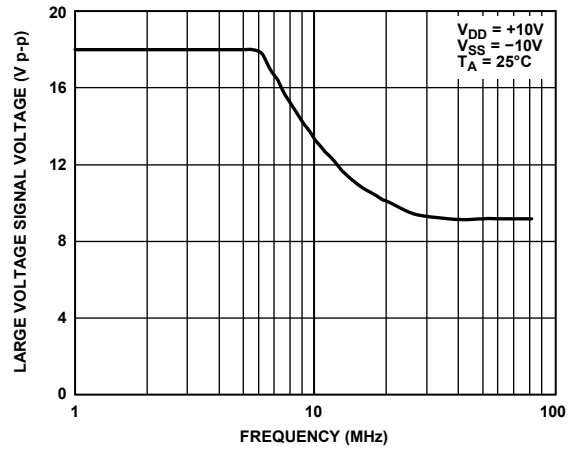


図 30. 大電圧信号電圧の周波数特性

25051-130

試験回路

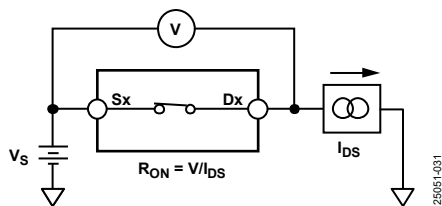


図 31. オン抵抗 (I_{DS} はドレイン・ソース間電流。)

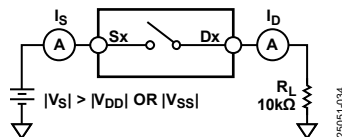


図 34. スwitchの過電圧リーク

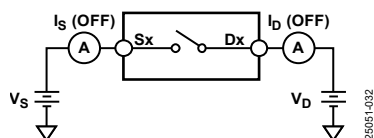


図 32. オフ・リーク

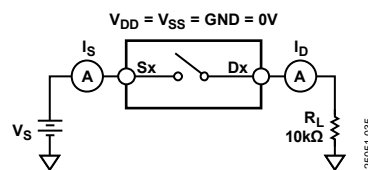


図 35. 無給電でのスイッチ・リーク

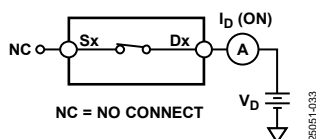


図 33. オン・リーク

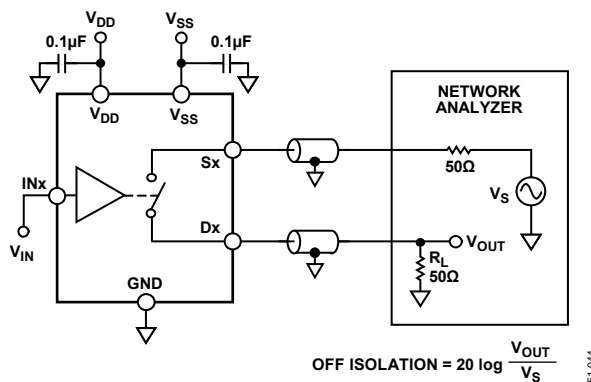


図 36. オフ・アイソレーション (V_{OUT} は出力電圧。)

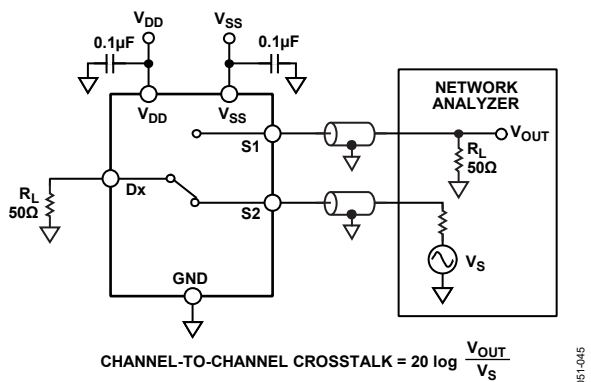


図 37. チャンネル間クロストーク

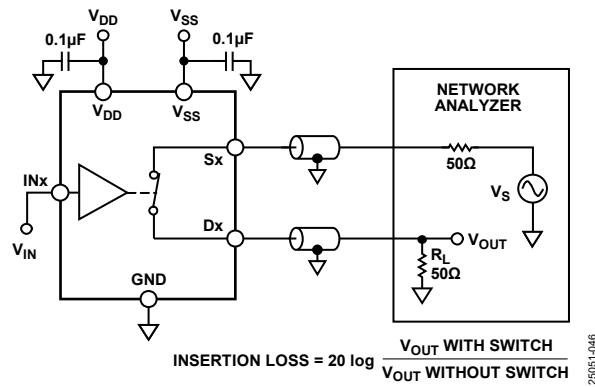


図 38. 帯域幅

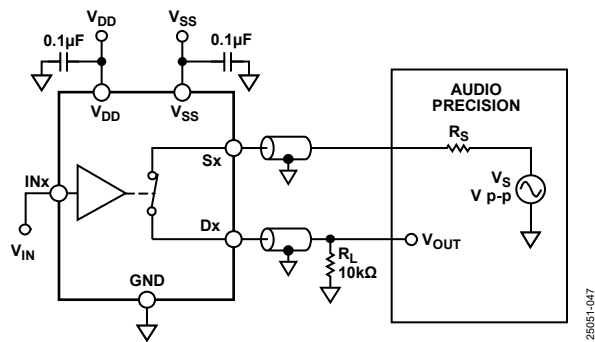


図 39. THD + N

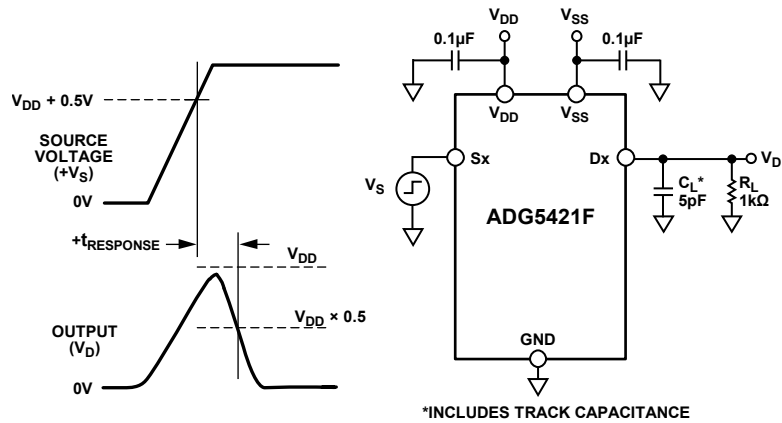


図 40. 正の過電圧応答時間、 t_{RESPONSE}

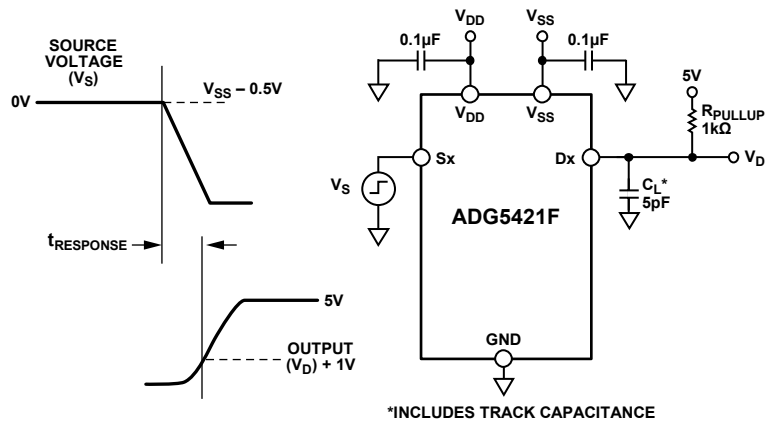


図 41. 負の過電圧応答時間、単電源、 t_{RESPONSE}

25051-130

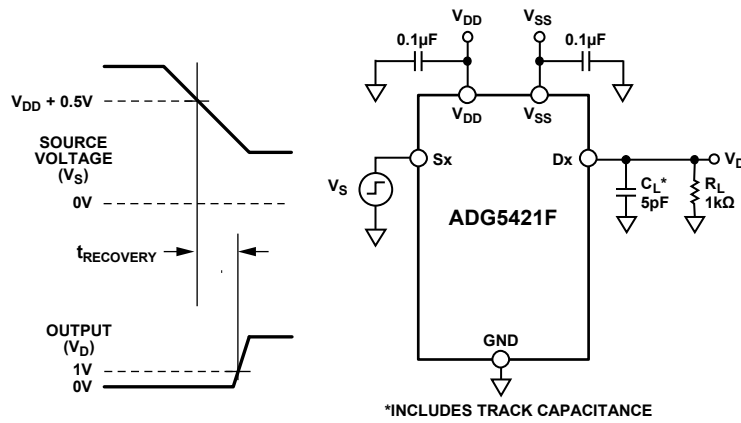


図 42. 過電圧回復時間、 t_{RECOVERY}

25051-130

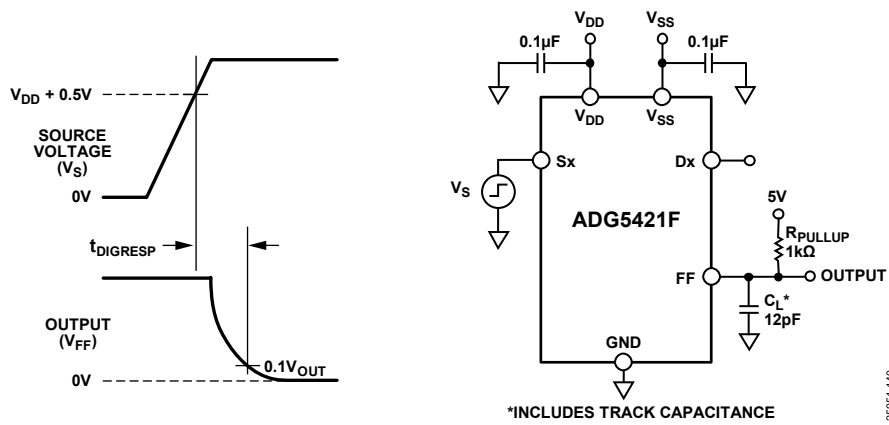


図 43. 割込みフラグの応答時間、 t_{DIGRESP} (V_{FF} は故障フラグ電圧)

25051-140

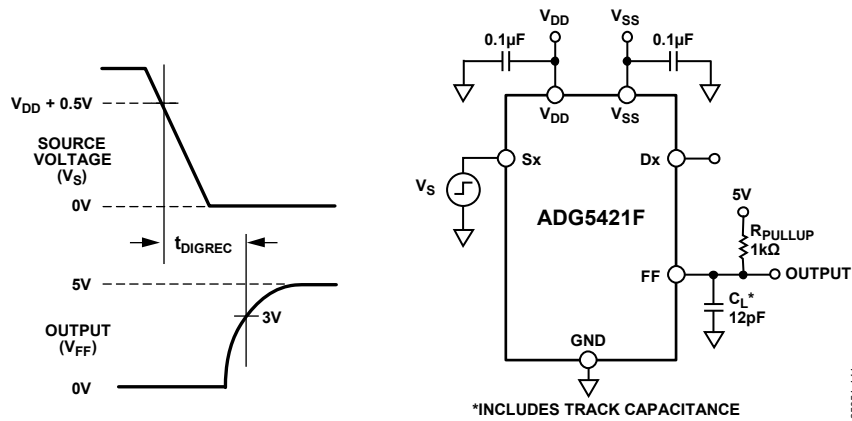


図 44. 割込みフラグの回復時間、 t_{DIGREC}

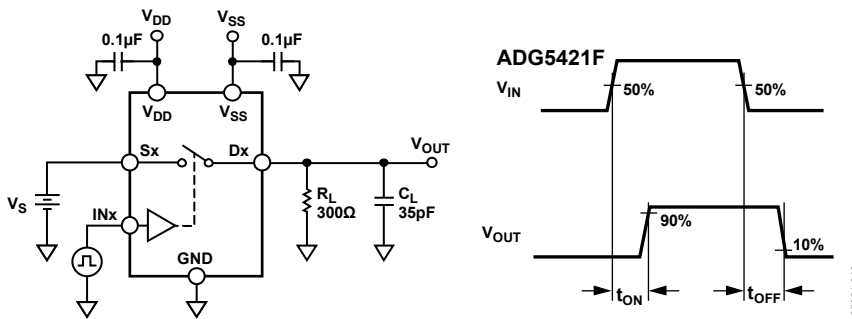


図 45. スイッチング時間、 t_{ON} および t_{OFF}

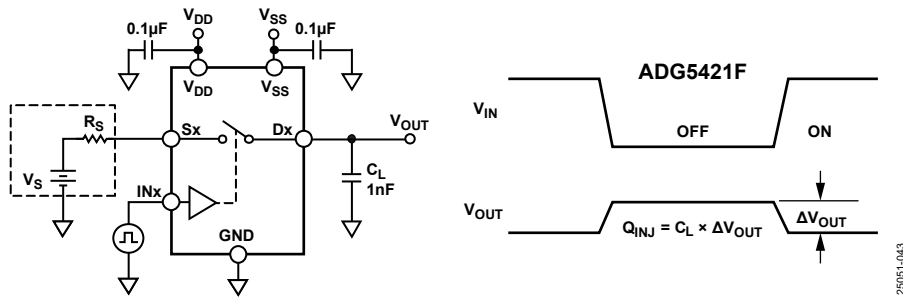


図 46. チャージ・インジェクション、 Q_{INJ}

用語の定義

I_{DD}

正側電源の電流。

I_{SS}

負側電源の電流。

V_D、V_S

V_Dは D_x ピン、V_Sは S_x ピンのアナログ電圧です。

R_{ON}

D_x ピンと S_x ピンの間の抵抗です。

R_{FLAT (ON)}

仕様で規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される抵抗値の平坦性です。

I_{S (Off)}

スイッチ・オフ時のソース・リーク電流。

I_{D (Off)}

スイッチ・オフ時のドレイン・リーク電流。

I_{D (On)}、I_{S (On)}

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

デジタル入力のロー・レベルおよびハイ・レベルでの入力電流。

C_{D (Off)}

スイッチ・オフ時の D_x ピンの容量。グラウンドを基準として測定。

C_{S (Off)}

スイッチ・オフ時の S_x ピンの容量。グラウンドを基準として測定。

C_{D (On)}、C_{S (On)}

スイッチ・オン時の容量で、グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON}

デジタル・コントロール入力印加されてから出力がオンになるまでの遅延。

t_{OFF}

デジタル・コントロール入力印加されてから出力がオフになるまでの遅延。

t_{DIGRESP}

t_{DIGRESP}は FF ピンがロー・レベル (0.3V) になるために要する時間で、S_x ピン電圧がソース電圧を 0.5V 上回るポイントより測定されます。

t_{DIGREC}

t_{DIGREC}は FF ピンがハイ・レベルに戻るために要する時間で、S_x ピン電圧がソース電圧+0.5V を下回るポイントより測定されません。

t_{RESPONSE}

t_{RESPONSE}は、ソース電圧が電源電圧を 0.5V 上回ってから、ドレイン電圧が電源電圧の 90%を下回るまでの遅延を表します。

t_{RECOVERY}

t_{RECOVERY}は、S_x ピンの過電圧が電源電圧+0.5V を下回ってから、ドレイン電圧が 0V から電源電圧の 10%を上回るまでの遅延を表します。

オフ・アイソレーション

オフ・スイッチから混入する不要な信号の大きさ。

チャージ・インジェクション

切替え中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。

-3dB 帯域幅

出力が 3dB 減衰する周波数。

オン応答

オン状態にあるスイッチの周波数応答。

挿入損失

スイッチのオン抵抗に起因する損失。

THD + N

基本波成分に対する全高調波成分+信号ノイズの比。

AC 電源変動除去比 (AC PSRR)

変調振幅に対する出力信号の振幅の比。AC PSRR は、電源電圧ピンに現れる AC ノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します (図 20 参照)。デバイスの DC 電圧は、0.62V_{p-p} のサイン波で変調されます。

V_T

過電圧保護回路が機能を開始する電圧閾値。

動作原理

スイッチ・アーキテクチャ

ADG5421F は、N チャンネル拡散金属酸化膜半導体 (NDMOS) トランジスタによる 2 つのスイッチ・チャンネルで構成されています。この構造により、小さな面積で優れた性能が提供されます。ADG5421F は、入力信号の電圧が $V_{SS} \sim V_{DD} - 2V$ のときには標準的なスイッチとして動作します。オン抵抗は 11Ω (代表値) で、 INx ピンによってスイッチの開閉を制御します。

内部に付加された回路により、S1 および S2 ピンの電圧を V_{DD} および V_{SS} ピンの電圧と比較することで過電圧入力を検出することができます。信号が電源電圧を V_T だけ上回ると、この信号は過電圧とみなされます。 V_T は通常 $0.7V$ ですが、 $0.76V$ ($-40^\circ C$) から $0.5V$ ($+125^\circ C$) までの範囲で変化します。動作温度に対する V_T の変化については図 25 を参照してください。

S1 ピン、または S2 ピンで過電圧状態が検出されると、デジタル・ロジックの状態 (INx) にかかわらず、両方のスイッチが自動的に開きます。S1 から D1、および S2 から D2 の経路は高インピーダンスになり、スイッチに電流は流れなくなります。図 28 では、メイン・チャンネルのスイッチが完全にオフし、ドレイン電圧が負荷を通して放電されるまで、 Dx ピンの電圧は Sx ピンの電圧に追従しています。ドレインの最大電圧は内蔵 ESD ダイオードにより制限されており、出力電圧が放電される速度は Dx ピンの負荷に依存します。

ソース入力に印加できる最大電圧は $+60V$ または $-60V$ です。25V 以上の単電源を使用して ADG5421F に電源供給する場合、80V の最大定格を満足させるため、負側の最大信号レベルは減少します。例えば、 $V_{DD} = +40V$ の場合、負側の最大信号は $-60V$ から $-40V$ に低下します。この処理を行うことで、チャンネルはオープン時のスイッチ間電圧 80V への耐性を実現しています。このような過電圧に対する制限は、電源の有無によらず適用されません。

過電圧状態の間、 Sx ピンを流れるリーク電流は数十 μA 、 Dx ピンではわずか数十 nA に制限されます。これにより、スイッチおよび接続された回路を過負荷から保護し、信号源から流れる電流を制限することができます。

ESD 性能

ADG5421F は、HBM に対して $3.5kV$ の ESD 定格を備えています。

Dx ピンは、電源レールとの間に ESD 保護ダイオードを内蔵しており、 Dx ピンの電圧が電源電圧を超えることはありません。 Sx ピンには専用の ESD 保護回路が内蔵されており、電源電圧レベルにかかわらず $\pm 60V$ までの信号電圧を印加できます。スイッチ・チャンネルの概要については、図 47 を参照してください。

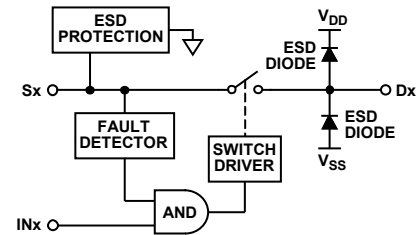


図 47. スイッチ・チャンネルと制御機能

トレンチ絶縁

ADG5421F では、NDMOS トランジスタと P チャンネル DMOS (PDMOS) トランジスタの間に絶縁酸化物層 (トレンチ) が設けられています。絶縁ジャンクションによりスイッチ内のトランジスタ間に発生する寄生ジャンクションがなくなるため、いかなる場合でもラッチアップのないスイッチが得られます。このデバイスは JESD78D のラッチアップ試験に合格しています。

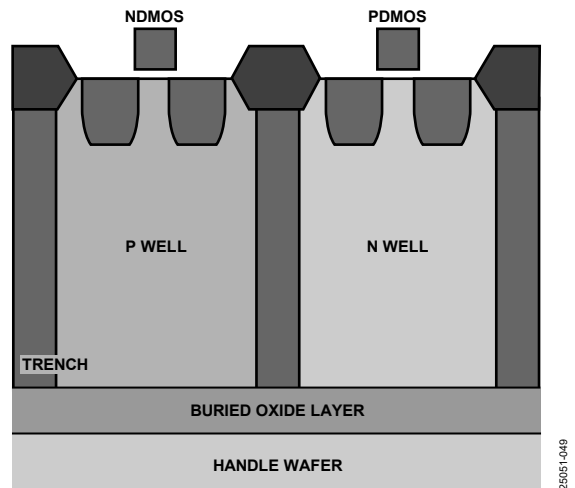


図 48. トレンチ絶縁

過電圧故障の保護

Sx 入力の電圧が V_{DD} または V_{SS} を V_T だけ上回ると、両方のスイッチがオフになります。また、デバイスに電源が加わっていない場合はオフの状態を維持します。デジタル入力の状態や負荷抵抗によらず、スイッチ入力は両方とも高インピーダンスを保ち、出力は仮想的にオープン・サーキットとして機能します。Sx ピンと V_{DD} または V_{SS} ピンの間で+80V の絶対最大定格制限を満たす範囲で、電源ありおよび電源なしの両方状態で+60V および-60V までの信号レベルが阻止されます (図 49 参照)。例えば+40V の単電源の場合、過電圧保護は+60V と-40V になります。

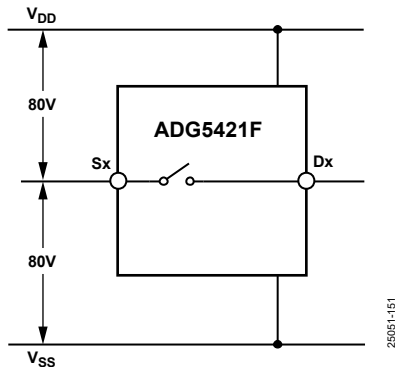


図 49. Sx と V_{DD} または V_{SS} の間の最大定格

パワーオン保護機能

スイッチが作動するには、次の3つの条件を満足する必要があります。

- 表 1 に示す最小の電源動作条件。
- $V_{SS} - V_T < \text{入力信号} < V_{DD} + V_T$
- デジタル・ロジック・コントロール入力 IN_x がオン。

スイッチがオンのときは、 V_{SS} から $V_{DD} - 2V$ の範囲の信号レベルが流れます。

Sx ピンのどちらかの電圧が V_{DD} または V_{SS} を V_T だけ上回ると、両方のスイッチが応答してオフします。絶対入力電圧制限値は-60V と+60V ですが、Sx ピンと電源レール間の+80V の制限を守らなければなりません。スイッチは、Sx ピンの電圧が $V_{DD} \sim V_{SS}$ の範囲に戻るまでオフを維持します。

$\pm 15V$ の両電源を使用する場合、正側の標準的な $t_{RESPONSE}$ は 160ns、 $t_{RECOVERY}$ は 9.8 μs です。これらの値は、電源電圧と出力負荷条件により変わります。

Sx 入力のどちらかが $\pm 60V$ を超えると、ADG5421F の ESD 保護回路が損傷を受けることがあります。

パワーオフ保護機能

電源入力がないとき、スイッチはオフ状態を維持し、スイッチ入力は高インピーダンスになります。この状態によって電流が流れないようにして、スイッチや後段の回路の損傷を防止します。スイッチ出力は、実質的にオープン・サーキットになります。

電源 V_{DD} および V_{SS} が 0V であるかフロート状態であるかにかかわらず、スイッチはオフ状態を維持します。ただしこの動作のためには、常に GND リファレンスが存在する必要があります。電源がない状態で、 $\pm 60V$ までの信号レベルが阻止されます。

過電圧検出割込みフラグ

ADG5421F の Sx 入力電圧は常にモニタされており、故障状態はアクティブ・ローのデジタル出力ピン FF で表示されます。

FF ピンの電圧は、Sx ピンが故障状態にあるか否かを指示します。FF ピンはオープンドレイン出力で、外付けプルアップ抵抗が必要です。FF ピンの出力は、Sx ピンの両方が通常動作範囲内にある場合にハイになります。Sx ピンのどちらかが電源電圧 (V_{DD} または V_{SS}) を V_T だけ上回ると、FF 出力は GND への低インピーダンス・パスになります。

アプリケーション情報

過電圧保護スイッチの ADG5421F は、計装用、工業用、航空宇宙用など、過電圧信号が存在し、かつその過電圧信号以後もシステムが動作を維持しなければならない厳しい環境に対して、強固なソリューションを提供します。

電源レール

デバイスを正常に動作させるには、 V_{DD} および V_{SS} と GND との間に $0.1\mu\text{F}$ のデカップリング・コンデンサが必要です。

ADG5421F は、 $\pm 5\text{V}$ ～ $\pm 22\text{V}$ のバイポーラ電源で動作させることができます。 V_{DD} および V_{SS} 電源は対称である必要はありませんが、電源範囲が 44V を超えてはいけません。また、ADG5421F は、 V_{SS} を GND に接続した 8V ～ 44V の単電源で動作させることもできます。

ADG5421F は、 $\pm 15\text{V}$ 、 $\pm 20\text{V}$ 、 $+12\text{V}$ 、 $+36\text{V}$ の各電源範囲ですべての仕様が規定されています。

電源の推奨事項

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの条件を満たす広範なパワー・マネージメント製品を提供しています。

バイポーラ電源ソリューションの例を図 50 に示します。ADP5070 (デュアル・スイッチング・レギュレータ) は、典型的なシグナル・チェーンの ADG5421F アンプや高精度コンバータ向けに正と負の電源レールを生成します。図 50 に示すように、正の低ドロップアウト (LDO) レギュレータ ADP7118 と負の LDO レギュレータ ADP7182 の 2 つの LDO を使用すると、極めて低いノイズに敏感なアプリケーションで ADP5070 の出力リップルを削減できます。

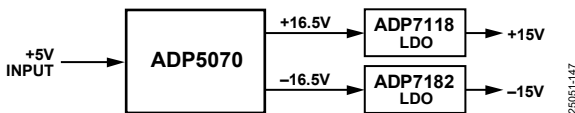


図 50. バイポーラ電源のソリューション

表 11. 推奨されるパワー・マネージメント・デバイス

製品	説明
ADP5070	正と負の独立出力を備えた 1A/0.6A DC/DC スwitchング・レギュレータ
ADP7118	20V、200mA、低ノイズ CMOS LDO リニア電圧レギュレータ
ADP7182	-28V、-200mA、低ノイズ LDO リニア電圧レギュレータ

電源シーケンシング保護

ADG5421F がオフのとき、スイッチ・チャンネルはオープンを維持しており、デバイスに損傷を与えることなく -60V ～ $+60\text{V}$ の信号を加えることができます。電源が接続されており、適切なデジタル・コントロール信号が IN_x ピンに印加され、信号が通常動作範囲に入っている場合にのみ、スイッチ・チャンネルは閉じます。外部コネクタと過電圧に敏感な部品のために ADG5421F を配置すると、電源電圧が使用可能になる前に S_x ピンに信号が印加されるシステムを保護することができます。

信号範囲

ADG5421F スイッチは、電圧レベルを V_{DD} および V_{SS} と比較する過電圧検出回路を、 S1 ピンと S2 ピンに備えています。後段の回路を過電圧から保護するため、目的の信号範囲に適した電源を供給してください。このスイッチは NDMOS のみを使用したアーキテクチャのため、 $V_{DD} - 2\text{V}$ までの信号をほとんど歪みなく通過させることができます。電源レールを V_T 以上超える信号は阻止されます。この信号ブロック機能により、デバイスと後段の回路を保護します。

インテリジェントな故障検出

ADG5421F のデジタル出力ピン (FF) は、マイクロプロセッサや制御システムとインターフェースすることができ、割込みフラグとして使用することができます。この機能により、ADG5421F、およびこれに接続するシステムの状態に関するリアルタイムの診断情報を得ることができます。

制御システムはデジタル割込みを使って、次のような動作を実行することができます。

- 過電圧故障源に対するチェックを開始する
- 過電圧にตอบสนองして重要なシステムをシャットダウンさせる
- これらのイベント時のデータは信頼度が低い、または仕様外としてデータ・レコーダでマーキングする

起動シーケンスに敏感なシステムにおいても、フラグがアクティブ・ロー動作のため、ADG5421F の電源がオンになると、システムの入力電圧はすべてが動作開始前に通常動作範囲内に入っています。

FF ピンは、外付けプルアップ抵抗を必要とするオープンドレインのため、複数のデバイスを含む大きなモジュールにおいて複数の信号を 1 本の割込みにまとめることができます。

既知の状態のスイッチ

スイッチ制御ライン IN_x にデジタル入力がない場合、スイッチはオフ状態を維持し、不要な信号がスイッチを通過してしまうことを防止します。

高電圧サージ除去

IEC 61000-4-2のESD、IEC 61000-4-4の電気的高速トランジェント（EFT）、IEC 61000-4-5のサージといった高電圧トランジェントから保護するため、ディスクリート抵抗と電圧トランジェント圧縮（TVS）デバイスを使用して、[図51](#)に示すような回路を構成してください。

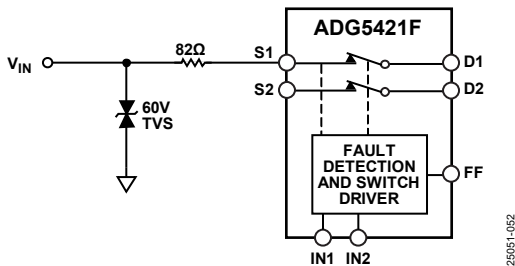


図 51. 高電圧トランジェント保護

[図51](#)のディスクリート部品による保護回路を使用することで得られた結果を、[表12](#)に示します。過酷な環境を再現するため、サージ試験は、 40Ω の抵抗と $0.5\mu\text{F}$ のコンデンサによる結合回路を通じてSxピンに直接印加しました。EFT試験は、容量結合なしにケーブルから直接Sxピンに印加しました。

表 12. 高電圧トランジェント保護

IEC 61000-4 Transient	Protection Level (kV)
ESD (Contact)	± 8
EFT	± 4
Surge	± 1

関連製品

表 13. ADG5421F の関連製品

デバイス	設定	故障範囲	故障インジケータ	パッケージ	機能
ADG5401F	SPST	Voltage rails	General flag	LFCSP	±60Vの故障保護、6ΩのR _{ON} 、0.6kΩのフィードバック・チャンネルを備えた SPST スイッチ
ADG5412F/ADG5413F	Quad SPST	Voltage rails	General flag	TSSOP/LFCSP	±55Vの故障保護・検出、10ΩのR _{ON} 、クワッド SPST スイッチ
ADG5412BF/ADG5413BF	Quad SPST	Voltage rails	General flag	TSSOP/LFCSP	±55Vの双方向故障保護・検出、10ΩのR _{ON} 、クワッド SPST スイッチ
ADG5404F	4:1 mux	Voltage rails	General and specific flags	TSSOP/LFCSP	±55Vの故障保護・検出、10ΩのR _{ON} 、4チャンネル・マルチプレクサ
ADG5436F	Dual SPDT	Voltage rails	General and specific flags	TSSOP/LFCSP	±55Vの故障保護・検出、10ΩのR _{ON} 、デュアル SPDT スイッチ
ADG5462F	Quad channel protector	Secondary supplies	General flag	TSSOP/LFCSP	±55Vの故障保護・検出、10ΩのR _{ON} 、クワッド・チャンネル・プロテクタ

外形寸法

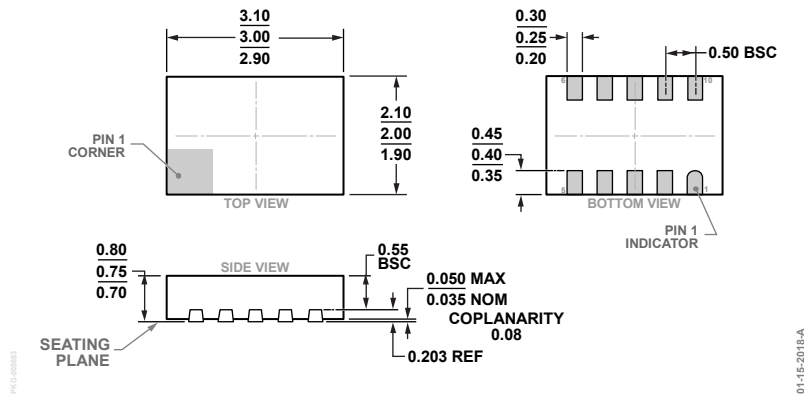


図 52. 10 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 3mm × 2mm ボディ、0.75mm パッケージ高
 (CP-10-16)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADG5421FBCPZ-RL7	-40°C to +125°C	10-Lead Lead Frame Chip Scale Package [LFCSP]	CP-10-16
EVAL-ADG5421FEBZ		Evaluation Board	

¹ Z = RoHS 準拠製品