

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2021年3月4日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年3月4日

製品名：AD9546

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：58 ページ

右の段、上から2行目

【誤】

「・・・CCR0が無効の場合・・・」

【正】

「・・・CCR0が有効の場合・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2021年3月4日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年3月4日

製品名：AD9546

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：128 ページ

右の段、下から7行目 かつこの中

【誤】

(-1024)

【正】

(-1025)

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2021年3月4日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年3月4日

製品名：AD9546

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：131 ページ

右の段、下から11行目

【誤】

・・・最初の条件は・・・

【正】

・・・最初（ビット1）の条件は・・・

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2021年3月4日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年3月4日

製品名：AD9546

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：131 ページ

右の段、下から10行目と9行目

【誤】

・・・2番目の制限・・・

【正】

・・・2番目（ビット2）の制限・・・

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2021年3月4日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年3月4日

製品名：AD9546

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：131 ページ

右の段、下から4行目

【誤】

・・・最初の制限・・・

【正】

・・・最初（ビット1）の制限・・・

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2021年3月4日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2021年3月4日

製品名： AD9546

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 162 ページ

右の段、下から5行目

【誤】

2-40Hz

【正】

2<sup>40</sup>Hz



# デュアル DPLL デジタル化 クロック・シンセサイザ

データシート

AD9546

## 特長

デジタル化クロック伝送サブシステム  
9個の独立した UTS ブロック (タイム・スタンプ出口ポート)  
2個の独立した IUTS ブロック (タイム・スタンプ入口  
ポート)  
デュアル DPLL が 1Hz~750MHz の物理層クロックを同期  
させ、ノイズの多いリファレンスのジッタ・クリーニングを  
行って周波数を変換  
ITU-T G.8262 と Telcordia GR-253 に準拠  
GR-1244、ITU-T G.812、ITU-T G.813、ITU-T G.823、  
ITU-T G.824、ITU-T G.825、ITU-T G.8273.2 をサポート  
最小 50ppb ( $5 \times 10^{-8}$ ) の周波数偏差を実現する連続的な  
周波数モニタリングとリファレンスの有効化  
どちらの DPLL も 24 ビットのプログラマブル・モジュラスによ  
る 24 ビット・フラクショナル分周器を実装  
プログラマブルなデジタル・ループ・フィルタ帯域幅:  
0.0001Hz~1850Hz  
PTP アプリケーションにおける IEEE 1588 バージョン 2 の  
サーボ・フィードバックに適した、2つの独立した  
プログラマブル補助 NCO (1Hz~65,535Hz、  
分解能: 1.37pHz 未満)  
ゼロ遅延、ヒットレス、位相ビルドアウトなどの動作を提供  
する自動および手動のホールドオーバーとリファレンス・  
スイッチオーバー  
プログラマブルな優先度をベースにしたリファレンス・  
スイッチング (手動、自動復帰、自動非復帰モードを  
サポート)  
5ペアのクロック出力ピン。各ペアを差動 LVDS/HCSL/CM  
L または 2つのシングルエンド出力 (1Hz~500MHz) として  
使用可能  
2つの差動入力リファレンス、または 8つのシングルエンド  
入力リファレンス  
クロスポイント・マルチプレクサによりリファレンス入力を  
PLL に接続  
埋め込み (変調) 入出力クロック信号に対応  
高速 DPLL ロック・モード  
水晶共振器または水晶発振器の低位相ノイズと TCXO または  
OCXO の周波数安定性および精度を組み合わせる機能を内蔵  
外付け EEPROM による自律的な初期化  
内部レギュレータによる 1.8V の単電源動作  
ゼロ遅延性能向上のための内蔵温度モニタおよびアラームと  
温度補償

## アプリケーション

5G タイミング伝送高精度同期  
GPS (全地球測位システム)、PTP (高精度時間プロトコル)  
(IEEE 1588)、同期イーサネット (SyncE) ジッタ・  
クリーンアップおよび同期  
光伝送網 (OTN)、同期デジタル階層 (SDH)、マクロ・セル  
およびスモール・セル基地局  
小型基地局のクロッキング (ベースバンドおよび無線)  
Stratum 2、Stratum 3e、Stratum 3 ホールドオーバー、  
ジッタ・クリーンアップ、および位相トランジェント制御  
A/D コンバータ (ADC) および D/A コンバータ (DAC) の  
クロック駆動における JESD204B のサポート  
キャリア・イーサネット

## 概要

AD9546 には、システム内でクロック信号を効率的に伝送および  
分配させるデジタル化クロッキング技術が組み込まれています。  
デジタル化クロッキングにより、位相 (時刻) アライメントが  
適切に制御された柔軟でスケラブルなクロック伝送システム  
の設計が可能になります。これらの特性により、AD9546 は、  
ITU-T G.8273.2 Class D に従った IEEE® 1588™ 境界クロックの同  
期条件を満たす必要があるネットワーク機器の設計に最適な選  
択肢となります。デジタル化クロッキングは、複数の使用エン  
ドポイントに対する周波数および位相の正確な伝送 (例えば、  
ADC チャンネルの配列に対する同期システム・リファレンス  
(SYSREF) クロックの分配など) が必要なアプリケーション  
にも関連しています。  
AD9546 は、サービス・プロバイダ・パケット・ネットワーク上  
での周波数、位相、および時刻の配信に関する国際電気通信連  
合 (ITU) の既存の規格と新しい規格に対応しています (ITU-T  
G.8262、ITU-T G.812、ITU-T G.813、ITU-T G.823、ITU-T G.824、  
ITU-T G.825、ITU-T G.8273.2)。  
AD9546 の 10 個のクロック出力は、最大で 8 つの入力リファ  
レンスのいずれか 1 つに同期しています。デジタル・フェーズ・  
ロック・ループ (DPLL) は、外部リファレンスに関するタイ  
ミング・ジッタを低減し、アナログ・フェーズロック・ループ  
(APLL) は、低ジッタ出力クロックで周波数変換を行います。  
すべてのリファレンス入力を使用できなくなった場合でも、デ  
ジタル制御されたループおよびホールドオーバー回路が、低ジ  
ッタの出力信号を引き続き生成します。  
AD9546 は 7mm × 7mm の 48 ピン LFCSP パッケージを採用して  
おり、-40°C~+85°C の温度範囲で動作します。  
このデータシートでは、多機能ピン名の 1 つの機能のみが関連  
している場合は、その機能にのみ言及していることがあります  
(SDO/M5 ピンでの M5 など)。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示するまたは暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F  
電話 052 (569) 6300

## 目次

|                                       |    |  |    |
|---------------------------------------|----|--|----|
| 特長                                    | 1  | ロジック出力仕様 (M0 ピン~CSB/M6 ピン)                               | 31 |
| アプリケーション                              | 1  | シリアル・ポート仕様   | 32 |
| 概要                                    | 1  | ジッタ生成 (ランダム・ジッタ)   | 34 |
| 改訂履歴                                  | 5  | 位相ノイズ  | 35 |
| 機能ブロック図                               | 6  | 絶対最大定格   | 38 |
| 仕様                                    | 7  | 熱抵抗  | 38 |
| 動作温度                                  | 7  | ESD に関する注意   | 38 |
| 電源電圧                                  | 7  | ピン配置およびピン機能の説明   | 39 |
| 電源電流                                  | 7  | 代表的な性能特性   | 42 |
| 消費電力                                  | 8  | 用語の定義  | 47 |
| システム・クロック入力 (XOA および XOB)             | 9  | 動作原理   | 48 |
| リファレンス入力                              | 10 | 推奨される入出力の終端処理  | 49 |
| リファレンス間のカップリング                        | 12 | システム・クロック入力  | 49 |
| REFx 間の入力タイミング・スキュー                   | 14 | リファレンス・クロック入力  | 49 |
| REFx と補助 REFx 間の入力タイミング・スキュー          | 15 | クロック出力   | 50 |
| リファレンス・モニタ                            | 16 | デジタル化クロッキング  | 52 |
| 分配クロック出力                              | 17 | 概要   | 52 |
| 出力間のタイミング・スキュー                        | 19 | システム・クロック PLL コンポーネント                                    | 52 |
| Mx ピンと OUTxyP/OUTxyN ピン間の出力タイミング・スキュー | 20 | 共通クロック DPLL コンポーネント                                      | 52 |
| デジタル機能の所要時間                           | 20 | 物理クロック・コンバータ   | 52 |
| DPLL0 および DPLL1 の仕様                   | 21 | 物理クロック・ジェネレータ  | 52 |
| DPLL ロック検出仕様                          | 21 | 共通クロック・シンクロナイザ・コンポーネント                                   | 54 |
| DPLL の位相特性                            | 22 | ユーザ・タイム・スタンプ (UTS) コンポーネントと反転ユーザ・タイム・スタンプ (IUTS) コンポーネント | 54 |
| DPLL 伝搬遅延                             | 23 | デジタル化クロッキング・ノードの例  | 54 |
| DPLL 伝搬遅延の変動                          | 24 | 共通クロック DPLL (CCDPLL)                                     | 56 |
| ホールドオーバー仕様                            | 25 | 概要   | 56 |
| アナログ PLL (APLL0 および APLL1) 仕様         | 25 | 共通クロック・リファレンス  | 56 |
| 出力チャンネル分周器仕様                          | 25 | 共通クロック・リファレンス・モニタ  | 57 |
| 時間デジタル・コンバータ仕様                        | 26 | CCDPLL ロック検出器  | 57 |
| 補助 NCO 仕様                             | 26 | CCDPLL ループ・フィルタ  | 57 |
| 共通クロック DPLL 仕様                        | 26 | 共通クロック・リファレンス (CCR) の周期宣言                                | 57 |
| 共通クロック・シンクロナイザ (CCS) 仕様               | 27 | 共通クロック・リファレンス・スイッチオーバー                                   | 58 |
| ユーザ・タイム・スタンプ (UTS) 仕様                 | 27 | アクティブ・ステータス  | 58 |
| 反転ユーザ・タイム・スタンプ (IUTS) 仕様              | 28 | 共通クロック・シンクロナイザ (CCS)                                     | 59 |
| アナログ・ループバック (往復遅延) 仕様                 | 29 | 概要   | 59 |
| Mx ピン間の出力タイミング・スキュー                   | 30 | 同期源  | 60 |
| システム・クロック補償仕様                         | 30 | タグ付けされた同期  | 60 |
| 温度センサー仕様                              | 30 | 同期時間   | 61 |
| ロジック入力仕様 (RESETB、M0~CSB/M6 ピン)        | 30 | 同期時間への時間スキューの追加  | 62 |



|                              |    |                              |    |
|------------------------------|----|------------------------------|----|
| 同期時間への時間オフセットの追加.....        | 62 | システム・クロック安定性タイマー.....        | 75 |
| 同期オフセットの精緻化.....             | 62 | システム・クロックのキャリブレーション.....     | 75 |
| 最大量検出.....                   | 62 | システム・クロックの安定性補償.....         | 76 |
| 遅延検出.....                    | 62 | リファレンス・クロック入力のリソース.....      | 77 |
| 同期スルー・リミッタ.....              | 63 | リファレンス・レシーバー.....            | 78 |
| 再始動.....                     | 63 | リファレンス・レシーバーの概要.....         | 78 |
| 同期ガード.....                   | 63 | シングルエンド・モード.....             | 78 |
| 最初の同期.....                   | 64 | 差動モード.....                   | 79 |
| 準備完了ステータス.....               | 64 | リファレンス分周器 (R 分周器).....       | 80 |
| ユーザ・タイマー・スタンプ (UTS).....     | 65 | リファレンス・モニタ.....              | 81 |
| 概要.....                      | 65 | リファレンス・モニタの概要.....           | 81 |
| UTS チャンネル制御レジスタのアドレス.....    | 65 | リファレンス・モニタの基本周期.....         | 82 |
| UTS チャンネルのイネーブル.....         | 65 | リファレンス・モニタ・ステータス・インジケータ..... | 82 |
| UTS チャンネル・タイム・スタンプ源.....     | 66 | リファレンス・モニタ制御.....            | 82 |
| UTS チャンネルの時間オフセット.....       | 66 | 不連続検出.....                   | 85 |
| UTS チャンネル・タグ.....            | 66 | リファレンス周期のジッタの推定.....         | 85 |
| UTS チャンネルの時間フォーマット.....      | 66 | リファレンス・モニタの判定時間.....         | 85 |
| UTS チャンネルのステータス・フラグ割り当て..... | 66 | リファレンス有効化.....               | 85 |
| UTS リードバック FIFO.....         | 67 | リファレンス・モニタのリセット.....         | 86 |
| 反転ユーザ・タイム・スタンプ (IUTS).....   | 69 | リファレンス復調器.....               | 87 |
| 概要.....                      | 69 | リファレンス復調器の概要.....            | 87 |
| パラメータの送信先選択.....             | 70 | 復調器とリファレンス・モニタの相互作用.....     | 87 |
| タイム・コードとフォーマット.....          | 70 | 被変調サイクルおよび変調イベント.....        | 88 |
| IUTS の時間オフセット.....           | 70 | バランス変調とアンバランス変調.....         | 88 |
| IUTS のステータス.....             | 70 | 復調器のイネーブル.....               | 88 |
| IUTS 再始動.....                | 70 | 変調極性検出.....                  | 88 |
| IUTS ロック・バイパス・オプション.....     | 70 | 復調器の感度.....                  | 89 |
| IUTS 無効化の宣言.....             | 70 | 復調器の永続性.....                 | 89 |
| アナログ・クロック・ループバック.....        | 71 | 復調器の帯域幅.....                 | 89 |
| 概要.....                      | 71 | 復調器の同期.....                  | 90 |
| アナログ・ループバック機能.....           | 72 | 分配クロック出力ドライバ.....            | 91 |
| 往復遅延の測定.....                 | 72 | 分配クロック出力ドライバの概要.....         | 91 |
| 過剰往復遅延.....                  | 73 | 出力電流制御.....                  | 91 |
| システム・クロック PLL.....           | 74 | 出力モード制御.....                 | 91 |
| システム・クロック PLL の概要.....       | 74 | 出力ドライバ設定.....                | 92 |
| システム・クロック入力周波数の宣言.....       | 74 | 出力ドライバのリセット.....             | 93 |
| システム・クロック源.....              | 74 | 出力ミュート.....                  | 93 |
| プリスケール分周器.....               | 75 | 分配分周器 (Q 分周器).....           | 94 |
| 帰還分周器.....                   | 75 | 分配分周器の概要.....                | 94 |
| システム・クロック PLL の出力周波数.....    | 75 | Q 分周器のクロック源選択.....           | 95 |
| システム・クロック PLL のロック検出器.....   | 75 | 整数分周.....                    | 95 |

|  |     |                                  |     |
|--|-----|----------------------------------|-----|
| 半整数分周 .....                            | 96  | スキュー調整 .....                     | 120 |
| Q分周器のリセット .....                        | 96  | 初期位相スキュー精緻化ステップ .....            | 120 |
| Q分周器の制約 .....                          | 96  | デジタル PLL (DPLL) .....            | 122 |
| ヒットレス/ゼロ遅延帰還 .....                     | 96  | DPLL の概要 .....                   | 122 |
| 分配位相オフセット制御 .....                      | 97  | DPLL ループ・コントローラ .....            | 122 |
| 出力位相オフセットの概要 .....                     | 97  | DPLL 帰還分周器 (N分周器) .....          | 123 |
| 初期位相オフセット .....                        | 97  | DPLL ループ・フィルタ .....              | 124 |
| 後続位相オフセット .....                        | 97  | DPLL NCO .....                   | 126 |
| 分配 N ショット/PRBS 出力クロック .....            | 100 | NCO ゲイン・チューニング・ワード・フィルタ帯域幅 ..... | 127 |
| N ショット/PRBS クロックの概要 .....              | 100 | DPLL ロック検出器 .....                | 128 |
| ランダム化されたクロック (PRBS) .....              | 101 | フリーラン・チューニング・ワード .....           | 129 |
| N ショット (JESD204B およびギャップのあるクロック) ..... | 101 | DPLL 高速アクイジション・オプション .....       | 130 |
| 分配組み込み出力クロック変調 .....                   | 105 | DPLL 位相オフセット制御 .....             | 132 |
| 変調コントローラの概要 .....                      | 105 | チューニング・ワード・オフセット・クランプ .....      | 133 |
| 変調の大きさ .....                           | 105 | 位相スルー・レート制限 .....                | 134 |
| 変調周期 .....                             | 107 | チューニング・ワードの履歴 .....              | 135 |
| バランス変調とアンバランス変調 .....                  | 107 | 遅延補償 .....                       | 138 |
| 変調同期 .....                             | 109 | タイム・スタンプのタグ付けオプション .....         | 140 |
| 変調トリガ .....                            | 110 | カスケード接続 DPLL 構成 .....            | 141 |
| 分配出力クロック同期 .....                       | 111 | カスケード接続 DPLL 動作に関する補足説明 .....    | 143 |
| 同期の概要 .....                            | 111 | アナログ PLL (APLL) .....            | 144 |
| パワーアップまたはリセット後の出力信号 .....              | 111 | APLL の概要 .....                   | 144 |
| 手動同期トリガ .....                          | 111 | 電圧制御発振器 (VCO) .....              | 144 |
| 自動再設定同期トリガ .....                       | 111 | APLL 帰還分周器 (M分周器) .....          | 145 |
| 自動同期トリガ .....                          | 112 | 位相周波数検出器 (PFD) .....             | 145 |
| リファレンス同期 .....                         | 112 | チャージ・ポンプ .....                   | 145 |
| 周波数変換ループ .....                         | 113 | APLL ループ・フィルタ .....              | 146 |
| 周波数変換ループの概要 .....                      | 113 | リファレンス・スイッチング .....              | 147 |
| 変換プロファイル .....                         | 113 | リファレンス・スイッチングの概要 .....           | 147 |
| プロファイル・イネーブル .....                     | 114 | 強制フリーラン・モード .....                | 147 |
| プロファイルの優先度 .....                       | 114 | 強制ホールドオーバー・モード .....             | 147 |
| 入力リファレンス源の選択 .....                     | 114 | 手動/自動変換プロファイル選択 .....            | 147 |
| アクティブ・リファレンスの指示 .....                  | 114 | 時間デジタル・コンバータ (TDC) .....         | 154 |
| 変換モード .....                            | 115 | タイム・スタンプ .....                   | 155 |
| 位相ビルドアウト・モード .....                     | 116 | タイム・スタンプの概要 .....                | 155 |
| 内部ゼロ遅延 (ヒットレス) モード .....               | 117 | デジタル・クロスポイント・マルチプレクサ .....       | 155 |
| 外部ゼロ遅延 (ヒットレス) モード .....               | 118 | タグ付けされたタイム・スタンプ .....            | 156 |
| ソース・プロファイル .....                       | 119 | ユーザ・タイム・スタンプ・プロセッサ (UTSP) .....  | 157 |
| ソース・プロファイルの概要 .....                    | 119 | UTSP の概要 .....                   | 157 |
| DPLL 位相/周波数ロック検出器 .....                | 119 | ユーザ・タイム・スタンプの読出し .....           | 157 |
| 位相ステップ・リミット .....                      | 119 | ユーザ・タイム・スタンプの解釈 .....            | 158 |

|                                |     |                                   |     |
|--------------------------------|-----|-----------------------------------|-----|
| タグ付けされたタイム・スタンプ.....           | 159 | ステータス用または制御用 Mx ピンの定義.....        | 181 |
| システム・クロック補償のある UTSP.....       | 159 | ステータス機能.....                      | 181 |
| 2つの TDC を使用したタイミング・スキュー測定..... | 160 | 制御機能.....                         | 182 |
| タグ付けされたスキュー測定タイム・スタンプ.....     | 161 | 割込み要求 (IRQ) .....                 | 183 |
| 補助 NCO.....                    | 162 | IRQ の概要.....                      | 183 |
| 補助 NCO の概要.....                | 162 | IRQ ステータス・ビット.....                | 183 |
| 補助 NCO の周波数.....               | 162 | IRQ マスク・ビット.....                  | 183 |
| 補助 NCO の位相オフセット .....          | 163 | IRQ クリア・ビット.....                  | 183 |
| 補助 NCO 位相スルー制限.....            | 164 | ウォッチドッグ・タイマー.....                 | 185 |
| 経過時間調整.....                    | 164 | EEPROM の使用.....                   | 186 |
| 補助 NCO のタイム・スタンプ .....         | 164 | EEPROM の概要.....                   | 186 |
| 補助 NCO のパルス出力.....             | 165 | EEPROM コントローラの一般的動作.....          | 186 |
| 温度センサー.....                    | 167 | EEPROM 命令セット.....                 | 187 |
| 温度センサーの概要.....                 | 167 | マルチデバイス・サポート.....                 | 189 |
| 温度ソースの選択.....                  | 167 | アプリケーション情報 .....                  | 191 |
| 内部温度センサー.....                  | 167 | デジタル化クロッキング・アプリケーション.....         | 191 |
| 外部温度ソース.....                   | 168 | クロック伝搬遅延の測定 .....                 | 193 |
| システム・クロック補償.....               | 169 | タイム・スタンプ測定 .....                  | 194 |
| システム・クロック補償の概要.....            | 169 | IEEE 1588 サーボ.....                | 195 |
| 補償方法 1 .....                   | 171 | 初期化シーケンス .....                    | 196 |
| 補償方法 2 .....                   | 174 | シリアル制御ポート .....                   | 199 |
| 補償方法 3 .....                   | 175 | シリアル制御ポートの概要.....                 | 199 |
| 統合化された補償サブシステム.....            | 177 | SPI/I <sup>2</sup> C ポートの選択 ..... | 199 |
| システム・クロック補償プログラミング・レジスタ .....  | 178 | SPI シリアル・ポートの動作.....              | 199 |
| ステータス/制御ピン.....                | 180 | I <sup>2</sup> C シリアル・ポートの動作..... | 202 |
| ステータス/制御ピンの概要.....             | 180 | 外形寸法.....                         | 205 |
| リセットまたはパワーアップ時の多機能ピン.....      | 180 | オーダー・ガイド.....                     | 205 |

## 改訂履歴

10/2020—Revision 0: Initial Version

機能ブロック図

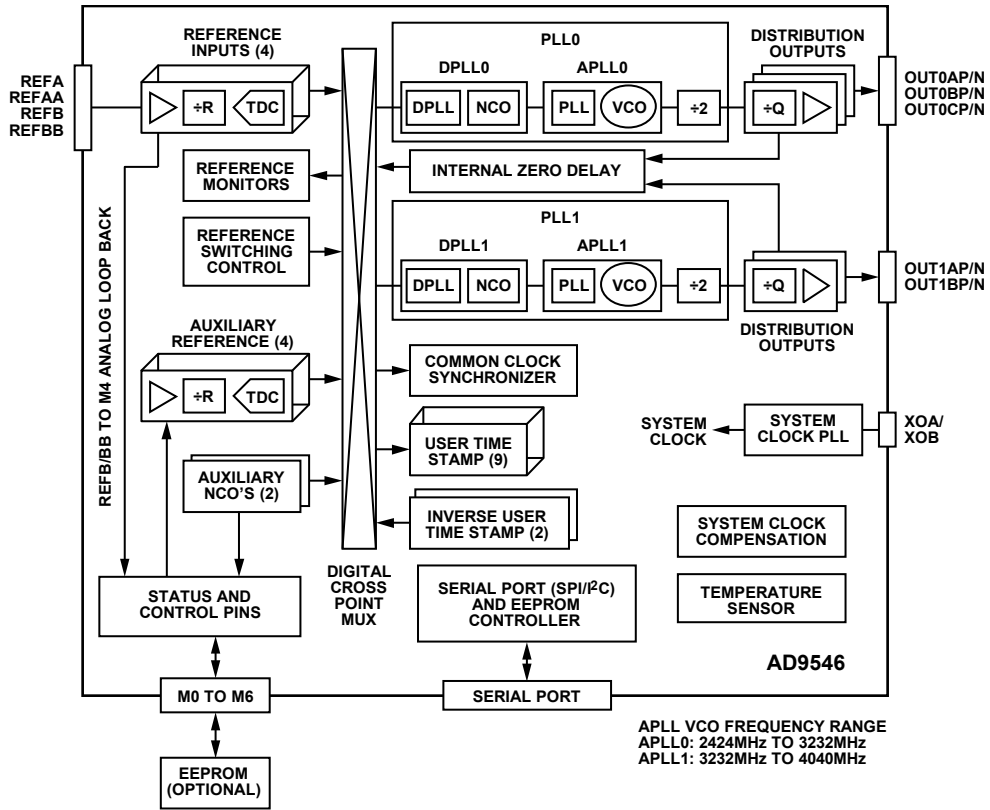


図 1.

2326E-001

## 仕様

最小値と最大値は、電源電圧と動作温度の変化の全範囲に対応しています。特に指定のない限り、代表値は、VDD = 1.8V、T<sub>A</sub> = 25°Cにおける値です。

## 動作温度

表 1.

| パラメータ                            | Min | Typ | Max  | 単位 | テスト条件/コメント                                     |
|----------------------------------|-----|-----|------|----|--|
| OPERATING TEMPERATURE            |     |     |      |    |  |
| Ambient Temperature <sup>1</sup> | -40 |     | +85  | °C | 内部温度センサーの指示値が 105°C を超えた場合、ダイが過剰温度であることを意味します。 |
| Die Temperature <sup>2</sup>     |     |     | +105 | °C |  |

<sup>1</sup> 詳細については、[熱抵抗](#)のセクションを参照してください。

<sup>2</sup> ダイの最高温度は、[表 2～表 39](#) に示す性能をサポートします。ダイの最高動作温度は、周囲温度の最高動作温度に優先します。AD9546 のダイ温度を測定するには、内部温度センサーを使用してください ([温度センサー](#)のセクションを参照)。

## 電源電圧

表 2.

| パラメータ             | Min  | Typ | Max   | 単位 | テスト条件/コメント              |
|-------------------|------|-----|-------|----|-------------------------|
| SUPPLY VOLTAGE    |      |     |       |    |                         |
| VDDIOA and VDDIOB | 1.71 | 1.8 | 3.465 | V  | 1.8V、2.5V、3.3V の動作をサポート |
| VDD               | 1.71 | 1.8 | 1.89  | V  |                         |

## 電源電流

[表 3](#) に示す最小値、代表値、最大値は、[表 2](#) に示す電源電圧仕様の最小値、代表値、最大値に対応します。

表 3.

| パラメータ   | Min | Typ | Max | 単位 | テスト条件/コメント   |
|---|-----|-----|-----|----|--|
| SUPPLY CURRENT FOR TYPICAL CONFIGURATION            |     |     |     |    | <a href="#">表 4</a> に示す代表的な設定の条件を使用  |
| VDDIOx Current (I <sub>VDDIOx</sub> )               |     | 5   | 8   | mA | すべての VDDIOx ピンの総電流 (x は A または B)   |
| VDD Current (I <sub>VDD</sub> )                     |     | 325 | 330 | mA | すべての VDD ピンの総電流  |
| SUPPLY CURRENT FOR LINE CARD CONFIGURATION          |     |     |     |    | <a href="#">表 4</a> のライン・カード設定の条件を使用。ライン・カードの詳細については、 <a href="#">デジタル化クロッキング・アプリケーション</a> のセクションを参照してください     |
| I <sub>VDDIOx</sub>                                 |     | 5   | 8   | mA | すべての VDDIOx ピンの総電流 (x は A または B)   |
| I <sub>VDD</sub>                                    |     | 325 | 330 | mA | すべての VDD ピンの総電流  |
| SUPPLY CURRENT FOR TIMING CARD CONFIGURATION        |     |     |     |    | <a href="#">表 4</a> のタイミング・カード設定の条件を使用。タイミング・カードの詳細については、 <a href="#">デジタル化クロッキング・アプリケーション</a> のセクションを参照してください |
| I <sub>VDDIOx</sub>                                 |     | 5   | 8   | mA | すべての VDDIOx ピンの総電流 (x は A または B)   |
| I <sub>VDD</sub>                                    |     | 325 | 330 | mA | すべての VDD ピンの総電流  |
| SUPPLY CURRENT FOR ALL BLOCKS RUNNING CONFIGURATION |     |     |     |    | <a href="#">表 4</a> に示す全ブロック実行設定の条件を使用   |
| I <sub>VDDIOx</sub>                                 |     | 5   | 8   | mA | すべての VDDIOx ピンの総電流 (x は A または B)   |
| I <sub>VDD</sub>                                    |     | 410 | 440 | mA | すべての VDD ピンの総電流  |

## 消費電力

代表値は VDD = 1.8V、最大値は VDD = 1.89V における値です。

表 4.

| パラメータ  | Min | Typ | Max | 単位 | テスト条件/コメント  |
|--|-----|-----|-----|----|---|
| POWER DISSIPATION  |     |     |     |    | $f_{osc}$ は、XOA/XOB ピンでの周波数   |
| Typical Configuration  |     | 585 | 760 | mW | $f_{osc} = 49.152\text{MHz}$ の水晶振動子。2つのアクティブ DPLL。差動モードの2つの 19.44MHz 入力リファレンス。2つの AC カップリング PLL チャンネル 0 (PLL0) 電流モード・ロジック (CML) 出力ドライバ (245.76MHz)。2つの PLL チャンネル 1 (PLL1) CML 出力ドライバ (156.25MHz)  |
| Line Card Configuration  |     | 585 | 760 | mW | $f_{osc} = 52\text{MHz}$ の水晶振動子。2つのアクティブ DPLL (ヒットレス・モード)。5つのシングルエンド入力リファレンス (2つは 10MHz で動作、3つは 1Hz のアクティブなリファレンス復調動作を伴い 50MHz で動作)。10MHz で動作する 5つの HCSL (15mA) 出力ドライバ。500Hz で動作する 1つの補助 NCO。500Hz で動作する 2つの反転ユーザ・タイマー・スタンパ (IUTS)。補助 DPLL がイネーブル。ライン・カードの詳細については、 <a href="#">デジタル化クロッキング・アプリケーション</a> のセクションを参照してください。  |
| Timing Card Configuration  |     | 585 | 760 | mW | $f_{osc} = 52\text{MHz}$ の水晶振動子。2つのアクティブな DPLL (1つは ヒットレス・モード、もう 1つは位相ビルドアウト・モード)。8つのシングルエンド入力リファレンス (4つは 10MHz で動作、4つは 1Hz のアクティブなリファレンス復調動作を伴い 50MHz で動作)。5つの HCSL (15mA) 出力ドライバ (2つは 10MHz で動作、3つは 1Hz のアクティブなクロック変調動作を伴い 50MHz で動作)。2つの補助 NCO (1つは 500Hz で動作、もう 1つは 1Hz で動作)。500Hz で動作する 1つの IUTS。補助 DPLL がイネーブル。タイミング・カードの詳細については、 <a href="#">デジタル化クロッキング・アプリケーション</a> のセクションを参照してください。 |
| All Blocks Running Configuration                                       |     | 745 | 795 | mW | $f_{osc} = 49.152\text{MHz}$ の水晶振動子。2つのアクティブな DPLL。差動モードの2つの 19.44MHz 入力リファレンス。3つの AC カップリング PLL0 HCSL 出力ドライバ (400MHz)。2つの PLL1 HCSL 出力ドライバ (400MHz)  |
| Full Power-Down  |     | 125 |     | mW | 代表的な設定の仕様に基づく。ただし、レジスタ 0x2000、ビット 0 = 1   |
| Incremental Power Dissipation  |     |     |     |    | 代表的な設定の仕様に基づく。このセクションの値は、代表的な設定の仕様を基準とした、記載動作による電力の変化を示す。   |
| Complete DPLL/APLL On vs. Off  |     | 160 |     | mW | 代表的な設定の仕様を基準とした消費電力の変化。パワーダウンされたブロックは、1つのリファレンス入力、1つの DPLL、1つの APLL、2つのチャンネル・デバイダ、2つの出力ドライバを含む。   |
| Input Reference On vs. Off   |     |     |     |    |   |
| Differential (AC-Coupled Mode)   |     | 20  |     | mW | リファレンス周波数 ( $f_{REF}$ ) = 19.44MHz (図 36 を参照)   |
| Differential (DC-Coupled Mode)   |     | 21  |     | mW | $f_{REF} = 19.44\text{MHz}$ (図 37 を参照)  |
| Single-Ended   |     | 13  |     | mW | $f_{REF} = 19.44\text{MHz}$   |
| Output Distribution Driver On vs. Off                                  |     |     |     |    | 156.25MHz 時   |
| 15 mA Mode   |     | 28  |     | mW |   |
| 12.5 mA Mode   |     | 23  |     | mW |   |
| 7.5 mA Mode  |     | 15  |     | mW |   |
| Auxiliary DPLL On vs. Off  |     | 1   |     | mW |   |
| Auxiliary Numerically Controlled Oscillator (NCO) to Mx Pin On vs. Off |     | 1   |     | mW | 50kHz の基本設定   |
| Auxiliary Time to Digital Converter (TDC) Input from Mx Pin On vs. Off |     | 1   |     | mW | 入力周波数 ( $f_{IN}$ ) = 10MHz、補助 TDC レート = 200kHz  |

## システム・クロック入力 (XOA および XOB)

表 5.

| パラメータ  | Min  | Typ  | Max  | 単位         | テスト条件/コメント  |
|--|------|------|------|------------|---|
| SYSTEM CLOCK MULTIPLIER                          |      |      |      |            |   |
| Output Frequency Range                           | 2250 |      | 2415 | MHz        | 内蔵の電圧制御発振器 (VCO) の周波数範囲によって、システム入力周波数の選択に制限が生じます。   |
| Phase Frequency Detector (PFD) Rate              | 20   |      | 300  | MHz        |   |
| SYSTEM CLOCK INPUT DIRECT PATH                   |      |      |      |            |   |
| Input Frequency Range                            | 20   |      | 300  | MHz        | ダイレクト・パスを使用する場合、XOA ピンおよび XOB ピンと AC カップリングする必要があります (図 31 を参照) ダイレクト・パスの使用時は、周波数ダブラをイネーブルしないでください。<br>システム・クロック PLL の位相周波数ディテクタの入力に 50MHz 未満の周波数が入力された場合、通常、位相ノイズ性能が低下します。位相ノイズ性能を最適化するには、(ダイレクト・パスではなく) 水晶共振器パスと共振周波数 50MHz 以上の水晶共振器を使用し周波数ダブラをイネーブルにすると共に、システム・クロック補償方法 3 (システム・クロック補償) のセクションを参照) を使用するようデバイスを設定することを推奨します。 |
| Input Duty Cycle                                 | 40   |      | 60   | %          |   |
| Self Biased Common-Mode Voltage                  |      | 0.75 |      | V          | 内部生成  |
| Input Voltage                                    |      |      |      |            | DC カップリング・シングルエンド動作用  |
| High   | 0.9  |      |      | V          |   |
| Low  |      |      | 0.5  | V          |   |
| Differential Input Voltage Sensitivity           | 250  |      |      | mV p-p     | ロジック・ステート間の切り替えを確保するために必要な XOA ピン/XOB ピンの最小電圧振幅 (差動プローブを使用して測定)。どちらのピンも瞬時電圧が 1.2V を超えないようにしてください。AC を相補入力にグラウンディングしてシングルエンド入力とします。ジッタ性能最適化のため 800mV p-p を推奨。  |
| Slew Rate for Sinusoidal Input                   |      |      |      |            |   |
| Functional                                       |      | >6   |      | V/ $\mu$ s | ロックされた安定したシステム・クロックを供給するために必要   |
| Operational                                      |      | >31  |      | V/ $\mu$ s | 位相ノイズの劣化を 1dBc 未満とするために必要   |
| System Clock Input Divider (J Divider) Frequency | 100  |      |      | MHz        |   |
| Input Resistance                                 |      | 5    |      | k $\Omega$ |   |
| SYSTEM CLOCK INPUT QUARTZ CRYSTAL RESONATOR PATH |      |      |      |            |   |
| Resonator Frequency Range                        | 25   |      | 80   | MHz        | 水晶共振器のパスにはオプションの周波数ダブラが含まれます。<br>基本モード、AT カット水晶振動子  |
| Crystal Motional Resistance                      |      |      | 100  | $\Omega$   | 水晶共振周波数 > 52MHz。等価直列抵抗は 50 $\Omega$ 、水晶振動子の負荷容量 ( $C_L$ ) は 8pF をそれぞれ超えないようにしてください。   |

## リファレンス入力

表 6.

| パラメータ  | Min   | Typ  | Max               | 単位         | テスト条件/コメント   |
|--|-------|------|-------------------|------------|--|
| <b>DIFFERENTIAL MODE</b>                                   |       |      |                   |            |  |
| Frequency Range  |       |      |                   |            | 差動モードの仕様では、入力信号がリファレンス入力ピンに AC カップリングしていることを想定しています。                                   |
| Sinusoidal Input   |       |      | 750               | MHz        | 下限は入力スルー・レートに依存  |
| Low Voltage Positive Emitter Coupled Logic (LVPECL) Input  | 1     |      | $750 \times 10^6$ | Hz         | 下限は AC カップリングに依存   |
| LVDS Input   | 1     |      | $500 \times 10^6$ | Hz         | LVDS は 494mV p-p の最小差動振幅を仮定。下限は AC カップリングに依存。  |
| Slew Rate  |       | >4.1 |                   | V/ $\mu$ s | 適切なリファレンス・モニタ動作のために必要。スルー・レートが 35V/ $\mu$ s 未満の場合、出力ジッタが悪化する可能性がある。                    |
| Common-Mode Input Voltage                                  |       | 0.64 |                   | V          | 内部生成された自己バイアス電圧  |
| Differential Input Amplitude                               |       |      |                   |            | 差動プローブを使用した測定時にロジック・レベルの切り替えを確保するのに必要なピン間の差動電圧のピーク to ピーク振幅。どちらのピンの瞬時電圧も 1.3V を超えないこと。 |
| $f_{IN} < 500$ MHz   | 350   |      | 2100              | mV p-p     |  |
| $f_{IN} = 500$ MHz to 750 MHz                              | 500   |      | 2100              | mV p-p     |  |
| Differential Input Voltage Hysteresis                      |       | 55   | 100               | mV         |  |
| Input Resistance   |       | 16   |                   | k $\Omega$ | 等価差動入力抵抗   |
| Input Pulse Width  |       |      |                   |            |  |
| LVPECL   | 600   |      |                   | ps         |  |
| LVDS   | 900   |      |                   | ps         |  |
| <b>DC-COUPLED, LVDS-COMPATIBLE MODE</b>                    |       |      |                   |            |  |
| Frequency Range  | 1     |      | $450 \times 10^6$ | Hz         | LVDS ソースへの DC カップリングに適用  |
| Slew Rate  |       | >1.2 |                   | V/ $\mu$ s | 適切なリファレンス・モニタ動作のために必要。スルー・レートが 35V/ $\mu$ s 未満の場合、出力ジッタが悪化する可能性がある。                    |
| Common-Mode Input Voltage                                  | 1.125 |      | 1.375             | V          |  |
| Differential Input Amplitude                               | 400   |      | 1200              | mV p-p     | ロジック・レベルの切り替えを確保するのに必要なピン間の差動電圧。どちらのピンの瞬時電圧も電源レールを超えないこと。                              |
| Differential Input Voltage Hysteresis                      |       | 55   | 100               | mV         |  |
| Input Resistance   |       | 16   |                   | k $\Omega$ |  |
| Input Pulse Width  | 1     |      |                   | ns         |  |
| <b>SINGLE-ENDED MODE</b>                                   |       |      |                   |            |  |
| シングルエンド・モードの仕様では、入力信号がリファレンス入力ピンに DC カップリングしていることを想定しています。 |       |      |                   |            |  |
| <b>1.2 V CMOS</b>  |       |      |                   |            |  |
| Frequency Range  | 1     |      | $500 \times 10^6$ | Hz         | 入力信号がリファレンス入力ピンに DC カップリングしていると想定  |
| Input Voltage  |       |      |                   |            |  |
| High, $V_{IH}$   | 0.78  |      | 1.38              | V          |  |
| Low, $V_{IL}$  |       |      | 0.42              | V          |  |
| Input Resistance   |       | 30   |                   | k $\Omega$ |  |
| Slew Rate  |       | >8   |                   | V/ $\mu$ s | 適切なリファレンス・モニタ動作のために必要。スルー・レートが 35V/ $\mu$ s 未満の場合、出力ジッタが悪化する可能性がある。                    |
| Input Pulse Width  | 900   |      |                   | ps         |  |
| <b>1.8 V CMOS</b>  |       |      |                   |            |  |
| Frequency Range  | 1     |      | $500 \times 10^6$ | Hz         | 入力信号がリファレンス入力ピンに DC カップリングしていると想定  |



| パラメータ                            | Min          | Typ | Max               | 単位         | テスト条件/コメント   |
|----------------------------------|--------------|-----|-------------------|------------|--|
| Input Voltage                    |              |     |                   |            |  |
| High, $V_{IH}$                   | 1.17         |     | 2.07              | V          |  |
| Low, $V_{IL}$                    |              |     | 0.63              | V          |  |
| Input Resistance                 |              | 30  |                   | k $\Omega$ |  |
| Slew Rate                        |              | >8  |                   | V/ $\mu$ s | 適切なリファレンス・モニタ動作のために必要。スルー・レートが 35V/ $\mu$ s 未満の場合、出力ジッタが悪化する可能性がある。  |
| Input Pulse Width                | 900          |     |                   | ps         |  |
| AC-Coupled                       |              |     |                   |            |  |
| Frequency Range                  | 1            |     | $500 \times 10^6$ | Hz         | AC カップリングした 1.2V CMOS に適用  |
| Input Amplitude                  | 360          |     | 1200              | mV         | シングルエンド電圧のピーク to ピーク振幅。瞬時電圧が 1.3V を超えないこと。   |
| Input Impedance                  |              | 15  |                   | k $\Omega$ |  |
| Input Pulse Width                | 900          |     |                   | ps         |  |
| Slew Rate                        |              | >8  |                   | V/ $\mu$ s | 適切なリファレンス・モニタ動作のために必要。スルー・レートが 35V/ $\mu$ s 未満の場合、出力ジッタが悪化する可能性がある。  |
| Common-Mode Voltage              |              | 610 |                   | mV         | 内部生成された自己バイアス電圧。AC カップリングした 1.2V CMOS に適用。   |
| <b>AUXILIARY REFERENCES</b>      |              |     |                   |            |  |
| Frequency Range                  |              |     | 225               | MHz        | 適切に設定された Mx 制御ピンを介して補助リファレンス 0 (REF0) ピン〜補助リファレンス 3 (REF3) ピンに適用 (リファレンス・クロック入力のリソースのセクションを参照)   |
| Input Voltage                    |              |     |                   |            |  |
| High, $V_{IH}$                   | VDDIOx       |     |                   | V          |  |
| Low, $V_{IL}$                    | -0.4         |     | 0.4               | V          |  |
| Slew rate                        |              | >8  |                   | V/ $\mu$ s | 適切なリファレンス・モニタ動作のために必要。スルー・レートが 35V/ $\mu$ s 未満の場合、出力ジッタが悪化する可能性があります。VDDIOB = 1.8V、2.5V、または 3.3V の場合に適用。   |
| <b>REFERENCE DEMODULATOR</b>     |              |     |                   |            |  |
| Carrier Frequency                |              |     |                   |            | $f_{OUT}$ は Q 分周器の出力周波数。 $f_{SYS}$ はシステム・クロック周波数で 2250MHz~2415MHz の範囲内にある必要がある。 $f_{SYS} = f_{OSC} \times K/J$ 、ここで、 $f_{OSC}$ は XOA ピン/XOB ピンに接続されたシステム・クロック発振器の周波数、K は帰還分周比、J はシステム・クロック (SYSCLK) 入力のスケーリング・ファクタ。SYSCLK ダブルがデイスエーブルの場合、J は J 分周器の値 (1、2、4、または 8)。SYSCLK ダブルがイネーブルの場合は、 $J = \frac{1}{2}$ 。 |
| (Synchronization Edge = 1, 2, 3) |              |     |                   |            | バンド 0 およびバンド 1 (復調器の帯域幅のセクションを参照)  |
| Band 0                           |              |     |                   |            |  |
| DC Balanced Modulation           | 0.5          |     | 40                | MHz        |  |
| Unbalanced Modulation            | 0.5          |     | 60                | MHz        |  |
| Band 1                           |              |     |                   |            |  |
| DC Balanced Modulation           | 1            |     | 120               | MHz        |  |
| Unbalanced Modulation            | 1            |     | 180               | MHz        |  |
| Embedded Clock Rate              | 1            |     | $f_{CAR}/8$       | Hz         | $f_{CAR}$ は未変調の入力周波数。  |
| Duty Cycle Deviation             |              |     |                   |            | S はレジスタ 0x0302、レジスタ 0x0303、0x0306、またはレジスタ 0x0307 の各ビット [1:0] の 10 進値 (復調器の感度のセクションを参照)。B は選択したバンドによって異なり、バンド 0 では $f_{SYS}/3$ 、バンド 1 では $f_{SYS}$ (復調器の帯域幅のセクションを参照)。  |
| DC Balanced Modulation           | $(5 + S)/3B$ |     | $1/(4f_{CAR})$    | sec        |  |
| Unbalanced Modulation            | $(5 + S)/2B$ |     | $1/(4f_{CAR})$    | sec        |  |
| Polarity Detection Enabled       | $(5 + S)/B$  |     | $1/(4f_{CAR})$    | sec        |  |

## リファレンス間のカップリング

リファレンス間のカップリングの測定は、必ず、ターゲット・リファレンス入力とアグレッサ・リファレンス入力 2 つのリファレンス入力で構成されます。デバイスの設定には、ターゲット・リファレンス入力から該当の OUTxyP/OUTxyN 出力ペアへの周波数変換が含まれます。ターゲット・リファレンス周波数は 10MHz であるのに対し、アグレッサ・リファレンス周波数は、0.5ppm ステップで±100ppm の範囲にわたってターゲット・リファレンス周波数からずれていきます。表 7 に示す値は、OUTxyP/OUTxyN 出力ペアに生じる最も厳しいスプリアスのレベルです。これはアグレッサ・リファレンス入力周波数から適切なオフセットをした周波数で測定したものです。DPLL がカップリング・スプリアスを抑制しないよう、DPLL ループ帯域幅は常に攻撃側リファレンスのオフセット周波数の 2 倍となっています。

表 7.

| Parameter                          | Min | Typ | Max | Unit |
|------------------------------------|-----|-----|-----|------|
| TARGET REFERENCE AND INPUT MODE    |     |     |     |      |
| REFA 1.2 V CMOS                    |     |     |     |      |
| Aggressor Reference and Input Mode |     |     |     |      |
| REFAA 1.2 V CMOS                   |     | -62 |     | dBc  |
| REFAA 1.8 V CMOS                   |     | -59 |     | dBc  |
| REFAA Single-Ended AC-Coupled      |     | -69 |     | dBc  |
| REFA 1.8 V CMOS                    |     |     |     |      |
| Aggressor Reference and Input Mode |     |     |     |      |
| REFAA 1.2 V CMOS                   |     | -65 |     | dBc  |
| REFAA 1.8 V CMOS                   |     | -66 |     | dBc  |
| REFAA Single-Ended AC-Coupled      |     | -67 |     | dBc  |
| REFA Single-Ended AC-Coupled       |     |     |     |      |
| Aggressor Reference and Input Mode |     |     |     |      |
| REFAA 1.2 V CMOS                   |     | -60 |     | dBc  |
| REFAA 1.8 V CMOS                   |     | -58 |     | dBc  |
| REFAA Single-Ended AC-Coupled      |     | -71 |     | dBc  |
| REFA Differential AC-Coupled       |     |     |     |      |
| Aggressor Reference and Input Mode |     |     |     |      |
| REFB Differential AC-Coupled       |     | -76 |     | dBc  |
| REFB Differential LVDS             |     | -76 |     | dBc  |
| REFBB 1.2 V CMOS                   |     | -75 |     | dBc  |
| REFBB 1.8 V CMOS                   |     | -74 |     | dBc  |
| REFBB Single-Ended AC-Coupled      |     | -76 |     | dBc  |
| REFA Differential LVDS             |     |     |     |      |
| Aggressor Reference and Input Mode |     |     |     |      |
| REFB Differential AC-Coupled       |     | -76 |     | dBc  |
| REFB Differential LVDS             |     | -76 |     | dBc  |
| REFBB 1.2 V CMOS                   |     | -76 |     | dBc  |
| REFBB 1.8 V CMOS                   |     | -75 |     | dBc  |
| REFBB Single-Ended AC-Coupled      |     | -68 |     | dBc  |
| REFAA 1.2 V CMOS                   |     |     |     |      |
| Aggressor Reference and Input Mode |     |     |     |      |
| REFB Differential AC-Coupled       |     | -76 |     | dBc  |
| REFB Differential LVDS             |     | -75 |     | dBc  |
| REFBB 1.2 V CMOS                   |     | -74 |     | dBc  |
| REFBB 1.8 V CMOS                   |     | -76 |     | dBc  |
| REFBB Single-Ended AC-Coupled      |     | -76 |     | dBc  |

| Parameter   | Min | Typ | Max | Unit |
|---|-----|-----|-----|------|
| REFAA 1.8 V CMOS  |     |     |     |      |
| Aggressor Reference and Input Mode  |     |     |     |      |
| REFB Differential AC-Coupled  |     | -76 |     | dBc  |
| REFB Differential LVDS  |     | -76 |     | dBc  |
| REFBB 1.2 V CMOS  |     | -76 |     | dBc  |
| REFBB 1.8 V CMOS  |     | -76 |     | dBc  |
| REFBB Single-Ended AC-Coupled   |     | -76 |     | dBc  |
| REFAA Single-Ended AC-Coupled   |     |     |     |      |
| Aggressor Reference and Input Mode  |     |     |     |      |
| REFB Differential AC-Coupled  |     | -75 |     | dBc  |
| REFB Differential LVDS  |     | -75 |     | dBc  |
| REFBB 1.2 V CMOS  |     | -76 |     | dBc  |
| REFBB 1.8 V CMOS  |     | -76 |     | dBc  |
| REFBB Single-Ended AC-Coupled   |     | -76 |     | dBc  |
| REFB or REFBB Using Any Single-Ended Input Mode   |     |     |     |      |
| Aggressor Reference (Not REFA or REFAA)   |     |     |     |      |
| M0, M1, M2, or M3 with VDDIOx = 1.8 V or 3.3 V; and Connected to Any Auxiliary Reference  |     | -66 |     | dBc  |
| REFBB Using Any Single-Ended Input Mode   |     |     |     |      |
| Aggressor Reference (Not REFA or REFAA)   |     |     |     |      |
| M0, M1, or M2 (Not M3) with VDDIOx = 1.8 V or 3.3 V; and Connected to Any Auxiliary Reference                                   |     | -74 |     | dBc  |
| REFB and REFBB Using Any Differential Input Mode  |     |     |     |      |
| Aggressor Reference (Not REFA or REFAA)   |     |     |     |      |
| M0, M1, M2, or M3 with VDDIOx = 1.8 V or 3.3 V; and Connected to Any Auxiliary Reference  |     | -70 |     | dBc  |
| M0 with VDDIOx = 1.8 V or 3.3 V   |     |     |     |      |
| Aggressor Reference (Not REFA or REFAA)   |     |     |     |      |
| REFB or REFBB Using Any Input Mode; or M1, M2, or M3 with VDDIOx = 1.8 V or 3.3 V; and Connected to Any Auxiliary Reference     |     | -65 |     | dBc  |
| M0 with VDDIOx = 1.8 V or 3.3 V   |     |     |     |      |
| Aggressor Reference (Not REFA or REFAA)   |     |     |     |      |
| REFB or REFBB Using Any Input Mode; or M2 or M3 (Not M1) with VDDIOx = 1.8 V or 3.3 V; and Connected to Any Auxiliary Reference |     | -70 |     | dBc  |
| M1 with VDDIOx = 1.8 V or 3.3 V   |     |     |     |      |
| Aggressor Reference (Not REFA or REFAA)   |     |     |     |      |
| REFB or REFBB Using Any Input Mode; or M0, M2, or M3 with VDDIOx = 1.8 V or 3.3 V; and Connected to Any Auxiliary Reference     |     | -68 |     | dBc  |
| M2 with VDDIOx = 1.8 V or 3.3 V   |     |     |     |      |
| Aggressor Reference (Not REFA or REFAA)   |     |     |     |      |
| REFB or REFBB Using Any Input Mode; or M1, M3, or M4 with VDDIOx = 1.8 V or 3.3 V; and Connected to Any Auxiliary Reference     |     | -67 |     | dBc  |
| M3 with VDDIOx = 1.8 V or 3.3 V   |     |     |     |      |
| Aggressor Reference (Not REFA or REFAA)   |     |     |     |      |
| REFB or REFBB Using Any Input Mode; or M0, M1, or M2 with VDDIOx = 1.8 V or 3.3 V; and Connected to Any Auxiliary Reference     |     | -69 |     | dBc  |
| M3 with VDDIOx = 3.3 V (Not 1.8 V)  |     |     |     |      |
| Aggressor Reference (Not REFA, REFAA, REFB, or REFBB)   |     |     |     |      |
| M0, M1, or M2 with VDDIOx = 3.3 V (Not 1.8 V); and Connected to Any Auxiliary Reference   |     | -80 |     | dBc  |

## REFx 間の入力タイミング・スキュー

表 8 に示す値は、REFA 入力（ベース入力）に印加されたクロック信号と、REFAA、REFB、または REFBB 入力（ターゲット入力）に印加された同じクロック信号の間の内部タイミング・スキューを示したものです。どちらのクロック信号もデバイス・ピンの位置でタイミングが一致しています。表の上部の欄は、REFA を CMOS 1.2V でのベース入力とし、REFx (x=AA、B、BB) を各種ターゲット入力設定でのターゲット入力とした場合の、REFx に対する REFA のタイミング・スキューを示したものです。表の下部の欄は、REFA を CMOS 1.2V 以外の入力設定でのベース入力とし、REFB CMOS 1.2V をターゲット入力とした場合のタイミング・スキューを示したもので、各種 REFA 入力設定に対し REFB CMOS 1.2V を共通ターゲットとしています。共通ターゲットを使用していることで、ユーザは、REFA が CMOS 1.2V 以外に設定された場合に、スキューをその他のターゲット入力に補外することができます。

表 8.

| Parameter   | Min  | Typ  | Max  | Unit |
|---|------|------|------|------|
| TIMING SKEW—REFA CMOS 1.2 V BASE REFERENCE INPUT      |      |      |      |      |
| Target Reference Input                                |      |      |      |      |
| REFAA CMOS 1.2 V                                      | -190 | -70  | +45  | ps   |
| REFAA CMOS 1.8 V                                      | -95  | +130 | +330 | ps   |
| REFAA AC-Coupled Single-Ended                         | -70  | +55  | +215 | ps   |
| REFB CMOS 1.2 V                                       | -155 | -15  | +125 | ps   |
| REFBB CMOS 1.2 V                                      | -170 | -30  | +110 | ps   |
| REFB Differential, LVDS                               | -250 | -100 | +50  | ps   |
| REFB Differential, DC-Coupled                         | -190 | +30  | +270 | ps   |
| TIMING SKEW—OTHER BASE REFERENCE INPUT CONFIGURATIONS |      |      |      |      |
| REFA CMOS 1.8 V Base Reference Input                  |      |      |      |      |
| Target Reference Input                                |      |      |      |      |
| REFB CMOS 1.2 V                                       | -180 | -5   | +155 | ps   |
| REFA AC-Coupled, Single-Ended Base Reference Input    |      |      |      |      |
| Target Reference Input                                |      |      |      |      |
| REFB CMOS 1.2 V                                       | -200 | -55  | +95  | ps   |
| REFA Differential, LVDS Base Reference Input          |      |      |      |      |
| Target Reference Input                                |      |      |      |      |
| REFB CMOS 1.2 V                                       | 40   | 195  | 340  | ps   |
| REFA Differential, DC-Coupled Base Reference Input    |      |      |      |      |
| Target Reference Input                                |      |      |      |      |
| REFB CMOS 1.2 V                                       | -145 | +85  | +285 | ps   |

## REFx と補助 REFx 間の入力タイミング・スキュー

表 9 に示す値は、REFA 入力 (CMOS 1.2V に設定) に印加されたクロック信号と、Mx ピンを介して補助 REFx に印加された同じクロック信号の間の内部タイミング・スキューを示したものです。どちらのクロック信号もデバイス・ピンの位置でタイミングが一致しています。VDDIOB は Mx ピンの電源であるため、様々な VDDIOB 電圧に対するスキュー・データも表 9 に記載されています。REFA CMOS 1.2V は、常にターゲットの Mx および補助 REFx の組み合わせに対するベース入力です。REFA に対する各種入力設定を基準とするスキュー、または、別の REFx 入力 (入力設定は様々) を基準とするスキューは、表 8 と表 9 を組み合わせることで推定することができます。スキュー・データは M0、M1、M2、M3 に対してのみ表示してあります。これらだけが、補助 REFx リファレンスを使用する際に推奨される Mx ピンであるためです。データは、VDDIOB=3.3V で動作する場合の方が、VDDIOB=1.8V または 2.5V で動作する場合より、REFx と補助 REFx との間のタイミング・スキューが小さいことを示しています。

表 9.

| Parameter            | Min  | Typ  | Max  | Unit |
|----------------------|------|------|------|------|
| INTERNAL TIMING SKEW |      |      |      |      |
| M0                   |      |      |      |      |
| VDDIOB = 1.8 V       |      |      |      |      |
| Auxiliary REF0       | 950  | 1465 | 2040 | ps   |
| Auxiliary REF1       | 845  | 1355 | 1930 | ps   |
| Auxiliary REF2       | 715  | 1240 | 1820 | ps   |
| Auxiliary REF3       | 720  | 1250 | 1835 | ps   |
| VDDIOB = 2.5 V       |      |      |      |      |
| Auxiliary REF0       | 495  | 870  | 1255 | ps   |
| Auxiliary REF1       | 380  | 760  | 1150 | ps   |
| Auxiliary REF2       | 250  | 640  | 1045 | ps   |
| Auxiliary REF3       | 255  | 655  | 1075 | ps   |
| VDDIOB = 3.3 V       |      |      |      |      |
| Auxiliary REF0       | 330  | 610  | 925  | ps   |
| Auxiliary REF1       | 215  | 505  | 820  | ps   |
| Auxiliary REF2       | 95   | 385  | 715  | ps   |
| Auxiliary REF3       | 95   | 400  | 740  | ps   |
| M1                   |      |      |      |      |
| VDDIOB = 1.8 V       |      |      |      |      |
| Auxiliary REF0       | 1000 | 1485 | 2050 | ps   |
| Auxiliary REF1       | 865  | 1355 | 1925 | ps   |
| Auxiliary REF2       | 800  | 1300 | 1885 | ps   |
| Auxiliary REF3       | 700  | 1200 | 1785 | ps   |
| VDDIOB = 2.5 V       |      |      |      |      |
| Auxiliary REF0       | 455  | 830  | 1265 | ps   |
| Auxiliary REF1       | 325  | 700  | 1135 | ps   |
| Auxiliary REF2       | 255  | 640  | 1085 | ps   |
| Auxiliary REF3       | 150  | 540  | 990  | ps   |
| VDDIOB = 3.3 V       |      |      |      |      |
| Auxiliary REF0       | 315  | 585  | 915  | ps   |
| Auxiliary REF1       | 185  | 460  | 795  | ps   |
| Auxiliary REF2       | 115  | 400  | 735  | ps   |
| Auxiliary REF3       | 35   | 310  | 635  | ps   |
| M2                   |      |      |      |      |
| VDDIOB = 1.8 V       |      |      |      |      |
| Auxiliary REF0       | 1020 | 1515 | 2075 | ps   |
| Auxiliary REF1       | 870  | 1390 | 1970 | ps   |
| Auxiliary REF2       | 825  | 1325 | 1890 | ps   |
| Auxiliary REF3       | 725  | 1235 | 1815 | ps   |

| Parameter      | Min  | Typ  | Max  | Unit |
|----------------|------|------|------|------|
| VDDIOB = 2.5 V |      |      |      |      |
| Auxiliary REF0 | 485  | 860  | 1290 | ps   |
| Auxiliary REF1 | 365  | 735  | 1160 | ps   |
| Auxiliary REF2 | 295  | 690  | 1135 | ps   |
| Auxiliary REF3 | 190  | 580  | 1025 | ps   |
| VDDIOB = 3.3 V |      |      |      |      |
| Auxiliary REF0 | 340  | 620  | 940  | ps   |
| Auxiliary REF1 | 215  | 500  | 815  | ps   |
| Auxiliary REF2 | 130  | 455  | 820  | ps   |
| Auxiliary REF3 | 35   | 340  | 680  | ps   |
| M3             |      |      |      |      |
| VDDIOB = 1.8 V |      |      |      |      |
| Auxiliary REF0 | 1095 | 1585 | 2135 | ps   |
| Auxiliary REF1 | 955  | 1460 | 2035 | ps   |
| Auxiliary REF2 | 860  | 1380 | 1970 | ps   |
| Auxiliary REF3 | 790  | 1310 | 1905 | ps   |
| VDDIOB = 2.5 V |      |      |      |      |
| Auxiliary REF0 | 550  | 945  | 1410 | ps   |
| Auxiliary REF1 | 415  | 820  | 1300 | ps   |
| Auxiliary REF2 | 340  | 750  | 1235 | ps   |
| Auxiliary REF3 | 275  | 685  | 1170 | ps   |
| VDDIOB = 3.3 V |      |      |      |      |
| Auxiliary REF0 | 370  | 705  | 1105 | ps   |
| Auxiliary REF1 | 285  | 585  | 960  | ps   |
| Auxiliary REF2 | 210  | 540  | 930  | ps   |
| Auxiliary REF3 | 145  | 485  | 890  | ps   |

リファレンス・モニタ

表 10.

| パラメータ                            | Min   | Typ                                | Max                            | 単位                        | テスト条件/コメント   |
|----------------------------------|---|------------------------------------|--------------------------------|---------------------------|--|
| REFERENCE MONITORS               |   |                                    |                                |                           |  |
| Reference Monitor                |   |                                    |                                |                           | $t_{\text{PFD}}$ は位相検出器の公称周期。 $t_{\text{PFD}} = R/f_{\text{REF}}$ で、 R は R 分周器によって決まる周波数分周係数、 $f_{\text{REF}}$ はアクティブ・リファレンスの周波数。  |
| Loss of Reference Detection Time |   | $4.9 + 0.13 \times t_{\text{PFD}}$ |                                | $\mu\text{s}$             | $t_{\text{PFD}} = R/f_{\text{REF}}$ 、 $f_{\text{REF}}$ の単位は MHz  |
| Frequency Out of Range Limit     | $5 \times 10^{-8}$                          |                                    | 0.015                          | $\Delta f/f_{\text{REF}}$ | 欠陥のないリファレンスの $f_{\text{REF}}$ からリファレンスに欠陥が生じる $f_{\text{REF}}$ までの最小偏差。システム・クロック（またはシステム・クロック補償のソース）の品質の影響を受ける下限に応じてプログラム可能。 $\Delta f = f_{\text{REF}}$ からの周波数偏差。TDC に内在するピーク・ジッタ ( $TDC_{\text{Jpk}}$ ) による誤ったリファレンス無効化を防止するためには、 $f_{\text{TDC}} < \text{閾値} \times 10^{-9}/TDC_{\text{Jpk}}$ であることが必要 ( $f_{\text{TDC}}$ は TDC 入力に印加された周波数 (閾値パラメータの詳細については、 <a href="#">リファレンス周期の閾値</a> のセクションを参照))。最小値を $5 \times 10^{-8}$ とするには $f_{\text{TDC}} < 200\text{Hz}$ であることが必要。   |
| Frequency In Range Limit         | $(5 \times 10^{-8}) \times (1 - \text{SF})$ |                                    | $0.015 \times (1 - \text{SF})$ | $\Delta f/f_{\text{REF}}$ | リファレンスに欠陥を生じる $f_{\text{REF}}$ から欠陥のないリファレンスの $f_{\text{REF}}$ までの最大偏差。システム・クロック（またはシステム・クロック補償のソース）の品質の影響を受ける下限。SF = プログラム可能なヒステリシス・スケール・ファクタ (表 54 を参照)。 $\Delta f = f_{\text{REF}}$ からの周波数偏差。TDC <sub>Jpk</sub> による誤ったリファレンス再有効化を防止するためには、 $f_{\text{TDC}} < \text{閾値} \times 10^{-9} \times \text{SF}/TDC_{\text{Jpk}}$ であることが必要 ( $f_{\text{TDC}}$ は TDC 入力に印加された周波数 (SF については <a href="#">ヒステリシスのセクション</a> を参照))。最小値を $(5 \times 10^{-8}) \times (1 - \text{SF})$ とするには $f_{\text{TDC}} < \text{SF} \times 200\text{Hz}$ であることが必要。 |
| Validation Timer                 | 0.001                                       |                                    | 1048                           | sec                       | 1ms ステップでプログラム可能。最大値は $(2^{20} - 1)$ ms。   |
| Excessive Jitter Alarm Threshold | 1   |                                    | 65,535                         | ns                        | 1ns ステップでプログラム可能   |

分配クロック出力

表 11.

| パラメータ                                    | Min       | Typ       | Max               | 単位 | テスト条件/コメント   |
|--|-----------|-----------|-------------------|----|--|
| <b>DIFFERENTIAL MODE</b>                 |           |           |                   |    |  |
| Output Frequency                         |           |           |                   |    | すべてのテストは AC カップリングおよび DC カップリングされている。<br>周波数範囲はドライバ機能によって決定。実際の周波数合成は APLL VCO の周波数範囲によって制限されることがある。 |
| CML                                      | 1         |           | $500 \times 10^6$ | Hz | 図 40 に従って終端  |
| High Speed Current Steering Logic (HCSL) | 1         |           | $500 \times 10^6$ | Hz | 図 39 に従って終端  |
| Differential Output Voltage Swing        |           |           |                   |    | 静的ドライバ出力で測定した出力ピン間の電圧。差動出力のピーク to ピーク振幅は、ドライバがトグルし、差動プローブを使用して測定される場合に示す値の 2 倍。                      |
| Output Current = 7.5 mA                  |           |           |                   |    |  |
| HCSL                                     | 312       | 368       | 402               | mV | 図 39 に従って終端  |
| CML                                      | 257       | 348       | 408               | mV | 図 40 に従って VDD (公称 1.8V) に終端  |
| Output Current = 15 mA                   |           |           |                   |    |  |
| HCSL                                     | 631       | 745       | 809               | mV | 図 39 に従って終端  |
| CML                                      | 578       | 729       | 818               | mV | 図 40 に従って VDD (公称 1.8V) に終端  |
| Common-Mode Output Voltage               |           |           |                   |    |  |
| Output Current = 7.5 mA                  |           |           |                   |    |  |
| HCSL                                     | 155       | 184       | 201               | mV | 図 39 に従って終端  |
| CML                                      | VDD - 208 | VDD - 188 | VDD - 169         | mV | 図 40 に従って VDD (公称 1.8V) に終端 (最大コモンモード電圧となる状況は最小振幅時に発生)。  |
| Output Current = 15 mA                   |           |           |                   |    |  |
| HCSL                                     | 316       | 372       | 405               | mV | 図 39 に従って終端  |
| CML                                      | VDD - 416 | VDD - 371 | VDD - 327         | mV | 図 40 に従って VDD (公称 1.8V) に終端 (最大コモンモード電圧となる状況は最小振幅時に発生)。  |
| Rise/Fall Time                           |           |           |                   |    | 立上がり/立下がり時間は 50MHz の出力信号で測定 (寄生負荷 $\approx 5\text{pF}$ )。  |
| HCSL                                     |           |           |                   |    |  |
| 7.5 mA Drive Current                     |           | 228       | 342               | ps |  |
| 15 mA Drive Current                      |           | 218       | 340               | ps |  |
| CML                                      |           |           |                   |    |  |
| 7.5 mA Drive Current                     |           | 205       | 323               | ps |  |
| 15 mA Drive Current                      |           | 185       | 303               | ps |  |
| Duty Cycle                               |           |           |                   |    |  |
| HCSL                                     |           |           |                   |    |  |
| Frequency with 7.5 mA Drive Current      |           |           |                   |    |  |
| $\leq 100$ MHz                           | 47.5      | 50        | 52.5              | %  |  |
| 500 MHz                                  | 43.8      | 50        | 55                | %  |  |
| Frequency with 15 mA Drive Current       |           |           |                   |    |  |
| $\leq 100$ MHz                           | 47.5      | 50        | 52.5              | %  |  |
| 500 MHz                                  | 46.5      | 50        | 52.5              | %  |  |
| CML                                      |           |           |                   |    |  |
| Frequency with 7.5 mA Drive Current      |           |           |                   |    |  |
| $\leq 100$ MHz                           | 47.5      | 50        | 52.5              | %  |  |
| 500 MHz                                  | 45        | 50        | 55                | %  |  |
| Frequency with 15 mA Drive Current       |           |           |                   |    |  |
| $\leq 100$ MHz                           | 47.5      | 50        | 52.5              | %  |  |
| 500 MHz                                  | 45        | 50        | 54                | %  |  |

| パラメータ                                | Min       | Typ       | Max               | 単位 | テスト条件/コメント  |
|--------------------------------------|-----------|-----------|-------------------|----|---|
| SINGLE-ENDED MODE                    |           |           |                   |    |   |
| Output Frequency                     | 1         |           | $500 \times 10^6$ | Hz | 周波数範囲はドライバ機能によって決定。実際の周波数合成はAPLL VCOの周波数範囲によって制限されることがある。 |
| Output Current = 12.5 mA             |           |           |                   |    |   |
| Voltage Swing (Peak to Peak)         |           |           |                   |    |   |
| HCSL Driver Mode                     | 509       | 584       | 634               | mV | 各出力は50Ωの負荷抵抗 ( $R_L$ ) を使用し、図44に従って終端。                    |
| CML Driver Mode                      | 456       | 565       | 644               | mV | 各出力は、50Ωの $R_L$ をグラウンドではなく VDD (公称値 1.8V) に接続し、図44に従って終端。 |
| Voltage Swing Midpoint               |           |           |                   |    |   |
| HCSL Driver Mode                     | 255       | 292       | 317               | mV | 各出力は50Ωの $R_L$ を使用し、図44に従って終端。                            |
| CML Driver Mode                      | VDD - 325 | VDD - 291 | VDD - 266         | mV | 各出力は、50Ωの $R_L$ をグラウンドではなく VDD (公称値 1.8V) に接続し、図44に従って終端。 |
| Output Current = 15 mA               |           |           |                   |    |   |
| Voltage Swing (Peak to Peak)         |           |           |                   |    |   |
| HCSL Driver Mode                     | 645       | 734       | 796               | mV | 各出力は50Ωの $R_L$ を使用し、図44に従って終端。                            |
| CML Driver Mode                      | 589       | 721       | 815               | mV | 各出力は、50Ωの $R_L$ をグラウンドではなく VDD (公称値 1.8V) に接続し、図44に従って終端。 |
| Voltage Swing Midpoint               |           |           |                   |    |   |
| HCSL Driver Mode                     | 322       | 367       | 398               | mV | 各出力は50Ωの $R_L$ を使用し、図44に従って終端。                            |
| CML Driver Mode                      | VDD - 411 | VDD - 367 | VDD - 334         | mV | 各出力は、50Ωの $R_L$ をグラウンドではなく VDD (公称値 1.8V) に接続し、図44に従って終端。 |
| Rise/Fall Time                       |           |           |                   |    |   |
| HCSL                                 |           |           |                   |    |   |
| 12.5 mA Drive Current                |           | 183       | 367               | ps |   |
| 15 mA Drive Current                  |           | 181       | 348               | ps |   |
| CML                                  |           |           |                   |    |   |
| 12.5 mA Drive Current                |           | 178       | 353               | ps |   |
| 15 mA Drive Current                  |           | 183       | 393               | ps |   |
| Duty Cycle                           |           |           |                   |    |   |
| HCSL                                 |           |           |                   |    |   |
| Frequency with 12.5 mA Drive Current |           |           |                   |    |   |
| 50 MHz                               | 46.5      | 49        | 51.5              | %  |   |
| 100 MHz                              | 43.8      | 48.5      | 53.8              | %  |   |
| 500 MHz                              | 36.2      | 42        | 47.8              | %  |   |
| Frequency with 15 mA Drive Current   |           |           |                   |    |   |
| 50 MHz                               | 46.5      | 49        | 51.5              | %  |   |
| 100 MHz                              | 46.5      | 49        | 51.3              | %  |   |
| 500 MHz                              | 38        | 43.5      | 50                | %  |   |
| CML                                  |           |           |                   |    |   |
| Frequency with 12.5 mA Drive Current |           |           |                   |    |   |
| 50 MHz                               | 48.5      | 51        | 53.5              | %  |   |
| 100 MHz                              | 49        | 51.5      | 54                | %  |   |
| 500 MHz                              | 50        | 58        | 63                | %  |   |
| Frequency with 15 mA Drive Current   |           |           |                   |    |   |
| 50 MHz                               | 48.5      | 51        | 53.5              | %  |   |
| 100 MHz                              | 49        | 51.5      | 54                | %  |   |
| 500 MHz                              | 50        | 57.5      | 62.5              | %  |   |



## 出力間のタイミング・スキュー

表 12 の値は、基本出力のクロック・エッジを基準とするターゲット出力のクロック・エッジの時間オフセットを示しています。f<sub>REF</sub> = 25MHz。f<sub>REF</sub> は単一のリファレンス入力に印加され、そのリファレンスがデジタル・フェーズ・ロック・ループ 0 (DPLL0) とデジタル・フェーズ・ロック・ループ 1 (DPLL1) に割り当てられます。DPLL1 と DPLL0 はゼロ遅延で動作します (ヒットレス・モード)。PLL0 と PLL1 は、すべての出力について OUT<sub>xy</sub>P ピンと OUT<sub>xy</sub>N ピンの周波数 (f<sub>OUT<sub>xy</sub></sub>) が f<sub>REF</sub> となるよう、周波数変換されます。

表 12.

| Parameter                        | Min  | Typ | Max  | Unit |
|----------------------------------|------|-----|------|------|
| TARGET OUTPUT <sup>1</sup>       |      |     |      |      |
| OUT1A Differential CML           |      |     |      |      |
| Base Output OUT0A                |      |     |      |      |
| Differential CML                 | -21  | +53 | +123 | ps   |
| Differential HCSL                | -89  | -36 | +14  | ps   |
| OUT1A Differential HCSL          |      |     |      |      |
| Base Output OUT0A                |      |     |      |      |
| Differential CML                 | 3    | 83  | 174  | ps   |
| Differential HCSL                | -61  | -5  | +50  | ps   |
| OUT1A Single-Ended CML           |      |     |      |      |
| Base Output OUT0A                |      |     |      |      |
| Differential CML                 | -24  | +48 | +109 | ps   |
| Differential HCSL                | -120 | -43 | +25  | ps   |
| Single-Ended CML                 | -18  | +63 | +123 | ps   |
| Single-Ended HCSL                | -132 | -56 | +8   | ps   |
| OUT1A Single-Ended HCSL          |      |     |      |      |
| Base Output OUT0A                |      |     |      |      |
| Differential CML                 | 93   | 175 | 254  | ps   |
| Differential HCSL                | 16   | 84  | 190  | ps   |
| Single-Ended CML                 | 92   | 191 | 282  | ps   |
| Single-Ended HCSL                | 0    | 77  | 134  | ps   |
| OUT0B or OUT0C Differential CML  |      |     |      |      |
| Base Output OUT0A                |      |     |      |      |
| Differential CML                 | 37   | 60  | 97   | ps   |
| Differential HCSL                | -67  | -30 | +2   | ps   |
| OUT0B or OUT0C Differential HCSL |      |     |      |      |
| Base Output OUT0A                |      |     |      |      |
| Differential CML                 | 53   | 87  | 118  | ps   |
| Differential HCSL                | -25  | -3  | +22  | ps   |
| OUT0B or OUT0C Single-Ended CML  |      |     |      |      |
| Base Output OUT0A                |      |     |      |      |
| Differential CML                 | 15   | 44  | 66   | ps   |
| Differential HCSL                | -84  | -48 | -21  | ps   |
| Single-Ended CML                 | 37   | 67  | 98   | ps   |
| Single-Ended HCSL                | -100 | -53 | -24  | ps   |
| OUT0B or OUT0C Single-Ended HCSL |      |     |      |      |
| Base Output OUT0A                |      |     |      |      |
| Differential CML                 | 135  | 175 | 212  | ps   |
| Differential HCSL                | 53   | 80  | 112  | ps   |
| Single-Ended CML                 | 162  | 198 | 273  | ps   |
| Single-Ended HCSL                | 46   | 79  | 104  | ps   |

<sup>1</sup> OUT<sub>xy</sub> は、出力 xy (x は 0 または 1、y は A、B、または C) を意味します。出力ドライバの詳細については、[分配クロック出力ドライバの概要](#)のセクションを参照してください。

## Mx ピンと OUTxyP/OUTxyN ピンの間の出力タイミング・スキュー

補助 NCO を DPLL の 1 つへのリファレンス入力として使用し、同時に Mx ピンを補助 NCO の出力として使用する場合、Mx ピンと OUTxyP/OUTxyN ピンの間のタイミング・スキューが重要となります（補助 NCO のセクションおよびステータス/制御ピンのセクションを参照してください）。表 13 に示したデータを取得するため、補助 NCO を DPLL0 および DPLL1 へのリファレンス入力として使用し、フェーズ・ロック・ループ（PLL）チャンネルはどちらも補助 NCO から分配出力へ 1:1 の周波数変換を行うようなデバイス設定としています。補助 NCO 出力は、ステータス出力として設定されている Mx ピンの 1 つにルーティングします。1:1 の周波数変換が行われるため、Mx ピンの出力信号と OUTxyP/OUTxyN 出力信号の周波数は同じです。表 13 のデータは、OUT0AP ピン、OUT0AN ピン、OUT1AP ピン、または OUT1AN ピンと、補助 NCO 出力信号を搬送する Mx ピンとの間のタイミング・スキューを示すものです。補助 NCO には約 1.25ns の量子化時間があり、表 13 にまとめられたデータは量子化の変動を平均化したものである点に注意してください。

表 13.

| Parameter                                     | Min | Typ   | Max | Unit |
|---|-----|-------|-----|------|
| TIMING SKEW BETWEEN Mx AND OUT0AP/OUT0AN PINS |     |       |     |      |
| VDDIOA and VDDIOB Supply Voltage              |     |       |     |      |
| 1.8 V   |     | -5.5  |     | ns   |
| 2.5 V   |     | -5.15 |     | ns   |
| 3.3 V   |     | -5.0  |     | ns   |

## デジタル機能の所要時間

表 14.

| パラメータ   | Min | Typ | Max | 単位               | テスト条件/コメント   |
|---|-----|-----|-----|------------------|--|
| TIME DURATION OF DIGITAL FUNCTIONS  |     |     |     |                  |  |
| EEPROM to Register Download Time  |     | 10  |     | ms               | 表 4 に示す代表的な設定の条件を使用  |
| Power-On Reset (POR)  |     |     | 25  | ms               | 電源が 80%を超えてから内部リセットが解除されるまでの時間   |
| Mx Pin to RESETB Rising Edge Setup Time                                       |     |     | 1   | ns               | Mx はピン M0～ピン CSB/M6 を指す。   |
| Mx Pin to RESETB Rising Edge Hold Time  |     |     | 2   | ns               |  |
| Multiple Mx Pin Timing Skew   |     |     | 39  | ns               | マルチビット Mx ピン機能にのみ該当  |
| RESETB Falling Edge to Mx Pin High-Z Time                                     |     |     | 14  | ns               |  |
| Time from Release of Power-Down to Completion of System Clock PLL Calibration |     | 170 |     | μs               | ユーザ設定可能なシステム・クロック安定タイマー（デフォルト値は 50ms）に関連する遅延時間を除く  |
| Time from Release of Power-Down to System Clock PLL Locked and Calibrated     |     | 172 |     | μs               | ユーザ設定可能なシステム・クロック安定タイマー（デフォルト値は 50ms）に関連する遅延時間を除く  |
| Time for APLLx to Calibrate and Lock  |     | 5   |     | ms               | IO の更新をアサート（レジスタ 0x2100 やレジスタ 0x2200 のビット 1 = 1）してから APLLx のステータスがキャリブレーション済みまたはロック済みとなるまでの時間。表 4 に示す代表的な設定の条件を使用。システム・クロックの PLL がロックされ安定しており、DPLLx がフェーズ・ロックされていることが前提条件。   |
| TIME FROM START OF DPLL ACTIVATION TO ACTIVE PHASE DETECTOR OUTPUT            |     |     |     |                  |  |
| Untagged Operation  |     |     | 10  | t <sub>PFD</sub> | t <sub>PFD</sub> = R/f <sub>REF</sub> で、R は R 分周器によって決まる周波数分周係数、f <sub>REF</sub> はアクティブ・リファレンスの周波数。  |
| Tagged Operation  |     |     | 10  | Tag period       | タグ周期 = (タグ比/f <sub>TAG</sub> ) で、f <sub>TAG</sub> は f <sub>REF</sub> (タグ付けされたリファレンス・モードの場合) または DPLLx の帰還周波数 f <sub>FEEDBACK</sub> (その他すべてのタグ付けされたモードの場合)、タグ比は f <sub>TAG</sub> の選択 (f <sub>REF</sub> または f <sub>FEEDBACK</sub> ) に対応。 |

## DPLL0 および DPLL1 の仕様

表 15.

| パラメータ   | Min    | Typ  | Max             | 単位      | テスト条件/コメント  |
|---|--------|------|-----------------|---------|---|
| DPLL  |        |      |                 |         |   |
| Digital Phase Detector (DPD)<br>Input Frequency Range | 1      |      | $2 \times 10^5$ | Hz      |   |
| Loop Filter<br>Profile 0                              |        |      |                 |         |   |
| Bandwidth   | 0.0001 |      | 1850            | Hz      | プログラマブルな設計パラメータ。(f <sub>FPD</sub> /帯域幅) ≥ 20  |
| Phase Margin  |        | 70   |                 | Degrees |   |
| Closed-Loop Peaking                                   |        | 1.1  |                 | dB      |   |
| Profile 1   |        |      |                 |         |   |
| Bandwidth   | 0.0001 |      | 305             | Hz      | プログラマブルな設計パラメータ。(f <sub>FPD</sub> /帯域幅) ≥ 20  |
| Phase Margin  |        | 88.5 |                 | Degrees |   |
| Closed-Loop Peaking                                   |        |      | 0.1             | dB      | Telcordia GR-253 ジッタ転送仕様に対応   |
| DPLL NCO DIVISION RATIO                               |        |      |                 |         | これらの仕様は DPLLx のフリーラン・チューニング・ワード (FTW0) に対する制限をカバーします。AD9546 評価用ソフトウェアの周波数プランニング・ウィザードはこれらの値をユーザーのために自動設定します。AD9546 評価用ソフトウェアは AD9546 製品ページ ( <a href="http://www.analog.com/jp/AD9546">www.analog.com/jp/AD9546</a> ) からダウンロードできます。NCO の分周 = $2^{48}/\text{FTW0}$ で、INT.FRAC の形式を取ります (INT は整数部、FRAC は小数部)。 |
| NCO Integer   | 7      |      | 13              |         | NCO の分周の整数部   |
| NCO Fraction  | 0.05   |      | 0.95            |         | NCO の分周の小数部   |

## DPLL ロック検出仕様

表 16.

| パラメータ                       | Min | Typ | Max          | 単位 | テスト条件/コメント                 |
|-----------------------------|-----|-----|--------------|----|----------------------------|
| PHASE LOCK DETECTOR         |     |     |              |    |                            |
| Threshold Programming Range | 10  |     | $2^{24} - 1$ | ps |                            |
| Threshold Resolution        |     | 1   |              | ps |                            |
| FREQUENCY LOCK DETECTOR     |     |     |              |    |                            |
| Threshold Programming Range | 10  |     | $2^{24} - 1$ | ps |                            |
| Threshold Resolution        |     | 1   |              | ps |                            |
| PHASE STEP DETECTOR         |     |     |              |    |                            |
| Threshold Programming Range | 100 |     | $2^{32} - 1$ | ps | この値の設定が低すぎるとトリガ・エラーの原因となる。 |
| Threshold Resolution        |     | 1   |              | ps |                            |

## DPLL の位相特性

表 17.

| パラメータ                                | Min   | Typ | Max  | 単位     | テスト条件/コメント  |
|--------------------------------------|-------|-----|------|--------|---|
| MAXIMUM OUTPUT PHASE<br>PERTURBATION |       |     |      |        | ジッタのないリファレンスが前提。Telcordia GR-1244<br>の条件に適合。リファレンス間の周波数差は 0ppm。リ<br>ファレンス・スイッチはアクティブ・リファレンス入<br>力をフォールトすることによりレジスタ・マップを介<br>して起動 (UG-1793 を参照)。<br>50Hz DPLL ループ帯域幅。通常位相マージン・モー<br>ド。周波数変換は 19.44MHz~155.52MHz。システム・<br>クロック源には 49.152MHz の信号発生器を使用。<br>50Hz DPLL ループ帯域幅。高位相マージン・モード。<br>位相微調整反復数 = 4。周波数変換は 19.44MHz~<br>155.52MHz。システム・クロック源には 49.152MHz の<br>信号発生器を使用。 |
| Phase Refinement Disabled            |       |     |      |        |   |
| Peak                                 |       | ±20 | ±175 | ps     |   |
| Steady State                         |       |     |      |        |   |
| Phase Buildout Operation             |       | ±18 | ±160 | ps     |   |
| Hitless Operation                    |       | 0   |      | ps     |   |
| Phase Refinement Enabled             |       |     |      |        |   |
| Peak                                 |       | ±5  | ±44  | ps     |   |
| Steady State                         |       |     |      |        |   |
| Phase Buildout Operation             |       | ±4  | ±43  | ps     |   |
| Hitless Operation                    |       | 0   |      | ps     |   |
| PHASE SLEW LIMITER                   | 0.001 |     | 250  | μs/sec | AN-1420 アプリケーション・ノート、 <i>Phase Buildout and Hitless Switchover with Digital Phase-Locked Loops (DPLLs)</i> を参照。   |

## DPLL 伝搬遅延

DPLL 伝搬遅延は、REFA 入力 (1.2V CMOS モード) を基準とした出力 (OUTxyP/OUTxyN) でのクロック・エッジ・タイミングの差です。エッジ・タイミング測定を実施するために、DPLL は内部ゼロ遅延 (ヒットレス) で 1:1 の周波数変換比 ( $f_{REF} = f_{OUT} = 10\text{MHz}$ ) に設定されています。遅延補償はアクティブではありません (遅延補償のセクションを参照)。

絶対遅延の値は、Q 分周器 QxA を DPLLx の帰還として使用しています (x は 0 または 1)。データは、様々な出力ドライバ設定 (シングルエンド、差動)、ドライバ・モード (HCSL、CML)、ドライバ出力電流での伝搬遅延を示しています。また、データは、DPLL 帰還用に使用されるものではない Q 分周器に伴う出力に対する伝搬遅延も示しています。更に、DPLL0 ではなく DPLL1 を使用した場合の遅延データも取得しています。

相対遅延の値は、他の Q 分周器を DPLL 帰還に使用した場合の影響を示します (DPLLx 用 QxA に対する相対値、x は 0 または 1)。

1.2V CMOS 以外のリファレンス入力モードを使用した場合の伝搬遅延の変化については、表 8 を参照してください。

表 18.

| パラメータ                       | Min  | Typ  | Max  | 単位 | テスト条件/コメント                                    |
|-----------------------------|------|------|------|----|---|
| ABSOLUTE DELAY              |      |      |      |    |   |
| REFA to OUT0AP              |      |      |      |    | Q0A = DPLL0 帰還。ドライバ出力 = シングルエンド               |
| CML at 12.5 mA              | 1055 | 1265 | 1430 | ps |   |
| CML at 15 mA                | 1065 | 1270 | 1430 | ps |   |
| HCSL at 12.5 mA             | 1180 | 1385 | 1550 | ps |   |
| HCSL at 15 mA               | 1145 | 1345 | 1515 | ps |   |
| REFA to OUT0AN              | 1185 | 1390 | 1565 | ps | ドライバ出力 = シングルエンド HCSL (15mA 時)                |
| REFA to OUT0A <sup>1</sup>  |      |      |      |    | ドライバ出力 = 差動                                   |
| CML at 7.5 mA               | 805  | 1000 | 1180 | ps |   |
| CML at 15 mA                | 760  | 955  | 1130 | ps |   |
| HCSL at 7.5 mA              | 845  | 1030 | 1200 | ps |   |
| HCSL at 15 mA               | 785  | 975  | 1155 | ps |   |
| REFA to OUT0B <sup>1</sup>  | 770  | 960  | 1140 | ps | ドライバ出力 = 差動 HCSL (15mA 時)                     |
| REFA to OUT0C <sup>1</sup>  | 785  | 970  | 1145 | ps | ドライバ出力 = 差動 HCSL (15mA 時)                     |
| REFA to OUT1AP              | 1150 | 1370 | 1565 | ps | Q1A = DPLL1 帰還。ドライバ出力 = シングルエンド HCSL (15mA 時) |
| REFA to OUT1A <sup>1</sup>  | 810  | 985  | 1140 | ps | ドライバ出力 = 差動 HCSL (15mA 時)                     |
| REFA to OUT1B <sup>1</sup>  | 740  | 970  | 1180 | ps | ドライバ出力 = 差動 HCSL (15mA 時)                     |
| RELATIVE DELAY <sup>2</sup> |      |      |      |    | Q0A (PLL0) または Q1A (PLL1) を基準                 |
| QxAA                        |      | 14   |      | ps |   |
| QxB                         |      | 9    |      | ps |   |
| QxBB                        |      | 23   |      | ps |   |
| Q0C                         |      | 36   |      | ps |   |
| Q0CC                        |      | 50   |      | ps |   |

<sup>1</sup> OUTxy は、出力 xy (x は 0 または 1、y は A、B、または C) を意味します。出力ドライバの詳細については、分配クロック出力ドライバの概要のセクションを参照してください。

<sup>2</sup> Qxy は、クロック分配セクションの特定の Q 分周器を指します (x は 0 または 1、y は AA、B、BB、C、または CC)。

## DPLL 伝搬遅延の変動

AD9546 の PLL チャンネルには、固有の伝搬遅延があります（表 18 を参照）。この遅延は、デバイスのソース・プロファイルのスキュー調整機能を使用して公称上のオフセットを行うことができます。温度変化に比例する動的な変動は、AD9546 の遅延補償メカニズムを使用して緩和できます。

温度係数がプログラマブルな多項式（遅延補償のセクションを参照）によって、遅延補償回路の応答が決まります。多項式関数の反数は、未補償の遅延変動測定に最適適合アルゴリズムを適用して得ることができます。アクティブな遅延補償では、温度に対する遅延変動を相殺するために反数多項式を使用します。2 次の多項式で、表 19 に示す遅延補償のない測定データは様々なデバイス設定の 1 次の項を表します。逆係数をプログラムして同じ測定を繰り返すと、表 19 の遅延補償を持つ仕様での残留遅延の傾きが得られます。関連するプロットについては図 25 と図 26 を参照してください。

表 19 にまとめられた遅延補償のあるデータは、同じ遅延補償係数を用いてプログラムされたいくつかのデバイスの平均を表しています。表にまとめられている残留誤差は、個別のデバイスに対して最適化した係数から期待される値より大きくなっています。

DPLL 伝搬遅延の変動結果は、1:1 の周波数変換比 ( $f_{REF} = f_{OUT} = 10\text{MHz}$ )、リファレンス入力を 1.2V CMOS、DPLL をゼロ遅延（ヒットレス）に設定したデバイスに依存します。 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$  のダイ温度範囲は、未補償の結果と補償済みの結果の両方に適用されます。

表 19.

| Parameter                  | Min | Typ     | Max | Unit  |
|----------------------------|-----|---------|-----|-------|
| OUTPUT DRIVER MODE         |     |         |     |       |
| Differential               |     |         |     |       |
| CML                        |     |         |     |       |
| Without Delay Compensation |     | 0.517   |     | ps/°C |
| With Delay Compensation    |     | -0.0155 |     | ps/°C |
| HCSL                       |     |         |     |       |
| Without Delay Compensation |     | 0.624   |     | ps/°C |
| With Delay Compensation    |     | -0.0253 |     | ps/°C |
| Single-Ended               |     |         |     |       |
| CML                        |     |         |     |       |
| Without Delay Compensation |     | 0.681   |     | ps/°C |
| With Delay Compensation    |     | 0.0208  |     | ps/°C |
| HCSL                       |     |         |     |       |
| Without Delay Compensation |     | 0.861   |     | ps/°C |
| With Delay Compensation    |     | 0.0288  |     | ps/°C |

## ホールドオーバー仕様

表 20.

| パラメータ   | Min   | Typ   | Max     | 単位  | テスト条件/コメント   |
|---|-------|-------|---------|-----|--|
| HOLDOVER SPECIFICATIONS                               |       |       |         |     |  |
| Initial Frequency Accuracy                            |       | ±0.01 | ±0.1    | ppb | AD9546 は表 37 のデバイス設定 1 を使用して設定。SYSCLK ソースの周波数ドリフトを除く。ホールドオーバーに入る前の入力リファレンスの周波数ドリフトを除く。160ms 履歴タイマー。履歴ホールドオフ設定は 8 (10 進数) (レジスタ 0x1010 とレジスタ 0x1410)。以下の 3 つの機能 (ビット) はロジック 1 : レジスタ 0x100E とレジスタ 0x140E のビット 4、レジスタ 0x100E とレジスタ 0x140E のビット 3、レジスタ 0x100E とレジスタ 0x140E のビット 5 |
| Relative Frequency Accuracy Between Channels          |       |       |         | ppb |  |
| Cascaded DPLL Operation<br>Noncascaded DPLL Operation |       | <1    | 0       | ppb |  |
| History Averaging Window                              | 0.001 |       | 26,8435 | sec | $f_{OSC} = 52\text{MHz}$ (安定した外部発振器)。 $f_{OUT} = 155.52\text{MHz}$ 。 $f_{REF} = 38.88\text{MHz}$ 。DPLL ループ帯域幅 = 50Hz。DPLL 履歴積算タイマー = 1ms。DPLL 履歴ホールドオフ値 = 1  |

## アナログ PLL (APLL0 および APLL1) 仕様

表 21.

| Parameter                 | Min  | Typ | Max  | Unit    |
|---------------------------|------|-----|------|---------|
| VCO FREQUENCY RANGE       |      |     |      |         |
| Analog PLL0 (APLL0)       | 2424 |     | 3232 | MHz     |
| Analog PLL1 (APLL1)       | 3232 |     | 4040 | MHz     |
| PFD INPUT FREQUENCY RANGE | 162  |     | 350  | MHz     |
| LOOP BANDWIDTH            |      | 260 |      | kHz     |
| PHASE MARGIN              |      | 68  |      | Degrees |

## 出力チャンネル分周器仕様

表 22.

| パラメータ   | Min                    | Typ | Max          | 単位        | テスト条件/コメント   |
|---|------------------------|-----|--------------|-----------|--|
| OUTPUT PHASE ADJUST STEP SIZE                             | 1                      |     |              | $t_{VCO}$ | VCO 時間周期 ( $t_{VCO} = 1 / (\text{APLLx VCO 周波数})$ ) ( $x = 0$ または 1)   |
| MODULATOR   |                        |     |              |           |  |
| Carrier Frequency   |                        |     | $f_{VCO}/16$ | Hz        | 最大値は APLLx VCO ( $x = 0$ または 1) 周波数を 16 で除した値。 $f_{VCO}$ は VCO 周波数。  |
| Time Deviation (from Nominal Duty Cycle of Carrier Clock) | 0                      |     | $2^{16} - 1$ | $t_{VCO}$ | $t_{VCO} = 1 / (\text{APLLx VCO 周波数})$ ( $x = 0$ または 1)。最大値は $Q_{xy}$ の分周比 - 1 に制限。 $Q_{xy}$ は各出力での分配分周器を指す ( $x$ は 0 (PLL0 の場合) または 1 (PLL1 の場合)、 $y$ は A、B、または C)。 |
| Embedded Frequency  | $f_{OUT}/(2^{28} - 1)$ |     | $f_{OUT}/6$  | Hz        | $f_{OUT}$ は出力周波数   |

## 時間デジタル・コンバータ仕様

表 23.

| パラメータ                                   | Min | Typ | Max | 単位  | テスト条件/コメント                                       |
|---|-----|-----|-----|-----|--|
| TDCs                                    |     |     |     |     |  |
| Frequency Range                         |     |     | 200 | kHz |  |
| Pulse Width                             | 5   |     |     | ns  |  |
| Time Stamp Jitter                       |     |     |     |     |  |
| Root Mean Square (TDC <sub>Jrms</sub> ) |     | 5   | 11  | ps  |  |
| Peak (TDC <sub>Jpk</sub> )              |     |     | 250 | ps  |  |
| Retrigger Blackout Period               | 4.9 |     |     | μs  | TDC 入力部での連続する立上がりエッジの間隔                          |
| Start-Up Time                           |     | 6   |     | ms  | システム・クロック PLL がロックした後、TDC がタイム・スタンプを作成するまでに必要な時間 |

## 補助 NCO 仕様

表 24.

| パラメータ                 | Min  | Typ | Max             | 単位  | テスト条件/コメント                             |
|-----------------------|------|-----|-----------------|-----|--|
| NCOs                  |      |     |                 |     |  |
| 補助 NCO 0 および補助 NCO 1  |      |     |                 |     |  |
| Fundamental Frequency |      |     |                 |     |  |
| Range                 | 1    |     | 65,535          | Hz  |  |
| Quantization          | 1.27 |     | 1.37            | pHz | pHz はピコヘルツ                             |
| Phase Slew Limiter    | 5    |     | 2 <sup>32</sup> | ppb | 実際の単位は小数部 (理想状態) / 実際のユニット・インターバル (UI) |
| Output Signal         |      |     |                 |     |  |
| Pulse Width           | 38   |     |                 | ns  |  |
| Duty Cycle            | 45   |     | 55              | %   | デバイスは 50% の公称パルス幅を生成するようプログラムされていると仮定  |
| Quantization          |      |     | 1.4             | ns  |  |

## 共通クロック DPLL 仕様

表 25.

| パラメータ                            | Min | Typ                  | Max    | 単位 | テスト条件/コメント   |
|----------------------------------|-----|----------------------|--------|----|--|
| PHASE LOCK DETECTOR              |     |                      |        |    |  |
| Threshold Programming Range      | 0   |                      | 65,535 | ps | 10ps 未満のプログラム値は推奨しない。  |
| Threshold Resolution             |     | 1                    |        | ps |  |
| Post Detection Delay Range       | 0   |                      | 65,535 | ms |  |
| REFERENCE MONITOR                |     |                      |        |    |  |
| Loss of Reference Detection Time |     | 2 × t <sub>PFD</sub> |        | μs | t <sub>PFD</sub> = R/f <sub>REF</sub> 、R はリファレンス入力分周比、f <sub>REF</sub> はリファレンス入力周波数 (MHz)。 |
| Input Period Deviation Limit     |     |                      | 3.125  | %  | リファレンスの周期 t <sub>REF</sub> のプログラム値を基準とする。  |
| Reference Validation Delay       |     | 2                    |        | ms | 共通クロック DPLL の二次周波数ソースにのみ適用 (共通クロック・リファレンス・スイッチオーバーのセクションを参照)。                              |



## 共通クロック・シンクロナイザ (CCS) 仕様

表 26.

| パラメータ                         | Min   | Typ  | Max     | 単位     | テスト条件/コメント  |
|-------------------------------|-------|------|---------|--------|---|
| ABSOLUTE LATENCY              |       |      |         |        | 入出力 (IO) の更新 (レジスタ 0x000F のビット 0) をアサートしてから CSS が準備完了ステータスとなるまでの時間 (IO 更新をアサートすると時間値が挿入される。図 51 の同期時間入力を参照) |
| Fractional Seconds Format     |       |      | 1       | μs     |   |
| PTP Format                    |       |      | 3       | μs     |   |
| BLACKOUT PERIOD               | 10    |      |         | μs     | 入力同期イベント (図 51 の同期入力を参照) をアサートしてから IO 更新がアサートされ時間値が挿入 (図 51 の同期時間入力を参照) されるまでの時間間隔                          |
| GUARD PARAMETERS              |       |      |         |        | 最小値は最大量ガードがディスエーブルされている場合に該当。最大値は $(2^{20} - 1) \times 2^{-40}$ 秒   |
| Maximum Magnitude Guard Range | 0     |      | 953     | ns     |   |
| Resolution                    |       | 909  |         | fs     |   |
| Latency Guard Range           | 0     |      | 0.99998 | sec    |   |
| Resolution                    |       | 15.3 |         | μs     | $2^{-16}$ 秒   |
| SLEW LIMITER                  |       |      |         |        | 最小値はスルー・リミッタがディスエーブルされている場合に該当。最大値は $(2^{24} - 1) \times 2^{-36}$ 秒。  |
| Range                         | 0     |      | 244     | μs/sec |   |
| Resolution                    |       | 14.6 |         | ps/sec | $2^{-36}$ 秒/秒   |
| TIME OFFSET                   |       |      |         |        | 最小値は $-2^{-17}$ 秒。最大値は $(2^{31} - 1) \times 2^{-48}$ 秒。   |
| Range                         | -7.63 |      | +7.63   | μs     |   |
| Resolution                    |       | 3.55 |         | fs     | $2^{-48}$ 秒   |
| TIME SKEW                     |       |      |         |        | 最小値は $-2^{-25}$ 秒。最大値は $(2^{23} - 1) \times 2^{-48}$ 秒  |
| Range                         | -29.8 |      | +29.8   | ns     |   |
| Resolution                    |       | 3.55 |         | fs     | $2^{-48}$ 秒   |

## ユーザ・タイム・スタンプ (UTS) 仕様

表 27.

| パラメータ                              | Min   | Typ  | Max   | 単位      | テスト条件/コメント  |
|------------------------------------|-------|------|-------|---------|---|
| LATENCY                            |       |      |       |         | 入出力 (IO) の更新 (レジスタ 0x000F のビット 0) をアサートしてから CSS が準備完了ステータスとなるまでの時間 (IO 更新をアサートすると時間値が挿入される。図 51 の同期時間入力を参照)   |
| Fractional Seconds Format          |       | 4    | 6     | μs      |   |
| PTP Format                         |       | 5    | 7     | μs      |   |
| THROUGHPUT RATE                    |       |      |       |         | サンプル・レートは、タイム・スタンプ源に接続されているすべての UTS に共通。データ取得には、IO 更新のアサートと UTS 先入れ先出し (FIFO) レジスタの隣接 14 バイト・ブロックとしての読出しを含む。示したレートは、UTS FIFO をオーバーロードせずに可能な最大の連続 UTS トラフィック。<br>アドレス・ループ (ループ長はレジスタ 0x0010 の 14 (10 進数)) を使用して専用の 100% シリアル・ポート・インターフェース (SPI) を使用。これにより、UTS FIFO レジスタの読出しの前に IO 更新をアサートするためのオーバーヘッドを除去できる。 |
| SCLK = 50 MHz with Address Looping |       |      | 446   | kSPS    |   |
| SCLK = 50 MHz                      |       |      | 324   | kSPS    |   |
| SCLK = 25 MHz                      |       |      | 16    | kSPS    | 10% SPI を使用   |
| TIME OFFSET                        |       |      |       |         | 符号付き 24 ビット範囲 ( $2^{-48}$ 秒ごとにスケール)   |
| Range                              | -29.8 |      | +29.8 | ns      |   |
| Resolution                         |       | 3.55 |       | fs      | $2^{-48}$ 秒   |
| FIFO DEPTH                         |       |      | 18    | Samples | 各 UTS には 1 サンプル・バッファがあり、見かけ上の FIFO 深度を 18 サンプルから数サンプル分だけ拡大できる。  |

## 反転ユーザ・タイム・スタンパ (IUTS) 仕様

表 28.

| パラメータ                    | Min   | Typ   | Max   | 単位   | テスト条件/コメント  |
|--------------------------|-------|-------|-------|------|---|
| FREQUENCY RANGE          | 0.001 | 2     | 200   | kHz  | デジタル化クロッキング用の IUTS 周波数伝送範囲  |
| PERIOD MONITOR THRESHOLD |       | ±1.56 |       | %    | 平均的な周期の IUTS 伝送周波数を基準として±2 <sup>-6</sup>  |
| THROUGHPUT RATE          |       |       |       |      | データ転送には IUTS 制御レジスタへの 14 バイト・ブロックの書込みとそれに続く IO 更新のアサートが含まれる。示した値は IUTS の無効化を生じずに可能な最大の連続 IUTS トラフィック。IUTS 動作以外の目的で SPI を使用するとスループットが減少する。 |
| SCLK = 50 MHz            |       |       | 64    | kSPS | IUTS 動作用に 20% の SPI 使用率を割り当て  |
| SCLK = 25 MHz            |       |       | 16    | kSPS | IUTS 動作用に 10% の SPI 使用率を割り当て  |
| TIME OFFSET              |       |       |       |      |   |
| Range                    | -29.8 |       | +29.8 | ns   | 符号付き 24 ビット範囲 (2 <sup>-48</sup> 秒ごとにスケール)   |
| Resolution               |       | 3.55  |       | fs   | 2 <sup>-48</sup> 秒  |

## アナログ・ループバック（往復遅延）仕様

表 29 のデータは、DC カップリングした 1.2V CMOS に設定された REFB に対応しています。パス A のデータは、ループバック選択マルチプレクサを介した REFB レシーバーから M4 ピン・ドライバへのパスに関連する遅延を表したもので、1.8V、2.5V、3.3V の公称電源電圧で M4 ドライバを動作させた場合の影響を示しています。パス B のデータはリファレンス分周器に関連する遅延を表したものです。パス C のデータは、リファレンス復調器に関連する遅延を表したものです。3 つのパス（A、B、C）の説明図については図 56 を参照してください。

表 29 の上側の伝搬遅延部分にまとめられた値には、電源電圧の公称値からの変動と温度変動が含まれています。

表 29 の下側の伝搬遅延部分にまとめられた値には、電源電圧の公称値からの変動のみが含まれています。表にまとめられた温度係数を使用して往復遅延測定にオフセットを適用することで、温度による遅延変動を補正する手段をユーザが持っている場合に、このデータは有用です。

表 29 の M4 出力の部分は、アナログ・ループバック・モードで動作する場合の M4 ピン・ドライバの出力駆動能力を仕様規定するものです。

表 29.

| パラメータ   | Min  | Typ  | Max  | 単位    | テスト条件/コメント  |
|---|------|------|------|-------|---|
| PROPAGATION DELAY   |      |      |      |       | パスの詳細については図 56 を参照  |
| REFB TO M4 Accounting for Supply Variation from Nominal and Temperature Variation |      |      |      |       |   |
| Path A  |      |      |      |       |   |
| VDDIOB = 1.8 V  | 2.09 | 2.54 | 3.00 | ns    |   |
| VDDIOB = 2.5 V  | 1.79 | 2.09 | 2.45 | ns    |   |
| VDDIOB = 3.3 V  | 1.63 | 1.91 | 2.22 | ns    |   |
| Path B  |      |      |      |       | VDDIOB = 1.8V   |
| R Divider > 1   | 2.95 | 3.57 | 4.20 | ns    |   |
| R Divider = 1   | 2.76 | 3.33 | 3.90 | ns    |   |
| Path C  | 4.14 | 5.11 | 6.06 | ns    | VDDIOB = 1.8V   |
| REFB to M4 Accounting for Supply Variation from Nominal                           |      |      |      |       | パスの詳細については図 56 を参照  |
| Path A  |      |      |      |       |   |
| VDDIOB = 1.8 V  | 2.41 | 2.54 | 2.66 | ns    |   |
| Temperature Coefficient   |      | 4.12 |      | ps/°C |   |
| VDDIOB = 2.5 V  | 1.98 | 2.09 | 2.20 | ns    |   |
| Temperature Coefficient   |      | 2.92 |      | ps/°C |   |
| VDDIOB = 3.3 V  | 1.81 | 1.91 | 2.02 | ns    |   |
| Temperature Coefficient   |      | 2.33 |      | ps/°C |   |
| Path B  |      |      |      |       | VDDIOB = 1.8V   |
| R Divider > 1   | 3.32 | 3.57 | 3.80 | ns    |   |
| Temperature Coefficient   |      | 4.82 |      | ps/°C |   |
| R Divider = 1   | 3.12 | 3.33 | 3.52 | ns    |   |
| Temperature Coefficient   |      | 4.73 |      | ps/°C |   |
| Path C  | 4.75 | 5.11 | 5.45 | ns    | VDDIOB = 1.8V   |
| Temperature Coefficient   |      | 7.60 |      | ps/°C |   |
| M4 OUTPUT SPECIFICATION   |      |      |      |       | アナログ・ループバック動作にのみ該当。<br>5pF の容量性負荷。  |
| Frequency range   | 0    |      | 125  | MHz   | 最大値は、VDDIOB = 1.8V、2.5V、または 3.3V での完全出力電圧振幅の場合に該当。出力電圧振幅は、125MHz を超える周波数では低下する。 |
| Pulse Width High  | 3    |      |      | ns    | 完全出力電圧振幅に対応する正の半サイクルの最小時間。正の出力電圧振幅は、125MHz を超える周波数または 3ns 未満のパルス幅では低下する。        |
| Pulse Width Low   | 3    |      |      | ns    | 完全出力電圧振幅に対応する負の半サイクルの最小時間。負の出力電圧振幅は、125MHz を超える周波数または 3ns 未満のパルス幅では低下する。        |

## Mx ピン間の出力タイミング・スキュー

表 30 に示すデータは、M0 ピンのクロック・エッジを基準とする、ターゲット Mx ピンのクロック・エッジの時間オフセットを示すものです。表 30 では、出力として設定されている Mx ピン間の出力タイミングの差を示しています。M0 ピンとターゲット Mx ピンは同じ内部ステータス・ソースを使用します。任意の 2 つの Mx ピン (M2 と SDO/M5 など) 間のスキューを求めるには、該当の行の値の差を取ります (M2 と SDO/M5 間のスキューは、 $190 - 760 = -570\text{ps}$ )。VDDIOA と VDDIOB の電源電圧は、出力タイミング・スキューには最小限の影響しか及ぼさないという点に注意してください (それぞれの公称電源電圧が同様である場合)。

表 30.

| Parameter    | Min | Typ  | Max | Unit |
|--------------|-----|------|-----|------|
| TIMING SKEW  |     |      |     |      |
| M0 to M1     |     | 160  |     | ps   |
| M0 to M2     |     | 190  |     | ps   |
| M0 to M3     |     | 630  |     | ps   |
| M0 to M4     |     | 1250 |     | ps   |
| M0 to SDO/M5 |     | 760  |     | ps   |
| M0 to CSB/M6 |     | 150  |     | ps   |

## システム・クロック補償仕様

表 31.

| パラメータ  | Min | Typ   | Max             | 単位  | テスト条件/コメント                                   |
|--|-----|-------|-----------------|-----|--|
| OPEN-LOOP COMPENSATION                       |     |       |                 |     |  |
| Resolution                                   |     | 0.028 |                 | ppt | 補償方法 1 のセクションを参照<br>ppt は一兆分率 ( $10^{-12}$ ) |
| CLOSED-LOOP COMPENSATION<br>(AUXILIARY DPLL) |     |       |                 |     | 補償方法 3 のセクションを参照                             |
| Phase Detector Frequency                     | 2   |       | 200             | kHz |  |
| Loop Bandwidth                               | 0.1 |       | $2 \times 10^3$ | Hz  |  |
| Reference Monitor Threshold                  |     | 5     |                 | %   |  |

## 温度センサー仕様

表 32.

| パラメータ                    | Min | Typ        | Max | 単位               | テスト条件/コメント  |
|--------------------------|-----|------------|-----|------------------|---|
| TEMPERATURE              |     |            |     |                  |   |
| Accuracy                 |     |            |     |                  | $T_A = -50^\circ\text{C} \sim +110^\circ\text{C}$ |
| Absolute Die Temperature |     | 5          |     | $^\circ\text{C}$ |   |
| Relative Die Temperature |     | 1.7        |     | %                |   |
| Resolution               |     | 0.0078     |     | $^\circ\text{C}$ | 16 ビット (符号付き) の分解能                                |
| Conversion time          |     | 0.18       |     | ms               |   |
| REPEATABILITY            |     | $\pm 0.02$ |     | $^\circ\text{C}$ | $T_A = 25^\circ\text{C}$                          |
| DRIFT                    |     | 0.1        |     | $^\circ\text{C}$ | $100^\circ\text{C}$ で 500 時間のストレス試験               |

## ロジック入力仕様 (RESETB、M0~CSB/M6 ピン)

表 33.

| パラメータ           | Min                   | Typ      | Max       | 単位            | テスト条件/コメント   |
|-----------------|-----------------------|----------|-----------|---------------|--|
| RESETB          |                       |          |           |               | $3.3\text{V} \geq \text{VDDIOA} \geq 1.8\text{V}$ で有効。内蔵 $100\text{k}\Omega$ プルアップ抵抗 |
| Input Voltage   |                       |          |           |               |  |
| High, $V_{IH}$  | $\text{VDDIOA} - 0.4$ |          |           | V             |  |
| Low, $V_{IL}$   |                       |          | 0.4       | V             |  |
| Input Current   |                       |          |           |               |  |
| High, $I_{INH}$ |                       | 1        |           | $\mu\text{A}$ |  |
| Low, $I_{INL}$  |                       | $\pm 15$ | $\pm 125$ | $\mu\text{A}$ |  |

| パラメータ  | Min          | Typ | Max  | 単位 | テスト条件/コメント   |
|--|--------------|-----|------|----|--|
| LOGIC INPUTS (M0 to CSB/M6)                        |              |     |      |    | 3.3V ≥ VDDIOx ≥ 1.8V で有効。VDDIOA は SDO/M5 ピンと SDA/M6 ピンに印加。VDDIOB は M0、M1、M2、M3、M4 の各ピンに印加。M3 ピンと M4 ピンには 100kΩ のプルダウン抵抗が内蔵されている。 |
| Input Voltage                                      |              |     |      |    |  |
| High, V <sub>IH</sub>                              | VDDIOx - 0.4 |     |      | V  |  |
| Low, V <sub>IL</sub>                               |              |     | 0.4  | V  |  |
| Input Current, I <sub>INH</sub> , I <sub>INL</sub> |              | ±15 | ±125 | μA |  |

ロジック出力仕様 (M0 ピン~CSB/M6 ピン)

表 34.

| パラメータ                           | Min          | Typ  | Max | 単位  | テスト条件/コメント   |
|---------------------------------|--------------|------|-----|-----|--|
| LOGIC OUTPUTS (M0 to CSB/M6)    |              |      |     |     | 3.3V ≥ VDDIOx ≥ 1.8V で有効。VDDIOA は SDO/M5 ピンと CSB/M6 ピンに印加。VDDIOB は M0 ピン~M4 ピンに印加。M0 ピン~CSB/M6 ピンに対し公称 (デフォルト) 出力駆動電流設定。 |
| Frequency Range                 |              |      | 26  | MHz | M4 はアナログ・ループバックに設定されている場合 125MHz が可能 (表 29 を参照)  |
| Output Voltage                  |              |      |     |     |  |
| High, V <sub>OH</sub>           | VDDIOx - 0.6 |      |     | V   | 負荷電流 = 10mA  |
| Low, V <sub>OL</sub>            | VDDIOx - 0.2 |      | 0.6 | V   | 負荷電流 = 1mA   |
|                                 |              |      | 0.2 | V   | 負荷電流 = 10mA  |
|                                 |              |      |     |     | 負荷電流 = 1mA   |
| Rise/Fall Time                  |              |      |     |     |  |
| Normal Drive Strength (Default) |              |      |     |     |  |
| 5 pF Capacitive Load            |              |      |     |     |  |
| VDDIOx = 1.8 V                  |              | 880  |     | ps  |  |
| VDDIOx = 2.5 V                  |              | 740  |     | ps  |  |
| VDDIOx = 3.3 V                  |              | 580  |     | ps  |  |
| 10 pF Capacitive Load           |              |      |     |     |  |
| VDDIOx = 1.8 V                  |              | 1210 |     | ps  |  |
| VDDIOx = 2.5 V                  |              | 1020 |     | ps  |  |
| VDDIOx = 3.3 V                  |              | 900  |     | ps  |  |
| 20 pF Capacitive Load           |              |      |     |     |  |
| VDDIOx = 1.8 V                  |              | 1900 |     | ps  |  |
| VDDIOx = 2.5 V                  |              | 1230 |     | ps  |  |
| VDDIOx = 3.3 V                  |              | 970  |     | ps  |  |
| Weak Drive Strength             |              |      |     |     |  |
| 5 pF Capacitive Load            |              |      |     |     |  |
| VDDIOx = 1.8 V                  |              | 1900 |     | ps  |  |
| VDDIOx = 2.5 V                  |              | 1220 |     | ps  |  |
| VDDIOx = 3.3 V                  |              | 970  |     | ps  |  |
| 10 pF Capacitive Load           |              |      |     |     |  |
| VDDIOx = 1.8 V                  |              | 2730 |     | ps  |  |
| VDDIOx = 2.5 V                  |              | 1810 |     | ps  |  |
| VDDIOx = 3.3 V                  |              | 1420 |     | ps  |  |
| 20 pF Capacitive Load           |              |      |     |     |  |
| VDDIOx = 1.8 V                  |              | 4040 |     | ps  |  |
| VDDIOx = 2.5 V                  |              | 2890 |     | ps  |  |
| VDDIOx = 3.3 V                  |              | 2340 |     | ps  |  |

## シリアル・ポート仕様

## SPI モード

表 35.

| パラメータ                                       | Min          | Typ | Max | 単位               | テスト条件/コメント                  |
|---|--------------|-----|-----|------------------|-----------------------------|
| CSB   |              |     |     |                  | VDDIOA = 1.8V、2.5V、3.3V で有効 |
| Input Voltage                               |              |     |     |                  |                             |
| Logic 1                                     | VDDIOA - 0.4 |     |     | V                |                             |
| Logic 0                                     |              |     | 0.4 | V                |                             |
| Input Current                               |              |     |     |                  |                             |
| Logic 1                                     |              | 1   |     | μA               |                             |
| Logic 0                                     |              | 1   |     | μA               |                             |
| SCLK  |              |     |     |                  |                             |
| Input Voltage                               |              |     |     |                  |                             |
| Logic 1                                     | VDDIOA - 0.4 |     |     | V                |                             |
| Logic 0                                     |              |     | 0.4 | V                |                             |
| Input Current                               |              |     |     |                  |                             |
| Logic 1                                     |              | 1   |     | μA               |                             |
| Logic 0                                     |              | 1   |     | μA               |                             |
| SDIO  |              |     |     |                  |                             |
| As an Input                                 |              |     |     |                  |                             |
| Input Voltage                               |              |     |     |                  |                             |
| Logic 1                                     | VDDIOA - 0.4 |     |     | V                |                             |
| Logic 0                                     |              |     | 0.4 | V                |                             |
| Input Current                               |              |     |     |                  |                             |
| Logic 1                                     |              | 1   |     | μA               |                             |
| Logic 0                                     |              | 1   |     | μA               |                             |
| As an Output                                |              |     |     |                  |                             |
| Output Voltage                              |              |     |     |                  | 1mA の負荷電流                   |
| Logic 1                                     | VDDIOA - 0.2 |     |     | V                |                             |
| Logic 0                                     |              |     | 0.2 | V                |                             |
| SDO   |              |     |     |                  |                             |
| Output Voltage                              |              |     |     |                  | 1mA の負荷電流                   |
| Logic 1                                     | VDDIOA - 0.2 |     |     | V                |                             |
| Logic 0                                     |              |     | 0.2 | V                |                             |
| Leakage Current                             |              |     | ±1  | μA               | SDO 非アクティブ (高インピーダンス)       |
| TIMING                                      |              |     |     |                  | VDDIOA = 1.8V、2.5V、3.3V で有効 |
| SCLK  |              |     |     |                  |                             |
| Clock Rate, 1/t <sub>CLK</sub>              |              |     | 50  | MHz              |                             |
| Pulse Width High, t <sub>HIGH</sub>         | 5            |     |     | ns               |                             |
| Pulse Width Low, t <sub>LOW</sub>           | 9            |     |     | ns               |                             |
| SDIO to SCLK Setup, t <sub>DS</sub>         | 2.2          |     |     | ns               |                             |
| SCLK to SDIO Hold, t <sub>DH</sub>          | 0            |     |     | ns               |                             |
| SCLK to Valid SDIO and SDO, t <sub>DV</sub> |              |     | 9   | ns               |                             |
| CSB to SCLK Setup, t <sub>S</sub>           | 1.5          |     |     | ns               |                             |
| CSB to SCLK Hold, t <sub>C</sub>            | 0            |     |     | ns               |                             |
| CSB Minimum Pulse Width High                | 1            |     |     | t <sub>CLK</sub> |                             |

I<sup>2</sup>C モード

表 36.

| パラメータ  | Min                   | Typ | Max                 | 単位          | テスト条件/コメント   |
|--|-----------------------|-----|---------------------|-------------|--|
| SDA, SCL (AS INPUTS)   |                       |     |                     |             | VDDIOA = 1.8V、2.5V、3.3V で有効                        |
| Input Voltage  |                       |     |                     |             |  |
| Logic 1  | 70                    |     |                     | % of VDDIOA |  |
| Logic 0  |                       |     | $0.3 \times VDDIOA$ | V           |  |
| Input Current  | -10                   |     | +10                 | μA          | V <sub>IN</sub> = VDDIOA の 10%~90% の場合             |
| Hysteresis of Schmitt Trigger Inputs                                     | 1.5                   |     |                     | % of VDDIOA |  |
| SDA (AS OUTPUT)  |                       |     |                     |             |  |
| Output Logic 0 Voltage   |                       |     | 0.2                 | V           | 出力電流 (I <sub>OUT</sub> ) = 3mA                     |
| Output Fall Time from V <sub>IH</sub> Minimum to V <sub>IL</sub> Maximum | $20 + 0.1 \times C_B$ |     | 250                 | ns          | 10pF ≤ C <sub>B</sub> ≤ 400pF。C <sub>B</sub> はバス容量 |
| TIMING   |                       |     |                     |             |  |
| SCL Clock Rate   |                       |     | 400                 | kHz         |  |
| Bus Free Time Between a Stop and Start Condition, t <sub>BUF</sub>       | 1.3                   |     |                     | μs          |  |
| Repeated Start Condition Setup Time, t <sub>SU; STA</sub>                | 0.6                   |     |                     | μs          |  |
| Repeated Hold Time Start Condition, t <sub>HD; STA</sub>                 | 0.6                   |     |                     | μs          | この時間が経過後、最初のクロック・パルスが生成                            |
| Stop Condition Setup Time, t <sub>SU; STO</sub>                          | 0.6                   |     |                     | μs          |  |
| Low Period of the SCL Clock, t <sub>LOW</sub>                            | 1.3                   |     |                     | μs          |  |
| High Period of the SCL Clock, t <sub>HIGH</sub>                          | 0.6                   |     |                     | μs          |  |
| SCL/SDA Rise Time, t <sub>R</sub>  | $20 + 0.1 \times C_B$ |     | 300                 | ns          |  |
| SCL/SDA Fall Time, t <sub>F</sub>  | $20 + 0.1 \times C_B$ |     | 300                 | ns          |  |
| Data Setup Time, t <sub>SU; DAT</sub>                                    | 100                   |     |                     | ns          |  |
| Data Hold Time, t <sub>HD; DAT</sub>                                     | 100                   |     |                     | ns          |  |
| Capacitive Load, C <sub>B</sub>  |                       |     | 400                 | pF          | 各バス・ラインに適用   |

## ジッタ生成 (ランダム・ジッタ)

システム・クロック周波数ダブラをイネーブル。DPLLは高位相マージン・ループ・フィルタで設定。実効ジッタ値の統合帯域幅は12kHz～20MHz。異なる出力駆動モードを使用したことによるジッタ値への影響は、大きくありません。

デバイス設定 1 :  $f_{OSC} = 52\text{MHz}$  の水晶振動子、 $f_{REF} = 38.88\text{MHz}$ 、 $f_{OUT} = 155.52\text{MHz}$ 、DPLL 帯域幅 ( $BW_{DPLL}$ ) = 50Hz、位相ビルドアウト動作。チャンネル 0 :  $f_{VCO} = 2488.32\text{MHz}$ 。チャンネル 1 : VCO 周波数 ( $f_{VCO}$ ) = 3265.92MHz、Q 分周器半分周をイネーブル

デバイス設定 2 :  $f_{OSC} = 52\text{MHz}$  の水晶振動子、 $f_{REF} = 30.72\text{MHz}$ 、 $f_{OUT} = 245.76\text{MHz}$ 、 $BW_{DPLL} = 50\text{Hz}$ 、内部ゼロ遅延動作。チャンネル 0 :  $f_{VCO} = 2457.6\text{MHz}$ 。チャンネル 1 :  $f_{VCO} = 3686.4\text{MHz}$ 、Q 分周器半分周をイネーブル

デバイス設定 3 :  $f_{OSC} = 52\text{MHz}$  の水晶振動子、 $f_{COMP} = 19.2\text{MHz}$  の温度補償水晶発振器 (TCXO)、補助 DPLL サーボ・ループのループ帯域幅 ( $BW_{COMP}$ ) = 50Hz (詳細については補助 DPLL ループ帯域幅のセクションを参照)、 $f_{REF} = 1\text{Hz}$ 、 $f_{OUT} = 491.52\text{MHz}$ 、 $BW_{DPLL} = 0.05\text{Hz}$ 、位相ビルドアウト動作。チャンネル 0 :  $f_{VCO} = 2949.12\text{MHz}$ 。チャンネル 1 :  $f_{VCO} = 3932.16\text{MHz}$

デバイス設定 4 :  $f_{OSC} = 52\text{MHz}$  の水晶振動子、 $f_{COMP} = 19.2\text{MHz}$  の TCXO、 $BW_{COMP} = 50\text{Hz}$ 、 $f_{REF} = 125\text{MHz}$ 、 $f_{OUT} = 125\text{MHz}$ 、 $BW_{DPLL} = 0.1\text{Hz}$ 、位相ビルドアウト動作。チャンネル 0 :  $f_{VCO} = 2500\text{MHz}$ 。チャンネル 1 :  $f_{VCO} = 3250\text{MHz}$

デバイス設定 5 :  $f_{OSC} = 52\text{MHz}$  の水晶振動子、 $f_{REF} = 25\text{MHz}$ 、 $f_{OUT} = 312.5\text{MHz}$ 、 $BW_{DPLL} = 50\text{Hz}$ 、位相ビルドアウト動作。チャンネル 0 :  $f_{VCO} = 2500\text{MHz}$ 。チャンネル 1 :  $f_{VCO} = 3750\text{MHz}$

デバイス設定 6 :  $f_{OSC} = 52\text{MHz}$  の水晶振動子、 $f_{REF} = 155.52\text{MHz}$ 、 $f_{OUT} = (155.52 \times 255/227) \text{MHz}$ 、 $BW_{DPLL} = 50\text{Hz}$ 。チャンネル 0 :  $f_{VCO} = 2620.5463\text{MHz}$ 。チャンネル 1 :  $f_{VCO} = 3319.3586\text{MHz}$

表 37.

| パラメータ                               | Min | Typ | Max | 単位 | テスト条件/コメント |
|-------------------------------------|-----|-----|-----|----|------------|
| JITTER GENERATION                   |     |     |     |    |            |
| Channel 0—DPLL0, APLL0              |     |     |     |    |            |
| $f_{OUT} = 155.52 \text{ MHz}$      |     | 223 |     | fs | デバイス設定 1   |
| $f_{OUT} = 245.76 \text{ MHz}$      |     | 220 |     | fs | デバイス設定 2   |
| $f_{OUT} = 491.52 \text{ MHz}$      |     | 235 |     | fs | デバイス設定 3   |
| $f_{OUT} = 125.0 \text{ MHz}$       |     | 213 |     | fs | デバイス設定 4   |
| $f_{OUT} = 312.5 \text{ MHz}$       |     | 217 |     | fs | デバイス設定 5   |
| $f_{OUT} = 174.7030837 \text{ MHz}$ |     | 230 |     | fs | デバイス設定 6   |
| Channel 1—DPLL1, APLL1              |     |     |     |    |            |
| $f_{OUT} = 155.52 \text{ MHz}$      |     | 247 |     | fs | デバイス設定 1   |
| $f_{OUT} = 245.76 \text{ MHz}$      |     | 280 |     | fs | デバイス設定 2   |
| $f_{OUT} = 491.52 \text{ MHz}$      |     | 323 |     | fs | デバイス設定 3   |
| $f_{OUT} = 125.0 \text{ MHz}$       |     | 243 |     | fs | デバイス設定 4   |
| $f_{OUT} = 312.5 \text{ MHz}$       |     | 266 |     | fs | デバイス設定 5   |
| $f_{OUT} = 174.7030837 \text{ MHz}$ |     | 264 |     | fs | デバイス設定 6   |



位相ノイズ

システム・クロック周波数ダブラをイネーブル。DPLLは高位相マージン・ループ・フィルタで設定。

デバイス設定1： $f_{OSC} = 52\text{MHz}$ の水晶振動子、 $f_{REF} = 38.88\text{MHz}$ 、 $f_{OUT} = 155.52\text{MHz}$ 、 $BW_{DPLL} = 50\text{Hz}$ 、位相ビルドアウト動作。チャンネル0： $f_{VCO} = 2488.32\text{MHz}$ 。チャンネル1：VCO周波数 ( $f_{VCO}$ ) =  $3265.92\text{MHz}$ 、Q分周器半分周をイネーブル

デバイス設定2： $f_{OSC} = 52\text{MHz}$ の水晶振動子、 $f_{REF} = 30.72\text{MHz}$ 、 $f_{OUT} = 245.76\text{MHz}$ 、 $BW_{DPLL} = 50\text{Hz}$ 、内部ゼロ遅延動作。チャンネル0： $f_{VCO} = 2457.6\text{MHz}$ 。チャンネル1： $f_{VCO} = 3686.4\text{MHz}$ 、Q分周器半分周をイネーブル

デバイス設定3： $f_{OSC} = 52\text{MHz}$ の水晶振動子、 $f_{COMP} = 19.2\text{MHz}$ のTCXO、 $BW_{COMP} = 50\text{Hz}$ （詳細については補助DPLLループ帯域幅のセクションを参照）、 $f_{REF} = 1\text{Hz}$ 、 $f_{OUT} = 491.52\text{MHz}$ 、 $BW_{DPLL} = 0.05\text{Hz}$ 、位相ビルドアウト動作。チャンネル0： $f_{VCO} = 2949.12\text{MHz}$ 。チャンネル1： $f_{VCO} = 3932.16\text{MHz}$

デバイス設定4： $f_{OSC} = 52\text{MHz}$ の水晶振動子、 $f_{COMP} = 19.2\text{MHz}$ のTCXO、 $BW_{COMP} = 50\text{Hz}$ 、 $f_{REF} = 125\text{MHz}$ 、 $f_{OUT} = 125\text{MHz}$ 、 $BW_{DPLL} = 0.1\text{Hz}$ 、位相ビルドアウト動作。チャンネル0： $f_{VCO} = 2500\text{MHz}$ 。チャンネル1： $f_{VCO} = 3250\text{MHz}$

デバイス設定5： $f_{OSC} = 52\text{MHz}$ の水晶振動子、 $f_{REF} = 25\text{MHz}$ 、 $f_{OUT} = 312.5\text{MHz}$ 、 $BW_{DPLL} = 50\text{Hz}$ 、位相ビルドアウト動作。チャンネル0： $f_{VCO} = 2500\text{MHz}$ 。チャンネル1： $f_{VCO} = 3750\text{MHz}$

デバイス設定6： $f_{OSC} = 52\text{MHz}$ の水晶振動子、 $f_{REF} = 155.52\text{MHz}$ 、 $f_{OUT} = (155.52 \times 255/227)\text{MHz}$ 、 $BW_{DPLL} = 50\text{Hz}$ 。チャンネル0： $f_{VCO} = 2620.5463\text{MHz}$ 。チャンネル1： $f_{VCO} = 3319.3586\text{MHz}$

表 38.

| パラメータ                        | Min | Typ  | Max | 単位     | テスト条件/コメント               |         |
|------------------------------|-----|------|-----|--------|--------------------------|---------|
| PHASE NOISE                  |     |      |     |        |                          |         |
| Channel 0—DPLL0, APLL0       |     |      |     |        |                          |         |
| $f_{OUT} = 155.52\text{MHz}$ |     |      |     |        |                          |         |
| 10 Hz Offset                 |     | -81  |     | dBc/Hz | チャンネル1をパワーダウン<br>デバイス設定1 |         |
| 100 Hz Offset                |     | -98  |     | dBc/Hz |                          |         |
| 1 kHz Offset                 |     | -118 |     | dBc/Hz |                          |         |
| 10 kHz Offset                |     | -128 |     | dBc/Hz |                          |         |
| 100 kHz Offset               |     | -134 |     | dBc/Hz |                          |         |
| 1 MHz Offset                 |     | -144 |     | dBc/Hz |                          |         |
| 10 MHz Offset                |     | -158 |     | dBc/Hz |                          |         |
| Floor                        |     | -161 |     | dBc/Hz |                          |         |
| $f_{OUT} = 245.76\text{MHz}$ |     |      |     |        |                          |         |
| 10 Hz Offset                 |     | -77  |     | dBc/Hz |                          | デバイス設定2 |
| 100 Hz Offset                |     | -93  |     | dBc/Hz |                          |         |
| 1 kHz Offset                 |     | -114 |     | dBc/Hz |                          |         |
| 10 kHz Offset                |     | -125 |     | dBc/Hz |                          |         |
| 100 kHz Offset               |     | -130 |     | dBc/Hz |                          |         |
| 1 MHz Offset                 |     | -140 |     | dBc/Hz |                          |         |
| 10 MHz Offset                |     | -156 |     | dBc/Hz |                          |         |
| Floor                        |     | -161 |     | dBc/Hz |                          |         |
| $f_{OUT} = 491.52\text{MHz}$ |     |      |     |        |                          |         |
| 10 Hz Offset                 |     | -74  |     | dBc/Hz | デバイス設定3                  |         |
| 100 Hz Offset                |     | -89  |     | dBc/Hz |                          |         |
| 1 kHz Offset                 |     | -108 |     | dBc/Hz |                          |         |
| 10 kHz Offset                |     | -119 |     | dBc/Hz |                          |         |
| 100 kHz Offset               |     | -123 |     | dBc/Hz |                          |         |
| 1 MHz Offset                 |     | -134 |     | dBc/Hz |                          |         |
| 10 MHz offset                |     | -152 |     | dBc/Hz |                          |         |
| Floor                        |     | -159 |     | dBc/Hz |                          |         |

| パラメータ                               | Min | Typ  | Max | 単位     | テスト条件/コメント      |
|-------------------------------------|-----|------|-----|--------|-----------------|
| $f_{OUT} = 125 \text{ MHz}$         |     |      |     |        | デバイス設定 4        |
| 10 Hz Offset                        |     | -84  |     | dBc/Hz |                 |
| 100 Hz Offset                       |     | -106 |     | dBc/Hz |                 |
| 1 kHz Offset                        |     | -120 |     | dBc/Hz |                 |
| 10 kHz Offset                       |     | -131 |     | dBc/Hz |                 |
| 100 kHz Offset                      |     | -136 |     | dBc/Hz |                 |
| 1 MHz Offset                        |     | -147 |     | dBc/Hz |                 |
| 10 MHz Offset                       |     | -160 |     | dBc/Hz |                 |
| Floor                               |     | -163 |     | dBc/Hz |                 |
| $f_{OUT} = 312.5 \text{ MHz}$       |     |      |     |        | デバイス設定 5        |
| 10 Hz Offset                        |     | -74  |     | dBc/Hz |                 |
| 100 Hz Offset                       |     | -91  |     | dBc/Hz |                 |
| 1 kHz Offset                        |     | -112 |     | dBc/Hz |                 |
| 10 kHz Offset                       |     | -123 |     | dBc/Hz |                 |
| 100 kHz Offset                      |     | -128 |     | dBc/Hz |                 |
| 1 MHz Offset                        |     | -138 |     | dBc/Hz |                 |
| 10 MHz Offset                       |     | -154 |     | dBc/Hz |                 |
| Floor                               |     | -161 |     | dBc/Hz |                 |
| $f_{OUT} = 174.7030837 \text{ MHz}$ |     |      |     |        | デバイス設定 6        |
| 10 Hz Offset                        |     | -82  |     | dBc/Hz |                 |
| 100 Hz Offset                       |     | -99  |     | dBc/Hz |                 |
| 1 kHz Offset                        |     | -117 |     | dBc/Hz |                 |
| 10 kHz Offset                       |     | -127 |     | dBc/Hz |                 |
| 100 kHz Offset                      |     | -133 |     | dBc/Hz |                 |
| 1 MHz Offset                        |     | -143 |     | dBc/Hz |                 |
| 10 MHz Offset                       |     | -157 |     | dBc/Hz |                 |
| Floor                               |     | -160 |     | dBc/Hz |                 |
| Channel 1—DPLL1, APLL1              |     |      |     |        | チャンネル 0 をパワーダウン |
| $f_{OUT} = 155.52 \text{ MHz}$      |     |      |     |        | デバイス設定 1        |
| 10 Hz Offset                        |     | -81  |     | dBc/Hz |                 |
| 100 Hz Offset                       |     | -98  |     | dBc/Hz |                 |
| 1 kHz Offset                        |     | -118 |     | dBc/Hz |                 |
| 10 kHz Offset                       |     | -128 |     | dBc/Hz |                 |
| 100 kHz Offset                      |     | -132 |     | dBc/Hz |                 |
| 1 MHz Offset                        |     | -144 |     | dBc/Hz |                 |
| 10 MHz Offset                       |     | -158 |     | dBc/Hz |                 |
| Floor                               |     | -162 |     | dBc/Hz |                 |
| $f_{OUT} = 245.76 \text{ MHz}$      |     |      |     |        | デバイス設定 2        |
| 10 Hz Offset                        |     | -76  |     | dBc/Hz |                 |
| 100 Hz Offset                       |     | -93  |     | dBc/Hz |                 |
| 1 kHz Offset                        |     | -114 |     | dBc/Hz |                 |
| 10 kHz Offset                       |     | -124 |     | dBc/Hz |                 |
| 100 kHz Offset                      |     | -127 |     | dBc/Hz |                 |
| 1 MHz Offset                        |     | -138 |     | dBc/Hz |                 |
| 10 MHz Offset                       |     | -156 |     | dBc/Hz |                 |
| Floor                               |     | -161 |     | dBc/Hz |                 |

| パラメータ                                      | Min | Typ  | Max | 単位     | テスト条件/コメント |
|--|-----|------|-----|--------|------------|
| $f_{\text{OUT}} = 491.52 \text{ MHz}$      |     |      |     |        | デバイス設定 3   |
| 10 Hz Offset                               |     | -74  |     | dBc/Hz |            |
| 100 Hz Offset                              |     | -90  |     | dBc/Hz |            |
| 1 kHz Offset                               |     | -108 |     | dBc/Hz |            |
| 10 kHz Offset                              |     | -118 |     | dBc/Hz |            |
| 100 kHz Offset                             |     | -120 |     | dBc/Hz |            |
| 1 MHz Offset                               |     | -131 |     | dBc/Hz |            |
| 10 MHz Offset                              |     | -150 |     | dBc/Hz |            |
| Floor                                      |     | -160 |     | dBc/Hz |            |
| $f_{\text{OUT}} = 125 \text{ MHz}$         |     |      |     |        | デバイス設定 4   |
| 10 Hz Offset                               |     | -83  |     | dBc/Hz |            |
| 100 Hz Offset                              |     | -106 |     | dBc/Hz |            |
| 1 kHz Offset                               |     | -120 |     | dBc/Hz |            |
| 10 kHz Offset                              |     | -131 |     | dBc/Hz |            |
| 100 kHz Offset                             |     | -135 |     | dBc/Hz |            |
| 1 MHz Offset                               |     | -145 |     | dBc/Hz |            |
| 10 MHz Offset                              |     | -160 |     | dBc/Hz |            |
| Floor                                      |     | -163 |     | dBc/Hz |            |
| $f_{\text{OUT}} = 312.5 \text{ MHz}$       |     |      |     |        | デバイス設定 5   |
| 10 Hz Offset                               |     | -73  |     | dBc/Hz |            |
| 100 Hz Offset                              |     | -91  |     | dBc/Hz |            |
| 1 kHz Offset                               |     | -112 |     | dBc/Hz |            |
| 10 kHz Offset                              |     | -122 |     | dBc/Hz |            |
| 100 kHz Offset                             |     | -125 |     | dBc/Hz |            |
| 1 MHz Offset                               |     | -137 |     | dBc/Hz |            |
| 10 MHz Offset                              |     | -154 |     | dBc/Hz |            |
| Floor                                      |     | -161 |     | dBc/Hz |            |
| $f_{\text{OUT}} = 174.7030837 \text{ MHz}$ |     |      |     |        | デバイス設定 6   |
| 10 Hz Offset                               |     | -77  |     | dBc/Hz |            |
| 100 Hz Offset                              |     | -99  |     | dBc/Hz |            |
| 1 kHz Offset                               |     | -117 |     | dBc/Hz |            |
| 10 kHz Offset                              |     | -127 |     | dBc/Hz |            |
| 100 kHz Offset                             |     | -131 |     | dBc/Hz |            |
| 1 MHz Offset                               |     | -142 |     | dBc/Hz |            |
| 10 MHz Offset                              |     | -158 |     | dBc/Hz |            |
| Floor                                      |     | -161 |     | dBc/Hz |            |

## 絶対最大定格

表 39.

| Parameter  | Rating                   |
|--|--------------------------|
| 1.8 V Supply Voltage (VDD)   | 2 V                      |
| Output Drivers (OUT0AP, OUT0AN, OUT0BP, OUT0BN, OUT0CP, OUT0CN, OUT1AP, OUT1AN, OUT1BP, and OUT1BN Pins) | 2 V                      |
| Input/Output Supply Voltage (VDDIOA and VDDIOB)  | 3.6 V                    |
| Input Voltage Range (XOA, XOB, REFA, REFAA, REFB, and REFBB Pins)  | -0.5 V to VDD + 0.5 V    |
| Digital Input Voltage Range  |                          |
| SDO/M5, SCLK/SCL, SDIO/SDA, and CSB/M6 Pins  | -0.5 V to VDDIOA + 0.5 V |
| M0, M1, M2, M3, and M4 Pins  | -0.5 V to VDDIOB + 0.5 V |
| Storage Temperature Range  | -65°C to +150°C          |
| Lead Temperature (Soldering 10 sec)  | 300°C                    |

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$  は、ジャンクションと周囲間の熱抵抗、JEDEC JESD51-2 による空気流 0.0m/s (自然空冷)

$\theta_{JMA}$  は、ジャンクションと周囲間の熱抵抗、JEDEC JESD51-6 による空気流 1.0m/s または 2.5m/s (強制空冷)

$\theta_{JC}$  は、MIL-STD 883 Method 1012.1 によるジャンクションとケース間の熱抵抗 (ダイとヒートシンク間)

$\theta_{JA}$  の値はパッケージの比較と PCB 設計時の検討用に提供しています。 $\theta_{JA}$  は、次式により  $T_J$  の 1 次近似に使用できます。

$$T_J = T_A + (\theta_{JA} \times PD)$$

ここで、

$T_A$  は周囲温度 (°C)、

$PD$  は消費電力 (ワット) です。

$\theta_{JC}$  の値は、外付けヒート・シンクが必要な場合のパッケージの比較と PCB 設計時の検討用です。

表 40. 熱抵抗

| Package Type            | $\theta_{JA}$ | $\theta_{JMA}^1$ | $\theta_{JC}$ | Unit |
|-------------------------|---------------|------------------|---------------|------|
| CP-48-13 <sup>2,3</sup> | 23.1          | 18.4, 17.1       | 0.7           | °C/W |

<sup>1</sup>  $\theta_{JMA}$  は空気流 1.0m/s 時に 18.4°C/W、空気流 2.5m/s 時に 17.1°C/W。

<sup>2</sup> JEDEC51-7 と JEDEC51-5 2S2P テスト・ボードを使用して求めた熱特性。仕様規定された熱性能を実現するには、パッケージ底面にあるエクスポーズド・パッドをグラウンドにハンダ付けする必要があります。

<sup>3</sup> 結果はシミュレーションによるもので、PCB は JEDEC 多層タイプです。実際のアプリケーションにおける熱性能を求めるには、アプリケーションの条件を慎重に検討して、これらの計算における仮定と同様であるかどうかを判断する必要があります。

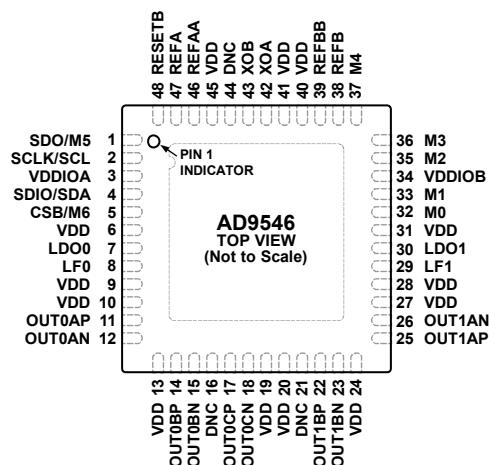
## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されなまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
 1. EXPOSED PAD. THE EXPOSED PAD IS THE GROUND CONNECTION ON THE CHIP. THE EXPOSED PAD MUST BE SOLDERED TO THE ANALOG GROUND OF THE PCB TO ENSURE PROPER FUNCTIONALITY AND FOR HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.  
 2. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.

図 2. ピン配置

表 41. ピン機能の説明

| ピン番号   | 記号       | 入出力          | ピン・タイプ                | 説明   |
|--|----------|--------------|-----------------------|--|
| 1  | SDO/M5   | Output       | CMOS                  | シリアル・データ出力 (SDO)。このピンは、4 線式 SPI モードでのシリアル・データ読み込み用です。VDDIOA 電源電圧の変化は、このピンの $V_{IH}$ と $V_{OH}$ の値に影響します。<br>設定可能入出力 (M5)。デバイスが 4 線 SPI モードでない場合、このピンはステータス/制御ピンです。   |
| 2  | SCLK/SCL | Input        | CMOS                  | SPI モードではシリアル・プログラミング・クロックピン (SCLK)。VDDIOA 電源電圧の変化は、このピンの $V_{IH}$ と $V_{OH}$ の値に影響します。<br>I <sup>2</sup> C モードではシリアル・クロック・ピン (SCL)。VDDIOA 電源電圧の変化は、このピンの $V_{IH}$ と $V_{OH}$ の値に影響します。  |
| 3  | VDDIOA   | Input        | Power                 | シリアル・ポート電源。有効な電源電圧は 1.8V、2.5V、または 3.3V です。1.8V で動作させる場合は、VDDIOA ピンを VDD 電源バスに接続できます。   |
| 4  | SDIO/SDA | Input/output | CMOS                  | SPI モード (SDIO) ではシリアル・データ入出力。このピンへのデータ書込みは 4 線式 SPI モードで行います。このピンには、プルアップ抵抗もプルダウン抵抗も内蔵されていません。VDDIOA 電源電圧の変化は、このピンの $V_{IH}$ と $V_{OH}$ の値に影響します。<br>I <sup>2</sup> C モードではシリアル・データ・ピン (SDA)。                                      |
| 5  | CSB/M6   | Input/output | CMOS                  | SPI モードではチップ選択 (CSB)。アクティブ・ローの入力。SPI モードでデバイスをプログラムするときは、このピンのレベルをロジック 0 に保持してください。このピンには 10k $\Omega$ のプルアップ抵抗が内蔵されています。VDDIOA 電源電圧の変化は、このピンの $V_{IH}$ と $V_{OH}$ の値に影響します。<br>設定可能入出力 (M6)。デバイスが SPI モードでない場合、このピンはステータス/制御ピンです。 |
| 6, 9, 10, 13, 19, 20, 24, 27, 28, 31, 40, 41, 45 | VDD      | Input        | Power                 | 1.8V 電源。   |
| 7  | LDO0     | Input        | LDO bypass            | APLL0 ループ・フィルタの電圧レギュレータ。LDO0 ピンとグラウンドの間に 0.22 $\mu$ F のコンデンサを接続します。LDO0 は、内蔵 APLL0 ループ・フィルタの AC グラウンド・リファレンスです。  |
| 8  | LF0      | Input/output | Loop filter for APLL0 | APLL0 のループ・フィルタ・ノード。LF0 ピンとピン 7 (LDO0) の間に 3.9nF のコンデンサを接続します。   |
| 11   | OUT0AP   | Output       | HCSL, LVDS, CML       | PLL0 出力 0A。  |
| 12   | OUT0AN   | Output       | HCSL, LVDS, CML       | PLL0 相補出力 0A。  |
| 14   | OUT0BP   | Output       | HCSL, LVDS, CML       | PLL0 出力 0B。  |

| ピン番号               | 記号                 | 入出力              | ピン・タイプ                                   | 説明   |
|--------------------|--------------------|------------------|--|--|
| 15                 | OUT0BN             | Output           | HCSL, LVDS, CML                          | PLL0 相補出力 0B。  |
| 16, 21, 44         | DNC                | DNC              | No connect                               | 接続なし。DNC ピンはフロート状態のままにします。   |
| 17                 | OUT0CP             | Output           | HCSL, LVDS, CML                          | PLL0 出力 0C。  |
| 18                 | OUT0CN             | Output           | HCSL, LVDS, CML                          | PLL0 相補出力 0C。  |
| 22                 | OUT1BP             | Output           | HCSL, LVDS, CML                          | PLL1 出力 1B。  |
| 23                 | OUT1BN             | Output           | HCSL, LVDS, CML                          | PLL1 相補出力 1B。  |
| 25                 | OUT1AP             | Output           | HCSL, LVDS, CML                          | PLL1 出力 1A。  |
| 26                 | OUT1AN             | Input/<br>Output | HCSL, LVDS, CML                          | PLL1 相補出力 1A。  |
| 29                 | LF1                | Input/<br>output | Loop filter for APLL1                    | APLL1 のループ・フィルタ・ノード。LF1 ピンとピン 30 (LDO1) の間に 3.9nF のコンデンサを接続します。  |
| 30                 | LDO1               | Input            | LDO bypass                               | APLL1 ループ・フィルタの電圧レギュレータ。LDO1 ピンとグラウンドの間に 0.22 $\mu$ F のコンデンサを接続します。LDO1 は、内蔵 APLL1 ループ・フィルタの AC グラウンド・リファレンスです。  |
| 32, 33, 35, 36, 37 | M0, M1, M2, M3, M4 | Input/<br>output | CMOS                                     | 設定可能入出力ピン。Mx はステータス/制御ピンです。VDDIOB 電源電圧の変化は、これらの Mx ピンの $V_{IH}$ と $V_{OH}$ の値に影響します。M3 と M4 には、100k $\Omega$ のプルダウン抵抗が内蔵されています。M0、M1、M2 に内部抵抗はありません。   |
| 34                 | VDDIOB             | Input            | Power                                    | Mx ピン電源。VDDIOB 電源は、M0~M4 ピンを制御するデジタル・セクションに電力を供給します。有効な電源電圧は 1.8V、2.5V、または 3.3V です。1.8V で動作させる場合は、VDDIOB ピンを VDD 電源バスに接続できます。  |
| 38                 | REFB               | Input            | 1.8 V single-ended or differential input | リファレンス B 入力。この内部バイアスされた REFB 入力は、通常は AC カップリングされます。このように構成された場合、VDD 電源までのシングルエンド振幅のあらゆる差動信号を使用できます。DC カップリングした場合は、REFB 入力を LVDS またはシングルエンドの 1.8V CMOS とすることができます。  |
| 39                 | REFBB              | Input            | 1.8 V single-ended or differential input | リファレンス BB 入力または相補リファレンス B 入力。REFB が差動モードの場合は、REFB 相補信号が REFBB ピンに入力されます。REFB がシングルエンド入力として REFBB を使用しない場合、REFBB ピンを接続する必要はありません。   |
| 42                 | XOA                | Input            | Differential input                       | システム・クロック入力。XOA には内部 DC バイアスが含まれており、水晶振動子を使用する場合を除いて 0.1 $\mu$ F のコンデンサで AC カップリングする必要があります。水晶振動子を使用する場合は、XOA と XOB の間に接続します。シングルエンドの CMOS 入力も 1 つの選択肢ですが、デューティ・サイクルが 50% でない場合はスプリアス・スペクトル成分が発生する可能性があります。XOA をシングルエンド入力として使用する場合は、XOB とグラウンドの間に 0.1 $\mu$ F のコンデンサを接続してください。 |
| 43                 | XOB                | Input            | Differential input                       | 相補システム・クロック入力。XOB は XOA の相補信号です。XOB には内部 DC バイアスが含まれており、水晶振動子を使用する場合を除いて 0.1 $\mu$ F のコンデンサで AC カップリングする必要があります。水晶振動子を使用する場合は、XOA と XOB の間に接続します。  |
| 46                 | REFAA              | Input            | 1.8 V single-ended or differential input | リファレンス AA 入力または相補 REFA 入力。REFA が差動モードの場合は、REFA 相補信号が REFAA ピンに入力されます。REFA がシングルエンド入力として REFAA を使用しない場合、REFAA ピンを接続する必要はありません。DC カップリングした場合、REFAA 入力はシングルエンドの 1.8V CMOS です。   |
| 47                 | REFA               | Input            | 1.8 V single-ended or differential input | リファレンス A 入力。内部バイアスされた REFA 入力は、通常は AC カップリングされます。このように構成された場合、REFA には VDD 電源までのシングルエンド振幅のあらゆる差動信号を使用できます。DC カップリングした場合は、入力を LVDS またはシングルエンドの 1.8V CMOS とすることができます。   |

| ピン番号 | 記号     | 入出力    | ピン・タイプ      | 説明  |
|------|--------|--------|-------------|---|
| 48   | RESETB | Input  | CMOS logic  | アクティブ・ロー・チップ・リセット。RESETB ピンには 100k $\Omega$ のプルアップ抵抗が内蔵されています。アサートするとチップがリセットされます。<br>VDDIOA 電源電圧の変化は、RESETB の $V_{IH}$ の値に影響します。 |
|      | EPAD   | Output | Exposed pad | 露出パッド。露出パッドはチップ上のグラウンド接続です。正常な機能を確保し、放熱/ノイズ性能および機械的強度を向上させるには、露出パッドを PCB のアナログ・グラウンドにハンダ付けする必要があります。                              |

代表的な性能特性

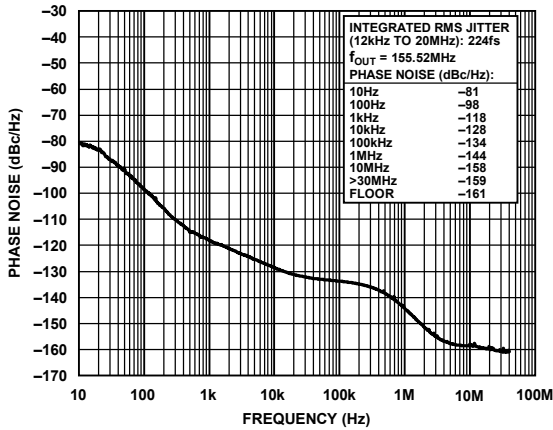


図3. 絶対位相ノイズ (PLL0、デバイス設定 1、HCSL モード、 $f_{REF} = 38.88\text{MHz}$ 、 $f_{OUT} = 155.52\text{MHz}$ 、 $f_{OSC} = 52\text{MHz}$  水晶振動子、50Hz DPLL 帯域幅)

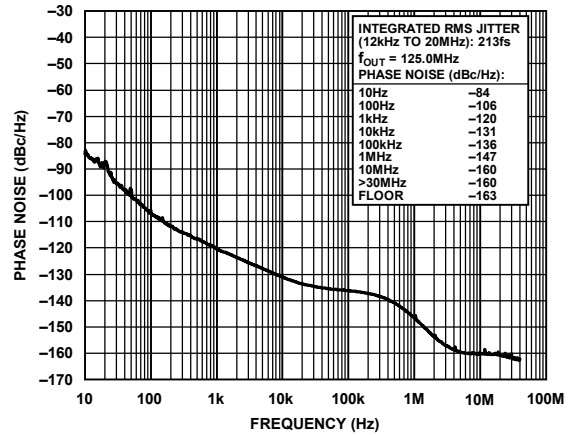


図6. 絶対位相ノイズ (PLL0、デバイス設定 4、HCSL モード、 $f_{REF} = 125\text{MHz}$ 、 $f_{OUT} = 125.0\text{MHz}$ 、 $f_{COMP} = 19.2\text{MHz}$  TCXO、 $f_{OSC} = 52\text{MHz}$  水晶振動子、0.1Hz DPLL 帯域幅、位相ビルドアウト・モード)

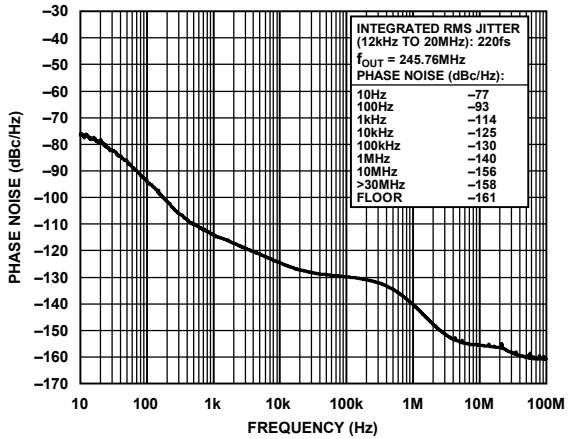


図4. 絶対位相ノイズ (PLL0、デバイス設定 2、HCSL モード、 $f_{REF} = 30.72\text{MHz}$ 、 $f_{OUT} = 245.76\text{MHz}$ 、 $f_{OSC} = 52\text{MHz}$  水晶振動子、50Hz DPLL 帯域幅)

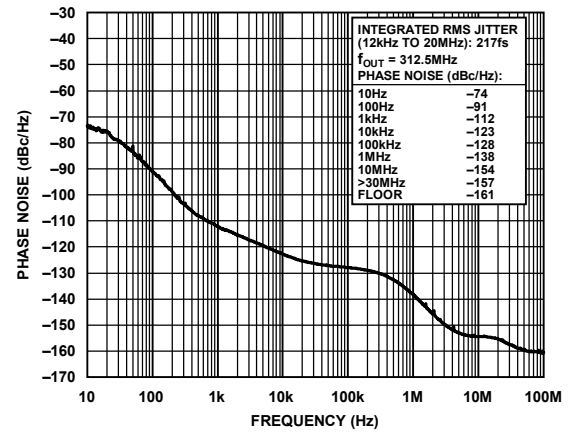


図7. 絶対位相ノイズ (PLL0、デバイス設定 5、HCSL モード、 $f_{REF} = 25\text{MHz}$ 、 $f_{OUT} = 312.5\text{MHz}$ 、 $f_{OSC} = 52\text{MHz}$  水晶振動子、50Hz DPLL 帯域幅、位相ビルドアウト・モード)

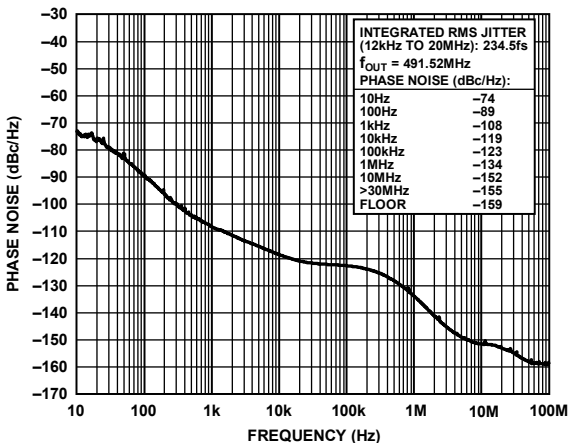


図5. 絶対位相ノイズ (PLL0、デバイス設定 3、HCSL モード、 $f_{REF} = 1\text{Hz}$ 、 $f_{OUT} = 491.52\text{MHz}$ 、 $f_{COMP} = 19.2\text{MHz}$  TCXO、 $f_{OSC} = 52\text{MHz}$  水晶振動子、0.05Hz DPLL 帯域幅)

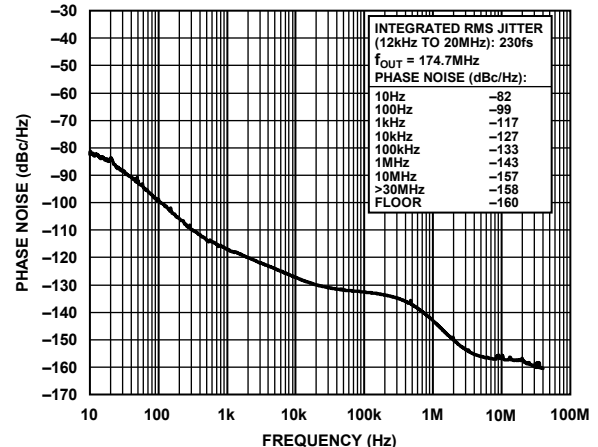


図8. 絶対位相ノイズ (PLL0、デバイス設定 6、HCSL モード、 $f_{REF} = 155.52\text{MHz}$ 、 $f_{OUT} = 174.7\text{MHz}$ 、 $f_{OSC} = 52\text{MHz}$  水晶振動子、50Hz DPLL 帯域幅、位相ビルドアウト・モード)



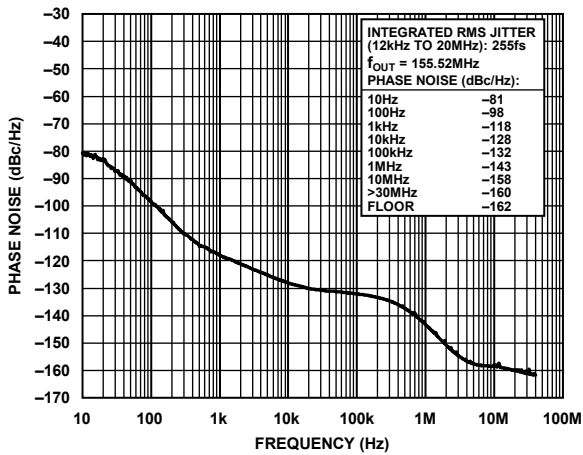


図 9. 絶対位相ノイズ (PLL1、デバイス設定 1、HCSSL モード、 $f_{REF} = 38.88\text{MHz}$ 、 $f_{OUT} = 155.52\text{MHz}$ 、 $f_{OSC} = 52\text{MHz}$  水晶振動子、50Hz DPLL 帯域幅)

23286-009

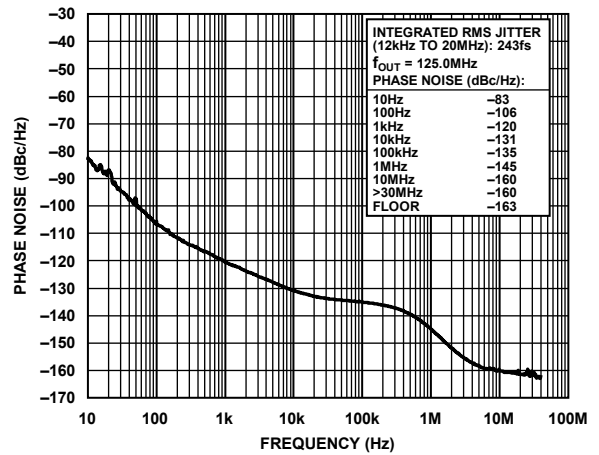


図 12. 絶対位相ノイズ (PLL1、デバイス設定 4、HCSSL モード、 $f_{REF} = 125\text{MHz}$ 、 $f_{OUT} = 125\text{MHz}$ 、 $f_{COMP} = 19.2\text{MHz}$  TCXO、 $f_{OSC} = 52\text{MHz}$  水晶振動子、0.1Hz DPLL 帯域幅、位相ビルドアウト・モード)

23286-012

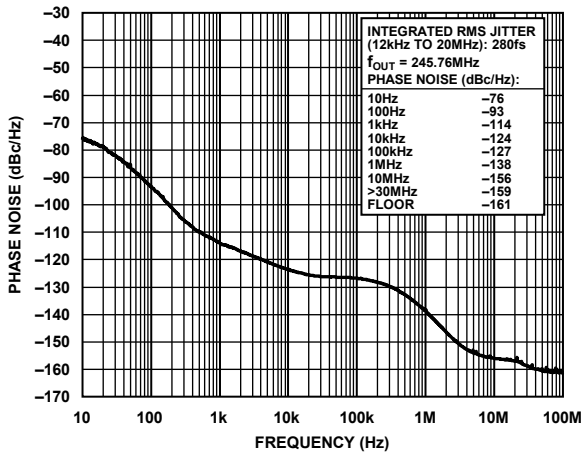


図 10. 絶対位相ノイズ (PLL1、デバイス設定 2、HCSSL モード、 $f_{REF} = 30.72\text{MHz}$ 、 $f_{OUT} = 245.76\text{MHz}$ 、 $f_{OSC} = 52\text{MHz}$  水晶振動子、50Hz DPLL 帯域幅)

23286-010

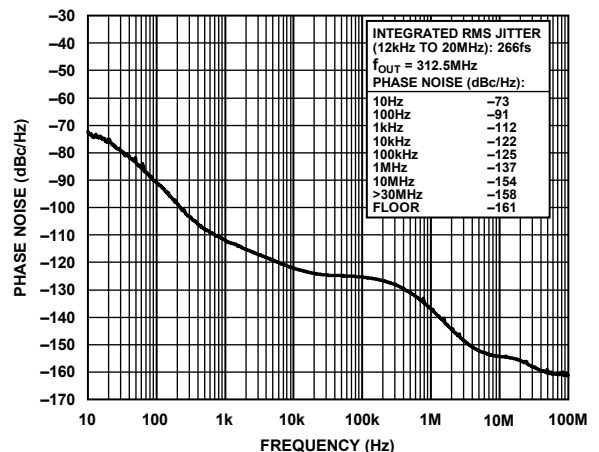


図 13. 絶対位相ノイズ (PLL1、デバイス設定 5、HCSSL モード、 $f_{REF} = 25\text{MHz}$ 、 $f_{OUT} = 312.5\text{MHz}$ 、 $f_{OSC} = 52\text{MHz}$  水晶振動子、50Hz DPLL 帯域幅、位相ビルドアウト・モード)

23286-013

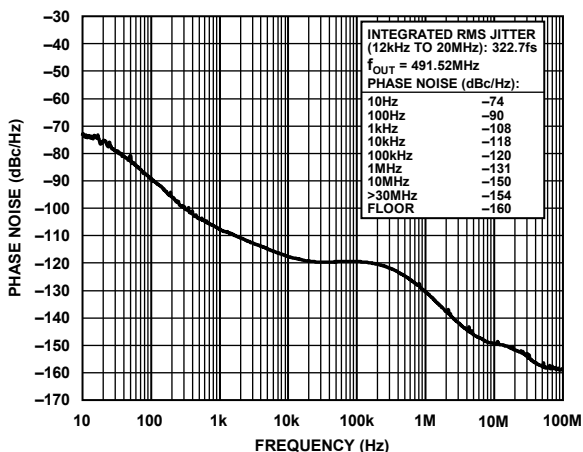


図 11. 絶対位相ノイズ (PLL1、デバイス設定 3、HCSSL モード、 $f_{REF} = 1\text{Hz}$ 、 $f_{OUT} = 491.52\text{MHz}$ 、 $f_{COMP} = 19.2\text{MHz}$  TCXO、 $f_{OSC} = 52\text{MHz}$  水晶振動子、0.05Hz DPLL 帯域幅)

23286-011

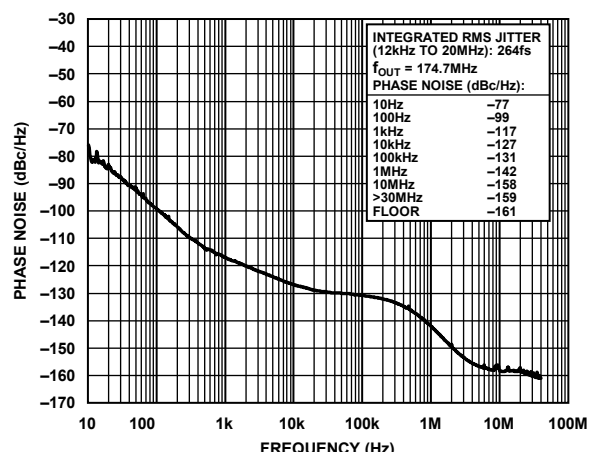


図 14. 絶対位相ノイズ (PLL1、デバイス設定 6、HCSSL モード、 $f_{REF} = 155.52\text{MHz}$ 、 $f_{OUT} = 174.7\text{MHz}$ 、 $f_{OSC} = 52\text{MHz}$  水晶振動子、50Hz DPLL 帯域幅、位相ビルドアウト・モード)

23286-014

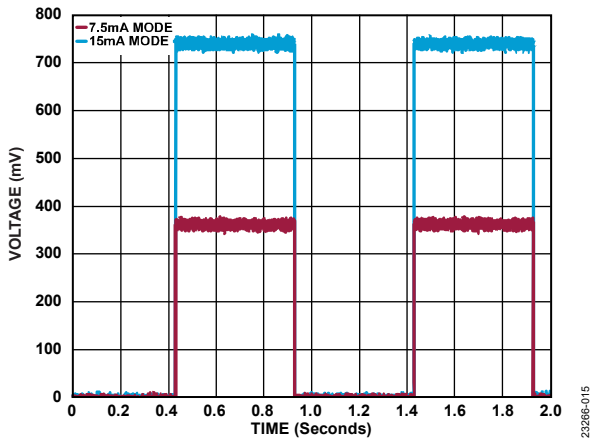


図 15. DC カップリング、シングルエンド、1Hz の出力波形 (HCSL 7.5mA モードと 15mA モードを使用し 図 46 に従い 50Ω をグラウンドに終端)、スルー・レート ≈ 7V/ns (15mA モード)、~3.5V/ns (7.5mA モード)

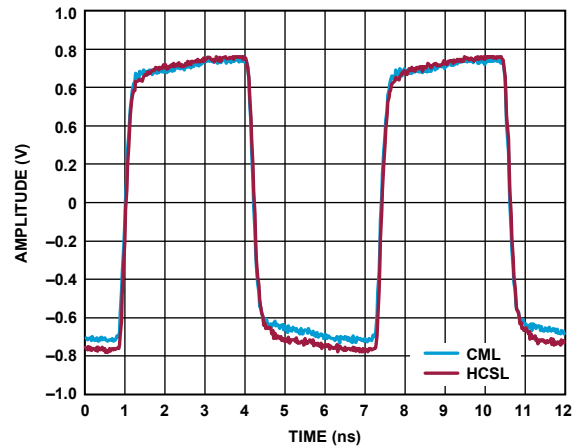


図 18. 156.25MHz 出力波形 (15mA ドライバ設定)、HCSL ドライバは 図 39 に従い 50Ω をグラウンドに終端、CML ドライバは 図 40 に従い 50Ω を 1.8V に終端

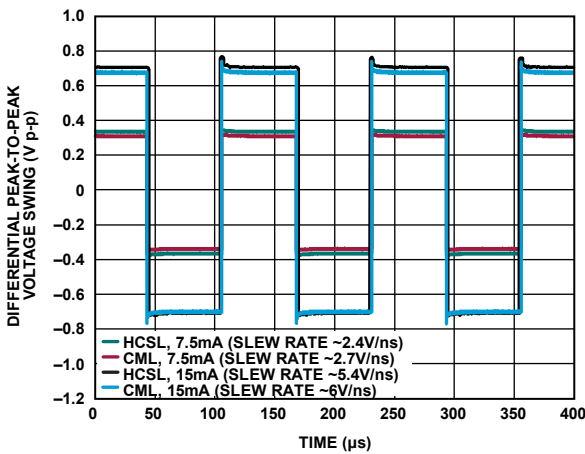


図 16. 各種ドライバ設定での 8kHz 出力波形、HCSL ドライバは 図 39 に従い 50Ω をグラウンドに終端、CML ドライバは 図 40 に従い 50Ω を 1.8V に終端

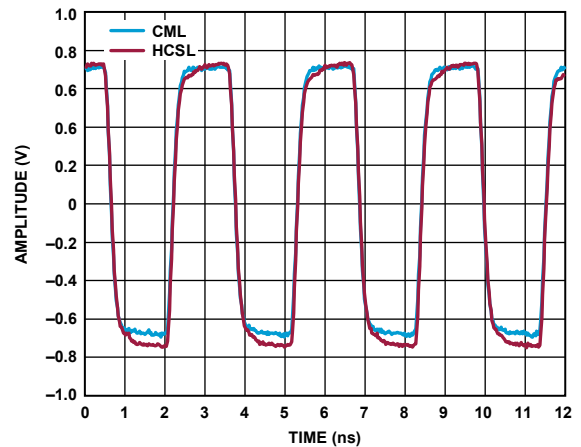


図 19. 312.5×66MHz/64MHz 出力波形 (15mA ドライバ設定)、HCSL ドライバは 図 39 に従い 50Ω をグラウンドに終端、CML ドライバは 図 40 に従い 50Ω を 1.8V に終端

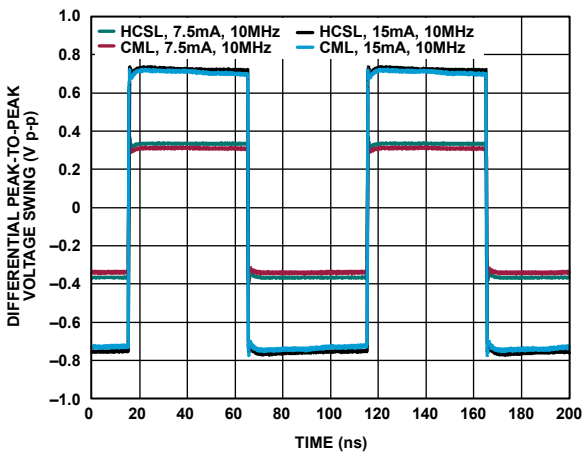


図 17. 各種ドライバ設定での 10MHz 出力波形、HCSL ドライバは 図 39 に従い 50Ω をグラウンドに終端、CML ドライバは 図 40 に従い 50Ω を 1.8V に終端

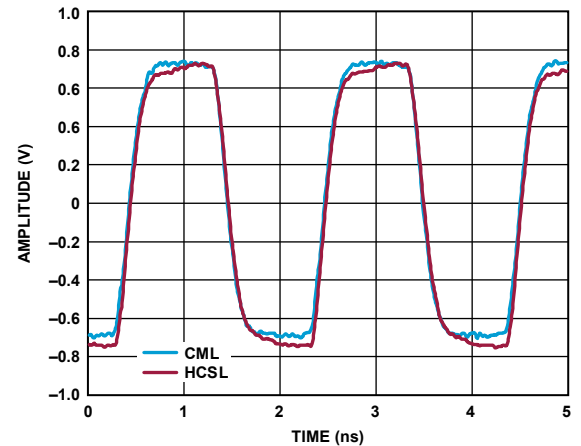


図 20. 491.52MHz 出力波形 (15mA ドライバ設定)、HCSL ドライバは 図 39 に従い 50Ω をグラウンドに終端、CML ドライバは 図 40 に従い 50Ω を 1.8V に終端

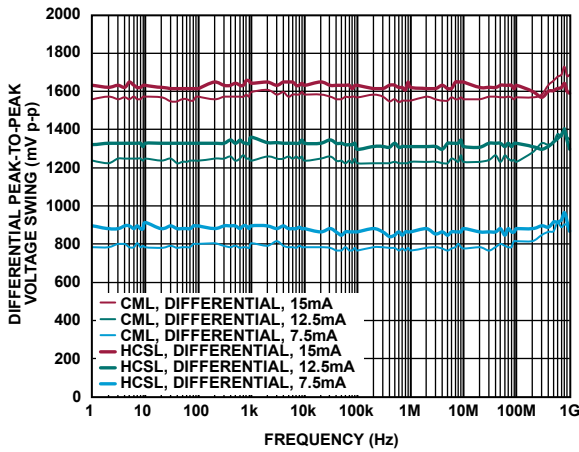


図 21. 差動ピーク to ピーク電圧振幅と周波数の関係、HCSL ドライバは図 39 に従い 50Ω をグラウンドに終端、CML ドライバは図 40 に従い 50Ω を 1.8V に終端

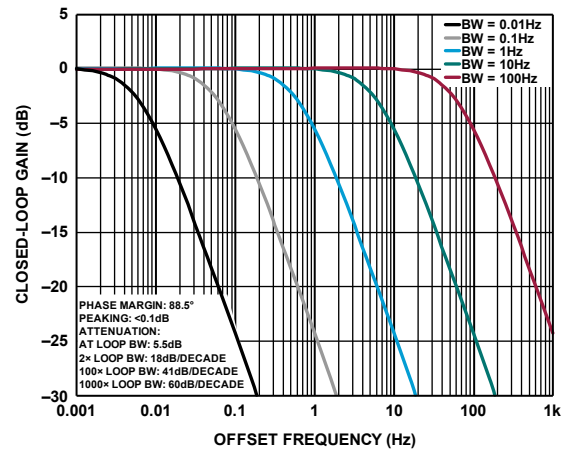


図 24. DPLL クローズドループ伝達関数 (高位相マージンのループ・フィルタ設定)

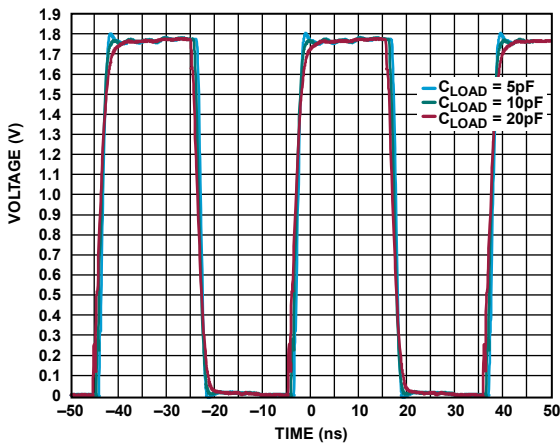


図 22. 様々な負荷条件での Mx ピン波形、通常出力駆動強度 (デフォルト)、VDDIOx = 1.8V

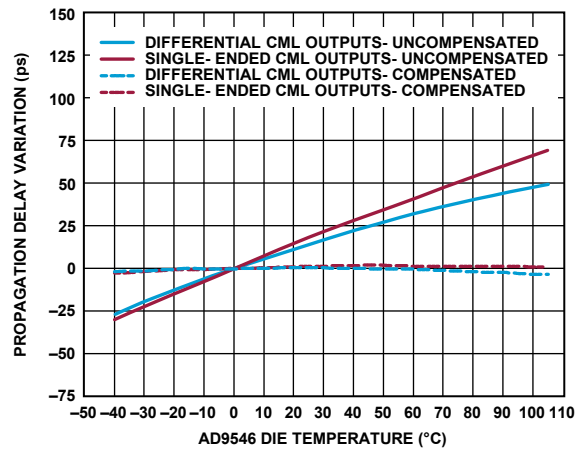


図 25. 伝搬遅延の変化と AD9546 ダイ温度の関係、CML 出力モード、1.2V CMOS リファレンス入力モード、 $f_{\text{SYS}} = 2392\text{MHz}$ 、内部ゼロ遅延 (ヒットレス) モード

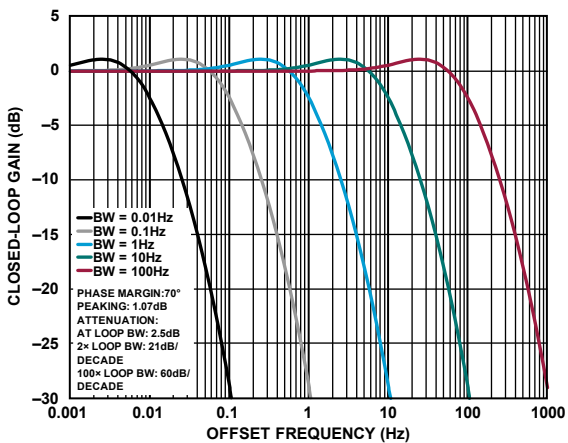


図 23. DPLL クローズドループ伝達関数 (公称位相マージンのループ・フィルタ設定)

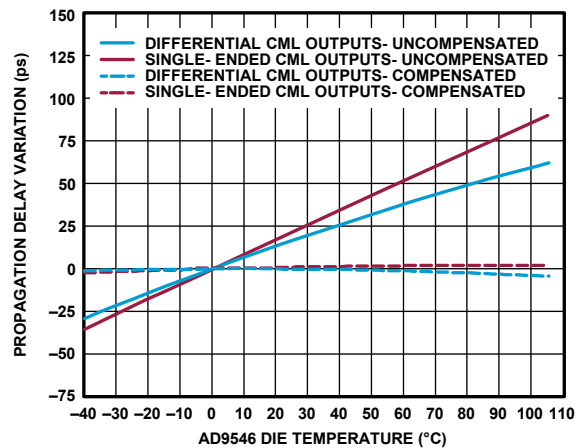
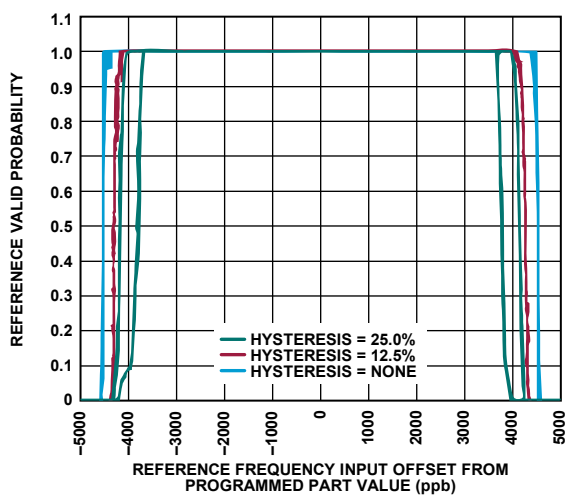
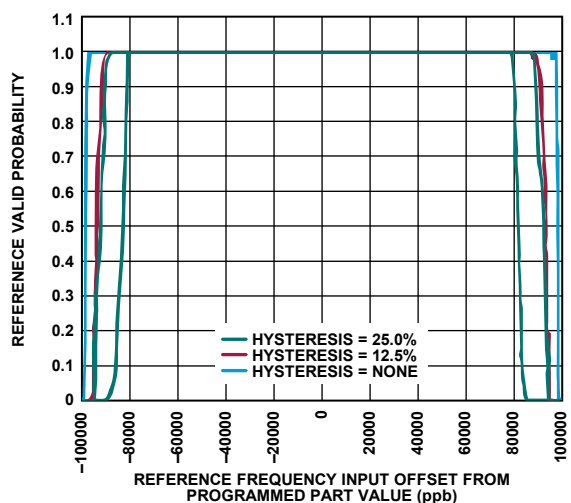


図 26. 伝搬遅延の変化と AD9546 ダイ温度の関係、HCSL 出力モード、1.2V CMOS リファレンス入力モード、 $f_{\text{SYS}} = 2392\text{MHz}$ 、内部ゼロ遅延 (ヒットレス) モード



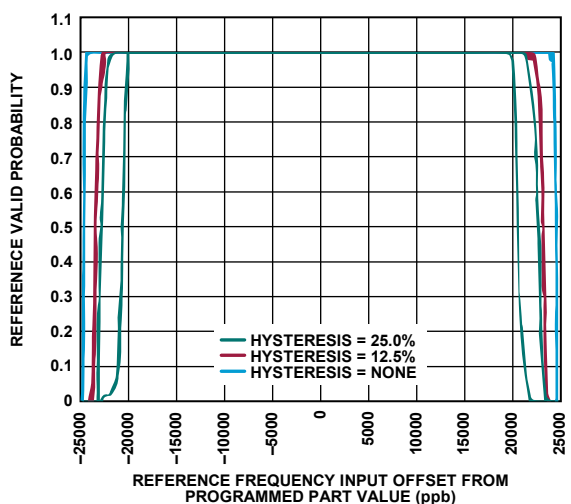
23266-027

図 27. リファレンス有効確率とリファレンス周波数入力力のプログラムされた部品値からのオフセットの関係、許容誤差 = 4.6ppm



23266-029

図 29. リファレンス有効確率とリファレンス周波数入力力のプログラムされた部品値からのオフセットの関係、許容誤差 = 100ppm



23266-028

図 28. リファレンス有効確率とリファレンス周波数入力力のプログラムされた部品値からのオフセットの関係、許容誤差 = 25ppm

## 用語の定義

### ゼロ遅延

ゼロ遅延は、出力クロック信号と入力クロック信号の間のゼロ位相オフセットを確立する、PLL ベースのクロック・アーキテクチャです。ゼロ遅延アーキテクチャでは、その定義によって、インテジャ- $N$  タイプの PLL が必要です。入力エッジと出力エッジの間の静的な位相関係を維持するために、入力周波数と出力周波数の間に高調波の関係があることが必要であるためです。ゼロ遅延は、静的な（定常状態の）意味においてのみ入出力の位相オフセットがゼロになる点に注意してください。つまり、トランジェント事象があると、これが原因となって PLL がその出力位相を変化させる可能性があり、それによって一時的にゼロ遅延条件が満たされなくなります（例えば、PLL が位相または周波数アクイジションの過程にある場合）。トランジェント事象の例としては、複数入力の PLL が 1 つの入力リファレンスから別の入力リファレンスに切り替わる場合が挙げられます。

### ヒットレス・スイッチオーバー

ヒットレス・スイッチオーバーは、複数の入力クロック信号（通常同じ周波数で動作）間で切り替えができる PLL に適用されます。一般的に、複数の入力クロック信号は位相が揃ってはいません。そのため、入力クロック信号を切り替えると出力クロック信号にかなりの位相トランジェントが発生します。ヒットレス・スイッチオーバーは、出力クロック信号が事前に定めた方法で位相を変化させ、新しいリファレンス信号の位相に適應できるようにする（通常は出力周波数の偏差を事前に設定した最大値に制限する）ことで、出力の位相トランジェントを制限します。ヒットレス・スイッチオーバー機能を備えた PLL では、入力と出力の周波数比を 1 以上の整数にする必要があります。それ以外の場合、出力周期は入力周期を基準として  $360^\circ$  を超える位相を構成し、これによって解決不能の位相のあいまいさが生じることになります。

なお、ヒットレス・スイッチオーバーによって課せられる出力位相トランジェントの制限は、PLL が位相または周波数アクイジションを行っているときも常に適用されることに注意してください（つまり、必ずしもリファレンス・クロック・スイッチオーバーに限定されるわけではありません）。位相トランジェントの制限はヒットレス動作内にあります。ヒットレス動作を可能にする主な要素は、狭いループ帯域幅を使用することですが、これが PLL のトランジェント特性を全般的に左右するためです。

### 位相ビルドアウト・スイッチオーバー

位相ビルドアウト・スイッチオーバーは、複数の入力クロック信号（通常同じ周波数で動作）間で切り替えができる PLL に適用されます。一般的に、複数の入力クロック信号は位相が揃ってはいません。そのため、入力クロック信号を切り替えると出力クロック信号にかなりの位相トランジェントが発生します。位相ビルドアウト機能によって、PLL が元のリファレンス・クロック信号と切り替え後のリファレンス・クロック信号の間の位相差を吸収できるため、出力クロック信号の位相の乱れが抑止できます（出力の位相を次第に変化させて新しい入力の位相に合わせるヒットレス・スイッチオーバーとは異なります）。位相ビルドアウト動作は出力クロック信号の位相の乱れを抑止するものであるため、入力クロック信号と出力クロック信号の間の位相アライメントが確保されるとは限りません。ヒットレス・スイッチオーバーと異なり、位相ビルドアウトでは、出力／入力周波数比に関する制約はありません。

詳細については、AN-1420 アプリケーション・ノートを参照してください。

### タイム・ベース

タイム・ベースは周波数のソースで、その周期によって時間の経過が示されます。

### タイム・スケール

タイム・スケールはタイム・ベースの周期を積算したものです。タイム・スケールによって、特定の瞬間を特定の時間値を持つものとして特定できます。タイム・スケールの開始点（そのエポック）は任意です。

### エポック

エポックはタイム・スケールに関連する開始時間です。例えば、UTC タイム・スケールのエポックは 1970 年 1 月 1 日午前 0 時です。

### タイム・スタンプ

本データシートのコンテキストでは、タイム・スタンプは、内蔵デバイスの使用に適した任意のエポックのデジタル（数値）時間値を指します。

### タイム・コード

本データシートのコンテキストでは、タイム・コードは、デバイス外部での一般的な使用に適するエポックが定義されたタイム・スタンプを指します。

## 動作原理

図 1 は、AD9546 の基本的な構成要素をまとめたものです。デバイスのコアは、PLL0 と PLL1 の 2 つの独立した PLL と、1 本のデジタル・リンクを使用して複数の AD9546 デバイス間でクロック信号のデジタル伝送（デジタル化クロッキング）ができる独自の手段からなっています。クロッキングをデジタル化することで、空間的に離れたデバイス間での複数のタイム・スケールの伝送に依存するシステムの設計が合理化できます。デジタル化クロッキング機能は、共通クロック DPLL (CCDPLL)、共通クロック・シンクロナイザ (CCS)、9 個のユーザ・タイム・スタンパ (UTS 0~UTS 8)、2 つの反転ユーザ・タイム・スタンパ (IUTS 0 および IUTS 1) で構成されます。

AD9546 は、AD9545 との高い下位互換性（受け継いだ機能）を備えています。デジタル化クロッキング機能に対応するために複数の拡張機能があります。ユーザはほとんどの拡張機能を、レジスタのプログラミングによって使用できます。特定の拡張機能を有効にすると、従来の機能に影響を及ぼし、この従来機能に関連するレジスタ設定を無効化する場合があります。そのような場合、本データシートでは特定の拡張機能を記述する文章の中で、従来機能に及ぼす影響やレジスタの無効化について明確に説明しています。

AD9546 は、システム・クロック入力ピン (XOA と XOB) に印加される周波数をアップコンバートする、システム・クロック PLL を介してシステム・クロックを合成します。システム・クロック入力ピンは、外部クロック源から 20MHz~300MHz の周波数を受け入れます。または、XOA ピンおよび XOB ピンに直接水晶共振器 (25MHz~80MHz) を接続することもできます。システム・クロック PLL の出力は、AD9546 内でのタイム・キーピング機能用の主タイム・ベースとなります。

AD9546 は最大 8 つのリファレンス入力クロック信号に対応します (REFA、REFAA、REFB、REFBB の各ピンと、補助 REF0、補助 REF1、補助 REF2、補助 REF3 に給電するよう設定された 4 つの Mx ピンを介する)。8 つのリファレンス入力にはそれぞれ、専用のリファレンス分周器の他、リファレンス信号が失われたり損なわれたりした場合にそれを検出するリファレンス・モニタが備わっています。更に、異常なリファレンスを検出した場合、AD9546 はユーザ設定可能なリファレンス選択の優先順位に従って、自動的に別の (有効な) リファレンスに切り替えます。

また、ユーザは 2 つの独立した補助 NCO にもアクセスできます。これらの NCO は、 $2^{-40}$ Hz (およそ 1pHz) のチューニング分解能で最高 65,535Hz までの周波数を内部生成できます。

各 PLL チャンネルの DPLL 部には、ループ帯域幅を非常に狭くできるプログラマブル・デジタル・ループ・フィルタがあります。ループ帯域幅を狭くできることで、リファレンス入力から出力までのジッタ転送を著しく抑制することが可能になります。各 DPLL は、162MHz~350MHz の範囲のクロック信号を生成可能な 48 ビット NCO を使用して、正確な周波数変換を行うことができます。更に、どちらの DPLL にも、手動または自動でホールドオーバー動作に遷移できる機能があります。

ホールドオーバー動作は、システム・クロックから合成された出力周波数を生成するようデバイスを構成します (リファレンス入力から出力への周波数変換とは逆)。ホールドオーバー動作中、AD9546 はシステム・クロックが存在する間継続的に出力クロック信号を提供します。AD9546 には、ホールドオーバー動作へ遷移するまでの出力周波数履歴の時間平均に基づき、ホールドオーバー出力周波数を設定する機能もあります。

DPLL からの出力信号は、APLL の入力にルーティングされ、APLL は、この信号を 2.424GHz~3.232GHz の範囲 (APLL0) または 3.232GHz~4.040GHz の範囲 (APLL1) にアップコンバートします。APLL VCO 出力に続き高周波分周器 ( $\div 2$ ) が周波数を 2 分の 1 に下げてから、クロック分配セクションに信号を送ります。

クロック分配セクションは、一組の分周器 (Q) と各出力ピンに専用の出力ドライバで構成されています。PLL0 チャンネルには 6 個の Q 分周器/ドライバ・ユニットがあり、PLL1 には 4 個の Q 分周器/ドライバ・ユニットがあります。各 Q 分周器には 32 ビットのプログラマブル分周深度とプログラマブル位相オフセット制御があります。ドライバは最大 500MHz で動作し、シングルエンドまたは差動出力として構成でき、出力電流は調整可能 (7.5mA、12.5mA、または 15mA) です。

AD9546 には温度センサーとシステム・クロック補償回路が集積化されているため、システム・クロック源に関連する周波数ドリフト誤差を自動で調整できます。

## 推奨される入出力の終端処理

### システム・クロック入力

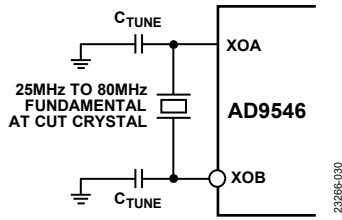


図 30. 水晶振動子バスを使用するシステム・クロック入力 (XOA/XOB) ( $C_{TUNE} = 2 \times (C_{LOAD} - C_{STRAY})$ 、 $C_{STRAY} = 2 \text{ pF} \sim 5 \text{ pF}$  (代表値))、コンデンサの定義については水晶振動子バスのセクションを参照)

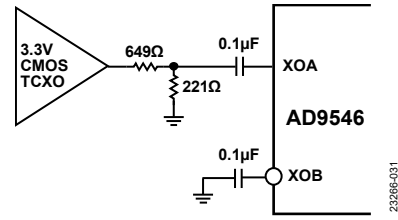


図 31. 3.3V CMOS 出力の TCXO またはオープン制御水晶発振器 (OCXO) による直接バスを使用したシステム・クロック入力 (XOA、XOB)

### リファレンス・クロック入力

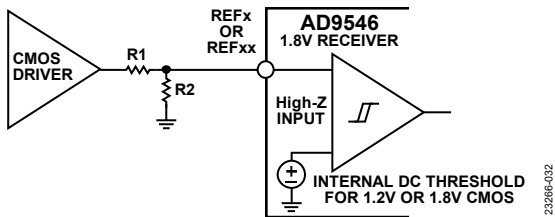


図 32. シングルエンド DC カップリング・モード (1.2V または 1.8V CMOS)

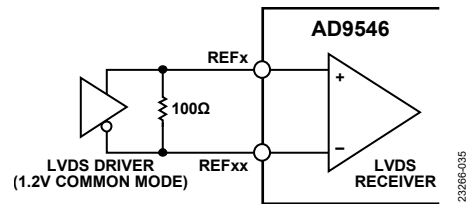


図 35. 差動 LVDS 入力モード

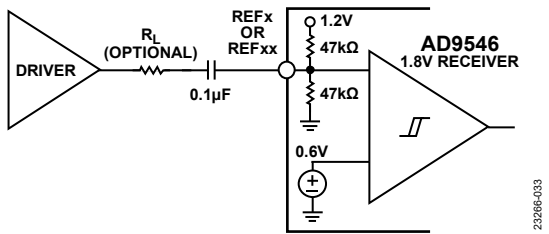


図 33. シングルエンド AC カップリング・インターフェース・モード

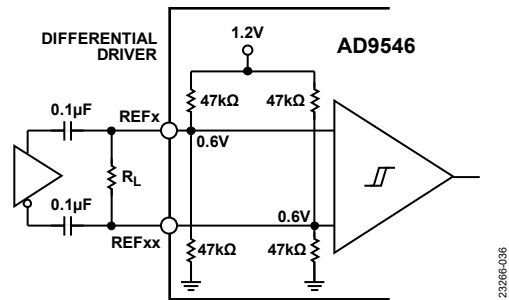


図 36. 差動 AC カップリング・モード (HCSL を除き  $R_L = 100\Omega$  を推奨)

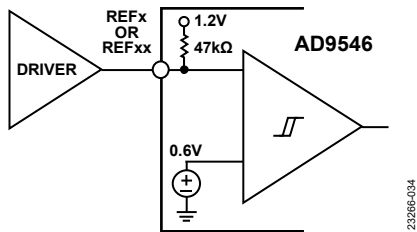


図 34. シングルエンド内部プルアップ抵抗モード

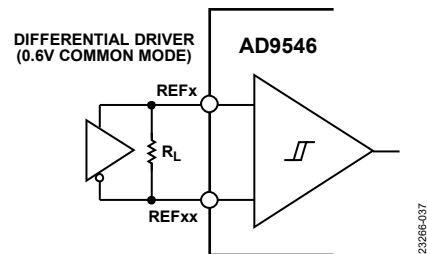


図 37. 差動 DC カップリング・モード

クロック出力

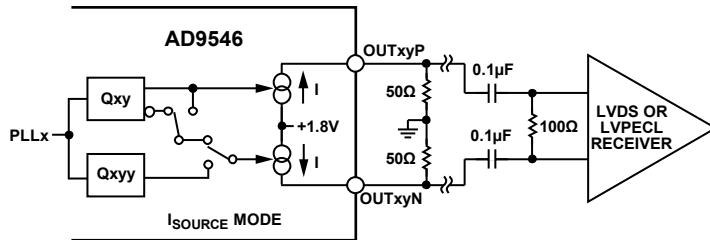


図 38. LVDS 対応出力振幅、AC カップリング ( $I = 15\text{mA}$  時の  $100\Omega$  終端抵抗間の電圧 =  $375\text{mV}$  (差動))

AD9546 の出力ドライバは、電流ソースにも電流シンクにもできます。出力ピン・ペア (OUTxyP/OUTxyN) のピンには、それぞれ独立した電流源があります。ただし、ソース機能またはシンク機能は、出力ピン・ペアの両電流源 (つまり、両ピン・ドライバのソース電流 ( $I_{\text{SOURCE}}$ ) またはシンク電流 ( $I_{\text{SINK}}$ )) に適用されます。各ドライバの電流源またはシンク電流は、関連する Qxy または Qxyy 分周器の出力ロジック・レベルに応じてオンまたはオフになります (0 = オフ、1 = オン)。

Qxy 分周器には通常ロジック出力と反転ロジック出力の両方があります。つまり、Qxy 分周器が両方の出力ドライバに接続されている場合 (例えば図 38 のように)、1 つの電流源がオンになる一方でもう 1 つの電流源がオフになり、差動出力信号が可能になります。クロック出力ドライバの設定については[分配クロック出力ドライバ](#)のセクションを参照してください。

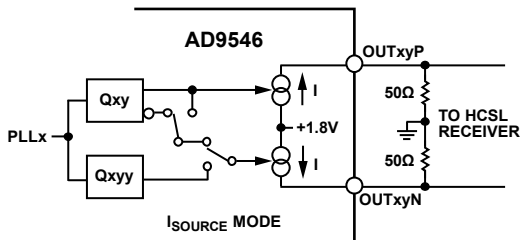


図 39. HCSL 出力、ピーク to ピーク電圧  $\approx 750\text{mV}$  (セクションごと) ( $I = 15\text{mA}$ )

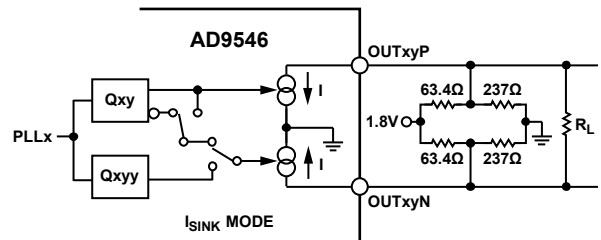


図 42. LVDS 対応出力、 $1.2\text{V}$  コモンモード、テブナン・バイアス回路 ( $I = 7.5\text{mA}$ 、 $100\Omega$  終端  $R_L$  を追加して  $I = 15\text{mA}$ )

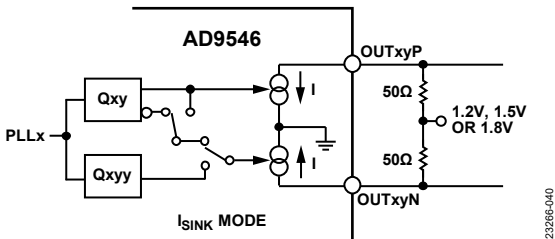


図 40. CML 出力 ( $I = 7.5\text{mA}$ 、 $1.5\text{V}$  または  $1.8\text{V}$  電源では  $I = 15\text{mA}$  オプション)

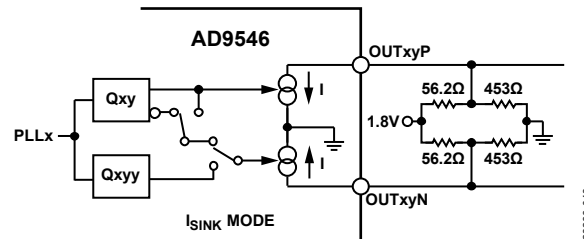


図 43.  $2.5\text{V}$  LVPECL または両振幅 LVDS 対応昇圧出力、 $1.5\text{Vp-p}$ 、 $1.24\text{V}$  コモンモード ( $I = 15\text{mA}$ )

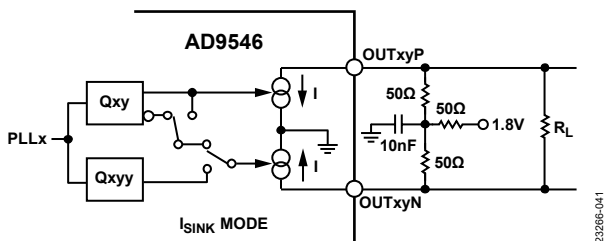


図 41. LVDS 対応出力、 $1.24\text{V}$  コモンモード、T 型回路 ( $I = 7.5\text{mA}$ 、 $100\Omega$  終端  $R_L$  を追加して  $I = 15\text{mA}$ )

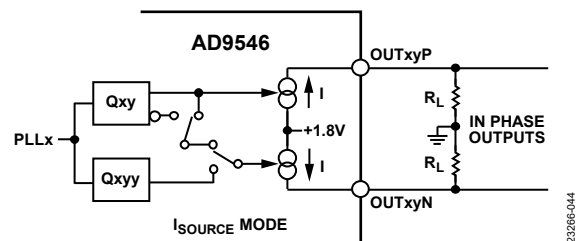


図 44. 同相出力を提供するシングル分周器シングルエンド・モード (電流ソース・モード)



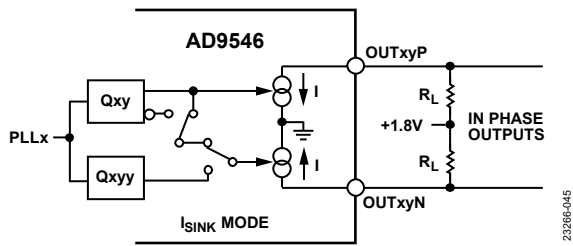


図 45. 同相出力を提供するシングル分周器シングルエンド・モード（電流シンク・モード）

23286-045

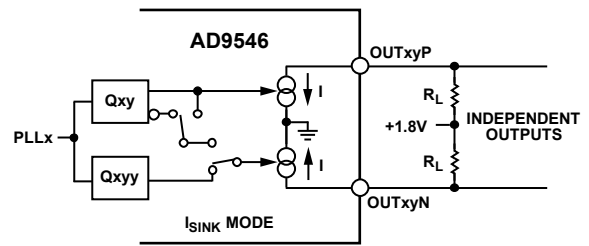


図 47. 独立出力を提供するデュアル分周器シングルエンド・モード（電流シンク・モード）

23286-047

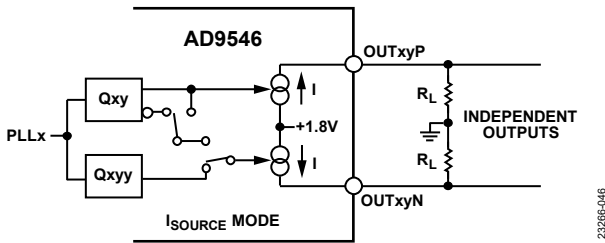


図 46. 独立出力を提供するデュアル分周器シングルエンド・モード（電流ソース・モード）

23286-046

## デジタル化クロッキング

### 概要

デジタル化クロッキング機能により、ローカル・クロックを同期させるための数値的なタイム・コードの交換を行うことで、空間的に離れたデバイス間での正確なタイミング伝送（周波数および位相）が可能となります（すべてのデバイスが共通のリファレンス・クロック信号を使用できると仮定）。

デジタル化クロッキング・システムは複数のタイミング・ノードから成り、各ノードは共有の外部タイム・ベースに依存しています（共通のクロック・リファレンス）。各ノードは同じ共通のクロック・リファレンスを共有しているため、各ノードは同じ割合でインクリメントし、その結果すべてのノードのタイム・スケールは等しくなります。すべてのノードのタイム・スケールは同じになりますが、同じエポックを共有するとは限りません。デジタル化クロッキングは各ノードでユーザが提供する同期信号に依存して共通のエポックを確立し、最終的にすべてのノードが時間的に揃うこととなります。デジタル化クロッキング独特の特性の1つとして、デジタル・バスを介しノード間で数値タイム・コードを交換できる機能が挙げられます。これは、システム全体に複数のアナログ・クロック信号を配信するのではなく、1つのデジタル・バス（クロック集合体）で複数のクロックを送出できる手段となります。AD9546には、1つのデジタル化クロッキング・ノードを実装するために必要な構成要素がすべて備わっています。

図 48 に、AD9546 に実装されているデジタル化された全クロック・ノードの各要素を示します。これらのデジタル化クロッキング要素には、次のようなものが含まれます。

- 内部デジタル・タイミング機能のためにシステム・クロック周波数を生成する、システム・クロック PLL（システム・クロック PLL のセクションを参照）
- リファレンス・タイム・ベース（共通クロック・リファレンス）にフェーズ・ロックし、ローカル・タイム・スケールを維持する、共通クロック DPLL
- 物理クロックの立上がりエッジをシステム・クロックから抽出されたタイム・スタンプに変換する、物理クロック・コンバータ
- 共通タイム・スケールから抽出されたタイム・スタンプを物理クロック出力信号に変換する、物理クロック・ジェネレータ
- エポックをローカル・タイム・スケールに割り当てることで共通タイム・スケールを作成する、CCS
- 内部タイム・スタンプを共通タイム・スケールに基づくタイム・コードに変換し、これらのタイム・コードを外部使用のためにユーザに提供する、UTS
- ユーザによって提供された共通タイム・スケール（デジタル化されたクロック信号）に基づく一連のタイム・コードを内部タイム・スタンプに変換する、IUTS

図 48 に、様々なタイム・スタンプ源を示します。特定のデジタル化クロッキング・コンポーネントには、いずれかのタイム・スタンプ源に接続する機能が必要です。そのために、これらの

コンポーネントにはその入力部にタイム・スタンプ選択マルチプレクサが含まれています。

### システム・クロック PLL コンポーネント

通常、システム・クロック PLL は外部水晶共振器を周波数源として使用し、これによって、全体的な位相ノイズ性能を最適化できます。システム・クロック PLL は、高周波数の内部システム・クロック信号（約 2.4GHz）を外部周波数源から合成し、このクロック信号が基本的な内部タイミングをデバイスに提供します。デバイスの TDC は、システム・クロックを使用してタイム・スタンプを生成します（時間デジタル・コンバータ（TDC）のセクションを参照）。

内部システム・クロック信号は、共通クロック DPLL コンポーネントがローカル・タイム・スケールを生成するために使用する、2つの周波数源のうちの1つである点に注意してください。

### 共通クロック DPLL コンポーネント

共通クロック DPLL の目的は、ローカル・タイム・スケールを生成することです。この共通クロック DPLL は、内部タイミング用にシステム・クロックを使用しますが、位相はリファレンスのタイム・ベースである共通クロック・リファレンスにロックしています。共通クロック DPLL の出力はローカル・タイム・スケールであり、このタイム・スケールが、共通クロック・リファレンスのサイクルの累積周期を構成し、内部的に検出した時間をデジタル化クロッキング・コンポーネントに提供します。

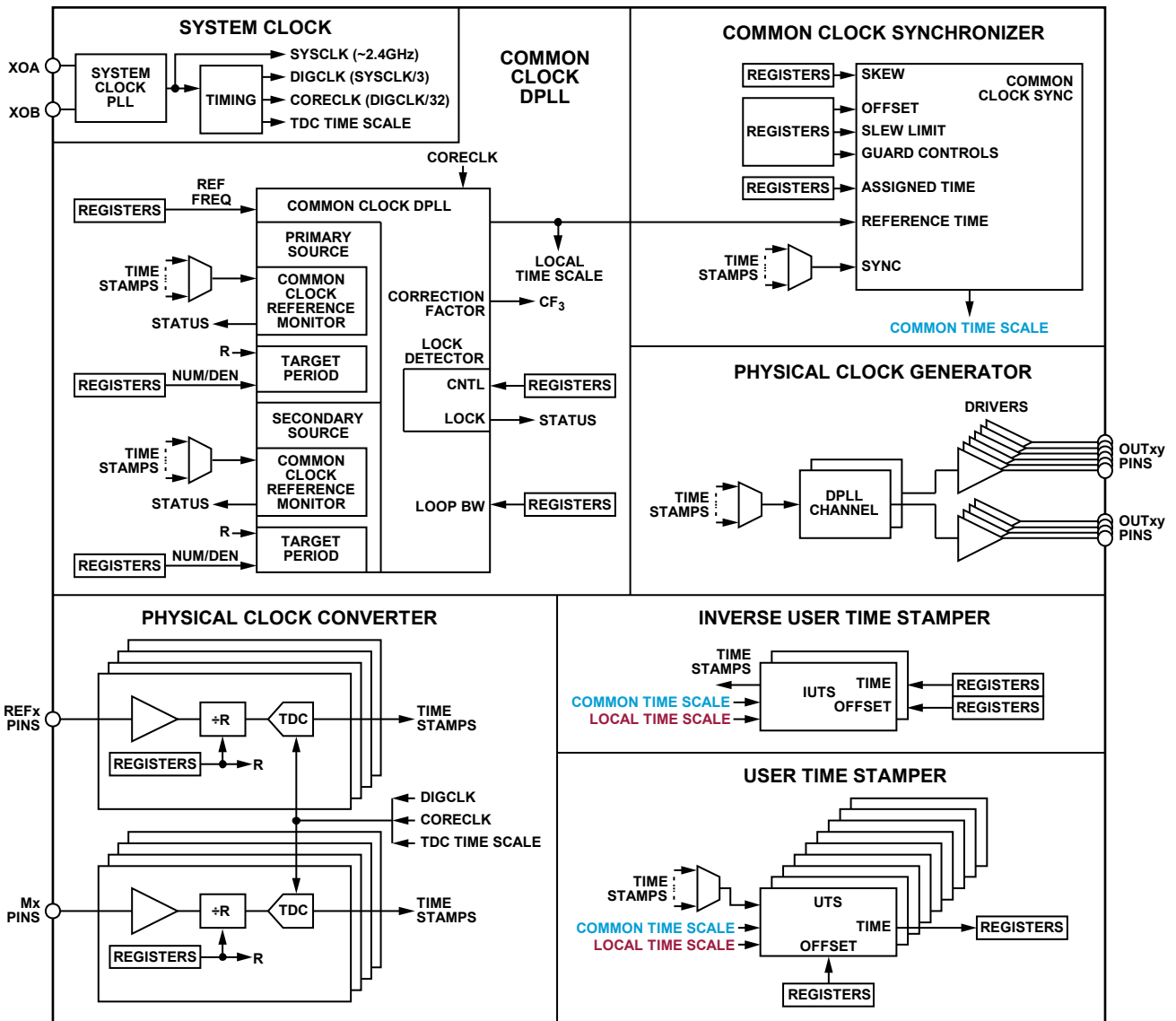
共通クロック DPLL に固有のクローズドループ・アーキテクチャは、誤差信号である補正係数 3（CF<sub>3</sub>）を結果的に生成し、この補正係数によってシステム・クロックの揺らぎが効果的に補正されます。CF<sub>3</sub> 信号は、AD9546 のシステム・クロック補償機能ブロックで使用できる点に注意してください（補償方法 3 のセクションを参照）。

### 物理クロック・コンバータ

物理クロック・コンバータは、外部クロック信号を受け入れる入力機能を担うと共に、オプションのインテジャータ周波数分周を行い、また、立上がりクロック・エッジを数値タイム・スタンプに変換します。このタイム・スタンプはその後、タイム・スタンプ源を必要とするデジタル化クロッキング・コンポーネントによって使用できます。

### 物理クロック・ジェネレータ

物理クロック・ジェネレータは、AD9546 の DPLL チャンネルと出力分配ドライバを利用し、タイム・スタンプからアナログ・クロック出力信号を生成します。デジタル化クロッキング・アプリケーションでは、タイム・スタンプは共通タイム・スケールから派生します。DPLL はこれらのタイム・スタンプをリファレンス入力として受け入れることができるため、物理クロック・ジェネレータの出力はアナログ・クロック信号で構成されます。



NOTES  
 1. DIGCLK IS DIGITAL CLOCK.  
 2. NUM/DEN ARE NUMERATOR/DENOMINATOR.

図 48. デジタル化されたクロック・コンポーネント

23265-048

## 共通クロック・シンクロナイザ・コンポーネント

共通クロック・シンクロナイザは、エポックをローカル・タイム・スケールに割り当てて共通タイム・スケールを生成するための高精度の手段を備えています。基本的には、ユーザが同期トリガ・イベントとなる外部アナログ入力信号の立上がりエッジを供給し、これがデバイスのタイム・スタンプとなります。タイム・スタンプは内部トリガ・イベントとして機能します。トリガ・イベントの直後（および次のトリガ・イベントの前）に、ユーザはこのトリガ・イベントに関連する時間に対応したタイム・コードを使用してデバイスをプログラムし、IO 更新をアサートします。これによってプログラムされたタイム・コードで共通タイム・スケールが揃えられます。このようにして、共通タイム・スケールによって適切な時間が搬送されます。すべてのノードで（各ノードのタイム・ベースとして分配された共通クロックを使用して）同期処理を実行し、システム内の時間遅延を適切に考慮することで、各ノードの共通タイム・スケールは同じ割合でインクリメントし同じエポックを搬送します。したがって、すべてのノードが時間的に高い精度で揃うこととなります。

## ユーザ・タイム・スタンプ (UTS) コンポーネントと反転ユーザ・タイム・ スタンプ (IUTS) コンポーネント

代表的なデジタル・クロッキング・システムは、1つの AD9546 をマスタ・タイム・ユニットとして使用し、様々なノードをこのマスタに同期させることができます。したがって、ノード間で数値タイム・コードを伝送する手段は、システム全体にわたってクロックを伝送し時間誤差を補正するために必須のものです。これが UTS および IUTS の役割です。AD9546 には 9つの UTS ユニットと 2つの IUTS ユニットがあります。

UTS は内部タイム・スタンプをタイム・コード（共通タイム・スケールに基づく数値時間値）に変換し、対応するタイム・コードを読み取る手段をユーザに提供します。タイム・コードは共通タイム・スケールに関連するため、UTS はデジタル化されたクロック信号をリモートのデジタル化クロッキング・ノードにエクスポートする手段となります。

IUTS は、デジタル・クロック信号をノードに送信する手段をユーザに提供します（デジタル・クロック信号は、一定の割合で増加する連続的につながった数値タイム・コードです）。IUTS は、デジタル・クロック信号を（共通タイム・スケールに基づき）タイム・スタンプに変換し、このタイム・スタンプは必要に応じて内部に分配できます。

## デジタル化クロッキング・ノードの例

図 49 は、仮想的なデジタル化クロッキング・システム内の 1つのノードに適用した場合の、デジタル化された各種クロッキング・コンポーネントの相互作用を示したものです。アナログ入力信号は共通クロック (CC)、同期源 (SS)、ローカル・ユーザ・クロック (LUC) から成っています。ローカル・ユーザ・クロックは、別のノードへの伝送またはローカル・アナログ・クロック出力信号としてのローカルな使用を目的とする、任意のアナログ・クロック信号です。

3種類のアナログ入力信号が、それぞれの物理クロック・コンバータを通じて配信されますが、このコンバータでアナログ・クロック信号がタイム・スタンプに変換されます。共通クロックのタイム・スタンプは共通クロック DPLL に配信され、この DPLL でローカル・タイム・スケールの調整が行われます。同期源のタイム・スタンプは共通クロック・シンクロナイザに配信され、これによってユーザは、ローカル・タイム・スケールをエポックが既知の共通タイム・スケールに変換できます。ローカル・ユーザ・クロックのタイム・スタンプは UTS に配信され、これによって外部プロセッサが、共通タイム・スケールに関連するローカル・ユーザ・クロックのタイム・コードを取得できるようになります。

外部プロセッサが取得したローカル・ユーザ・クロックのタイム・コードは、デジタル化されたクロック信号として存在します。したがって、プロセッサは、このデジタル化されたクロック信号をデータ・パケットの形式でリモートのノードに伝送できます。

または、プロセッサは、ローカル・ユーザ・クロックのタイム・コードをローカルの UTS からローカルの IUTS に配信することもできます。この IUTS でローカル・ユーザ・クロックのタイム・コードがタイム・スタンプに戻されます。次いで、タイム・スタンプは、アナログ出力信号に変換するために、物理クロック・ジェネレータで使用できるようになります。単一チップ内で入力クロック・エッジを数値（タイム・コード）に変換し、タイム・コードからアナログ・クロック信号を再構築するという、この基本的な例は、デジタル化クロッキングのコンセプトを実地に説明するものです。

ローカル・ユーザ・クロックのタイム・コードは、リモート・ノードに（プロセッサ経由で）伝送して、その後送り先でアナログ信号に変換できます。リモート・ノードが同じ共通クロックを共有し（デジタル化クロッキングの条件）、リモート・ノードのプロセッサがリモートの共通タイム・スケールに適切に同期すると仮定すると、リモート・ノードのローカル・ユーザ・クロックをそのローカル・ユーザ・クロックのネイティブ・タイム・ドメインに複製することができます。

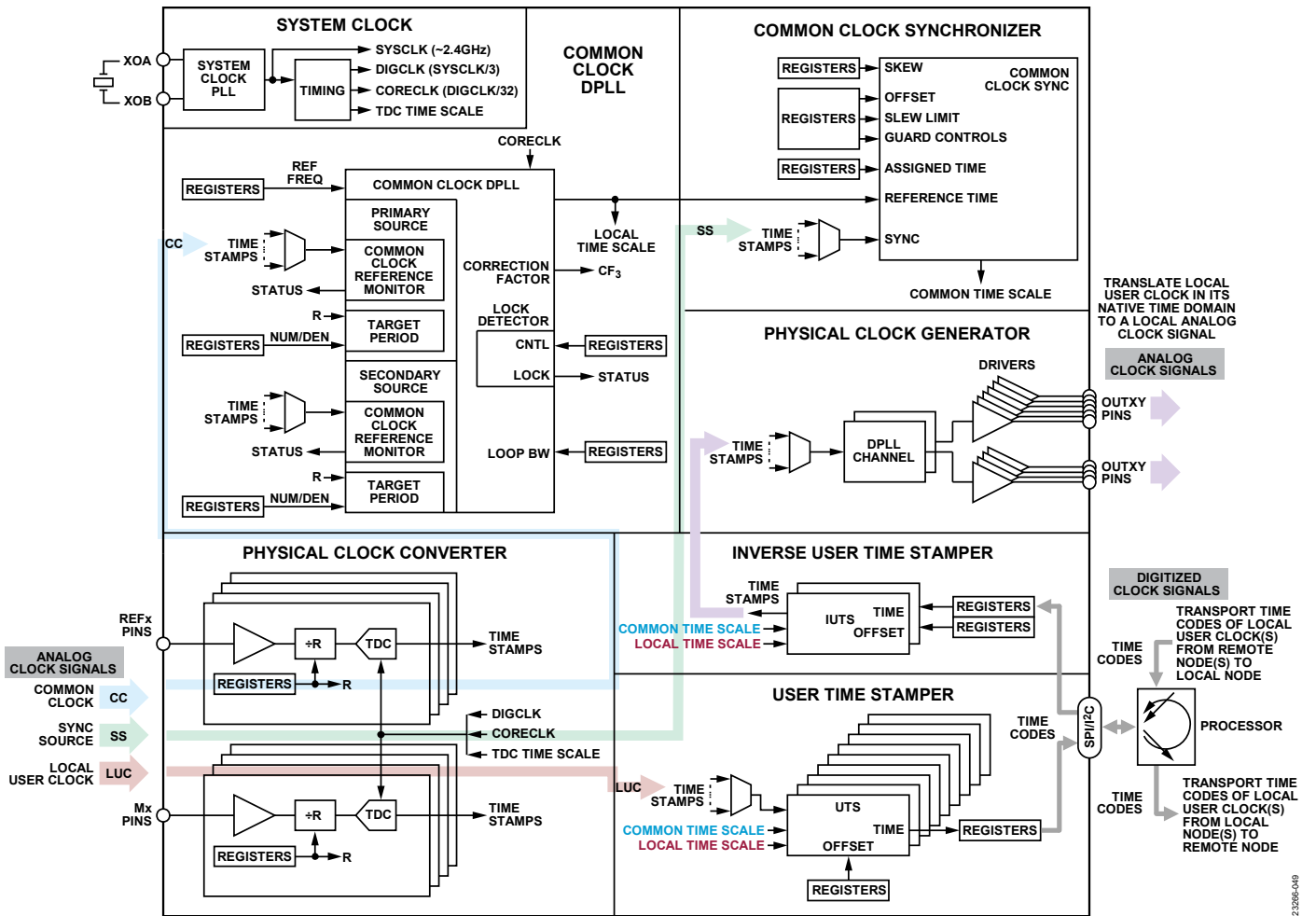


図 49. デジタル化クロッキング・ノード

2.3266-049

## 共通クロック DPLL (CCDPLL)

### 概要

CCDPLL は、補助 DPLL に関連するハードウェアのほとんどを組み入れたものです (システム・クロック補償のセクションの補償方法 3 のサブセクションを参照)。ただし、CCDPLL には、デジタル化クロッキング・システムの必要条件を満たすため、補助 DPLL のハードウェアに対して追加の拡張機能が組み込まれています。図 50 に CCDPLL の機能ブロック図を示します。

### 共通クロック・リファレンス

CCDPLL は、共通クロック・リファレンス (CCR) の周波数入力として 2 つの独立したタイム・スタンプ源に対応します。CCR0 が第一周波数リファレンスで、CCR1 は第二周波数リファレンスです。第一と第二の区別は、リファレンス間の自動切り替え機能における CCDPLL の処理に関して重要なものとなります (共通クロック・リファレンス・スイッチオーバーのセクションを参照)。

用いる CCR が 1 つのみの場合は、CCR0 を使用する必要があります。つまり、リファレンスを CCR1 に割り当て、CCR0 にはリファレンスが割り当てられない場合、無効状態となります。

共通クロック DPLL のリファレンス周波数には REFBB、REFB、または両入力ピンを使用するのがベスト・プラクティスです。アナログ・ループバック機能のリファレンス入力として使用で

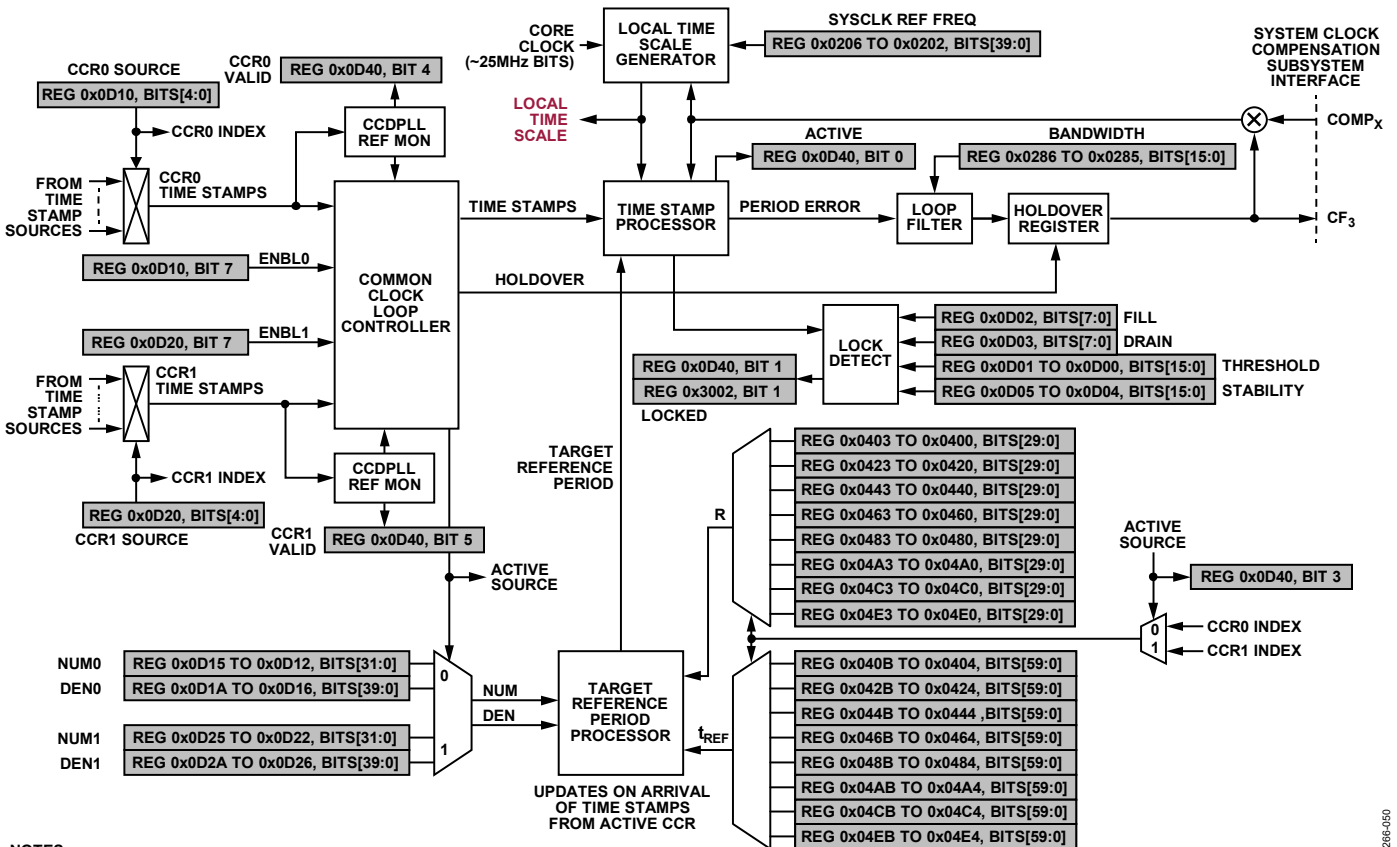
きるのは REFBB 入力および REFBB 入力のみであるためです (アナログ・クロック・ループバックのセクションを参照)。

### CCR イネーブルおよび CCR 周波数源

各 CCR にはイネーブル・ビット (CCR0 にはレジスタ 0x0D10 のビット 7、CCR1 にはレジスタ 0x0D20 のビット 7) があります。ロジック 0 (デフォルト) が CCR をディスエーブルし、ロジック 1 はイネーブルします。両方の CCR を使用してデバイスを動作させる場合、ユーザはイネーブル・ビットを使用すると、アクティブな CCR をディスエーブルすることでリファレンスのスイッチオーバーを強制する、簡単なメカニズムを得ることができます (共通クロック・リファレンス・スイッチオーバーのセクションを参照)。

ユーザは、各 CCR を特定のタイム・スタンプ源に別々に割り当てることができます (CCR0 ではレジスタ 0x0D10 のビット [4:0]、CCR1 ではレジスタ 0x0D20 のビット [4:0] を使用)。デフォルト値は 0x31 で、これはヌル選択です。つまり、該当の CCR にはタイム・スタンプ源がありません。

CCR0 では、イネーブル設定またはタイム・スタンプ源選択設定にデフォルト以外の値を設定すると、その CCR0 のタイム・スタンプ源選択によって補助 DPLL のリファレンス TDC 選択が無効化されてしまいます (システム・クロック補償のセクションの補償方法 3 のサブセクションを参照)。



NOTES  
1. A RANGE OF BITS USES A COLON SEPARATOR

図 50. 共通クロック DPLL のブロック図

2309e-050

## 共通クロック・リファレンス・モニタ

CCR0のリファレンス・モニタは、従来存在する補助 DPLL のリファレンス・モニタ・ハードウェアを使用します。ただし、CCDPLLはリファレンスの冗長性をサポートするので、CCR1用に2つめのリファレンス・モニタが必要です。したがって、CCDPLLはCCR1用に同様のリファレンス・モニタを備えています。このCCR1リファレンス・モニタには、有効化遅延機能があります(共通クロック・リファレンス・スイッチオーバーのセクションを参照)。

各CCRリファレンス・モニタは、各CCR源のR分周器後の周期( $t_{CCR}$ )を継続的に観察します。ここで、 $t_{CCR} = R \times t_{REF}$ です( $t_{REF}$ の詳細についてはリファレンス・モニタのセクションのリファレンス・モニタ制御のセクションを参照)。リファレンス・モニタは、指定されたCCR源の周期が $t_{CCR}$ の $\pm 3.125\%$ 以内である場合に、CCRが有効であるとみなします。逆に、CCRリファレンス・モニタが次の立上がりエッジ・イベントを $2 \times t_{CCR}$ 以内に検出できない場合、または、ユーザがそのCCRに関するイネーブル・ビットをクリアした場合、CCRは無効となります。

各CCRリファレンス・モニタにはステータス・ビットがあり、レジスタ0x0D40のビット4(CCR0の場合)とビット5(CCR1の場合)を介してCCRが有効(ロジック1)であることを示します。CCRリファレンス・モニタのステータス(有効および無効)は、IRQメカニズムの一部でもあります(レジスタ0x301Dのビット[7:4]および割込み要求(IRQ)のセクションを参照)。ステータス・ビット(レジスタ0x0D40のビット4およびビット5)は、従来の補助DPLLの動作については定義されていません。また、共通クロックDPLLの使用時には、従来の補助DPLLリファレンス・ステータス・ビット(レジスタ0x3002のビット2)は定義されません。

CCDPLLは、CCRリファレンス・モニタのステータスを使用して、共通クロック・リファレンス・スイッチオーバーのセクションに説明するように、自動リファレンス・スイッチオーバーを統括します。

## CCDPLL ロック検出器

デフォルトでは、CCDPLLは従来の補助DPLLと同じロック検出器を使用します(システム・クロック補償のセクションの補助DPLLのリファレンス・モニタ・ステータスのセクションを参照)。ただし、補助DPLLロック検出器には、ユーザには調整できない固定パラメータがあります。そのため、デフォルトのロック検出器は、デジタル化クロッキング・アプリケーションには最適とは言えません。この問題を解決するため、CCDPLLはプログラマブルな機能を持つ専用のロック検出器、CCDPLLロック検出器を使用します。CCDPLLロック検出器の一般的な機能は、チャンネルDPLL(DPLL0とDPLL1)で用いられているフェーズ・ロック検出器と同じです。詳細については、デジタルPLL(DPLL)セクションのDPLLフェーズ・ロック検出器のセクションを参照してください。

CCDPLLロック検出器のフェーズ・ロック閾値、フェーズ・ロック・フィル、フェーズ・ロック・ドレインの各パラメータは、DPLL0およびDPLL1に関するレジスタとは異なるレジスタで示されます。すなわち、閾値に対しレジスタ0x0D00~レジスタ0x0D01、フィルに対しレジスタ0x0D02、ドレインに対しレジスタ0x0D03です。更に、共通クロックDPLLは、デフォルトで従来の補助DPLLロック検出器を使用します。CCDPLLロック検出器をイネーブルするには、フェーズ・ロック閾値パラメータにゼロ以外の数値を設定する必要があります。そうでない場合、フェーズ・ロック・フィルとフェーズ・ロック・ドレインの両パラメータは、機能しません。従来の補助DPLLを使用する状況では意味をなさないためです。

ユーザがCCDPLLロック検出器をイネーブルすると、安定性タイマーが使用できるようになります。ユーザは、安定性タイマーを使用して、フェーズ・ロック検出器がアンロック状態からロック状態に遷移した後、ロック状態を示すまでの固定遅延を指定できます。この時間遅延により、ロックの指示がより堅実になります。ロック状態とアンロック状態を行き来する不安定な状態が安定するまでの時間が追加されるためです。安定性タイマーは、レジスタ0x0D04~レジスタ0x0D05を介して符号なしの16ビット値(単位:ミリ秒)を使用します。ゼロ以外の値を設定することで安定性タイマーがイネーブルされます。そうでない場合は、CCDPLLロック検出器は安定性タイマーをバイパスします。

ユーザはレジスタ0x0D40のビット1またはレジスタ0x3002のビット1を使用してCCDPLLロック検出器のステータスを確認できます。ロジック1はロックを、ロジック0はアンロックを示します。

## CCDPLL ループ・フィルタ

CCDPLLループ・フィルタと補助DPLLループ・フィルタは同じループ・フィルタ・ハードウェアを使用します。したがって、ユーザは、システム・クロック補償のセクションの補助DPLLループ帯域幅のセクションで説明するように、ループ・フィルタの帯域幅をプログラムできます。

## 共通クロック・リファレンス(CCR)の周期宣言

CCRはタイム・スタンプ源であるため、ユーザは、特定のソースのリファレンス・モニタ制御の中で、目的のリファレンス周期( $t_{REF}$ )を設定します( $t_{REF}$ の詳細については、リファレンス・モニタのセクションのリファレンス・モニタ制御のセクションを参照)。ただし、 $t_{REF}$ は、丸め誤差の影響を受けますが、この誤差は通常は無視できるほどの大きさです。

$t_{REF}$ はリファレンス・モニタが使用するには十分に高精度ですが、CCDPLLが使用するには一般的にはそれほど高精度ではありません。その理由は、CCDPLLが、 $t_{REF}$ の積分に基づいてローカル・タイム・スケールを生成するためです。ただし、極めて小さい誤差でも時間経過と共に蓄積されるため、 $t_{REF}$ の積分は問題を引き起こします。この問題を軽減するため、CCDPLLは分子(NUM)と分母(DEN)からなる分数の形でリファレンス周期を宣言するメカニズムを備えています。

例えば、38.88MHzのリファレンス周波数を考えます。周期は分数の形では、 $1/38,880,000$ となります。この場合、分子は1、分母は38,880,000です。ユーザは、レジスタ0x0D12~レジスタ0x0D1A(CCR0の場合)とレジスタ0x0D22~レジスタ0x0D2A(CCR1の場合)を使用して、分子の値と分母の値を設定します。

この分数周期機能は、デフォルトでは無効となっています(つまり、分母=0)。そのため、共通クロックDPLLはデフォルトでは周期の定義として $t_{REF}$ を厳密に使用します。したがって、分数周期機能を利用するには、分母にゼロ以外の値を入力する必要があります。

### 共通クロック・リファレンス・スイッチオーバー

CCDPLL は内蔵コントローラを使用して、CCR のステータスに基づきループのアクティブ化と非アクティブ化を処理します。CCDPLL は冗長 CCR に対応しているため、コントローラには、1つの CCR から別の CCR への遷移を処理するための優先順位付けを行うスキームが必要です。

コントローラは、特定の CCR を使用するループをアクティブ化した後は、コントローラはその CCR が無効化されるまでその CCR を使い続けるという、逆戻し不可の優先順位を CCR0 に対し付与します。ただし、パワーアップ時に両方の CCR が動作可能な場合、CCR1 が CCR0 より先に有効化され、その結果 CCR1 がアクティブなリファレンスとなるというリスクがあります。これは CCR0 に割り当てられた逆戻し不可の優先順位と対立します。コントローラは、CCR1 の有効化に対し有効化遅延を追加することでこの問題が生じる可能性を抑えます。この遅延に

よって CCR0 に対する逆戻し不可の優先順位が確保されますが、この遅延は CCR0 が無効の場合にのみ効果を発揮します（そうでない場合、遅延は不要です）。

ユーザは、レジスタ 0x0D40 のビット 3 を介して、現在どちらのリファレンスがアクティブになっているかを判断できます。ロジック 0 は CCR0 が、ロジック 1 は CCR1 がアクティブになっていることを示します。ビット 3 は、従来の補助 DPLL 動作では定義されません。

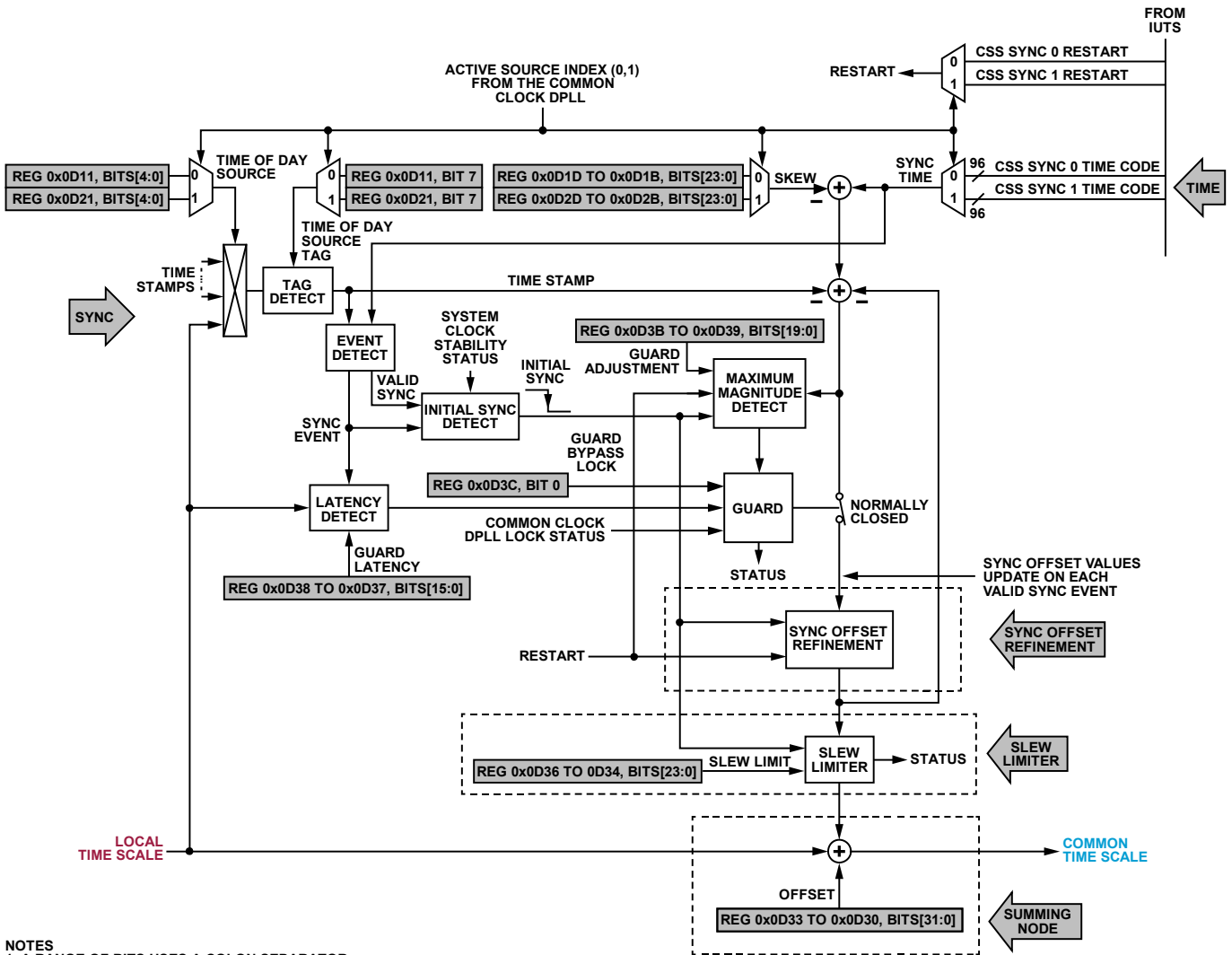
### アクティブ・ステータス

CCDPLL は、CCDPLL がリファレンス入力信号をアクティブに追跡していることを示すステータス・ビットを備えています。CCDPLL のアクティブ・ステータスを確認するには、レジスタ 0x0D40 のビット 0 を使用します。ロジック 1 が、共通クロック DPLL がアクティブであることを示します。



# 共通クロック・シンクロナイザ (CCS)

## 概要



NOTES  
1. A RANGE OF BITS USES A COLON SEPARATOR

図 51. 共通クロック・シンクロナイザ

CCDPLL の位相は物理共通クロック源（共通クロック・リファレンス）にロックし、内部ローカル・タイム・スケールを生成します。ローカル・タイム・スケールは、ユーザがプログラムしたシステム・クロック入力周波数で定義されるシステム・クロックの周期の積算として時間を構築します。CCDPLL は、内部タイミングを水晶共振器に依存していますが（XOA ピンと XOB ピンを介する）、これは比較的不安定な周波数源です。ただし、CCDPLL のアーキテクチャによって、比較的不安定な水晶共振器を使用した場合でも、共通クロック・リファレンスにフェーズ・ロックすることが可能となります。したがって、ローカル・タイム・スケールはシステム・クロックの周波数源に関連する不安定性に対しては耐性があります。

CCDPLL は、そのタイミングをシステム・クロックから抽出していますが、位相は共通クロック・リファレンスにロックしているため、どちらのソースに関連する不安定性も CCDPLL のループ安定性に影響します。したがって、ユーザは、システム・クロックの周波数と共通クロック・リファレンスの周波数を組み合わせた安定性に調和するよう、CCDPLL のループ帯域幅を設定する必要があります。ソースの周波数安定性は、安定したループを生み、周波数変動に追従する PLL の能力に付随した位相オフセットを最小化する、最小許容ループ帯域幅に制限を加えます。

ローカル・タイム・スケールは高精度（周波数が安定）ですが、正確ではない可能性があります。つまり、ローカル・タイム・スケールで示された時間は、任意の開始時間についてのものです。別の表現をするならば、ローカル・タイムのエポックは任意です。CCS の目的は、ユーザによって定められた正確なエポックを使用して内部共通タイム・スケールを生成する手段を提供することです。実際には、ユーザは物理トリガ・イベント（図 51 の「同期」(SYNC) 矢印）を、そのトリガ・イベントに関連する時間数値の入力（図 51 の「時間」(TIME) 矢印）と共に提供します。これによってエポックが有効に割り当てられます。CCS は、トリガ・イベントと数値入力を使用して、必要とするエポックに同期して正確に時間シフトさせたローカル・タイム・スケール（共通タイム・スケール）を生成します。更に重要なのは、デジタル化クロッキング・システムで複数の AD9546 デバイスを使用する状況では、ユーザは各デバイスの CCS を使用することで、共通タイム・スケールをデバイス間で正確に揃えることができることです。

図 51 に示す図は、CCS の機能の仕方を表したものです。主要な着眼点は、時間入力と同期入力、同期オフセットの精緻化、スルー・リミッタ、出力時に共通タイム・スケール（時間シフトさせたローカル・タイム・スケール）を合算するノードです。

## 同期源

同期源は、図 51 の同期入力に関連するタイム・スタンプ源を構成します。選択した同期源からタイム・スタンプが送られてくると、同期イベントとなります。動作中、同期イベントが発生すると、ユーザは、その同期イベントに関連する同期時間を更新します（同期時間のセクションを参照）。ただし、それを行うのは次の同期イベントが発生する前です。

共通クロック DPLL は、第一と第二（オプション）のリファレンス源を使用してローカル・タイム・スケールを生成できるため、CCS も第一と第二（オプション）の同期源を使用できます。共通クロック DPLL が第一リファレンスと第二リファレンスの間で切り替わるときは必ず、CCS は自動的に第一同期源と第二同期源を切り替え、共通クロック DPLL と同調します（一対一対応）。

第一同期源を割り当てるには、レジスタ 0x0D11 のビット [4:0] を使用します。第二同期源を割り当てるには、レジスタ 0x0D21 のビット [4:0] を使用します。従来の補助 DPLL 動作では、CCS はレジスタ 0x0D11 のビット [4:0] で指定された同期源を使用します。

可能ならば、REFB や REFBB を CCS への同期源として使用することを推奨します。REFB や REFBB ではアナログ・ループバック機能を使用できるためです（アナログ・クロック・ループバックのセクションを参照）。

ローカル・タイム・スケールは図 51 の同期入力に関連する同期源の 1 つのように見えます。ユーザは、中間同期用に、タイム・スタンプ源を使用するのではなく、ローカル・タイム・スケールを使用できます。中間同期は、ユーザが複数デバイスにわたって共通タイム・スケールを伝送していない、または、特定のエポックを持つために共通タイム・スケールを必要とはしていないものの、デジタル化クロッキング・リソース（例えば UTS など）を使用する必要があるようなアプリケーションにおいて、同期トリガを強制する場合に便利です。そのような場合には、CCS をデジタル化クロッキング・リソースが使用できるようにするために、中間トリガが必要です。中間同期を選択するには、第一または第二の同期源選択に関連したビット [4:0] に、0x1E または 0x1F を使用します。

共通クロック DPLL がリファレンス・スイッチオーバーを受けると、CCS に直接的な影響があります。まず、新しいリファレンス源（第一または第二）に同調して、同期源が第一または第二に変化します。同様に、同期時間（同期時間のセクションを参照）とスキュー（同期時間への時間スキューの追加のセクションを参照）が、新しいリファレンス源（第一または第二）に同調して変化します。更に、CCS はそれまで取得した同期データをすべて放出します。ただし、CCS によってそれまで共通タイム・スケールに適用されていた同期オフセットは、引き続き有効です。同様に、同期オフセット精緻化ブロック（同期オフセットの精緻化のセクションを参照）のフィルタリング状態とスルー・リミッタ（同期スルー・リミッタのセクションを参照）の状態も引き続き有効です。

リファレンス・スイッチオーバー時に CCS が同期データを放出するため、CCS には、同期時間の最初の更新に相当する同期イベントがありません。この状態は同期エラーの原因となり、CCS が目的の同期を実行する妨げとなります。しかし、次の完全な同期イベントによって同期エラーは解消され、それ以降は同期が正常に行われます。

## タグ付けされた同期

タグ付けされた同期は、タグ付けされたタイム・スタンプを生成する TDC を起源とする同期源にのみ、適用されます。したがって、タグ付けされた同期は、即時同期（つまり、同期源として共通タイム・スケールを使用する場合）には適用されません。

タグ付けされたタイム・スタンプ（タグ付けされたタイム・スタンプのセクションを参照）を持つソースに対しては、ユーザは、そのソースのタグ付けされたタイム・スタンプにのみ同期できます。タグ付けされた同期機能を有効化するには、第一同期源ではレジスタ 0x0D11 のビット 7 にロジック 1 を、第二同期源ではレジスタ 0x0D21 のビット 7 にロジック 1 をセットします。

同期時間

ユーザは、レジスタ 0x0F0A～レジスタ 0x0F15 に書き込まれた 96 ビットの時間値を使用して、次のトリガ・イベントに関連する時間をプログラムできます。ただし、時間値を第一 CCS 源または第二 CCS 源に関連付けるためには、レジスタ 0x0F09、ビット [4:0] を 0x30 (第一 CCS 源) または 0x31 (第二 CCS 源) にプログラムする必要があります。(反転ユーザ・タイム・スタンパ (IUTS) のセクションの図 54 と表 45 を参照)。したがって、IO 更新が (レジスタ 0x000F、ビット 0 を介して) 発せられると、CCS は、プログラムされた値をそれまでの同期イベント (図 51 の同期パスを経由) に関連する時間とみなします。

デバイスの初期化時、CCS には同期時間の最初の更新に相当する同期イベントがありません。したがって、初期化に続く最初の同期イベントは、同期エラーの原因となります (同期ガードのセクションと準備完了ステータスのセクションを参照してください)。ただし、その後の同期イベントがこの同期エラーをクリアし、これに従って CCS が同期します。

時間のフォーマットには、小数部を秒単位で表す方法とナノ秒単位で表す方法 (PTP フォーマット) の二種類があります。図 52 に、両方のフォーマットのレジスタ配列を示します。フォーマットに関わらず、秒を表す整数部のレジスタ値は同じです。

例えば、148,264.05394857 秒の同期時間値を考えます。秒数の整数部は 148,264 で、48 ビットの 16 進数で表すと 0x 0000 0002 4328 です。

小数部を秒単位で表すフォーマットでは、秒数の小数部 (小数点の右側) の入力値は、LSB に  $2^{-48}$  秒の重み付けを行った 48 ビットの数値となります。上述の例と同じ同期時間値を使用するならば、小数部は 0.05394857 で、これが次のように  $2^{-48}$  秒を単位とした値に変換されます。

$$0.05394857 \times 2^{48} = 15,185,172,484,323.19496192$$

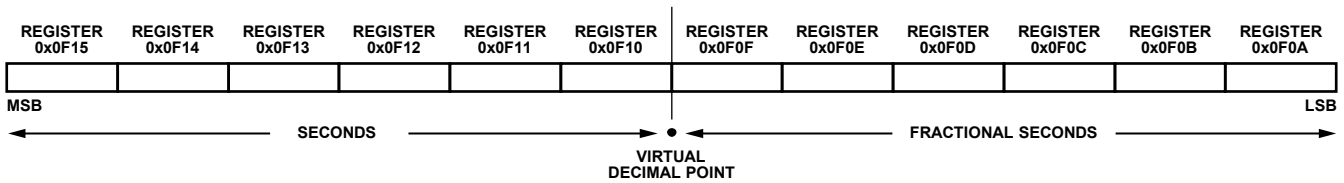
最も近い整数値に丸めると 15,185,172,484,323 となり、48 ビットの 16 進数では、0x 0DCF 92CF D0E3 となります。

PTP フォーマットでは、秒数の小数部 (小数点の右側) の入力値は LSB に  $2^{-16}$  ナノ秒の重み付けを行った 46 ビットの数値 (したがって、図 52 の下位半分の小数ナノ秒部の 2MSB が除外) となります。同じ小数値 (0.05394857) を使用すると、次のように  $2^{-16}$  ナノ秒を単位とした値に変換されます。

$$0.05394857 \times 10^9 \times 2^{16} = 3,535,573,483,520$$

これを 46 ビットの 16 進数で表す (必要に応じ最も近い整数に丸めると、0x 0337 309A 0000 となります。

FRACTIONAL SECONDS FORMAT



FRACTIONAL NANoseconds FORMAT (PTP)

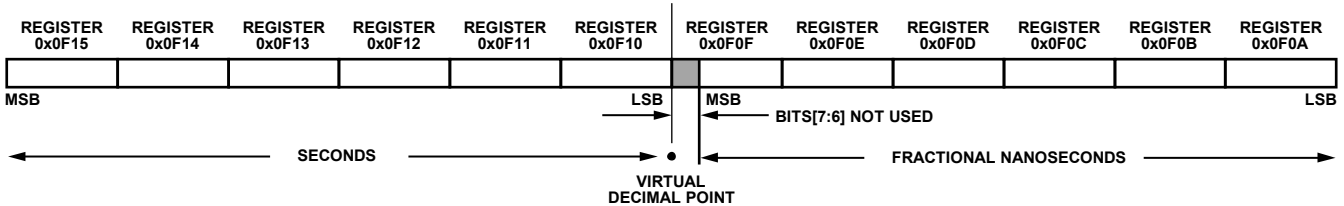


図 52. 時間フォーマット

23286-052

## 同期時間への時間スキューの追加

冗長性のある共通クロック・リファレンスを使用するデジタル化クロッキング・システムでは、各リファレンス・パスに固有の時間スキューがあります。ユーザは、各パスに適切な時間スキューをプログラムすることで、このスキューを補償できます。

スキューは、24 ビットの符号付きの値でプログラムできます。第一スキューはレジスタ 0x0D1B～レジスタ 0x0D1D で設定し、第二スキューはレジスタ 0x0D2B～レジスタ 0x0D2D で設定します。

この 24 ビットでプログラムされた時間スキューは  $2^{-48}$  秒を単位とし、約±29.8ナノ秒の範囲をカバーします。例えば、-5ナノ秒 ( $-5 \times 10^{-9}$  秒) の時間スキューをプログラムするには、まず該当の単位に変換し、その結果を最も近い整数に丸めます (次式)。

$$-5 \times 10^{-9} \times 2^{48} = -1,407,375$$

この結果を 24 ビットの 16 進数で表すと 0x EA 8671 となります。

## 同期時間への時間オフセットの追加

冗長性のある共通クロック・リファレンスを使用するデジタル化クロッキング・システムでは、両方のリファレンス・パスに共通の時間スキューがあります。ユーザは、適切な時間オフセット値をプログラムすることで、この共通の時間スキューを補償できます。

時間オフセットの設定を行うには、 $2^{-48}$  秒を単位とする 32 ビットの符号付きの値を、レジスタ 0x0D30～レジスタ 0x0D33 にプログラムします。これにより約±15.26μs がカバーされます。例えば、50ナノ秒 ( $50 \times 10^{-9}$  秒) の時間スキューをプログラムするには、まず該当の単位に変換し、その結果を最も近い整数に丸めます (次式)。

$$50 \times 10^{-9} \times 2^{48} = 14,073,749$$

この値を 32 ビットの 16 進数で表すと 0x 00D6 BF95 となります。

## 同期オフセットの精緻化

デジタル化クロッキング・アプリケーションでは、共通クロック同期処理は、通常反復的に行われます (ただし絶対に必要というわけではありません)。つまり、ユーザは、連続同期源を適用し、各予想同期イベントの同期時間値を連続的に書き込みます。したがって、それぞれの同期と時間のペアは、固有の同期オフセット値になります。ただし、一連の同期オフセット値は、共通タイム・スケールにジッタが生じる原因になりかねません。

そのため、CCS は同期オフセット精緻化ブロックを使用し、新たな同期オフセット値ごとにその影響を徐々に緩和しています。目的は、時間平均された同期オフセットを生成することです。つまり、最初の同期イベント (再始動状態の後) で生成された同期オフセット値は、不変のまま精緻化ブロックを伝搬します。同期イベントが発生し続けるにつれ、同期オフセット精緻化ブロックは、次第に多くのフィルタ処理を (一定限度まで) 後続の同期オフセット値に適用していきます。

ユーザは、いつでも同期オフセット精緻化を再始動できます (再始動のセクションを参照)。

## 最大量検出

CCS には、過剰な同期オフセット値が同期オフセット精緻化過程に伝搬しないようにするオプションがあります。ユーザは、レジスタ 0x0D39～レジスタ 0x0D3B にゼロ以外のガード調整値をプログラムすることで、最大量検出ブロックを有効化できます。ゼロ (デフォルト値) の場合、最大量検出機能は無効化されます。

有効化した場合、最大量検出器は新しい同期オフセット値を個別にモニタし、それをガード調整値と比較します。同期オフセット値がガード調整値を超えた場合、最大量検出器はガード・イベントの信号を発生し (同期ガードのセクションを参照)、それによって、問題のある同期オフセット値が同期オフセット精緻化過程に伝搬しないようにします。

最大量検出器は、再始動後の最初の同期イベント、または、最初の同期ブロックが最初の同期を示した後の最初の同期イベントは無視します (最初の同期のセクションを参照)。

ガード調整値は、 $2^{-40}$  秒 (約 0.91 ピコ秒) を単位とする 20 ビットの符号なしの数値で構成され、最大で約 954 ナノ秒の最大ガード値を生成します。例えば、最大量検出値を 10 ナノ秒に設定するには、まず該当の単位を変換し、その結果を最も近い整数に丸めます (次式)。

$$10 \times 10^{-9} \times 2^{40} = 10,995$$

この値を 20 ビットの 16 進数で表すと 0x 0 2AF3 となります。

## 遅延検出

通常の同期過程は、同期イベントの発生と、それに続く同期イベントに関連する同期時間の適用からなります。同期イベントが発生すると、共通クロック・シンセサイザはユーザが同期イベントに関連する同期時間値を発生するまで待機します。遅延検出器の目的は、CCS が同期イベントを破棄するまでに同期時間値を待つ時間について、ユーザが時間制限を設定できるようにすることです。同期時間値が指定された時間内に発生しない場合は、遅延検出器がガード・イベント信号を発生します (同期ガードのセクションを参照)。

ユーザは、 $2^{-16}$  秒を単位とする非ゼロ値を、レジスタ 0x0D37～レジスタ 0x0D38 の 16 ビット符号なしガード遅延ビット・フィールドに書き込むことで遅延検出を有効化できます。これにより、1 秒をわずかに下回る最大遅延ガード時間が設定できます。ゼロ値 (デフォルト) の場合は遅延ガード機能は無効化されません。

例えば、遅延検出値を1ミリ秒 ( $10^{-3}$ 秒) に設定するには、まず該当の単位に変換し、その結果を最も近い整数に丸めます (次式)

$$10^{-3} \times 2^{16} = 66$$

この値を16ビットの16進数で表すと0x0042となります。

## 同期スルー・リミッタ

典型的なデジタル化クロッキング・システムは、共通クロック同期過程の一環として、比較的大きな位相調整が挿入されることがあります。一例を挙げると、静的な位相オフセットを持つ2つのCCRの切り替わりにより、位相ジャンプが挿入される場合です (共通クロック・リファレンス・スイッチオーバーのセクションを参照)。もう1つの例は、クロック・シグナル・パス内で往復遅延を補償するために位相調整が挿入されることによる、位相ジャンプです (アナログ・クロック・ループバックのセクションを参照)。位相調整は、瞬時の位相ジャンプを構成しますが、これは周波数インパルスに相当するものです。周波数インパルスは、CCSの動作を介して共通タイム・スケールに転送されます。

位相調整を原因とする周波数インパルスを緩和するため、CCSは、同期オフセット精緻化ブロックの後段にスルー・リミッタを設けています (図51を参照)。スルー・リミッタは、大きな位相ジャンプ (周波数インパルス) を一定の位相スロープ (一定の周波数オフセットに相当) に変換します。したがって、スルー・リミッタの動作は、位相調整に関連する周波数偏差に対し、ユーザ定義の上限を設定します。スルー・リミッタは、物理的にはCCSの出力部に配置されているため (図51を参照)、位相調整の結果として共通タイム・スケールに挿入される周波数オフセットの大きさを、効果的に制限します。

ユーザは、レジスタ0x0D34~レジスタ0x0D36の24ビット符号なしスルー・リミット値に、 $2^{-36}$ 秒/秒を単位とする非ゼロ値を書き込むことで、スルー・リミッタを有効化できます。例えば、共通タイム・スケールの周波数偏差を最大0.15ppm ( $1.5 \times 10^{-7}$ ) に制限するには、まず該当の単位に変換し、その結果を最も近い整数に丸めます (次式)。

$$1.5 \times 10^{-7} \times 2^{36} = 10,308$$

この値を24ビットの16進数で表すと0x002844となります。

ユーザが新しいスルー・リミット値をプログラムする場合、スルー・リミッタはこの新しい値の変化を取り込む間、一時的に停止します。アプリケーションの観点からは、この停止動作は重要なものではありません。

ユーザはスルー・リミット値をゼロにプログラムすることで、いつでもスルー・リミッタをバイパスできます。同期オフセット値が初めて適用されるときには、スルー・リミッタは自動的にバイパスされます。ただし、その後の同期オフセット値は、スルー・リミットの制限を受けます (ユーザがゼロ以外のスルー・リミット値をプログラムしているものとします)。

スルー・リミッタのステータスは、いくつかのメカニズムを介して取得できます。レジスタ0x0D40のビット6は、スルー・リミッタがアクティブにスルー動作を行っている場合はロジック1、スルー動作を行っていない場合はロジック0です。スルー・リミッタのステータスは、適切に設定されたMxステータス・ピンを介しても取得できます (ステータス/制御ピンのセクションを参照)。また、スルー・リミッタのステータスは、レジスタ0x301Dのビット2およびビット3を介してIRQメカニズムの一部としても取得できます (割込み要求 (IRQ) のセクションを参照)。ビット2はスルー・リミッタがスルー動作を開始したことを示し、ビット3はスルー動作を停止したことを示します。

## 再始動

同期の再始動が発生した場合、次に生成される同期オフセット値は精緻化ブロックを無変換で伝搬し、後続の同期オフセット値が時間経過と共に、次第に多くのフィルタ処理を受けるようになります。ユーザは、レジスタ0x0F08のビット0をロジック1にプログラムすることで、いつでも手動で同期オフセット精緻化過程を最初から再始動できます。

同期再始動後の同期イベントは、最初の同期イベント (デバイスのパワーアップ後の同期イベントなど) とは同じではありません。したがって、同期の再始動によって、スルー・リミッタが同期再始動後の最初の同期イベントを自動でバイパスすることにはなりません。

## 同期ガード

共通クロック同期は共通タイム・スケールに直接影響するため、共通タイム・スケールが無効な同期イベントによって損傷を受けるのを防止するために、セーフガードが設けられています。図51にガードの機能を示します。概念的には、このガードは、通常閉のスイッチを制御し、保護イベントを検出した時にはこのスイッチを開きます。それによって、最新の同期オフセット値が同期オフセット精緻化過程に伝搬されるのを防止します。

最初の同期が発生したと仮定すると (最初の同期のセクションを参照)、次の3つの条件によって同期ガードがトリガされてガード・スイッチが開かれます。

- 共通クロック DPLL のロックが解除される (ガード・バイパス・ロック・ビットが設定されていないことが前提)
- 最大量検出イベント
- 遅延検出イベント

これらの条件のいずれもが同期ガードを動作させ、同期エラーを引き起こします。同期エラーのステータスを確認するには、レジスタ0x0D40のビット7を使用します。ロジック1が同期エラーを示します。同期エラー・ステータスは、適切に設定されたMxステータス・ピン (ステータス/制御ピンのセクションを参照)、およびIRQメカニズムの一部としてレジスタ0x301Dのビット1 (割込み要求 (IRQ) のセクションを参照) を介して、取得することもできます。

## ガード・バイパス・ロック

ユーザは、共通クロック DPLL のアンロック状態によって同期ガードがトリガされるのを、ガード・バイパス・ロック・ビット（レジスタ 0x0D3C のビット 0）を使用して防止することができます。ロジック 0（デフォルト）の場合は、ロック解除状態によって同期ガードがトリガされます。ロジック 1 の場合は、アンロック状態によって同期ガードがトリガされることが防止されます。

ガード・バイパス・ロック・ビットを設定すると、AD9546 のデジタル化されたクロック・リソースを非デジタル化クロック・アプリケーションで使用する場合（例えば、2 つの UTS リソースを使用して 2 つのクロック信号間の位相オフセットを計測する場合など）に便利です。

## 最初の同期

最初の同期の検出ブロックによって、CCS は確実に既知の状態を開始できます。CCS は、同期検出ブロックが最初の同期（図 51 の立下がりエッジ）を示すまでは動作しません。最初の同期

が発生するまで、最初の同期の検出ブロックは、最大量検出ブロック、同期オフセット精緻化ブロック、スルー・リミッタをリセット状態に維持します。最初の同期の検出ブロックは、システム・クロック PLL が安定化し、ガード・イベントをトリガしない同期イベント（同期ガードのセクションを参照）が生じるまでは、最初の同期を示しません。

## 準備完了ステータス

CCS には、共通タイム・スケールがデジタル化クロッキング・リソースに対応する準備ができていることを示すステータスがあります。CCS のこの準備完了ステータスを確認するには、レジスタ 0x0D40 のビット 2 を使用します。ロジック 1 が、CCS が準備完了であることを示します。

準備完了ステータスは、IRQ メカニズムの一部であるレジスタ 0x301D のビット 0（割込み要求（IRQ）のセクションを参照）、および適切に設定された Mx ステータス・ピン（ステータス／制御ピンのセクションを参照）を使用しても確認できます。

## ユーザ・タイマー・スタンプ (UTS)

### 概要

AD9546には、UTSシステムを構築するUTSが9つあります (図53を参照)。UTSシステム内の各UTSは、内部のデバイス・タイム・スタンプ (ローカル・タイム・スケールに基づく) を共通タイム・スケールに基づくタイム・コード (共通クロック・シンクロナイザのセクションを参照) に変換し、ユーザがレジスタ・マップを使用してこれらのタイム・コードを取得できるようにします。

UTSシステムは共通タイム・スケール (CCSが起源) に依存するため、CCSのステータスはUTSシステムにとって重要です。したがって、CCSが準備完了ステータスにない場合、UTSシステムは動作しません。

UTSシステムは9つの個別のUTSからなり、各UTSには専用のUTSチャンネル制御レジスタがあります。各UTSによって出力されるタイム・コードは、リードバックFIFOに配信されます。FIFOには、アクティブな (有効化された) 全UTSから発せられるタイム・コード・サンプルがあります。FIFOのサンプルには、ユーザがタイム・コード・サンプルの起源を識別できるようにする補足情報や、そのタイム・コード・サンプルに関連するUTSチャンネルのステータスが含まれています。また、FIFOは、その固有の状態に関連するステータスも提供します。

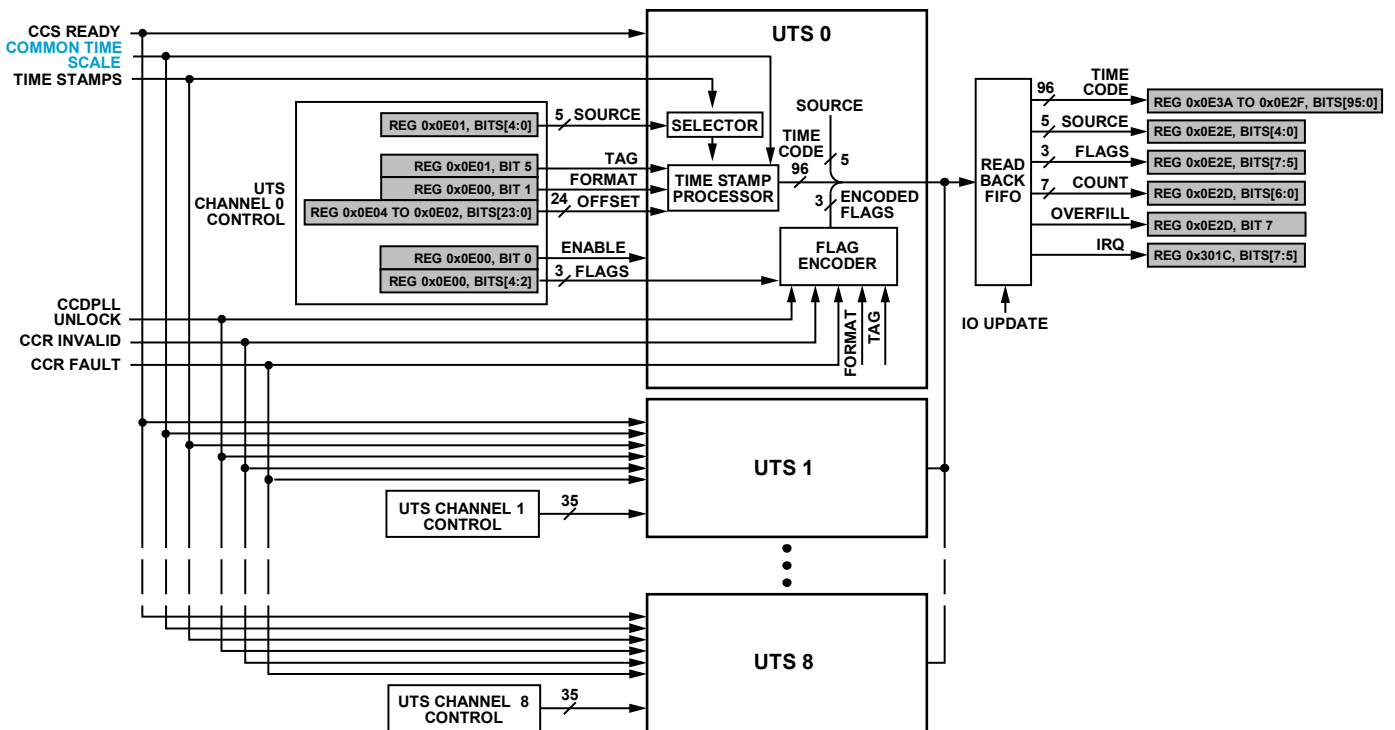
UTSシステムは、2つのユーザ・タイム・スタンプ・プロセッサ (ユーザ・タイム・スタンプ・プロセッサ (UTSP) のセクションを参照) には依存しません。

### UTSチャンネル制御レジスタのアドレス

UTSチャンネルにはそれぞれ専用のUTSチャンネル制御レジスタがあり、整数x (xは0~8) で識別されます。それぞれのUTSチャンネルx制御レジスタは、一定範囲のレジスタ・アドレスを占有します。UTS0は、レジスタ0x0E00~レジスタ0x0E04を占有します。より一般的には、UTSxは、UTS0のアドレス範囲にx × 0x0005のオフセットを付けた範囲を占有します。

### UTSチャンネルのイネーブル

UTSシステムの各UTSには個別のイネーブル・ビットがあります。UTS0のイネーブル・ビットは、レジスタ0x0E00のビット0です。より一般的には、UTSx (x = 0~8の整数) のイネーブル・ビットは、UTS0のイネーブル・ビットのレジスタ・アドレスにx × 0x0005を加えたものになります。ロジック1は対応するUTSチャンネルをイネーブルします。ロジック0 (デフォルト) では対応するUTSをディスエーブルします。この場合、新しいタイム・コード・サンプルのFIFOへの配信が停止されますが、それまでにFIFOに配信されたタイム・コード・サンプルには影響ありません。



- NOTES  
 1. A RANGE OF BITS USES A COLON SEPARATOR  
 2. ADDRESSES SHOWN FOR UTS CHANNEL CONTROL ARE SPECIFIC TO UTS 0

図 53. UTS システム

## UTS チャンネル・タイム・スタンプ源

各 UTS チャンネルは、AD9546 内の様々なタイム・スタンプ源を個別に使用できます。レジスタ 0x0E01 のビット [4:0] を使用して特定のタイム・スタンプ源を割り当てることができます。より一般的には、UTS  $x$  ( $x = 0 \sim 8$  の整数) の場合、UTS 0 のレジスタ・アドレスに  $x \times 0x0005$  を加算します。

表 42 に示す 5 ビットのソース・ビットの 10 進数が、タイム・スタンプ源を表します。

表 42. タイム・スタンプ源の割り当てコード

| Source Bit Field Value (Decimal) | Time Stamp Source |
|----------------------------------|-------------------|
| 0                                | REFA (default)    |
| 1                                | REFAA             |
| 2                                | REFB              |
| 3                                | REFBB             |
| 4                                | DPLL0 feedback    |
| 5                                | DPLL1 feedback    |
| 6                                | Auxiliary REF0    |
| 7                                | Auxiliary REF1    |
| 8                                | Auxiliary NCO 0   |
| 9                                | Auxiliary NCO 1   |
| 10                               | Reserved          |
| 11                               | Auxiliary REF2    |
| 12                               | Auxiliary REF3    |
| 13                               | IUTS 0            |
| 14                               | IUTS 1            |
| 15 to 31                         | Reserved          |

推奨は、UTS チャンネルがイネーブルされている間に同じタイム・スタンプ源を使用することです。ただし、UTS チャンネルをイネーブルし、同時にタイム・スタンプ源を割り当てても、悪影響は生じません。

## UTS チャンネルの時間オフセット

ユーザは、UTS チャンネルに対し、そのチャンネルが処理するタイム・スタンプに時間オフセットを設定することもできます。その時間オフセットは、 $2^{-48}$ 秒を単位とし、共通タイム・スケールを基準とします。時間オフセットは、UTS 0 の場合、レジスタ 0x0E02 ~ レジスタ 0x0E04 のビット [23:0] (符号付き) を使用します。より一般的には、UTS  $x$  ( $x = 0 \sim 8$  の整数) の場合、UTS 0 のレジスタ・アドレスに  $x \times 0x0005$  を加算します。

例えば、 $-25$  ナノ秒 ( $-25 \times 10^{-9}$  秒) の時間オフセットをプログラムするには、まず該当の単位に変換し、その結果を最も近い整数に丸めます (次式)。

$$-25 \times 10^{-9} \times 2^{48} = -7,036,874$$

この値を 24 ビットの 16 進数で表すと 0x 94 A036 となります。

## UTS チャンネル・タグ

ユーザは、UTS チャンネルに、指定されたタイム・スタンプ源のうち (そのソースから発生するすべてのタイム・スタンプではなく) タグ付けされたタイム・スタンプ (タグ付けされたタイム・スタンプのセクションを参照) だけを選択して処理させることができます。タグ付けされたタイム・スタンプの選択は、UTS 0 の場合、レジスタ 0x0E01 のビット 5 を介して行います。より一般的には、UTS  $x$  ( $x = 0 \sim 8$  の整数) の場合は、UTS 0 のレジスタ・アドレスに  $x \times 0x0005$  を加えたものになります。ロジック 1 の場合はタグ付けされたタイム・スタンプ処理を選択し、ロジック 0 (デフォルト) の場合は、UTS チャンネルは指定されたタイム・スタンプ源からのすべてのタイム・スタンプを処理します。

## UTS チャンネルの時間フォーマット

ユーザは、フォーマット・ビットを使用して、各 UTS チャンネルの出力時間フォーマットを個別に選択できます。フォーマットの選択は、UTS 0 の場合、レジスタ 0x0E00 のビット 1 を介して行います。より一般的には、UTS  $x$  ( $x = 0 \sim 8$  の整数) の場合は、UTS 0 のレジスタ・アドレスに  $x \times 0x0005$  を加えたものになります。ロジック 0 (デフォルト) では小数部を秒単位で表すフォーマット、ロジック 1 では PTP フォーマットが選択されます。

小数部を秒単位で表すフォーマットと PTP フォーマットの詳細については、[共通クロック・シンクロナイザ \(CCS\)](#) のセクションの[同期時間のサブセクション](#)を参照してください。

## UTS チャンネルのステータス・フラグ割り当て

UTS チャンネルが入力タイム・スタンプをタイム・コードに変換し、それを FIFO に配信する場合は常に、UTS チャンネルはタイム・コードの一部として 3 ビットのステータス値も含めます。

この 3 ビット・ステータス値は、次の 5 通りのステータス状態をコード化したものです。

- 無効 (共通クロック・リファレンスが無効)
- 故障 (共通クロック・リファレンスが故障)
- アンロック (共通クロック DPLL がアンロック)
- タグ (タイム・スタンプを処理した UTS チャンネルに関連したタグ・ビットの状態)
- フォーマット (タイム・スタンプを処理した UTS チャンネルに関連したフォーマット・ビットの状態)

ユーザは、7 通りの事前定義された 3 ビット・エンコード・ステータス・パターンの 1 つを選択できます (表 43 を参照)。選択は、UTS 0 の場合、レジスタ 0x0E00 のビット [4:2] の 3 ビット・フラグ・ビット・フィールドを介して行います。より一般的には、UTS  $x$  ( $x = 0 \sim 8$  の整数) の場合は、UTS 0 のレジスタ・アドレスに  $x \times 0x0005$  を加えたものになります。

フラグ・ビット・フィールドの各ビットは、固有のステータス・ビット (またはステータス・ビットの論理的組み合わせ) にエンコードされます。つまり、3 ビット・フラグ・ビット・フィールドの各ビットは、3 ビット・フラグ・ビット・フィールドの値に基づく固有のステータス・ビット・パターンにエンコードされます。



表 43. UTS チャンネルのフラグ割り当て

| Flags Bit Field, Bits[4:2] | Bit 4 Status Encode | Bit 3 Status Encode | Bit 2 Status Encode |
|----------------------------|---------------------|---------------------|---------------------|
| 000 (Default)              | Tag                 | Invalid             | Unlocked            |
| 001                        | Tag                 | Fault               | Unlocked            |
| 010                        | Format              | Invalid             | Unlocked            |
| 011                        | Format              | Fault               | Unlocked            |
| 100                        | Fault               | Invalid             | Unlocked            |
| 101                        | Format              | Tag                 | Unlocked or invalid |
| 110                        | Format              | Tag                 | Unlocked or fault   |
| 111                        | Unused              | Unused              | Unused              |

## UTS リードバック FIFO

UTS システムは、FIFO を使用して、イネーブルされているすべての UTS チャンネルからタイム・コード・サンプルを収集します (最大 18 個)。FIFO を使用すると、ユーザがレジスタ・マップを使用してリードバックするために、様々な UTS チャンネルから送られるタイム・コードをキューイングすることができます。各 FIFO サンプルは次のコードからなります。

- 96 ビットのタイム・コード
- 3 ビットのエンコードされたステータス・コード
- 5 ビットのソース・コード

## タイム・コード

96 ビットのタイム・コードは、レジスタ 0x0E2F~レジスタ 0x0E3A にあります。このレジスタは、**共通クロック・シンクロナイザ (CCS)** のセクションの同期時間のサブセクションで説明したレジスタ 0x0F0A~0x0F15 と同じ機能を持っています。タイム・コードの変換には、基盤となるフォーマット (小数部を秒単位で表すフォーマットまたは PTP フォーマット) がわかっていることが必要である点に注意してください。

タイム・コード・サンプルのフォーマットを識別するには、2 通りの方法があります。1 つは、ソース・コード情報 (ソース・コードのセクションを参照) を使用して、どの UTS がタイム・コード・サンプルのソースとなっているかを判定し、該当の UTS チャンネル x 制御レジスタ (x=0~8 の整数) のフォーマット・ビットのステータスを読み出すことです。もう 1 つは、表 43 のフォーマット・ステータスを含む、7 通りの事前定義されたエンコード・ステータス・パターン of のいずれかを使用することです。この方法では、エンコードされたステータスのコード (エンコードされたステータスのセクションを参照) が、タイム・コード・サンプルのフォーマット情報を含んでいます。

## ソース・コード

5 ビットのソース・コード・ビット・フィールドは各タイム・コードに付随しています。ソース・コードはレジスタ 0x0E2E のビット [4:0] にあります。所定のタイム・コード・サンプルのソース・コード値は、表 42 に示すタイム・スタンプ・ソースを示します。タイム・コードに付随するソース・コードは、タイム・コードに関連する UTS チャンネルのソース・コードの割り当てと同一です (UTS チャンネル・タイム・スタンプ源のセクションを参照)。

ソース・コードは、タイム・コードに関連する UTS チャンネルではなく、タイム・スタンプの発生源を示します。

## エンコードされたステータス

3 ビット・エンコード・ステータス・フラグのビット・フィールド (レジスタ 0x0E2E のビット [7:5]) は、各タイム・コードに付随します。各ビットの意味は、表 44 に対応するタイム・コード・サンプルに関連した UTS チャンネルのフラグ・ビット・フィールドに依存します。

3 ビットそれぞれの意味を判別するには、どの UTS チャンネルがタイム・コード (ソース・コードのセクションを参照) とその UTS チャンネルに関連する 3 ビット・フラグ・ビット・フィールドの状態 (UTS チャンネルのステータス・フラグ割り当てのセクションを参照) を提供したのかを知る必要があります。

表 44. UTS FIFO リードバック用にエンコードされたステータス・ビット

| Bits[4:2] <sup>1</sup> | Bit 7 Encoded Status | Bit 6 Encoded Status | Bit 5 Encoded Status |
|------------------------|----------------------|----------------------|----------------------|
| 000                    | Tag                  | Invalid              | Unlocked             |
| 001                    | Tag                  | Fault                | Unlocked             |
| 010                    | Format               | Invalid              | Unlocked             |
| 011                    | Format               | Fault                | Unlocked             |
| 100                    | Fault                | Invalid              | Unlocked             |
| 101                    | Format               | Tag                  | Unlocked or invalid  |
| 110                    | Format               | Tag                  | Unlocked or fault    |
| 111                    | Unused               | Unused               | Unused               |

<sup>1</sup> タイム・コードに関連した UTS チャンネル x 制御レジスタのビット [4:2]。

## UTS FIFO のステータス

FIFO は、UTS タイム・コードをバックグラウンドで収集する点で効率的に機能するので、FIFO は、ユーザに現在の状態のステータスを継続的に提供します。ステータス情報は、FIFO サンプルを読み出す頻度や、サンプル・データがオーバーフロー状態が原因で失われていないかどうかを、ユーザが把握し続けるために、必須のものです。ステータス情報には 2 種類あります。FIFO オーバーフィル (単一ステータス・ビット) と FIFO カウント (7 ビット・フィールド) です。

## FIFO オーバーフィル

レジスタ 0x0E2D のビット 7 の FIFO オーバーフィル・ビットは、FIFO が容量を超えていることを示すもので、ロジック 1 がオーバーフィルを表します。FIFO がオーバーフィル・ビットをアサートすると、FIFO 入力に送られたタイム・コードはすべて消失します。

FIFO オーバーフィル・ビットの状態は、レジスタ 0x301C のビット 7 を介して IRQ メカニズム (割込み要求 (IRQ) のセクションを参照) の一部として示されます。FIFO のオーバーフィル・ステータスは、適切に設定された Mx ステータス・ピンを介しても取得できます (ステータス/制御ピンのセクションを参照)。

FIFO オーバーフィル・ビットと Mx ピンのステータス (設定されている場合) は、ユーザが FIFO からサンプルを読み出すとクリアされます。

## FIFO カウント

FIFO は、レジスタ 0x0E2D のビット [6:0] にある 7 ビットの FIFO ステータス・カウント・ビット・フィールドを使用して、サンプル・カウント情報を提供します。通常動作（オーバーフィル = 0）の間、FIFO ステータス・カウント・ビット・フィールドの値は、現在 FIFO にあるタイム・コード・サンプル数を示します。ユーザは、適切に設定された Mx ステータス・ピンを使用して、FIFO が空でないこと（つまり、レジスタ 0x0E2D のビット [6:0] の値がゼロより大きい）を知ることができます。ただし、FIFO オーバーフィルが 1 の場合、FIFO ステータス・カウント・ビット・フィールドの値は、消失したタイム・コード・サンプルの数を示します。つまり、FIFO ステータス・カウント・ビット・フィールドの値は、FIFO オーバーフィル・ビットのステータスに基づき変化します。

FIFO ステータス・カウント・ビット・フィールドが値ゼロからゼロ以外の値に変化した場合、それは、FIFO が空でないことを示します。すなわち、FIFO は空（FIFO ステータス・カウントがゼロ）でしたが、現在は FIFO には 1 つ（または複数）のユーザ読み出し可能なタイム・コード・サンプルがあります（FIFO ステータス・カウントがゼロではない）。ゼロからゼロ以外への変化は、レジスタ 0x301C のビット 5 を介し、IRQ メカニズム（[割込み要求 \(IRQ\)](#) のセクションを参照）の一部であるステータス・フラグとして示されます。FIFO の空でない状態は、適切に設定された Mx ステータス・ピンを介しても取得できます（[ステータス/制御ピンのセクション](#)を参照）。

FIFO が空でないことを示す Mx ピン・ステータスは、FIFO が空になる（FIFO ステータス・カウントが 0 になる）まで、引き続きアサートされたままです。

## FIFO データのリードバック

FIFO は、タイム・コード・サンプル（最大 18 個）とそのタイム・コード・サンプルに関連するステータス情報を、イネーブルされたすべての UTS チャンネルから取得します。各 FIFO サンプルはタイム・コードとステータス情報から成っているため、FIFO からタイム・コード・サンプルを読み出すには、一連の操作が必要です。FIFO に新しい UTS サンプルが送られると、FIFO はレジスタ 0x301C のビット 6 を使用して IRQ のフラグを立てます。

まず、ユーザは IO 更新（レジスタ 0x000F のビット 0）をアサートし、これによって FIFO オーバーフィル・ビットと FIFO カウント・ステータス・ビットがレジスタ・マップにラッチされます。ユーザが IO 更新をアサートする前にレジスタ・マップからそれまでのタイム・コードを読み出すと、IO 更新のアサート時に、FIFO はその内容をシフトし、次の読み出し可能な FIFO サンプルが、レジスタ・マップにあるそれまでの内容に上書きされます。FIFO は、ユーザが IO 更新のアサート前にレジスタ・マップからタイム・コードを読み出したことがない限り、その内容をシフトしません。したがって、ユーザは、IO 更新をアサートしない限り、何度でも自由に現在の FIFO タイム・コードを読み出すことができます。

次に、ユーザは FIFO ステータスを読み出します。FIFO カウントがゼロの場合、FIFO は空で、続行する必要がありません。FIFO カウントがゼロ以外で FIFO オーバーフィル・ビットがロジック 0 の場合は、レジスタ・マップのタイム・コード値が読み出し可能状態になっています。ただし、FIFO オーバーフィル・ビットがロジック 1 の場合は、FIFO はオーバーフロー状態にあり、タイム・コード・サンプルは消失しています。オーバーフロー状態の場合、FIFO カウント値は消失したサンプル数を示します。FIFO カウント値の上限は 127 です。そのため、127 を超えるサンプルが消失しても、それを知る手段はありません。オーバーフロー状態に達すると、FIFO は新たなタイム・コード・サンプルを受け入れません。FIFO に残っている内容は有効ですが、古くて使用できない可能性もあります。

最後に、FIFO ステータスが空でなくオーバーフロー状態でもない場合は、ユーザは、タイム・コードの他、現在の FIFO サンプルに関連するソース・コードとエンコード・ステータス・ビットを読み出すことができます。ユーザは、IO 更新がアサートされていない限り、既存のタイム・コードとステータス情報を繰り返し読み出すことができます。IO 更新をアサートすると、アサートの前にレジスタ・マップのタイム・コードをユーザが読み出した場合に限り、レジスタ・マップの内容が上書きされません。

# 反転ユーザ・タイム・スタンプ (IUTS)

## 概要

AD9546には2つのIUTSがあります。IUTS0およびIUTS1です(図54を参照)。その名が示唆するとおり、IUTSはUTSとは反対の機能を実行します。つまり、ユーザがレジスタ・マップを使用して提供する共通タイム・スケールに基づいたタイム・コードを受け入れ、そのタイム・コードをローカル・タイム・スケールに基づく内部デバイス・タイム・スタンプに変換します(共通クロック・シンクロナイザ(CCS)のセクションを参照)。IUTSは(CCSを起源とする)共通タイム・スケールに依存するため、CCSのステータスはIUTSが適切に機能するうえで重要です。したがって、各IUTSは、CCSが準備完了ステータスにない場合、動作しません。

IUTSが目的とする動作は、デジタル化されたクロック信号(レジスタ・マップに書き込まれたタイム・コードの周期的シーケンスの形でユーザが提供)を、AD9546内の他のリソース(例えばDPLLチャンネルの1つへの入力)が使用するための内部的なデジタル化されたクロック信号に変換することです。実際に使用される代表的なデジタル化クロッキング・アプリケーションでは、ユーザはUTSからタイム・コードを読み出し、そのタイム・コードをIUTSに配信します。それによって、デジタル化されたクロック信号の伝送が構成されます(図49を参照)。

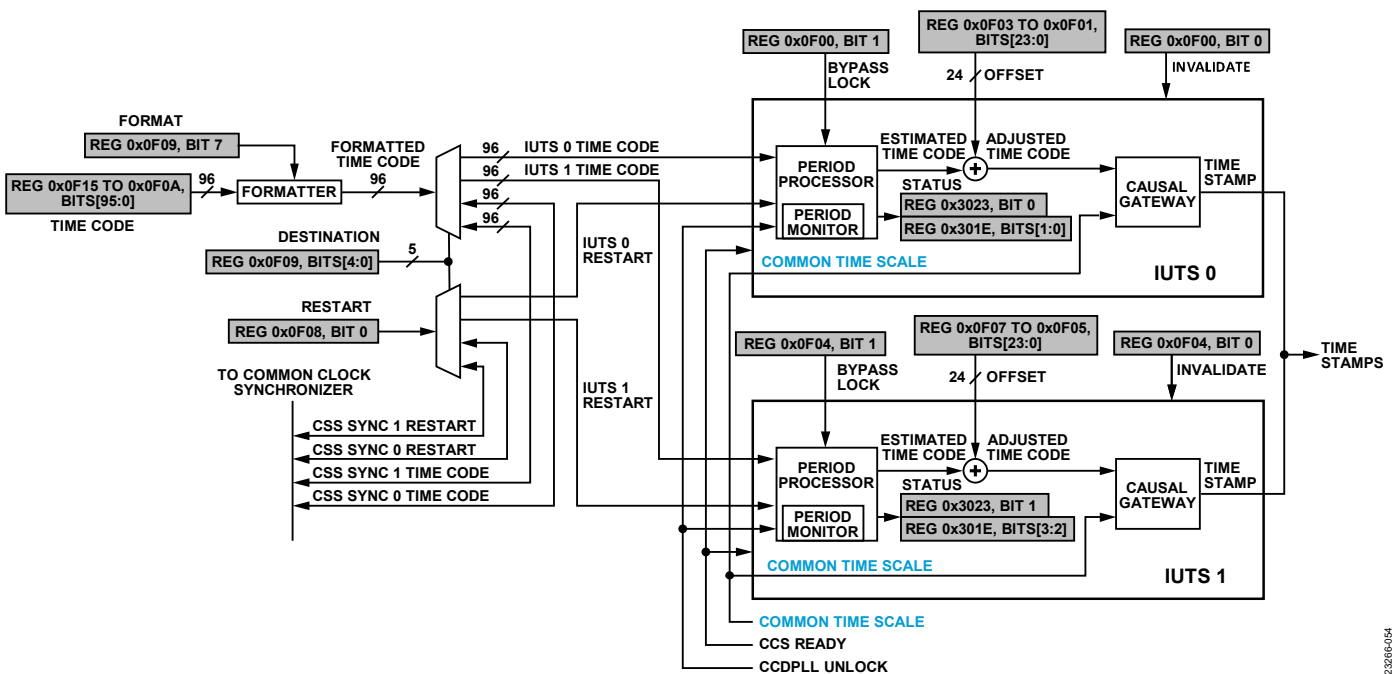
動作中、ユーザは、タイム・コードをIUTSに書き込み、IO更新のアサートします。タイム・コードの書き込みとそれに続くIO更新のアサートによって、IUTSが新しいタイム・コードを処

理します。タイム・コードの書き込みとIO更新のアサートの処理を繰り返し実行することで、デジタル化されたクロック信号が効果的に構成されます。

IUTSは、現在のタイム・コードからその前のタイム・コードを差し引くことで瞬時の周期サンプルを構成する周期プロセッサを使用し、連続するタイム・コードの周期を計算します。周期サンプルはサンプルごとのジッタを示す可能性があるため、周期プロセッサは、平均化メカニズムを使用して、基盤となるデジタル化されたクロック信号から周期ジッタを除去します。平均化メカニズムによって、受信するタイム・コード・シーケンスに周期ジッタが存在するにも関わらず、周期プロセッサは、次のタイム・コードの信頼できる推定値をシーケンス単位で提供できます。

IUTSは、共通タイム・スケールによって示される時間が推定タイム・コードの値以上になるまでは、推定したタイム・コードから出力タイム・スタンプを生成しません。つまり、タイム・コードが(共通タイム・スケールの点で)現在のものとなるまで、1つのゲートウェイにより、そのタイム・コードが出力タイム・スタンプとして現れないようにします。

IUTSの周期プロセッサには周期モニタがあり、各タイム・コード・サンプルの周期が処理されるのを監視します。周期サンプルの偏差が1.5625%を超えた場合、そのサンプルを処理したIUTSは無効ステータスを示します(IUTSのステータスのセクションを参照)。



NOTES  
1. A RANGE OF BITS USES A COLON SEPARATOR

図 54. IUTS のブロック図

23266-0154

## パラメータの送信先選択

IUTS 0 と IUTS 1 はそれぞれ、通常動作の一環として、レジスタ・マップからタイム・コードと再始動の 2 つのパラメータを必要とします。

レジスタ・マップには、この 2 つのパラメータのインスタンスが 1 つあり、ユーザはこれを、レジスタ 0x0F09 のビット [4:0] にある 5 ビットの符号なし送信先ビット・フィールドを使用して特定の IUTS に対して指定できます。送信先ビットは、表 45 に従って、この 2 つのパラメータのターゲット・リソースまでの必要な経路を選択します (図 54 に示す 2 つの 1:4 デマルチプレクサを使用)。ターゲット・リソースには両 IUTS の他、CCS も含まれます。30 と 31 の送信先ビット・フィールド値の詳細については、共通クロック・シンクロナイザ (CCS) セクションの同期時間のセクションを参照してください。

表 45. 送信先選択

| Destination Bit Field Value (Decimal) | Target Resource      |
|---------------------------------------|----------------------|
| 0 to 12                               | Reserved             |
| 13                                    | IUTS 0               |
| 14                                    | IUTS 1               |
| 15 to 29                              | Reserved             |
| 30                                    | CCS Sync 0 time code |
| 31                                    | CCS Sync 1 time code |

## タイム・コードとフォーマット

タイム・コードとフォーマットの機能は、共通クロック・シンクロナイザ (CCS) のセクションの同期時間のセクションで説明した内容と同じです。唯一の違いは、レジスタ 0x0F09 のビット [4:0] を介して、ユーザが表 45 に示すターゲット・リソースとして IUTS 0 または IUTS 1 を選択できる点です。

## IUTS の時間オフセット

各 IUTS では、IUTS 周期プロセッサが生成するそれぞれの推定タイム・コードに一定の時間オフセットを加えることができます。時間オフセットは、IUTS 0 についてはレジスタ 0x0F01～レジスタ 0x0F03、IUTS 1 についてはレジスタ 0x0F05～レジスタ 0x0F07 に、符号付き 24 ビット値でプログラムします。

時間オフセットは、 $2^{-48}$  秒を単位とし、約±29.8 ナノ秒の範囲をカバーします。例えば、5 ナノ秒 ( $5 \times 10^{-9}$  秒) の時間オフセットをプログラムするには、まず該当の単位に変換し、その結果を最も近い整数に丸めます (次式)。

$$5 \times 10^{-9} \times 2^{48} = 1,407,375$$

この値を 24 ビットの 16 進数で表すと 0x 15 798F となります。

## IUTS のステータス

IUTS 周期プロセッサは、連続するタイム・コードに関連した周期を設定する際、レジスタ 0x3023 のビット [1:0] のビット 1 (IUTS 1 の場合) とビット 0 (IUTS 0 の場合) に準備完了ステータス (ロジック 1) を示します。ただし、ユーザは、IUTS の有効なステータスを手動で無効化することができます (IUTS 無効化の宣言のセクションを参照)。

ユーザは、レジスタ 0x301E のビット [3:0] を介し、各 IUTS の 2 つの IRQ ステータス・ビットを使用することもできます。これら 2 つのビットのうち一方は IUTS の有効ステータスを示し、他方は IUTS 無効ステータスを示します。IUTS 有効ステータス

は、ビット 0 (IUTS 0) とビット 2 (IUTS 1) に示され、IUTS 無効ステータスは、ビット 1 (IUTS 0) とビット 3 (IUTS 1) に示されます。

このステータス・ビットは、IRQ メカニズム (割込み要求 (IRQ) のセクションを参照) の一部です。IUTS ステータスの指示は、適切に設定された Mx ステータス・ピンを介しても取得できません (ステータス/制御ピンのセクションを参照)。

IUTS は次の条件下で無効ステータスを示します。

- ユーザが IUTS の無効を宣言する (IUTS 無効化の宣言のセクションを参照)
- 共通クロック DPLL がアンロックを示す (ユーザがロック・バイパス・オプションを有効化していない場合 (IUTS ロック・バイパス・オプションのセクションを参照))。
- 再始動 (IUTS 再始動のセクションを参照) が入力タイム・コードに付随する
- IUTS がビジーの場合に入力タイム・コードが送られる
- IUTS 周期モニタが周期の不連続を検出する

## IUTS 再始動

IUTS 周期プロセッサは、内部アルゴリズムを使用して受信タイム・コード・シーケンスに存在する周期ジッタをフィルタリングして除去します。このアルゴリズムは、周期サンプルを収集するにつれ時間と共に、フィルタリング帯域幅を徐々に狭めます。場合によっては、このフィルタリング処理を再始動する必要があります (ユーザが IUTS を新たなタイム・コード源に切り替えた場合など)。

IUTS を再始動するには、レジスタ 0x0F08 のビット 0 の再始動ビットを使用します。ロジック 0 (デフォルト) が通常動作で、ロジック 1 の場合は IUTS に再始動を強制します。

## IUTS ロック・バイパス・オプション

通常、各 IUTS では、タイム・コードを処理するために、共通クロック DPLL がロック状態を示すことが必要です。ただし、ユーザは、レジスタ 0x0F00 のビット 1 (IUTS 0) とレジスタ 0x0F04 のビット 1 (IUTS 1) を使用し、各 IUTS のこの制約を個別に解除できます。ロジック 0 (デフォルト) は、共通クロック DPLL がアンロック状態である場合に動作できないことを示します。ロジック 1 にすると、IUTS は共通クロック DPLL のロック状態を無視します。

## IUTS 無効化の宣言

IUTS の出力は、別のデジタル化クロッキング・リソースが使用できるデジタル化クロック信号であるため、ユーザは IUTS を無効なクロック源として宣言する必要がある場合があります。例えば、ユーザが、IUTS への入力タイム・コード源に、IUTS 出力を後段のリソースへのデジタル化されたクロック源として不適切なものにする問題があることを知ったとします。そのような状況を処理するために、各 IUTS では、手動で IUTS をタイム・スタンプ源としては無効にすることができます。

IUTS を無効化するには、レジスタ 0x0F00 (IUTS 0) およびレジスタ 0x0F04 (IUTS 1) のビット 0 を使用します。ロジック 0 (デフォルト) は IUTS を無効化し、ロジック 1 は通常の IUTS 動作を可能にします。IUTS を手動で無効化すると、IUTS は無効ステータスを示す点に注意してください (IUTS のステータスのセクションを参照)。

## アナログ・クロック・ループバック

### 概要

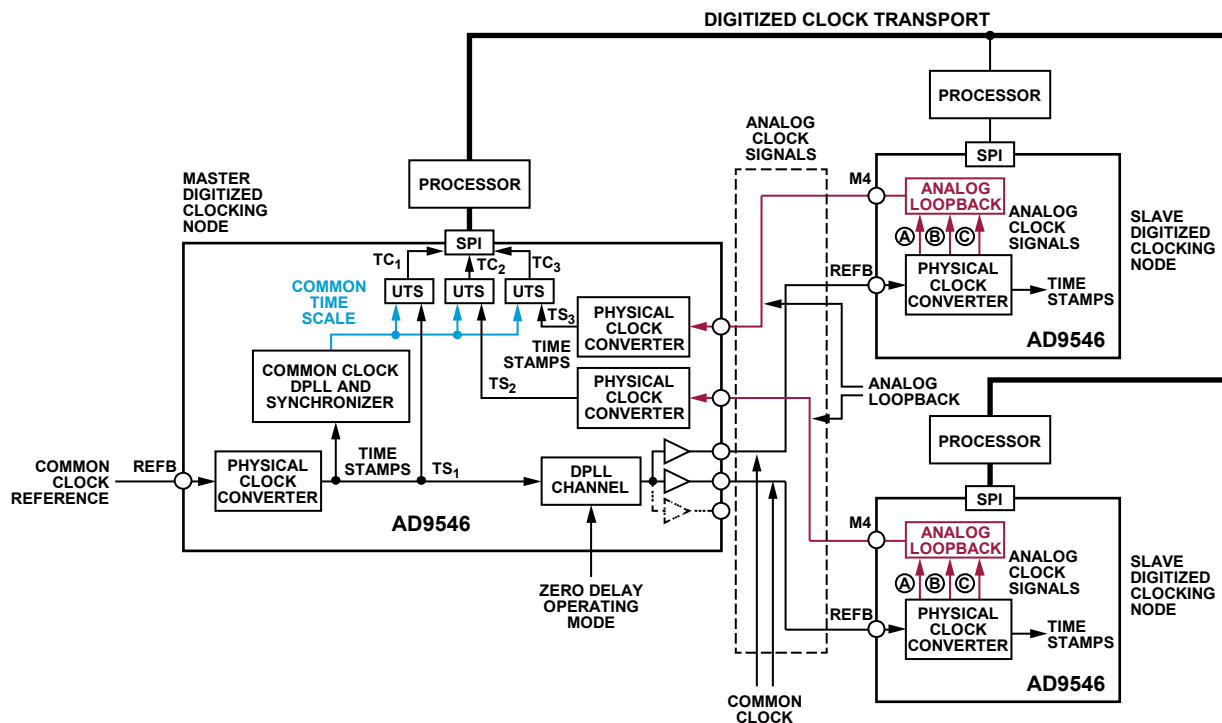
アナログ・ループバックは、アナログ・クロック信号をループバックして往復遅延を計測する手段を、分配クロック・システム的设计者に提供します。往復遅延を知ることができれば、ユーザは、物理的な接続（ケーブルや回路基板パターンなど）に関連するタイミング誤差を推定し、後段のノードでその誤差を補償することができます。これによる最終的な効果は、分配クロック・システムのノード間で同期が改善されることです。

図 55 に示す図は、3 個の AD9546 デバイスからなるデジタル化された分配クロッキング・システムの例です。左側はマスタ・タイミング・ノードで、右側がスレーブ・タイミング・ノードです。各ノードには、AD9546 と SPI 接続するプロセッサがあり、このプロセッサは、そのノードと、すべてのノードのプロセッサ間を結ぶデジタル・バス相互接続に関連付けられています。デジタル・バスの主要目的は、デジタル化されたクロックをノード間で伝送することです。ただし、デジタル・バスはその他のデータもノード間で伝送できるため、ノード・プロセッサはデータ（例えば、ノード間の遅延を補正するための時間オフセット）を共有できます。

システムの主要タイミング信号は、マスタ・ノードの REF<sub>B</sub> 入力を駆動する共通クロック・リファレンスです。マスタ・ノードは、共通クロック・リファレンスから共通タイム・スケールを生成します。また、マスタ・ノードは、共通クロック・リフ

アレンスを使用して、スレーブ・ノードに配信される共通クロック信号も生成します。共通クロックは、マスタ DPLL チャンネルを通じた共通クロック・リファレンスの配信から生じ、理想的にはゼロ遅延モードで動作して位相（遅延）オフセットを最小限に抑えます。スレーブ・ノードは、共通クロックを使用して専用の共通タイム・スケールを生成しクロック信号を出力します。分配クロック・システムの目的は、スレーブ・ノードの全出力クロック信号を、マスタの共通クロック・リファレンスに同期しているスレーブ・ノードの共通クロックに同期させることです。

高精度の分配クロック・システムを実装する場合の大きな課題は、共通クロックが各スレーブ・ノードに伝搬する際の時間遅延を考慮することです。遅延は、物理的な相互接続配線（例えばケーブル）の他、信号バスにある能動部品（ドライバやバッファなど）からも生じます。マスタとスレーブ間の各共通クロック・パスに関連する遅延量がわかっていないと、遅延によってタイミング誤差が生じ、ノード間の同期精度が損なわれることになります。遅延誤差を補償するために、AD9546 は、高分解能の時間測定機能（UTS システム）とアナログ・ループバック機能を備え、信号バスのタイミング誤差を定量化するメカニズムを提供しています。ユーザは、時間誤差を定量化することにより、AD9546 が提供する様々なオフセット・コントロールを介して補正用の時間オフセットを挿入し、このような誤差を補償できます。



- NOTES
1. TS<sub>1</sub> TO TS<sub>3</sub> CONSTITUTE TIME STAMP SEQUENCE 1 TO TIME STAMP SEQUENCE 3.
  2. TC<sub>1</sub> TO TC<sub>3</sub> CONSTITUTE TIME CODE SEQUENCE 1 TO TIME CODE SEQUENCE 3.

図 55. アナログ・ループバックを備えた分配クロック・システム

## アナログ・ループバック機能

図 55 に、AD9546 のアナログ・ループバック機能を赤色で示します。図 56 には、アナログ・ループバック機能の内部構成の詳細図を示します。アナログ・ループバック機能は、アナログ・ループバック入力として REFBB と REFBBB を使用し、アナログ・ループバック出力として M4 ピンを使用します。REFBB 入力と REFBBB 入力は共に、シングルエンド・レシーバーの出力 (A パス)、TDC への入力 (B パス)、リファレンス復調器同期信号の複製 (C パス) でループバック・パスを提供します。A パスは、差動レシーバーの出力は使用しない点に注意してください。

ユーザは、表 46 に従い、レジスタ 0x2D02 のビット [2:0] を使用して必要なループバック・パスを選択できます。REFBB 入力または REFBBB 入力の動作設定に基づいてループバック・パスを選択します。

表 46. アナログ・ループバック・パスの選択

| Bits[2:0] (Decimal) | Loopback Path                                   |
|---------------------|---|
| 0 (Default)         | Disable loopback                                |
| 1                   | REFBB receiver output to M4                     |
| 2                   | REFBBB receiver output to M4                    |
| 3                   | REFBB divider output to M4                      |
| 4                   | REFBBB divider output to M4                     |
| 5                   | REFBB demodulator synchronization output to M4  |
| 6                   | REFBBB demodulator synchronization output to M4 |
| 7                   | Reserved  |

ループバック・パスの選択 (表 46 の 1 (10 進数) ~ 6 (10 進数)) は、ループバックされたアナログ・クロック信号を、レジスタ 0x0186 (またはレジスタ 0x0106、ステータス/制御ピンのセクションを参照) に関連する通常の M4 ステータスの選択の代わりとして用いるものです。また、ループバック・パスを選択しても、自動的にループバック・パスが完了するわけではありま

せん。ループバック・パスを完了するには、レジスタ 0x0106 のビット 7 を 1 にプログラムして、M4 出力ドライバをイネーブルする必要があります。

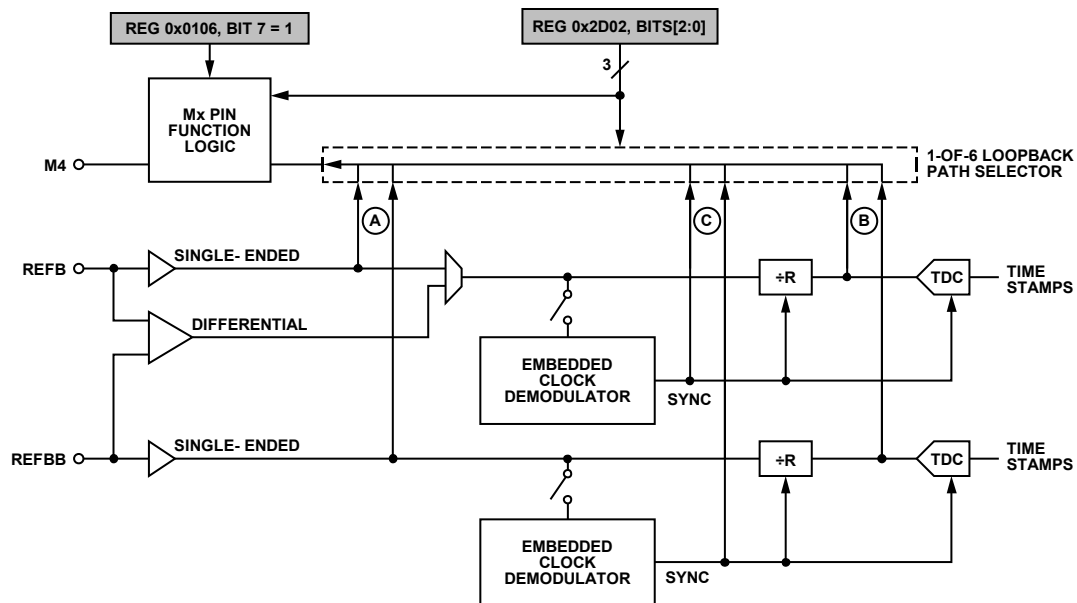
## 往復遅延の測定

アナログ・ループバック機能によって、往復遅延の測定を実行できます。往復遅延測定の主な目的は、分配クロック・システムの時間誤差の主要原因になりがちな、相互接続配線の遅延を定量化することです。往復遅延測定では、次の 3 条件が前提となっています。

- DPLL チャンネルがゼロ遅延モードで動作する
- 往復遅延の大きさが、TS<sub>1</sub>、TS<sub>2</sub>、または、TS<sub>3</sub> (図 55 を参照) に関連する連続的なタイム・スタンプ・イベントの周期より短い
- 共通クロックの周波数が共通クロック・リファレンスの周波数に等しい

ゼロ遅延モードでの動作は、厳格な条件ではありませんが、これによって往復遅延測定のプロセスが大幅に簡略化できます。2 番目と 3 番目の条件は、厳格な条件ではありませんが、これが満たされない場合、往復遅延の計算がこのデータシートの範囲を超えるレベルにまで複雑なものとなります。

往復遅延を測定するには、共通クロック・リファレンスに関連する物理クロック・コンバータからのタイム・スタンプ、TS<sub>1</sub> (図 55 を参照)、を受け入れるよう、マスタ・ノードの UTS ユニットの 1 つをプログラムする必要があります。UTS は、TS<sub>1</sub> タイム・スタンプを、TC<sub>1</sub> タイム・コードに変換します。ユーザは、必要なアナログ・ループバック・パスに関連する物理クロック・コンバータからのタイム・スタンプを受け入れるよう、2 つめの UTS ユニットのプログラムすることもできます。例えば、ループバック・パスが、図 55 の下側のスレーブ・ノードからのものであるとします。この場合、UTS は、TS<sub>2</sub> タイム・スタンプを TC<sub>2</sub> タイム・コードに変換します。



NOTES  
1. A RANGE OF BITS USES A COLON SEPARATOR

23286-056

図 56. アナログ・ループバックの詳細

TC<sub>1</sub>とTC<sub>2</sub>の各タイム・コードはペアとなって同時に発生します。例えば、TC<sub>1</sub> [x] と TC<sub>2</sub> [x]、TC<sub>1</sub> [x + 1] と TC<sub>2</sub> [x + 1] などのようにです。各タイム・コード・ペアから、次式を使用して往復遅延測定値である RTD が求められます。

$$RTD [x] = TC_2 [x] - TC_1 [x]$$

理想的には各 RTD [x] は同じ値ですが、実際には RTD [x] の値は様々なノイズの影響によりわずかに異なります。一般的に、ユーザはいくつかの RTD [x] の平均をとることで、往復遅延の推定値を改善できます。往復遅延の測定値には、相互接続配線や能動部品（バッファやその他の半導体部品など）からなるループバック・パスのすべての遅延が含まれています。ただし、表 29 では、内部ループバックの部分の静的遅延値が示されています。ユーザは、デバイスの内部パスに関連する遅延を考慮に入れるために、これらの値を往復遅延測定値から差し引くことができます。その結果の値、RTD<sub>CORR</sub> は、補正された往復遅延となります。これは、相互接続配線の合計遅延（順方向パスと

逆方向パス）とパス内のその他の部品の遅延の影響からなるものです。特定の部品の遅延の平均値と実際の部品の遅延との間の差異による小さな誤差もあります。相互接続配線の遅延が主であるとした場合、順方向（または逆方向）パスの相互接続配線遅延、Δt は、次式で表されます。

$$\Delta t = \frac{1}{2} \times RTD_{CORR}$$

RTD<sub>CORR</sub> の値と信号パス内の平均部品遅延がわかると、ユーザは、該当のノードに補正オフセットをプログラムしてパスの遅延を打ち消すことができます。

### 過剰往復遅延

アプリケーションによっては、相互接続の配線長が、基盤となるクロック周期を上回る往復遅延を引き起こす場合があります。そのような状況下では、TC<sub>1</sub>とTC<sub>2</sub>のタイム・コード・ペアの対称性が崩れます。過剰往復遅延を克服する技術はありますが、それはこのデータシートの範囲を超えるものです。

## システム・クロック PLL

### システム・クロック PLL の概要

システム・クロック PLL (図 57 を参照) は、ループ・フィルタと VCO の全機能を内蔵したインテジャール周波数シンセサイザで構成されています。VCO の出力は AD9546 のシステム・クロックで、周波数範囲は 2250MHz~2415MHz です。XOA ピンと XOB ピンは、システム・クロック PLL への入力を形成します。これらのピンには、クロック源または水晶共振器を接続します。

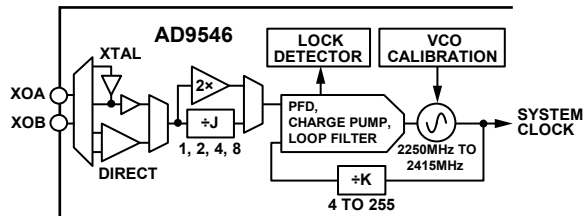


図 57. システム・クロック PLL のブロック図

### システム・クロック入力周波数の宣言

AD9546 を適切に動作させるには、レジスタ 0x0206~レジスタ 0x0202 のビット [39:0] に 40 ビットの符号なし整数をプログラムして、システム・クロック PLL への入力リファレンス周波数を宣言する必要があります。プログラムされた値は、mHz を単位とする公称周波数となり、XOA ピンと XOB ピンに印加されます。この値は、AD9546 評価ソフトウェアの周波数プランニング・ウィザードを使用して計算することができます。

### システム・クロック源

XOA ピンと XOB ピンはシステム・クロック PLL への入力接続としての役割を果たし、これによってユーザは水晶振動子パス (図 30 を参照) またはダイレクト・パス (図 31 を参照) を使用することができます。パス選択はレジスタ 0x0201 のビット 3 を介して行い、このビットをロジック 0 (デフォルト) にするとダイレクト・パスが選択され、ロジック 1 にすると水晶振動子パスが選択されます。システム・クロック入力に最適なリファレンス源は、50MHz レンジの水晶共振器か、AC カップリングされた振幅が 800mVp-p の矩形波源 (シングルエンドまたは差動) です。

### 水晶振動子パス

レジスタ 0x0201、ビット 3 をロジック 1 にプログラムすることで、水晶振動子パスを選択できます。水晶共振器の XOA ピンと XOB ピンへの接続については、図 30 を参照してください。図 30 に示す C<sub>TUNE</sub> コンデンサは、次式のように、C<sub>LOAD</sub> および C<sub>STRAY</sub> と関連しています。

$$C_{TUNE} = 2 \times (C_{LOAD} - C_{STRAY})$$

ここで、  
C<sub>TUNE</sub> はチューニング・コンデンサ、  
C<sub>LOAD</sub> は水晶振動子メーカーの仕様に従う負荷容量、  
C<sub>STRAY</sub> は任意の追加寄生容量です。

例えば、C<sub>LOAD</sub> = 10pF で C<sub>STRAY</sub> = 2pF~5pF の場合、C<sub>TUNE</sub> の値はおおよそ 15pF となります。

水晶振動子パスは、周波数範囲 25MHz~80MHz の水晶共振器に対応しています。内部維持アンプは、発振を発生させるために必要な負性抵抗を提供します。

内部アンプは AT カット型の基本モードの水晶振動子を前提としており、52MHz までの水晶振動子の場合には最大等価直列抵抗が 100Ω、80MHz の場合は 50Ω です。以下にアルファベット順で示した水晶振動子は、これらの基準を満たしています。

- AVX/京セラ CX3225SB
- ECS, Inc. ECX-32
- エプソントヨコム TSX-3225
- Fox FX3225BS
- NDK NX3225SA
- Siward SX-3225
- Suntu SCM10B48-49.152MHz

アナログ・デバイゼスは、上記の水晶振動子による AD9546 の動作を保証するものではありません。また、水晶振動子の特定のサプライヤを推奨するものでもありません。AD9546 のリファレンス設計には、スプリアス成分の少ない 49.152MHz の既製の高性能水晶振動子を使用しています。

水晶共振器は、メーカーにより仕様規定された最大消費電力条件に従う必要があります。そのため、一部の水晶共振器では、維持アンプによる電力の一部を吸収する抵抗を使用して、水晶共振器の最大消費電力条件を満たすようにする必要があります。図 58 に、電力制限抵抗、R<sub>LIMIT</sub> を接続して最適な性能を実現する方法を示します。

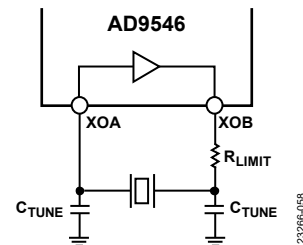


図 58. 電力制限抵抗の接続

### 周波数ダブラ (2 倍器)

水晶共振器がシステム・クロックの周波数源である場合、ユーザは、レジスタ 0x0201 のビット 0 を使用してリファレンス周波数を 2 倍にすることができます。ロジック 1 にプログラムすると、システム・クロック PLL の入力リファレンス周波数が 2 倍になり、PLL のインバンド・ノイズを 2dB~3dB だけ改善できます。

周波数ダブラは、システム・クロック PLL のダイレクト・パス入力では使用できません。



## 直接パス

レジスタ 0x0201、ビット 3 をロジック 0 にプログラムすることで、ダイレクト・パスを選択できます。3.3V 出力の TCXO または OCXO を XOA ピンおよび XOB ピンに接続する方法については、[図 31](#) を参照してください。

直接パスは、システム・クロック PLL へのリファレンスとして、低周波数の LVPECL、LVDS、CMOS、または正弦波クロック源に対応可能です。ただし、正弦波クロック源の場合は、50MHz 以上の周波数を使用するのが理想的です。低周波数の正弦波はスルー・レートが低く、ノイズ性能を低下させる傾向があります。

ダイレクト・パスには、自己バイアス値 0.75V DC の差動レシーバーが使われています。一般に、バイアス電圧が存在する場合は、外部供給源と XOA ピンおよび XOB ピンとの間で AC カップリングを行う必要があります。更に、システム・クロック PLL のリファレンス源として 3.3V の CMOS 発振器を使う場合は、AC カップリングに加えて分圧器を使用し、3.3V の振幅を最大でも 1.14V の振幅に減らす必要があります（最適電圧振幅は 800mV<sub>p-p</sub>）。

位相ノイズ性能の低下は、通常、システム・クロック PLL の PFD の入力での周波数が 50MHz を下回る場合に生じます。最適な位相ノイズ性能のためには、水晶共振器周波数を 50MHz 以上とし、周波数ダブラをイネーブルし、更にデバイスをシステム・クロック補償方法 3（システム・クロック補償のセクションを参照）を使用するよう設定した、水晶共振器パスを使用してください。

## プリスケール分周器

システム・クロック PLL には、分周比を 1（デフォルト）、2、4、または 8 にプログラムできる入力プリスケール分周器が含まれています。分周器の目的は、柔軟な周波数プランニングができるようにして、AD9546 の出力クロック信号にスプリアスが発生する可能性を減らすことにあります。分周比の選択は、レジスタ 0x0201、ビット [2:1] を使用して行うことができます。対応する分周比の値は  $2^J$  です。ここで、J は、レジスタ 0x0201、ビット [2:1] を構成する 2 ビット数値の 10 進数値です。

例えば、レジスタ 0x0201、ビット [2:1] の値が 10（2 進数）の場合、 $J=2$ （10 進数）を意味し、分周比は  $4$ （ $2^2=2^2=4$ ）となります。

## 帰還分周器

システム・クロック PLL は、周波数  $f_s$  のシステム・クロックを出力します。システム・クロック周波数は帰還分周器の値（[図 57](#) の K）に依存します。帰還分周比の範囲は 4~255 で、レジスタ 0x0200、ビット [7:0] を使用してプログラムできます。プログラムされたレジスタの値が分周比です。例えば、プログラム値が 100（16 進値で 0x64）の場合は分周比も 100 になります。

## システム・クロック PLL の出力周波数

システム・クロック周波数、 $f_s$  は次式で計算します。

$$\frac{K}{J} f_s = f_{osc} \times \frac{K}{J}$$

ここで、

$f_{osc}$  は入力周波数、

K は帰還分周比、

J は入力分周比、周波数 2 通倍器を使用する場合は  $J=1/2$  です。

$f_{osc}$ 、K、J は、 $f_s$  の VCO 範囲が 2250MHz~2415MHz となるように選択する必要があります。

## システム・クロック PLL のロック検出器

システム・クロック PLL は、リファレンス・クロック・エッジと帰還クロック・エッジの時間差を比較する簡単なロック検出器を備えています。ユーザは、レジスタ 0x3001、ビット 0 を使用してロック検出器のステータスを確認できます。ロジック 1 がロックを、ロジック 0 がアンロックを示します。

## システム・クロック安定性タイマー

AD9546 内の時間処理ブロックは安定した周波数を生成するシステム・クロックに依存するため、システム・クロック PLL によってそのステータスが示されます。システム・クロック PLL のステータスはユーザが参照できる他、特定の内部タイム・キープング・ブロックでも直接使用できます。

最初の起動時のシステム・クロック・ステータスは不明で、不安定な状態にあるものとしてレポートされますが、ユーザがシステム・クロック・レジスタをプログラムして、システム・クロック PLL VCO が補正を行うと、間もなくシステム・クロック PLL がロックします。

システム・クロック PLL がロック状態を示す可能性がある場合でも、ユーザは、レジスタ 0x0209~レジスタ 0x0207 のビット [19:0]（レジスタ 0x0209、ビット 3 が MSB）に 20 ビットの符号なし整数を使用して、ミリ秒（ $10^{-3}$  秒）単位でホールドオフ時間を延長できます。2 つの特別な値、0 と 1,048,575 があります。値を 0 とすると、システム・クロックの実際の状態とは関係なくシステム・クロックが不安定ステータスを示すようになります（PLL が安定している場合でも不安定ステータスを示すよう強制できるため、デバッグ目的に有用です）。1,048,575 の場合は、システム・クロック PLL がアンロックの場合にレジスタ 0x3001、ビット 1 が定義されなくなるため、この値は無効です。

## システム・クロックのキャリブレーション

システム・クロック PLL の VCO には、キャリブレーション・シーケンスが必要です。パワーアップ時のデバイス初期化シーケンスの一部に、システム・クロック・キャリブレーションがあります。一般的に、ユーザがシステム・クロックを手動で補正する必要はありません。

ただし、VCO 周波数が新しくなるようなシステム・クロック・パラメータの変更には、自動クリア・ビットではないレジスタ 0x2000、ビット 2 を使用した、手動のシステム・クロック・キャリブレーションが必要です。そのため、ロジック 1 を書き込み、IO 更新をアサートし、ロジック 0 を書き込み、IO 更新をアサートする、というのが完全なプログラミング・シーケンスとなります。更に、システム・クロック PLL がキャリブレーション中の場合には常に、レジスタ 0x3001 のビット 2 はビジー（ロジック 1）を示します。

レジスタ 0x2000 のビット 1 は、システム・クロック PLL を補正する代替手段となります（このビットは APLL0 と APLL1 も補正します）。

AD9546 には、特定のシステム・クロックのパワーダウンなど、様々なパワーダウン・モードがありますが、どのパワーダウン・モードからの復帰時でも、システム・クロックを補正する必要はありません。ただし、システム・クロックのパワーダウンからの復帰では、パワーダウン中にシステム・クロックが失われるため、APLL の補正は必要です。

### システム・クロックの安定性補償

狭い DPLL ループ帯域幅を必要とするアプリケーションでは、非常に安定したシステム・クロック源を使用することが必要です。ループ帯域幅が極めて狭い（約 50Hz 未満）DPLL に水晶共振器や水晶発振器のような比較的不安定なシステム・クロック源を併用すると、DPLL がアンロックされたり、断続的なアンロック状態になったりする場合があります。これに対する一般的な解決策は、非常に安定したシステム・クロック源（例えば、OCXO）を使用することです。その代替策として、AD9546 に内

蔵のシステム・クロック補償を使用することもできます。これにより、システム・クロック源として水晶共振器を使用できるようになります。基本的な考え方は、水晶共振器（25MHz～80MHz）を、[図 30](#) に示すように XOA ピンと XOB ピンに接続することで、それによって、水晶共振器の優れた位相ノイズ性能を利用できます。

ただし、水晶共振器には、必要とされる安定性はありません。その代わりに、この安定性は、高度に安定したソース（TCXO、OCXO、または GPS など）を未使用の REF<sub>x</sub> または M<sub>x</sub> 入力に接続することで実現できます。この安定したソースが、デバイスのシステム・クロック補償機能に対するリファレンス周波数の役割を果たします（[システム・クロック補償](#)のセクションを参照）。このシステム・クロック補償機能によって、デバイスは、高安定ソースの安定性と水晶共振器の優れた位相ノイズ性能の両方の利点を活用できます。このように、システム・クロック補償機能は、比較的不安定な水晶共振器がシステム・クロック源であっても、狭ループ帯域幅 DPLL を（アプリケーションの必要に応じて）使用できるメカニズムを提供します。

## リファレンス・クロック入力のリソース

AD9546には、図59に示すように、8つのリファレンス・クロック入力があります。この8つの入力は、4つの入力からなる次の2つのグループで構成されます。

- 4つの主要リファレンス入力 (REFA、REFAA、REFB、REFBB)
- 4つの補助リファレンス入力 (補助 REF0、補助 REF1、補助 REF2、補助 REF3)

この2つのグループは、入力レシーバーの設定を除き、機能的には同一です。

主要リファレンス入力には、ユーザ設定可能な入力レシーバー (リファレンス・レシーバーのセクションを参照) と専用ピンが備わっています。ユーザは、REFA および REFAA 入力を、1つの差動レシーバーまたは2つの独立したシングルエンド・レシーバーに設定できます。REFB および REFBB も同様に設定できます。

補助リファレンス・クロック入力には、ユーザ設定のできないシングルエンド CMOS レシーバーがあり、また、専用ピンはなく、Mx ピンを介してのみアクセス可能です (ステータス/制御ピンのセクションを参照)。

各リファレンス・クロック入力には、専用のリファレンス・モニタ、リファレンス分周器 (R 分周器)、TDC、リファレンス復調器が備わっています。

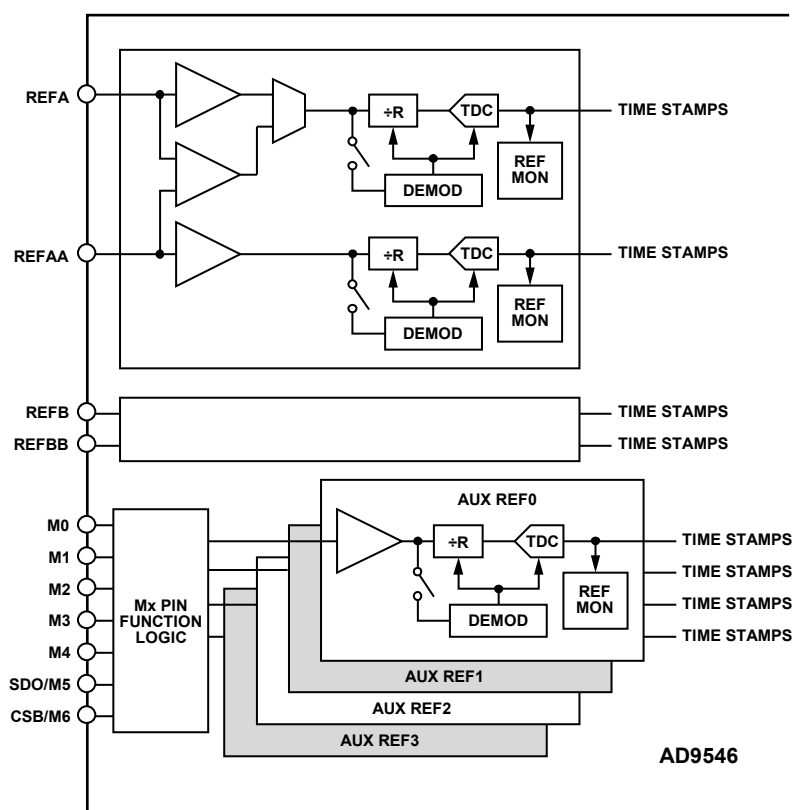


図 59. リファレンス入力のブロック図

## リファレンス・レシーバー

### リファレンス・レシーバーの概要

4つの専用リファレンス・クロック入力ピン (REFA、REFAA、REFB、REFBB) は、最大4つのリファレンス・クロック信号に対応します。4つのピンのうち2つはAリファレンス入力パスを指定し、他の2つはBリファレンス入力パスを指定するものです。Aリファレンス入力とBリファレンス入力はどちらも、1つの差動入力または2つのシングルエンド入力のいずれかに設定できます。Aリファレンス入力パスおよびBリファレンス入力パスにはそれぞれ、専用のREFx入力モード・ビット (xはAまたはB) があり、レジスタ 0x0300 (REFA) およびレジスタ 0x0304 (REFB) のビット 0 で、シングルエンド・モードまたは差動モードを選択できます。ロジック 0 (デフォルト) とすればシングルエンド・モード、ロジック 1 とすれば差動モードを選択できます。立上がりエッジと立下がりエッジが遅い入力信号に対応するには、差動入力レシーバーとシングルエンド・レシーバーの両方にヒステリシスを付与させます。ヒステリシスがあると、入力の接続が外れていたりフローティング状態になったりしている場合でも、レシーバーが発振しないようにすることができます。

補助リファレンスの入力レシーバー (適切に設定された Mx 制御ピンを介して使用可能) は、ユーザ設定ができません。それらは、DCカップリングのシングルエンド 1.8V CMOS レシーバーです。

### シングルエンド・モード

入力レシーバーは、シングルエンド・動作に設定されている場合、表 47 に示すように、レジスタ 0x0300 およびレジスタ 0x0304 のビット [7:4] を介して、ACカップリングまたはDCカップリ

ングの入力信号を受け入れます。ビット [7:4] が有効になるのは、レジスタ 0x0300 やレジスタ 0x0304 のビット 0 によってシングルエンド・モードが有効になっている場合のみです。

ACカップリング・モードでは、23.5kΩ の直列抵抗を持つ 0.6V DC 電源に等価な、内部バイアス終端があります。DCカップリング・モードの場合は、47kΩ の抵抗がグラウンドに接続されています。内部プルアップ・モードでは、47kΩ の抵抗が 1.2V に接続されています。

### シングルエンド DC カップリング・インターフェース (1.2V または 1.8V CMOS)

1.2V または 1.8V CMOS ドライバとリファレンス入力の接続については、図 32 を参照してください。表 47 に従い、対応する DC カップリング 1.2V CMOS モードまたは 1.8V CMOS モードを選択してください。

### シングルエンド DC カップリング内部プルアップ抵抗

オープンコレクタ・ドライバまたはオープンドレイン・ドライバをリファレンス入力に接続するには、図 34 を参照してください。表 47 に従い、内部プルアップ・モードを選択してください。これにより内部プルアップ抵抗 (約 47kΩ) が 1.2V に接続されます。

### シングルエンド AC カップリング・インターフェース

ドライバをリファレンス入力に AC カップリングするには、図 33 を参照してください。表 47 に従い、AC カップリング・インターフェース・モードを選択してください。これにより適切な内部バイアス・ネットワークが使用できます。

表 47. シングルエンド・モードのビット・フィールド設定

| レジスタ   | ビット [7:4] <sup>1</sup> | リファレンス | 説明                              |
|--------|------------------------|--------|---------------------------------|
| 0x0300 | XX00                   | REFA   | AC カップリング 1.2V インターフェース (デフォルト) |
|        | XX01                   | REFA   | DC カップリング 1.2V CMOS             |
|        | XX10                   | REFA   | DC カップリング 1.8V CMOS             |
|        | XX11                   | REFA   | 内部プルアップ抵抗 (プルダウン抵抗をディスエーブル)     |
|        | 00XX                   | REFAA  | AC カップリング 1.2V インターフェース (デフォルト) |
|        | 01XX                   | REFAA  | DC カップリング 1.2V CMOS             |
|        | 10XX                   | REFAA  | DC カップリング 1.8V CMOS             |
|        | 11XX                   | REFAA  | 内部プルアップ抵抗 (プルダウン抵抗をディスエーブル)     |
| 0x0304 | XX00                   | REFB   | AC カップリング 1.2V インターフェース (デフォルト) |
|        | XX01                   | REFB   | DC カップリング 1.2V CMOS             |
|        | XX10                   | REFB   | DC カップリング 1.8V CMOS             |
|        | XX11                   | REFB   | 内部プルアップ抵抗 (プルダウン抵抗をディスエーブル)     |
|        | 00XX                   | REFBB  | AC カップリング 1.2V インターフェース (デフォルト) |
|        | 01XX                   | REFBB  | DC カップリング 1.2V CMOS             |
|        | 10XX                   | REFBB  | DC カップリング 1.8V CMOS             |
|        | 11XX                   | REFBB  | 内部プルアップ抵抗 (プルダウン抵抗をディスエーブル)     |

<sup>1</sup> X は、ドント・ケアを意味します。

## 差動モード

差動動作に設定すると、[図 48](#) に示すように、入力レシーバーは AC カップリングされた信号と DC カップリングされた信号のどちらかを扱います。ビット [3:2] は、対応する差動モードが有効な場合にのみ、有効です。

表 48. 差動モード設定

| レジスタ   | ビット [3:2] | リファレンス      | 説明                         |
|--------|-----------|-------------|----------------------------|
| 0x0300 | 00        | REFA, REFAA | AC カップリング (デフォルト)          |
|        | 01        | REFA, REFAA | DC カップリング                  |
|        | 10        | REFA, REFAA | DC カップリング LVDS             |
|        | 11        | Unused      | 不使用                        |
| 0x0304 | 00        | REFB, REFBB | AC カップリング・インターフェース (デフォルト) |
|        | 01        | REFB, REFBB | DC カップリング 1.2V CMOS        |
|        | 10        | REFB, REFBB | DC カップリング 1.8V CMOS        |
|        | 11        | Unused      | 不使用                        |

AC カップリング・モードでは、各差動入力ピンに内部バイアス終端があります。これには、23.5kΩ 抵抗と直列接続された 0.6V DC 電源のテブナン等価回路が構成されています。DC カップリング・モードでは、外部ドライバが 0.6V コモンモード・バイアスを提供することが想定されています。DC カップリング LVDS モードでは、LVDS の信号レベルが標準的な LVDS ドライバによって供給される、1.2V コモンモード電源が想定されています。

差動モード動作周波数が 10.24MHz を超える場合、AC カップリング差動モードを使用し、直列 DC 阻止コンデンサを介してリファレンス入力クロック信号をリファレンス入力ピンに接続してください。差動モード動作周波数が 10.24MHz 未満の場合は、DC カップリング差動モードを使用します。低周波数 (10.24MHz 未満) の LVDS 入力リファレンス源を直接接続する場合は、必要なレベル・シフトを備えた DC カップリング LVDS モードを使用してください。

### DC カップリング LVDS (<10.24MHz) インターフェース

コモンモード出力バイアスが 1.2V の標準的な LVDS ドライバに DC カップリング接続を行うには、[図 35](#) を使用します。[表 48](#) に従って DC カップリング LVDS モードを選択し、入力レシーバーに適切な内部レベル・シフトが行われるようにしてください。この設定は、最大 10.24MHz の入力周波数に対応します。

### 差動 AC カップリング (>10.24MHz)

10.24MHz を超える差動入力信号の場合、[図 36](#) を参照して外部ドライバに AC カップリング接続を行います。[表 48](#) に従って AC カップリング・モードを選択してください。

### 差動 DC カップリング (>10.24MHz)

コモンモード出力バイアスが 0.6V の差動ドライバに DC カップリング接続を行うには、[図 37](#) を使用します。[表 48](#) に従って DC カップリング・モードを選択してください。

## リファレンス分周器（R 分周器）

各リファレンス入力には専用の分周器である  $R_x$  があります（ $x$  は 8 つの差動リファレンス入力である A、AA、B、BB、または補助 REF0～補助 REF3 を示す）。 $R_x$  分周器の主な目的は、入力リファレンス周波数（200kHz より高いと仮定）を 1Hz～200Hz のある値に減少させて、TDC の入力周波数の制限を満たすことです。

30 ビットの符号なしビット・フィールドを使用し、表 49 に示すように  $R_x$  をプログラムできます。 $R_x$  の分周比は、ユーザがこのビット・フィールドでプログラムする  $R$  の値によって決まります。ユーザは、必要な分周比より 1 だけ小さい値でこのビット・フィールドをプログラムする必要があります。このようにして、 $R_x$  分周器は 1～1,073,741,824 の分周比を提供します。

例えば、入力リファレンス周波数が 125MHz で、必要な  $R_x$  出力周波数が 125kHz の場合、分周比は 1000 とする必要があります。

したがって、必要なビット・フィールド値は、999（0x000003E7（16 進数））となります。

表 49. リファレンス分周器のアドレス範囲

| $R_x$ Reference | Register Address Range |
|-----------------|------------------------|
| REFA            | 0x0400 to 0x0403       |
| REFAA           | 0x0420 to 0x0423       |
| REFB            | 0x0440 to 0x0443       |
| REFBB           | 0x0460 to 0x0463       |
| Auxiliary REF0  | 0x0480 to 0x0483       |
| Auxiliary REF1  | 0x04A0 to 0x04A3       |
| Auxiliary REF2  | 0x04C0 to 0x04C3       |
| Auxiliary REF3  | 0x04E0 to 0x04E3       |

## リファレンス・モニタ

### リファレンス・モニタの概要

AD9546 には、8 つのリファレンス入力のそれぞれに対応した、8 つの独立したリファレンス・モニタがあります。図 60 に、REFA 入力とそれに関連するリファレンス・モニタを示します。図 60 のリファレンス・モニタ図は、REFA を示す参照記号をすべて他のリファレンス入力に置き換えることで、REFAA、REFB、REFBB、補助 REF0、補助 REF1、補助 REF2、補助 REF3 の各入力にすべて当てはめられます。

ユーザは、レジスタ 0x2001、ビット [3:0] を介して、使用していない主要リファレンスをパワーダウンすることもできます（主要リファレンスの定義についてはリファレンス・クロック入力のリソースのセクションを参照）。

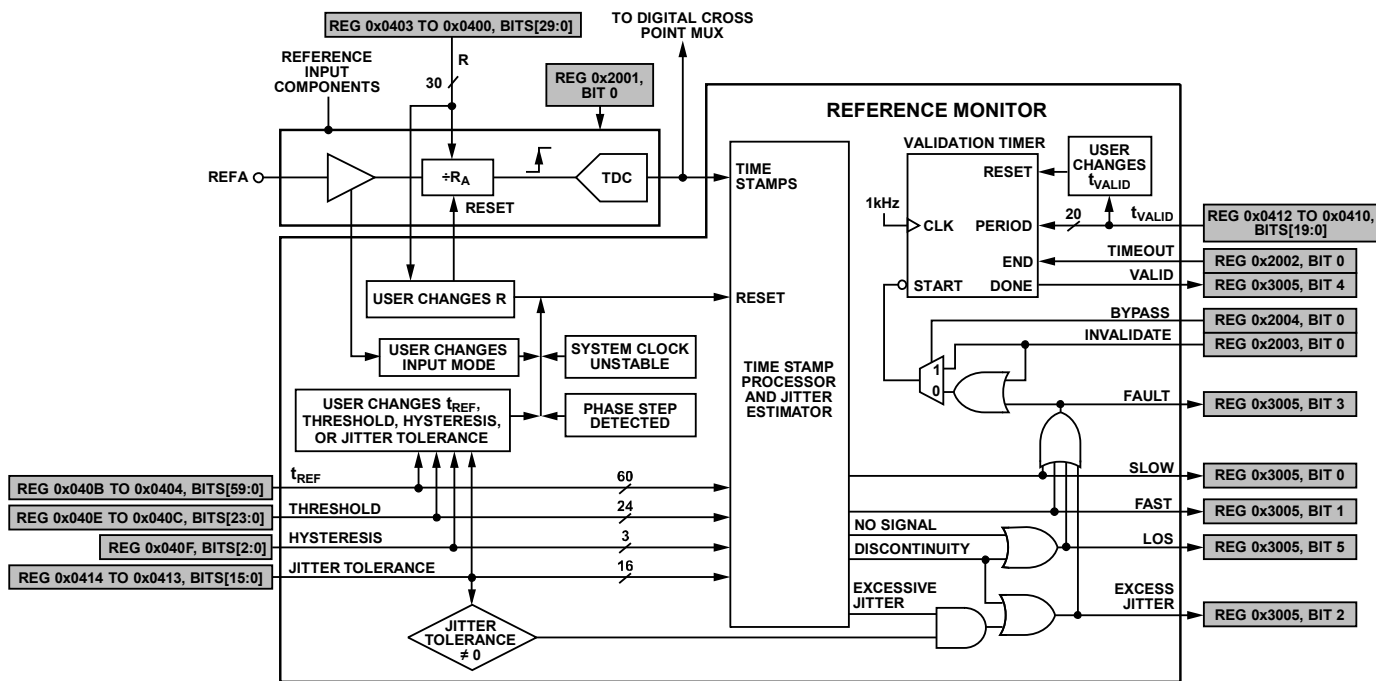
各リファレンス入力には、分周比がプログラム可能（リファレンス分周器（R 分周器）のセクションを参照）な専用の入力分周器があります（例えば、図 60 の R<sub>A</sub> など）。リファレンス・モニタは、信号パスの R 分周器に従うため、本質的に、分周比が 1 より大きいリファレンス入力クロック信号をアンダーサンプリングします。

R 分周器とリファレンス・モニタの間には TDC があります（時間デジタル・コンバータ（TDC）のセクションを参照）。TDC はデジタルの（数値化された）タイム・スタンプをリファレン

ス・モニタに供給し、リファレンス・モニタはこのタイム・スタンプを処理して入力クロック信号のステータスを判定します。各リファレンスの TDC は、デジタル・クロスポイント・マルチプレクサを介して、いずれかの DPLL 入力に接続できます（図 1 を参照）。リファレンスがクロスポイント・マルチプレクサを介して DPLL のいずれにも接続されていない場合でも、対応するリファレンス・モニタはリファレンス信号のモニタを続け、それによってステータス信号を生成します。

リファレンス・モニタは、ユーザ・プログラム可能な特定のパラメータ（リファレンス・モニタ制御のセクションを参照）を使用して、様々なモニタリング機能を実行します。リファレンス・モニタには、ステータス・インジケータ（リファレンス・モニタ・ステータス・インジケータのセクションを参照）が備わっており、ユーザがリファレンス入力信号の品質を調べることができます。

AD9546 はリファレンス・モニタが提供するステータスを使用して、特定の内部機能（例えば、自動リファレンス・スイッチングなど）を制御します。ユーザは、レジスタ・マップを使用してステータス信号を読み出すか、Mx ビンを介した物理信号としてステータス信号を読み出すことができます（詳細については、ステータス/制御ピンのセクションおよび割り込み要求（IRQ）のセクションを参照）。



- NOTES  
 1. REGISTER ADDRESSES SHOWN FOR REFA ONLY  
 2. A RANGE OF BITS USES A COLON SEPARATOR  
 3. CERTAIN STATUS AND CONTROL BITS CAN BE ACCESSED VIA THE MX PINS

図 60. リファレンス・モニタ

## リファレンス・モニタの基本周期

リファレンス・モニタは、R 分周器の出力の各立上がりエッジで発生する TDC タイム・スタンプで、直接的に動作します。タイム・スタンプは TDC 入力の上上がりエッジから生じ、TDC 入力は入力リファレンス周期を R 倍した間隔で発生するため、リファレンス・モニタの基本周期 ( $t_{BASE}$ ) は、リファレンス周期の R 倍です。

## リファレンス・モニタ・ステータス・インジケータ

各リファレンスに関連付けられるリファレンス・モニタでは、有効、故障、LOS、低速、高速、過剰ジッタの、6 個のステータス・インジケータが使用できます。これらのインジケータは、それぞれ、D4、D3、D5、D0、D1、D2 の各ビットに関連付けられています。レジスタ・アドレスは、表 50 に示すように、リファレンスに依存します。

表 50. リファレンス・モニタ・ステータスのレジスタ・アドレス

| Reference Input | Register Address |
|-----------------|------------------|
| REFA            | 0x3005           |
| REFAA           | 0x3006           |
| REFB            | 0x3007           |
| REFBB           | 0x3008           |
| Auxiliary REF0  | 0x301F           |
| Auxiliary REF1  | 0x3020           |
| Auxiliary REF2  | 0x3021           |
| Auxiliary REF3  | 0x3022           |

### 有効

有効ステータスのインジケータは、オプションの有効化時間の終了時にロジック 1 となります (リファレンス有効化のセクションを参照)。

### 故障

故障ステータスのインジケータは、LOS、低速、高速、または過剰ジッタが真 (true) の場合にロジック 1 となります。

### 信号消失 (LOS)

LOS ステータスのインジケータは、入力信号がない、入力信号が非常に低速 ( $>1.15 \times t_{BASE}$ )、または入力信号に位相不連続が発生したと、リファレンス・モニタが判定した場合に、ロジック 1 となります (不連続検出のセクションを参照)。

### 低速

低速ステータスのインジケータは、入力信号の周期が閾値設定で指定された最大周期より大きい場合に、ロジック 1 となります (リファレンス周期の閾値のセクションを参照)。

### 高速

高速ステータスのインジケータは、入力信号の周期が閾値設定で指定された最小周期より小さい場合に、ロジック 1 となります (リファレンス周期の閾値のセクションを参照)。

### 過剰ジッタ

過剰ジッタ・ステータスのインジケータは、入力信号のジッタがジッタ許容値で指定された制限を超えた (ジッタ許容値のセクションを参照)、または位相不連続が発生したと、リファレンス・モニタが判定した場合に、ロジック 1 となります (不連続検出のセクションを参照)。

## リファレンス・モニタ制御

リファレンス・モニタが適切に機能するには、特定の情報が前もって必要です。リファレンス周期 ( $t_{REF}$ )、リファレンス周期の閾値、ヒステリシス、ジッタ許容値、有効化時間 ( $t_{VALID}$ )、タイムアウト、バイパス、無効化の各セクションで説明する、適切なパラメータをプログラムすることで、ユーザはこの情報を提供できます。

### リファレンス周期 ( $t_{REF}$ )

各リファレンス入力には、専用の符号なし 60 ビット・フィールドが表 51 に示すレジスタ・アドレス範囲にあり、 $t_{REF}$  を指定できます。 $t_{REF}$  は、関連する入力リファレンスの公称周期を示すもので、アト秒 ( $10^{-18}$  秒) を単位とし、約 1.15 秒が上限です。

例えば、REFAA 入力に公称 2.048MHz の入力信号があったとします。対応する周期は、 $1 / (2.048 \times 10^6)$  秒で、これに  $10^{18}$  を乗じると、488,281,250,000 アト秒となります。レジスタ 0x042B ~ レジスタ 0x0424 に、488,281,250,000 アト秒 (0x 000 0071 AFD4 98D0 (16 進数)) に対応する 60 ビット値をプログラムします。

表 51. 公称周期のアドレス範囲

| Reference Input | Register Address Range |
|-----------------|------------------------|
| REFA            | 0x0404 to 0x040B       |
| REFAA           | 0x0424 to 0x042B       |
| REFB            | 0x0444 to 0x044B       |
| REFBB           | 0x0464 to 0x046B       |
| Auxiliary REF0  | 0x0484 to 0x048B       |
| Auxiliary REF1  | 0x04A4 to 0x04AB       |
| Auxiliary REF2  | 0x04C4 to 0x04CB       |
| Auxiliary REF3  | 0x04E4 to 0x04EB       |

### リファレンス周期の閾値

リファレンス周期の閾値は、故障のないリファレンスを許容範囲外 (すなわち、低速または高速) として示すためにリファレンス・モニタが使用する、 $t_{REF}$  からの最大相対偏差です。閾値パラメータを指定するために、各リファレンス入力には、表 52 に示すレジスタ・アドレス範囲に、符号なし 24 ビット整数で構成される専用のレジスタ・グループがあります。24 ビットの数値は、十億分率 (ppb) を単位とする相対偏差を表し、最大値は約 1700 万 ppb (1.7%)、デフォルト設定は 100ppm です。

表 52. オフセット制限のアドレス範囲

| Reference Input | Register Address Range |
|-----------------|------------------------|
| REFA            | 0x040C to 0x040E       |
| REFAA           | 0x042C to 0x042E       |
| REFB            | 0x044C to 0x044E       |
| REFBB           | 0x046C to 0x046E       |
| Auxiliary REF0  | 0x048C to 0x048E       |
| Auxiliary REF1  | 0x04AC to 0x04AE       |
| Auxiliary REF2  | 0x04CC to 0x04CE       |
| Auxiliary REF3  | 0x04EC to 0x04EE       |



閾値パラメータは周期の相対偏差 ( $\delta p$ ) を指定するため、次式のように、周波数の相対偏差 ( $\delta f$ ) に関係します。

$$\delta p = -\delta f (1 + \delta f) \quad (1)$$

例えば、REFAA に対する入力リファレンス周波数の予想最大相対偏差が、 $75 \times 10^{-6}$  (75ppm) であるとして、つまり、 $\delta f = 75 \times 10^{-6}$  です。

式 1 より、 $\delta p = -74.994375 \times 10^{-6}$ 、つまり、 $-74.994375\text{ppm}$ 、または $-74994.375\text{ppb}$  となります。閾値パラメータは ppb を単位とする符号なし整数値であるため、閾値は 74,994 となります。したがって、レジスタ 0x042C ~ レジスタ 0x042E に、74,994 (0x0124F2 (16 進数)) に対応する 24 ビット値をプログラムします。

閾値パラメータの小さな値を適切に検証するために、リファレンス・モニタには、非常に高精度のタイミング・リファレンスが必要です。リファレンス・モニタは、TDC のタイム・スタンブを使用して、入力信号パラメータを評価します。TDC の基盤となる精度はシステム・クロックを基準とするため、微少な閾値にはこれに適う精度のシステム・クロック、またはこれに適う補償が行われたシステム・クロックが必要です (システム・クロック補償のセクションを参照)。

### ヒステリシス

ヒステリシス・パラメータは、故障のあるリファレンスに適用されますが、閾値パラメータは故障のないリファレンスに適用されます。リファレンス周期サンプルが、 $t_{REF}$ 、閾値、ヒステリシスとどのような関係にあるかによって、リファレンス・モニタは故障か故障でないかを判定します。特定のリファレンスのヒステリシス・パラメータを指定するには、表 53 に従い、そのリファレンスに関連するレジスタ・アドレスのビット [2:0] を使用します。

表 53. ヒステリシス・レジスタ・アドレス

| Reference Input | Register Address Range |
|-----------------|------------------------|
| REFA            | 0x040F                 |
| REFAA           | 0x042F                 |
| REFB            | 0x044F                 |
| REFBB           | 0x046F                 |
| Auxiliary REF0  | 0x048F                 |
| Auxiliary REF1  | 0x04AF                 |
| Auxiliary REF2  | 0x04CF                 |
| Auxiliary REF3  | 0x04EF                 |

ヒステリシス・パラメータのプログラム値によって、表 54 に示すように、ヒステリシスのスケーリング・ファクタ (SF) が定義されます。

表 54. ヒステリシスの選択表

| Bits[2:0] (Decimal) | Scale Factor (SF) |
|---------------------|-------------------|
| 0                   | 0                 |
| 1                   | 0.03125           |
| 2                   | 0.0625            |
| 3                   | 0.125 (default)   |
| 4                   | 0.25              |
| 5                   | 0.5               |
| 6                   | 0.75              |
| 7                   | 0.875             |

SF の値は、閾値の値の差分を表し、ヒステリシスの量を定義するものです。

$$\text{ヒステリシス (ppb)} = \text{閾値} \times \text{SF}$$

例えば、閾値が 74,994ppb、SF が 0.0625 であるとして、ヒステリシスは次のようになります。

$$\text{ヒステリシス (ppb)} = 74,994\text{ppb} \times 0.0625 = 4,687$$

リファレンス・モニタは、リファレンス周期サンプルを、 $t_{REF}$ 、閾値、SF の各パラメータと比較し、図 61 に従って故障か故障でないかの判定を行います。

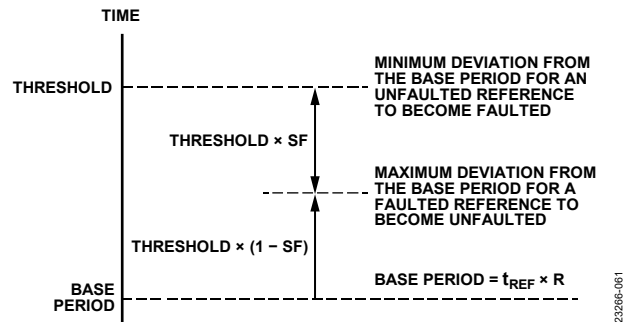


図 61. リファレンス・モニタのヒステリシス

### ジッタ許容値

リファレンス・モニタが過剰ジッタ条件を示すまでに許容できる最大実効値ジッタを定義するには、ジッタ許容値パラメータを使用します。各リファレンス入力には、表 55 に示すレジスタ・アドレス範囲のとおり、ジッタ許容値を入力するための専用レジスタ・グループがあります。ジッタ許容値パラメータは、16 ビットの符号のない整数で、ナノ秒 ( $10^{-9}$  秒) を単位とし、最大値は約 65.5 $\mu\text{s}$  です。

表 55. ジッタ許容値のアドレス範囲

| Reference Input | Register Address Range |
|-----------------|------------------------|
| REFA            | 0x0413 to 0x0414       |
| REFAA           | 0x0433 to 0x0434       |
| REFB            | 0x0453 to 0x0454       |
| REFBB           | 0x0473 to 0x0474       |
| Auxiliary REF0  | 0x0493 to 0x0494       |
| Auxiliary REF1  | 0x04B3 to 0x04B4       |
| Auxiliary REF2  | 0x04D3 to 0x04D4       |
| Auxiliary REF3  | 0x04F3 to 0x04F4       |

例えば、予想されるジッタ限度が 75 ナノ秒 (実効値) の場合、ジッタ許容値は 75 (0x004B (16 進数)) となります。

ジッタ許容値が 0 の場合、リファレンス・モニタには、過剰ノイズ・ステータスの判定の一部としてのジッタの推定は含まれません。ただし、ジッタ許容値が 0 の場合でも、リファレンス・モニタは許容値の決定を基に行うジッタの推定は続行します。

## 有効化時間 (t<sub>VALID</sub>)

アプリケーションによっては、システムがリファレンスを有効であると認識するまでに、ある最低限の時間 (t<sub>VALID</sub>)、リファレンス信号がその有効性を維持する必要があります。リファレンス・モニタはタイマーを内蔵しており、そのような有効化時間条件を処理できます。各リファレンス・モニタには、表 56 のレジスタ・アドレス範囲に、t<sub>VALID</sub> を割り当てるための 20 ビットの符号なし整数が関連付けられています。

表 56. 有効化タイマーのアドレス範囲

| Reference Input | Register Address Range |
|-----------------|------------------------|
| REFA            | 0x0410 to 0x0412       |
| REFAA           | 0x0430 to 0x0432       |
| REFB            | 0x0450 to 0x0452       |
| REFBB           | 0x0470 to 0x0472       |
| Auxiliary REF0  | 0x0490 to 0x0492       |
| Auxiliary REF1  | 0x04B0 to 0x04B2       |
| Auxiliary REF2  | 0x04D0 to 0x04D2       |
| Auxiliary REF3  | 0x04F0 to 0x04F2       |

プログラムされる t<sub>VALID</sub> の値は、ミリ秒を単位とし、最大で約 1048 秒 (約 17.5 分) です。例えば、有効化時間を 10 分に設定するには、次のようにします。

$$t_{VALID} = (10\text{min}) \times (60\text{sec/min}) \times (1000\text{ms/sec}) \\ = 600,000 \text{ ミリ秒 (0x927C0 (16 進数))}$$

有効化タイマーは、リファレンスが故障状態から非故障状態に変化した時点で始動します。有効化時間が経過すると (つまり、図 60 において、有効化タイマーの DONE 出力が 1)、リファレンスは有効ステータス (VALID=1) を示します。

有効化タイマーの始動後故障状態が発生すると、有効化タイマーは再始動します。この動作によって、リファレンスが有効化タイマーの全期間で非故障状態を維持した後にのみ、リファレンスの有効化が行われるようになります。

なお、t<sub>VALID</sub> を新しい値にプログラムすると、有効化タイマーがリセットされる点に注意してください。有効化タイマーをリセットすると、リファレンスは、t<sub>VALID</sub> の変更前には有効であったとしても、無効化されます。ただし、有効化タイマーがリセットされるときにリファレンスが無効ステータスを示す場合でも、リファレンス・モニタは、リファレンス入力信号の品質に基づいて、故障状態または非故障状態を引き続き適切に示します。

ユーザは、リファレンス・モニタの通常動作に影響を与えることなく、強制的にリファレンスを無効ステータスにすることができます (無効化のセクションを参照)。

## タイムアウト

ユーザは、レジスタ 0x2002、ビット [7:0] を使用して、有効化タイマーを即座にタイムアウトさせることを選択できます。このレジスタのビットはそれぞれ特定のリファレンスに対応しています。すなわち、対応するリファレンスは、D7 から D0 に向かって、補助 REF3、補助 REF2、補助 REF1、補助 REF0、REFBB、REFB、REFAA、REFA となります。

タイムアウトを 1 にプログラムすると、有効化タイマーは即座にタイムアウトし、リファレンスを有効ステータスにします (valid=1)。

## バイパス

特定の状況では、有効化タイマーのリファレンス・モニタ制御をバイパスする必要があるかもしれません。そのため、各リファレンス入力には、レジスタ 0x2004、ビット [7:0] を使用した専用の制御ビット (bypass) があります。このレジスタのビットはそれぞれ特定のリファレンスに対応しています。すなわち、対応するリファレンスは、D7 から D0 に向かって、補助 REF3、補助 REF2、補助 REF1、補助 REF0、REFBB、REFB、REFAA、REFA となります。

バイパス機能は実際にはリファレンス・モニタ自体をバイパスするものではなく、有効ステータスの動作をバイパスするだけです。

リファレンスで bypass = 0 (デフォルト) の場合、リファレンス・モニタで指定された通常の故障/非故障状態によって有効化タイマーの始動が制御され、それによって、有効状態が制御されます。図 60 に示すように、bypass = 0 の場合、ユーザは無効化制御メカニズムを使用し、故障のないリファレンスを強制的に無効ステータスにすることもできます (無効化のセクションを参照)。ただし、bypass = 0 の場合に、無効化制御メカニズムを使用して故障リファレンスを有効にすることはできません。

リファレンスで bypass=1 の場合は、有効化タイマーの始動は、無効化制御メカニズムを介したユーザ制御によって行われます (無効化のセクションを参照)。つまり、invalidate=0 とプログラムすることは、リファレンス・モニタが非故障状態を示すのと同様です。逆に、invalidate=1 とプログラムすると、リファレンス・モニタが故障状態を示しているのと同じこととなります。有効化タイマーは、強制的な故障/非故障状態に応じて応答します。

なお、bypass 制御ビットまたは invalidate 制御ビットの状態とは無関係に、リファレンス・モニタの高速、低速、LOS、過剰ジッタの各インジケータは通常どおりに機能し、ユーザは各ステータス・レジスタを介して読み出すことができます (図 60 を参照)。

## 無効化

特定の状況では、リファレンスを有効状態から無効状態に強制的に変更する必要があるかもしれません。そのため、各リファレンス入力には、レジスタ 0x2003、ビット [7:0] を使用した専用の制御ビット (invalidate) があります。このレジスタのビットはそれぞれ特定のリファレンスに対応しています。すなわち、対応するリファレンスは、D7 から D0 に向かって、補助 REF3、補助 REF2、補助 REF1、補助 REF0、REFBB、REFB、REFAA、REFA となります。

bypass = 0 の場合に invalidate = 1 を使用する状況は、リファレンス信号が主要タイミング・ソースまで追跡可能でなくてはならないにも関わらず、ユーザはソースまで追跡できないことを別の情報からわかっている、という場合です。このような状況では、リファレンス信号では、各種パラメータが許容範囲を満たしている可能性があります。そのため、リファレンス・モニタは、リファレンスが故障状態でないことを示します。しかし、ユーザはソースが追跡不能であることを知っているため、

invalidate=1 とすることで（リファレンスが許容範囲内にあるとリファレンス・モニタが判断している場合でも）リファレンスを強制的に無効にすることができます。ユーザは、各種条件が満たされている場合は、invalidate=0 とすることで、再度有効ステータスに戻すことができます。ただし、invalidate=1 としている間にリファレンス信号が（リファレンス・モニタによって設定された）許容範囲を超えた場合は、ユーザが invalidate = 0 としてもリファレンスは無効のままとなります。つまり、bypass = 0 の場合、ユーザは、無効ステータスにあるリファレンスを故障リファレンス・ビットを介して有効ステータスに強制的に変更することはできません。

bypass = 1 を使用する（有効化タイマーのリファレンス・モニタ制御をバイパスする）状況は、リファレンス信号がギャップのあるクロックの一種である場合です。ギャップのあるクロックを使用するリファレンス信号は、リファレンス・モニタにとっては問題があります。許容範囲内あるいは範囲外の状態の識別に信頼が置けなくなるためです。したがって、本来故障のないリファレンスが、このリファレンス・モニタからは故障があると判定されてしまう可能性があります。そのような状態では、bypass = 1 とすることで、有効化タイマーのリファレンス・モニタ制御（それによって有効ステータスおよび無効ステータス）をバイパスできます。bypass = 1 の場合、invalidate 制御ビットを使用すると、リファレンス・モニタが通常生成する故障状態と非故障状態を模擬的に作成できます。

## 不連続検出

リファレンス・モニタは、リファレンス信号の周期における、次の不連続を検出します。

- リファレンス信号の欠落、または、必要な値からの偏差が 3.125% を超えるリファレンス周期。
- 偏差が (J<sub>EST</sub> の 64 倍+ジッタ許容値の 1/2) を超えるリファレンス周期サンプル (J<sub>EST</sub> はその時点のジッタ変動の推定値)。
- 長期ジッタを 50% 以上超える短期ジッタ。

不連続を検出すると、不連続ステータス信号 (図 60 を参照) がロジック 1 になります。

## リファレンス周期のジッタの推定

リファレンス・モニタは、数値のタイム・スタンプを使用してリファレンス周期を測定するので、周期サンプル (TDC からの連続するタイム・スタンプ間の差) の観測時にリファレンス信号の平均値と分散を推定できます。平均はリファレンス周期の推定値で、分散はリファレンス信号に存在するジッタの推定値です。リファレンス・モニタは平均とジッタ分散の推定値を使用し、現行のジッタ分散推定値の 16 倍 ( $\pm 8\sigma$ ) の範囲と t<sub>REF</sub>、閾値、ヒステリシスの各パラメータを比較して許容誤差内か許容誤差外かを判定します。このような統計手法によって、リファレンス・モニタは、ほぼ最適な最小観測時間内に高い信頼度で許容誤差の判定ができます。

## リファレンス・モニタの判定時間

リファレンス周期の推定アルゴリズムは、ユーザが指定する閾値パラメータの値 (リファレンス・モニタ制御のセクションを参照) と、リファレンス信号に存在する実際のジッタを考慮に入れています。一般に、ジッタ推定値の分散を適切な範囲に収めるまでに必要とされる平均化処理が少ないほど、判定に要する時間は短くなります。重要な点は、閾値パラメータの値と入力信号に存在するジッタの量の両方によって、リファレンス・モニタが許容誤差外状態を宣言するまでの判定時間が決まる、ということです。つまり、判定時間は予め決められるものではありません。

通常動作では、ジッタはリファレンス・モニタの判定時間に対し一定の影響を及ぼしますが、リファレンス周期が基本周期を大幅に上回る場合や、リファレンス信号が完全に消失している場合には、ジッタは判定時間にほとんど影響しません。それは、リファレンス・モニタにはリファレンス信号の予定周期 ( $R \times t_{REF}$ ) が予め与えられているためです。したがって、リファレンス・モニタは、(TDC のタイム・スタンプではなく) 内部のタイミングに依存して、TDC からの予定タイム・スタンプを監視し続けることができます。リファレンス・モニタが、 $1.15 \times R \times t_{REF}$  の時間が経過しても新しいタイム・スタンプの受信を確認できない場合、モニタは LOS の判定を発します。

なお、低速 (消失はしていない) の入力信号の場合、LOS ステータスが最初にアサートされた後、LOS ステータスは、後続のリファレンス予定周期の発生ごとに個別にトグルされます。したがって、LOS ビットはリファレンス信号消失の信頼できるインジケータとはなりません。信号消失のインジケータとしては、故障ステータスを代わりに使用してください。

## リファレンス有効化

アプリケーションによっては、有効ステータスが示されるまでに、事前に定めた一定期間リファレンスが故障でない状態にある必要がありますこのようなアプリケーションに対応できるよう、リファレンス・モニタにはプログラマブルな有効化タイマーがあります。故障状態から非故障状態へのリファレンスの遷移によって、有効化タイマーの開始イベントが示され、この時点からカウントダウンが始まります。タイマー期限の経過後、valid=1 となり、リファレンスが使用可能であることが示されます (図 60 を参照)。

故障状態になると (fault = 1) 有効化タイマーはカウントダウンを停止し、リセットされる点に注意することが重要です。その後非故障状態になると、タイマーは、プログラムされた t<sub>VALID</sub> からカウントダウンを再開します。したがって、リファレンスが有効ステータスになるのは、有効化タイマーの全期間、リファレンスが故障でない状態を維持した場合のみです。

ユーザは、timeout=1 とプログラムすることによって、有効化タイマーをタイミング機能の最後に飛ばすこともできます (リファレンス・モニタ制御および図 60 を参照)。このようにして、故障リファレンスが非故障状態に戻り、有効化を待機している場合、ユーザは必要に応じてタイマーをオーバーライドし、即座にリファレンスを有効ステータスにすることができます。故障状態によって有効化タイマーがリセットされるため、timeout = 1 をプログラムしても故障リファレンスには何の影響もありません。

### リファレンス・モニタのリセット

特定のリファレンスに関連するリファレンス・モニタは、一定の条件下でリセットされます。リセットによって、リファレンス・モニタの周期とジッタ推定処理が再始動されます。リファレンス・モニタがリセットされる原因となる条件は、次の通りです（[図 60](#)も参照）。

- システム・クロックが不安定ステータスを示している場合
- ユーザが、入力レシーバーのモード、R 分周器の値、 $t_{REF}$  の値、 $\Delta t_{REF}$  の値、ジッタ許容値、またはヒステリシスの値を変更した場合

- オプションで、リファレンスに、DPLL で定義された顕著な位相ステップが発生した場合（レジスタ 0x2105 とレジスタ 0x2205 のビット 7 を介して位相ステップ検出を有効化していると仮定）。

最後の項目では、ユーザが非ゼロの位相ステップ・リミット値をプログラムしていることが必要です。位相ステップ・リミット機能の詳細については、[位相ステップ・リミット](#)のセクションを参照してください。

# リファレンス復調器

## リファレンス復調器の概要

AD9546 には、各 REF<sub>x</sub> 入力に 1 つずつ、および各補助 REF<sub>x</sub> 入力に 1 つずつの計 8 つのリファレンス復調器があります（リファレンス・クロック入力のリソースのセクションを参照）。REF<sub>x</sub> レシーバーは、シングルエンドまたは差動に設定できます。一方、補助 REF<sub>x</sub> レシーバーは、シングルエンドのみ（ユーザ設定不可）となっています。

REFA が差動動作に設定されている場合、REFA に関連する復調器のみが使用できます（REFAA に関連する復調器は使用されません）。同じことが REFB にも当てはまります。

復調器がイネーブルされると、関連付けられているリファレンス入力クロックの被変調キャリア・サイクルを認識します（被変調サイクルとは、入力クロック・サイクルの立下がりエッジに加えられた位相偏差のことです）。復調器は、組み込み出力クロック変調をサポートするアナログ・デバイズのクロック・チップ（例えば AD9545）によって生成される、組み込みクロック信号に対応できます。組み込みクロック変調の詳細については、分配組み込み出力クロック変調のセクションを参照してください。

図 62 に、リファレンス復調器の基本的なブロック図を示します（レガシー・モード）。文字 X は特定のリファレンス入力に関連付けられたリファレンス復調器を表し、M および N は、図 62 のレジスタ凡例に示すように、特定のレジスタ・アドレスを復調器 X に関連付けます。

図 62 に示すように、リファレンス入力クロック信号は、リファレンス・レシーバーを通過し、リファレンス分周器のクロック入力と復調器入力を駆動します。入力リファレンス信号に組み込みクロック変調イベントが含まれている場合、復調器はそれらのイベントを検出する手段を提供します。入力クロックに変調イベントが検出された場合、復調器は関連するリファレンス分周器を同期させ、変調イベントによって生成されたタイム・スタンプを関連のリファレンス TDC にタグ付けさせます。

## 復調器とリファレンス・モニタの相互作用

リファレンス・モニタは入力キャリア信号を基に有効化されません。しかし、リファレンス復調器をイネーブルした後の最初の変調イベントが、R 分周器の再同期を引き起こします。R 分周器の再同期によって、新たなリファレンス・モニタの有効化シーケンスが開始されますが、これはリファレンスの無効化を意味します。ユーザは、適切に設定された M<sub>x</sub> ピンを介して再同期ストロブを読み出すことができます。

R 分周器の再同期は、復調器が R 分周器をグリッドでリセットさせる必要がある場合に発生する、特殊なイベントです（変調グリッドについては復調器の同期のセクションを参照）。したがって、リファレンス復調器をイネーブルした後は、R 分周器の再同期によるリファレンス有効化の中断を避けるため、リファレンス有効化タイマーには、変調イベント間の周期よりも大きな値を使用してください（有効化時間（t<sub>VALID</sub>）のセクションを参照）。

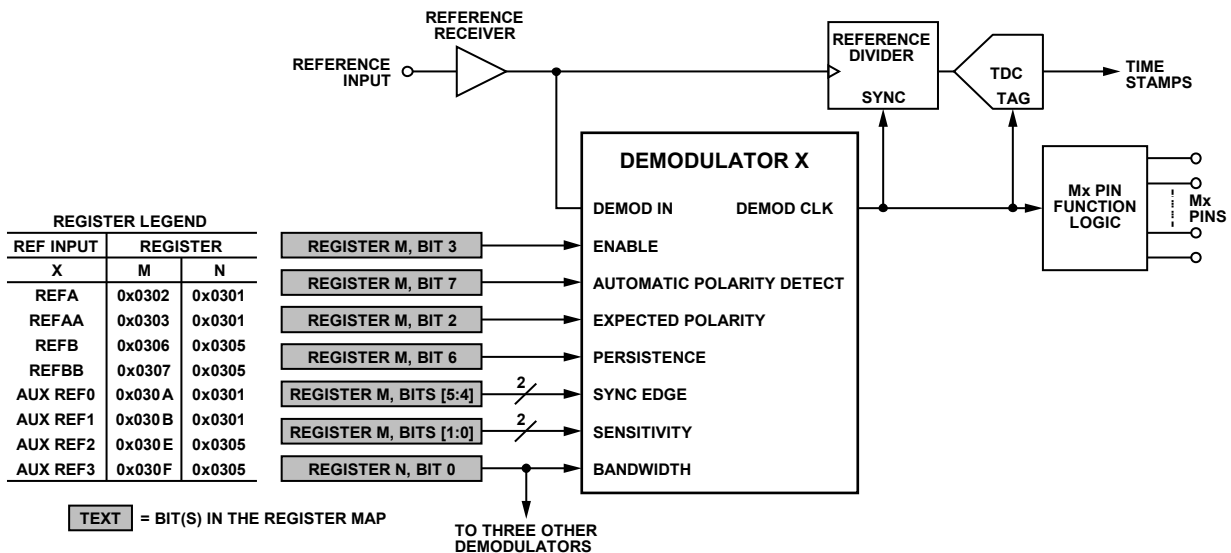


図 62. リファレンス復調器：レガシー・モード

23286-002

### 被変調サイクルおよび変調イベント

リファレンス復調器は、被変調キャリア・サイクルの受信を検出します。被変調サイクルは入力リファレンス・クロック ( $t_{CARRIER}$ ) の 1 周期にわたるもので、入力クロックの予定立下がりエッジを基準とする、事前定義された位相偏差からなります。被変調サイクルは、キャリア・サイクルの後半の期間が一定時間  $\Delta t$  だけ長く、または短くなった場合に、定義されます (図 63 を参照)。一般的に、 $\Delta t$  は、所定のアプリケーションの定数で、これによって変調度が定義されます。なお、ここでは変調度の大きさは常に  $\frac{1}{2}$  未満です。

$$Modulation\ Depth = \frac{\Delta t}{t_{CARRIER}}$$

リファレンス復調器は 2 つの被変調サイクルを使用して、変調イベントを識別します。ただし、2 番目の被変調サイクルは、アンバランス変調の場合は変調されない場合があります (図 63 を参照)。

復調器は、被変調キャリア・サイクルに対しいずれのタイプのエラー検出も行いません。

### バランス変調とアンバランス変調

復調器は、アンバランス変調とバランス変調の 2 種類の変調イベントを認識します。図 63 に、変調イベントの種類とその極性についての一般例を示します。

アンバランス変調は、変調イベントの 2 番目の被変調サイクルが変調されていない場合に発生します。アンバランス変調は変調イベントの最初の被変調サイクルのみを変調する、という点に注意してください。そのため、アンバランス変調イベントによって、キャリア信号の DC オフセットが (変調のないキャリアを基準として) 変化します。

バランス変調は、変調イベントの 2 番目の被変調サイクルが最初の変調イベントと逆極性の変調である場合に発生します。例えば、最初の変調イベントに  $+\Delta t$  の周期偏差がある場合、2 番目の変調イベントでは  $-\Delta t$  の周期偏差 (あるいはその逆) となることが必要です。バランス変調では、変調イベントの最初の被変調サイクルと 2 番目の被変調サイクルを逆方向に変調するため、バランス変調イベントではキャリア信号の DC バランスは変化しません。

変調イベントの最初の被変調サイクルによって、その変調イベントの極性が定まります。  $-\Delta t$  の被変調サイクルはロジック 0 に相当し、  $+\Delta t$  の被変調サイクルがロジック 1 に相当します。

### 復調器のイネーブル

特定の復調器をイネーブルするには、図 62 のレジスタ凡例に従い、レジスタ M のビット 3 を使用します。ロジック 0 (デフォルト) は復調器をディスエーブルし、リセット状態に維持します。ロジック 1 とすると、復調器がイネーブルされ、変調イベントを検出します。

### 変調極性検出

図 62 のレジスタ凡例に従い、レジスタ M のビット 7 を 1 にすると、復調器は変調イベントの最初の被変調サイクルの極性を自動で判定します (図 63 を参照)。ただし、この自動検出機能は、復調器の全体的な感度を低下させます。

リファレンス復調器が最も高感度になるのは、変調極性が前もってわかっている場合です。図 62 のレジスタ凡例に従い、レジスタ M のビット 2 をプログラムすることで、ユーザは復調器の最大感度を利用できます (図 62 のレジスタ凡例のレジスタ M のビット 7 = 0 と仮定)。ビット 2 の値は、変調イベントの最初の被変調サイクルにおける  $\Delta t$  の予定極性を示します (図 63 を参照)。ロジック 0 (デフォルト) は負の  $\Delta t$  を示し、ロジック 1 は正の  $\Delta t$  を示します。

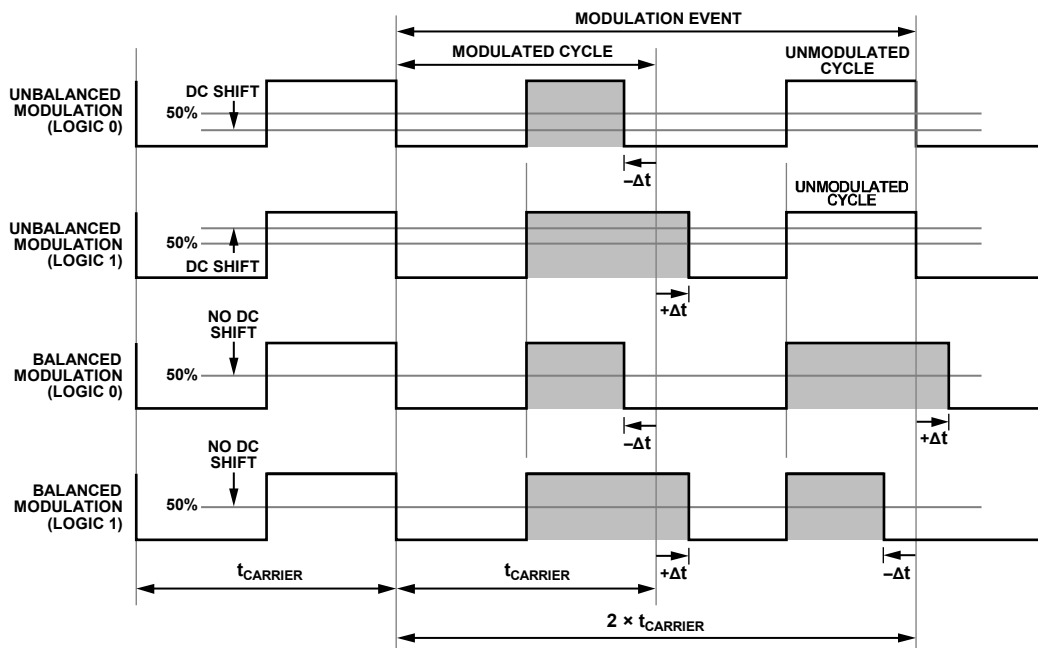


図 63. 変調イベント

2266-063

## 復調器の感度

パルス幅のわずかな変化を示す被変調入力信号は、大きな変化を示す信号よりも高い感度を必要とします。パルス幅の変化に対する復調器の感度を制御するには、図 62 のレジスタ凡例に従い、レジスタ M のビット [1:0] を使用します。

復調器は、最も高感度な設定である 00 (2 進数) にデフォルト設定されています。バイナリ値を増加すると感度は低下し、11 (2 進数) で最も低感度となります。感度を低下させると、信頼できる復調を行うには、より強固な変調イベント (図 63 の  $\Delta t$  が大きいイベント) が必要となります。

## 復調器の永続性

復調器が変調イベントを検出すると、 $t_{\text{CARRIER}}$  の 1 周期分だけ継続する単一の復調クロック・パルス (図 62 を参照) を生成します。復調イベントは、通常、 $t_{\text{GRID}}$  の間隔で発生するため、復調器のクロック信号は、 $t_{\text{GRID}}$  の間隔で発生する単一パルスで構成されます。復調器のクロック・パルスは R 分周器を同期させ、リファレンス TDC がそれに伴うタイム・スタンプをタグ付けします。したがって、タグ付けされたタイム・スタンプは、 $t_{\text{GRID}}$  の間隔で生じます (復調器の同期のセクションを参照)。

受信する変調イベントの発生が停止した場合、復調器のクロック・パルスも停止し、TDC はタグの生成を中止します。TDC タグが DPLL の 1 つに配信されると仮定すると、タグがなくなることにより、DPLL はアンロックとなります。永続性機能は、変調イベントが入力部に存在しなくなった場合に、復調器が  $t_{\text{GRID}}$  の間隔で復調器クロック・パルスを生成し続け、それによって DPLL がロックを失わないようにするためのメカニズムを提供します。

図 62 のレジスタ凡例に従い、ユーザは、レジスタ M のビット 6 を介して永続性機能を制御できます。ビット 6 = 0 の場合、復調器クロック信号は、復調器が変調イベントを検出した場合にのみ発生します。D6 = 1 (デフォルト) の場合、復調器は変調周期 ( $t_{\text{GRID}}$ ) を認識し、 $t_{\text{GRID}}$  の間隔で復調器クロック・パルスを生成し続けます。図 64 に、復調器クロック信号のタイミングを示します。

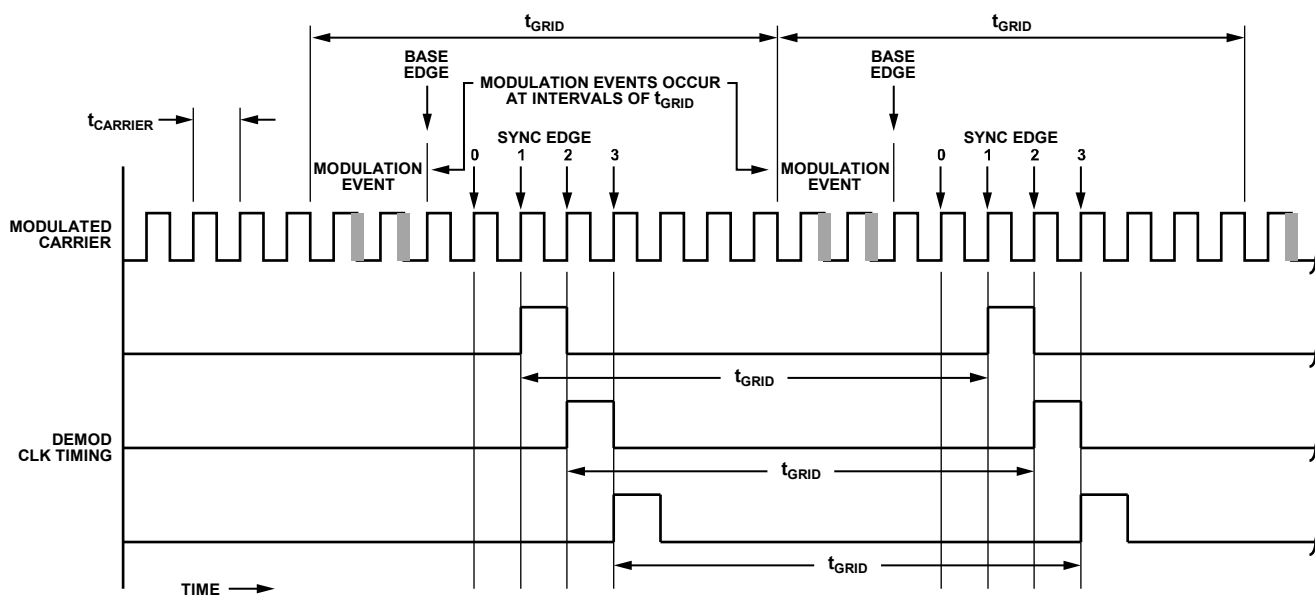
復調器クロック信号は、適切に設定された Mx ステータス・ピンを介して取得できます (ステータス/制御ピンのセクションを参照)。

復調器が同期を失った場合 (受信する変調イベントがグリッドを外れた場合など)、永続性メカニズムを再度同期させるには、少なくとも 3 連続の  $t_{\text{GRID}}$  間隔が復調器に必要です。再同期のためには復調器が (永続性を有効にした状態で) 3 連続の  $t_{\text{GRID}}$  間隔を必要とするので、偶然にグリッドを外れる変調イベントが発生した場合は、永続性メカニズムが復調器出力クロックを再整理して R 分周器を再同期させることはありません。その代わりに、永続性メカニズムは、偶然にグリッドを外れる変調イベントを効果的に除去します。

## 復調器の帯域幅

復調器は、バンド 0 およびバンド 1 の 2 つの重なり合う周波数帯で動作します。ユーザは、図 62 のレジスタ凡例に従い、レジスタ N のビット 0 を介して (入力キャリア周波数に基づき) 適切な復調器帯域幅を選択する必要があります。ロジック 0 はバンド 0、ロジック 1 (デフォルト) はバンド 1 を選択します。

復調器の帯域幅制御は、個別の復調器ではなく、4 つの復調器のグループに適用される点に注意してください。そのため、ユーザは、アクティブに復調動作を行っている同じグループの復調器すべてのキャリア周波数が、指定された周波数範囲内にあるようにする必要があります。



FOR THIS EXAMPLE:  $t_{\text{GRID}} = 10 \times t_{\text{CARRIER}}$

図 64. 復調器の同期

23286-064

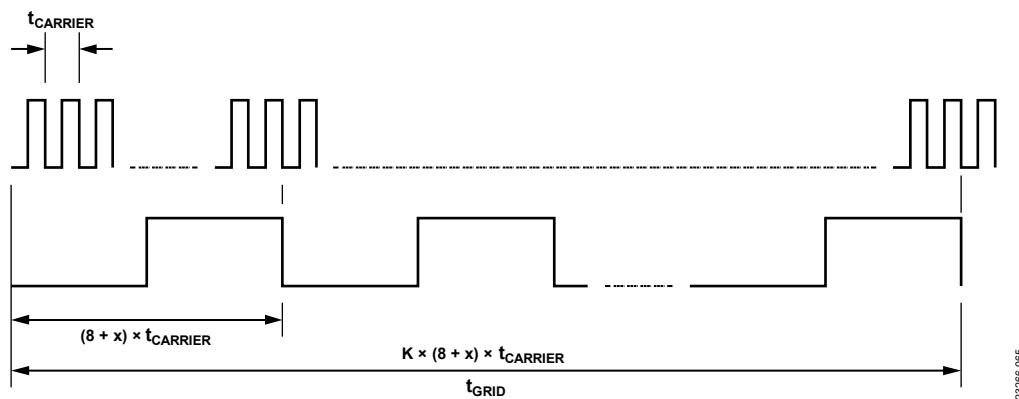


図 65. グリッド・タイミング図

## 復調器の同期

復調器は、変調イベントが一定の周期的間隔  $t_{GRID}$  で発生することを前提としています。ここで、 $t_{GRID}$  は、次式のように、 $t_{CARRIER}$  周期の整数倍で構成されます (図 65 を参照)。

$$t_{GRID} = K \times (8 + x) \times t_{CARRIER}$$

ここで、

$K$  は整数で、 $K \geq 1$ 。

$x$  は整数で、 $x \geq 0$ 。

本質的に、 $x$  の値は、リファレンス分周器の分周比  $R$  と次式に示す関係があります。

$$R = 8 + x$$

実質的な効果は、リファレンス分周器が周期  $t_{CARRIER} \times (8 + x)$  の出力クロックを生成することです。リファレンスの TDC は、各分周器出力クロック・サイクルの立上がりエッジでタイム・スタンプを発生し、各  $t_{GRID}$  周期内では  $K$  個のタイム・スタンプが発生します。

復調器がキャリア信号内で変調イベントを検出すると、図 64 に示すタイミングで復調器クロック・パルスを生成します。復調器クロック・パルスはリファレンス分周器を同期させ、リファレンス TDC に関連のタイム・スタンプをタグ付けさせます (図

62 を参照)。これにより、受信する変調イベントとタグ付けされたタイム・スタンプの発生間に一定の時間関係が生まれます。具体的には、各  $K$  番目のタイム・スタンプ (図 65 を参照) はタグ付けされたタイム・スタンプとなります。

復調器は、変調イベントに続くキャリアの次の立上がりエッジを基本エッジとして示します。ユーザは、図 62 のレジスタ凡例に従い、レジスタ  $M$  のビット [5:4] からなる 2 ビットの符号なしビット・フィールドを使用して、復調器クロック・パルスのタイミングを、基本エッジ後  $t_{CARRIER}$  の事前定義された倍数の周期で発生するよう設定できます。このビット・フィールドの 10 進数値である、0 (デフォルト)、1、2、3 は、図 64 に示す目的の同期エッジに対応します。

ユーザは、ビット・フィールドの値をゼロのデフォルト値以外にプログラムする必要があります (ビット [5:4] = 0 はサポートされていません)。

変調イベントの発生がグリッドを外れた場合や、変調レートが新しい  $t_{GRID}$  周期に変化した場合は、復調器は再同期する必要があります。復調器が再同期するには、図 62 のレジスタ凡例でレジスタ  $M$  のビット 6 がロジック 0 の場合は、最低  $3t_{CARRIER}$  周期 (最初の被変調サイクルを含む)、ビット 6 がロジック 1 の場合は最低  $8t_{CARRIER}$  周期が必要です。



## 分配クロック出力ドライバ

### 分配クロック出力ドライバの概要

AD9546には10本のクロック出力ピンがあり、最大で10の出力クロック信号を生成できます。この10本のピンは、2種類のクロック・グループから成り、これらのグループはクロック源がグループを駆動するときに使用できるPLLチャンネルで区別されます。PLL0は出力0グループをクロックし、PLL1は出力1グループをクロックします。

出力0グループは、10クロック出力ピンのうちの6本で構成され、これら6本は3ペアのピンから成ります。各ピンのペアは出力サブグループ(A、B、C)を表し、以下の名前が付けられています。

- OUT0APおよびOUT0AN
- OUT0BPおよびOUT0BN
- OUT0CPおよびOUT0CN

出力1グループは、残り4本のピンで構成され、2ペアのピンから成っています。各ピンのペアは出力サブグループ(A、B)を表し、以下の名前が付けられています。

- OUT1APおよびOUT1AN
- OUT1BPおよびOUT1BN

各出力ドライバには3つのプログラマブルなパラメータがあり、以下を制御します。

- 出力電流の方向(ソースまたはシンク)
- 出力電流の大きさ
- ドライバ設定

所定の出力に対する3つの制御パラメータは、表57に示す特定の出力に固有のレジスタ・アドレスを持つ同じレジスタ内のビットです。

表 57. 出力ドライバ制御レジスタのアドレス

| Output | Register Address |
|--------|------------------|
| OUT0A  | 0x10D7           |
| OUT0B  | 0x10D8           |
| OUT0C  | 0x10D9           |
| OUT1A  | 0x14D7           |
| OUT1B  | 0x14D8           |

### 出力電流制御

サブグループのピン・ペア(OUTxyP/OUTxyN、xは0または1、yはA、B、またはC)に関連付けられた各ピンには、それに関連する出力ドライバとチャンネル分周器があります。出力ピン・ペアの両ドライバは、電流ソースまたは電流シンクのいずれかとして機能します。ユーザは、表57に示すように、該当のレジスタ・アドレスのビット0を使用して、ソースまたはシンクを設定できます。ロジック0(デフォルト)は両方のドライバを電流シンク・モードに設定し、ロジック1は電流ソース(またはHCSL)モードに設定します。

電流の大きさを制御するには、表57に示すように、該当のレジスタ・アドレスのビット[2:1]を使用します。表58に、ドライバ電流の大きさに相当する2ビットの値を示します。

表 58. 出力ドライバ電流

| Bits[2:1] Value (Decimal) | Output Current (mA) |
|---------------------------|---------------------|
| 0                         | 7.5 (default)       |
| 1                         | 12.5                |
| 2                         | 15                  |
| 3                         | Not applicable      |

### 出力モード制御

各出力ピン・ペアには、2つのチャンネル分周器と2つの出力ドライバがあります。図66は、分周器とドライバの接続方法を示すものです。分周器とドライバの接続は、選択する出力モードによって異なります。

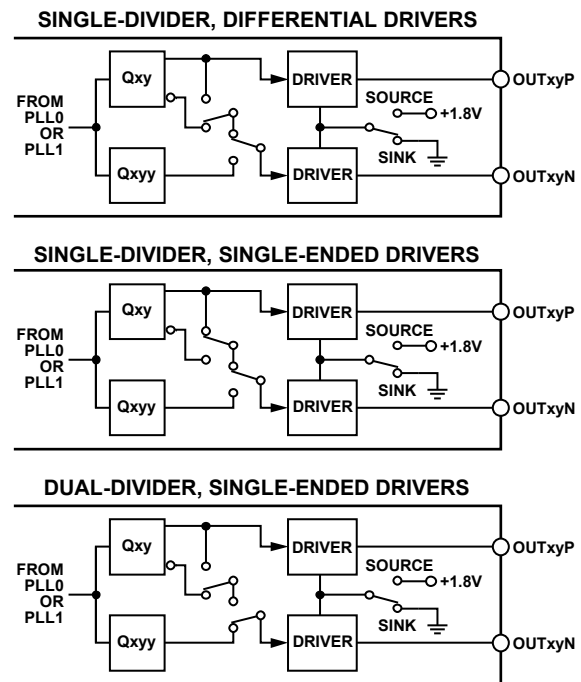


図 66. 出力ドライバ・モード

該当のレジスタ・アドレスのビット[4:3]を使用して、各サブグループのピン・ペアの分周器とドライバの接続方法を制御できます(表57を参照)。この2ビットの値によって、表59に示すように、分周器とドライバの関係を選択できます。

表 59. ドライバ出力モード

| Bits[4:3] Value (Decimal) | Output Driver Mode                     |
|---------------------------|--|
| 0                         | Single-divider, differential (default) |
| 1                         | Single-divider, single-ended           |
| 2                         | Dual-divider, single-ended             |
| 3                         | Not applicable                         |

シングル分周器モードでは、Qxy分周器のみを使用します(Qxyy分周器はパワーダウン)。デュアル分周器モードでは、Qxy分周器とQxyy分周器の両方を使用します。

シングル分周器差動モードでは、OUTxyN ピンでのクロック信号の位相が、OUTxyP ピンとの位相と反転します。シングル分周器シングルエンド・モードでは、OUTxyP ピンと OUTxyN ピンのクロック信号は互いに同位相となります。デュアル分周器シングルエンド・モードでは、Qxy 分周器が OUTxyP ピンを駆動し、Qxyy 分周器が OUTxyN ピンを駆動します。このモードでは、サブグループの各出力の周波数と位相オフセットは異なってもかまいません。

## 出力ドライバ設定

各ドライバは、関連付けられているチャンネル分周器からクロック入力信号を受信します (図 66 を参照)。ドライバの電流ソース (または電流シンク) は、分周器のロジック・レベル出力に応じてオンまたはオフになります。つまり、分周器出力がロジック 0 の場合は、ドライバ出力電流は 0mA となります。これに対し、分周器出力がロジック 1 の場合は、ドライバ出力電流は、プログラムされた出力電流値になります。Qxy 分周器には通常ロジック出力と反転ロジック出力があります。このため、Qxy 分周器が両方の出力ドライバに接続され、1つの電流源がオンになっている場合、もう 1つの電流源はオフになり、差動出力信号が可能になります。

## 差動 HCSL 出力

標準的な HCSL レシーバーを駆動するには、図 39 を参照してください。この設定ではドライバ設定を、シングル分周器、差動ドライバ、電流ソース、駆動電流 = 15mA にプログラムする必要があります。このモードの場合、ドライバは各ドライバ出力ピンとグラウンドの間に 50Ω 終端が設けられていることを前提とします。15mA の駆動電流で、各 50Ω 負荷の両端に 750mV の振幅が生じます。

## LVDS 出力

AC カップリングを使用して LVDS レシーバーを駆動するには、図 38 を参照してください。この設定ではドライバ設定を、シングル分周器、差動ドライバ、電流ソース、駆動電流 = 7.5mA にプログラムする必要があります。このモードの場合、ドライバは、各ドライバ出力ピンとグラウンドの間に 50Ω 終端が設けられ、レシーバーに DC 阻止コンデンサと 100Ω の差動終端が設けられていることを前提とします。このような終端配置により、100Ω 負荷の両端には 188mV の振幅が発生しますが、出力ピン間には 188mV のコモンモード電圧が発生するため、レシーバーの 1.2V のコモンモード・バイアスを維持するために、DC 阻止コンデンサが必要となります。

DC カップリングで直接 LVDS レシーバーを駆動するには、図 41 に示すように、T 型回路を使用します。この設定ではドライバ設定を、シングル分周器、差動ドライバ、電流シンク、駆動電流 = 7.5mA にプログラムする必要があります。この配置により、1.24V のコモンモード電圧の出力ピン間に 375mV の振幅が生じます。ただし、100Ω の差動終端 (R<sub>L</sub>) をレシーバーに追加する場合は、AC カップリングが必要になります (図 38 を参照)。また、終端を追加すると駆動電流を 15mA にプログラムする必要があります。この配置により、0.67V のコモンモード電圧の出力ピン間に 375mV の振幅が生じます (そのため、LVDS レシーバーの 1.2V のコモンモード・バイアスを維持するために AC カップリングが必要となります)。

テブナン等価直列抵抗終端を使用して LVDS レシーバーを駆動するには、図 42 を参照してください。ここでは、各出力ピンの 1.42V に 50Ω の等価プルアップ抵抗が示されています。この設定ではドライバ設定を、シングル分周器、差動ドライバ、電流シンク、駆動電流 = 7.5mA にプログラムする必要があります。この配置により、1.23V のコモンモード電圧の出力ピン間に 375mV の振幅が生じます。

ただし、100Ω の差動終端 (R<sub>L</sub>) をレシーバーに追加する場合は、駆動電流を 15mA にプログラムし、AC カップリングにすることが必要です (図 38 を参照)。この配置により、1.05V のコモンモード電圧の出力ピン間に 375mV の振幅が生じます (そのため、LVDS レシーバーの 1.2V のコモンモード・バイアスを維持するために AC カップリングが必要となります)。

昇圧された信号振幅を処理できる LVDS 互換レシーバーを駆動するには、図 43 に示すようにテブナン等価直列抵抗終端を使用します。ここでは、各出力ピンの 1.60V に 50Ω の等価プルアップ抵抗が示されています。この設定ではドライバ設定を、シングル分周器、差動ドライバ、電流シンク、駆動電流 = 15mA にプログラムする必要があります。この配置により、1.23V のコモンモード電圧の出力ピン間に 750mV の振幅が生じます。

## CML 出力

出力を CML 信号に設定するには、図 40 を参照してください。50Ω のプルアップ抵抗を 1.2V に対して使用する場合は、この設定ではドライバ設定を、シングル分周器、差動ドライバ、電流シンク、駆動電流 = 7.5mA にプログラムする必要があります。この配置により、1.01V のコモンモード電圧の出力ピン間に 375mV の振幅が生じます。

50Ω のプルアップ抵抗を 1.5V または 1.8V に対して使用する場合は、駆動電流を 15mA にプログラムします。この配置により、1.5V 電源の場合は 1.125V のコモンモード電圧の出力ピン間に、1.8V 電源の場合は 1.425V のコモンモード電圧の出力ピン間に、750mV の振幅が生じます。

## デュアル、シングルエンド、同相出力

OUTxyP/OUTxyN ピン・ペアの各ピンに同じ信号 (同相) を生成するよう出力を設定するには、図 44 を参照してください。この設定ではドライバ設定を、シングル分周器、シングルエンド・ドライバ、電流ソースにプログラムする必要があります。負荷抵抗 (R<sub>L</sub>) に応じて、許容可能な電圧振幅を生成するよう駆動電流を選択します。出力は、本質的に、外部プルダウン抵抗を備えた電流ソース (Qxy 分周器出力のロジック状態によってオンまたはオフ) です。したがって、出力信号振幅は、グラウンド ~ V = I × R<sub>L</sub> となります。

## 独立したシングルエンド出力

OUTxyP/OUTxyN ピン・ペアの 2 つの出力ピンに別々の信号を生成するよう出力を設定するには、図 46 を参照してください。この設定ではドライバ設定を、デュアル分周器、シングルエンド・ドライバ、電流ソースにプログラムする必要があります。負荷抵抗 (R<sub>L</sub>) に応じて、許容可能な電圧振幅を生成するよう駆動電流を選択します。出力は、本質的に、外部プルダウン抵抗を備えた電流ソース (Qxy 分周器と Qxyy 分周器のロジック状態によってオンまたはオフ) となる点に注意してください。したがって、出力信号振幅は、グラウンド ~ V = I × R<sub>L</sub> となります。

## 出力ドライバのリセット

ドライバ・ペア (OUT0AP と OUT0AN など) は差動またはシングルエンドに設定できるため、ドライバ・ペアに関連する Q 分周器が (分周器のリセットなどが原因で) トグルを停止した場合、ドライバ・ペアの出力状態は不明となります。この不明確さを軽減するため、ユーザは、各種のドライバ・リセット・ビットを使用してドライバ・ペアを強制的に既知の状態にすることができます。

レジスタ 0x2101 のビット 2 を使用すると、チャンネル 0 のすべてのドライバ・ペアをリセットできます。レジスタ 0x2201 のビット 2 を使用すると、チャンネル 1 のすべてのドライバ・ペアをリセットできます。ユーザは、表 60 に従い、該当のレジスタ・アドレスのビット 5 を使用して、各出力ドライバ・ペアをリセットできます。

表 60. 出力ドライバのリセット用レジスタ・アドレス

| Output        | Register Address |
|---------------|------------------|
| OUT0AP/OUT0AN | 0x2102           |
| OUT0BP/OUT0BN | 0x2103           |
| OUT0CP/OUT0CN | 0x2104           |
| OUT1AP/OUT1AN | 0x2202           |
| OUT1BP/OUT1BN | 0x2203           |

ドライバ・ペアが差動設定になっている場合、ドライバ・ペアをリセットすると OUTxyp ドライバがロジック 0 状態、OUTxyn ドライバがロジック 1 状態になります。ドライバ・ペアがシングルエンド設定になっている場合、ドライバ・ペアをリセットすると OUTxyp ドライバと OUTxyn ドライバがロジック 0 状態になります。

## 出力ミュート

### 手動出力ミュート

PLL0 または PLL1 に関連するすべてのドライバをミュートするには、レジスタ 0x2101 (PLL0) およびレジスタ 0x2201 (PLL1) のビット 1 を使用します。ドライバを個別にミュートするには、表 60 の該当のレジスタ・アドレスのビット [3:2] を使用します。ビット 3 は OUTxyn ドライバ、ビット 2 は OUTxyp に対応します。

### 自動出力ミュート解除

自動ミュート解除は自動同期機能と連携して機能します。(自動同期トリガのセクションを参照)。同期シーケンスには、出力ドライバの同期的なミュート解除が含まれています。AD9546 には、ユーザが出力ドライバのミュート解除のタイミング調整をできるオプションが備わっています。

自動ミュート解除条件を選択するには、レジスタ 0x10DC (PLL0) およびレジスタ 0x14DC (PLL1) のビット [1:0] を使用します。表 61 に、これらのビットが呼び出す自動ミュート解除条件を示します。自動ミュート解除制御は、PLL0 と PLL1 に個別に適用できます。

表 61. 自動ミュート解除条件

| Bits[1:0] (Decimal) | Automatic Unmute Condition              |
|---------------------|---|
| 0                   | Immediate (default)                     |
| 1                   | Upon activation of a hitless profile    |
| 2                   | Upon phase lock (hitless mode only)     |
| 3                   | Upon frequency lock (hitless mode only) |

ビット [1:0] = 0 (10 進数) の場合、ドライバは同期リクエストが寄せられると直ちにミュート解除します。ビット [1:0] = 1 (10 進数) の場合、同期リクエストとそれに続くヒットレス/ゼロ遅延プロファイルのアクティブ化が行われるまで、ドライバはミュート解除しません。ビット [1:0] = 2 (10 進数) の場合、同期リクエストとそれに続く該当 PLL チャンネルのフェーズ・ロックが行われるまで、ドライバはミュート解除しません (ヒットレス/ゼロ遅延プロファイルを前提)。ビット [1:0] = 3 (10 進数) の場合、同期リクエストとそれに続く該当 PLL チャンネルの周波数ロックが行われるまで、ドライバはミュート解除しません (ヒットレス/ゼロ遅延プロファイルを前提)。

また、ユーザは、出力ごとに自動ミュート解除機能の選択ができます。PLL0 にはレジスタ 0x10DC のビット [7:2] を使用します。ビット [7:2] はそれぞれ、OUT0CN、OUT0CP、OUT0BN、OUT0BP、OUT0AN、OUT0AP に関連付けられているドライバに対応します。PLL1 にはレジスタ 0x14DC のビット [5:2] を使用します。ビット [5:2] はそれぞれ、OUT1BN、OUT1BP、OUT1AN、OUT1AP に関連付けられているドライバに対応します。

自動ミュート・イベントが特定の PLL チャンネルに発生した後、ユーザは、レジスタ 0x2107 (PLL0) およびレジスタ 0x2207 (PLL1) のビット 4 をセットすることで、自動ミュート状態をクリアできます。ただし、このアクションは一般的には不要です。ユーザが自動ミュート解除ビットの状態を変更し IO 更新操作を発すると、必ず自動ミュート状態が自動的にクリアされるためです。

### 出力ミュートの再タイミング

ミュート・コマンドを受け取った後直ちにドライバ出力がミュートする場合、関連する Q 分周器出力の通常の立下がりエッジの前に出力信号が遮断されてしまう場合があります。出力信号の遮断が早いと、ラント・パルスが生成されます (つまり、Q 分周器の通常のロジック 1 の期間が切り詰められる)。

デフォルトでは、AD9546 は再タイミング・ブロックを使用してラント・パルスの生成を防止します。ただし、ユーザは表 57 に従い、該当のレジスタ・アドレスのビット 5 を使用して再タイミング・ブロックをバイパスできます。再タイミング・ブロックをバイパスすることで、出力ドライバはミュート・コマンドを受け取ると直ちにミュートするようになります。

## 分配分周器 (Q 分周器)

### 分配分周器の概要

5ペアのQ分周器は5ペアのクロック出力ドライバに対応します (分配クロック出力ドライバのセクションを参照)。入力クロックの立上がりエッジ (または立下がりエッジ) をカウントする一般的なクロック分周器とは異なり、Q分周器は入力クロックの立上がりエッジと立下がりエッジの両方をカウントします。デュアル・エッジ・カウントにより、通常のカウンタでは実行できない機能が可能となります。

Q分周器はいくつかのコントローラにตอบสนองして、その様々な機能を実行します。図 67 に、Q分周器とその関連コントローラを図示します。明示されてはいませんが、各Q分周器の出力は、対応する出力ドライバに配信されます。

各Q分周器には、位相オフセット・コントローラによって制御される位相オフセット (遅延) 機能が個別に備わっています (分配位相オフセット制御のセクションを参照)。更に、精巧で柔軟な同期メカニズムにより、任意のまたはすべてのQ分周器出力信号の出力クロック・タイミングが同期されます (分配出力クロック同期のセクションを参照)。

JESD204B とバースト・コントローラにより、各Q分周器は、JESD204B に対応するクロック信号を生成するか、ギャップのあるクロックや同様のアプリケーションに対応する柔軟なバースト・パターンを生成することができます (分配 N ショット / PRBS 出力クロックのセクションを参照)。

また、各Q分周器ペアのQxy分周器は、出力クロック信号の立下がりエッジを変調 (時間シフト) できます。クロック・エッジの場所を変調できることで、低周波数クロック信号を高周波数キャリア・クロックで伝送するなどの、組み込みクロック・アプリケーションが可能になります (分配組み込み出力クロック変調のセクションを参照)。

パワーアップ時、同期コントローラは、Q分周器をディスエーブルされた (出力クロックがない) 状態に保持します。そのため、ユーザは、パワーアップまたはQ分周器初期化のためのリセット後、同期リクエスト (分配出力クロック同期のセクションを参照) を発行する必要があります。

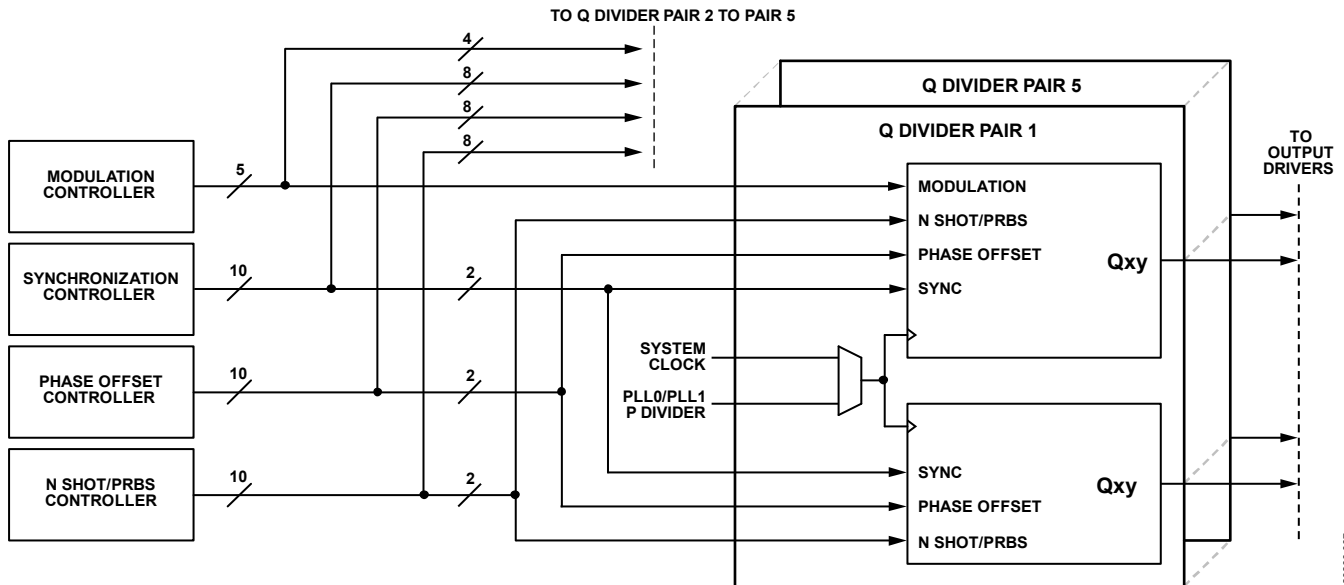


図 67. Q 分周器とコントローラの機能ブロック図

23286-087

## Q 分周器のクロック源選択

Q 分周器の各ペアは、次の 2 つのソースのいずれかからの共通クロック入力を共有します (図 67 を参照)。

- Q 分周器の関連 APLL チャンネルの出力。
- システム・クロック PLL の VCO の出力 (約 2.3GHz)

最初のソースが通常 (デフォルト) 動作モードで、対応する PLL チャンネルを介してリファレンス入力から分配出力への周波数変換を行います。2 番目のソースは、システム・クロック PLL の出力周波数で、特定の周辺デバイス (マイクロプロセッサなど) をクロッキングする場合に便利です。この場合、ユーザは、オプションで外付けの EEPROM を使用し、システム・クロック源のパスを介してパワーアップ時に出力クロック信号を提供するデバイス設定をダウンロードできます (EEPROM の使用のセクションを参照)。

表 62 に、Q 分周器のクロック源選択に関連するレジスタ・アドレスとビットを示します。ロジック 0 (デフォルト) の場合、対応する APLL の出力が Q 分周器のクロック源として選択され、ロジック 1 の場合は、システム・クロック PLL の出力が選択されます。

表 62. Q 分周器のクロック源選択

| Q Divider    | Register Address | Bit |
|--------------|------------------|-----|
| Q0A and Q0AA | 0x10DA           | D1  |
| Q0B and Q0BB | 0x10DA           | D2  |
| Q0C and Q0CC | 0x10DA           | D3  |
| Q1A and Q1AA | 0x14DA           | D1  |
| Q1B and Q1BB | 0x14DA           | D2  |

システム・クロックを Q 分周器ペアのクロック源として使用するよう AD9546 が設定されている場合、レジスタ 0x10DA とレジスタ 0x14DA のビット 0 (システム・クロック同期マスク) を使用して、同期トリガが発生するたびにこれらの特定の分周器が再同期されることをないようにします (分配出力クロック同期のセクションを参照)。このビットをセットすると、特定の PLL チャンネルに関連付けられ、システム・クロックをクロック源としている Q 分周器はいずれも、同期イベントの影響を受けません。この機能は、とりわけマイクロプロセッサなどへのクロック源の役割をする出力に有用です。同期イベントがマスクされないとプロセッサのクロック信号が中断されてしまうためです。

アプリケーションによっては、複数ペアの Q 分周器がクロック源としてシステム・クロックを使用する場合、レジスタ 0x10DA およびレジスタ 0x14DA のシステム・クロック同期マスク・ビットを使用し、少なくとも 2 ペアの Q 分周器を同期させることが望ましい場合があります。これを行うには、同期シーケンス (分配出力クロック同期のセクションを参照) を初期化した後、対応するマスク・システム・クロック同期ビットをロジック 1 にプログラムします。例えば、影響を受ける Q 分周器の分周比を変更して再設定するには、まず、対応するシステム・クロック同期マスク・ビットをロジック 0 にプログラムする必要があります。

## 整数分周

Q 分周器の分周比 (Q) は、表 63 に示すレジスタ範囲の 32 ビットの符号なし整数によって決まります。分周比をプログラムするには、Q の値を対応するアドレス範囲に書き込み、次に IO 更新ビットをセットします。

Q の範囲は 1~4,294,967,295 です。

例えば、Q の分周比を 1,000,000 にするために必要な 32 ビット値は 1,000,000 (0x 000F 4240 (16 進数)) です。

表 63. Q 分周器の分周比のアドレス範囲

| Q Divider | Register Address |
|-----------|------------------|
| Q0A       | 0x1100 to 0x1103 |
| Q0AA      | 0x1109 to 0x110C |
| Q0B       | 0x1112 to 0x1115 |
| Q0BB      | 0x111B to 0x111E |
| Q0C       | 0x1124 to 0x1127 |
| Q0CC      | 0x112D to 0x1130 |
| Q1A       | 0x1500 to 0x1503 |
| Q1AA      | 0x1509 to 0x150C |
| Q1B       | 0x1512 to 0x1515 |
| Q1BB      | 0x151B to 0x151E |

値 0 (デフォルト) とすると、分周比は 1 になりますが、この分周比はサポートされていません。そのため、パワーアップ時やデバイスのリセット後には、Qxy の分周比ビット・フィールドに 1 より大きい値をプログラムし、対応する Q 分周器をイネーブルする必要があります。

Q 分周器ペアの各 Q 分周器に異なる分周比をプログラムすることは可能ですが、それは避けることを推奨します。Q 分周器ペアの分周比が異なると、出力周波数が 2 通りになり、(対応する出力ドライバが物理的に近接しているため) クロス・カップリングの問題が生じる可能性があるためです。この目的は、Q 分周器ペアが同じ出力周波数でありながら、両出力間の相対的な位相を制御して動作できるようにすることにあります (分配位相オフセット制御のセクションを参照)。

## 半整数分周

Q 分周器は、半整数分周をサポートする点に特長があります。これは、Q 分周器が入力クロックの立上がりエッジと立下がりエッジの両方をカウントすることからもたらされる利点です。対応する Q 分周器の半整数分周を有効化するには、表 64 に従い該当のレジスタのビット 5（半整数分周）を使用します。

表 64. Q 分周器の半整数分周用レジスタ・アドレス

| Q Divider | Register Address |
|-----------|------------------|
| Q0A       | 0x1108           |
| Q0AA      | 0x1111           |
| Q0B       | 0x111A           |
| Q0BB      | 0x1123           |
| Q0C       | 0x112C           |
| Q0CC      | 0x1135           |
| Q1A       | 0x1508           |
| Q1AA      | 0x1511           |
| Q1B       | 0x151A           |
| Q1BB      | 0x1523           |

半整数分周ビットがロジック 1 の場合、対応する 32 ビット Q 分周比で予め定められた分周比に対し、0.5 が実質的に加えられます。半整数分周ビットの値は、ユーザが IO 更新ビットをセットするまでは有効になりません。

例えば、Q 分周比が 100 であるとする、関連付けられているイネーブルな半整数分周ビットがロジック 1 である場合、全分周比は 100.5 になります。

## Q 分周器のリセット

各 Q 分周器には、表 65 に示すレジスタのビット [1:0] を使用する専用の Q 分周器リセット・ビットがあります。ここでは、ビット 0 が行の最初の Q 分周器（例えば Q0A）に適用され、ビット 1 が 2 番目の Q 分周器（例えば Q0AA）に適用されます。

Q 分周器のリセット・ビットを使用すると、出力クロック同期が不要なアプリケーションで Q 分周器を手動でリセットできます。ただし、ほとんどの場合では、通常動作時にこれらのビットをセットする必要はありません。同期コントローラが自動で Q 分周器リセット機能を処理するためです（分配出力クロック同期のセクションを参照）。

表 65. 出力ドライバのリセット用レジスタ・アドレス

| Q Divider    | Register Address |
|--------------|------------------|
| Q0A and Q0AA | 0x2102           |
| Q0B and Q0BB | 0x2103           |
| Q0C and Q0CC | 0x2104           |
| Q1A and Q1AA | 0x2202           |
| Q1B and Q1BB | 0x2203           |

## Q 分周器の制約

Q 分周器のいずれかの分周比を変更すると、同期処理が引き起こされます（自動再設定同期トリガのセクションを参照）。ある 1 つの Q 分周器の分周比を変更すると、関連する PLL チャンネルのすべての出力クロック信号が乱される原因となります。そのため、関連する PLL チャンネルのすべての出力クロック信号を乱さずに 1 つの Q 分周器の分周比を変更することはできません。

システム・クロックが Q 分周器ペアのクロック源に選択されている場合（分配出力クロック同期のセクションを参照）、システム・クロックのアンロック・イベントにより、Q 分周器ペアが無効状態になる可能性があります。この状態から回復するには分周器をリセットする必要があります。そのため、システム・クロックのアンロック・イベント後は、ユーザは次の手順を実行する必要があります。

1. システム・クロックを補正する（システム・クロックのキャリブレーションのセクションを参照）。
2. APLL0 と APLL1 を補正する（VCO のキャリブレーションのセクションを参照）。
3. システム・クロックを入力クロック源としているすべての Q 分周器をリセットする（Q 分周器のリセットのセクションを参照）。
4. 出力分配を同期させる（分配出力クロック同期のセクションを参照）。

組み込み出力クロック変調を使用して Q 分周器出力を変調する場合（分配組み込み出力クロック変調のセクションを参照）、Q 分周器の最小分周比が必要です。

$$Q_{xy} \geq 8$$

ここで、  
 $x=0$  または 1。  
 $y=A, B,$  または C。

N ショット・トリガ・メカニズムを使用して Q 分周器をトリガする場合（N ショット・トリガのセクションを参照）、Q 分周器の最小分周比 8 が必要です。

$$Q_{xy} \geq 8$$

ここで、  
 $x=0$  または 1。  
 $y=A, B,$  または C。

## ヒットレス／ゼロ遅延帰還

ヒットレスまたはゼロ遅延動作に設定されている場合、影響を受ける PLL チャンネルの DPLL には、いずれかの分配出力から N 分周器への帰還クロック信号が必要です。この帰還メカニズムは、図 68 に示す N ショット／PRBS コントローラのヒットレス／ゼロ遅延帰還および同期ブロックを使用します。必要な帰還パスを選択するには、周波数変換プロファイルを使用します。プログラミングの詳細については、周波数変換ループのセクションの内部ゼロ遅延（ヒットレス）モードのセクションを参照してください。

## 分配位相オフセット制御

### 出力位相オフセットの概要

位相オフセット・コントローラ (図 67 を参照) は、個別の Q 分周器への位相オフセットの適用を制御します。コントローラが行う位相オフセットには、初期位相オフセットと後続位相オフセットの 2 種類があります。

初期位相オフセットは、デバイスがパワーアップまたはリセットされ、ユーザが同期リクエスト (分配出力クロック同期のセクションを参照) の発行を完了した後に、適用されます。同期リクエストが完了すると、初期位相オフセットが確立されます。後続位相オフセットは、その後のすべての同期リクエスト (つまり、初期パワーアップまたはリセット同期リクエスト後に生じるすべての同期リクエスト) に対し適用されます。同期リクエストについては、分配出力クロック同期のセクションを参照してください。

初期および後続位相オフセットでは、Q 分周器のパルス幅制御機能をオプにすることが必要です (出力パルス幅制御のセクションを参照)。

初期位相オフセットは、表 66 に示すレジスタ範囲の 33 ビットの符号なし整数によって決まります。表 66 で、各 Q 分周器のアドレス番号が下位の 4 つのレジスタは、33 ビットの整数のうちの 32LSB を表し、アドレス番号が上位のレジスタのビット 6 が 33 ビット整数の MSB を表します (ビット 7 は不使用、ビット [5:0] は他の Q 分周器機能に該当)。

表 66. Q 分周器の位相オフセット制御のアドレス範囲

| Q Divider | Register Address |
|-----------|------------------|
| Q0A       | 0x1104 to 0x1108 |
| Q0AA      | 0x110D to 0x1111 |
| Q0B       | 0x1116 to 0x111A |
| Q0BB      | 0x111F to 0x1123 |
| Q0C       | 0x1128 to 0x112C |
| Q0CC      | 0x1131 to 0x1135 |
| Q1A       | 0x1504 to 0x1508 |
| Q1AA      | 0x150D to 0x1511 |
| Q1B       | 0x1516 to 0x151A |
| Q1BB      | 0x151F to 0x1523 |

### 初期位相オフセット

Q 分周器の初期位相オフセットは、分周比と半整数分周ビットの状態に依存します。この両方によって、Q 分周器出力の 1 周期分にわたる入力クロックの立上がりエッジと立下がりエッジの数が定められるためです。分周比と半整数分周の詳細については、分配分周器 (Q 分周器) のセクションを参照してください。

Q 分周器の分周比を定義する値で表すと、

$$E = (2 \times \text{分周比}) + \text{半整数分周}$$

$$= 2 \times Q_N$$

ここで、

E は、Q 分周器の出力周期あたりの入力エッジ総数。

分周比は、表 63 の対応する Q 分周器レジスタに保存されている 32 ビット整数の値。

半整数分周は、対応する Q 分周器の半整数分周ビットの値 (0 または 1)。

$Q_N$  は、特定の Q 分周器の全分周比 (例えば 101.5)。

したがって、 $Q_N = 101.5$  の場合、 $E = 203$  となります。

E の値と位相オフセット角  $\theta$  の関係は、次式で表されます。

$$\theta = 360^\circ \times (\text{位相オフセット}/E)$$

ここで、位相オフセットは、位相オフセット・レジスタに保存されている整数 (位相オフセット・レジスタのアドレス範囲は、表 66 に表示)。

位相オフセット角の式によれば、プログラムされる位相オフセット値は E より小さくしなければならないことがわかります (つまり、位相オフセット値は 0~E-1 の範囲)。無効な位相値をプログラムすると、位相オフセット・コントローラは、レジスタ 0x310E のビット [5:0] (PLL0 の場合) およびレジスタ 0x320E のビット [3:0] (PLL1 の場合) にエラー・ステータスをセットし、それ以外の動作は行わない点に注意してください。レジスタ 0x310E、ビット [5:0] は、それぞれ、Q0CC、Q0C、Q0BB、Q0B、Q0AA、Q0A に対応し、レジスタ 0x320E、ビット [3:0] は、それぞれ、Q1BB、Q1B、Q1AA、Q1A に対応します。ユーザは、適切に設定された Mx ステータス・ピンを介して、位相制御エラーの結果を読み出すことができます (ステータス / 制御ピンのセクションを参照)。Mx ピンの出力信号は、PLL0 に関連付けられた 6 個のステータス・ビットの論理 OR、または、PLL1 に関連付けられた 4 個のステータス・ビットの論理 OR となります。

### 後続位相オフセット

後続位相オフセットでは、新しい 33 ビット位相オフセット値が表 66 に示す該当の Q 分周器に書き込まれ、IO 更新ビットがセットされます。適用される位相オフセットの大きさは、初期位相オフセットのセクションで説明したものと同じです。

初期位相オフセットとは異なり、位相コントローラは、後続のオフセットを位相ステップのシーケンスとして段階的に実行します。ここでは、33 ビットの位相オフセット値はシーケンス終了時に存在する位相オフセットの量を表します。コントローラは、Q 分周器の出力周期に同調した速度で位相ステップを実行します。このメカニズムにより、後続の位相オフセットを適用した場合に生じる位相トランジェントが緩和できます。その理由は、位相オフセットを段階的に実行することで、位相トランジェントが Q 分周器の出力サイクルあたり、一定の最大量に制限されるためです。これにより、位相の変更レート・リミッタが実効的に構成されます。位相変更レートが制限されることで、位相調整の比較的大きな瞬時位相ステップが、一連の小さな位相ステップに置き換わり、それによって位相調整に通常伴うスベクトル成分が減少します。

Q 分周器が位相オフセット・シーケンスの一部として位相スルーイングの過程にある場合、位相オフセット・コントローラは、レジスタ 0x310D のビット [5:0] とレジスタ 0x320D のビット [3:0] を介して位相スルー・アクティブ・ステータスを示します。レジスタ 0x310D、ビット [5:0] は、それぞれ、Q0CC、Q0C、Q0BB、Q0B、Q0AA、Q0A に対応し、レジスタ 0x320D、ビット [3:0] は、それぞれ、Q1BB、Q1B、Q1AA、Q1A に対応します。

ユーザは、適切に設定された Mx ステータス・ピンを介して、位相スルー・アクティブの結果を読み出すことができます（[ステータス/制御ピンのセクション](#)を参照）。Mx ピンの出力信号は、PLL0 に関連付けられた 6 個のステータス・ビットの論理 OR、または、PLL1 に関連付けられた 4 個のステータス・ビットの論理 OR となります。

### 最大位相スルー・ステップのサイズ

後続位相オフセットの実行中、ユーザは、[表 64](#) と同じアドレスのビット [2:0] を使用して、特定の Q 分周器の位相ステップの最大ステップ・サイズを制御できます。ビット [2:0] に保存された値は、[表 67](#) に従い最大位相ステップ・サイズを制御します（E は Q 分周器の出力周期あたりの入力エッジ数（[初期位相オフセット](#)のセクションを参照）、 $\text{floor}(x)$  は  $x$  を  $-\infty$  方向の最も近い整数に丸めることを意味する）。[表 67](#) は、位相スルーイング中の最大位相ステップ・サイズを定義するものですが、プログラムされた位相オフセット値を最終位相値が超えないよう、コントローラはこれより小さい値を使用することがある点に注意してください。

ビット [2:0] = 7 (10 進数) の場合、位相オフセットの大きさに関わらず、目的の位相オフセットに達するまでに位相コントローラが必要とするステップは 1 つだけです。そのため、このビット設定は、位相スルーイング機能を不活性化します。ビット [2:0] = 7 の場合、位相コントローラは、位相スルー・モード・ビットがロジック 1 の場合でも、位相スルー・モード・ビットがロジック 0 (ラグのみ) であるかのように動作します（[位相スルー・モード](#)のセクションを参照）。

ビット [2:0] = 0 (10 進数) の場合は、スルーイング動作が入力クロックの半サイクル、ビット [2:0] = 1 (10 進数) の場合は、入力クロックの全サイクルに限定されます。0 または 1 に設定すると、Q 分周器の大半の分周比において最大位相ステップが可能な限り小さくなるため、位相オフセットを選択すると、ほとんどの場合、最大位相スルー・ステップが 0 または 1 に設定されているかのような位相スルーイングが生じます。

最大位相スルー・ステップ値が 1 (10 進数) を超える場合は、ユーザは、最大位相ステップ・サイズが入力の半サイクル分以上となるようにすることが必要です。そうでない場合、位相スルーイング機能は無効となり、デバイスは、[初期位相オフセット](#)のセクションで説明した制御エラー・ビットを使用して、エラーのフラグを立てます。例えば、 $Q_N=5$  (つまり  $E=10$  ([初期位相オフセット](#)のセクションを参照)) の場合、半サイクルは  $36^\circ$  となります。そのため、2 または 3 の最大位相スルー・ステップ値は無効で、コントローラは該当のエラー・フラグをセットします。

表 67. 最大位相スルー・ステップのサイズ

| Bits[2:0]<br>(Decimal) | Maximum Phase<br>Step Size (Degrees) | Comment               |
|------------------------|--------------------------------------|-----------------------|
| 0                      | $360 \div E$                         | One input half-cycle  |
| 1                      | $180 \div E$                         | Two input half-cycles |
| 2                      | $360 \times \text{floor}(E/32)/E$    | $\sim 11.25^\circ$    |
| 3                      | $360 \times \text{floor}(E/16)/E$    | $\sim 22.5^\circ$     |
| 4                      | $360 \times \text{floor}(E/8)/E$     | $\sim 45^\circ$       |
| 5                      | $360 \times \text{floor}(E/4)/E$     | $\sim 90^\circ$       |
| 6                      | $360 \times \text{floor}(E/2)/E$     | $\sim 180^\circ$      |
| 7 (Default)            | $360 \times (E - 1)/E$               | $\sim 360^\circ$      |

### 位相スルー・モード

後続位相オフセットの実行中、位相コントローラは、位相を 2 種類の方法でスルーイングできます。モードを選択するには、[表 64](#) と同じアドレスのビット 3 を使用します。

ビット 3 = 0 (デフォルト) の場合、位相コントローラは、段階的位相調整シーケンスの間、出力周波数を減少させる方向に位相をスルーイングします。また、ビット 3 = 1 の場合、位相コントローラは、必要なステップ数が最小となる方向に位相をスルーイングします。ただし、半整数分周ビットがロジック 1 で、必要な位相シフトが 1 出力サイクルの間である Q 分周器入力の半サイクル以内にある場合、位相コントローラは、わずかに長い方向を選択する場合があります。

ビット 3 = 1 の場合、出力周波数は、どの段階的位相調整シーケンスに対しても、必要に応じてどちらの方向にも変化する可能性があります（位相コントローラが最小ステップ数の方向を選択するため）。

### 出力パルス幅制御

デフォルトでは、Q 分周器は、パルス幅が 50% のクロック信号を生成します。ただし、ユーザには、Q 分周器の出力のパルス幅を制御するオプションがあります。制御は、Q 分周器の入力クロックの半サイクル単位で行えます。パルス幅制御には、[表 64](#) と同じアドレスのビット 4 を使用します。

ビット 4 = 0 の場合、位相オフセット・コントローラは、プログラムされた 33 ビット位相オフセットを位相オフセットとして使用します（[初期位相オフセット](#)のセクションを参照）。ビット 4 = 1 の場合、33 ビット位相オフセット値は、位相オフセットではなくパルス幅を定義します。

パルス幅はパーセントを単位として、次式で指定されます。

$$\text{パルス幅 (\%)} = 100 \times \text{位相オフセット} / E \quad (2)$$

ここで、

パルス幅は、立上がりエッジから立下がりエッジまでの出力クロック・サイクルの一部を定義します。

位相オフセットは、位相オフセット・レジスタに保存されている整数です。[表 66](#) に、位相オフセット・レジスタのアドレス範囲を示します。

E は、[初期位相オフセット](#)のセクションで定義したとおりです。



例として、E = 7301 の場合に 14% のパルス幅とするのに必要な値を求めます。式 2 を位相オフセットについて解くと、次式のようにになります。

$$\begin{aligned}\text{位相オフセット} &= \text{パルス幅} \times E/100 \\ &= 14 \times 7301/100 \\ &= 1,022 \text{ (最も近い整数)} \\ &= 0x 0 0000 03FE \text{ (16 進数)}\end{aligned}$$

ユーザが出力パルス幅を調整できるのは、最初の後続位相オフセットを実行する前のみです。後続位相オフセットを行った後は、パルス幅制御は使用できません。最初の後続位相オフセットを実行した後に出力パルス幅を変更するには、Q 分周器同期を発生する必要があります (分配出力クロック同期のセクションを参照)。この時点で、Q 分周器は、新たな初期位相オフセット、新たな出力パルス幅、後続位相オフセットを受け入れられるようになります。

# 分配 N ショット/PRBS 出力クロック

## N ショット/PRBS クロックの概要

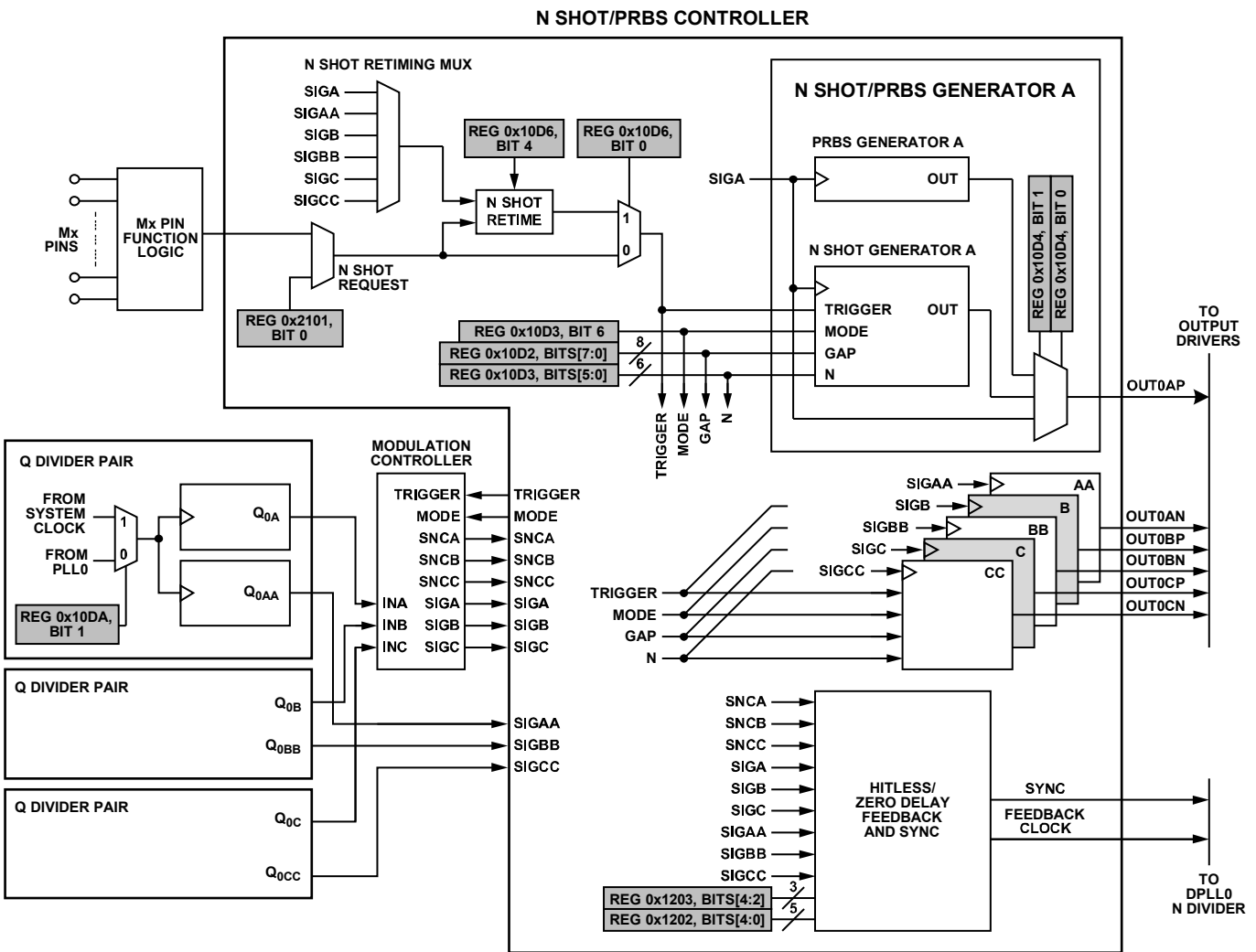
Q 分周器は、いくつかのコントローラと連動して機能しますが、その 1 つが、N ショット/擬似ランダム・バイナリ・シーケンス (PRBS) コントローラです (図 67 を参照)。N ショット/PRBS コントローラは、JESD204B 準拠の SYSREF およびデバイス・クロック用のクロックの他、ギャップのあるクロック信号や擬似ランダム・クロック信号を生成する機能を AD9546 に提供します。

図 68 に、N ショット/PRBS クロック・コントローラのブロック図を示します。ここには、Q 分周器、変調コントローラ、N ショット/PRBS コントローラの間の関係がより詳しく示されています。図 68 は、PLL0 に特化していますが、それぞれの PLL

チャンネルに専用のコントローラがあるため、PLL1 にも当てはめることができます。

Q 分周器に関して、 $Q_{xy}$  はクロック分配セクションの特定の Q 分周器を表し、 $Q_{xy}$  は、分周器  $Q_{xy}$  の出力を表します (x は 0、y は A、AA、B、BB、C、または CC)。例えば、 $Q_{0A}$  は、 $Q_{0A}$  の出力です。

$Q_{0AA}$ 、 $Q_{0BB}$ 、 $Q_{0CC}$  の各出力は、N ショット/PRBS コントローラに直接配信され、 $Q_{0A}$ 、 $Q_{0B}$ 、 $Q_{0C}$  は、変調コントローラを介して配信される点に注意してください。したがって、 $Q_{0A}$ 、 $Q_{0B}$ 、 $Q_{0C}$  の各出力だけが変調を受けます (分配組み込み出力クロック変調のセクションを参照)。ただし、ディスエーブルされた (デフォルト) 変調チャンネルには内部バイパスがあり、 $Q_{0A}$ 、 $Q_{0B}$ 、 $Q_{0C}$  の各出力は変調コントローラを素通りすることができます。



**NOTES**

1. A RANGE OF BITS USES A COLON SEPARATOR
2. REGISTER ADDRESSES SHOWN ARE SPECIFIC TO Q DIVIDER PAIR  $Q_{0x}$  (WHERE x = A, AA, B, BB, C, OR CC), PLL CHANNEL 0, N SHOT/PRBS GENERATOR A, AND TRANSLATION PROFILE 0.0
3. SEE THE MODULATION SYNCHRONIZATION SECTION FOR DETAILS ABOUT THE  $SNCx$  AND  $SIGx$  SIGNALS

図 68. JESD204B/ギャップのあるクロック・コントローラのブロック図

各 Q 分周器には、一対の専用ジェネレータがあります。1 つはランダム化されたクロック信号 (PRBS) を生成し、もう 1 つは、バーストまたはギャップのあるクロックのアプリケーション (N ショット) をサポートします (図 68 の N ショット/PRBS ジェネレータ A の拡大図を参照)。2 つのビットが各 Q 分周器に関連付けられており、1 ビットが N ショット機能、もう 1 ビットが PRBS 機能に対応します (表 68 を参照)。

表 68. N ショット機能および PRBS 機能に対応するレジスタ・アドレスとビット割り当て

| Q Divider | Register Address | N Shot Function Bit | PRBS Function Bit |
|-----------|------------------|---------------------|-------------------|
| Q0A       | 0x10D4           | D0                  | D1                |
| Q0AA      | 0x10D4           | D2                  | D3                |
| Q0B       | 0x10D4           | D4                  | D5                |
| Q0BB      | 0x10D4           | D6                  | D7                |
| Q0C       | 0x10D5           | D0                  | D1                |
| Q0CC      | 0x10D5           | D2                  | D3                |
| Q1A       | 0x14D4           | D0                  | D1                |
| Q1AA      | 0x14D4           | D2                  | D3                |
| Q1B       | 0x14D4           | D4                  | D5                |
| Q1BB      | 0x14D4           | D6                  | D7                |

PRBS と N ショット機能のビット値による様々な出力クロック機能の選択方法を、図 69 に示します。

表 69. N ショット/PRBS 出力クロック機能の選択

| PRBS Function | N Shot Function | Output Clock Function    |
|---------------|-----------------|--------------------------|
| 0             | 0               | Normal clock (Q divider) |
| 0             | 1               | Burst or gapped clock    |
| 1             | 0               | Randomized clock         |
| 1             | 1               | Not applicable           |

機能ビットをどちらもロジック 1 にセットすることは物理的には可能ですが、ロジック 1 は未定義のモードで、デバイス動作が特定されないため、避けてください。

### ランダム化されたクロック (PRBS)

ランダム化されたクロック機能が有効化されている場合、出力クロック信号は、関連する Q 分周器のレートで生成されるハイおよびローの出力レベルの擬似ランダム・シーケンスとなります。図 69 に出力クロック信号の代表例を示します。

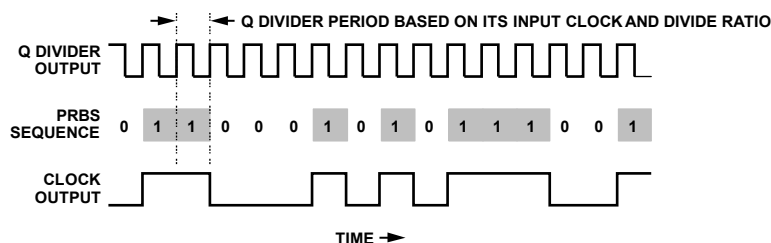


図 69. PRBS クロック信号

通常のクロック信号のスペクトル (矩形波) は、基本クロック周波数とその高調波からなる一連の線スペクトルです。PRBS クロック (または拡散スペクトル・クロック) の主目的は、基本波のスペクトル線を広げると同時に高調波のスペクトル線の大きさを減少させることです。

ユーザは AD9546 の複数の出力を拡散スペクトル・クロックとしてプログラムできるため、10 個の PRBS ジェネレータは、それぞれ固有の PRBS シーケンスを生成し、それによって PRBS クロック生成がイネーブルされた出力間に相関クロストークが発生する可能性をなくします。10 個の PRBS ジェネレータはすべて、17 次の生成多項式を使用します。つまり、PRBS シーケンスは、本質的に、 $2^{17} - 1$  (131,071) の Q 分周器サイクルの周期で周期的となります。

### N ショット (JESD204B およびギャップのあるクロック)

#### N ショットの概要

AD9546 が JESD204B クロック信号およびギャップのあるクロック信号を生成する機能は、N ショット・ジェネレータからもたらされます。各 N ショット・ジェネレータは、Q 分周器出力のレートで動作します。ユーザは、N ショット・ジェネレータが周期的な出力クロック・パターンを生成するか、シングル・バースト・パターンを生成するかを制御できます。どちらの場合も、パターンのトリガは、レジスタ 0x2101 (PLL0 の場合) およびレジスタ 0x2201 (PLL1 の場合) のビット 0 で行います。または、Mx ピンを介して外部信号を N ショット・トリガとすることもできます (ステータス/制御ピンのセクションを参照)。

図 68 に示すように、N ショット・パラメータ (トリガ、モード、ギャップ、N) は 1 つの PLL チャンネルのすべての N ショット・ジェネレータに適用されます。したがって、N ショット・パラメータは、チャンネル内のすべての出力に共通して、バーストまたはギャップのあるクロック機能が有効になります (表 69 を参照)。

N ショット・ジェネレータを使用すると、N ショット機能が設定された Q 分周器の最小分周比は 8 となります。

**N ショット・パターン生成**

N ショット・パターンは、特定のクロック・セグメントとギャップ・セグメントで構成されます。必要なクロック・セグメント・サイクル数を割り当てるには、レジスタ 0x10D3 (PLL0 の場合) およびレジスタ 0x14D3 (PLL1 の場合) のビット [5:0] に 6 ビットの符号なし整数を使用します。必要なギャップ・セグメント・サイクル数を割り当てるには、レジスタ 0x10D2 (PLL0 の場合) およびレジスタ 0x14D2 (PLL1 の場合) のビット [7:0] に 8 ビットの符号なし整数を使用します。

図 70 に示すように、クロック・セグメントとギャップ・セグメントは、Q 分周器の出力周期を単位とします。N ショット・ジェネレータは、クロック・セグメント値が 0 の場合、クロック・サイクルが 0 として処理し、ギャップ・セグメント値が 0 の場合は、クロック・サイクルが 1 として処理します。したがって、クロック・セグメントを 0、ギャップ・セグメントを 0 にプログラミングした場合、実質的に何の出力も生じないことになります。

N ショット・ジェネレータは、バースト動作または周期的ギャップ動作が可能です。バーストまたは周期的動作を選択するには、レジスタ 0x10D3 (PLL0 の場合) およびレジスタ 0x14D3 (PLL1 の場合) のビット 6 を使用します。ビット 6 が 0 の場合、N ショット・ジェネレータはバースト・モードで動作します (図 71 を参照)。ビット 6 が 1 の場合、N ショット・ジェネレータは周期的ギャップ・モードで動作します (図 72 を参照)。

バースト動作では、トリガ信号の立上がりエッジがトリガ・イベントとなります。バーストの前には、ジェネレータはデフォ

ルト状態 (ロジック 0) になっており、トリガされるまでこれを維持します (N ショット・トリガのセクションを参照)。

トリガされると、N ショット・ジェネレータは出力シーケンスを生成します (図 70 の下部のパターンを参照)。シーケンスが終了すると、N ショット・ジェネレータはデフォルト状態 (ロジック 0) を維持します。

バースト動作では、出力は、プログラムされたクロック・セグメント値 (図 70 の場合、クロック・セグメントは 6) に基づく Q 分周器サイクルのシーケンスとなります。ギャップ期間は、実質的にデフォルトの出力状態 (ロー状態) が継続したものとなります (図 70 の場合、ギャップ・セグメントは 10)。

周期的動作の場合、(バースト・モードの場合のように立上がりエッジではなく) トリガのロジック・レベルが重要となります。N ショット・ジェネレータは、デフォルト状態 (ロジック 0) で起動し、トリガがロジック 1 状態になるまで待機します。この時点で、N ショット・ジェネレータは、図 72 に示すように、周期的なバースト・パターン (クロック・セグメントのパルスに続きギャップ・セグメントのパルス) の生成を開始します。N ショット・ジェネレータは、トリガがロジック 0 になるまで、引き続きバースト・パターンを生成します。ロジック 0 状態の発生が、ジェネレータに対する同期して停止する指示となります。つまり、ジェネレータがバーストのギャップ状態にはない場合、図 73 に示すように、その時点のパルスの終了時にジェネレータは停止します。更に、トリガ信号がロジック 1 に戻ると、パターンは、以前に停止した時点 (図 73 に示す欠落パルスの部分) から再開されます。

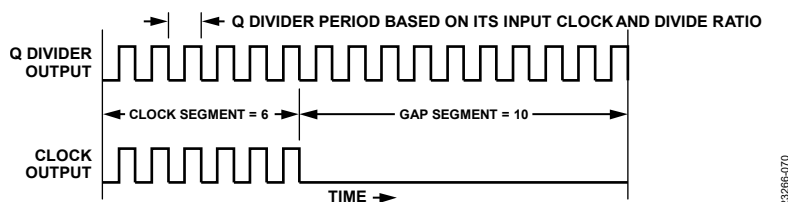


図 70. N ショット+ギャップ・クロック信号

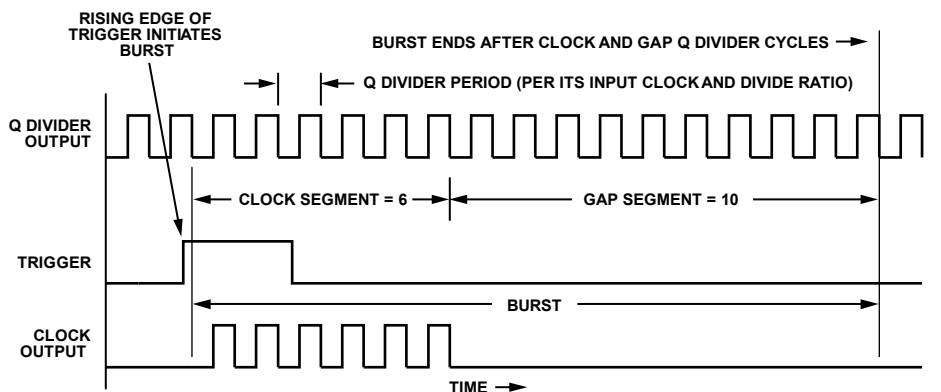


図 71. バースト・クロック信号

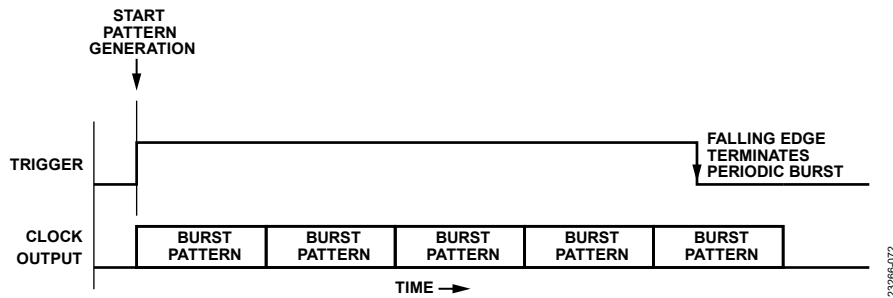


図 72. 周期的ギャップ・クロック信号

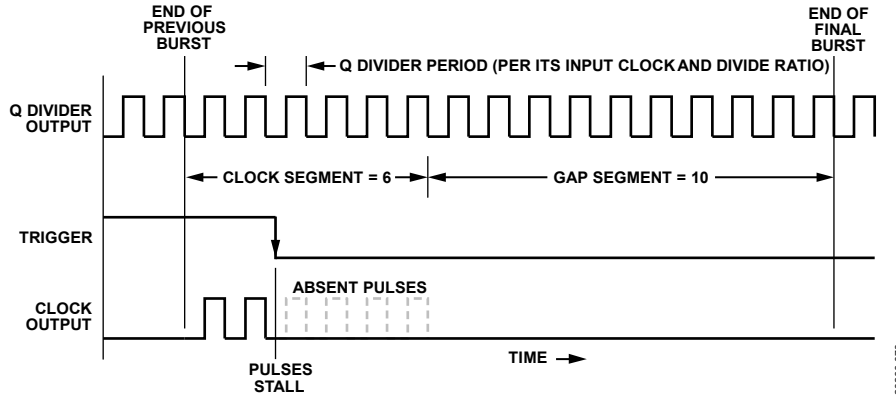


図 73. 周期的ギャップ・クロック信号の停止

## N ショット・トリガ

N ショット・トリガ信号は、次の 2 つのソースのいずれかで開始します。

- レジスタ 0x2101 またはレジスタ 0x2201 のビット 0
- Mx ピンを介して印加された外部信号

どちらの場合も、ロジック 1 がトリガ・イベントとなります。一般的に、ロジック 1 を印加して N ショット・ジェネレータをトリガし、その後、トリガ源をロジック 0 に戻すことが必要です。これを行わず、トリガ源をロジック 1 状態に維持したままの場合、後続の分配同期イベント時に N ショット・ジェネレータの不要な再トリガが引き起こされる可能性があります。(分配出力クロック同期のセクションを参照)。

N ショット・ジェネレータは、レジスタ 0x10D3 またはレジスタ 0x14D3 のビット 6 に基づいてトリガ信号に応答します。N ショット・パターン生成のセクションで説明したように、ビット 6 によって、N ショット・ジェネレータのトリガ入力が、バースト・クロック生成用にエッジ感応、または周期的ギャップ・クロック信号用にレベル感応となります(図 71 と図 72 を参照)。

N ショット・ジェネレータへトリガ信号を配信するためのトリガ・メカニズムを、図 68 の左上部に示します。N ショット・ジェネレータには、直接および再タイミングの 2 通りのトリガ方法があります。

必要なトリガ方法を選択するには、レジスタ 0x10D6 (PLL0 の場合) およびレジスタ 0x14D6 (PLL1 の場合) のビット 0 を使用します。ロジック 0 (デフォルト) は直接、ロジック 1 は再タイミングを選択します。図 68 に示すレジスタ 0x10D6 のビット 4 の説明については、変調トリガのセクションを参照してください。

直接トリガ法では、トリガ信号が N ショット・ジェネレータのトリガ入力に直接印加されます。したがって、このトリガ信号がトリガ・イベントとなります。

なお、以下の段落では、Q 分周器の出力クロック信号に関し、最遅および最速という語を使用します。最遅とは Q 分周器の位相オフセット値が最大、最速とはこれが最小であることを意味するものです(初期位相オフセットのセクションを参照)。

再タイミング・トリガ法では、トリガ信号は N ショット・ジェネレータに直接配信されるのではなく、N ショット再タイミング・ブロックに配信されます。トリガ信号の立上がりエッジによって再タイミング・ブロックを初期化し、それにより、再タイミング・ブロックは、最遅の Q 分周器の立上がりエッジが N ショット動作にイネーブル (ユーザ指定) されるまで待機します。トリガ信号は、最遅の Q 分周器の立上がりエッジで有効化され、再タイミングされたトリガ・イベントとなります。再タイミング・ブロックは、図 81 に示すように、トリガ信号を再タイミングされたトリガ・イベントに一致する N ショット・ジェネレータに送信します。

再タイミングされたトリガ・イベントは、最遅 Q 分周器から立上がりエッジ 3 個分遅れて発生します。また、再タイミングされたトリガ・メカニズムを使用する場合、関連する Q 分周器の分周比は 32 以上である必要があります。再タイミング出力 (最遅) と後続の N ショット・イネーブル出力 (最速) との間には、Q 分周器入力の半サイクル 48 個分の最小セットアップ時間が必要です。

再タイミングされたトリガは、最遅の N ショット・イネーブル Q 分周器の立上がりエッジにあり、複数の出力クロックを提供している複数の N ショット・ジェネレータに対応します。最遅の Q 分周器出力の立上がりエッジを再タイミング・マークとして使用すると、Q 分周器に異なる位相オフセットがプログラムされている場合でも、N ショット・リクエストが発生する時間

とは無関係に、N ショット・ジェネレータは最速の出力をグループの中で最初にクロッキングし始めます。

AD9546 は、トリガ再タイミングに適切な N ショット・イネーブル Q 分周器を自動で選択します。これにより、Q 分周器位相オフセット値が最大の出力が、常に再タイミング・クロックになります。

## 分配組み込み出力クロック変調

### 変調コントローラの概要

AD9546には、高周波数キャリア内に低周波数クロックを組み込む機能があります。図 68 を参照すると、Q 分周器ペアの第一出力のみが変調コントローラに配信され、第二出力は変調コントローラをバイパスし、直接Nショット/PRBSコントローラに配信されます。そのため、主要分配クロック出力のみが組み込みクロック変調機能をサポートします（例えば、出力 OUT0AP は変調をサポートしますが、出力 OUT0AN はサポートしません）。

組み込みクロック変調では、指定された Q 分周器出力クロックのパルス幅を、バイナリ変調信号と同期して変化させ、変調イベントを生成します。変調イベントは常に 2 つの Q 分周器クロック・サイクルにわたっています。この 2 つのサイクルのうち、最初のクロック・サイクルはデューティ・サイクルを変化させますが、2 番目のクロック・サイクルは、デューティ・サイクルを変化させる場合もさせない場合もあります（[バランス変調とアンバランス変調](#)のセクションを参照）。

変調コントローラの拡大図を図 74 に示します。図 74 は、PLL0 に特化していますが、それぞれの PLL チャンネルに専用の変調コントローラがあるため、PLL1 にも当てはめることができます。

下付き文字が 1 文字の（例えば、Q0A は該当、Q0AA は非該当）の Q 分周器のうち、少なくとも 1 つは組み込みクロック変調器として動作できます。組み込み変調をイネーブルするには、表 70 のレジスタのビット 0 を使用します。

表 70. 組み込み変調をイネーブルするレジスタ・アドレス

| Q Divider | Register Address |
|-----------|------------------|
| Q0A       | 0x10CF           |
| Q0B       | 0x10D0           |
| Q0C       | 0x10D1           |
| Q1A       | 0x14CF           |
| Q1B       | 0x14D0           |

ロジック 1 は指定 Q 分周器を組み込みクロック変調に選択し、ロジック 0（デフォルト）は変調コントローラをバイパスします（図 74 のマルチプレクサを使用）。

変調制御は、 $\Delta t$  と  $t_{MOD}$  の 2 つのパラメータから成ります。パラメータ  $\Delta t$  は、必要な変調エッジ変化量を定義し、 $t_{MOD}$  は変調周期を定義します（図 75 を参照）。変調された信号は、一定の周期間隔  $t_{MOD}$  で発生する大きさ  $\Delta t$  の時間ステップで構成されます。大きさのパラメータである  $\Delta t$  は、PLL チャンネル内のすべての

変調器に共通ですが、周期パラメータの  $t_{MOD}$  は、各変調器に固有です。

### 変調の大きさ

変調の大きさを設定するには、レジスタ 0x10C0～レジスタ 0x10C1（PLL0 の場合）およびレジスタ 0x14C0～レジスタ 0x14C1（PLL1 の場合）の 16 ビット符号なし整数（変調ステップ）を使用します。変調ステップ値は、変調器に関連付けられた Q 分周器の入力クロックの半周期分を単位とし、次式の関係を生じます。

$$D = \text{変調ステップ} / (2 \times Q_{xy}) \quad (3)$$

ここで、

$D$  は、デューティ・サイクルの偏差（Q 分周器の出力周期で規格化した、変調エッジの公称値からの時間偏差）です。図 75 では  $D$  を  $\Delta t/t_Q$  として示しています。

$Q_{xy}$  は、関連する Q 分周器の分周比です（ $x$  は 0 または 1、 $y$  は A、B、または C）。

変調ステップは 1 つの PLL チャンネル内のすべての変調器に共通であるのに対し、 $Q_{xy}$  は Q 分周器ごとに固有であるため、式 3 の  $D$  は、PLL チャンネルのすべての変調器について必ずしも同一というわけではありません。

Q 分周器 Q0A の分周比が 1001 であると仮定し、変調器 A に 5% の変調をもたらすのに必要な変調ステップ・ビット・フィールドの値を求めてみます。

5% の変調であることから、 $D=0.05$  となります。適切な値を式 3 に代入すると、

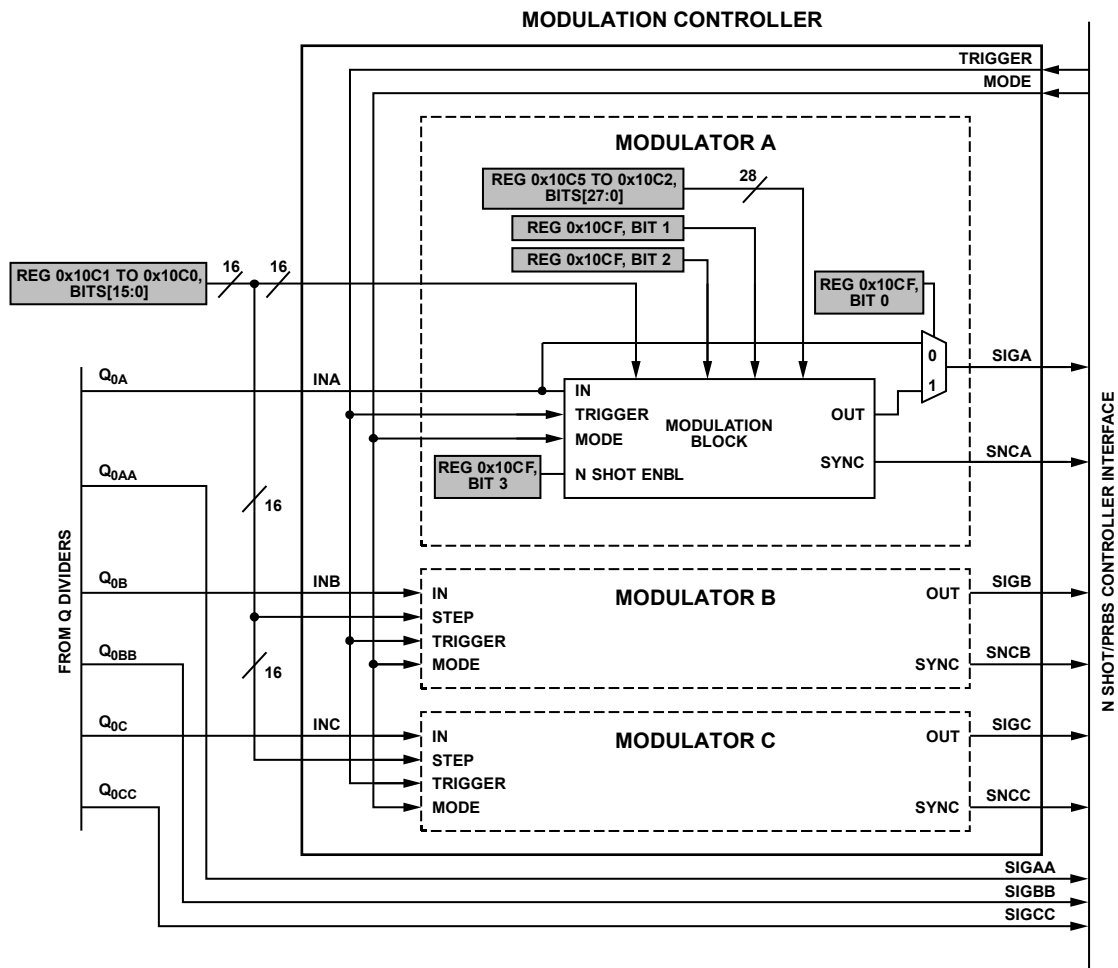
$$0.05 = \text{変調ステップ} / (2 \times 1001)$$

したがって、以下の結果が得られます。

$$\begin{aligned} \text{変調ステップ} &= 100 \text{ (最も近い整数に四捨五入)} \\ &= 0x64 \text{ (16進数)} \end{aligned}$$

変調ステップ値が前の例と同じ（変調ステップ = 100）である場合、Q0B の分周比が 8025.5 と仮定して変調器 B の変調の大きさを求めると、次式のようにになります。

$$\begin{aligned} D &= \text{変調ステップ} / (2 \times Q_{xy}) \\ &= 100 / (2 \times 8025.5) \\ &= 0.00623 \text{ (0.623\%)} \end{aligned}$$



- NOTES
1. A RANGE OF BITS USES A COLON SEPARATOR
  2. REGISTER ADDRESSES SHOWN ARE SPECIFIC TO Q DIVIDER Q0x (WHERE x = A, AA, B, BB, C, OR CC), PLL CHANNEL 0, AND MODULATOR A

図 74. 組み込みクロック変調コントローラのブロック図

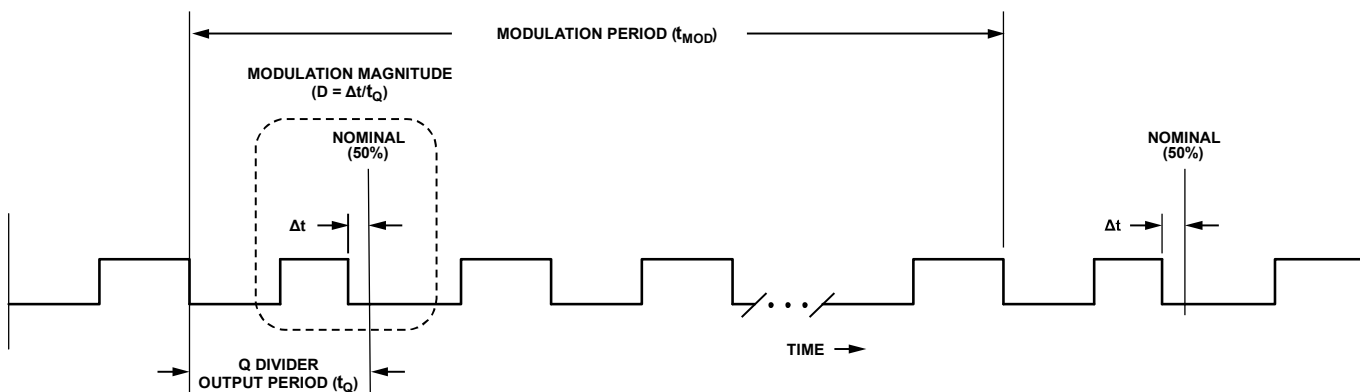


図 75. 変調の大きさと周期



## 変調周期

変調周期とは、変調イベント間の間隔を指します（図 75 を参照）。変調周期のパラメータを制御するには、表 71 のレジスタ・アドレス範囲の 28 ビット符号なし整数（変調カウンタ）を使用します。変調カウンタ値は、関連の Q 分周器の出力クロック周期を単位とします。

変調カウンタは、6 以上であることが必要です。

表 71. 変調周期のアドレス範囲

| Modulator | Register Address |
|-----------|------------------|
| Q0A       | 0x10C2 to 0x10C5 |
| Q0B       | 0x10C6 to 0x10C9 |
| Q0C       | 0x10CA to 0x10CD |
| Q1A       | 0x14C2 to 0x14C5 |
| Q1B       | 0x14C6 to 0x14C9 |

表 71 で、各 Q 分周器のアドレス番号が下位の 3 つのレジスタは、28 ビットの整数のうちの 24LSB を表し、アドレス番号が上位のレジスタのビット [3:0] 0 が 28 ビット整数のうちの 4MSB を表します（ビット [7:4] は不使用）。

変調周期 ( $t_{MOD}$ ) は、次式のように、入力クロック周波数 ( $f_{IN}$ )、関連する Q 分周器の分周比、変調カウンタ値に依存します。

$$t_{MOD} = \text{変調カウンタ} \times (Q_{xy}/f_{IN}) \quad (4)$$

Q 分周器 Q0A への入力クロックが、VCO 動作周波数が 2.38GHz の APLL0 から供給されると仮定します。VCO は Q 分周器クロック入力の前段の 2 分周ブロックを駆動するため、Q 分周器の入力周波数 ( $f_{IN}$ ) は、1.19GHz です。Q 分周比が 107.5 の場合に、変調周期 ( $t_{MOD}$ ) を 1ms (0.001 秒) とするのに必要な変調カウンタ値を求めます。

適切な値を式 4 に代入すると、

$$10^{-3} = \text{変調カウンタ} \times (107.5 / (1.19 \times 10^9))$$

したがって、以下の結果が得られます。

$$\begin{aligned} \text{変調カウンタ} &= 11,070 \text{ (最も近い整数)} \\ &= 0x\ 0000\ 2B3E \text{ (16 進数)} \end{aligned}$$

目的の変調周期 ( $t_{MOD}$ ) は、1ms です。変調カウンタ値は整数でなければなりません。ただし、目的の変調周期を正確に得ることは、必ずしも可能ではありません。この例では、実際の  $t_{MOD}$  の値は、1.0000210084ms となります（式 4 による）。

## バランス変調とアンバランス変調

変調は、変調器に関連付けられた Q 分周器の 2 つの出力クロック・サイクルにわたる単一の変調イベントが一定の間隔 ( $t_{MOD}$ ) で発生する、周期的変調イベントで構成されます。変調器は、指定されたパルス幅変動（変調ステップと変調カウンタによる）を、変調イベントの一方または両方のクロック・サイクルに適用します。両方のクロック・サイクルの変調はバランス変調を構成し、一方のクロック・サイクルのみの変調はアンバランス変調を構成します。

バランス変調では、変調器は、変調イベントの 2 つの連続するサイクルの変調ステップに互いに逆の極性を加えます（図 76 を参照）。そのため、バランス変調は、波形の平均 DC レベルを振幅の公称 50% の位置に維持します。

アンバランス変調では、変調器は、変調ステップ ( $\Delta t$ ) を、変調イベントの最初のパルスにのみ加え、2 番目のパルスはそのままにします（図 77 を参照）。これにより、波形の DC レベルは、振幅の公称 50% の位置よりもわずかに小さくなります。

バランス変調とアンバランス変調を選択するには、表 70 に示す目的の Q 分周器のレジスタ・アドレスのビット 2 を使用します。ロジック 0（デフォルト）はバランス変調、ロジック 1 はアンバランス変調を選択します。

デフォルトでは、変調イベントの最初のパルスが  $-\Delta t$ （そして、バランス変調が有効な場合は 2 番目のパルスが  $+\Delta t$ ）となります。ただし、逆の極性、つまり変調イベントの最初のパルスを  $+\Delta t$ （そして、2 番目のパルスを  $-\Delta t$ ）とすることもできます。極性制御には、表 70 に示す所定の Q 分周器のレジスタ・アドレスのビット 1 を使用します。ロジック 0（デフォルト）は変調イベントの最初のパルスの  $\Delta t$  に負極性を適用しますが、ロジック 1 は最初のパルスの  $\Delta t$  に正極性を適用し（図 78 を参照）、その結果、アンバランス変調の場合、DC オフセットが正側にシフトします。

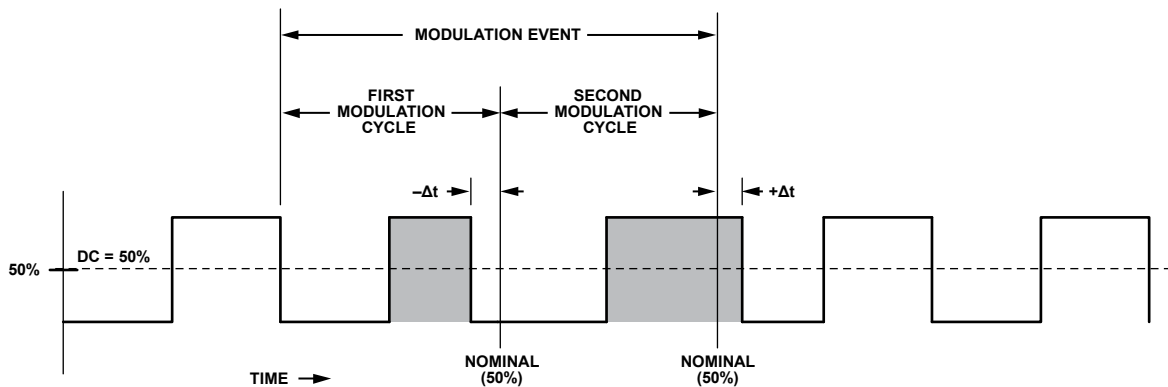


図 76. バランス変調の波形

23286-076

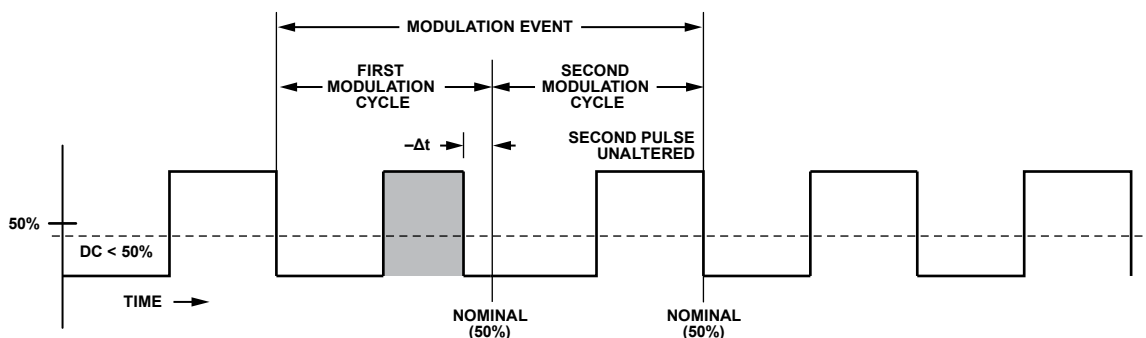


図 77. アンバランス変調の波形

23286-077

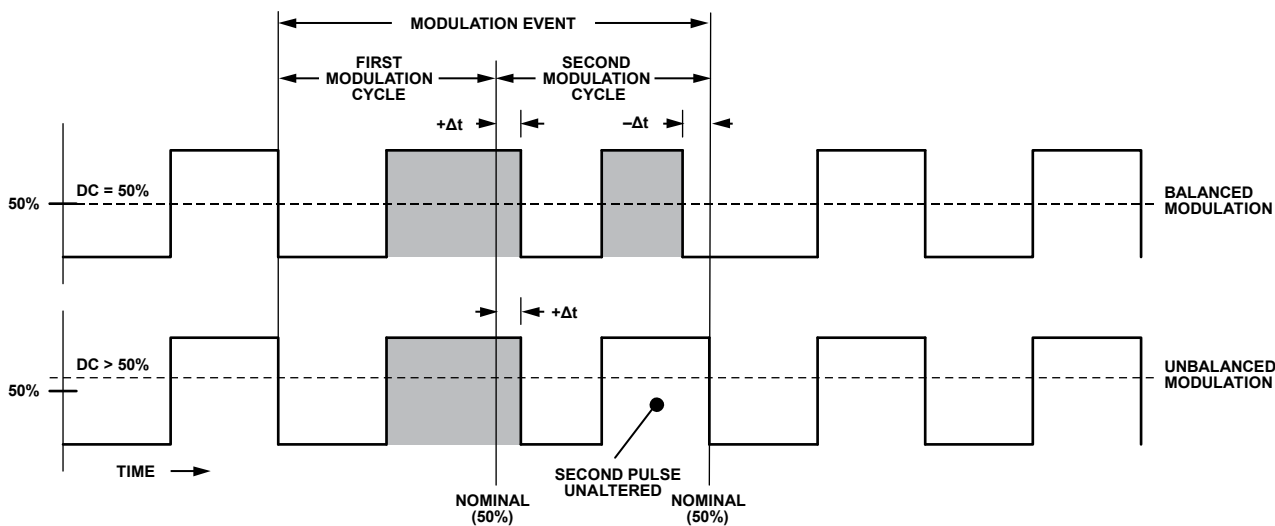


図 78. 代替変調極性

23286-078

変調同期

変調器によって生成される周期的変調イベントは、同期のためのタイミング・マーカとして有用です。バランス変調スキームとアンバランス変調スキームのどちらも、分周器出力の 2 サイクル分を使用して変調イベントを定義します (図 76 と 図 77 を参照)。アンバランス変調の場合、2 番目のサイクルは不変ですが、変調イベントの一部ではあります。したがって、2 番目の被変調サイクル後の最初の Q 分周器出力の立上がりエッジが、同期のための基本エッジの目印となります (図 79 を参照)。

変調器から得られる同期情報には、第二信号パスを使用する必要があります。このパスが、変調器に SIGx 出力信号と SNCx 出力信号がある理由です。SIGx 信号は、被変調波形で、最終的に分配出力ピンに伝搬されます。

SNCx 信号は内部専用で、関連する SIGx 信号に対応する変調イベントに付随する同期情報を伝達します (例えば SIGA に関連する SNCA)。SNCx 信号は、図 80 に示すように、対応する SIGx 信号の基本エッジに一致して発生するパルスです。

図 68 に示すように、SNCx 信号は、N ショット/PRBS コントローラのヒットレス/ゼロ遅延帰還および同期ブロックを介し、DPLL に配信されます。SNCx 信号は、対応する DPLL チャンネルの N 分周器に同期を行います。デバイスは、帰還用に選択した Q 分周器に対し、適切な SNCx 信号を自動的に選択します (変調がその Q 分周器に対して有効化されている場合)。SNCx の選択は、表 72 に示す変換プロファイル (変換プロファイルのセクションを参照) のタグ・モードに関連するレジスタの、3 ビット・タグ・ビット・フィールド (ビット [4:2]) に依存します。

表 72. タグ・モードのレジスタ・アドレス

| Translation Profile | Register Address |
|---------------------|------------------|
| 0.0                 | 0x1203           |
| 0.1                 | 0x1223           |
| 0.2                 | 0x1243           |
| 0.3                 | 0x1263           |
| 0.4                 | 0x1283           |
| 0.5                 | 0x12A3           |
| 1.0                 | 0x1603           |
| 1.1                 | 0x1623           |
| 1.2                 | 0x1643           |
| 1.3                 | 0x1663           |
| 1.4                 | 0x1683           |
| 1.5                 | 0x16A3           |

SNCx 信号は変調の基本エッジを特定するため、ユーザは、DPLL の N 分周器を、図 80 に示すように、特定の同期エッジと同期させることができます。N 分周器の同期エッジ (0、1、2、または 3) を指定するには、レジスタ 0x10CE (PLL0 の場合) とレジスタ 0x14CE (PLL1 の場合) のビット [1:0] を使用します。ビット・ペアの 10 進数値が、図 80 に示す目的の同期エッジに対応します。

同期エッジ (0、1、2、または 3) を選択すると、次式のように、変調カウンタ (変調周期のセクションを参照) の値に制約が追加されます。

$$\text{変調カウンタ} \geq \text{同期エッジ} + 7$$

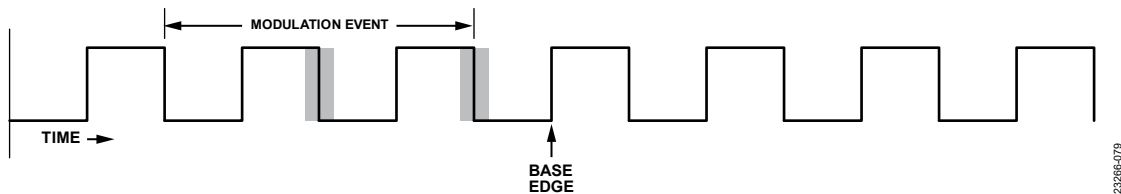


図 79. 変調同期エッジ

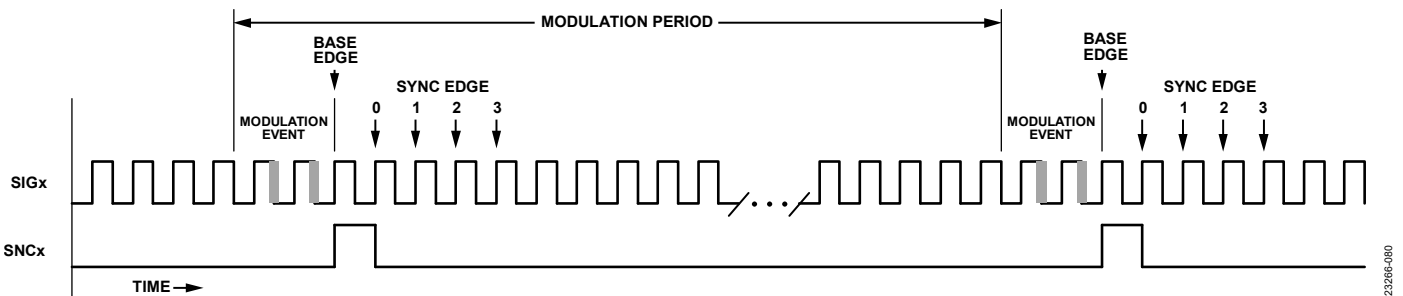


図 80. 変調同期

変調トリガ

デフォルトでは、所定の Q 分周器に対し変調が有効化されると、変調器は直ちに変調を適用します。ただし、トリガされるまで変調を遅延することもできます。所定の Q 分周器に対しこの機能をイネーブルするには、表 70 に示すレジスタ・アドレスのビット 3 を使用します。ロジック 0 (デフォルト) はこのトリガ機能をディスエーブルし、ロジック 1 でイネーブルします。

イネーブルの場合、変調器は、N ショット/PRBS コントローラ内から発せられるトリガ信号とモード信号を使用します (図 68 を参照)。このモード動作は、N ショット/PRBS コントローラのモード動作とはわずかに異なります。具体的には、N ショット・リクエスト・モード (レジスタ 0x10D3 (PLL0 の場合) またはレジスタ 0x14D3 (PLL1 の場合) のビット 6) が 0 の場合、変調器は周期的変調イベントを連続的に発生するのではなく、5

周期分の変調イベントだけを発生して停止します。逆に、N ショット・リクエスト・モードが 1 の場合は、N ショット・リクエスト信号がロジック 1 であれば、変調器は連続的に変調イベントを発生します (図 68 を参照)。この動作によって、変調の間に同期を失うことなく、変調イベントの同期をイネーブルまたはディスエーブルできます。

N ショット・ジェネレータと同様、変調器は、再タイミングされたトリガ・オプションを備えています (N ショット・トリガのセクションを参照)。ただし、変調器の場合、再タイミングは、Q 分周器に関連するキャリア・クロック・エッジではなく、変調イベントを基準とします。デフォルトでは、再タイミング・ブロックはキャリア・クロック・エッジによって再タイミングされます。再タイミングを変調イベントに選択するには、レジスタ 0x10D6 (PLL0 の場合) またはレジスタ 0x14D6 (PLL1 の場合) のビット 4 をロジック 1 にプログラムします。

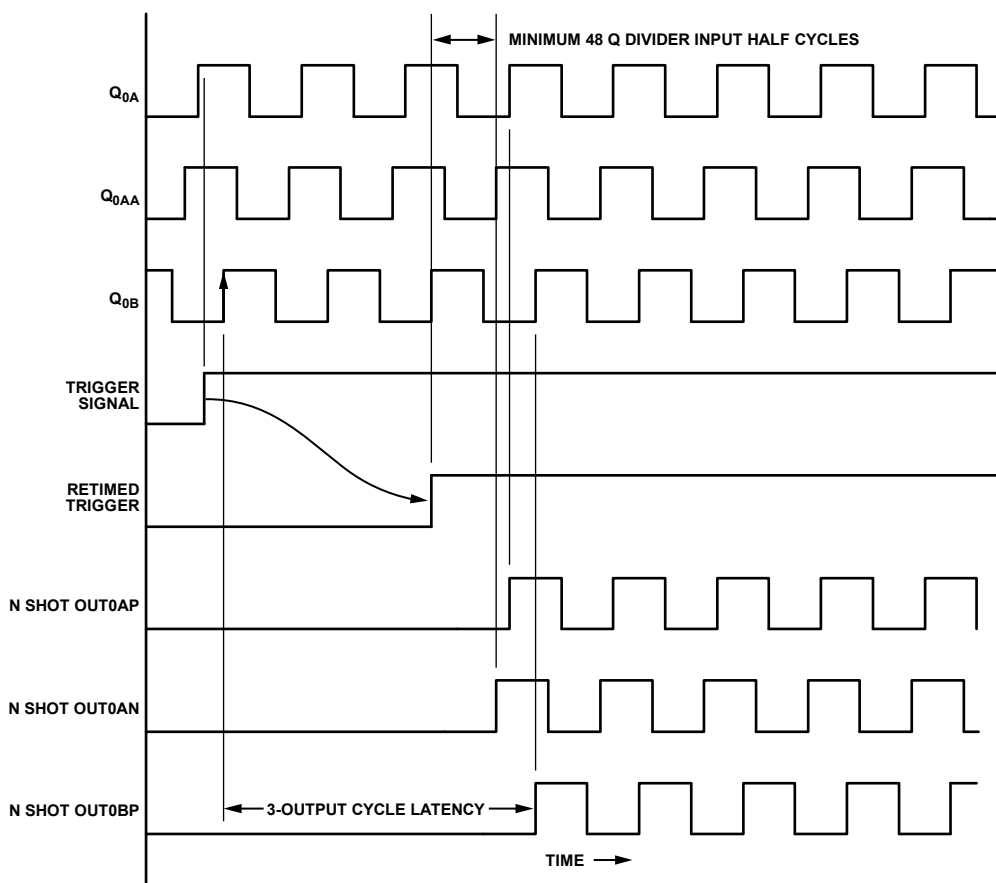


図 81. トリガ再タイミング (Q0AA が再タイミング Q 分周器の場合)

23286-081

## 分配出力クロック同期

### 同期の概要

AD9546には同期コントローラが内蔵されており、ユーザは、複数の出力クロック信号を同期させるための柔軟で精巧な手段を利用できます。同期コントローラは、内部イベントのシーケンス処理を的確に行い、デバイスの出力クロックの適切な同期を確保します。

同期シーケンスをトリガするには、次の3つの方法があります。

- 手動（レジスタ 0x2000 のビット 3、レジスタ 0x2101（PLL0 の場合）およびレジスタ 0x2201（PLL1 の場合）のビット 3、EEPROM ダウンロード内の命令コード、または Mx ピンのいずれかを使用）
- 自動再設定（Q 分周器の値を変更）
- 自動同期

出力クロック同期には、自動同期が推奨オプションです。

同期トリガ・イベントはチャンネル固有で、PLL0 または PLL1 のいずれかに適用されます。手動同期は例外で、この場合は、レジスタ 0x2000 のビット 3 を使用し両方のチャンネルに適用できます。ビット 3 のアサートは、両方のチャンネルが互いに同期することを意味するものではありませんが、これによって両チャンネルの同期プロセスが同時にトリガされます。

同期トリガによって、同期シーケンスが開始されます。トリガ・イベント後、同期コントローラは、レジスタ 0x10DB またはレジスタ 0x14DB のビット 2 がセットされているかどうかを確認します。セットされている場合、同期コントローラは、すべての出力をミュートするまでヒットレス・プロファイルが有効化されるのを待ちます（リファレンスの同期はゼロ遅延/ヒットレス変換モードに対してのみ可能であるため）。

次に、同期コントローラは、出力ドライバがミュートされているのを確認し、P 分周器と Q 分周器をリセット状態（コントローラが新しい Q 分周器設定情報（新しい分周比など）をロードする）にします。更に、同期コントローラは再度、レジスタ 0x10DB またはレジスタ 0x14DB のビット 2 がセットされ、コントローラが出力クロックのリリースをアクティブなリファレンスの立上がりエッジに揃えることができるようになっているかどうかを確認します。ただし、レジスタ 0x10DB またはレジスタ 0x14DB のビット 2 がクリアされている場合は、同期コントローラは、手動同期のリリース（レジスタ 0x2000 のビット 3 のクリア、またはレジスタ 0x2101（PLL0 の場合）またはレジスタ 0x2201（PLL1 の場合）のビット 3 がクリア）をチェックします。また、同期コントローラは、処理を行う前に、APLL が補正されロックされた状態を示していることを確認します。

次に、同期コントローラは、出力ドライバのミュートを解除し、適切な Q 分周器をリセット状態からリリースします。最後に、同期コントローラは、後続の同期トリガを待機する状態に戻ります。

出力クロック同期シーケンスが開始されるのは、システム・クロックがロックされ安定している場合のみです。

### パワーアップまたはリセット後の出力信号

同期コントローラの特に重要な側面の 1 つに、デバイスの電源投入またはリセット後の出力クロック制御があります。パワーアップ時やリセット時、同期コントローラは、出力クロックがアクティブになるまで、同期トリガを待ちます。同期トリガが発生するまで、同期コントローラは、すべての分配 Q 分周器をリセット状態に保持します。それによって、クロック信号が OUTxyN ピンや OUTxyP ピンに出力されることがないようにできます。そのため、ユーザは、クロック信号を出力するには、同期シーケンスを開始する必要があります。

### 手動同期トリガ

ユーザが 3 つの手動同期ビットのうちのいずれかをセットした場合に、手動同期トリガが発生します。レジスタ 0x2000 のビット 3 を 1 にプログラムすると、AD9546 のすべての出力クロックの同期シーケンスが開始されます。また、レジスタ 0x2101（PLL0 の場合）のビット 3 またはレジスタ 0x2201（PLL1 の場合）のビット 3 を 1 にプログラムして、PLL チャンネルのいずれかに関連付けられた出力のみを同期することもできます。これらのビットを介して使用できるものと同じ同期機能が、入力に設定された Mx ピンを介しても使用できます。

D3 ビットのうちいずれかをセットすると、すべてのドライバのミュートを解除する直前まで、同期シーケンスが実行されます。その時点で、同期コントローラは停止し、ユーザが該当の手動同期ビットをクリアするまで待機します。この遅延によって、ユーザはコントローラが出力ドライバをミュート解除する前に Q 分周器の分周比を更新できます。ミュート解除は、ユーザが関連の手動同期ビットをクリアするまで発生しません。

### 自動再設定同期トリガ

自動再設定同期トリガは、ユーザがいずれかの Q 分周器の分周比を変更し、その後 IO 更新ビットをセットした場合に発生します。ただし、自動再設定同期トリガは、パワーアップ（またはリセット）の結果として同期コントローラが同期シーケンスを既に完了した後にのみ、適用できます。パワーアップ（またはリセット）時の同期シーケンスが完了した後、Q 分周比に対し行われた更新はすべて、自動再設定同期トリガとなります。

自動再設定は、ユーザが Q 分周器の値を変更し、その後 IO 更新ビットをセットした場合に自動で出力を同期させるため、便利な機能です。この機能は、手動同期トリガを起動して Q 分周器の値を更新する必要性を緩和します。ただし、単一の Q 分周器の値を変更しても、対応する PLL チャンネルのすべてのクロック信号に影響することを理解しておいてください。具体的には、任意の Q0x (x = A, AA, B, BB, C, または CC) の値を変更すると、出力 0 のクロック出力がすべて乱されます。変更によって、これらの出力の同期シーケンスが起動されるためです。同様に、任意の Q1x 分周器 (x = A, AA, B, または BB) の値を変更すると、出力 1 のクロック出力がすべて乱されます。このような出力クロックの擾

乱は、同期プロセスの結果です。ただし、擾乱にはグリッチはありません。同期シーケンスでは、同期の間、影響を受ける出力ドライバがミュートされるためです。

しかし、上述の出力クロックの擾乱は、Q 分周器へのクロック源がシステム・クロックであり（表 62 を参照）、デバイス出力のサブセットのシステム・クロック同期マスク・ビットがロジック 1（Q 分周器のクロック源選択のセクションを参照）である場合、回避できます。

## 自動同期トリガ

AD9546 ではユーザが手動同期トリガを介して分配出力を同期できますが、これは推奨されません。その代わりに、AD9546 には、一定の条件を満たした後のみ適用できる自動同期トリガ機能があり、手動トリガの使用に関連して生じる可能性がある利便性の問題を回避できます。即時自動同期モード（表 73 を参照）は、手動同期トリガの有効な置き換えです。

レジスタ 0x10DB（PLL0 の場合）およびレジスタ 0x14DB（PLL1 の場合）のビット [1:0] を使用して、目的の自動同期トリガ条件を選択できます。表 73 に、選択可能な自動同期条件を示します。

表 73. 自動同期モードの選択

| ビット [1:0] (10 進数) | 自動同期モード         |
|-------------------|-----------------|
| 0                 | デイスエーブル (デフォルト) |
| 1                 | 即時              |
| 2                 | DPLL のフェーズ・ロック時 |
| 3                 | DPLL の周波数ロック時   |

自動同期によって、AD9546 はユーザの介入なしに分配同期シーケンスを実行できます。同期選択をゼロ以外にすると、同期トリガを生成する条件が指定されます。

同期選択モードが 0（デフォルト）の場合、手動または自動再設定トリガのみが可能となります。自動同期モードを 0 以外にすると、自動同期トリガ機能が有効になります。

自動同期がアクティブ（自動同期モードが 0 以外）の場合、システム・クロック PLL がロック状態を示すまで、何も生じません。その後、自動同期メカニズムが自動同期トリガ検出ループに入り、指定された自動同期イベントを待ちます。自動同期モードが 1 の場合、自動同期イベントはシステム・クロック PLL によってロック状態が示されることです。自動同期モードが 2 の場合、自動同期イベントは DPLL によってフェーズ・ロックが示されることです。

自動同期モードが 3 の場合、自動同期イベントは周波数ロックが示されることです。

PLL チャンネルの自動同期トリガが発生すると、自動同期トリガ生成シーケンスは終了します。同じ PLL チャンネルの後続の自動同期シーケンスは、ユーザがレジスタ 0x2107 またはレジスタ 0x2207 のビット 0 を 1 にプログラムしなければ、またはレジスタ 0x10DB またはレジスタ 0x14DB のビット [1:0] の更新によっては、実行できません。

## リファレンス同期

出力クロック同期によって、出力クロック間で開始時間が（通常は PLL チャンネルごとに）一致します。しかし、出力クロック同期は、一般に入力リファレンス・クロック信号のエッジに関しては同期していません。リファレンス同期機能を使用すれば、入力リファレンス・クロックの立上がりエッジを、出力クロックの同期用の追加ゲーティング項目とすることができます。リファレンス同期によって、入力クロックと出力クロックの間に一定のわずかな位相関係（約 30ns）が確立されます（出力クロック周波数は、入力リファレンス周波数の整数倍であると仮定）。入力クロックと出力クロックの間に一定の初期位相関係を確立することで、この関係が完全にランダムではなく予測可能になるため、DPLL のアクイジション時間を最小限に抑えることができます。

リファレンス同期機能では、リファレンス同期が有効になっている場合にヒットレス・プロファイルがアクティブ化されることが必要です。リファレンス同期機能は、位相ビルドアウト・プロファイルと共に機能することはありません。

他の大半の同期機能と同様に、リファレンス同期は PLL チャンネルごとに適用されます。リファレンス同期機能を有効化するには、レジスタ 0x10DB（PLL0 の場合）とレジスタ 0x14DB（PLL1 の場合）のビット 2（リファレンス同期）を使用します。リファレンス同期ビット（デフォルトはロジック 0）をセットすると、対応する PLL チャンネルに関連する出力のリファレンス同期が可能になります。

リファレンス同期を自動同期モードと併用する場合（自動同期モードが 1、2、または 3）の場合、必ず、リファレンス同期ビットをロジック 1 にセットし、IO 更新ビットをアサートしてから、自動同期モードを 1、2、または 3 にプログラムしてください。

## 周波数変換ループ

### 周波数変換ループの概要

AD9546の周波数変換機能は、2つの独立したデュアルPLLチャンネル（チャンネル0とチャンネル1）からなっています。各PLLチャンネルは、APLLを伴うDPLLで構成されています。どちらのチャンネルにも、入力部にはプログラマブルなリファレンス分周器、出力部にはプログラマブルなチャンネル分周器があります。図82に単一チャンネルのブロック図を示します。REFxとREFyは、互いに任意のリファレンス入力とすることができますが、同じリファレンス入力とすることはできません。

DPLLチャンネル（DPLL0とDPLL1）は、低ループ帯域幅（μHz）が可能で、全地球測位システム（GPS）や全球測位衛星システム（GNSS）から発せられる、1秒あたり1パルス（1pps）の入力信号を含むジッタ・クリーンアップ・アプリケーションに最適です。DPLLは、フラクショナルNの一種ですが、フラクショナル部がゼロに設定されている場合はインテジャーN動作が可能です。

DPLLは最大で約400MHzの周波数を出力できます。また、DPLLは、AD9546の自動リファレンス・スイッチング機能とヒットレスおよび位相ビルドアウト機能の提供において、一定の役割を果たします。

APLLは、VCOを内蔵したインテジャーNの一種で、カスケード接続されたDPLL/APLLペアによる高周波数アップコンバージョン機能を備えています。2つのDPLLは同一ですが、2つのAPLLはわずかに異なります。具体的には、2.424GHz～3.232GHzのAPLL0のVCO範囲と3.232GHz～4.040GHzのAPLL1のVCO範囲には、重なり合う部分がありません。

### 変換プロファイル

DPLL0とDPLL1にはそれぞれ、変換プロファイルに割り当てられたレジスタ・マップに6個の専用セクションがあります（変換プ

ロファイル0.0～変換プロファイル0.5がDPLL0用、変換プロファイル1.0～変換プロファイル1.5がDPLL1用）。各変換プロファイルは、次のプログラマブルなパラメータから成っています。

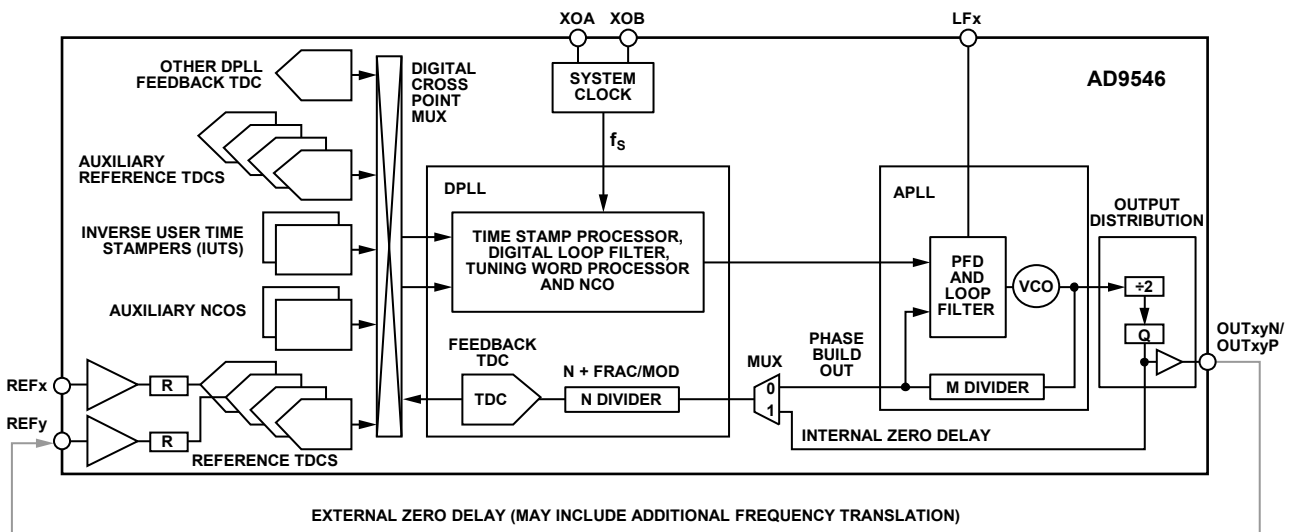
- プロファイル・イネーブル
- プロファイルの優先度
- 変換モードの選択
- 入力リファレンス源の選択
- N分周器の値（インテジャー、フラクショナル、モジュラス）
- DPLLループ・フィルタの帯域幅
- リファレンスと帰還のTDCタグ付けオプション
- DPLL高速アクイジション・オプション

表74に、変換プロファイルのアドレス範囲を示します。

表 74. 変換プロファイルのレジスタ・アドレス範囲

| Translation Profile | Start Address | End Address |
|---------------------|---------------|-------------|
| 0.0                 | 0x1200        | 0x1217      |
| 0.1                 | 0x1220        | 0x1237      |
| 0.2                 | 0x1240        | 0x1257      |
| 0.3                 | 0x1260        | 0x1277      |
| 0.4                 | 0x1280        | 0x1297      |
| 0.5                 | 0x12A0        | 0x12B7      |
| 1.0                 | 0x1600        | 0x1617      |
| 1.1                 | 0x1620        | 0x1637      |
| 1.2                 | 0x1640        | 0x1657      |
| 1.3                 | 0x1660        | 0x1677      |
| 1.4                 | 0x1680        | 0x1697      |
| 1.5                 | 0x16A0        | 0x16B7      |

所定のプロファイルが有効になっている場合、DPLLはそのプロファイルで指定されたパラメータを使用します。つまり、別のプロファイルに切り替わる場合に、DPLLにはその所定プロファイルのメモリはありません。



NOTE  
1. REFx AND REFy CAN EACH BE ANY OF THE REFERENCE INPUTS, BUT NOT THE SAME REFERENCE INPUT.

図 82. 周波数変換ループのブロック図

変換プロファイルは、DPLL の周波数変換のみを制御します。チャンネルの全体的な周波数変換は、以下に依存します。

- N 分周器の値 (変換モードに依存)
- M 分周器の値 (APLL0 と APLL1 の制御を介す)
- R 分周器の値 (REFx と補助 REFx の制御を介す)
- Q 分周器の値 (分配制御を介す)

N、M、R、Q 分周器の値の使用とプログラミングについての詳細は、それぞれ、DPLL 帰還分周器 (N 分周器)、APLL 帰還分周器 (M 分周器)、リファレンス分周器 (R 分周器)、分配分周器 (Q 分周器) の各セクションを参照してください。

## プロファイル・イネーブル

DPLL チャンネルが変換プロファイルを読み出すことができるようになるためには、ユーザがプロファイルをイネーブルすることが必要です。変換プロファイルをイネーブルするには、変換プロファイルの開始アドレス (表 74 を参照) にあるレジスタのビット 0 を、ロジック 1 (デフォルトはロジック 0) にします。イネーブルされた変換プロファイルのみが、DPLL によって選択できます。DPLL が変換プロファイルを選択した場合、選択された変換プロファイルは、アクティブな変換プロファイルになります (アクティブな変換プロファイルの構成要因については、リファレンス・スイッチングのセクションを参照)。AD9546 内の特定の機能ブロックは、変換プロファイルのアクティブ状態および非アクティブ状態を利用します。

## プロファイルの優先度

プロファイルの優先度は、AD9546 のリファレンス・スイッチング機能と連携して機能します (リファレンス・スイッチングのセクションを参照)。ユーザは、表 74 に示す変換プロファイルの開始アドレスにあるレジスタのビット [5:1] を使用して、優先度の値をプログラムできます。DPLL が入力リファレンスを切り替える場合、DPLL はユーザがプログラムした 5 ビットの優先度値に従ってこれを行います。優先度 0 が最高優先度で、優先度 31 が最低優先度となります。

## 入力リファレンス源の選択

AD9546 は、入力クロック信号を DPLL に供給するリファレンス源について、いくつかのオプションを備えています。これらのオプションには、4 つの REFx 入力のいずれか 1 つ、4 つの補助 REFx 入力のいずれか 1 つ、2 つの補助 NCO のうちのどちらか 1 つ、2 つの反転ユーザ・タイム・スタンプのうちのどちらか 1 つ、その他の DPLL チャンネルからの帰還信号を使用する特別設定、などがあります。各変換プロファイルは、異なるリファレンス源を指定できます。

リファレンス源の選択には、変換プロファイルの開始アドレス (表 74 を参照) に 1 (10 進数) のオフセットを加えたアドレスにあるレジスタのビット [4:0] を使用します。ビット [4:0] に関連付けられた 10 進数値によって、リファレンス源が表 75 に示すように割り当てられます。

表 75. リファレンス源の選択

| Bits[4:0] | Source                              |
|-----------|-------------------------------------|
| 0         | REFA                                |
| 1         | REFAA                               |
| 2         | REFB                                |
| 3         | REFBB                               |
| 4         | Feedback from DPLL0 (for PLL1 only) |
| 5         | Feedback from DPLL1 (for PLL0 only) |
| 6         | Auxiliary REF0                      |
| 7         | Auxiliary REF1                      |
| 8         | Auxiliary NCO 0                     |
| 9         | Auxiliary NCO 1                     |
| 10        | Not applicable                      |
| 11        | Auxiliary REF2                      |
| 12        | Auxiliary REF3                      |
| 13        | Inverse User Time Stamper 0         |
| 14        | Inverse User Time Stamper 1         |
| 15 to 31  | Not applicable                      |

## アクティブ・リファレンスの指示

DPLL が変換プロファイルを選択すると、その変換プロファイルはアクティブになり (プロファイル・イネーブルのセクションを参照)、そのプロファイルに関連付けられているユーザ割り当てのリファレンス入力 (入力リファレンス源の選択のセクションを参照) が、その DPLL のタイム・スタンプ源になります。

リファレンスが DPLL のタイム・スタンプ源になると、そのリファレンスはアクティブ・リファレンスになることに注意してください。ユーザは、適切に設定された Mx ステータス・ピンを介して、リファレンスがアクティブ状態であるか非アクティブ状態であるかを読み出すことができます。

まとめると、アクティブ・リファレンス・ステータスが示すのは、DPLL が (ユーザ割り当てのリファレンス源を含む) 変換プロファイルをアクティブ化した結果ということになります。したがって、アクティブ・リファレンス・ステータスを、(変換プロファイルではなく) リファレンス源自体に関連付けられたステータスである有効リファレンス・ステータスと混同しないようにしてください。



## 変換モード

### 概要

変換モードは、DPLL がリファレンス信号を取得する際の応答方法を制御します。一般に、リファレンス・アクイジションの開始時には、DPLL の帰還とリファレンス信号の位相関係は同じではありません。したがって、DPLL がアクイジションを開始した場合、ループが位相不整合を補償しようとする際に、出力に大きな乱れが生じます。リファレンス・アクイジションによって通常生じるこの出力擾乱に対処するため、AD9546 は、位相ビルドアウトとヒットレスの 2 種類の変換モードを備えています。

位相ビルドアウトのアクイジションは、初期の位相不一致による出力の擾乱を実質的に除去します。位相ビルドアウト・アクイジションの間、DPLL は帰還入力とリファレンス入力間の初期位相オフセットを実質的に測定し、その測定した位相オフセットをループの帰還パスに挿入します。測定された位相オフセットは、位相ビルドアウト・オフセットです。位相ビルドアウト・オフセットをループに挿入することで、帰還信号とリファレンス信号の間の初期位相差が実質的に除去されるため、DPLL の出力での擾乱が抑制されます。位相ビルドアウト・オフセットの挿入は、DPLL の出力とリファレンス・クロック信号の間に位相差が生じることを意味します。この位相差が生じることは、位相ビルドアウト・リファレンスのアクイジションでは予想される動作です。

位相ビルドアウト・アクイジションの間、位相スルー・レート制限機能は、ビルドアウト位相遷移時には動作しないことに注意してください（位相スルー・レート・リミッタの詳細については、[デジタル PLL \(DPLL\)](#) セクション内の[位相スルー・レート制限](#)のセクションを参照してください）。

位相ビルドアウト・アクイジションとは異なり、ヒットレス・アクイジションは最終的に、DPLL の出力とリファレンス・クロック信号の位相整合をもたらします。そのため、ヒットレス変換モードはゼロ遅延動作の前提条件です。アクイジションの開始時に、DPLL のリファレンスと帰還信号の間に位相不整合があった場合、DPLL は一時的にその出力周波数を変更し、位相差がゼロになるよう調整します。AD9546 は、リファレンスと帰還信号の間の初期位相関係を評価し、リファレンス・クロック・エッジが最小の相対位相オフセットを示す方向に調整することで、このプロセスを最適化します。

ヒットレス・アクイジションは、位相アライメントを実現するために周波数の変更を余儀なくされるため、ループがリファレンスの位相にロックする間、出力部に大きな位相の擾乱が生じる可能性があります（初期の帰還周波数とリファレンス周波数が等しい場合でも可能性があります）。ユーザは、位相スルー制限機能を使用し、（入力での位相の変化率（ $\delta \theta / \delta t$ ）を原因とする）DPLL の出力周波数の変動に制限を加えることで、この擾乱を抑制できます（[位相スルー・レート制限](#)のセクションを参照）。更に、周波数クランプ機能を使用すれば、（入力周波数オフセットと  $\delta \theta / \delta t$  の両方を原因とする）全体的な出力周波数変動に制限を加えることもできます（[チューニング・ワード・オフセット・クランプ](#)のセクションを参照）。

ヒットレス・アクイジションの間においても、AD9546 は、（デバイスが位相ビルドアウト・アクイジションを実行しているかのように）リファレンスと帰還信号の間の初期位相オフセットをビルドアウトし、出力での擾乱を緩和します。ただし、位相ビルドアウト・アクイジションの場合とは異なり、位相スルー・レート・リミッタはヒットレス・アクイジションの間も動作可能で（位相スルー・レート・リミッタの詳細については、[位相スルー・レート制限](#)のセクションを参照）、必要に応じ、ビルドアウト位相遷移にスルー・レート制限を適用します。

ヒットレス動作モードと位相ビルドアウト動作モードにおいて、PLL がリファレンスの切り替えにどのように応答するかの詳細については、アプリケーション・ノート AN-1420 を参照してください。

### 変換モードの選択

PLL0 と PLL1 は、次の 3 つのモードのいずれかで動作できます。

- 位相ビルドアウト・モード
- 内部ゼロ遅延モード（ヒットレス）
- 外部ゼロ遅延モード（ヒットレス）

ゼロ遅延モードは、位相ビルドアウト動作ではなくヒットレスを構成します。各モードの詳細については、位相ビルドアウト・モード、[内部ゼロ遅延（ヒットレス）モード](#)、[外部ゼロ遅延（ヒットレス）モード](#)の各セクションを参照してください。

動作モードの選択は、変換プロファイル・レジスタを用いて行います。つまり、プロファイルごとに、その特定のプロファイルに対し 3 つの動作モードのいずれか 1 つを選択するオプションがあります。動作モードの選択には、変換プロファイルの開始アドレス（[表 74](#)を参照）に 3（10 進数）のオフセットを加えたアドレスにあるレジスタのビット [1:0] を使用します。ビット [1:0] と動作モードとの対応関係は、[表 76](#)のとおりです。

表 76. 周波数変換モード

| Bits[1:0] (Decimal) | Translation Mode    |
|---------------------|---------------------|
| 0                   | Phase buildout      |
| 1                   | Internal zero delay |
| 2                   | Not applicable      |
| 3                   | External zero delay |

位相ビルドアウト・モード

図 83 に、位相ビルドアウトの構成を示します。位相ビルドアウト・モードでは、AD9546 がある入力リファレンスから別の入力リファレンスに切り替えた場合、実質的に出力には位相の擾乱は発生しません。AD9546 は、リファレンス TDC によって生成されたタイム・スタンプを使用するため、新旧リファレンス間のタイム・スタンプ差が位相差に相当します。したがって、AD9546 は位相オフセットを評価し、スイッチオーバー時に自動的に補償を行います。（詳細については、初期位相スキュー精緻化ステップのセクションを参照）。

位相ビルドアウト・モードの周波数変換ファクタは、次式で表されます。

$$\frac{f_{OUTx}}{f_{REFx}} = \left( \frac{\left( N + \frac{FRAC}{MOD} \right) \times M}{2 \times R \times Q} \right)$$

ここで、  
 N は N 分周器のインテジャータ部。  
 FRAC は N 分周器のフラクショナル部。  
 MOD は N 分周器のフラクショナル・モジュラス。  
 M は APLL 帰還分周器の分周比。  
 R は入力リファレンス分周器の分周比。  
 Q は、分配分周器の分周比。

ただし、NCO、VCO、TDC、APLL PFD の入力にはそれぞれ固有の周波数制限があります。次に示す 3 つの式は、NCO の出力周波数 (f<sub>NCO</sub>)、f<sub>VCO</sub>、f<sub>TDC</sub>、f<sub>PF</sub> の、f<sub>REFx</sub>、f<sub>OUTx</sub>、分周比に対する関係を表すものです。それぞれの式には、入力周波数 (f<sub>REFx</sub>) に関する解と、出力周波数 (f<sub>OUTx</sub>) の関する解の、2 つの解がある点に注意してください。また、f<sub>NCO</sub>、f<sub>VCO</sub>、f<sub>TDC</sub>、f<sub>PF</sub> が指定周波数範囲内にあることを確認してください。

$$f_{TDC} = f_{REFx} / R = (2 \times Q / (M \times (N + FRAC/MOD))) \times f_{OUTx} \tag{5}$$

ここで、  
 f<sub>REFx</sub> は、特定のリファレンス入力 (REFA、REFAA、REFB、または REFBB など) のリファレンス周波数。  
 f<sub>OUTx</sub> は、特定の分配出力 (OUT0C または OUT1A など) の出力周波数。

$$f_{NCO} = f_{PF} = (2 \times Q / M) \times f_{OUTx} = (N + FRAC/MOD) / R \times f_{REFx} \tag{6}$$

$$f_{VCO} = 2 \times Q \times f_{OUTx} = (N + FRAC/MOD) \times M / R \times f_{REFx} \tag{7}$$

リファレンス源が補助 NCO 0、補助 NCO 1 または、他の DPLL からの帰還信号である場合、式 5~式 7 では R = 1 とします。

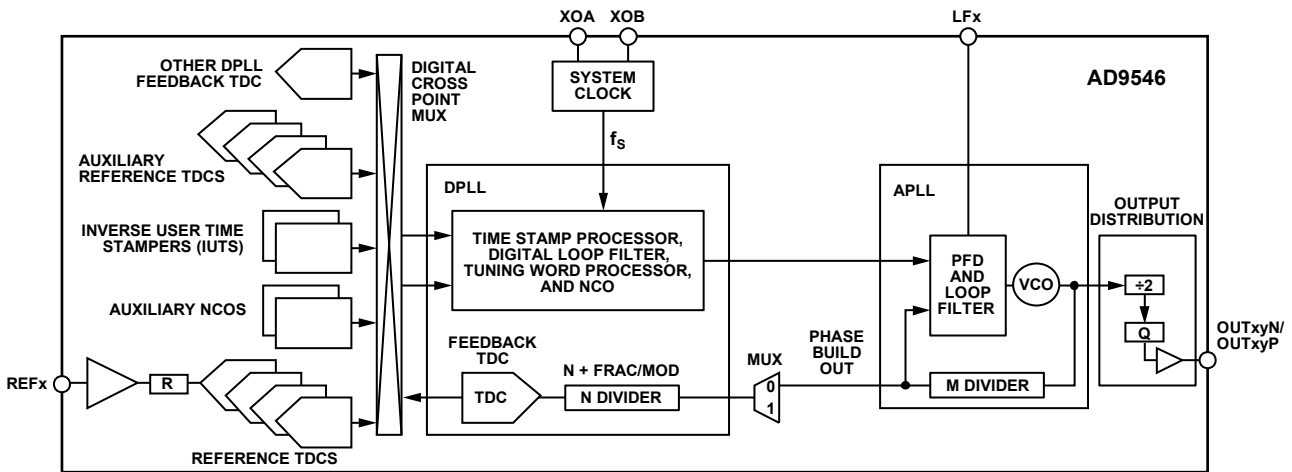


図 83. 位相ビルドアウト PLL の構成

2326E-083

内部ゼロ遅延（ヒットレス）モード

図 84 に内部ゼロ遅延の構成を示します。内部ゼロ遅延モードは、（位相ビルドアウト動作モードではなく）ヒットレス・モードで、AD9546 は、DPLLx が新しいリファレンスに再度位相整合する際、その出力位相を徐々に変化させます。AD9546 の位相スルー制限とチューニング・ワード・クランプ機能を使用することで、出力擾乱の大きさを制御できます（それぞれ、位相スルー・レート制限のセクションとチューニング・ワード・オフセット・クランプのセクションを参照）。

内部ゼロ遅延モードでは、PLL の帰還パスは、出力分配セクションにあるユーザが選択した Q 分周器の出力が起点となります。帰還 Q 分周器の選択は、変換プロファイル・レジスタを用いて行います。帰還 Q 分周器の選択には、変換プロファイルの開始アドレス（表 74 を参照）に 2（10 進数）のオフセットを加えたアドレスにあるレジスタのビット [4:0]（符号なし整数）を使用します。

ビット [4:0] の 10 進数値によって、表 77 の「内部ゼロ遅延」の列に従い Q 分周器が選択されます。内部ゼロ遅延構成では、DPLL N 分周器がインテジャーのみに設定（つまりフラクショナル成分がない。これがゼロ遅延動作の条件。）されており、リファレンス TDC とユーザ選択 Q 分周器の出力の間には位相オフセットがありません。

内部ゼロ遅延モードの周波数変換ファクタは、次式で表されます。

$$\frac{f_{OUTx}}{f_{REFx}} = \frac{N}{R}$$

真のヒットレス動作を実現するため、内部ゼロ遅延モードでは、 $f_{REFx}$  と  $f_{OUTx}$  の関係に一定の制約が必要です。つまり、 $f_{OUTx}/f_{REFx}$  は、1 以上の整数である必要があります。

NCO、VCO、TDC、APLL PFD の入力にはそれぞれ固有の周波数制限があります。次に示す 3 つの式は、 $f_{NCO}$ 、 $f_{VCO}$ 、 $f_{TDC}$ 、 $f_{PFD}$  の、 $f_{REFx}$ 、 $f_{OUTx}$ 、分周比に対する関係を表すものです。それぞれの式には、入力周波数（ $f_{REFx}$ ）に関する解と、出力周波数

（ $f_{OUTx}$ ）の関する解の、2 つの解がある点に注意してください。また、 $f_{NCO}$ 、 $f_{VCO}$ 、 $f_{TDC}$ 、 $f_{PFD}$  が指定周波数制限内にあることを確認してください。

$$f_{TDC} = f_{REFx} / R = f_{OUTx} / N \tag{8}$$

$$f_{NCO} = f_{PFD} = (2 \times Q / M) \times f_{OUTx} = ((2 \times Q \times N) / (R \times M)) \times f_{REFx} \tag{9}$$

$$f_{VCO} = 2 \times Q \times f_{OUTx} = (2 \times Q \times N / R) \times f_{REFx} \tag{10}$$

リファレンス源が補助 NCO 0、補助 NCO 1、IUTS 0、IUTS 1、または、他の DPLL からの帰還信号である場合、式 8～式 10 では  $R=1$  とします。

表 77. ゼロ遅延帰還パスの選択

| Bits[4:0]<br>(Decimal) | DPLL           | Internal Zero Delay | External Zero Delay |
|------------------------|----------------|---------------------|---------------------|
| 0                      | 0              | OUT0AP              | REFA                |
| 0                      | 1              | OUT1AP              | REFA                |
| 1                      | 0              | OUT0AN              | REFAA               |
| 1                      | 1              | OUT1AN              | REFAA               |
| 2                      | 0              | OUT0BP              | REFB                |
| 2                      | 1              | OUT1BP              | REFB                |
| 3                      | 0              | OUT0BN              | REFBB               |
| 3                      | 1              | OUT1BN              | REFBB               |
| 4                      | 0              | OUT0CP              | Auxiliary REF0      |
| 4                      | 1              | Not applicable      | Auxiliary REF0      |
| 5                      | 0              | OUT0CN              | Auxiliary REF1      |
| 5                      | 1              | Not applicable      | Auxiliary REF1      |
| 6                      | 0              | Not applicable      | Auxiliary REF2      |
| 6                      | 1              | Not applicable      | Auxiliary REF2      |
| 7                      | 0              | Not applicable      | Auxiliary REF3      |
| 7                      | 1              | Not applicable      | Auxiliary REF3      |
| 8 to 31                | Not applicable | Not applicable      | Not applicable      |

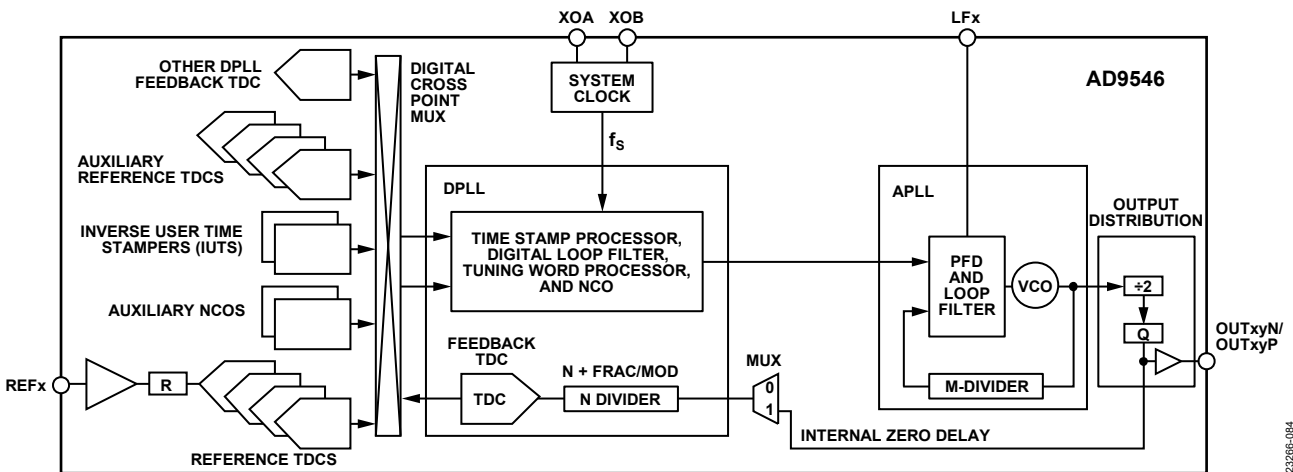


図 84. 内部ゼロ遅延 PLL の構成

22265-094

DPLL には、DPLL がヒットレス動作を開始または終了したことを示す、2つのステータス・ビットがあります。DPLL がヒットレス動作を開始すると、レジスタ 0x3011 (DPLL0 の場合) またはレジスタ 0x3016 (DPLL1 の場合) のビット 4 がロジック 1 にラッチされます。同様に、DPLL がヒットレス動作を終了すると、レジスタ 0x3011 (DPLL0 の場合) またはレジスタ 0x3016 (DPLL1 の場合) のビット 3 がロジック 1 にラッチされます。これらはラッチされたステータス・ビットであるため、DPLL の後続の状態がヒットレス動作に遷移したことやヒットレス状態を終了したことを知るためには、IRQ マップの対応するビット (レジスタ 0x200C の (DPLL0 の場合) およびレジスタ 0x2011 (DPLL1 の場合) のビット 4 (ヒットレス状態) とビット 3 (非ヒットレス状態)) をクリアする必要があります。

**外部ゼロ遅延 (ヒットレス) モード**

図 85 に外部ゼロ遅延構成を示します。外部ゼロ遅延モードは、内部ゼロ遅延モードと同様、ヒットレス動作モードです (内部ゼロ遅延 (ヒットレス) モードを参照)。そのため、ヒットレス状態の開始と終了に関連する同じステータス・ビットが同様に適用されます。

外部ゼロ遅延モードでは、PLL の帰還パスは、該当の OUTxy 出力から REFx 入力または補助 REFx 入力への外部接続を使用します。ユーザは、内部ゼロ遅延構成での帰還 Q 分周器を選択する際に用いたものと同じ 5 ビット整数を使用して、目的の入力パスを選択できますが、10 進数の値は表 77 の「外部ゼロ遅延」の列に適用されます。通常、この帰還パスは単なる直接接続ですが、外部パスには、追加の周波数変換コンポーネントが含まれる場合もあります。図 85 では、通常のリファレンス入力と帰還リファレンス入力を区別するため、前者を REFx、後者を REFy と記載しています。図 85 には REFx と REFy が示されていますが、補助 REFx と補助 REFy も同様に該当します。

外部ゼロ遅延モードでの REFx (補助 REFx) から OUTxyP/OUTxyN への周波数変換ファクタは、次式のとおりです。

$$\frac{f_{OUTx}}{f_{REFx}} = \frac{Ry}{Rx \times Z}$$

ここで、

Ry は、REFy に関連付けられる R 分周器の分周比。REFy は任意のリファレンス入力 (REFx 入力を除く)。

Rx は、REFx に関連付けられる R 分周器の分周比。REFx は任意のリファレンス入力 (REFy 入力を除く)。

Z は、次式で表される外部周波数変換ファクタ。

$$Z = \frac{f_{REFy}}{f_{OUTx}}$$

真のヒットレス動作を実現するため、外部ゼロ遅延モードでは、 $f_{REFx}$  と  $f_{REFy}$  の関係に一定の制約が必要です。つまり、 $f_{REFy}/f_{REFx}$  は、1 以上の整数である必要があります。

NCO、VCO、TDC、APLL PFD の入力にはそれぞれ固有の周波数制限があります。次に示す 3 つの式は、 $f_{NCO}$ 、 $f_{VCO}$ 、 $f_{TDC}$ 、 $f_{PFD}$  の、Z、 $f_{REFx}$ 、 $f_{OUTx}$ 、分周比に対する関係を表すものです。それぞれの式には、入力周波数 ( $f_{REFx}$ ) に関する解と、出力周波数 ( $f_{OUTx}$ ) に関する解の、2 つの解がある点に注意してください。また、 $f_{NCO}$ 、 $f_{VCO}$ 、 $f_{TDC}$ 、 $f_{PFD}$  が指定周波数制限内にあることを確認してください。

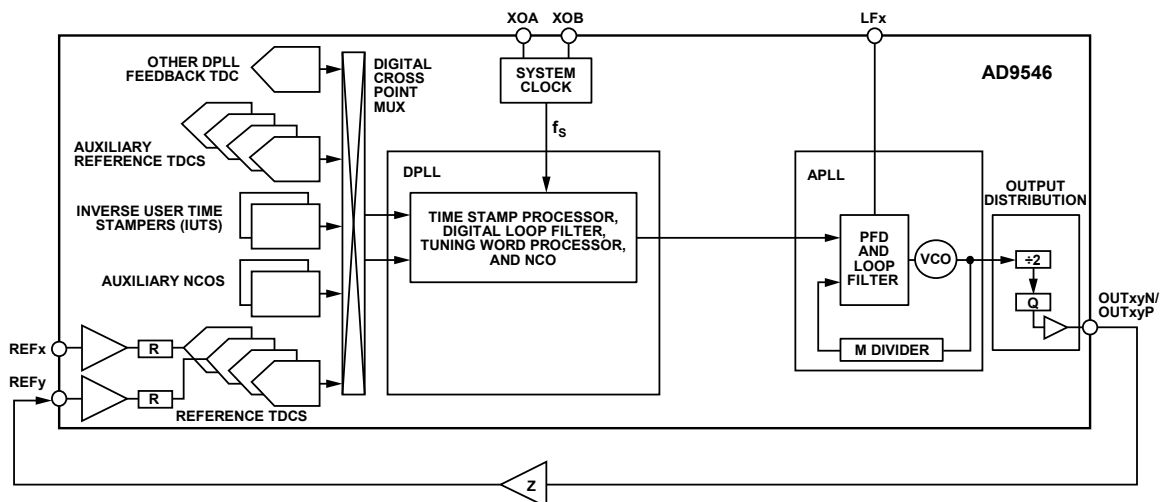
$$f_{TDC} = f_{REFx} / Rx = (Z/Ry) \times f_{OUTx} \tag{11}$$

$$f_{NCO} = f_{PFD} = (2 \times Q \times Ry) / (Rx \times M \times Z) \times f_{REFx} = (2 \times Q/M) \times f_{OUTx} \tag{12}$$

$$f_{VCO} = (2 \times Q \times Ry) / (Rx \times Z) \times f_{REFx} = 2 \times Q \times f_{OUTx} \tag{13}$$

リファレンス源が補助 NCO 0、補助 NCO 1 または、他の DPLL からの帰還信号である場合、式 11~式 13 では  $Rx=1$  とします。

帰還分周器 (N 分周器) は図 85 には記載されていませんが、外部ゼロ遅延動作のためには、N 分周器に特別な処理が必要です。詳細については、DPLL 帰還分周器 (N 分周器) のセクションを参照してください。



NOTE  
1. REFx AND REFy CAN EACH BE ANY OF THE REFERENCE INPUTS, BUT NOT THE SAME REFERENCE INPUT.

図 85. 外部ゼロ遅延 PLL の構成

## ソース・プロファイル

### ソース・プロファイルの概要

ソース・プロファイルは、入力源がアクティブな変換プロファイルを介して DPLL チャンネルによって選択された場合に、どのように DPLL と相互作用するかを定義するための手段です。ユーザは、表 78 に示す開始アドレスと終了アドレスの各ソース・プロファイルのレジスタ・マップを使用して、14 のソース・プロファイルを使用できます（1つのソースにつき1つのプロファイル）。各ソース・プロファイルでは、次のパラメータのユーザ制御が可能です。

- DPLL フェーズ・ロック検出器
- DPLL 周波数ロック検出器
- 位相ステップ・リミット
- スキュー調整
- 初期位相スキュー精緻化ステップ

表 78. ソース名とソース・プロファイルのアドレス範囲の対応

| Source Name     | Start Address | End Address |
|-----------------|---------------|-------------|
| REFA            | 0x0800        | 0x0811      |
| REFAA           | 0x0820        | 0x0831      |
| REFB            | 0x0840        | 0x0851      |
| REFBB           | 0x0860        | 0x0871      |
| Auxiliary NCO 0 | 0x0880        | 0x0891      |
| Auxiliary NCO 1 | 0x08A0        | 0x08B1      |
| DPLL0           | 0x08C0        | 0x08D1      |
| DPLL1           | 0x08E0        | 0x08F1      |
| IUTS 0          | 0x0900        | 0x0911      |
| IUTS 1          | 0x0920        | 0x0931      |
| Auxiliary REF0  | 0x0940        | 0x0951      |
| Auxiliary REF1  | 0x0960        | 0x0971      |
| Auxiliary REF2  | 0x0980        | 0x0991      |
| Auxiliary REF3  | 0x09A0        | 0x09B1      |

ソース・プロファイルは、変換プロファイル・レジスタの開始アドレス（表 74 を参照）に 1（10 進数）のオフセットを加えたアドレスにあるレジスタのビット [4:0] を介して、DPLL 変換プロファイル（変換プロファイルのセクションを参照）にリンクしています。選択されたソース（関連する変換プロファイルのビット [4:0] を使用）は、表 78 のソース名となります。

### DPLL 位相／周波数ロック検出器

DPLL の位相検出器と周波数検出器の詳細については、DPLL ロック検出器のセクションを参照してください。

### 位相ステップ・リミット

AD9546 は複数のリファレンス入力を切り替えることができますが、アプリケーションによっては、1つの入力だけを使い、リファレンス切り替えは外部で行うものがあります（図 86 参照）。この構成では、AD9546 の制御の下でリファレンス・スイッチオーバーが行われなため、リファレンス・スイッチオーバーに伴う出力の擾乱を緩和できる AD9546 の機能が生かされません。しかし、AD9546 は、いつ外部リファレンス・スイッチオーバーが行われたかを検出する位相トランジェント閾値検出機能を備えており、それに応じた対応を取ることができます。

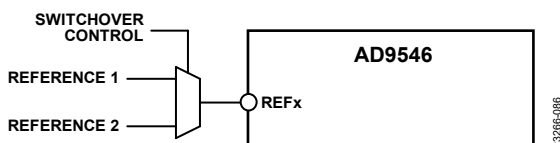


図 86. 外部リファレンス・スイッチング

位相トランジェント閾値検出は、DPLL 位相検出器の出力をモニタして位相トランジェントを検出することによって機能しますが、これは、ある程度のジッタ耐性を備えた形で行われます。そうしないと、位相トランジェント閾値検出器が誤検出をしやすくなります。

位相トランジェント検出器を制御するには、表 78 の開始アドレスに 10~13（10 進数）のオフセットを加えたアドレスにある、該当のソース・プロファイルのビット [31:0]（符号なし）を使用します。ビット [31:0] は位相ステップ閾値となります。位相ステップ閾値がゼロ（デフォルト）の場合、位相トランジェント閾値検出器はディスエーブルされますが、ゼロ以外の場合は、位相トランジェント閾値検出器をアクティブ化すると共に、目的の閾値（ $\Phi_{THRESH}$ ）をピコ秒の単位で定義できます（次式）。

$$\Phi_{THRESH} = \text{位相ステップ閾値} \times 10^{-12} \quad (14)$$

位相トランジェント閾値検出器は、DPLL が周波数ロック状態を示していない限り作動しません。

位相ステップ閾値の値を定めるには、12 ナノ秒の制限が必要です（つまり、 $\Phi_{THRESH} = 12 \times 10^{-9}$ ）。位相ステップ閾値について式 14 を解くと、

$$\begin{aligned} \text{位相ステップ閾値} &= \Phi_{THRESH} / 10^{-12} \\ &= (12 \times 10^{-9}) / 10^{-12} \\ &= 12,000 \\ &= 0x\ 0000\ 2EE0 \quad (16 \text{ 進数}) \end{aligned}$$

ジッタにより閾値を超えてしまう可能性を減らすために、 $\Phi_{THRESH}$  には、入力リファレンス信号に対して予想される RMS ジッタ（ $\sigma_{JITTER}$ ）の少なくとも 2 倍の値を選択します。

$$\Phi_{THRESH} \geq 2 \times \sigma_{JITTER} \quad (15)$$

したがって、位相ステップ閾値が 12,000 となる前出の例では、入力信号に 12 ナノ秒の RMS ジッタがある場合、式 15 の不等式を満たさないため、誤検出となる可能性があります。誤検出の可能性を減らすためには、式 15 の不等式によれば、位相ステップ閾値を 24,000 とした方が良いことがわかります。しかし、値を 24,000 にしても、ジッタ・サンプルが  $2 \times \sigma_{JITTER}$  を超えてしまう可能性がわずかにあります。したがって、 $\sigma_{JITTER}$  の 4~6 倍とするのが更に良い選択です。

事前指定した値を超える位相トランジェントが発生した場合、レジスタ 0x2105（PLL0 の場合）およびレジスタ 0x2205（PLL1 の場合）のビット 7 の状態に応じて、次の 2 つのイベントの少なくとも 1 つが発生します。

- DPLL が新しいアキュイジション・シーケンスを開始する
- リファレンス・モニタがリセットされる

ビット7がロジック0（デフォルト）の場合、位相ステップが検出されると、最初のイベントのみが発生します。新しい DPLL アクイジション・シーケンスを開始することによって、DPLL は（高速アクイジションがアクティブになっている場合）高速アクイジション機能（DPLL 高速アクイジション・オプションのセクションを参照）の利点を生かすことができますが、これは、非常に低ループ帯域幅のアプリケーションに有用です。更に、新しいアクイジションは、位相をビルドアウトするか、ヒットレス方式で新しい位相にスルーイングすることによって、位相ステップの影響に対処します。

制御ビット7がロジック1の場合、位相ステップが検出されると両方のイベントが発生します。この場合に位相ステップ閾値を超えるとすることは、新しいリファレンスへの外部的な切り替えを意味するので、リファレンス・モニタをリセットすると、新しいリファレンスの統計が強制的に設定されます（リファレンス・モニタのセクションを参照）。

位相トランジェント閾値検出器には、レジスタ 0x3011（PLL0 の場合）およびレジスタ 0x3016（PLL1 の場合）のビット0による、位相ステップ検出の発生を示すステータス・インジケータがあります。これらのステータス・インジケータはラッチされた IRQ ビットであるため、位相ステップ検出器が後続の閾値超えを検出したことを知るためには、レジスタ 0x200C（PLL0 の場合）およびレジスタ 0x2011（PLL1 の場合）のビット0を使用して、これらのビットをクリアする必要があります（**割込み要求（IRQ）**のセクションを参照）。

### 位相ステップ・リミットの誤検出削減

位相トランジェント閾値検出器は、イネーブルすると、関連するリファレンスが DPLL（DPLL0 または DPLL1）に対してアクティブになっている間、継続的に動作しますが、これは DPLL が周波数ロックされていることが前提となります。したがって、DPLL 位相オフセット制御のセクションおよびスキュー調整のセクションで説明するユーザによる位相調整を含め、位相検出器の入力での位相の擾乱は、位相トランジェント閾値検出器の閾値超えになりがちです。意図的な位相調整による位相トランジェント閾値検出器の誤作動を減らすために（検出器がイネーブルされている場合）、位相スルー・レート・リミッタを使用できます（**位相スルー・レート制限**のセクションを参照）。

次の式は、ユーザによる位相擾乱を原因とする位相トランジェント閾値検出器の不適切なトリガを防止するために必要な位相スルー・レート・リミッタに割り当てられる、最大位相スルー・レート（MPSR）を表します。

$$MPSR \leq (P \times f) / 17 \quad (16)$$

ここで、

$P$  は位相トランジェント閾値検出器の制限値（ピコ秒）。

$f$  は DPLL 位相検出器の入力における周波数（Hz）。

式 16 の不等式では、位相誤差に関係するその他の要素（ジッタ、周波数オフセット、伝搬遅延変動など）は無視しています。式 16 の MPSR は、上限を設定するものであるため、MPSR よりも低い値を使用して余裕を持たせることを推奨します（25%減が妥当です）。

外付けマルチプレクサを介したリファレンス入力クロック源の切り替えといった外部イベントのタイミングが事前にわかっている場合は、位相トランジェント・ステップ検出器を使用するのではなく、関連するリファレンスを手動で無効にすることが、より適したソリューションです（**リファレンス・モニタ**のセクション中の**無効化**のセクションを参照）。リファレンスの無効化を手動で行うことで、デバイスの定常動作に与える影響を最小限に抑えることができます。定常動作に対する唯一の影響は、関連するリファレンスの有効化タイマーを、強制フォールト状

態のアサートから外部イベント発生までの時間より長く（適切なマージンを取り）設定する必要があります。

### スキュー調整

スキュー調整を行えば、リファレンス入力に固定位相オフセットを関連付けることができます。これは、例えば冗長 GNSS または GPS リファレンス源を持つアプリケーションに有効です。つまり、周波数は同じであるもののアンテナ・ケーブル長の違いによる一定の時間オフセットがあるような、2つ以上の GNSS / GPS リファレンス源を使用することもできます。

スキュー調整機能検出器をアクティブ化するには、表 78 の開始アドレスに 14~16（10 進数）のオフセットを加えたアドレスにある、該当のソース・プロファイルのビット [23:0]（符号なし）を使用します。ビット [23:0] は、位相スキュー値となります。位相スキュー値がゼロ（デフォルト）の場合、位相スキュー調整はディスエーブルされます。これに対し、ゼロ以外の値にした場合、位相スキュー調整機能がアクティブ化され、必要な位相スキューがピコ秒単位で定義されます。位相スキュー値に関連付けられる時間スキューは、次式によって与えられます。

$$\text{時間スキュー} = \text{位相スキュー} \times 10^{-12} \quad (17)$$

例えば、-35 ナノ秒の時間スキューに必要な位相スキュー・ビットの値を求めてみます。式 17 を位相スキューについて解くと、次式のようになります。

$$\begin{aligned} \text{位相スキュー} &= \text{時間スキュー} / 10^{-12} \\ &= (-35 \times 10^{-9}) / 10^{-12} \\ &= -35,000 \\ &= 0x \text{FF } 7748 \quad (16 \text{ 進数}) \end{aligned}$$

### 初期位相スキュー精緻化ステップ

AD9546 がリファレンス・スイッチオーバーを実行する場合は常に、新旧リファレンス間の時間オフセットの初期評価を行います。デバイスは、新しいリファレンスの位相を用いて位相オフセットを求めるのではなく、帰還 TDC のタイム・スタンプと新しいリファレンスの TDC のタイム・スタンプの比較を行います（[図 87](#) を参照）。この比較によって、デバイスは逆のタイム・オフセットを DPLL のサーボ・ループに挿入でき、位相ビルドアウト動作が可能になります（**周波数変換ループ**のセクションを参照）。

位相ビルドアウト変換ループでは、初期位相オフセットの挿入は、位相ビルドアウトを必要とするリファレンス・スイッチオーバーの必須要素です。しかし、AD9546 はヒットレス変換プロファイルもサポートしており、この場合は位相ビルドアウトは不要となります。AD9546 には、初期位相オフセット挿入の機能が、ヒットレス・スイッチオーバーに対しても初期位相オフセットをビルドアウトできます。ヒットレス・スイッチオーバーの開始時に位相ビルドアウトを適用することで、AD9546 はヒットレス・スイッチオーバー・アクイジションを完了するのに必要な時間を大幅に短縮できます。

DPLL の帰還パスにはループ・フィルタがあるため、帰還信号には、ジッタが少なく、本質的に変動を受けにくいという特長があります（通常、ループ・フィルタは狭帯域幅であるため）。したがって、AD9546 が新しいリファレンスに切り替わる場合、以前のリファレンスの位相と周波数が、DPLL の帰還パスに残留しがちです。帰還パスにこのような永続性があるため、DPLL にある程度の時間が与えられて、新しいリファレンス信号と以前のリファレンス信号を比較することができます。

図 87 に示すように、リファレンスはジッタを示す可能性があります。ジッタがあるということは、帰還信号とリファレンス信号の間の時間オフセットの測定値が不確かであることを意味します。次いで、この不確かさは、DPLL の正しい位相ビルドアウト値の決定に誤差がある可能性につながります。

ジッタによって位相ビルドアウト値の評価に生じる誤差を低減するため、AD9546 には位相スキュー精緻化機能が備わっています。位相スキュー精緻化機能をアクティブ化するには、表 78 の開始アドレスに 17（10 進数）のオフセットを加えたアドレスにある、該当のソース・プロファイルのビット [7:0]（符号なし）を使用します。ビット [7:0] は、位相スキュー精緻化ステップ値となります。

位相スキュー精緻化ステップ値をゼロ（デフォルト）に設定すると、位相スキュー精緻化機能がディスエーブルされます。位相スキュー精緻化機能をディスエーブルすると、位相ビルドアウト値はサンプリングされた 1 つのエッジでのリファレンスと帰還との時間オフセットに対するフィルタリングされていないスナップショットとなり、このスナップショットには、リファレンス信号に存在するすべてのジッタの影響が含まれています。

位相スキュー精緻化ステップ値をゼロ以外の値（K）にすると、位相スキュー精緻化処理の一部として AD9546 が分析をする位相サンプルの数が設定されます。つまり、位相スキュー精緻化機能では、最初の位相サンプル（ジッタが含まれる）を位相ビルドアウト値とするのではなく、最初の K 個の位相サンプルを処理してリファレンス・ジッタを評価し、位相ビルドアウト値を決定します。したがって、位相スキュー精緻化機能によって、リファレンス・スイッチオーバー後の位相ビルドアウト値を決定するのに必要な時間が長くなりますが、時間が延長されることで位相ビルドアウト値の精度が高まります。

位相スキュー精緻化処理は、帰還クロックとリファレンス・クロックが同じ周波数または極めて近い周波数であることを前提として行われます。周波数が異なる場合、その周波数差が線形位相スキューとして表れ、すぐに大きな位相影響因子となり、リファレンス信号に存在する可能性のあるジッタをマスクします。そのため、周波数が異なるリファレンス間のリファレンス・スイッチオーバーは、位相スキュー精緻化機能の性能を低下させる結果につながります。

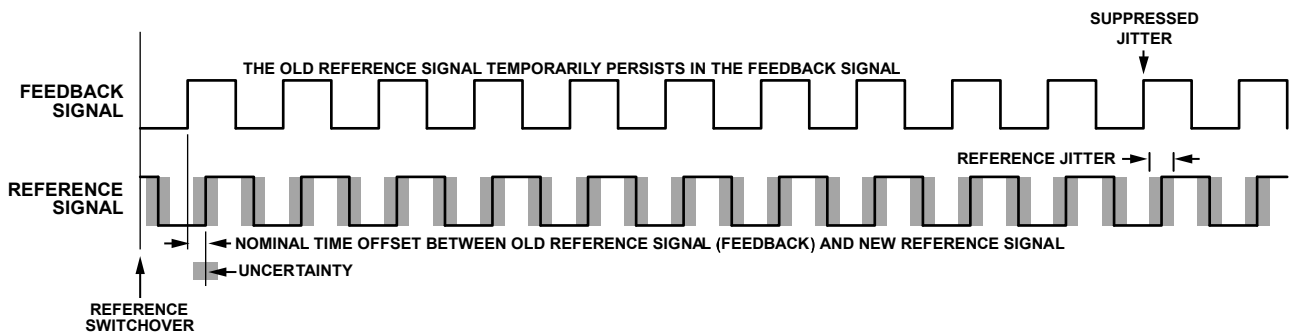


図 87. DPLL のリファレンス信号と帰還信号

23286-087

## デジタル PLL (DPLL)

### DPLL の概要

DPLL は、PLL を完全にデジタル化したものです。図 88 に、APLL と DPLL の基本的な構成要素を示します。APLL は通常、出力信号を生成するための周波数要素としての VCO に依存しており、出力周波数は入力 DC 電圧に依存しています。これに対し DPLL は、NCO を使用しており、出力周波数の生成はデジタル周波数チューニング・ワード (FTW) に依存しています。VCO はその名の示すとおり発振器なので、本質的にタイミング信号を生成しますが、AD9546 の NCO には外部タイミング供給源としてのシステム・クロックが必要です。APLL と DPLL の基本的な違いは、APLL に使われる VCO がその動作帯域幅内の任意の周波数への調整が可能であるのに対し、DPLL に使われる NCO は (FTW により) 特定の周波数にしか調整できない点にあります。

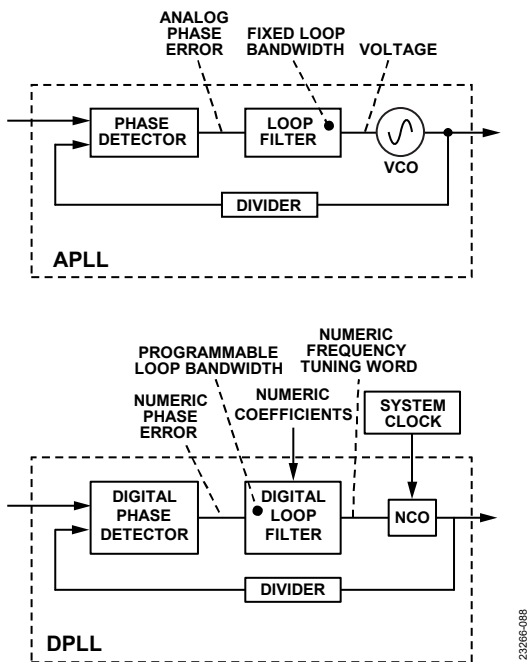


図 88. APLL と DPLL

AD9546 の DPLL は、位相検出器 (実際のクロック信号で動作するのではなくリファレンス入力時と帰還入力時の数値タイム・スタンプで動作) と、帯域幅がプログラマブルなデジタル・ループ・フィルタを備えています。デジタル・ループ・フィルタ出力は、対応する NCO 出力周波数を生成するデジタル FTW (アナログ PLL における DC 電圧に相当) を形成します。

### DPLL ループ・コントローラ

DPLL には、フリーラン、ホールドオーバー、アクティブなどいくつかの動作モードがあります。これらモード間のシームレスな遷移を実現するために、DPLL はループ・コントローラを備えています。ループ・コントローラは、自動リファレンス・スイッチングまたは手動制御設定の主要要求事項に基づいて、適切な DPLL 動作モードを設定します。

### スイッチオーバー

スイッチオーバーは、ループ・コントローラが 1 つの入力リファレンスから別のリファレンスに直接切り替わる場合に発生します (リファレンス・スイッチングのセクションを参照)。リファレンス・スイッチオーバーを処理するために、AD9546 は、わずかな時間だけホールドオーバー・モードに入り、新しいリファレンスに関連するソース・プロファイルから DPLL のパラメータをロードし、その後すぐに復帰します。

### ホールドオーバーまたはフリーラン

通常、ホールドオーバー状態またはフリーラン状態が有効になるのは、すべての入力リファレンスが無効となっている場合です。ただし、1 つまたは複数のリファレンスが有効となっている場合でも、レジスタ 0x2105 (DPLL0 の場合) またはレジスタ 0x2205 (DPLL1 の場合) のビット 1 をロジック 1 にプログラムすることで、強制的にホールドオーバー・モードにすることができます。ホールドオーバー・モードでは、出力周波数が (システム・クロックが安定する程度に) 固定されます。AD9546 の精度は、デバイスのプログラミングと、チューニング・ワード履歴を使用できるかどうか依存しています。フリーラン・モードにするには、フリーラン・チューニング・ワードのセクションを参照してください。

DPLL がホールドオーバー・モードまたはフリーラン・モードの場合、アクティブな変換プロファイルは使用できません (周波数変換ループのセクションを参照)。ただし、DPLL は、レジスタ 0x102A (DPLL0 の場合) またはレジスタ 0x142A (DPLL1 の場合) のビット [2:0] により、引き続き変換プロファイルに付属しています。ビット [2:0] は、変換プロファイルを x の値で定義します。ここで、x は 0~5 で、ホールドオーバー・モードまたはフリーラン・モードの DPLL に関連付けられるものです。

DPLL はビット [2:0] で指定されるプロファイルに付属するため、ビット [2:0] はユーザが既に設定したいいずれかの変換プロファイルにプログラムすることを推奨します。例えば、変換プロファイル 0、変換プロファイル 2、変換プロファイル 5 を DPLL0 が使用するよう設定する場合、ビット [2:0] に 10 進数値の 0、2、または 5 をプログラムします。

### ホールドオーバーからの復帰

ホールドオーバー・モード時に、イネーブルされた変換プロファイルが使用できるようになると、デバイスはホールドオーバー動作を終了します。ループ・コントローラは、DPLL をクロードループ動作に戻し、選択されたリファレンスへのロックを開始すると共に、アクティブ・リファレンス用のプロファイル設定に基づきすべてループ・パラメータを順次回復させます。レジスタ 0x2105 (DPLL0 の場合) またはレジスタ 0x2205 (DPLL1 の場合) のビット 1 が 1 の場合、有効な変換プロファイルが使用できるようになっても、デバイスは自動的にホールドオーバーを終了しません。ただし、ビット 1 をクリアした後は、有効変換プロファイルの自動回復が可能です。



## DPLL 帰還分周器 (N 分周器)

DPLL の帰還 N 分周器は、ユーザ設定可能なインテジャー部とフラクショナル部で構成されています。ただし、フラクショナル部は、ビルドアウト・モードでのみ使用できます (周波数変換ループのセクションを参照)。

AD9546 は、N 分周器をプログラミングによって直接制御するのではなく、変換プロファイルを使用します (変換プロファイルのセクションを参照)。各変換プロファイルでは、次の 4 つの制御要素が N 分周器に関連付けられています。

- ビルドアウト N 分周器のインテジャー部 (N ビルドアウト)
- ヒットレス分周器のインテジャー部 (N ヒットレス)
- ビルドアウトのフラクショナル乗数 (FRAC)
- ビルドアウトのフラクショナル・モジュラス (MOD)

N ビルドアウトと N ヒットレスは、32 ビットの符号なし整数 (ビット [31:30] はゼロでなくてはならないため、ビット [29:0] のみが意味を持ちます) で、FRAC と MOD は 24 ビットの符号なし整数です。

12 の変換プロファイルに対応して、4 つの制御エレメントには 12 とおりの組み合わせがあります。周波数変換ループのセクションの表 74 には、12 の変換プロファイルに関連付けられたアドレス範囲が示されています。周波数変換ループのセクションで説明したように、N 分周器のプログラミングにはいくつかの制約条件がある点に注意してください。

### 位相ビルドアウト・モードの N 分周器

位相ビルドアウト・モードでは、N 分周器の分周比は、次のようにインテジャー部とフラクショナル部からなっています。

$$N \text{ 分周器の分周比} = (N \text{ ビルドアウト} + 1) + \text{FRAC}/\text{MOD}$$

N ビルドアウトの値をプログラムするには、表 74 の開始アドレスに 12~15 (10 進数) のオフセットを加えたアドレスにある、該当の変換プロファイルのビット [31:0] (符号なし) を使用します。プログラムされた N ビルドアウトの値は、分周比の目的のインテジャー部の値より 1 だけ小さい値となっています。つまり、N ビルドアウトの値が 0 の場合は、インテジャーの分周比は 1 です。そのため、N ビルドアウトは、 $1 \sim 2^{30}$  (1,073,741,824) の範囲の分周比となります。

例えば、N 分周器の分周比が 1,000,000 の場合、N ビルドアウト = 999,999 (0x 000F 423F (16 進数)) となります。

その時点でアクティブになっている変換プロファイルの N ビルドアウトまたは MOD の値を変更すると、関連する DPLL がそのリファレンス入力信号を再取得する点に注意してください。ただし、DPLL は、FRAC 値のその時点の変化は、再取得を行わずに処理できます。

目的の N 分周器の分周比に小数部が必要な場合は、FRAC と MOD の制御要素が必要です。FRAC の値をプログラムするには、表 74 の開始アドレスに 16~18 (10 進数) のオフセットを加えたアドレスにある、該当の変換プロファイルのビット [23:0] (符号なし) を使用します。MOD の値をプログラムするには、表 74 の開始アドレスに 19~21 (10 進数) のオフセットを加えたアドレスにある、該当の変換プロファイルのビット [23:0] (符号なし) を使用します。

FRAC = 0 の特別な場合は、デバイスを正常に動作させるため、MOD も 0 にプログラムする必要があります。更に、FRAC の値は、MOD の値より小さいことが必要です。

N 分周器がインテジャーのみであることが必要な位相ビルドアウト・アプリケーションでは、MOD = 0 とプログラムします。

例えば、N 分周器の分周比に必要なフラクショナル部が 0.387429 であるとしてみます。すると、対応する分数は、FRAC/MOD = 387,429/1,000,000 となります。一般に、分数 FRAC/MOD は約分されますが、この例の場合は約分できません。そのため、FRAC = 387,429 (0x 0005 E965 (16 進数)) および MOD = 1,000,000 (0x 000F 4240 (16 進数)) となります。

### 内部ゼロ遅延モードの N 分周器

ゼロ遅延 (ヒットレス) モードで動作する場合、AD9546 はインテジャー N 分周器のように機能します。したがって、N 分周器の分周比は整数である (小数部がない) ことが必要です。そのため、ゼロ遅延モードで動作する場合、AD9546 は FRAC および MOD の制御要素は無視します。

ゼロ遅延動作では、ビルドアウト動作とは整数部が異なる N 分周器制御要素を使用することに注意してください。つまり、ゼロ遅延動作では、N ビルドアウトではなく N ヒットレスのプログラミングが必要です。N ヒットレスの値をプログラムするには、表 74 の開始アドレスに 8~11 (10 進数) のオフセットを加えたアドレスにある、該当の変換プロファイルのビット [31:0] (符号なし) を使用します。プログラムされた N ヒットレスの値は、分周器の目的の分周比より 1 だけ小さい値となっています。つまり、N ヒットレスの値が 0 の場合は、整数の分周比は 1 です。そのため、N ヒットレスは、 $1 \sim 2^{30}$  (1,073,741,824) の範囲の分周比となります。

ゼロ遅延 (ヒットレス) モードで動作させる場合でも、DPLL ループ・フィルタを正しく動作させるために、N ビルドアウトをプログラムする必要がある点に注意してください。ただし、N ビルドアウトの値は、N ヒットレスとは異なります。内部ゼロ遅延動作の場合、N ビルドアウトと N ヒットレスの関係は次式のようになります (最も近い整数に丸める)。

$$N \text{ ビルドアウト} = N \text{ ヒットレス} \times 2 \times Q/M$$

ここで、

Q は Q 分周器の分周比。

M は M 分周器の分周比 (図 82 を参照)。

## 外部ゼロ遅延モードの N 分周器

帰還パスは外付けであるため、外部ゼロ遅延動作に関連付けられた内部帰還分周器はありません。そのため、N ヒットレス制御要素をプログラムする必要はありません。しかし、DPLL ループ・フィルタを正常に動作させるため、N ビルドアウトをプログラムする必要があります。N ビルドアウトは次のようにプログラムします (図 85 を参照)。

$$N \text{ ビルドアウト} = \text{round} \left( (2 \times Q \times R_y \times f_{OUTx}) / (M \times f_{REFy}) \right) + 1$$

ここで、

round () は、() 内の値を最も近い整数に四捨五入する関数。

Q は Q 分周器の分周比。

R<sub>y</sub> は図 85 の REF<sub>y</sub> 入力に関連付けられた R 分周器の分周比。

f<sub>OUTx</sub> は OUT<sub>x</sub>P 出力や OUT<sub>x</sub>N 出力での出力周波数。

M は M 分周器の分周比。

f<sub>REFy</sub> は REF<sub>y</sub> 入力の周波数。

N ビルドアウトの計算値は、1 未満となることまたは 1,073,741,824 を超えることはできません。

## DPLL ループ・フィルタ

DPLL0 および DPLL1 のループ・フィルタは、デジタルの無限インパルス応答 (IIR) フィルタ・アーキテクチャで構成されています。このデジタル・フィルタは、図 89 に示す 3 次のアナログ・ループ・フィルタに類似したものです。図では、左側が入力 (位相検出器からの入力)、右側が出力 (VCO への出力) です。

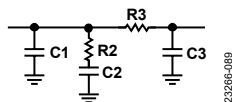


図 89. 3 次アナログ・ループ・フィルタ

アナログ・ループ・フィルタの応答は、熱ドリフトや経時変化の影響を受けやすい物理的要素の関数であるのに対し、デジタル・ループ・フィルタの応答は、数値係数の関数であり、熱ドリフトや経時変化の影響はあまり受けません。図 90 は、デジタル・ループ・フィルタとその制御要素を示すブロック図です。

完全なものとなるよう、図 90 では、AD9546 の高速アキュイジション制御ブロックがループ・フィルタ制御の一部として示されています。この高速アキュイジション機能は、高速アキュイジション・プロセスの一環としてループ帯域幅を動的に調整するためです (DPLL 高速アキュイジション・オプションのセクションを参照)。

一般的に、デジタル・フィルタの応答特性は、数値係数のみに依存します。しかし、DPLL ループ・フィルタは、帯域幅スケール係数と DPLL 帰還分周器の数値という追加の入力パラメータを必要とする点で特別です (詳細については、DPLL 帰還分周器 (N 分周器) のセクションを参照してください)。ループがアクティブでない場合 (例えば、ホールドオーバー・モードやフリーラン・モードの場合)、DPLL はループ・フィルタの内部状態を自動的にリセットします。

## DPLL ループ・フィルタの基本係数

デジタル・ループ・フィルタの応答特性は、デジタル係数の関数です。AD9546 の場合、正規化された周波数応答特性を確立する基本係数があります。絶対的な応答を実現するには、正規化された応答をスケールリングします (DPLL ループ・フィルタの帯域幅のセクションを参照)。

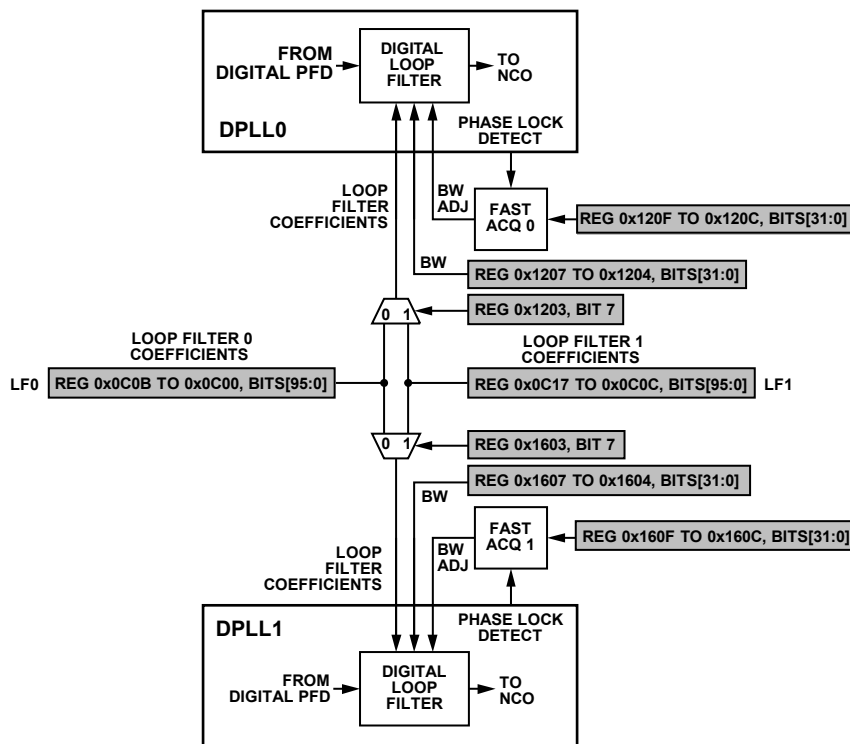
AD9546 では、ループ・フィルタ 0 (LF0) とループ・フィルタ 1 (LF1) の 2 つの独立したセットの基本係数が可能です。各セットは、アルファ、ベータ、ガンマ、デルタの 4 つの係数からなり、アルファ 0 は LF0、アルファ 1 は LF1 というように関連付けられます。これら 4 つの係数にはそれぞれ、仮数と指数の 2 つの要素があります。表 79 に示すアドレス範囲とビット範囲を用いてこれらの係数を読み書きできます。

図 90 に示すように、各 DPLL は LF0 と LF1 の基本係数セットを読み書きできます。したがって、DPLL0 と DPLL1 は、これらの基本係数セットのどちらでも使用できます。変換プロファイル (変換プロファイルのセクションを参照) によって、どちらの基本係数が DPLL の使用を設定するかが定まります。LF0 または LF1 を選択するには、表 74 の開始アドレスに 3 (10 進数) のオフセットを加えたアドレスにある、該当の変換プロファイルのビット 7 を使用します。ロジック 0 (デフォルト) は LF0 を、ロジック 1 は LF1 を選択します。

表 79. ループ・フィルタの基本係数

| Coefficient         | Address Range    | Bit Range |
|---------------------|------------------|-----------|
| Alpha 0 Significant | 0x0C00 to 0x0C01 | 0 to 15   |
| Alpha 0 Exponent    | 0x0C02           | 0 to 7    |
| Beta 0 Significant  | 0x0C03 to 0x0C04 | 0 to 15   |
| Beta 0 Exponent     | 0x0C05           | 0 to 7    |
| Gamma 0 Significant | 0x0C06 to 0x0C07 | 0 to 15   |
| Gamma 0 Exponent    | 0x0C08           | 0 to 7    |
| Delta 0 Significant | 0x0C09 to 0x0C0A | 0 to 15   |
| Delta 0 Exponent    | 0x0C0B           | 0 to 7    |
| Alpha 1 Significant | 0x0C0C to 0x0C0D | 0 to 15   |
| Alpha 1 Exponent    | 0x0C0E           | 0 to 7    |
| Beta 1 Significant  | 0x0C0F to 0x0C10 | 0 to 15   |
| Beta 1 Exponent     | 0x0C11           | 0 to 7    |
| Gamma 1 Significant | 0x0C12 to 0x0C13 | 0 to 15   |
| Gamma 1 Exponent    | 0x0C14           | 0 to 7    |
| Delta 1 Significant | 0x0C15 to 0x0C16 | 0 to 15   |
| Delta 1 Exponent    | 0x0C17           | 0 to 7    |

AD9546 のデフォルト設定では LF0 と LF1 の値が用意されており、これがデフォルトの応答特性となります。LF0 のデフォルト値では、位相余裕が 70° (公称値) のオープンループ応答特性が得られます。LF1 のデフォルト値では、位相余裕が 88.5° (公称値) のオープンループ応答特性が得られます。更に、LF1 のデフォルト係数では、ピーキングが 0.1dB 未満のほぼフラットなクローズドループ応答が得られます。



NOTES  
 1. A RANGE OF BITS USES A COLON SEPARATOR  
 2. EXCEPT FOR LF0 AND LF1, REGISTER ADDRESSES ARE SPECIFIC TO TRANSLATION PROFILE 0.0 AND 1.1

23265-090

図 90. デジタル・ループ・フィルタのブロック図

### DPLL ループ・フィルタの帯域幅

基本係数によって正規化された周波数応答が確立するため、ループ・フィルタには絶対周波数応答を設定するためのスケール・ファクタが必要です。スケール・ファクタは、帯域幅 (BW) を設定するもので、図 90 に示すように変換プロファイルの中にあります (変換プロファイルのセクションを参照)。スケール・ファクタは、表 74 の開始アドレスに 4~7 (10 進数) のオフセットを加えたアドレスにある、該当の変換プロファイルのビット [31:0] (符号なし) です。

スケール・ファクタに関連付けられた周波数の単位は、LF0 および LF1 の基本係数の正規化に依存します (DPLL ループ・フィルタの基本係数のセクションを参照)。デフォルトの基本係数の場合、正規化された周波数の単位は、LF0 および LF1 のどちらの場合も  $\mu\text{Hz}$  ( $10^{-6}\text{Hz}$ ) です。

0dB のオープンループ帯域幅を設定するのに必要なスケール・ファクタを計算するには、目的のループ帯域幅を、LF0 または LF1 の基本係数の選択されたセットに関連する正規化された周波数で除します。デフォルトの LF0 または LF1 の値の場合、正規化周波数は  $10^{-6}\text{Hz}$  です。

例えば、目的のループ帯域幅が 50Hz の場合、必要なスケール・ファクタは次のようになります。

$$\begin{aligned} \text{スケール・ファクタ} &= 50\text{Hz}/10^{-6}\text{Hz} \\ &= 50,000,000 \\ &= 0x\ 02FA\ F080 \quad (16 \text{ 進数}) \end{aligned}$$

スケール・ファクタが 32 ビットであることから、最大の DPLL ループ帯域幅は約 4.3kHz ( $2^{32} \times 10^{-6}\text{Hz}$ ) であることになります。しかし、ループ内に NCO ゲイン・チューニング・ワード・フィルタがあることから (NCO ゲイン・チューニング・ワード・フィルタ帯域幅のセクションを参照)、最大 DPLL ループ・フィルタ帯域幅には制約が生じます。表 80 は、最大 DPLL ループ・フィルタ帯域幅を、選択した NCO ゲイン・フィルタ帯域幅の値の関数として示したものです。DPLL のアクティブな変換プロファイルによって、LF0 と LF1 のどちらの列が所定の DPLL チャンネルに適用されるかが決まります。

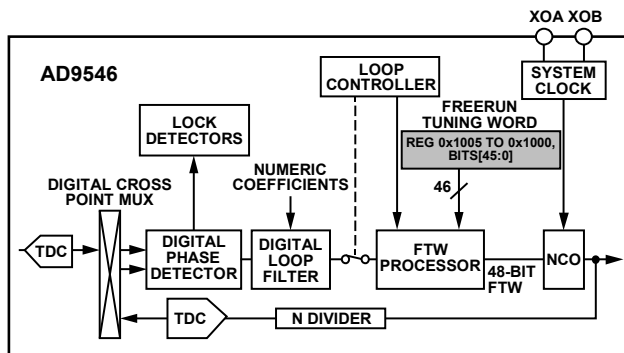
表 80. 最大 DPLL ループ・フィルタ帯域幅

| NCO Gain Filter Bandwidth Selection | LF0 Maximum Loop Bandwidth (Hz) | LF1 Maximum Loop Bandwidth (Hz) |
|-------------------------------------|---------------------------------|---------------------------------|
| 0                                   | 1850                            | 305                             |
| 1                                   | 925                             | 152.5                           |
| 2                                   | 462.5                           | 76.3                            |
| 3                                   | 231.3                           | 38.1                            |
| 4                                   | 115.6                           | 19.1                            |
| 5                                   | 57.81                           | 9.53                            |
| 6                                   | 28.91                           | 4.77                            |
| 7                                   | 14.45                           | 2.38                            |
| 8                                   | 7.227                           | 1.191                           |
| 9                                   | 3.613                           | 0.596                           |
| 10                                  | 1.807                           | 0.298                           |
| 11                                  | 0.9033                          | 0.149                           |
| 12                                  | 0.4517                          | 0.0745                          |
| 13                                  | 0.2258                          | 0.037                           |
| 14                                  | 0.1219                          | 0.019                           |
| 15                                  | 0.0565                          | 0.009                           |

DPLL NCO

DPLL NCO には外部クロック源が必要です。AD9546 の場合、外部クロック源は XOA と XOB の入力ピンを駆動し、そこから内蔵の PLL シンセサイザが約 2.4GHz のクロック信号を生成します。

DPLL は通常は、通常動作モードである、クローズドループ方式で（つまり PLL として）動作し、ループ・フィルタは NCO の FTW 源となります。しかし、特定の条件の下では、DPLL はオープンループ構成で動作します。図 91 では、スイッチによってこの 2 つの構成を区別しています。ループ・コントローラによって、DPLL がクローズドループ動作（スイッチが閉）を行うか、オープンループ動作（スイッチが開）を行うかが決まり、FTW プロセッサによって、NCO の FTW 源が決まります。



- NOTES  
 1. A RANGE OF BITS USES A COLON SEPARATOR  
 2. REGISTER ADDRESSES ARE SPECIFIC TO DPLL0

図 91. DPLL のブロック図

図 91 にはクロック検出器（DPLL ロック検出器のセクションを参照）も示されています。帰還分周器の詳細については DPLL 帰還分周器（N 分周器）のセクションを参照してください。明確化のため、図 91 には、デジタル位相検出器に信号を供給する、デジタル・クロスポイント・マルチプレクサと TDC も示されています。TDC は、入力信号と帰還信号の立上がりエッジを数値タイム・スタンプに変換します（詳細については、時間デジタル・コンバータ（TDC）のセクションを参照）。

図 91 では、N 分周器が NCO 出力に直接接続されていますが、この図は、実際の帰還パスを簡略化したものです（周波数変換ループのセクションの図 82 を参照）。ただし、DPLL の動作と制御に関しては、この簡略化は次の段落で述べる状況では有効です。

DPLL の周波数チューニングは、シグマ・デルタ・モジュレータ（SDM）アーキテクチャを採用する NCO を利用しています。SDM は、NCO の出力を構成する分周器の出力でシステム・クロック周波数を分周する、インテジャータ分周器を内蔵しています。SDM は、この分周器のモジュラスを実質的に変調し、入力の 48 ビット FTW に基づいてシステム・クロック周波数をわずかにスケール・ダウンしたバージョンである出力周波数を生成します。NCO は SDM に基づくため、変調ノイズを NCO 出力周波数から外れるように再分配するノイズシェーピングを使用しています（DPLL に従う APLL が、SDM の帯域外変調ノイズを抑制します）。

NCO の出力周波数 ( $f_{NCO}$ ) は、次式に従って、48 ビットの FTW の数値とシステム・クロックの周波数 ( $f_s$ ) に主として依存します。

$$f_{NCO} = f_s \times FTW / 2^{48}$$

所定の  $f_s$  と目的の  $f_{NCO}$  に対し、FTW は次のように計算されます。

$$FTW = \text{round} (2^{48} \times f_{NCO} / f_s) \tag{18}$$

ここで  $\text{round} (x)$  は、 $x$  を最も近い整数に四捨五入する関数です。

NCO は、48 ビットの FTW を、インテジャータ部（INT）とフラクショナル部（FRAC）の 2 要素に自動的に変換します。INT および FRAC と FTW の関係は次式で表されます。

$$INT = \text{floor} (2^{48} / FTW) \tag{19}$$

$$FRAC = 2^{-40} \times \text{round} (2^{40} \times ((2^{48} / FTW) - INT)) \tag{20}$$

ここで、

$$7 \leq INT \leq 13$$

$$0.05 \leq FRAC \leq 0.95$$

$\text{floor} (x)$  は、 $x$  が整数の場合は  $x$  をそのままにする関数です。それ以外の場合は、 $x$  は値が小さくなる方向に最も近い整数となります。

INT と FRAC の制約条件により、必然的に、FTW の選択に制約が生じます。例えば、 $f_s = 2.30\text{GHz}$ 、 $f_{NCO} = 245.76\text{MHz}$  とすると、次のようになります（式 18 より）。

$$FTW = 30,076,213,163,657$$

したがって、式 19 と式 20 から、

$$INT = 9$$

$$FRAC = 0.358723958333016843274235725403$$

この場合、INT と FRAC は定められた制約条件を満たします。

上記例では、FTW を既知の  $f_s$  と  $f_{NCO}$  に対し検証しましたが、FTW の検証は必ずしも所定のアプリケーションに対して行うわけではありません。つまり、上記の例では  $f_s$  と  $f_{NCO}$  が完全に静的な値で

あると仮定しましたが、 $f_s$ の安定性は、XOA ピンおよび XOB ピンでの発振器または共振器と同程度です。更に、DPLL が入力リファレンス信号にロックしている場合、 $f_{NCO}$  はリファレンス周波数の変化に追従します。そのため、ユーザは、既知のアプリケーションに対する FTW の変化を評価する必要があります。つまり、FTW の上限値と下限値を考慮する必要があります。これらは、INT と FRAC の上限値と下限値にも影響します。

例えば、上記の例で入力周波数の変化によって FTW が 0.5% だけ変動したと仮定すると、30,076,213,163,657 から 0.5% 変動した次の 2 つの FTW が求められます。

$$\text{下限 FTW} = 29,925,832,097,839$$

$$\text{上限 FTW} = 30,226,594,229,475$$

これらの FTW の上限値と下限値から、INT と FRAC の値は次のようになります。

$$\text{INT}_{\text{UPPER}} = 9$$

$$\text{FRAC}_{\text{UPPER}} = 0.3121631426201929571107029914856$$

$$\text{INT}_{\text{LOWER}} = 9$$

$$\text{FRAC}_{\text{LOWER}} = 0.40575272194291756022721529006958$$

この場合、INT の上限値と下限値、および FRAC の上限値と下限値は、INT と FRAC の制約条件を満たします。

INT の上限値と下限値は同じであることが必要です。値が異なると、FTW の上限値と下限値が SDM の整数境界を挟むことになり、スプリアス性能の低下につながる可能性があります。この問題を軽減するには 2 つの方法があります。1 つめは、実行可能性が比較的低い方法ですが、システム・クロック周波数とリファレンス入力周波数の変化を抑制することです。2 つめは、新しい FTW 値（そして、それに伴い、新しい  $f_{NCO}$  値）を選択することです。どちらの場合も、目的は、FTW によって生成される INT の上限値と下限値が等しくなり、また、FRAC の上限値と下限値が有効な値となるよう、FTW の変化を制限することです。

システム・クロック補償機能が有効になっている場合、NCO は必要に応じて、INT と FRAC の調整を行います（システム・クロック補償のセクションを参照）。

### NCO ゲイン・チューニング・ワード・フィルタ帯域幅

図 91 には明示されていませんが、NCO には、NCO のゲイン・チューニング・ワード・フィルタとなる、デジタル・ローパス・フィルタがあります。このフィルタは、抵抗とコンデンサによる単純なローパス・フィルタと同様の単極応答を示しますが（図 92 を参照）、可変ゲイン・コンポーネントがあり、NCO の非線形ゲインを補償します。NCO ゲイン・チューニング・ワード・フィルタは、DPLL がクローズドループとオープンループの動作モード間で（例えばアクティブからホールドオーバーに）切り替わる際に発生する可能性のある、周波数トランジェントを抑制します。

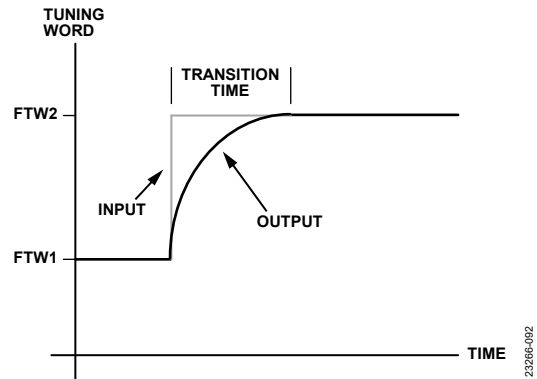


図 92. NCO ゲイン・チューニング・ワード・フィルタの応答

フィルタの帯域幅を制御するには、レジスタ 0x1009 (DPLL0 の場合) およびレジスタ 0x1409 (DPLL1 の場合) のビット [3:0] (符号なし整数) を使用します。表 81 に、ビット [3:0] の値と帯域幅および遷移時間の関係を示します。

DPLL ループ・フィルタに関連する位相余裕 (DPLL ループ・フィルタのセクションを参照) の低下を防ぐには、DPLL のループ帯域幅より少なくとも 100 倍は大きい NCO ゲイン・チューニング・ワード・フィルタ帯域幅を、表 81 から選択するよう注意する必要があります。この値は、高速アクイジション・ブロックがイネーブルになっている場合、これによる DPLL ループ・フィルタ帯域幅の拡張も含まれます (DPLL 高速アクイジション・オプションのセクションを参照)。

表 81. NCO ゲイン・チューニング・ワード・フィルタ帯域幅の選択

| Bits[3:0] | 3 dB Bandwidth (Hz) | Transition Time (ms) |
|-----------|---------------------|----------------------|
| 0         | 248,000             | 0.003                |
| 1         | 124,000             | 0.006                |
| 2         | 62,000              | 0.013                |
| 3         | 31,000              | 0.026                |
| 4         | 15,500              | 0.051                |
| 5         | 7800                | 0.102                |
| 6         | 3900                | 0.204                |
| 7         | 1900                | 0.419                |
| 8         | 970                 | 0.820                |
| 9         | 490                 | 1.62                 |
| 10        | 240                 | 3.32                 |
| 11        | 120                 | 6.63                 |
| 12        | 61                  | 13.0                 |
| 13        | 30                  | 26.5                 |
| 14        | 15                  | 53.1                 |
| 15        | 7.6                 | 105                  |

NCO ゲイン・チューニング・ワード・フィルタには、NCO を従来のオープンループ・デジタル周波数シンセサイザとして使用する場合、関係する事項がいくつかあります。例えば、DPLL がフリーラン・モードにプログラムされている場合 (フリーラン・チューニング・ワードのセクションを参照)、DPLL は従来の NCO のように動作します。つまり、ユーザは、別のフリーラン・チューニング・ワードをプログラムして別の周波数に同期させることが

できます。従来の NCO では、新しいチューニング・ワードをプログラムすると、最初の周波数から新しい周波数に直ちに切り替わります (図 92 に示す入力のパターンと同様)。しかし、DPLL の場合、別のチューニング・ワードにプログラムすると、図 92 に示すように、NCO は、NCO ゲイン・チューニング・ワード・フィルタのプログラムされた帯域幅に基づき、1 つの周波数から次の周波数に滑らかに遷移します (ステップ入力の場合の 99% への遷移時間については表 81 を参照)。

## DPLL ロック検出器

### DPLL フェーズ・ロック検出器

各 DPLL チャンネル (DPLL0 と DPLL1) には、完全にデジタル化されたフェーズ・ロック検出器が組み込まれています。フェーズ・ロック検出器の閾値感度とヒステリシスは、ソース・プロファイルを紹介して制御します (ソース・プロファイルのセクションを参照)。

フェーズ・ロック検出器は、レジスタ 0x3100 (DPLL0 の場合) とレジスタ 0x3200 (DPLL1 の場合) のビット 1 を使用してフェーズ・ロック状態を示します (ロジック 0 はアンロック、ロジック 1 はロック)。ただし、ビット 1 は本来動的であるため、フェーズ・ロックの指示には割込み要求 (IRQ) メカニズムを使用することを推奨します。IRQ メカニズムによってビット 1 の状態が調べられ、状態遷移がラッチされます。具体的には、レジスタ 0x3010 (DPLL0 の場合) とレジスタ 0x3015 (DPLL1 の場合) のビット 0 は、フェーズ・アンロックからフェーズ・ロックへのステータス変化を、ロジック 1 としてラッチします。同様に、同じレジスタのビット 1 は、フェーズ・ロックからフェーズ・アンロックへのステータス変化を、ロジック 1 としてラッチします。ただし、ビット 0 とビット 1 はラッチされたビットであるため、その時点では真ではない状態を示す可能性があります。そのため、レジスタ 0x200B (DPLL0 の場合) とレジスタ 0x2010 (DPLL1 の場合) のビット 0 およびビット 1 を使用して、それぞれフェーズ・ロック・ステータスおよびフェーズ・アンロック・ステータスをクリアする必要があります。そうでない場合、フェーズ・ロック検出器の後続の状態遷移の指示が失われる可能性があります (割込み要求 (IRQ) のセクションを参照)。

フェーズ・ロック検出器の動作は、浴槽内の水に例えることができます (図 93 参照)。浴槽の合計容量を 4096 とすると、-2048 が空で、0 が 50%、+2047 が満杯の状態を示します。この浴槽は、水のあふれを防ぐ安全装置も備えています。更に、-1025 の位置に低水位マーク、+1024 の位置に高水位マークがあります。水位を変えるために、フェーズ・ロック検出器は給水用のバケツを使って水を足したり、排水用のバケツを使って水を減らしたりします。

給水用のバケツと排水用のバケツの大きさは、ソース・プロファイルを使用して指定できます。フェーズ・ロックの給水レートを指定するには、表 78 の開始アドレスに 3 (10 進数) のオフセットを加えたアドレスにある、該当のソース・プロファイルのビット [7:0] (符号なし整数) を使用します。フェーズ・ロックの排水レートを指定するには、表 78 の開始アドレスに 4 (10 進数) のオフセットを加えたアドレスにある、該当のソース・プロファイルのビット [7:0] を使用します。

ロック検出器は、ロック状態とロック解除状態を決定するための基準として、浴槽内の水位を使用します。水位が低水位マーク (-1025) を下回ると、ロック検出器はロック解除状態を示します。逆に、水位が高水位マーク (1024) を上回ると、ロック検出器はロック状態を示します。水位が上下のマークの間にある場合、ロック検出器は直前の状態を維持します。図 93 はこの概念を示した図で、ある時点における水位 (縦軸) と時間 (横

軸)、およびそれらに基づくロック/ロック解除状態を重ねて示しています。

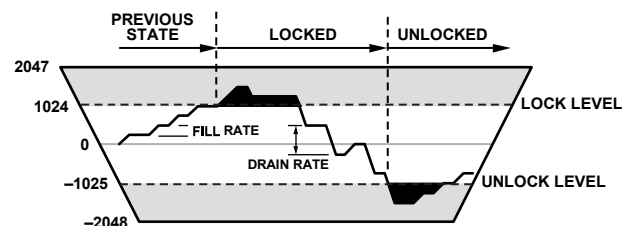


図 93. ロック検出図

レジスタ 0x3109~レジスタ 0x310A (DPLL0 の場合) およびレジスタ 0x3209~レジスタ 0x320A (DPLL1 の場合) を使用して、フェーズ・ロック検出器のその時点の水位を示す 12 ビット値 (符号付き) を読み出せます。図 93 において、関連水位値を浴槽の左側に示します。

指定された任意の PFD 位相誤差サンプルにおいて、ロック検出器は給水バケツで水を足すか、排水バケツで水を減らします (足すか減らすかのどちらかで、両方は行わない)。水を足すか減らすかの決定は、表 78 の開始アドレスに 0~2 (10 進数) のオフセットを加えたアドレスにある、該当のソース・プロファイルのビット [23:0] (符号なし整数) を使用して指定した、フェーズ・ロック閾値レベルに依存します。ビット [23:0] の値は、目的の閾値をピコ秒単位で表したものです。具体的には、フェーズ・ロック閾値の範囲は 0ps から 16.7μs までで、これは、PFD の出力における位相誤差を表します。プログラム範囲は下限値として 0ps をサポートしていますが、実際の最小値は 50ps より長くする必要があります。

フェーズ・ロック検出器は、PFD 出力の各位相誤差サンプルの絶対値と、プログラムされた位相閾値とを比較します。位相誤差サンプルの絶対値がプログラムされた位相閾値以下の場合、検出器の制御ロジックが給水バケツ 1 杯分を浴槽に給水します。それ以外の場合、検出器の制御ロジックにより、排水バケツ 1 杯分が浴槽から排出されます。位相閾値を基準とした位相誤差サンプルの大きさにより、バケツで給水するか排水するかが決まります。

給水処理と排水処理に関しては、位相スルー・リミッタがアクティブな場合、通常動作に対する例外が発生します。制限プロセスで位相スルー・リミッタが作動すると、ロック検出器が給水イベントを禁止して、排水イベントだけが発生するようにします。

排水よりも給水の方が多く行われると、浴槽内の水位が最終的に高水位マーク (1024) を超えて、ロック検出器がロック状態を示します。給水よりも排水の方が多く行われると、浴槽内の水位が最終的に低水位マーク (-1024) を下回り、ロック検出器がアンロック状態を示します。閾値レベル、給水量、排水量を指定することができれば、入力リファレンス信号に伴うタイミング・ジッタのデータに合わせて、ロック検出器の動作を調整することができます。デバッグ時には、給水量または排水量をゼロにして、ロック検出器に、ロックまたはロック解除状態をそれぞれ強制的に指示させることができます。

AD9546 がフリーラン・モードまたはホールドオーバー・モードになると、DPLL フェーズ・ロック検出器は常にアンロック状態を示します。

所定のアプリケーションに対して適切なフェーズ・ロック閾値、給水量、および排水量の値を選ぶ方法の詳細については、アプリケーション・ノート AN-1061、*Behavior of the AD9548 Phase and Frequency Lock Detectors in the Presence of Random Jitter* を参照してください。

### DPLL 周波数ロック検出器

周波数ロック検出器の動作は、フェーズ・ロック検出器と同様ですが、以下に示す 2 つの点が異なります。

- 給水か排水かの判断は、PFD 出力の位相誤差ではなく、DPLL のリファレンス信号と帰還信号の周期差に基づいて行われます。
- 周波数ロック検出器は、位相スルー・リミッタの状態には影響されません。

フェーズ・ロック検出器と同様、レジスタ 0x310B～レジスタ 0x310C (DPLL0 の場合) およびレジスタ 0x320B～レジスタ 0x320C (DPLL1 の場合) を使用して、周波数ロック検出器のその時点の水位を示す 12 ビット値 (符号付き) を読み出せます。

図 93 において、関連水位値を浴槽の左側に示します。

周波数ロック検出器は、レジスタ 0x3100 (DPLL0 の場合) とレジスタ 0x3200 (DPLL1 の場合) のビット 2 を使用して周波数ロック状態を示します (ロジック 0 はアンロック、ロジック 1 はロック)。ただし、ビット 2 は本来動的であるため、周波数ロックの指示には割込み要求 (IRQ) メカニズムを使用することを推奨します。IRQ メカニズムによってビット 2 の状態が調べられ、状態遷移がラッチされます。具体的には、レジスタ 0x3010 (DPLL0 の場合) とレジスタ 0x3015 (DPLL1 の場合) のビット 2 は、周波数アンロックから周波数ロックへのステータス変化を、ロジック 1 としてラッチします。同様に、同じレジスタのビット 3 は、周波数ロックから周波数アンロックへのステータス変化を、ロジック 1 としてラッチします。ただし、ビット 2 とビット 3 はラッチされたビットであるため、その時点では真ではない状態を示す可能性があります。そのため、レジスタ 0x200B (DPLL0 の場合) とレジスタ 0x2010 (DPLL1 の場合) のビット 2 およびビット 3 を使用して、それぞれ周波数ロック・ステータスおよび周波数アンロック・ステータスをクリアする必要があります。そうでない場合、周波数ロック検出器の後続の状態遷移の指示が失われる可能性があります (割込み要求 (IRQ) のセクションを参照)。

DPLL のリファレンス入力に到達する信号の周期と DPLL の帰還入力に到達する信号の周期との差が、この 2 つの信号間の周期誤差となります。この周期誤差は、次式のように、 $f_{REF}$  と帰還周波数 ( $f_{FB}$ ) に関係します。

$$\text{周期誤差} = 1/f_{FB} - 1/f_{REF}$$

指定された任意の周期誤差サンプルに対し、周波数ロック検出器は給水バケツで水を足すか、排水バケツで水を減らします (足すか減らすかのどちらかで、両方を行わない)。水を足すか減らすかの決定は、表 78 の開始アドレスに 5～7 (10 進数) のオフセットを加えたアドレスにある、該当のソース・プロファイルのビット [23:0] (符号なし整数) を使用して指定した、周波数ロック閾値に依存します。ビット [23:0] の値は、目的の周波数ロック

閾値をピコ秒単位で表したものです。したがって、周波数閾値は 0ps から 16.7 $\mu$ s までの範囲になります。周波数ロック閾値は、次式のように、DPLL への入力でのリファレンス信号と帰還信号の間の周期誤差の絶対値を表します。

$$\text{周波数ロック閾値} = |\text{周期誤差}|/10^{-12}$$

例えば、80kHz という DPLL のリファレンス入力の公称周波数を考えます。安定なロック状態下では、DPLL のリファレンス入力と帰還入力での周波数は等しくなります。DPLL の入力での帰還周波数とリファレンス周波数が 100Hz 異なった場合に給水か排水化の判断をするよう、周波数ロック検出器を設定するには、 $f_{REF} = 80\text{kHz}$  および  $f_{FB} = 80.1\text{kHz}$  (または 79.9kHz) を選択して、100Hz の差に対する周波数ロック閾値を定めます。

$$\begin{aligned} \text{周波数ロック閾値} &= |\text{周期誤差}|/10^{-12} \\ &= |1/f_{REF} - 1/f_{FB}|/10^{-12} \\ &= |1/80,000 - 1/80,100|/10^{-12} \\ &= 15,605 \text{ (最も近い整数)} \\ &= 0x\ 00\ 3CF5 \text{ (16進数)} \end{aligned}$$

所定のアプリケーションに対して適切な周波数ロック閾値、給水量、および排水量の値を選ぶ方法の詳細については、アプリケーション・ノート AN-1061 を参照してください。

### フリーラン・チューニング・ワード

図 91 でスイッチが閉じた状態は、DPLL がクローズドループ・モードで動作していることを示し、ループ・フィルタが FTW をリアル・タイムで NCO に送っています。オープンループ動作では、スイッチがオープンとなり、FTW プロセッサは静的な FTW を NCO に送ります。ループ・コントローラは、必要に応じてスイッチを開いたり閉じたりします。例えば、DPLL がフリーラン・モード (レジスタ 0x2105 またはレジスタ 0x2205 のビット 0 = 1) の場合、ループ・コントローラはスイッチを開き、FTW プロセッサはフリーラン・チューニング・ワードを NCO に配信します。

この場合、フリーラン・チューニング・ワードは、NCO 出力周波数、 $f_{NCO}$ 、を確立します。フリーラン・チューニング・ワードの値は、レジスタ 0x1000～レジスタ 0x1005 (DPLL0 の場合) およびレジスタ 0x1400～レジスタ 0x1405 (DPLL1 の場合) のビット [45:0] (符号なし整数) を使用して設定します。

$$f_{NCO} \approx f_s \times FTW/2^{48}$$

ここで、

$f_{NCO}$  は NCO 出力周波数。

$f_s$  はシステム・クロック周波数。

FTW は 46 ビットのフリーラン・チューニング・ワードの値。

上記の  $f_{NCO}$  の式は、正確な NCO 出力周波数はわずかに異なるため、近似式 ( $\approx$ ) です (DPLL NCO のセクションを参照)。

例えば、システム・クロック周波数が 2.3GHz の場合に NCO 出力周波数を 245.76MHz とするために、 $f_{NCO}$  の式を FTW0 について解くと、次のフリーラン・チューニング・ワードの値が得られます。

$$\begin{aligned} FTW0 &= 2^{48} \times (f_{NCO}/f_s) & (21) \\ &= 2^{48} \times (245.76 \times 10^6 / (2.3 \times 10^9)) \\ &= 30,076,213,163,657 \text{ (最も近い整数)} \\ &= 0x 1B5A AA00 7689 \text{ (16 進数)} \end{aligned}$$

NCO のチューニング分解能は 48 ビットですが、フリーラン・チューニング・ワードは 46 ビットしかありません。すべての通常動作条件において、フリーラン・チューニング・ワード計算 (式 21 を参照) の 2 つの最上位ビットはロジック 0 であるためです。したがって、NCO チューニング・ワードが 48 ビットであっても、フリーラン・チューニング・ワードは、NCO チューニング・ワードのうち 46LSB のみを使用します。

フリーラン・チューニング・ワードの値は、NCO SDM による制約条件を満たす必要があります (DPLL NCO のセクションを参照)。

## DPLL 高速アクイジション・オプション

### 高速アクイジションの概要

特定のアプリケーションでは、1Hz 未満の低ループ帯域幅が必要な場合があります (例えば、DPLL の入力リファレンスが、毎秒 1 パルスの出力の GPS/GNSS レシーバーからの信号を基にするようなアプリケーション)。1Hz のリファレンスには、1Hz を大幅に下回るループ帯域幅が必要ですが、それによって、周波数アクイジション時間とフェーズ・ロック時間が数分から数時間の範囲になる可能性があります。

1Hz 未満のループ帯域幅による長いアクイジション時間を克服するために、AD9546 には、DPLL のロック時間を大幅に短縮する高速アクイジション機能が組み込まれています。この高速アクイジション機能は、DPLL ループ・フィルタ帯域幅を制御された方法で自動的に変更します。高速アクイジション機能がアクティブ化されている場合 (高速アクイジション帯域幅制御のセクションを参照)、高速アクイジション・コントローラは次の機能を使用して高速アクイジション・プロセスを制御します。

- DPLL ループ帯域幅
- 高速アクイジション超過帯域幅
- 高速アクイジション・ロック・セトリング時間
- 高速アクイジション・タイムアウト

コントローラは、ユーザ定義の超過帯域幅ファクタを指定された DPLL ループ・フィルタ帯域幅に適用することで、高速アクイジション・プロセスを開始します (DPLL ループ・フィルタのセクションの [DPLL ループ・フィルタの帯域幅](#) のセクションを参照)。次にコントローラは、超過帯域幅が指定された DPLL ループ・フィルタ帯域幅に達するまで、これを順次減少させていきます。ただし、この帯域幅減少の各ステップで、コントローラは、DPLL 位相検出器がロック・ステータスを示すまで待機してから、次のステップに進みます (図 90 の高速 ACQ x 機能ブロックに注意してください)。

### 高速アクイジション・ステータス・インジケータ

高速アクイジション・コントローラが高速アクイジションを実行するプロセス中、レジスタ 0x3102 (DPLL0 の場合) およびレジスタ 0x3202 (DPLL1 の場合) のステータス・ビット 4 がロジック 1 となります。ビット 4 は、レジスタ 0x3012 (DPLL0 の場合) およびレジスタ 0x3017 (DPLL1 の場合) のビット 2 (高速アクイジション開始) とビット 3 (高速アクイジション終了) を通じて、IRQ 機能と関係しています (割込み要求 (IRQ) のセ

クションを参照)。ビット 2 とビット 3 はラッチされるため、レジスタ 0x200D (DPLL0 の場合) およびレジスタ 0x2012 (DPLL1 の場合) のビット 2 とビット 3 をそれぞれ使用して、ラッチされた状態をクリアする必要があります。これを行わない場合、後続のビット 4 の状態遷移を知ることができません。

### 高速アクイジション帯域幅制御

高速アクイジション機能がアクティブになるのは、高速アクイジション超過帯域幅パラメータがゼロ以外の値に設定されている場合です。高速アクイジション超過帯域幅パラメータは、表 74 の開始アドレスに 22 (10 進数) のオフセットを加えたアドレスにある、該当の変換プロファイルのビット [3:0] (符号なし整数) です。

高速アクイジション超過帯域幅パラメータがゼロ以外の値である場合、高速アクイジション・コントローラは、高速アクイジション超過帯域幅パラメータ値を使用して、次式のように最大開始ループ帯域幅 ( $BW_0$ ) を定義します。

$$BW_0 = DPLL \text{ ループ帯域幅} \times 2^{\text{高速アクイジション超過帯域幅パラメータ}}$$

例えば、DPLL ループ帯域幅を 0.0001Hz (100μHz)、高速アクイジション超過帯域幅パラメータ値を 9 とした場合、次式のように  $BW_0$  が求められます。

$$\begin{aligned} BW_0 &= DPLL \text{ ループ帯域幅} \times 2^{\text{高速アクイジション超過帯域幅パラメータ}} \\ &= 0.0001\text{Hz} \times 2^9 \\ &= 0.0512\text{Hz} \end{aligned}$$

上記の例では、DPLL が信号アクイジション・プロセスを開始する場合、高速アクイジション・シーケンスの開始ループ帯域幅は、最終的な値より 512 倍広い値となります。DPLL がフェーズ・ロックに達すると、高速アクイジション・コントローラはループ帯域幅を 2 分の 1 に狭めて、フェーズ・ロックを待ちます。この帯域幅縮小処理は、ループ帯域幅が指定された DPLL ループ帯域幅に達するまで繰り返されます。信号アクイジション・プロセスの間に広いループ帯域幅を用いることで、高速アクイジション機能は、高速アクイジション機能を用いない通常の DPLL 動作よりも大幅に早く、周波数と位相のロックを達成できます。

ループのフェーズ・ロック特性は、DPLL ロック検出器の設定の影響を受けます (DPLL ロック検出器のセクションを参照)。

### 高速アクイジション・セトリング時間の制御

高速アクイジション・プロセスの各ステップは、フェーズ・ロック指示に依存して次のステップに移行するため、フェーズ・ロック指示は安定していることが必要です。つまり、ノイズの多いリファレンスは、ループが安定したロック状態になるまで、フェーズ・ロックインジケータがロックとアンロックの間を断続的に切り替わる原因となることがあります。ロック・インジケータが不安定な場合、この不安定性によって高速アクイジション・コントローラの進行が過剰に早まる場合があります。

不安定なフェーズ・ロック指示による影響を抑えるため、高速アクイジション・コントローラでは、表 74 の開始アドレスに 23 (10 進数) のオフセットを加えたアドレスにある、該当の変換プロファイルのビット [2:0] (符号なし整数) を使用して、ロック指示セトリング時間を指定することができます。



ビット [2:0] の値は、高速アキュイジション・コントローラが、安定したフェーズ・ロック指示をどの程度の時間観測してから次のステップに移行するかを、指定するものです。表 82 に使用可能なセトリング時間を示します。

表 82. 高速アキュイジション・ロック検出セトリング時間

| Bits[2:0] | Settle Time |
|-----------|-------------|
| 0         | 1 ms        |
| 1         | 10 ms       |
| 2         | 50 ms       |
| 3         | 100 ms      |
| 4         | 500 ms      |
| 5         | 1 sec       |
| 6         | 10 sec      |
| 7         | 50 sec      |

動作中、DPLL がセトリング時間内にフェーズ・アンロックを示した場合、高速アキュイジション・コントローラは次のステップには進みません。その代わりに、コントローラはセトリング・タイマーをリセットし、次のフェーズ・ロックの指示まで待機し、再度セトリング期間が開始されます。このプロセスは、事前設定されたセトリング時間全体にわたりフェーズ・ロックが維持されるまで続きます。

### 高速アキュイジション・タイムアウト制御

DPLL がフェーズ・ロック状態にならないために高速アキュイジション・コントローラが停止してしまうのを防ぐため、コントローラにはタイムアウト・メカニズムが備わっています。つまり、高速アキュイジション・プロセスの各ステップで、高速アキュイジション・コントローラは、DPLL がフェーズ・ロック（およびセトリング）するまで待機しますが、それは、ユーザが定義した最大時間までです。

高速アキュイジション・コントローラがフェーズ・ロックまで待機する最大時間を指定するには、表 74 の開始アドレスに 23（10 進数）のオフセットを加えたアドレスにある、該当の変換プロファイルのビット [6:4]（符号なし整数）を使用します。

使用できるタイムアウト値を表 83 に示します。高速アキュイジション・コントローラが事前指定されたタイムアウト間隔内でフェーズ・ロックとセトリングを確認できない場合、高速アキュイジション・コントローラは高速アキュイジション・プロセスの次のステップに自動的に進みます。高速アキュイジション・コントローラが最後の帯域幅ステップに達し、DPLL が指定されたセトリング時間内にフェーズ・ロックを示した場合、高速アキュイジション・コントローラは、レジスタ 0x3102（DPLL0 の場合）またはレジスタ 0x3202（DPLL1 の場合）のステータス・ビット 5（高速アキュイジション完了）をセットします。

表 83. 高速アキュイジション・タイムアウト

| Bits[6:4] | Settle Time |
|-----------|-------------|
| 0         | 10 ms       |
| 1         | 50 ms       |
| 2         | 100 ms      |
| 3         | 500 ms      |
| 4         | 1 sec       |
| 5         | 10 sec      |
| 6         | 50 sec      |
| 7         | 100 sec     |

### 高速アキュイジション・トリガ

高速アキュイジション・タイムアウト制御のセクションでは、高速アキュイジション・プロセスのタイミングについて説明していますが、プロセスのトリガ源については説明していません。高速アキュイジション・プロセスのトリガ源を制御するには、レジスタ 0x2106（DPLL0 の場合）およびレジスタ 0x2206（DPLL1 の場合）のビット [3:0] を使用します。

- ビット 0：フリーランから高速アキュイジション
- ビット 1：ホールドオーバーから高速アキュイジション
- ビット 2：最初のアキュイジションの間に高速アキュイジション
- ビット 3：どの分配出力もトグルされない場合に高速アキュイジション

高速アキュイジション・コントローラは、ビット [3:0] が示す特定の制限を論理 OR 方式で処理します。つまり、コントローラは、セット・ビットごとに適用されるすべての制限に従います。これらの 4 ビットがすべてロジック 0 の場合は、どの制限も適用されません。つまり、高速アキュイジション・コントローラは完全に無制限で、DPLL は常に高速アキュイジションを使用します（イネーブルされている場合）。ただし、これらのビットのいずれか 1 つをロジック 1 にすると、高速アキュイジション・コントローラは制限された動作モードになり、次のように明確に制限に従います。

高速アキュイジションは、次に示す 4 組の条件の下でトリガされます。

- ビット 0=1 で DPLL がフリーラン・モードからクローズドループ動作に入った場合、高速アキュイジションがトリガされます。
- ビット 1=1 で DPLL がホールドオーバー・モードからクローズドループ動作に入った場合、高速アキュイジションがトリガされます。
- ビット 2=1 でこれが最初の高速アキュイジション・プロセスの実行である場合、高速アキュイジションがトリガされます。つまり、高速アキュイジション・コントローラがそれ以前に高速アキュイジション・シーケンスを完了していない場合です（より具体的には、高速アキュイジション完了ステータス・ビットがロジック 0 の場合）。高速アキュイジション完了ステータス・ビットがロジック 1 の場合、レジスタ 0x2107（DPLL0 の場合）またはレジスタ 0x2207（DPLL1 の場合）のビット 3（自動クリア）にロジック 1 を書き込むことで、これをクリアできます。ビット 3=1 にセットすると、その後のアキュイジション・イベントを最初のアキュイジション・イベントとすることができるようになります。
- ビット 3=1 で対応する PLL チャンネルのすべてのクロック分配出力がトグルされていない場合、高速アキュイジションがトリガされます。

高速アキュイジション・トリガ制御の例として、ビット 1 とビット 2 がどちらもロジック 1 で、DPLL がフリーラン・モードからクローズドループ動作に入る場合を考えます。これは最初の条件は満たしていません。ただし、2 番目の制限があり、デバイスは論理 OR 方式で制限を処理するため、2 番目の制限のステータスが適用されます。そのため、DPLL がフリーラン・モードからクローズドループ動作にはいることが DPLL の最初のアキュイジションであった場合は、高速アキュイジションが有効になります（そうでない場合は通常のアキュイジションになります）。次に、DPLL がホールドオーバーからクローズドループに入るとします。これは 1 番目の条件を満たします。したがって、DPLL は高速アキュイジションを実行します（この場合最初のアキュイジション条件は無関係となります）。

DPLL 位相オフセット制御

一般に、DPLL の帰還ループは (APLL と同様に) デジタル位相検出器の 2 つの入力の間の平均位相オフセットを強制的にゼロにする傾向があります (図 94 を参照)。その結果、インテジャ- $N$  動作を仮定すると (つまり  $N$  分周器がフラクショナルでない)、DPLL の入力信号と出力信号はエッジが揃っています (またはパス遅延による一定の時間オフセットを示す)。

AD9546 の DPLL には、デジタル位相検出器の帰還入力の加算ノードを使って、入力信号と帰還信号の間にプログラマブルな時間オフセット ( $t_{OFST}$ ) を設ける機能があります。時間オフセットを挿入するには、レジスタ 0x1015~レジスタ 0x1019 (DPLL0 の場合) およびレジスタ 0x1415~レジスタ 0x1419 (DPLL1 の場合) のビット [39:0] (符号付き) を使用します。ビット [39:0] の値はピコ秒を単位とします。

位相オフセットを加えるその他 2 つのソースからも加算ノードに加えられます (図 94 には明示していません)。1 つはソース・プロファイルを介するもので (ソース・プロファイルのセクション内のスキュー調整のセクションを参照)、もう 1 つは

遅延補償機能を介するものです (遅延補償のセクションを参照)。

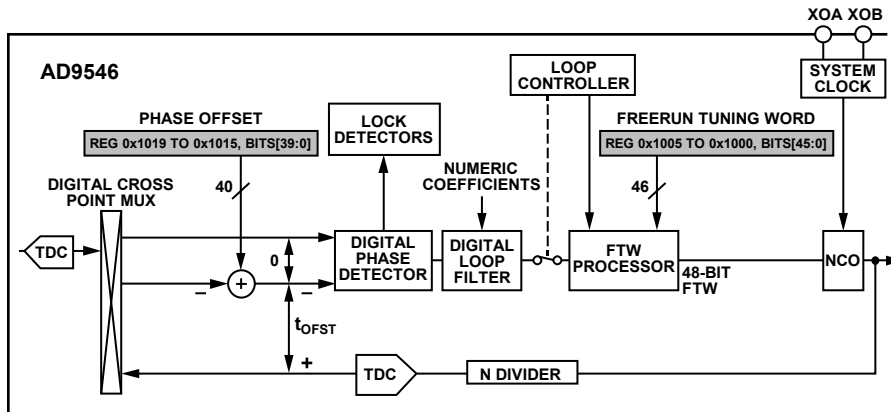
DPLL 帰還ループにより、デジタル位相検出器の 2 つの入力間の平均オフセットがゼロになるため、 $t_{OFST}$  は、図 94 に示す極性で DPLL 出力に変換されます。ビット [39:0] は符号付きであるため、DPLL 出力信号を入力に対して進めたり遅延させたりできます。 $t_{OFST}$  が正值の場合は、出力信号は入力信号に対し遅延します。つまり、出力エッジは遅れて発生します。反対に、負値の場合は、出力信号が入力信号に先行します。そのため、出力エッジは早く発生します。

$t_{OFST}$  (秒) と DPLL 位相オフセットのプログラム値 (ビット [39:0]) の関係は、次式で表されます。

$$DPLL \text{ 位相オフセット} = t_{OFST} / 10^{-12}$$

例えば、出力信号を 75ns だけ先行させる ( $t_{OFST} = -75\text{ns}$ ) のに必要な DPLL 位相オフセットの値を求めます。

$$\begin{aligned} DPLL \text{ 位相オフセット} &= (-75 \times 10^{-9}) / 10^{-12} \\ &= -75,000 \\ &= 0x \text{ FF FFFE DB08 (16 進数)} \end{aligned}$$



- NOTES  
 1. A RANGE OF BITS USES A COLON SEPARATOR  
 2. REGISTER ADDRESSES ARE SPECIFIC TO DPLL0

図 94. DPLL 位相オフセット機能

2326E-094

チューニング・ワード・オフセット・クランプ

DPLL には、DPLL 出力の周波数範囲に境界を設ける周波数クランプがあります。周波数クランプ機能 (図 95 を参照) は、事前に定めた制限値を超える周波数を後段のデバイスが許容できないようなアプリケーションで役に立ちます。

クランプ機能は、レジスタ 0x1006~レジスタ 0x1008 (DPLL0 の場合) およびレジスタ 0x1406~レジスタ 0x1408 (DPLL1 の場合) のビット [23:0] (符号なし) を使用し、これが周波数クランプ値となります。周波数クランプ機能は常にアクティブです。ただし、周波数クランプのデフォルト値は最大クランプ値で、デフォルトの周波数クランプ制限はおよそ±586kHz (システム・クロック周波数が 2.4GHz の場合) です。NCO 出力周波数が 320MHz の場合、586kHz の周波数クランプは約 1800ppm (または 0.18%) のオフセットに相当します。

周波数オフセット ( $f_{CLAMP}$ ) は、DPLL のフリーラン・チューニング・ワードによって決まる周波数からの偏差としての周波数の上限と下限を定義します。 $f_{CLAMP}$ 、システム・クロック周波数 ( $f_s$ )、周波数クランプ値の関係は次式で表されます。

$$f_{CLAMP} = \text{周波数クランプ値} \times (f_s/2^{36})$$

例えば、システム・クロック周波数が 2.4GHz、必要な周波数オフセット・クランプ制限が±10kHz (つまり、 $f_s = 2.4 \times 10^9$ 、 $f_{CLAMP} = 10^4$ ) の場合の周波数クランプ値を求めます。 $f_{CLAMP}$  の式を周波数クランプ値について解くと次のようになります。

$$\begin{aligned} \text{周波数クランプ値} &= 2^{36} \times f_{CLAMP}/f_s && (22) \\ &= 2^{36} \times 10^4 / (2.4 \times 10^9) \\ &= 286,331 \text{ (最も近い整数)} \\ &= 0x 04 5E7B \text{ (16 進数)} \end{aligned}$$

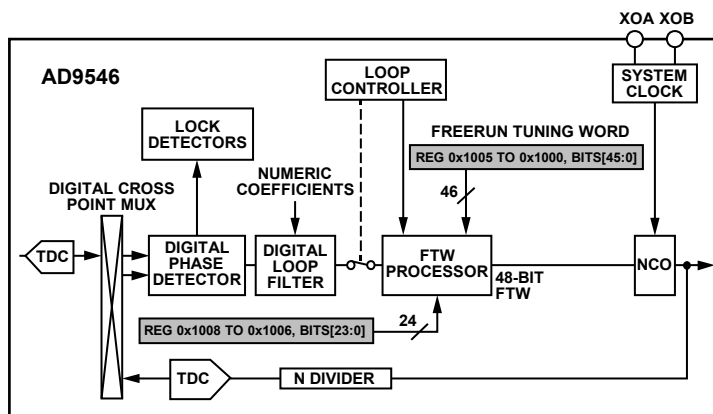
場合によっては、 $f_{CLAMP}$  を NCO 出力周波数に対するオフセットの割合 (パーセントや百万分率など) で定義する方が便利です。例えば、システム・クロック周波数が 2.4GHz、NCO 出力周波数が 250MHz、必要な周波数オフセット・クランプ制限が 25ppm ( $25 \times 10^{-6}$ ) の場合の周波数クランプ値を求めます。まず  $f_{CLAMP}$  を次のように求めます。

$$\begin{aligned} f_{CLAMP} &= 25 \times 10^{-6} \times 250\text{MHz} \\ &= 6250\text{Hz} \end{aligned}$$

次に、 $f_{CLAMP}$  を式 22 に代入します。

$$\begin{aligned} \text{周波数クランプ値} &= 2^{36} \times f_{CLAMP}/f_s \\ &= 2^{36} \times 6250 / (2.4 \times 10^9) \\ &= 178,957 \text{ (最も近い整数)} \\ &= 0x 02 BB0D \text{ (16 進数)} \end{aligned}$$

周波数クランプ回路が周波数を実際にクランプしているとき、レジスタ 0x3102 (DPLL0 の場合) およびレジスタ 0x3202 (DPLL1 の場合) のステータス・ビット 1 がロジック 1 となります。ビット 1 は、レジスタ 0x3010 (DPLL0 の場合) およびレジスタ 0x3015 (DPLL2 の場合) のビット 6 (周波数クランプがアクティブ) とビット 7 (周波数クランプが非アクティブ) を通じて、IRQ 機能と関係しています (割込み要求 (IRQ) のセクションを参照)。ビット 6 とビット 7 はラッチされるため、レジスタ 0x200B (DPLL0 の場合) およびレジスタ 0x2010 (DPLL1 の場合) のビット 6 とビット 7 をそれぞれ使用して、ラッチされた状態をクリアする必要があります。これを行わない場合、後続のビット 1 の状態遷移を知ることができません。



- NOTES  
 1. A RANGE OF BITS USES A COLON SEPARATOR  
 2. REGISTER ADDRESSES ARE SPECIFIC TO DPLL0

図 95. チューニング・ワード・オフセット・クランプ機能

2326E-095

位相スルー・レート制限

デジタル位相検出器はリファレンス TDC と帰還 TDC を使用して関連する位相誤差を判定し、ループ・フィルタにその誤差を送ります。ただし、ループ位相誤差に加え、ループには、その他のタイプの位相情報も存在する可能性があります。その例としては、次のいずれかを起源とする位相オフセットがあります。

- DPLL 位相オフセットの変化 (DPLL 位相オフセット制御のセクションを参照)
- 位相スキュー・オフセットの変化 (ソース・プロファイルのセクションを参照)
- 遅延補償ブロック起源 (遅延補償のセクションを参照)
- 位相ビルドアウト動作の結果 (位相ビルドアウト・モードのセクションを参照)

特定の位相源に対し、DPLL には、ループ・フィルタに送られる位相の変化率に上限を設ける、位相スルー・レート制限機能 (図 96 を参照) が備わっています。位相スルー・レート・リミッタは、大きな位相ステップがループに注入されることの悪影響を、その位相ステップをユーザが設定した最大スロープの位相ランプに変換することで緩和します。

位相スルー・レート・リミッタは、次の位相源によってもたらされる位相トランジェントにのみ作用します。

- DPLL 位相オフセット (DPLL 位相オフセット制御のセクションを参照)
- 位相スキュー・オフセット (ソース・プロファイルのセクションを参照)
- ヒットレス・モードの変換プロファイルをアクティブ化することによる初期位相補正 (変換モードのセクションを参照)

つまり、DPLL が位相スルー・レート制限を適用するのは、次の 2 つの条件下のみです。1 つめは、リファレンス・アクイジションの開始時に存在する位相オフセットです。2 つめは、DPLL の位相オフセット機能と位相スキュー・オフセット機能を使用してユーザによりもたらされた位相オフセットです。

位相スルー制限レートを設定するには、レジスタ 0x1011~レジスタ 0x1014 (DPLL0 の場合) およびレジスタ 0x1411~レジスタ 0x1414 (DPLL1 の場合) のビット [31:0] (符号なし) を使用し、これが位相スルー制限値となります。DPLL 位相スルー制限値は ps/sec、つまり 10<sup>-12</sup> を単位としますが、精度は通常、約 50ps/sec にとどまります。

位相スルー・レート制限機能は、ゼロを除くすべての DPLL 位相スルー制限値に対し作用します。ゼロの場合は、位相スルー・レート・リミッタがディスエーブルされます (位相スルー・レート・リミッタをディスエーブルすることは推奨しません)。ただし、レート・リミッタをディスエーブルする理由はほとんどありません。反対に、レート・リミッタを最大値にプログラムすると、4000ppm を超える周波数シフトに対応してスルー・レート制限が発生します。ほとんどのアプリケーションでは、4000ppm を超える周波数トランジェントが発生することはありません。DPLL 位相スルー制限のデフォルト値では、位相スルー・レート制限が 100,663,296ps/sec (約 100ppm の最大周波数シフトに相当) となります。

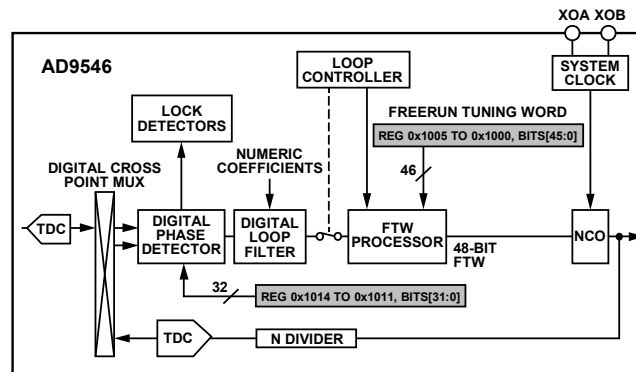
必要な位相スルー・レート制限 Δt/t と DPLL 位相スルー制限値の関係は、次のとおりです。

$$DPLL \text{ 位相スルー制限値} = (\Delta t/t) \times 10^{12}$$

例えば、位相変化率 (Δt/t) に必要な上限値が 0.25ppm (2.5 × 10<sup>-7</sup>) の場合、必要な DPLL 位相スルー制限値は次式で求められます。

$$\begin{aligned} DPLL \text{ 位相スルー制限値} &= (\Delta t/t) \times 10^{12} \\ &= (2.5 \times 10^{-7}) \times 10^{12} \\ &= 250,000 \\ &= 0x\ 0003\ D090 \text{ (16 進数)} \end{aligned}$$

位相スルー・リミッタが実際に位相変化率を制限しているとき、レジスタ 0x3102 (DPLL0 の場合) またはレジスタ 0x3202 (DPLL1 の場合) のステータス・ビット 2 (DPLL 位相スルー制限) はロジック 1 となります。ビット 2 は、レジスタ 0x3010 (DPLL0 の場合) およびレジスタ 0x3015 (DPLL1 の場合) のビット 4 (DPLL 位相スルー・リミッタがアクティブ) と D5 (DPLL 位相スルー・リミッタが非アクティブ) を通じて、IRQ 機能と関係しています (割込み要求 (IRQ) のセクションを参照)。ビット 4 とビット 5 はラッチされるため、レジスタ 0x200B (DPLL0 の場合) およびレジスタ 0x2010 (DPLL1 の場合) のビット 4 とビット 5 をそれぞれ使用して、ラッチされた状態をクリアする必要があります。これを行わない場合、後続のビット 2 の状態遷移を知ることができません。



NOTES  
 1. A RANGE OF BITS USES A COLON SEPARATOR  
 2. REGISTER ADDRESSES ARE SPECIFIC TO DPLL0

図 96. 位相スルー・レート制限機能

## チューニング・ワードの履歴

DPLL には、チューニング・ワードの NCO への適用を処理するチューニング・ワード・プロセッサがあります。チューニング・ワード・プロセッサは、ループ・コントローラ、FTW プロセッサ、スイッチなど、[図 91](#) に示すいくつかの機能ブロックをまとめたものです。NCO は、次の 3 つのソースからチューニング・ワードを受け取ることができます。

- フリーラン・チューニング・ワード
- デジタル・ループ・フィルタ
- チューニング・ワード平均化プロセッサ

このセクションでは、チューニング・ワード平均化プロセッサに焦点を置きます。このプロセッサは、レジスタ・マップにある次の 3 つのデジタル出力を提供します。

- DPLL チューニング・ワード履歴
- DPLL 履歴使用可能ステータス
- DPLL 履歴更新ステータス

DPLL チューニング・ワード履歴は、レジスタ 0x3103～レジスタ 0x3108 (DPLL0 の場合) およびレジスタ 0x3203～レジスタ 0x3208 (DPLL1 の場合) にある 46 ビット符号なし値です。

DPLL 履歴使用可能ステータスは、レジスタ 0x3102 (DPLL0 の場合) およびレジスタ 0x3202 (DPLL1 の場合) のビット 0 で読み出せます。

DPLL 履歴更新ステータスは、レジスタ 0x3011 (DPLL0 の場合) およびレジスタ 0x3016 (DPLL1 の場合) のビット 2 で読み出せます。

また、DPLL 履歴使用可能ステータスと DPLL 履歴更新ステータスは、適切に設定された Mx ピンを使用して、物理的なロジック・レベルとして読み出すこともできます。

平均化プロセッサの主な目的は、DPLL 変換プロファイルが最初に (しかし、[平均化プロセッサの遅延](#)のセクションで詳細を説明するように、平均化プロセッサの遅延エレメントによって指定された遅延時間の経過後に) アクティブになったときのチューニング・ワード・サンプルの平均を計算することです。有効なチューニング・ワード平均化計算が可能となる十分な数のサンプルを平均化プロセッサが収集した後、プロセッサは、DPLL 履歴使用可能ステータス・ビットをロジック 1 にセットし、平均化チューニング・ワード履歴が使用可能であることを示します。DPLL がホールドオーバー動作に切り替わる必要がある場合は、DPLL は平均化プロセッサの平均化チューニング・ワード履歴を使用できます。それ以外の場合、DPLL は、平均化プロセッサの設定に応じて、ループ・フィルタからの使用可能な最新のチューニング・ワード、または、DPLL フリーラン・チューニング・ワードの値を使用します。

平均化プロセッサは、次の 3 つの機能エレメントで構成されています。

- 遅延
- ウィンドウ化された平均
- 続行またはリセット

これらの機能エレメントは、[平均化プロセッサの遅延](#)のセクション、[平均化プロセッサのウィンドウ化された平均](#)のセクション、[平均化プロセッサの続行またはリセット](#)のセクションで説明するように、レジスタ・マップを介したユーザ入力に応答します。

## 平均化プロセッサの遅延

デフォルトでは、変換プロファイルがアクティブになるとすぐに (何がアクティブな変換プロファイルとなるかについては[リファレンス・スイッチング](#)のセクションを参照)、チューニング・ワード・プロセッサは平均化プロセッサ (および DPLL 履歴使用可能ステータス・ビット) をリセットし、平均化プロセッサは直ちにループ・フィルタからのチューニング・ワードの処理を開始します。

ただし、ユーザは、2 つの独立したメカニズムを使用して、変換プロファイルがアクティブになる時間と平均化プロセッサがチューニング・ワード平均化プロセスを開始する時間の間に遅延を設けることができます。この 2 つのメカニズムとは、イベント依存の遅延と時間依存の遅延です。

デフォルトでは、どちらのメカニズムも非アクティブで、遅延は発生しません。イベント依存遅延は時間依存遅延に優先します。まず、3 つのイベント依存遅延のいずれかがユーザによって選択されてプログラムされ、次に時間依存遅延がプログラムされます。これらの遅延時間が経過するまで、チューニング・ワード・プロセッサは受信するチューニング・ワードを無視します。

DPLL のステータスは、イベント依存遅延メカニズムの基盤となります。イベント依存遅延を呼び出すには、次の遅延履歴制御ビットのいずれかの組み合わせにロジック 1 を書き込みます。

- フェーズ・ロックまでの DPLL 遅延履歴
- 周波数ロックまでの DPLL 遅延履歴
- スルー制限に達するまでの DPLL 遅延履歴

これらのビットは、レジスタ 0x100E (DPLL0) およびレジスタ 0x140E (DPLL1) のビット [5:3] にあります。ロジック 1 は既述の遅延を呼び出します。フェーズ・ロックまでの DPLL 遅延履歴ビット (ビット 3) は、DPLL がフェーズ・ロックするまで平均化プロセスを遅延させます。周波数ロックまでの DPLL 遅延履歴ビット (ビット 4) は、DPLL が周波数ロックするまで平均化プロセスを遅延させます。スルー制限に達するまでの DPLL 遅延ビット (ビット 5) は、スルー制限が発生している場合に、位相スルー・リミッタがスルー制限を終了するまで、平均化プロセスを遅延させます ([位相スルー・レート制限](#)のセクションを参照)。

複数の遅延履歴制御ビットがロジック 1 である場合、遅延は、選択された条件の AND 関数として実行されます。つまり、選択されたステータス条件のすべてが満たされてから、平均化プロセスが開始されます。ステータス条件は、DPLL の実際の状態に従うため、リアル・タイムのステータス・インジケータです。ただし、選択されたステータス条件のすべてが満たされると、平均化プロセッサは、事前に定められてホールドオフ時間が経過するのを待って (DPLL 履歴ホールドオフ時間がゼロでない) と仮定)、平均化プロセスを開始します (平均化プロセッサが平均化を開始した後にはいずれかのステータス条件が満たされなくなっても該当)。

レジスタ 0x1010 (DPLL0 の場合) およびレジスタ 0x1410 (DPLL1 の場合) のビット [7:0] (符号なし) を使用して、必要な遅延またはホールドオフ時間を指定できます。この値をゼロにすると遅延はありません。ビット [7:0] は DPLL 履歴ホールド時間となります。遅延と DPLL 履歴ホールドオフ時間値の関係は次式で表されます。

$$\text{遅延} = \text{DPLL 履歴ホールドオフ時間} \times (t_{\text{ACCUM}}/8)$$

ここで、 $t_{\text{ACCUM}}$  は、DPLL 履歴積算タイマー値で指定される時間 (DPLL 履歴積算タイマーの詳細については、[平均化プロセッサのウィンドウ化された平均](#)のセクションを参照)。

遅延 (イネーブルの場合) は、停止/再始動トリガ・イベントにしたがっても有効になります ([平均化プロセッサの続行またはリセット](#)のセクションを参照)

## 平均化プロセッサのウィンドウ化された平均

### DPLL 履歴積算タイマー

一般に、平均化プロセッサは、ループ・フィルタが生成するチューニング・ワード・サンプルを収集し、そのチューニング・ワード・サンプルの平均を算出します。移動平均時間範囲を定めるために平均化時間を指定するには、レジスタ 0x100A~レジスタ 0x100D (DPLL0 の場合) およびレジスタ 0x140A~レジスタ 0x140D (DPLL1 の場合) のビット [27:0] (符号なし整数) を使用します。ビット [27:0] は、DPLL 履歴積算タイマー値となります。ビット [27:0] に関連付けられる単位はミリ秒で、平均時間は、0.001 秒~268,435.455 秒 (約 74.5 時間) が可能です。デフォルト値は 10 (10 進数) で、そのため、デフォルトの平均化ウィンドウの時間範囲は 10ms となります。

平均化ウィンドウの時間範囲は、次式のように、DPLL 履歴積算タイマーの値と関係します。

$$\text{時間範囲} = \text{DPLL 履歴積算タイマー} \times 10^{-3}$$

平均化ウィンドウの最小時間範囲は、DPLL の位相検出器や周波数検出器の入力信号の最小予想周期の少なくとも 10 倍とすることを推奨します。

例えば、15 分のウィンドウで平均化を行うのに必要な DPLL 履歴積算タイマーの値を求めてみます。まず、次のように、DPLL 履歴積算タイマーの時間範囲の式を解きます。

$$\begin{aligned} \text{DPLL 履歴積算タイマー} &= \text{時間範囲} \times 1000 \\ &= (15 \times 60) \times 1000 \\ &= 900,000 \\ &= 0x\ 00D\ BBA0 \text{ (16 進数)} \end{aligned}$$

DPLL 履歴積算タイマー = 0 は特殊な場合です。この値に設定すると、チューニング・ワード・サンプルはデジタル・ループ・フィルタから DPLL NCO および DPLL チューニング・ワード履歴の両方に配信され、平均化プロセッサがバイパスされます。したがって、DPLL 履歴積算タイマーを 0 にプログラムすると、チューニング・ワードが DPLL NCO に入力されたときに、ループ・フィルタから直接それをモニタできます。DPLL 履歴使用可能ステータス・ビット (レジスタ 0x3102 (DPLL0 の場合) およびレジスタ 0x3202 (DPLL1 の場合) のビット 0) は、DPLL 履歴積算タイマーが 0 の場合、ロジック 0 となります。

DPLL 履歴積算タイマーの値を変更すると、履歴回路のその時点での状態に応じて異なる動作が発生します。履歴プロセッサは、ホールドオフ動作とアクティブ動作の間は DPLL 履歴積算タイマーのみを使用します。この場合、履歴プロセッサは、新しい値を使用します (ただし、更新が有効となるまでに以前の値に伴う遅延があります)。DPLL 履歴積算タイマーの値が変更されても、履歴回路の状態は変わりません。

履歴回路が履歴をアクティブに収集している間に DPLL 履歴積算タイマーの値を変更すると、その後のインターバルで新しい値に対応します。その時点のインターバルの経過時間が新しいインターバルの経過時間を超えた場合、次のインターバルが直ちに開始されます。超えない場合は、その時点のインターバルが新しい値に対応します。

ただし、履歴回路がホールドオフ状態にある場合 ([平均化プロセッサの遅延](#)のセクションを参照)、動作は若干異なります。履歴回路は、8 つのサブインターバルごとに平均化を行うため ([チューニング・ワード平均化プロセス](#)のセクションを参照)、平均化回路の進行状況は重要です。具体的には、実際の経過時間にかかわらず、それまでに完了したサブインターバル数は一定です。そして、その後のサブインターバルは新しい周期を使用しますが、その時点のサブインターバルは引き続きこれまでの値を使用します。

DPLL 履歴ホールドオフ時間の値を変更しても ([平均化プロセッサの遅延](#)のセクションを参照)、次のホールドオフ期間が開始するまでは影響しません (サブインターバルではなくその期間全体において)。履歴期間またはホールドオフ値のいずれかが更新されたことにより、ホールドオフ期間に関連する動作にできるだけ早く新しい値を反映する必要がある場合、DPLL クリア履歴ビットを使用して履歴回路をその初期状態に復元することができます ([DPLL クリア履歴ビット](#)のセクションを参照)。

### チューニング・ワード平均化プロセス

平均化プロセッサは、その動作時、DPLL 履歴積算タイマーの値で定義される時間範囲を 8 つのサブインターバルに分割して、平均化を行います。各サブインターバルで、平均化プロセッサはそのサブインターバルでのチューニング・ワード・サンプルの平均を算出します。DPLL 履歴積算タイマーの値で定義されるチューニング・ワード全体の平均は、8 つの連続するサブインターバルの平均を平均したものです。

連続するサブインターバルがそれぞれ終了したとき (平均化プロセッサが DPLL 履歴使用可能ステータス・ビットをセットしていると仮定)、平均化プロセッサは次のイベントをトリガします。

- 移動平均計算の更新
- 結果を DPLL チューニング・ワード履歴に保存
- DPLL 履歴更新ステータス・ビットを更新

したがって、各サブインターバルの終了時、平均化プロセッサは、更新された移動平均計算の結果を DPLL チューニング・ワード履歴に保存します。同時に、平均化プロセッサは DPLL 履歴更新ステータス・ビットをロジック 1 にセットします。DPLL 履歴更新ステータス・ビットは、チューニング・ワード履歴プロセッサが

DPLL チューニング・ワード履歴を更新したことをユーザが知るためのメカニズムを提供します。ただし、DPLL 履歴更新ビットはラッチされたビットです。そのため、このビットは、DPLL チューニング・ワード履歴の更新を示しますが、必ずしも最新の履歴とは限りません。

### DPLL クリア履歴ビット

レジスタ 0x2107 (DPLL0 の場合) およびレジスタ 0x2207 (DPLL1 の場合) のビット 1 を使用して、平均化履歴をいつでもクリアできます。ロジック 1 にすると、平均化プロセッサが平均化回路をクリアし、それまでのチューニング・ワード履歴の情報をすべて消去します。更に DPLL 履歴使用可能ビットがロジック 0 になります (新たに算出された初期平均が使用可能となるまで)。

DPLL クリア履歴ビットをロジック 1 にプログラムしても、DPLL チューニング・ワード履歴の内容はクリアされません。つまり、DPLL チューニング・ワード履歴の最終更新は、プロセッサが新しい平均を計算し DPLL 履歴更新ビットをセットして、新しい平均が使用可能であることをユーザに通知するまで、影響を受けません。

### DPLL 単一サンプル履歴ビット

DPLL がアクティブなクローズドループ動作からホールドオーバー動作に切り替わる必要がある場合、平均化プロセッサからチューニング・ワード履歴を使用することを試みます。ただし、平均化プロセッサが DPLL 履歴使用可能ステータス・ビットをまだセットしていない場合 (履歴が使用可能ではないことを示している場合)、DPLL はデフォルトで DPLL フリーラン・チューニング・ワードを NCO のチューニング・ワードとして使用します。または、DPLL がループ・フィルタの最新のチューニング・ワードを使用するように、設定することもできます。ループ・フィルタの最新のチューニング・ワードを使用するには、レジスタ 0x100E (DPLL0 の場合) およびレジスタ 0x140E (DPLL1 の場合) のビット 1 をロジック 1 にプログラムします。

### DPLL クイック・スタート履歴ビット

通常、DPLL がアクティブなクローズドループ動作を行っている場合、平均化プロセッサは、少なくとも DPLL 履歴積算タイマーによって事前に指定された時間、チューニング・ワードを処理する必要があります。この事前指定時間は、チューニング・ワード履歴全体の平均を計算し、DPLL 使用可能ビットをセットする (それによって平均化プロセッサは初期平均を計算するのに十分な量のチューニング・ワードを処理したことを示す) ために必要です。ただし、レジスタ 0x100E (DPLL0 の場合) およびレジスタ 0x140E (DPLL1 の場合) のビット 2 にロジック 1 を書き込むことで、履歴が使用可能になっていることを平均化プロセッサがこれより早く示せるようにすることも可能です。この条件下では、平均化プロセッサは、最初の 2 つのサブインターバルが終了した後に DPLL 履歴使用可能ステータス・ビットをセットし、DPLL チューニング・ワード履歴を更新します。DPLL チューニング・ワード履歴の更新は、その後サブインターバルごとに継続されます。

クイック・スタート履歴シーケンスの最初の 8 つのサブインターバルの間、2 番目と 3 番目のサブインターバルでは 2 サブインターバルの平均化ウィンドウが示されます。4、5、6、7 番目のサブインターバルでは 4 サブインターバルの平均化ウィンドウが示されます。最後に、8 番目のサブインターバルでは、8 サブインターバルの平均化ウィンドウが示され、これは後続のすべてのサブインターバルに当てはまります。

クイック・スタート機能は、DPLL 履歴積算タイマーによって定められた時間範囲が非常に大きい場合 (例えば数時間) に、便利です。クイック・スタート機能により、平均化プロセッサで、DPLL 履歴積算タイマーが定めた時間の 1/4 の時間で初期チューニング・ワードの平均が使用可能となるようになります。

DPLL 単一サンプル履歴ビットと DPLL クイック・スタート履歴ビットは、相反するわけではありません。両方のオプションに同時に平均化プロセッサの状態を提供するよう設定でき、それによってどちらのオプションを有力な条件として適用できるかが定まります。アクティブなクローズドループ動作からホールドオーバー動作への切り替えに続き、初期チューニング・ワードの平均化計算における平均化プロセッサは、チューニング・ワード・プロセッサの動作を DPLL 単一サンプル履歴ビットと DPLL クイック・スタート履歴ビットに従って進めていきます。

### DPLL 永続履歴ビット

DPLL 永続履歴ビットは、[平均化プロセッサの続行またはリセット](#)のセクションで説明した制御ビットと連携して機能します。DPLL 永続履歴ビットは、レジスタ 0x100E (DPLL0 の場合) およびレジスタ 0x140E (DPLL1 の場合) のビット 0 です。

ビット 0 が 0 の場合、チューニング・ワード・プロセッサは、[平均化プロセッサの続行またはリセット](#)のセクションで説明した制御ビットに基づき平均化プロセッサをリセットします。ビット 0 が 1 の場合、チューニング・ワード・プロセッサは、[平均化プロセッサの続行またはリセット](#)のセクションで説明した制御ビットに基づいて平均化プロセッサをクリアすることが、できなくなります。その代わりに、平均化プロセッサは、それまでの計算を維持します。つまり、計算が停止、または持続されます。

### 平均化プロセッサの続行またはリセット

デフォルトでは、平均化プロセッサは DPLL の状態に関わらず、移動平均を計算し続けます。次の 3 ビットは、DPLL の状態に基づき平均化プロセッサをリセットまたは停止できる、オプションの制御を提供します。

- フェーズ・アンロック時の DPLL 停止履歴
- 周波数アンロック時の DPLL 停止履歴
- 位相スルー制限時の DPLL 停止履歴

これらのビットは、DPLL 永続履歴ビットに応じて平均化プロセスを停止またはリセットします。DPLL 永続履歴が 0 の場合、これらの 3 ビットによって平均化プロセッサはリセットされず。DPLL 永続履歴が 1 の場合、これらの 3 ビットによって平均化プロセッサは停止し、条件が整ったときに再開します。

フェーズ・アンロック時の DPLL 停止履歴ビットは、レジスタ 0x100F (DPLL0 の場合) およびレジスタ 0x140F (DPLL1 の場合) のビット 0 です。ビット 0 を 1 にプログラムすると、DPLL がフェーズ・ロックされていない場合に、平均化プロセッサが停止またはリセットされます。

周波数アンロック時の DPLL 停止履歴ビットは、レジスタ 0x100F (DPLL0 の場合) およびレジスタ 0x140F (DPLL1 の場合) のビット 1 です。ビット 1 を 1 にプログラムすると、DPLL が周波数ロックされていない場合に、平均化プロセッサが停止またはリセットされます。

位相スルー制限時の DPLL 停止履歴ビットは、レジスタ 0x100F (DPLL0 の場合) およびレジスタ 0x140F (DPLL1 の場合) のビット 2 です。ビット 2 を 1 にプログラムすると、位相スルー・リミッタがスルー制限を行っている場合に、平均化プロセッサが停止またはリセットされます (位相スルー・レート制限のセクションを参照)。

これらのビットは任意に組み合わせることができます。ただし、平均化プロセッサ遅延ビットとは異なり、これらのうち複数のビットがロジック 1 になった場合、遅延は、選択した条件の OR 関数として実行されます。つまり、選択したステータス条件のいずれかが満たされた場合、平均化プロセッサは停止またはリセットされます。

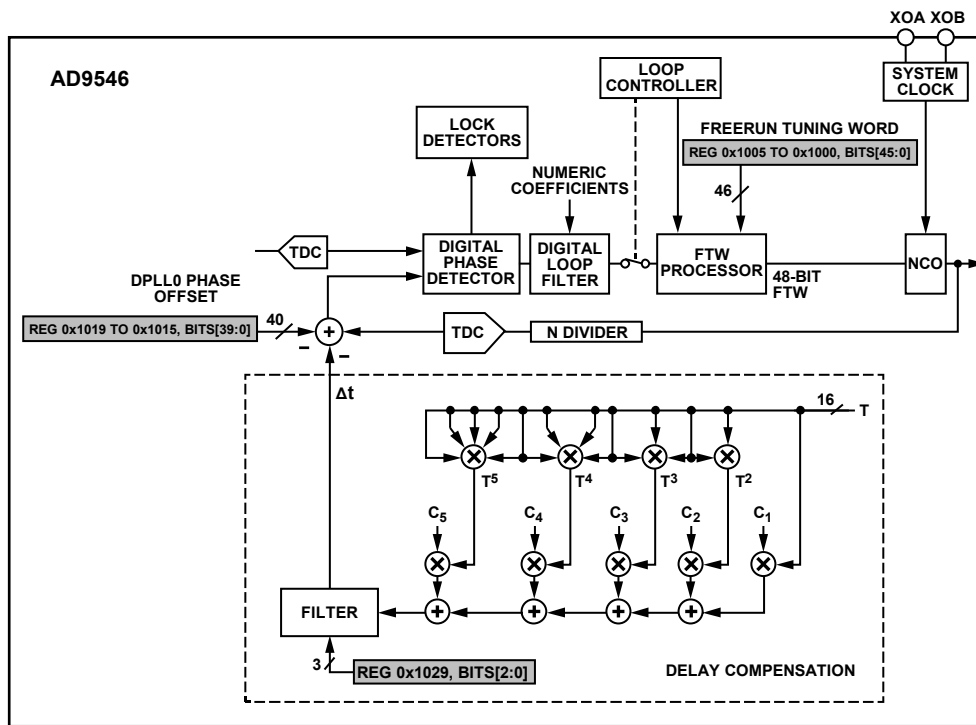
**遅延補償**  
**概要**

遅延補償によって、DPLL には温度依存の遅延変動を打ち消す自動位相オフセットが行われます。図 97 に DPLL と遅延補償ブロックのブロック図を示します。遅延補償が有効になるのは DPLL がアクティブな場合のみです。更に、DPLL 出力での遅延補償の応答時間は、DPLL のループ帯域幅に依存します。

遅延補償は、図 97 に示すように、5 次多項式に基づく温度依存時間オフセット ( $\Delta t$ ) を生成します。多項式の独立変数は温度 (図 97 の T) です。5 次多項式の係数 ( $C_1 \sim C_5$ ) は、対応するべき数の T の係数で、レジスタ・マップを介してユーザが入力します。遅延補償ブロックには定数項 ( $C_0$ ) が不要であることに注意してください。この機能は DPLL 位相オフセット機能が担うためです (DPLL 位相オフセット制御のセクションを参照)。図 97 が示す  $\Delta t$  の計算は次式のとおりです。

$$\Delta t = \sum_{k=1}^5 C_k T^k$$

オープンループ直接補償ブロックへの温度 (T) の入力は、温度センサー回路 (温度センサーのセクションを参照) から行われます。温度ソースは、内部温度センサー (デフォルト) またはレジスタ・マップを介してユーザが提供する温度のいずれかから選択できます。内部温度センサーを使用する場合、デバイスは適切なスケールリング単位を必然的に使用します。しかし、レジスタ・マップ・オプションを使用する場合は、ユーザが適切なスケールリング単位を提供する必要があります (詳細は外部温度ソースのセクションを参照)。



- NOTES  
 1. A RANGE OF BITS USES A COLON SEPARATOR  
 2. REGISTER ADDRESSES ARE SPECIFIC TO DPLL0

図 97. 遅延補償

22206-097



遅延補償係数 (C<sub>k</sub>) のプログラミング

係数 C<sub>k</sub> (k=1~5) は、該当するべき数の T のスケーリング因子です。C<sub>k</sub> の単位は sec/°C で、それぞれが仮数部と指数部から成ります。仮数部と指数部は、レジスタ・マップを使用して別々にプログラムできます。係数の各部分は、表 84 に従ってレジスタ・マップに配置されます。

表 84. 遅延補償係数のアドレス範囲

| DPLL | Coefficient    | Register Address |          |
|------|----------------|------------------|----------|
|      |                | Significand      | Exponent |
| 0    | C <sub>1</sub> | 0x101A to 0x101B | 0x101C   |
| 0    | C <sub>2</sub> | 0x101D to 0x101E | 0x101F   |
| 0    | C <sub>3</sub> | 0x1020 to 0x1021 | 0x1022   |
| 0    | C <sub>4</sub> | 0x1023 to 0x1024 | 0x1025   |
| 0    | C <sub>5</sub> | 0x1026 to 0x1027 | 0x1028   |
| 1    | C <sub>1</sub> | 0x141A to 0x141B | 0x141C   |
| 1    | C <sub>2</sub> | 0x141D to 0x141E | 0x141F   |
| 1    | C <sub>3</sub> | 0x1420 to 0x1421 | 0x1422   |
| 1    | C <sub>4</sub> | 0x1423 to 0x1424 | 0x1425   |
| 1    | C <sub>5</sub> | 0x1426 to 0x1427 | 0x1428   |

仮数と指数の値は符号付き (2 の補数) の数値で、システム・クロック補償の T<sup>k</sup> の値の仮数および指数とまったく同じようにプログラムされます (10 進数の係数を符号付きの 2 の補数の仮数および指数の値に変換する方法の詳細については、補償方法 1 のセクションを参照)。

例えば、AD9546 の出力クロック信号が -1ns/°C の遅延変化を示す測定を行う場合を考えます。この変化を補償するには、1ns/°C の補正を加えます。多項式の形式では、

$$f(T) = C_5 T^5 + C_4 T^4 + C_3 T^3 + C_2 T^2 + C_1 T$$

ここで、f(T) は秒を単位とする補正值で、温度 (T) の関数です。

この例での遅延変化は温度に関し厳密に直線的なので、C<sub>1</sub> 以外の係数はすべてゼロです。したがって、この例では、補償多項式は次のように簡略化できます。

$$f(T) = C_1 T$$

1ns/°C の補償を加えるには、C<sub>1</sub> = 10<sup>-9</sup>sec/°C です。補償方法 1 のセクションの手順を参照し、C<sub>1</sub> を次のように計算します。

$$\begin{aligned}
 C1\_ExpVal &= \left\lfloor \frac{\log |C_1|}{\log 2} \right\rfloor + 1 \\
 &= \left\lfloor \frac{\log |10^{-9}|}{\log 2} \right\rfloor + 1 \\
 &= -29
 \end{aligned}$$

-29 は量子化限界である -127 より大きいので、C<sub>1</sub> の指数部は

$$\begin{aligned}
 C1 \text{ 指数部} &= C1\_ExpVal \\
 &= -29 \\
 &= 0xE3 \text{ (16 進数)}
 \end{aligned}$$

C<sub>1</sub> の仮数部は

$$\begin{aligned}
 C1 \text{ 仮数部} &= C_1 \times 2^{15 - C1\_ExpVal} \\
 &= 10^{-9} \times 2^{15 - (-29)} \\
 &= 17,592 \text{ (最も近い整数)} \\
 &= 0x44B8 \text{ (16 進数)}
 \end{aligned}$$

## 遅延補償フィルタ

遅延補償ブロックで発生する Δt の値は、入力パラメータとしての温度測定値 (内部センサーまたはレジスタ・マップによる) に依存します。これらの測定に関連するノイズは、Δt に対するノイズ源となる可能性があり、DPLL の位相ノイズ性能の低下を引き起こす場合があります。ノイズ混入の可能性を低減するため、位相補償ブロックでは、未加工の Δt 値に平滑化関数を適用するフィルタが使われています。

位相スルー・リミッタ (位相スルー・レート制限のセクションを参照) は、遅延補償フィルタによって DPLL に加えられた時間変化は処理しません。つまり、これらの変化は、位相スルー・リミッタによる介入が行われることなく、DPLL 出力に影響します。

フィルタの帯域幅を制御するには、レジスタ 0x1029 (DPLL0 の場合) およびレジスタ 0x1429 (DPLL1 の場合) のビット [2:0] (符号なし整数) を使用します。フィルタは単極の応答を示し、3dB 帯域幅は表 85 に示すとおりです (図には、フィルタ入力でのステップ変化に関連して、ステップ入力の 99% までの遷移時間も示します)。

表 85. 遅延補償フィルタの帯域幅

| Bits[2:0] | 3 dB Bandwidth (Hz) | Transition Time (ms) |
|-----------|---------------------|----------------------|
| 000       | 240                 | 3.27                 |
| 001       | 120                 | 6.58                 |
| 010       | 60                  | 13.0                 |
| 011       | 30                  | 26.5                 |
| 100       | 15                  | 53.1                 |
| 101       | 7.6                 | 99.5                 |
| 110       | 3.8                 | 199                  |
| 111       | 1.9                 | 398                  |

## タイム・スタンプのタグ付けオプション

DPLL への入力、リファレンス入力 TDC と帰還 TDC の 2 つの TDC から送られるタイム・スタンプから成っています。更に、ユーザは、これらの TDC を起源とするタイム・スタンプにタグ付けすることができます (タグ付けされたタイム・スタンプのセクションを参照)。また、DPLL が、(すべてのタイム・スタンプではなく) リファレンス TDC や帰還 TDC を起源とするタグ付けされたタイム・スタンプに基づいて動作するようにもできます。

タグ付けされたタイム・スタンプを DPLL が使用できるのは、ゼロ遅延 (ヒットレス) モードの場合のみです。位相ビルドアウト・モードでは、DPLL はタグ付けされたタイム・スタンプを無視します。ゼロ遅延モードと位相ビルドアウト・モードの説明については、[周波数変換ループ](#)のセクションを参照してください。

DPLL のタグ付けされたタイム・スタンプ機能を使用するには、[表 74](#) の開始アドレスに 3 (10 進数) のオフセットを加えたアドレスにある、該当の変換プロファイルのビット [4:2] を使用します。[表 86](#) に示すように、タグ付けされた動作モードは 5 通りあります。

表 86. タグ付けされたタイム・スタンプの動作モード

| Bits[4:2] | Tag Mode   |
|-----------|--|
| 0         | No tagging (default)   |
| 1         | Reference tagging only   |
| 2         | Feedback tagging only  |
| 3         | Combined reference and feedback tagging with equal carrier rates   |
| 4         | Combined reference and feedback tagging with unequal carrier rates |
| 5 to 7    | Not applicable   |

タグ付けされたタイム・スタンプに関しては、キャリアのレートは、TDC がタイム・スタンプを生成するレート (つまり、TDC への入力クロックの基盤レート) です。タグ付けレートは、TDC がタグ付けされたタイム・スタンプを生成するレートです。タグ付けレートは、常に、キャリアのレートの整数の約数です。

どのタグ付けモードも DPLL の通常動作モードではありません。つまり、デジタル PFD は、タイム・スタンプがタグ付けされたものかどうかを問わず、あらゆるリファレンスおよび帰還タイム・スタンプを処理します。

リファレンスのタグ付けのみのモードでは、デジタル PFD は位相調整のためにタグ付けされたリファレンス・タイム・スタンプを使用します。ユーザは、リファレンスがタグ付けされたタイム・スタンプを提供するよう設定する必要があります。リファレンスが REF<sub>x</sub> 入力または補助 REF<sub>x</sub> 入力の 1 つである場合、リファレンス復調器がタグ付けされたタイム・スタンプのソースとなります ([リファレンス復調器](#)のセクションを参照)。リファレンスが補助 NCO である場合は、補助 NCO がタグ付けされたタイム・スタンプのソースとなります ([補助 NCO](#)のセクションを参照)。

フィードバックのタグ付けのみのモードでは、デジタル PFD は位相調整のためにタグ付けされた帰還タイム・スタンプを使用します。ユーザは、帰還パスが、タグ付けされたタイム・スタンプを出力クロック変調を介して提供するよう設定する必要があります ([分配組み込み出力クロック変調](#)のセクションを参照)。

リファレンスと帰還を組み合わせさせたタグ付けのモードでは、デジタル PFD はリファレンス TDC と帰還 TDC の両方からのタグ付けされたタイム・スタンプを使用します。ユーザは、リファレンス・パスと帰還パスがタグ付けされたタイム・スタンプを提供するよう設定する必要があります。更に、リファレンス・パスのタグ・レートを帰還パスのタグ・レートに一致させる必要もあります。

リファレンスと帰還を組み合わせさせたタグ付けのモードには、等キャリア・レートと不等キャリア・レートの 2 種類があります。リファレンスと帰還を組み合わせさせたタグ付けのモードでは、両方のパスでタグ・レートを等しくする必要があります。両方のパスのキャリア・レートにはそのような条件はありません。しかし、適切な動作のためには、DPLL はリファレンス・キャリア・レートと帰還キャリア・レートの関係を予め知っておく必要があります、これが 2 種類ある理由となっています。ユーザは、リファレンス TDC キャリア・レートと帰還 TDC キャリア・レートが異なるかどうかに応じて、適切な種類を選択する必要があります。

## カスケード接続 DPLL 構成

カスケード接続 DPLL 構成は、両方の DPLL を同じリファレンス・ソースにロックすると共に、すべてのリファレンス・ソースが消失した場合でも両方の DPLL はフェーズ・ロックし続ける、というようなアプリケーションに適用できます。カスケード接続構成を理解するため、まず図 98 に示すカスケード機能のないデバイス動作の場合を考えます。変換プロファイルのセクションとリファレンス・スイッチングのセクションの内容をご理解いただいていることが前提となります。図 98 と図 99 は、位相ビルドアウト構成を示す DPLL の簡略図ですが、ゼロ遅延（ヒットレス）構成にも当てはまります。

図 98 の左端は、変換プロファイル 0.a を使用する DPLL0 と変換プロファイル 1.z を使用する DPLL1 を備えた 2 つの有効リファレンス源を示しています。これらの変換プロファイルはリファレンス源 1 に割り当てられ、a および z は 0~5 の任意の整数となる変数です。そのため、両 DPLL は意図したとおり、共通リファレンスにロックされます。

図 98 の中央部は、リファレンス源 1 が消失した場合を示します。リファレンス源 1 の消失によって、自動リファレンス・スイッチングが有効になっている場合、両 DPLL は個別に新しいリフ

アレンス源を探すこととなります（リファレンス・スイッチングのセクションを参照）。恐らく、ユーザは、DPLL0 が変換プロファイル 0.b、DPLL1 が変換プロファイル 1.y を選択し（ここで b と y は、0~5 の任意の整数値とすることができますが、a および z 変数とは異なる値です）、どちらのプロファイルも同じ有効リファレンス源を割り当てる（この例ではリファレンス源 2）ように変換プロファイルを定義しています。したがって、どちらの DPLL も意図したとおり、共通のリファレンスに再度ロックされます。

図 98 の右端は、リファレンス源 2 が消失し、有効リファレンス源がない場合を示しています。この場合、どちらの DPLL も、ホールドオーバー・モードまたはフリーラン・モードに切り替わる以外にはリソースがありません。しかし、ホールドオーバー・モードまたはフリーラン・モードに切り替わったときに、DPLL は同じ FTW を有効にすることができないため、その出力はフェーズ・ロックしなくなり、それによって、すべてのリファレンス源が消失した場合でも両 DPLL はフェーズ・ロックし続けるという、元来の条件が成立しなくなります。カスケード接続構成はこの問題に対する解答を提供します。

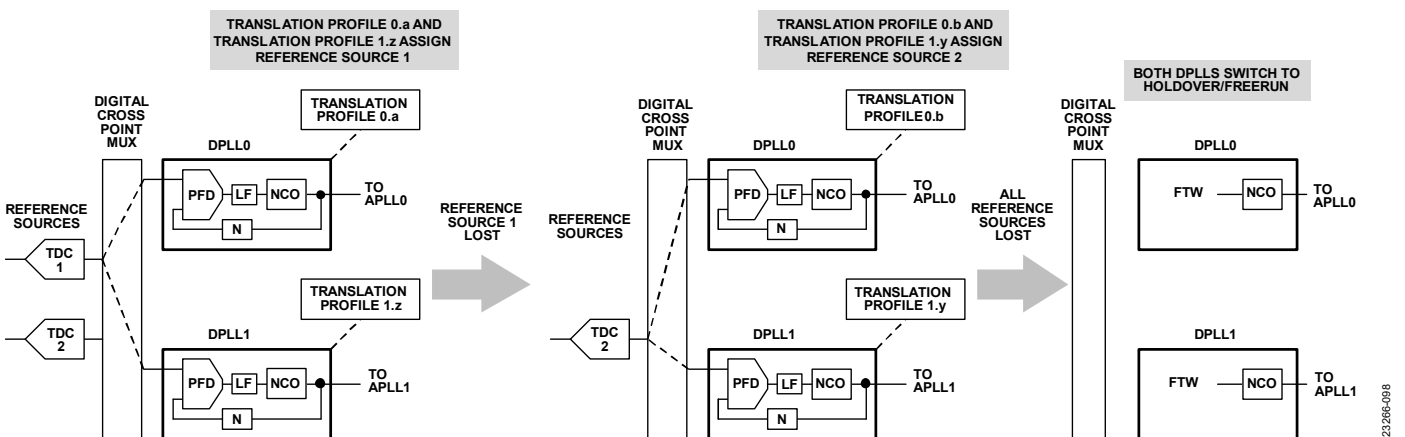


図 98. 非カスケード接続 DPLL 動作

23266-098

図 99 に、カスケード接続 DPLL 構成とその動作を示します。図 98 と図 99 の主な違いは、DPLL0 の帰還パスをリファレンス入力として使用するように DPLL1 の変換プロファイル 1.x が設定されている点です。このように変換プロファイル 1.x を設定すると、カスケード接続 DPLL 動作が可能となります。変換プロファイル 1.x が DPLL0 の帰還パスをリファレンス入力として使用するよう設定されているということから、カスケード接続 DPLL 構成において、DPLL1 が二次 DPLL、DPLL0 が一次 DPLL として関係付けられます (図 99 の右端を参照)。

変換プロファイル 1.x があることは、カスケード接続 DPLL 動作を可能にするために必要な 2 つの条件のうちの 1 つです。もう 1 つの条件は、一次 DPLL には非アクティブなプロファイルが割り当てられていることです。この割り当てを行うには、レジスタ 0x102A (DPLL0 の場合) およびレジスタ 0x142A (DPLL1 の場合) のビット [2:0] を使用します。デフォルトでは、ビット [2:0] = 000 (2 進数値) で、これは変換プロファイル 0.0 (DPLL0 の場合) または変換プロファイル 1.0 (DPLL1 の場合) を非アクティブ・プロファイルの割り当てとしますが、ユーザはビット [2:0] を使用して 6 つの変換プロファイルのいずれか 1 つを非アクティブ・プロファイルとして指定することができます。ビット [2:0] を値 x (x は 0~5 (10 進数値) でプログラムすると、対応する変換プロファイル 0.x または 1.x (x は 0~5 の整数値) が選択されます。図 99 では、非デフォルトの例を示すために、変換プロファイル 0.b が非アクティブ・プロファイルとされています。

図 99 の左端の図を検査します。これは、DPLL0 で変換プロファイル B が非アクティブ・プロファイルとして割り当てられている点を除き、図 98 と同じです。図 98 と同様、両 DPLL はリファレンス源 1 にロックしています。図 99 の中央の図は、リファレンス源 1 が消失した場合に当てはまります。図 98 と同様、両 DPLL はリファレンス源 2 にロックしています。しかし、リファレンス源 2 が消失した場合 (図 99 の右端)、ユーザが一次 DPLL の帰還パスをリファレンス源として使用するよう変換プロファイル (この例では変換プロファイル 1.x) を設定していると、次に示すイベントが発生します。

DPLL0 がリファレンスを消失した場合、リファレンス源が使用できないため、ホールドオーバー・モードまたはフリーラン・モードに切り替わる以外にリソースはありません。しかし、変換プロファイル 0.b が非アクティブになると、変換プロファイル B が DPLL0 の非アクティブ・プロファイル・インデックスであるため、DPLL0 の帰還パスが DPLL1 の有効リファレンスとして使用できます。DPLL0 はスイッチオーバー・モードまたはフリーランに切り替わりますが、DPLL1 は使用可能なリファレンス源である DPLL0 の帰還パスがあるため、切り替わりません。DPLL1 は、カスケード接続 DPLL 動作に切り替わる前に、一時的にホールドオーバー・モードまたはフリーラン・モードに切り替わることがあります。しかし最終的にはカスケード接続 DPLL 動作になり、DPLL1 (二次 DPLL) のリファレンス入力が DPLL0 (一次 DPLL) の帰還パスに接続されます。このように、2 つの DPLL 出力がフェーズ・ロックされ、すべてのリファレンス源が消失しても DPLL 出力はフェーズ・ロックし続けるという、元来の条件が維持されます。

一次 DPLL と二次 DPLL の役割は交換可能です。この役割は、ユーザが変換プロファイルをどのようにプログラムし、非アクティブ・プロファイル・インデックスをどのように割り当てるかによって決まるためです。

カスケード接続 DPLL 構成がアクティブとなるには、次の条件が必要です。

- 二次 DPLL に関連付けられた、一次 DPLL の帰還パスをリファレンス入力として割り当てる変換プロファイルが存在する。
- 一次 DPLL に非アクティブ変換プロファイルの割り当てがある (デフォルトでは、特に指定のない限り、変換プロファイル 0 が非アクティブ・プロファイル)。
- APLL の一次チャンネルが補正されており、ロックされたステータスを示す。
- 一次 DPLL が非アクティブ、つまり、フリーランまたはホールドオーバー動作状態にある。

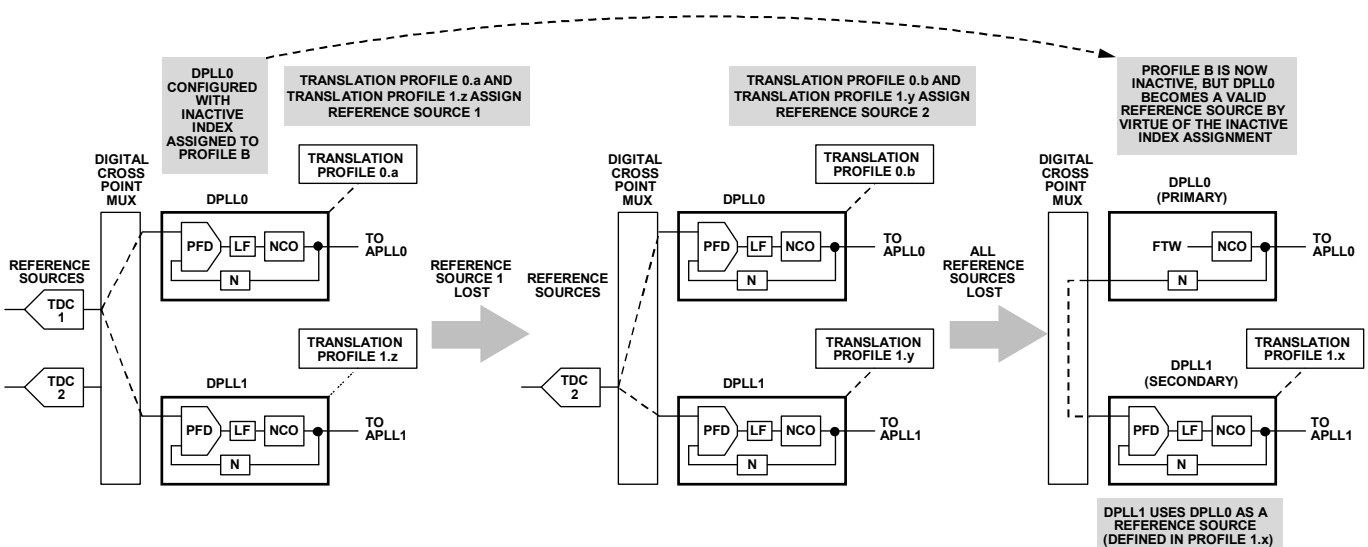


図 99. カスケード接続 DPLL 構成

2326c-099

### カスケード接続 DPLL 動作に関する補足説明

カスケード接続 DPLL 動作を使用する場合、リファレンス同期は使用しないことを推奨します（[リファレンス同期](#)のセクションを参照）。

割り当てられた非アクティブ・プロファイル・インデックスによって対象として指定されたプロファイルが非アクティブとなる場合、その対象プロファイル設定の一部の性質は、次のように、（指定プロファイルが非アクティブであっても）引き続き重要です。

- 変換タイプ（位相ビルドアウトまたはヒットレス - [変換モード](#)のセクションを参照）。位相ビルドアウト・モードの場合、一次 DPLL に関連付けられた APLL は補正されたロック状態にあることが必要です。ヒットレス（内部）モードの場合、一次 DPLL に関連付けられた APLL は、補正されたロック状態にあることが必要で、また、選択された分配パスがアクティブである（同期イベントが二次 DPLL に関連付けられたチャンネルで発生している（[分配出力クロック同期](#)のセクションを参照））ことが必要です。
- デバイスは、（一次 DPLL が実質的にオープンループ（ホールドオーバーまたはフリーラン）で動作している場合でも）一次 DPLL の帰還設定に関する情報を使用します。
- ユーザは、一次 DPLL のフラクショナル帰還分周は指定できません（カスケード接続 DPLL 構成で動作中、デバイスは帰還分周器のフラクショナル部を無視します）。更に、ユーザは、（対象として指定された非アクティブ・プロファイルがヒットレス（内部）プロファイルであっても、）対象として指定された非アクティブ・プロファイルのビルドアウト N 分周比を適切にプログラムする必要があります。ビルドアウト N 分周器に関する詳細については、[DPLL 帰還分周器（N 分周器）](#)のセクションを参照してください。
- カスケード接続 DPLL 動作には外部ゼロ遅延設定は指定できません。
- デバイスは、一次 DPLL に従ってタグ付けするタイム・スタンプに関連した情報を使用します。具体的には、一次 DPLL の帰還パスに対して定義されたタグ付けモードによって、タイム・スタンプのタグが二次 DPLL のリファレンス入力パスで使用可能かどうかが決まります。したがって、対象として指定された一次 DPLL の非アクティブ・プロファイルは、タグ・モードとして 2、3、または 4 の値を使用する必要があります。更に、二次 DPLL の変換プロファイルは、タグ・モードとして 1、3、または 4 の値を使用する必要があります（タグ・モードについては[表 86](#)を参照）。

## アナログ PLL (APLL)

### APLL の概要

図 100 は APLL のブロック図を示すもので、APLL0 と APLL1 の両方に当てはまります。APLL の主な構成要素は次のとおりです。

- 内蔵 VCO
- PFD とチャージ・ポンプの組み合わせ
- ループ・フィルタ
- 帰還分周器 (M 分周器)

APLL の目的は次のとおりです。

- 低ノイズ出力クロック信号を提供すること
- DPLL 出力周波数を約 3GHz にアップコンバートすること
- NCO のスプリアス・アーチファクトを抑えること

### 電圧制御発振器 (VCO)

VCO は、スプリアス・フリーの低ノイズ RF クロック信号を 3GHz レンジで供給します。この信号は、APLL0 を OUT0x 出力のソース、APLL1 を OUT1x 出力のソースとする、出力分配セクションに供給されます。APLL0 用 VCO と APLL1 用 VCO がカバーする周波数範囲は、表 87 に示すように重複がありません。APLL の出力周波数は、P 分周器により VCO 周波数の半分となっています (図 100 を参照)。

表 87. APLL の VCO 周波数とゲイン

| APPL | VCO Frequency (MHz) | VCO Gain (MHz/V) |
|------|---------------------|------------------|
| 0    | 2424 to 3232        | 60               |
| 1    | 3232 to 4040        | 100              |

VCO の周波数範囲は約 800MHz で、多数の狭く重複のある周波数帯から成っています。VCO が所定の出力周波数に対し適切な帯域を使用し、幅広い温度範囲で妥当な動作を行えるよう、AD9546 には自動 VCO キャリブレーション機能が組み込まれています。

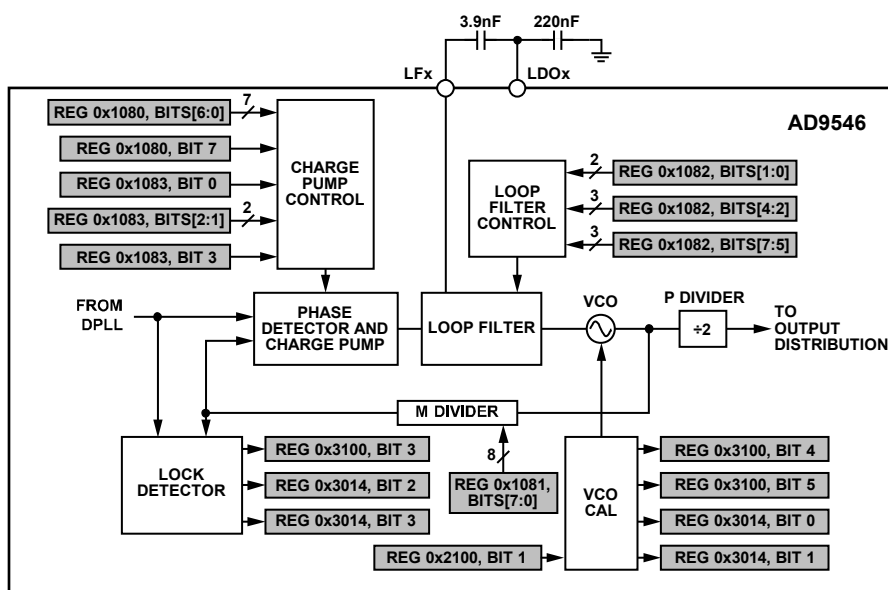
### VCO のキャリブレーション

APLL0 または APLL1 の VCO キャリブレーションを別々に開始するには、レジスタ 0x2100 (APLL0 の場合) およびレジスタ 0x2200 (APLL1 の場合) のビット 1 にロジック 1 を書き込みます。ビット 0 は自動クリアではありません。そのため、ユーザはビット 0 を直ちにロジック 0 に戻す必要があります。ロジック 1 状態を安定的に維持すると予想外のデバイス動作を引き起こす可能性があるためです。

両 APLL チャンネルを各チャンネル別々ではなく一緒に補正するには、レジスタ 0x2000 のビット 1 にロジック 1 を書き込みます。ビット 1 は両 APLL だけでなくシステム・クロック PLL も補正します。

APLL VCO キャリブレーション・プロセスのステータスを確認するための 1 つのオプションは、レジスタ 0x3100 (APLL0 の場合) およびレジスタ 0x3200 (APLL1 の場合) のビット [5:4] を使用することです。ビット 4 がロジック 1 の場合、APLL がキャリブレーション中であることを示します。ビット 5 がロジック 1 の場合、APLL がキャリブレーションを終了していることを示します。ビット 4 は、適切に設定された Mx ピンを介して、物理的な出力信号としても使用できます。

APLL VCO キャリブレーション・プロセスのステータスを確認するためのもう 1 つのオプションは、レジスタ 0x3014 (APLL0 の場合) およびレジスタ 0x3019 (APLL1 の場合) のビット [1:0] を使用することです。ビット 0 はビット 4 の、ビット 1 はビット 5 のラッチされた状態遷移を表すため、それらの表す状態は真ではなく、可能性があるため、レジスタ 0x200F (APLL0 の場合) とレジスタ 0x2014 (APLL1 の場合) のビット 0 およびビット 1 を使用して、それぞれビット 0 およびビット 1 をクリアする必要があります。クリアしない場合、VCO キャリブレーション・プロセスの後続の状態変化が正しく読み出せない場合があります。



NOTES  
 1. A RANGE OF ADDRESSES OR BITS USES A COLON SEPARATOR  
 2. REGISTER ADDRESSES ARE SPECIFIC TO APLL0

図 100. APLL のブロック図

## APLL 帰還分周器 (M 分周器)

レジスタ 0x1081 (APLL0 の場合) およびレジスタ 0x1481 (APLL1 の場合) のビット [7:0] を使用して、APLL 帰還 M 分周器をプログラムできます。M 分周器の分周比は、ビット [7:0] の 10 進数値で、1~255 の分周比が可能です。値 0 は、1 と同じです。

例えば、目的の分周比が 27 の場合、ビット [7:0] = 27 (10 進数) または 0x1B (16 進数) とプログラムします。

## 位相周波数検出器 (PFD)

PFD は、M 分周器の帰還信号と DPLL の出力の間の瞬時位相誤差を検出します。位相誤差は本質的に、2 つの信号間の位相差を最終的にゼロにするような方法で APLL のサーボ・ループを駆動します。PFD の帯域幅は、DPLL の NCO を起源とする信号を処理するのに十分な広さです (最大約 350MHz (公称値))。

APLL にはロック検出機能が組み込まれており、周波数ロック状態になった場合にそれを示します。ロック・ステータスの指示は、レジスタ 0x3100 (APLL0 の場合) およびレジスタ 0x3200 (APLL1 の場合) のビット 3 を介して可能です。ロジック 1 がロック・ステータスを示します。ビット 3 は、適切に設定された Mx ピンを介して、物理的な出力信号としても使用できます。

レジスタ・マップの IRQ セクションは、レジスタ 0x3014 (APLL0) およびレジスタ 0x3019 (APLL1) のビット [3:2] を使用して、ロック検出器のステータスの状態変化を反映するラッチされたステータス・ビットを提供します。ビット 2 はアンロック状態からロック状態への遷移時にロジック 1 にラッチされ、ビット 3 はロック状態からアンロック状態への遷移時にロジック 1 にラッチされます。ビット 2 とビット 3 はラッチされたビットであるため、レジスタ 0x200F (APLL0 の場合) とレジスタ 0x2014 (APLL1 の場合) のビット 2 およびビット 3 を使用して、それぞれビット 2 およびビット 3 をクリアする必要があります。クリアしない場合、ロック検出器の後続の状態変化が正しく読み出せない場合があります。

## チャージ・ポンプ

チャージ・ポンプは、1 対の定電流源で構成され、位相検出器の出力に応じてループ・フィルタと電荷のやり取りを行います。電荷の転送によって、VCO に印加される電圧が増減し、これによって VCO 周波数が入力周波数と一致し最終的にフェーズ・ロック状態をもたらすよう、制御されます。

チャージ・ポンプには手動と自動の 2 つの動作モードがあり、レジスタ 0x1080 (APLL0 の場合) およびレジスタ 0x1480 (APLL1 の場合) のビット 7 で選択できます。ロジック 1 (デフォルト) で手動モード、ロジック 0 で自動モードが選択されます。

手動モードでは、レジスタ 0x1080 およびレジスタ 0x1480 のビット [6:0] (符号なし) を使用してチャージ・ポンプ電流をプログラムできます。実際のチャージ・ポンプ電流 ( $I_{CP}$ ) とビット [6:0] (チャージ・ポンプ・スケール) の関係は、次式で表されます。

$$I_{CP} = \text{チャージ・ポンプ・スケール} \times 8\mu\text{A} \quad (23)$$

$I_{CP}$  の範囲は 0 $\mu\text{A}$ ~1016 $\mu\text{A}$  です。ビット [6:0] のデフォルト値は 0x14 (10 進数の 20) で、これにより、 $I_{CP} = 160\mu\text{A}$  となります。

例えば、 $I_{CP} = 743\mu\text{A}$  として、チャージ・ポンプ・スケール値を求めてみます。式 23 をチャージ・ポンプ・スケールについて解くと、

$$\begin{aligned} \text{チャージ・ポンプ・スケール} &= I_{CP}/8\mu\text{A} \\ &= 743\mu\text{A}/8\mu\text{A} \\ &= 93 \text{ (最も近い整数)} \\ &= 0x5D \text{ (16 進数)} \end{aligned}$$

自動モードでは、チャージ・ポンプ電流のスケール値は無効です。その代わりに、APLL は、表 88 に従い、M 分周器の値に応じてチャージ・ポンプ電流 ( $I_{CP}$ ) を自動調整します。この自動調整によって、M 分周器の値 1~63 に対し、比較的一定のループ帯域幅がもたらされます。ループ帯域幅は APLL0 の場合約 250kHz、APLL1 の場合約 300kHz です。自動チャージ・ポンプ制御は、M 分周器の値の 1 つのサブセットでのみ有効である点に注意してください。この制約があるため、一般には、自動モードは避けることが望まれます。

表 88. 自動モードでの APLL チャージ・ポンプ電流

| M Divider Value | $I_{CP}$ ( $\mu\text{A}$ ) |
|-----------------|----------------------------|
| 1 to 63         | $M \times 16$              |
| 64 to 255       | 1016                       |

動作モード (手動または自動) とは無関係に、チャージ・ポンプには、一定の DC オフセット電流をチャージ・ポンプの出力に加えることができます。オフセット電流を加えることで、APLL がロック状態にあるときのチャージ・ポンプの非直線性に伴うスペクトル・アーチファクトを、ある程度克服できます。一般に、この機能がアクティブで、適切に調整されている場合、ノイズ性能は大幅に向上します。

DC オフセット電流機能を有効化または無効化するには、レジスタ 0x1083 (APLL0) およびレジスタ 0x1483 (APLL1) のビット 0 を使用します。ロジック 1 (デフォルト) ではこの機能が有効になり、ロジック 0 では無効になります。オフセット電流の極性 (正または負) を制御するには、レジスタ 0x1083 (APLL0 の場合) およびレジスタ 0x1483 (APLL1 の場合) のビット 3 を使用します。ロジック 0 (デフォルト) では正、ロジック 1 では負となります。オフセット電流の大きさは、レジスタ 0x1083 (APLL0 の場合) およびレジスタ 0x1483 (APLL1 の場合) のビット [2:1] (符号なし) の値によって決まります。このビット・フィールドの値は、表 89 に従い、DC オフセット電流を  $I_{CP}$  の割合として設定します。ただし、分解能は 8 $\mu\text{A}$  です。したがって、オフセット電流は 8 $\mu\text{A}$  を単位とする整数ステップで、8 $\mu\text{A}$  未満のステップはゼロに近づく方向に丸められます (つまり、-53 $\mu\text{A}$  は -48 $\mu\text{A}$  に丸められます)。

表 89. APLL チャージ・ポンプ DC オフセット電流

| Bits[2:1] (Decimal) | DC Offset Current (% of $I_{CP}$ ) |
|---------------------|------------------------------------|
| 0                   | 50                                 |
| 1                   | 25 (default)                       |
| 2                   | 12.5                               |
| 3                   | 6.25                               |

一般に、DC オフセット電流とチャージ・ポンプ・スケールの各デフォルト値は、全体的に最適な性能をもたらします。そのため、手動チャージ・ポンプ・モードのみを使用することを推奨します (手動チャージ・ポンプ・モードについては、チャージ・ポンプのセクションを参照)。

## APLL ループ・フィルタ

PFD によって検出された位相誤差は、チャージ・ポンプを駆動します。チャージ・ポンプは、位相誤差の量に比例して、電荷をループ・フィルタに転送します。ループ・フィルタは電荷を蓄え、この電荷によって、位相誤差を打ち消すように VCO 周波数を制御する DC 電圧が生成されます。

ループ・フィルタは、ローパス応答特性を備えた抵抗とコンデンサから成るフィルタで、次の 3 つの目的を持っています。

- チャージ・ポンプから送られた電荷の蓄積
- 位相誤差信号の高周波成分の減衰
- 帰還ループの安定化

図 101 にループ・フィルタの回路図を示します。部品のうち 3 つ (R1、R3、C2) はプログラマブルで、これを使用してループ・フィルタの応答を調整できます。2 つの外付けコンデンサ (3.9nF と 220nF) は、LFX ピンと LDOx ピンに接続します。これら 2 つの部品は、それぞれ、ループ・フィルタと内蔵 LDO の適切な動作のために必要なものです。

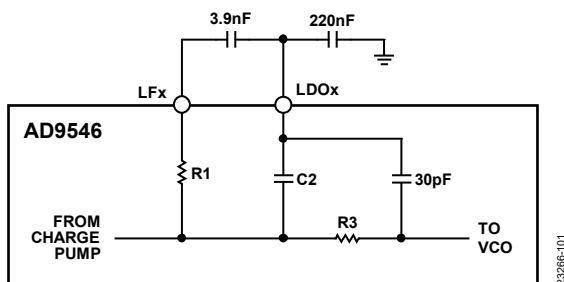


図 101. APLL ループ・フィルタ

R1、C2、R3 をプログラムするには、レジスタ 0x1082 (APLL0 の場合) とレジスタ 0x1482 (APLL1 の場合) を使用します。ビット [7:5] (符号なし) が R1 を、ビット [4:2] (符号なし) が C2 を、ビット [1:0] (符号なし) が R3 をそれぞれ制御します。表 90 に、R1、C2、R3 を選択するビット・フィールドの 10 進数値とループ・フィルタの物理的な部品値の関係を示します。

表 90. APLL ループ・フィルタの部品値

| Bit Field Value (Decimal) | R1 (Ω)         | C2 (pF)     | R3 (Ω)        |
|---------------------------|----------------|-------------|---------------|
| 0                         | 0              | 8 (default) | 200 (default) |
| 1                         | 250            | 24          | 250           |
| 2                         | 500            | 40          | 333           |
| 3                         | 750            | 56          | 500           |
| 4                         | 1000           | 72          | n/a           |
| 5                         | 1250           | 88          | n/a           |
| 6                         | 1500           | 104         | n/a           |
| 7                         | 1750 (default) | 120         | n/a           |

一般に、デフォルトのフィルタ設定値が最適な性能を実現します。APLL ループ・フィルタの応答を変更することは不要ですが、特定の条件に合わせて応答を調整するために APLL ループ・フィルタの部品値を変更する場合、支援が必要な際はアナログ・デバイスズにお問い合わせください。



## リファレンス・スイッチング

### リファレンス・スイッチングの概要

AD9546 には内部コントローラが管理する、精巧なリファレンス・スイッチング・メカニズムがあります。一般に、DPLL はクローズドループ・モードで動作し、リファレンス入力信号の周波数および位相にロックしています。しかし、リファレンスが無効になると、AD9546 は、ユーザが変換プロファイルをどのようにプログラムしたかに応じて、自動で別のリファレンス入力に切り替わります（**変換プロファイル**のセクションを参照）。有効なリファレンスがない場合、AD9546 は、オープンループ動作モードである、ホールドオーバーまたはフリーランのいずれかのモードに切り替わります。DPLL のフリーラン、ホールドオーバー、手動/自動ソース選択の選択方法は、**図 102** の DPLL モード選択フローチャートに従います。**図 102** の 3 つのプロシージャ（ホールドオーバー、変換プロファイル検証、優先度ベース変換プロファイル選択）にはそれぞれ**図 103**、**図 104**、**図 105** に示すように、個別のフローチャートがあります。

DPLL には 3 つのステータス・インジケータがあり、DPLL が（新しいリファレンス入力を意味する）新しい変換プロファイルへの切り替えを開始した場合、または DPLL がフリーラン・モードまたはホールドオーバー・モードに入った場合に、ユーザに通知します。これらのインジケータは、次に示すように、レジスタ 0x3101 およびレジスタ 0x3201 のビット [2:0] にあります。

- ビット 2：変換プロファイルの切り替え
- ビット 1：ホールドオーバー・モード
- ビット 0：フリーラン・モード

これらのインジケータは、レジスタ 0x3011 およびレジスタ 0x3016 のビット [7:5] を使用して、次に示すように、対応する IRQ ステータス・ビットにも通知します。

- ビット 7：変換プロファイルを切り替えた
- ビット 6：フリーラン・モードに入った
- ビット 5：ホールドオーバー・モードに入った

DPLL がアクティブな変換プロファイルに切り替わる過程にある場合、ビット 7 がロジック 1 にラッチされます。DPLL がフリーラン・モードに入ると、ビット 6 がロジック 1 にラッチされます。DPLL がホールドオーバー・モードに入ると、ビット 5 がロジック 1 にラッチされます。ビット [7:5] はラッチされたビットであるため、その後にリファレンス・スイッチング、フリーラン、またはホールドオーバーへ遷移したことを知るためには、レジスタ 0x200C およびレジスタ 0x2011 のビット [7:5] を使用して、これらのビットをクリアする必要があります（**割込み要求 (IRQ)** のセクションを参照）。

### 強制フリーラン・モード

AD9546 の自動リファレンス・スイッチング機能によって、DPLL がフリーラン・モードに切り替わる場合もありますが、レジスタ 0x2105 (DPLL0 の場合) またはレジスタ 0x2205 (DPLL1 の場合) のビット 0 にロジック 1 を書き込むことで、DPLL を強制的にフリーラン・モードにすることもできます。フリーラン・モードでは、DPLL はオープンループで動作し、レジスタ 0x1000～レジスタ 0x1005 (DPLL0 の場合) およびレジスタ 0x1400～レジスタ 0x1405 (DPLL1 の場合) の 46 ビットフリーラン・チューニング・ワードで指定された、一定の出力周波数を生成します。詳細については、**フリーラン・チューニング・ワード**のセクションを参照してください。

### 強制ホールドオーバー・モード

AD9546 の自動リファレンス・スイッチング機能によって、DPLL がホールドオーバー・モードに切り替わる場合もありますが、レジスタ 0x2105 (DPLL0 の場合) またはレジスタ 0x2205 (DPLL1 の場合) のビット 1 にロジック 1 を書き込むことで、DPLL を強制的にホールドオーバー・モードにすることもできます。ホールドオーバー・モードでは、フリーラン・モードと同様、DPLL はオープンループで動作し、一定の出力周波数を生成します。ただし、DPLL は、チューニング・ワード履歴プロセッサによって指定された 3 つの静的チューニング・ワードのいずれかを使用します（**チューニング・ワードの履歴**のセクションを参照）。**図 103** に、ホールドオーバー・チューニング・ワードの選択の概要を示します。

フリーラン・モードはホールドオーバー・モードをオーバーライドする点に注意してください（**図 102** を参照）。更に、フリーラン・モードとホールドオーバー・モードは、どちらも手動/自動ソース選択モードをオーバーライドします（**手動/自動変換プロファイル選択**のセクションを参照）。

### 手動/自動変換プロファイル選択

レジスタ 0x2105 (DPLL0 の場合) またはレジスタ 0x2205 (DPLL1 の場合) でビット [1:0] = 1 (10 進数) の場合、DPLL は、レジスタ 0x2105 (DPLL0 の場合) またはレジスタ 0x2205 (DPLL1 の場合) のビット [3:2] に基づいて変換プロファイルを選択します。ビット [3:2] は、**表 91** に従い、4 通りの変換プロファイル選択モードに対応します。

表 91. DPLL 変換プロファイル選択モードの設定

| ビット [3:2]<br>(10 進数) | 説明  |
|----------------------|---|
| 0                    | 優先度をベースとする自動変換プロファイル選択                      |
| 1                    | 優先度をベースとする変換プロファイル選択へのフォールバック付き手動変換プロファイル選択 |
| 2                    | ホールドオーバーへのフォールバック付き手動変換プロファイル選択             |
| 3                    | 手動のみの変換プロファイル選択                             |

### 手動のみの変換プロファイル選択

**表 91** の手動のみの変換プロファイル選択モード（ビット [3:2] = 3 (10 進数)）は、設定に動作上の付帯事項がいくつかあるため、推奨動作モードではありません。手動のみの変換プロファイル選択モードを使用するアプリケーションについては、アナログ・デバイズにお問い合わせください。

### ホールドオーバーへのフォールバック付き手動変換プロファイル選択

ホールドオーバーへのフォールバック付き手動変換プロファイル選択モード（ビット [3:2] = 2 (10 進数)）では、レジスタ 0x2105 (DPLL0) または 0x2205 (DPLL1) のビット [6:4] を使用して、特定の変換プロファイルを手動動作に指定できます。ビット [6:4] の 10 進数値  $y$  が、目的の変換プロファイル  $x,y$  を指定します ( $y$  は 0～5 で、 $x$  は 0 (DPLL0) または 1 (DPLL1))。指定された変換プロファイルが有効でない場合は、DPLL はホールドオーバー動作（オープンループ）に切り替わります。ただし、チューニング・ワード履歴プロセッサ（**チューニング・ワードの履歴**のセクションを参照）のステータスによっては、DPLL はホールドオーバーではなくフリーラン動作を選択する場合があります。

## 優先度をベースとする変換プロファイル選択へのフォールバック付き手動変換プロファイル選択

優先度をベースとする変換プロファイル選択へのフォールバック付き手動変換プロファイル選択モード（ビット [3:2] = 1（10進数））では、[ホールドオーバーへのフォールバック付き手動変換プロファイル選択](#)のセクションでの説明と同様に、特定の变換プロファイルを手動動作に指定できます。ただし、選択したプロファイルが有効でない場合は、ホールドオーバーに切り替わるのではなく、DPLL は優先度をベースとする選択プロセスを使用することを試みます（優先度をベースとする選択の説明については、[優先度をベースとする自動変換プロファイル選択](#)のセクションを参照してください）。DPLL が優先度選択プロセスに従って変換プロファイルを見つけれない場合は、DPLL は、[図 103](#)に示すように、ホールドオーバーまたはフリーラン動作に切り替わります。

## 優先度をベースとする自動変換プロファイル選択

特定の变換プロファイルに関連付けられる優先度は、次のレジスタ・アドレスのビット [5:1] にプログラムされた値によって異なります。DPLL0 の場合、0x1200、0x1220、0x1240、0x1260、0x1280、0x12A0、DPLL1 の場合、0x1600、0x1620、0x1640、0x1660、0x1680、0x16A0。ビット [5:1] の値が小さいほど、関連する入力リファレンス源の優先度は高くなります。つまり、31 が選択の優先度が最低で、0 が選択の優先度が最高となります。

優先度をベースとする自動変換プロファイル選択モード（ビット [3:2] = 0（10進数））では、DPLL は、変換プロファイルの選択にあたり、[図 105](#)に示す自動優先度選択プロセスにのみ依存します。ただし、DPLL が優先度選択プロセスに従って変換プロファイルを見つけれない場合は、DPLL は、[図 103](#)に示すように、ホールドオーバーまたはフリーラン動作に切り替わります。

[図 105](#)に示すように、DPLL は、その時点のプロファイルが無効となった場合、最も優先度の高い変換プロファイルを選択します。

## 変換プロファイルの検証

[図 102](#)に示すように、手動および自動変換プロファイル選択モードでは、選択した変換プロファイルの検証が必要です。[図 104](#)に変換プロファイル検証プロセスのフローチャートを示します。

変換プロファイル検証プロセスの一部では、変換プロファイルに関連付けられたリファレンス源の有効性の確認が必要です。変換プロファイルに関連付けられたリファレンス源は、次の 5 種類のソースのいずれかであるため（[表 75](#)を参照）、何が有効なリファレンスとなるかは、そのソースの種類に依存して決まります。

- REFA、REFAA、REFB、または REFBB のリファレンス入力
- 補助 REF0、補助 REF1、補助 REF2、または補助 REF3
- IUTS0 または IUTS1
- 補助 NCO 0 または NCO 1
- DPLL0/DPLL1 帰還パス

[図 104](#)に、フローチャートのリファレンス源検証部分でのソース依存検証判定を示します。

## 復帰可能および復帰不能リファレンス・スイッチング

復帰可能リファレンス・スイッチングは、ある変換プロファイル（例えば変換プロファイル 0）に関連付けられたリファレンスが無効となり、DPLL が新しい変換プロファイル（例えば変換プロファイル 1）に切り替わってから、変換プロファイル 0 に関連付けられたリファレンスが再び有効になった場合、DPLL は変換プロファイル 1 に関連付けられたリファレンスが有効であっても、変換プロファイル 0 に再び切り替わる（復帰する）ことを意味します。

復帰不能リファレンス・スイッチングは、ある変換プロファイル（例えば変換プロファイル 0.0）に関連付けられたリファレンスが無効となり、DPLL が新しい変換プロファイル（例えば変換プロファイル 0.1）に切り替わった場合、DPLL は変換プロファイル 0.0 に関連付けられたリファレンスが再度有効になっても、変換プロファイル 0.1 を引き続き使用することを意味します。優先度の値を変換プロファイルに割り当てる方法については、[優先度をベースとする自動変換プロファイル選択](#)のセクションを参照してください。

優先度をベースとする自動変換プロファイル選択プロセスでは、復帰可能か復帰不能かの判定を行うために、その時点の変換プロファイルの優先度と切り替わり前の変換プロファイルの優先度の差異を使用して、復帰可能および復帰不能リファレンス・スイッチングの準備をしています。具体的には、その時点の変換プロファイルの優先度の値が切り替わり前の変換プロファイルの優先度の値より少なくとも 8 だけ大きい場合、その時点の変換プロファイルは切り替わり前の変換プロファイルより優先度が大幅に低くなります。そのため、DPLL はリファレンス源が有効になるとすぐに、切り替わり前の変換プロファイルに復帰します。また、その時点の変換プロファイルの優先度の値が切り替わり前の変換プロファイルの優先度の値より 0~7 だけ大きい場合、その時点の変換プロファイルは切り替わり前の変換プロファイルより優先度はわずかに低いというだけにとどまります。そのため、DPLL は復帰せず、そのリファレンス源が無効となるまで（またはユーザが手動で新しいプロファイルを選択するまで）、その時点の変換プロファイルを維持します。

まとめると、その時点の変換プロファイルと切り替え前の変換プロファイルの優先度の差によって、リファレンス・スイッチングが復帰可能か復帰不能かが決まります。具体的には、復帰可能スイッチングでは、切り替わり前の変換プロファイルの優先度の値がその時点の変換プロファイルの優先度の値より、少なくとも 8 だけ低いことが必要です。そうでない場合、復帰不能リファレンス・スイッチングが適用されます。つまり、8 の優先度の相違が、復帰可能リファレンス・スイッチングと復帰不能リファレンス・スイッチングの境界となります。

### アクティブ・プロファイル

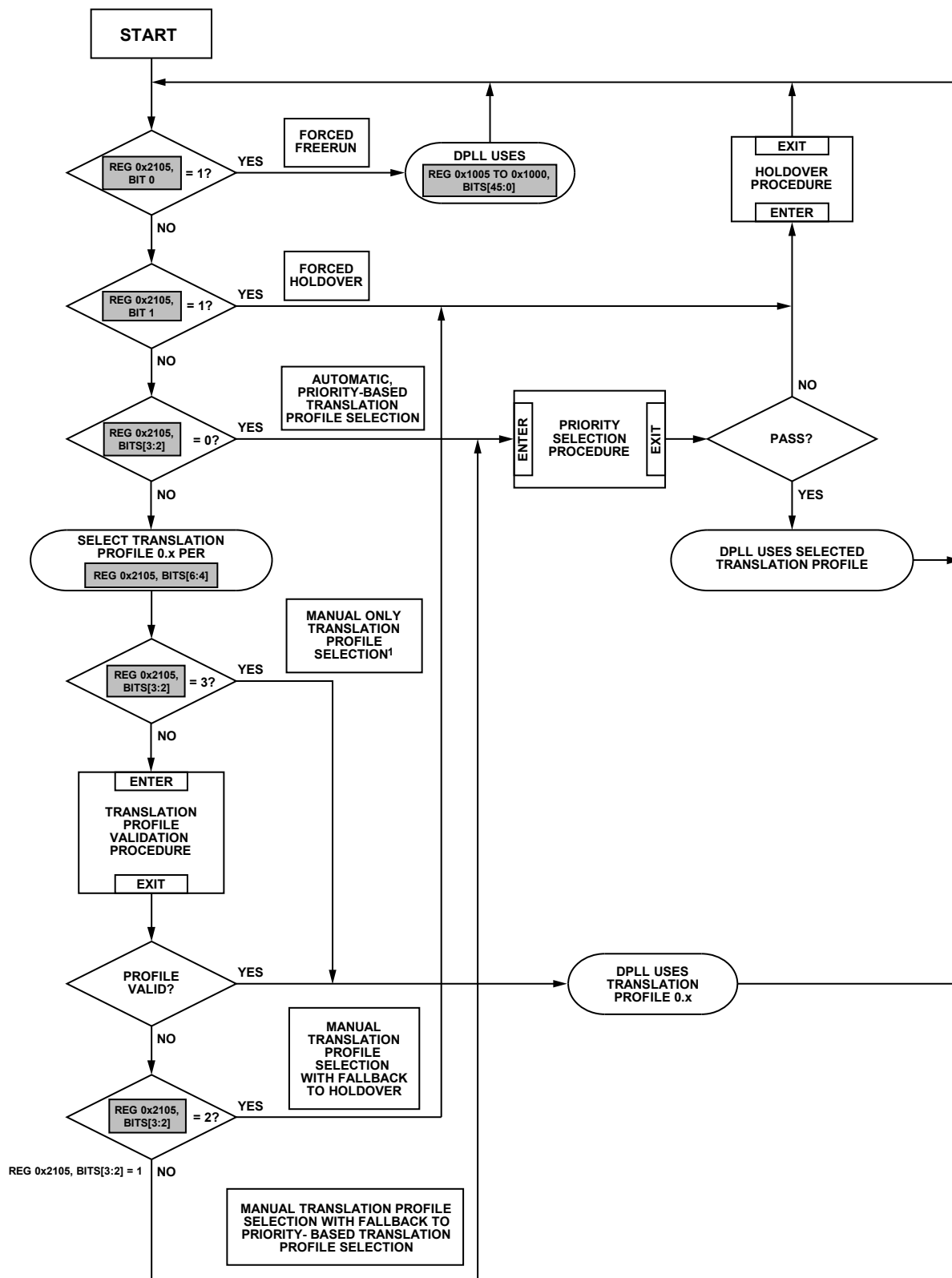
DPLL が特定の変換プロファイルを選択すると、その選択が手動によるものであっても自動のものであっても、選択したプロファイルはアクティブになります。変換プロファイルがアクティブな場合、レジスタ 0x3009 (DPLL0) またはレジスタ 0x300A (DPLL1) の対応するビットは、ロジック 1 です。ビット [5:0] は、変換プロファイル x.5~変換プロファイル x.0 に関連します。x は 0 または 1 です。

レジスタ・マップの IRQ ステータス・セクションは、レジスタ 0x3013 (DPLL0) およびレジスタ 0x3018 (DPLL1) のビット [5:0] のロジック 0 からロジック 1 への遷移を示します。IRQ ビットはラッチされたビットであるため、レジスタ 0x3009 (DPLL0) およびレジスタ 0x300A (DPLL1) のビット [5:0] がその後にロジック 0 からロジック 1 に遷移したことを知るためには、レジスタ 0x200E (DPLL0) およびレジスタ 0x2013

(DPLL1) のビット [5:0] を使用して、これらの IRQ ビットをクリアする必要があります。

アクティブな変換プロファイルは、有効な変換プロファイルと同じではありません。つまり、プロファイルは、アクティブでなくとも有効となることができます。

特定の DPLL に対するすべての変換プロファイルが非アクティブである場合、ユーザは、レジスタ 0x3101 (DPLL0) およびレジスタ 0x3201 (DPLL1) のビット [6:4] を使用して、最新のアクティブ・プロファイルを知ることができます。ビット [6:4] の値が最新のアクティブ・プロファイルに対応しています。ある変換プロファイルがその時点でアクティブ (レジスタ 0x3009 およびレジスタ 0x300A のビット [5:0] で指示) である場合、レジスタ 0x3101 (DPLL0) およびレジスタ 0x3201 (DPLL1) のビット [6:4] の値はその時点のアクティブ・プロファイルを示します。

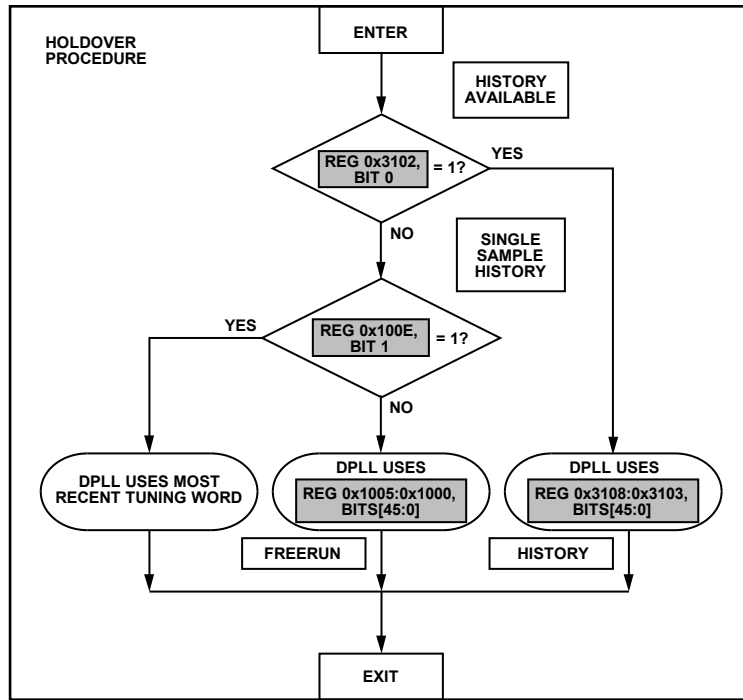


<sup>1</sup>FOR DEBUG ONLY. THE DPLL USES TRANSLATION PROFILE 0.x WITHOUT VALIDATING THE SOURCE. THEREFORE, THE DPLL IS NOT GUARANTEED TO FUNCTION NORMALLY. CONTACT ANALOG DEVICES FOR DETAILS.

NOTES

1. A RANGE OF BITS USES A COLON SEPARATOR
2. REGISTER ADDRESSES ARE SPECIFIC TO DPLL0

図 102. DPLL モード選択フローチャート



NOTES  
 1. A RANGE OF ADDRESSES OR BITS USES A COLON SEPARATOR  
 2. REGISTER ADDRESSES ARE SPECIFIC TO DPLL0

23286-103

図 103. ホールドオーバー・フローチャート

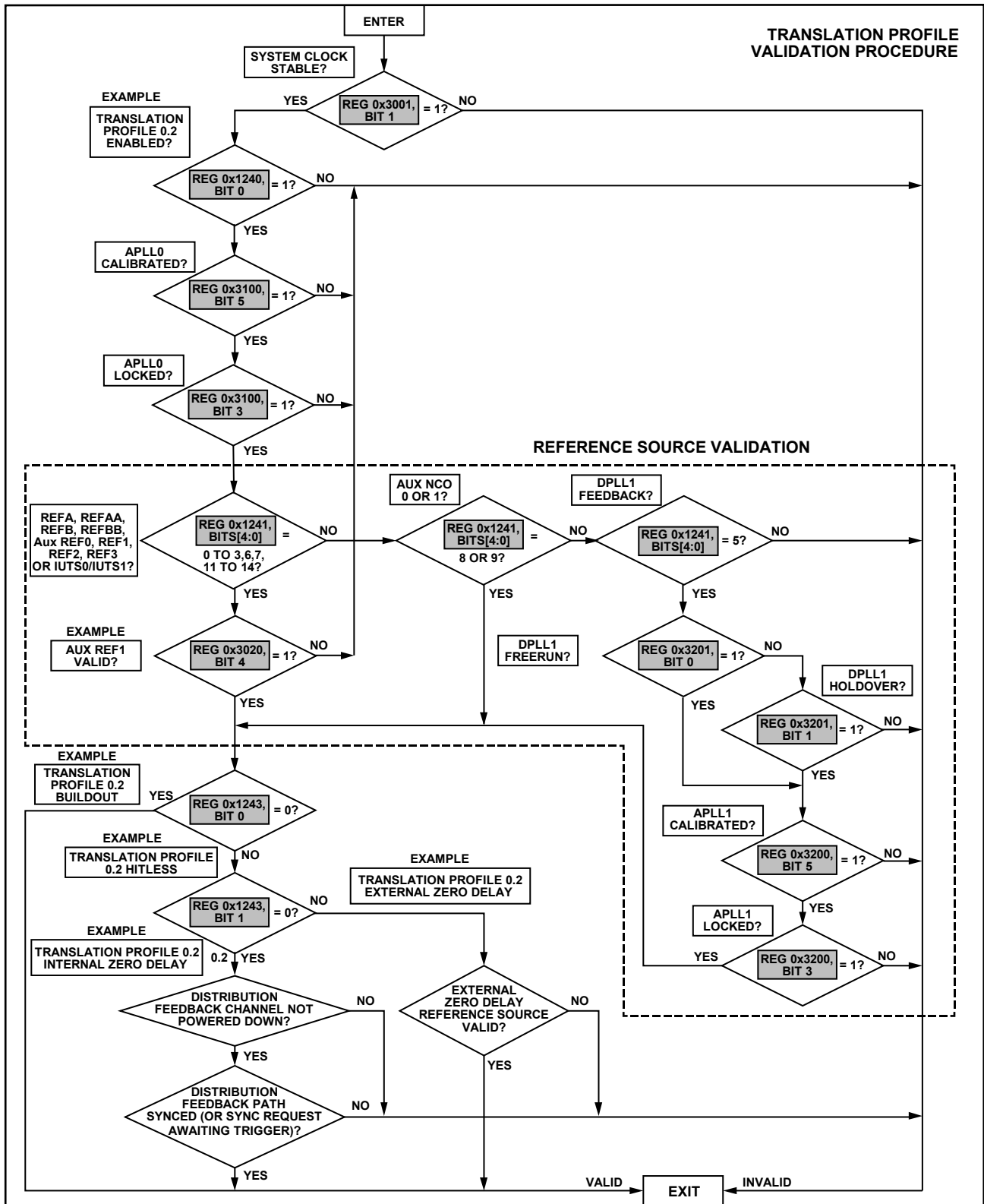


図 104. 変換プロファイル検証のフローチャート

232865-104

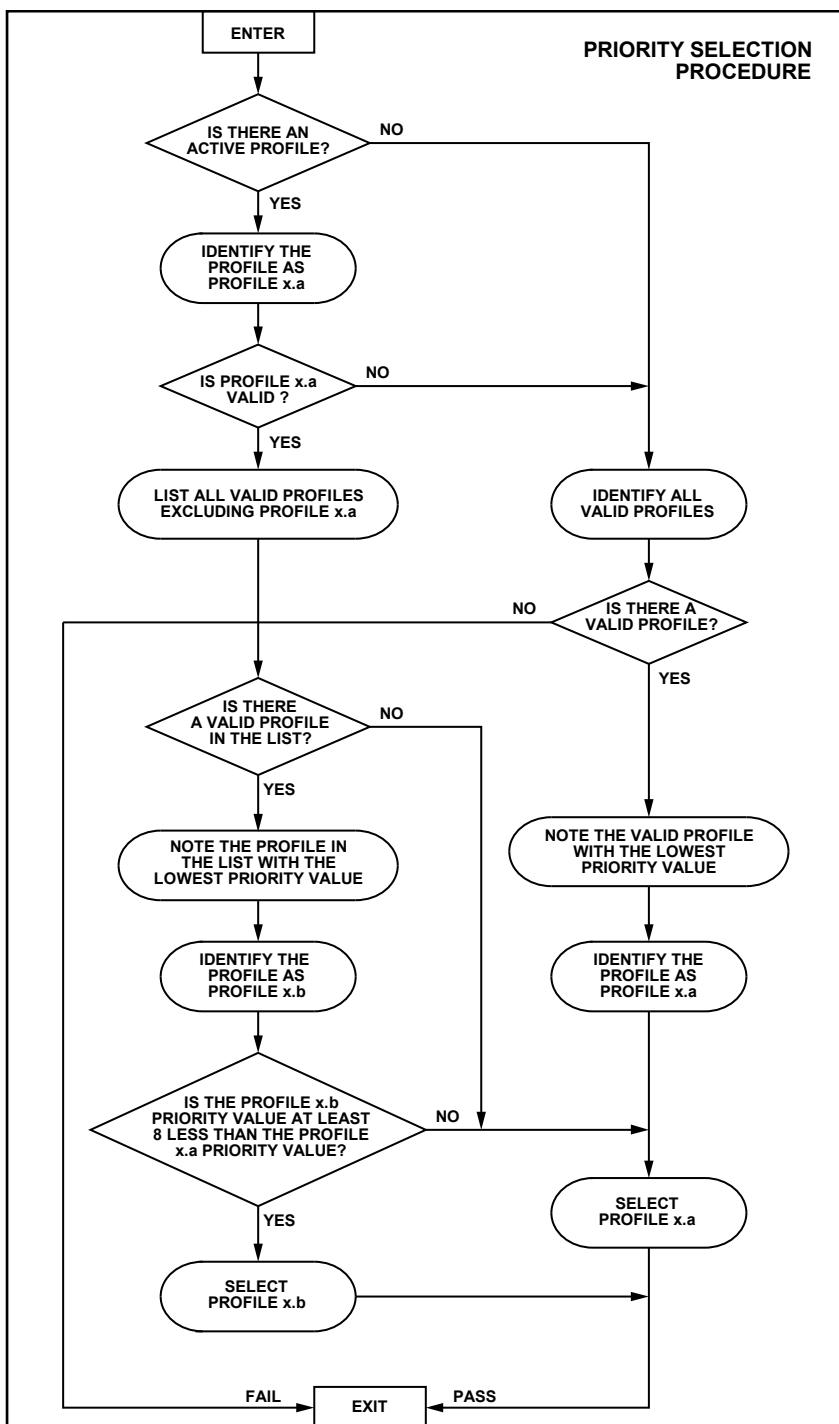


図 105. 優先度をベースとする変換プロファイル選択のフローチャート

23266-105

## 時間デジタル・コンバータ (TDC)

TDC は、AD9546 において DPLL 技術の中核となるものです。TDC の目的は、クロック信号を常時モニタしてエッジ遷移の発生を検知し、そのエッジが発生した時刻を識別するデジタル・タイム・スタンプを生成することです。

TDC は、タイム・スタンプを使用して立上がりクロック・イベントを実質的にデジタル化しているため、クロック信号のデジタル (つまり数値) 処理が可能です。例えば通常の PLL では、PFD 回路はリファレンス信号と帰還信号の相対位相を計測し、その位相差のアナログ値を出力します。AD9546 では、位相差のアナログ値ではなく、1 対の TDC (1 つはリファレンス・パスに、もう 1 つは帰還パスにある) を使用し、位相差のデジタル数値となるリファレンスと帰還のタイム・スタンプを生成します。デジタル数値形式の位相情報と共に、AD9546 は、数値 PFD、デジタル・ループ・フィルタ、NCO を使用することで、PLL 機能全体をデジタル的に実行します。

図 106 に TDC の簡略図を示します。TDC には、(TDC が時間を検知できるようにする) 時間ベースのクロック、入力クロック (現在問題としている信号)、数値タイム・スタンプから成る出力があります。

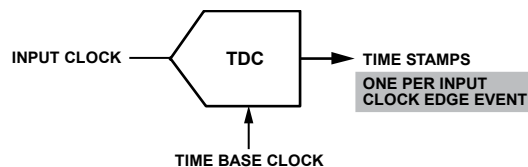


図 106. TDC の図

AD9546 には次のように、10 個の TDC が備わっています。

- 4 つのリファレンス入力に関連付けられたリファレンス分周器の出力部に 4 個
- 補助リファレンス入力に関連付けられたリファレンス分周器の出力部に 4 個
- 帰還分周器の出力部の 2 つの DPLL に関連付けられた 2 個

各 TDC は、その入力クロックの各立上がりエッジを識別するデジタル・タイム・スタンプを生成します。つまり、TDC はそれぞれの入力周期に同調するレートでタイム・スタンプを生成します。しかし、TDC 入力クロック・レートは、1kHz～約 200kHz の仕様規定範囲内にあることが必要です。

TDC タイム・スタンプは、デバイスのシステム・クロックを起源とする内部タイム・ベースに由来します。そのため、ユーザがレジスタ 0x0280～レジスタ 0x0282 を使用してシステム・クロック補償をアクティブ化している場合、TDC は、システム・クロック補償を提供する AD9546 の機能を活用できます (システム・クロック補償のセクションを参照)。



## タイム・スタンプ

### タイム・スタンプの概要

AD9546には次の14のタイム・スタンプ源があります。

- REFA TDC
- REFAA TDC
- REFB TDC
- REFBB TDC
- DPLL0 帰還 TDC
- DPLL1 帰還 TDC
- 補助 REF0 TDC
- 補助 REF1 TDC
- 補助 REF2 TDC
- 補助 REF3 TDC
- 補助 NCO 0
- 補助 NCO 1
- IUTS 0
- IUTS 1

AD9546 のタイム・スタンプ源のほとんどは TDC です。補助 NCO と IUTS もタイム・スタンプを生成しますが（補助 NCO のセクションおよび反転ユーザ・タイム・スタンプ (IUTS) のセクションを参照）、TDC を使用しません。

一般に、タイム・スタンプ源には、印加される入力信号の周期が予めわかっている必要があります。例えば、REFA TDC の場合は、REFA 入力信号の公称周期を入力する必要があります。公称入力周期のプログラムは、レジスタ・マップを使用することができます。

タイム・スタンプ源によって生成されたタイム・スタンプは、ユーザが容易に読み出せるわけではありません。その代わりに、ユーザは、ユーザ・タイム・スタンプ・プロセッサを使用して、様々なタイム・スタンプ源からのタイム・スタンプを読み出すことができます（ユーザ・タイム・スタンプ・プロセッサ (UTSP) のセクションとユーザ・タイム・スタンプ (UTS) のセクションを参照）。

### デジタル・クロスポイント・マルチプレクサ

デジタル・クロスポイント・マルチプレクサは、アレイ化されたタイム・スタンプ送信先が AD9546 内の各種タイム・スタンプ源を利用できるようにするための相互接続マトリックスです。ただし、あらゆるタイム・スタンプ源があらゆるタイム・スタンプ送信先に接続できるわけではありません。表 92 に、各種タイム・スタンプ源と可能な送信先の相互接続をまとめます。

「Yes」は有効な接続、空欄は無効な接続を意味します。

表 92. タイム・スタンプ源と送信先のマトリックス

| Time Stamp Source  | Time Stamp Destination |                       |  |                             |                                 |                                |
|--------------------|------------------------|-----------------------|--|-----------------------------|---------------------------------|--------------------------------|
|                    | DPLL0 Reference Input  | DPLL1 Reference Input | SYSCCLK Compensation PLL Reference Input | Time Skew Measurement Input | User Time Stamp Processor Input | User Time Stamper (UTSx) Input |
| REFA TDC           | Yes                    | Yes                   | Yes                                      | Yes                         | Yes                             | Yes                            |
| REFAA TDC          | Yes                    | Yes                   | Yes                                      | Yes                         | Yes                             | Yes                            |
| REFB TDC           | Yes                    | Yes                   | Yes                                      | Yes                         | Yes                             | Yes                            |
| REFBB TDC          | Yes                    | Yes                   | Yes                                      | Yes                         | Yes                             | Yes                            |
| DPLL0 Feedback TDC |                        | Yes                   |  | Yes                         | Yes                             | Yes                            |
| DPLL1 Feedback TDC | Yes                    |                       |  | Yes                         | Yes                             | Yes                            |
| Auxiliary REF0 TDC | Yes                    | Yes                   | Yes                                      | Yes                         | Yes                             | Yes                            |
| Auxiliary REF1 TDC | Yes                    | Yes                   | Yes                                      | Yes                         | Yes                             | Yes                            |
| Auxiliary REF2 TDC | Yes                    | Yes                   | Yes                                      | Yes                         | Yes                             | Yes                            |
| Auxiliary REF3 TDC | Yes                    | Yes                   | Yes                                      | Yes                         | Yes                             | Yes                            |
| Auxiliary NCO 0    | Yes                    | Yes                   |  | Yes                         | Yes                             | Yes                            |
| Auxiliary NCO 1    | Yes                    | Yes                   |  | Yes                         | Yes                             | Yes                            |
| IUTS 0             | Yes                    | Yes                   |  | Yes                         | Yes                             | Yes                            |
| IUTS 1             | Yes                    | Yes                   |  | Yes                         | Yes                             | Yes                            |

## タグ付けされたタイム・スタンプ

タグ付けされたタイム・スタンプは、固有のマーカ、すなわちタグが付けられたタイム・スタンプです。タグ付けされたタイム・スタンプによって、AD9546は、高周波数クロックに組み込まれた低周波数クロックを使用できるようになります。例えば、クロック信号の10個のエッジごとにタグ付けすることで、キャリア信号（すなわち元のクロック信号）と共に、タグ付けされたタイム・スタンプから生じる信号に組み込まれた10分の1に分周されたキャリア信号が生じます。

AD9546内の各種タイム・スタンプ源は、タグ付けされたタイム・スタンプを生成できます（例えば補助NCOなど）。また、AD9546内の特定のタイム・スタンプ送信先は、タグ付けされたタイム・スタンプのみを処理できる一方、タグ付けされていないタイム・スタンプを無視できます（例えば、**ユーザ・タイム・スタンプ・プロセッサ (UTSP)** のセクションで説明するユーザ・タイム・スタンプ・プロセッサ）。ただし、2つのDPLLが、タグ付けされたタイム・スタンプを使用できるタイム・スタンプ送信先の中で最も重要なものです（**タイム・スタンプのタグ付けオプション**のセクションを参照）。

## タグ付けされた補助NCOタイム・スタンプ

補助NCOは、プログラムされた補助NCO周波数で定義される各周期の終了（位相加算器のロールオーバー・ポイント）に一致するタイム・スタンプを生成します。例えば、NCO周波数が100Hzの場合、100Hzのレートでタイム・スタンプが生成され、各タイム・スタンプはその前のタイム・スタンプより10ms大きくなります。

タイム・スタンプ・ジェネレータによってユーザは、レジスタ0x280B～レジスタ0x280C（補助NCO 0の場合）およびレジスタ0x284B～レジスタ0x284C（補助NCO 1の場合）のビット[15:0]を使用して補助NCOタイム・スタンプをタグ付けすることができます。

ビット[15:0]（タグ比）によって示される値Nにより、N番目のタイム・スタンプごとにタグ付けが行われます。例えば、ビット[15:0] = 1（10進数）の場合、1つおきにタイム・スタンプがタグ付けされます。同様に、2（10進数）の場合は、2つおきにタイム・スタンプがタグ付けされます。また、3（10進

数）の場合は、3つおきにタイム・スタンプがタグ付けされません。このパターンは65,535まで続きます。0（10進数）の場合（デフォルト）は、タイム・スタンプがタグ付けされません（ノー・タグ）。

レジスタ0x280D～レジスタ0x280E（補助NCO 0の場合）およびレジスタ0x284D～レジスタ0x284E（補助NCO 1の場合）のタグ付けフラグ・ビット[15:0]の時間位置は、シフトすることもできます。ビット[15:0]は自動クリア・ビット・フィールドです。ビット[15:0]が示す値Kは符号付き整数（2の補数）で、補助NCOの基本周期の数を示すものです。したがって、K = -3の場合、タイム・スタンプ・プロセッサは、先述のタグ比によって示されたN番目のタイム・スタンプ位置より3タイム・スタンプ分だけ前のタイム・スタンプに、タグ付けを行います。Kは、実質的に、タグ付けされたタイム・スタンプ周期の位相シフトとなります。ここで、 $K < N$ です。

なお、補助NCOがアクティブな変換プロファイルに対するDPLLへのリファレンスである場合（**変換プロファイル**のセクションを参照）、タグの時間位置のシフトは無効となり、避けるべきです。タグ・シフト機能を使用する場合、補助NCOをDPLLリファレンスとして使用する変換プロファイルが有効でないこと、あるいは、有効な場合は関連付けられたDPLLがフリーラン・モードまたはホールドオーバー・モードであることを、確認してください。

## タグ付けされたリファレンス・タイム・スタンプ

リファレンスTDCから発生したタイム・スタンプに関連付けられたタグは、組込みクロックの復調の結果です（**リファレンス復調器**のセクションを参照）。復調に関連付けられた同期イベントが、タグ付けされたタイム・スタンプを生成します。ユーザは、リファレンスTDCからのタグ付けされたタイム・スタンプを使用するよう、DPLLをプログラムできます。

## タグ付けされた帰還タイム・スタンプ

DPLL帰還パスを起源とするタグ付けされたタイム・スタンプは、変調コントローラに関連付けられた同期イベントの結果です（**変調同期**のセクションを参照）。ユーザは、帰還TDCからのタグ付けされたタイム・スタンプを使用するよう、DPLLをプログラムできます。

## ユーザ・タイム・スタンプ・プロセッサ (UTSP)

### UTSP の概要

UTSP を使用して、様々なタイム・スタンプ源からのタイム・スタンプ (タイム・スタンプのセクションを参照) を表示できます。AD9546 には、2 つの UTSP があり、それぞれの出力結果は、[図 107](#) に示すように、レジスタ・マップを使用して読み出すことができます。UTSP は、所定のタイム・スタンプ源 ([表 92](#) を参照) からのタイム・スタンプを、ユーザが理解できるタイム・スケールに変換します。タイム・スタンプ源は、デバイス内では、ユーザにとって意味不明の任意のタイム・スケールを使用するため、タイム・スケール変換が必要です。

UTSP に対し必要なタイム・スケール源を選択するには、レジスタ 0x2A12 (UTSP 0 の場合) およびレジスタ 0x2A13 (UTSP 1 の場合) のビット [7:6] を使用します。ビット [7:6] の値に応じて、[表 93](#) に従って目的のタイム・スケールが選択されます。どちらの UTSP も、いずれの補助 NCO のタイム・スケールも使用できる点に注意してください。

表 93. UTSP タイム・スケール源

| ビット [7:6] (10 進数) | 説明                        |
|-------------------|---------------------------|
| 0                 | 補助 NCO 0 タイム・スケール (デフォルト) |
| 1                 | 共通タイム・スケール                |
| 2                 | 補助 NCO 1 タイム・スケール         |
| 3                 | 共通タイム・スケール                |

特定のタイム・スタンプ源を UTSP に付帯させるには、レジスタ 0x2A12 (UTSP 0 の場合) およびレジスタ 0x2A13 (UTSP 1 の場合) のビット [4:0] (符号なし) を使用します。ビット [4:0] の値に応じて、[表 94](#) に従って目的のタイム・スケールが選択されます。

表 94. UTSP 入力タイム・スタンプ源

| ビット [4:0] (10 進数) | 説明                             |
|-------------------|--------------------------------|
| 0                 | REFA TDC                       |
| 1                 | REFAA TDC                      |
| 2                 | REFB TDC                       |
| 3                 | REFBB TDC                      |
| 4                 | DPLL0 帰還 TDC                   |
| 5                 | DPLL1 帰還 TDC                   |
| 6                 | 補助 REF0 TDC (UTSP 0 の場合のデフォルト) |
| 7                 | 補助 REF1 TDC (UTSP 1 の場合のデフォルト) |
| 8                 | 補助 NCO 0 タイム・スケール              |
| 9                 | 補助 NCO 1 タイム・スケール              |
| 10                | 補助 REF0 TDC                    |
| 11                | 補助 REF2 TDC                    |
| 12                | 補助 REF3 TDC                    |
| 13                | IUTS 0                         |
| 14                | IUTS 1                         |
| 15 to 31          | 該当せず                           |

### ユーザ・タイム・スタンプの読出し

変換された入力タイム・スタンプは、レジスタ 0x3A14~レジスタ 0x3A1D (UTSP 0 の場合) およびレジスタ 0x3A20~レジスタ

0x3A29 (UTSP 1 の場合) のビット [79:0] を使用し、UTSP の出力で読み出すことができます。ただし、ビット [79:0] を読み出す前に、IO 更新動作 (IO 更新のセクションを参照) をアサートしておく必要があります。UTSP がタイム・スタンプ変換を実行するのは、タイム・スタンプが事前に定められたタイム・スタンプ源から送られてきた時です。したがって、UTSP はイベント・ドリブんです。イベント・ドリブン・プロセスであるため、ビット [79:0] にあるデータが本当に意味のあるものであるかどうかを、ユーザは判定できません。この問題を軽減するには 2 つの方法があります。

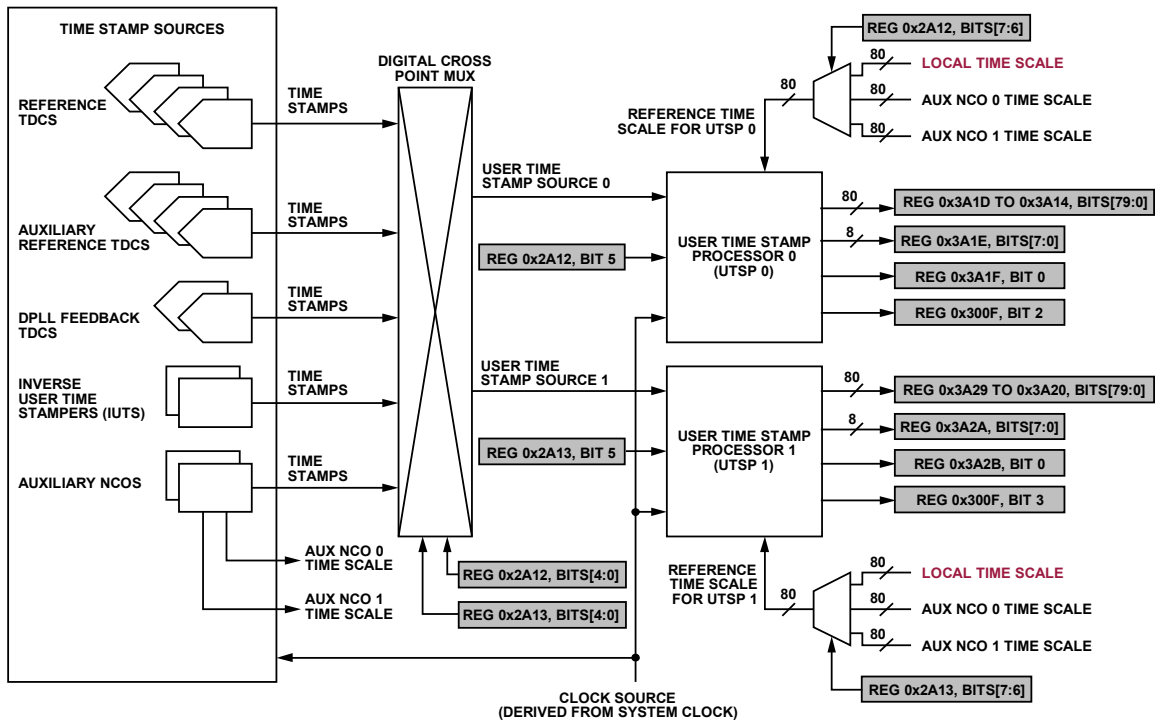
最初の方法は、ビット [79:0] を定期的に読み出すことです。ただし、タイム・スタンプを逃してしまうことのないよう、ビット [79:0] の読出しは、UTSP の入力に割り当てられたタイム・スタンプ源の予想レートより、高い頻度で行う必要があります。タイム・ソースから送られてくる連続するタイム・スタンプは、(定義によって) 同じ値になることはないため、最後のものとは異なるタイム・スタンプ値は、確実に新しいタイム・スタンプと言えます。

2 つめの方法は、AD9546 の IRQ 機能セットを使用することで (割込み要求 (IRQ) のセクションを参照)。UTSP がタイム・スタンプ変換を終了するたびに、レジスタ 0x300F の対応するステータス・ビット 2 (UTSP 0 の場合) またはビット 3 (UTSP 1 の場合) がセットされます (ステータス・ビットがマスクされていないと仮定)。ステータス・ビットがロジック 1 になったら、IO 更新動作をアサートし、ビット [79:0] を読み出してください ([図 107](#) を参照)。

UTSP がイベント・ドリブンの性質を持っているため、ビット [79:0] を読み出す前に複数のタイム・スタンプが発生した場合、ユーザは 1 つまたは複数のユーザ・タイム・スタンプを取得できない可能性があります。レジスタ 0x3A1E (UTSP 0 の場合) およびレジスタ 0x3A2A (UTSP 1 の場合) のビット [7:0] は、読み出せなかった入力タイム・スタンプがあるかどうかをチェックする手段となります。ビット [7:0] がゼロの値を示している場合、その時点のユーザ・タイム・スタンプは連続する一連のタイム・スタンプの中で最新のものです。ビット [7:0] がゼロ以外の値の場合は、そこに示されている数のタイム・スタンプの読出しに失敗しています。したがって、その時点のタイム・スタンプは、新しい一連のタイム・スタンプの最初のタイム・スタンプとなります。読み出せなかったタイム・スタンプは消失し、復元はできません。

動作中、ユーザは IO 更新動作をアサートする必要があります。それによって、ビット [79:0] とビット [7:0] が最新の値に更新されます。IO 更新動作のアサート後、ビット [79:0] の読出しに続き、直ちにビット [7:0] を読み出すことを推奨します。そのようにすることで、ビット [7:0] の値の即時評価がタイム・スタンプ値のキャプチャの積分部としてイネーブルされます。ビット [7:0] は読出し時、自動クリアされます。

レジスタ・マップを使用して TDC の予想入力周期を指定しているため、TDC は、タイム・スタンプ・イベントの間にどの程度の時間が経過するかを、わかっています。予想イベント周期から大幅に外れたイベントが発生した場合、TDC は、レジスタ 0x3A1F (UTSP 0 の場合) およびレジスタ 0x3A2B (UTSP 1 の場合) のビット 0 を使用して、そのイベントに関連付けられたタイム・スタンプをエラーとしてフラグします。一般に、ビット 0 がロジック 1 の場合、ユーザはそのタイム・スタンプを破棄する必要があります。



NOTE  
1. A RANGE OF BITS USES A COLON SEPARATOR

23286-107

図 107. ユーザ・タイム・スタンプ・プロセッサ

### ユーザ・タイム・スタンプの解釈

UTSP の出力は、80 ビット・ワードで構成され、最下位ビットは  $2^{-40}$  で重み付けがされています。UTSP によって変換されるタイム・スタンプに関連付けられる単位は、選択するタイム・スケールによって異なります。具体的には、80 ビットのユーザ・タイム・スタンプは、図 108 に示すように、40 ビットの整数部（左側 40 ビット）と 40 ビットの小数部（右側 40 ビット）で構成されます。整数部の各カウントは、選択したタイム・スケールの 1 周期を表します。小数部の 40 ビットは、選択したタイム・スケールの 1 周期の小数部を  $2^{-40}$  の分解能で表します。

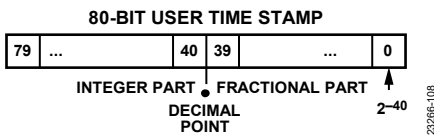


図 108. ユーザ・タイム・スタンプ

例えば、80 ビット・ワードが 16 進数の数、0x 0000 0000 B10E 04F0 07C1 であるとしします。この場合、これに相当する 10 進数は 194,673,770,497,985 です。

小数部のスケールは  $2^{-40}$  なので、タイム・スタンプ値（小数点以下 10 桁に丸める）は、

$$\begin{aligned} \text{タイム・スタンプ値} &= 194,673,770,497,985 \times 2^{-40} \\ &= 177.05476284207634307676926255226 \\ &= 177.0547628421 \end{aligned}$$

このタイム・スタンプ値が、選択したタイム・スケールの周期を表します。

例えば、選択したタイム・スケールが補助 NCO 0 で、これに、10052.630025Hz (99.476455167760936272992897696939 $\mu$ s の周期に相当) の周波数がプログラムされているものとします。したがって、このタイム・スタンプ例 (177.0547628421) に関連付けられる時間は、選択したタイム・スケールの周期 (99.476455167760936272992897696939 $\mu$ s) を乗じたタイム・スタンプ値となり、0.017612780178 秒 (最も近いピコ秒に四捨五入) となります。すなわち、この例でのタイム・スタンプは、約 17.6ms の時間を示します。

タイム・スタンプの意味のある分解能は、約 1ps です。そのため、タイム・スタンプ計算において、1ps 未満に相当する桁は無視する必要があります。

デジタル化クロッキング・アプリケーションでは、AD9546 はローカル・タイム・スケールを生成します。ローカル・タイム・スケールは、(補助 NCO の場合のようにプログラムされた周波数の周期に基づくのではなく) 外部タイム・キーピングに同調するレートで進行するため、ローカル・タイム・スケールは、タイム・スタンプを外部の時間に関連付ける場合に、より適しています。

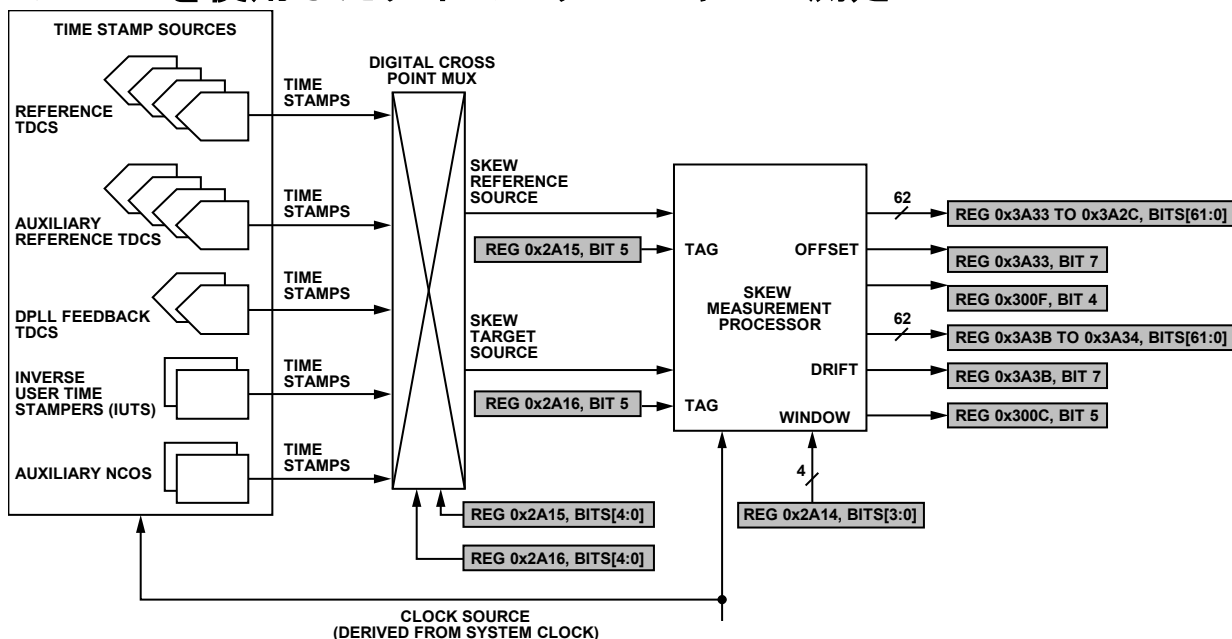
### タグ付けされたタイム・スタンプ

UTSP は、[図 107](#) に示す様々なタイム・スタンプ源から生じるタグ付けされたタイム・スタンプで動作できます。選択したタイム・スタンプ源がタグ付けされたタイム・スタンプを生成している場合、タグ付けされたタイム・スタンプのみを処理し、タグ付けされていないタイム・スタンプは無視するよう、UTSP をプログラムできます。タグ付けされたタイム・スタンプの処理をイネーブルするには、レジスタ 0x2A12 (UTSP 0 の場合) およびレジスタ 0x2A13 (UTSP 1 の場合) のビット 5 をロジック 1 にプログラムします。

### システム・クロック補償のある UTSP

AD9546 では、システム・クロック補償 ([システム・クロック補償](#) のセクションを参照) をタイム・スタンプ源や補助 NCO に適用できます。そのため、ユーザが補助 NCO を UTSP のタイム・スタンプ源に選択した場合、問題が生じる可能性があります。具体的には、システム・クロック補償をタイム・スタンプ源に適用することを選択し、そのタイム・スタンプ源が UTSP への入力である場合、その UTSP のタイム・スケールとして選択した補助 NCO にも同じシステム・クロック補償を適用する必要があります。これを行わない場合、UTSP が出力するタイム・スタンプは、エラーとなります。

## 2つのTDCを使用したタイミング・スキュー測定



NOTE  
1. A RANGE OF BITS USES A COLON SEPARATOR

図 109. スキュー測定のプロック図

UTSP (ユーザ・タイム・スタンプ・プロセッサ (UTSP) のセクションを参照) を使用すると、様々なタイム・スタンプ源を起源とするタイム・スタンプ (信号源で立上がりエッジが発生したことを示すタイム・スタンプ) を読み出すことができます。ただし、場合によっては、2つの異なる信号源の立上がりエッジ間の相対的な位相オフセットを知る方が、各エッジに関連付けられた対応する時間を知ることより望ましい場合があります。そのため、AD9546は、2つのタイム・スタンプ (通常は異なるソースからのものですが常にそうとは限りません) 間の時間差 (タイミング・スキュー) を計測し、レポートする機能を備えています。タイム・スタンプ間の時間差は、位相オフセットに直接関係します。

時間スキュー (位相オフセット) は、2つのクロック信号が同じ周波数で動作する場合にのみ、意味を持ちます。それ以外の場合、位相オフセットは一定ではなく時間と共にドリフトします。図 109 は、スキュー測定プロセッサのプロック図を示すものです。

時間スキュー測定には、リファレンス・タイム・スタンプ源と対象のタイム・スタンプ源が含まれます。リファレンス・タイム・スタンプ源の割り当ては、レジスタ 0x2A15 のビット [4:0]、対象のタイム・スタンプ源の割り当ては、レジスタ 0x2A16 のビット [4:0] を使用して行います。ビット [4:0] の10進数値により、表 94 に従ってタイム・スタンプ源が選択されます。ただし、デフォルトの選択は、リファレンス・タイム・スタンプ源と対象のタイム・スタンプ源のどちらも REFA です。

個別に計測を行う UTSP による結果とは異なり、スキュー測定プロセッサによるオフセットとスキューの計測値は、連続する測定を平均化したグループを構成します。表 95 に従い、レジスタ 0x2A14 のビット [3:0] を使用して、測定ごとの平均化サンプル数 N を選択できます。

表 95. スキュー測定ウィンドウの設定値

| Bits[3:0] | N for Skew Offset | N for Skew Drift |
|-----------|-------------------|------------------|
| 0         | 2                 | 2                |
| 1         | 4                 | 4                |
| 2         | 8                 | 8                |
| 3         | 16                | 16               |
| 4         | 32                | 16               |
| 5         | 64                | 16               |
| 6         | 128               | 16               |
| 7         | 256               | 16               |
| 8         | 512               | 16               |
| 9         | 1024              | 16               |
| 10        | 2048              | 16               |
| 11        | 4096              | 16               |
| 12        | 8192              | 16               |
| 13        | 16384             | 16               |
| 14        | 32768             | 16               |

選択されたスキュー・ウィンドウ・サイズのビット・フィールドによって、スキュー・オフセット測定とスキュー・ドリフト測定の両方の平均化サンプル数が設定されます。ただし、設定した選択によっては、表 95 に示すように、オフセット測定とドリフト測定で異なる平均化サンプル数となることもあります。

スキューのオフセットおよびドリフト測定は、N 個のサンプルのローパス・フィルタ・シーケンスで構成されます。つまり、スキュー測定プロセッサは、N サンプルの測定の変動を滑らかに (すなわち平均化) します。N サンプルの平均化が終了すると、後続の測定には次のサンプルとその前の N-1 個のサンプルが含まれます。

そのため、必要な平均値を計算するには、プロセッサは最低 N 個のサンプルを必要とします。その後、プロセッサは引き続き一度に平均 1 サンプルを更新します。スキュー測定プロセッサには、レジスタ 0x3A33 (オフセット測定の場合) またはレジスタ 0x3A3B (ドリフト測定の場合) のビット 7 をセットすることで、N サンプルの最初のブロックを取得したことを示す機能があります。

ビット 7 は、1 つのシーケンスの中で最初の N-1 回の測定ではロジック 0、N 回目の測定でロジック 1 になります。したがって、スキュー・オフセットまたはスキュー・ドリフト測定の結果を読み出す場合、(オフセットまたはドリフトの測定タイプに関連付けられた) ビット 7 がロジック 1 であれば、その値は完全に平均化されたものです。ビット 7 がロジック 0 の場合、オフセットまたはドリフトの指示値は平均化が不完全ですが、使用することは可能です。ただし、結果の変動は、完全に平均化された測定値よりは大きくなります。

UTSP による結果とは異なり、スキュー測定プロセッサの結果は、ピコ秒の絶対単位で表されます。時間スキュー測定プロセッサの結果を読み出すには、スキュー・オフセットおよびスキュー・ドリフトのビット・フィールド (それぞれ、レジスタ 0x3A2C~レジスタ 0x3A33 およびレジスタ 0x3A34~レジスタ 0x3A3B) を使用します。

スキュー・オフセット測定の結果は、レジスタ 0x3A2C~レジスタ 0x3A33 のビット [61:0] (符号付き、2 の補数) に置かれ、測定準備完了の通知は、レジスタ 0x300F のビット 4 の IRQ として表されます。ビット [61:0] の 10 進数値は、 $2^{-16}$ ps を単位とする時間を表します (約 ±35 秒の範囲)。スキュー・オフセット測定では、リファレンス源と対象となるソースがほぼ同じ周波数であることを前提としています。したがって、2 つのソースの周波数が異なる場合、スキューが絶えずドリフトするため、スキューには意味がなくなります。スキュー測定プロセッサは、割り当てられたスキュー・リファレンス源を基準としてスキューを測定します (プロセッサはリファレンス周期の粗い平均を計算します)。スキュー測定プロセッサは、 $\pm\frac{1}{2}$  ユニット間隔 (UI) の範囲の時間枠を考慮してスキュー・オフセット測定の極性を判定します。なお、1UI は測定されたリファレンス源周期です。負の値は、対象ソースからのタイム・スタンプがリファレンス源からのタイム・スタンプより最大  $\frac{1}{2}$ UI だけ先行していることを意味し、正の値は、対象ソースからのタイム・スタンプがリファレンス源からのタイム・スタンプより最大  $\frac{1}{2}$ UI だけ遅れていることを意味します。ジッタがスキュー測定結果の極性に影響を及ぼすことがある点に注意してください。

例えば、62 ビットのスキュー・オフセットの指示値が 0x 3FFF FFF8 A673 24B5 (16 進数、10 進数では -31,567,174,475) である場合を考えます。スキュー・オフセット時間を求めるには、10 進数値を  $2^{-16}$ ps でスケールリングします。その結果、 $-481,676.8566131591796875$ ps となります。負の符号は、対象ソースがリファレンス源より約 482ns だけ先行していることを示します。

スキュー・ドリフト測定の結果は、レジスタ 0x3A34~レジスタ 0x3A3B のビット [61:0] (符号付き、2 の補数) に置かれます。ビット [61:0] の 10 進数値は、 $2^{-16}$ ps/UI (1UI あたり  $2^{-16}$  ピコ秒) を単位とします。したがって、値は、測定したリファレンス源周期が基準となります。スキュー・ドリフトは、スキュー・オフセットが周期ごとに変化する割合を示す指標です。

例えば、公称周波数が 100Hz の 2 つの信号を考えます。スキュー・ドリフトの指示値 0x 3FFF FFF8 A673 24B5 (16 進数) は、10 進数では -31,567,174,475 です。スキュー・ドリフトを求めるには、10 進数値を  $2^{-16}$  でスケールリングします。その結果、 $-481,676.8566131591796875$ ps/UI となります。リファレンス周期は 10ms (1/100Hz) なので、この結果は、対象ソースの周期が 10ms ごとに 482ns だけ減少することを示します。これは、 $-48.2$ ppm ( $-482$ ns/10ms =  $-48.2 \times 10^{-6}$ ) の周波数オフセットがあることを意味します。

2 つの信号の周波数が等しい場合はドリフトはなく、ドリフト測定の結果はゼロとなるはずです。一方、周波数差があまりに大きい場合、スキュー・プロセッサの限界 (1/16UI) を超えてしまうことがあります。この限界に達すると、スキュー・プロセッサは、レジスタ 0x300C のステータス・ビット 5 をロジック 1 にセットします。

### タグ付けされたスキュー測定タイム・スタンプ

スキュー測定プロセッサは、[図 109](#) に示す様々なタイム・スタンプ源から生じるタグ付けされたタイム・スタンプで動作できます。選択したスキュー・リファレンス・タイム・スタンプ源やスキュー測定タイム・スタンプ源がタグ付けされたタイム・スタンプを生成している場合、タグ付けされたタイム・スタンプのみを処理し、タグ付けされていないタイム・スタンプは無視するよう、スキュー測定プロセッサをプログラムできます。タグ付けされたスキュー・リファレンス・タイム・スタンプ処理をイネーブルするには、レジスタ 0x2A15 のビット 5 をロジック 1 にプログラムします。タグ付けされたスキュー対象タイム・スタンプ処理をイネーブルするにはレジスタ 0x2A16 のビット 5 をロジック 1 にプログラムします。

## 補助 NCO

### 補助 NCO の概要

AD9546 には、図 111 に示すように、2 つの補助 NCO があります。NCO は、ユーザが指定した非常に正確なプログラマブル周波数に基づき、タイム・スタンプや物理的な出力信号を生成します。また、補助 NCO は UTSP に対してタイム・スケールも提供します（ユーザ・タイム・スタンプ・プロセッサ (UTSP) のセクションを参照）。NCO の周波数チューニング分解能は、 $2^{-40}$ Hz (約 1pHz) です。

### 補助 NCO の周波数

補助 NCO の出力周波数 ( $f_{AUX}$ ) をプログラムするには、中心周波数とオフセット周波数を割り当てます。デフォルトでは、オフセット周波数の値はゼロで、これはデフォルトの出力周波数が中心周波数であることを意味します。図 110 に、中心周波数 (56 ビット) のレジスタ値とオフセット周波数 (32 ビット) のレジスタ値の関係を詳しく示します。

補助 NCO は実質的には、位相加算器を備えるダイレクト・デジタル・シンセサイザ (DDS) です。DDS は与えられた位相値  $\theta$  を、次式に示す規定レート  $f_{ACCUM}$  で加算していきます。

$$f_{ACCUM} = f_s/96$$

ここで、 $f_s$  はシステム・クロック周波数です（システム・クロック PLL のセクションを参照）。補助 NCO は、正確に  $1/f_{AUX}$  の周期で加算器がロールオーバーするように、 $\theta$  を計算します。

### 補助 NCO の中心周波数

中心周波数の割り当てには、レジスタ 0x2800～レジスタ 0x2806（補助 NCO 0 の場合）およびレジスタ 0x2840～レジスタ 0x2846（補助 NCO 1 の場合）のビット [55:0]（符号なし）を使用します。ビット [55:0] は、 $2^{-40}$ Hz を単位とします。したがって、ビット [55:0] の中心周波数値と中心周波数  $f_{CENTER}$  の関係は、次式のようになります。

$$f_{CENTER} = \text{中心周波数値} \times 2^{-40}$$

例えば、目的の中心周波数が 10kHz の場合、必要な 56 ビット・レジスタの値を求めると次のようになります。

$$\begin{aligned} \text{中心周波数値} &= f_{CENTER} \times 2^{40} \\ &= 10^4 \times 2^{40} \\ &= 10,995,116,277,760,000 \\ &= 0x\ 27\ 1000\ 0000\ 0000\ (16\ \text{進数}) \end{aligned}$$

中心周波数の上限値は、65,536Hz ( $2^{26} \times 2^{-40}$ Hz) です。

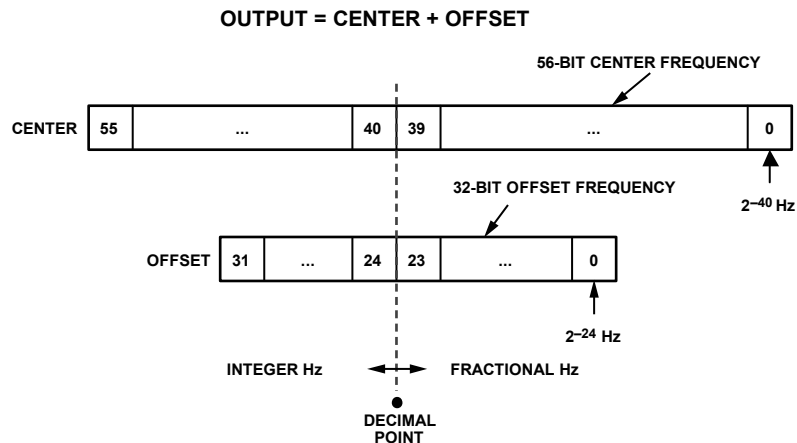


図 110. 補助 NCO の周波数チューニング

2326E-11



## 補助 NCO のオフセット周波数

オフセット周波数の割り当てには、レジスタ 0x2807～レジスタ 0x280A（補助 NCO 0 の場合）およびレジスタ 0x2847～レジスタ 0x284A（補助 NCO 1 の場合）のビット [31:0]（符号なし）を使用します。ビット [31:0] は、 $2^{24}$ Hz を単位とします。ビット [31:0] のオフセット周波数値とオフセット周波数  $f_{\text{OFFSET}}$  の関係は、次式のようになります。

$$f_{\text{OFFSET}} = \text{オフセット周波数値} \times 2^{-24}$$

例えば、目的のオフセット周波数が 100Hz の場合、必要な 32 ビット・レジスタの値を求めると次のようになります。

$$\begin{aligned} \text{オフセット周波数値} &= f_{\text{OFFSET}} \times 2^{24} \\ &= 10^2 \times 2^{24} \\ &= 1,677,721,600 \\ &= 0x\ 6400\ 0000 \quad (16 \text{ 進数}) \end{aligned}$$

オフセット周波数の上限値は、256Hz ( $2^{32} \times 2^{-24}$ Hz) です。

オフセット周波数の主な目的は、処理能力が 32 ビットに制限されている外部プロセッサまたは外部コントローラに、出力周波数を高速で変更できる機能を提供することです。例えば、32 ビットのマシンが 56 ビットの中心周波数を計算し、その計算結果をレジスタ・マップに送信することは、動作が重くなる原因となります。

32 ビットのオフセット周波数オプションはこの問題を緩和します。ユーザは、最初に 56 ビットの適切な中心周波数をプログラムし、次いで 32 ビットのオフセット値を使用して出力周波数を変更できるためです。32 ビットのオフセット値によって、32 ビット・マシンは本来の 32 ビット環境で動作でき、また、出力周波数を高速で変更することが容易になります。オフセット値のチューニング精度は、中心周波数のチューニング精度に比べると劣ります（分解能は、それぞれ、 $2^{-24}$ Hz と  $2^{-40}$ Hz）。

所定のアプリケーションのチューニング範囲に応じて、中心値とオフセット値を組み合わせることで、その範囲をカバーするのに必要な 8 ビット・レジスタの数を最小限に抑えたと共に、 $2^{-40}$ Hz の周波数分解能を維持することができます。例えば、オフセットをチューニング範囲内で固定しながらも、中心値のチューニングの変更は中心周波数値の下位 8、16、24、または 32 ビットに制限されるように、中心値とオフセット値を選択することができます。中心周波数の LSB のみを使用することで、 $2^{-40}$ Hz の周波数チューニング分解能を維持しながら、32 ビット（またはそれ以下）のレジスタ操作が可能となります。

## 補助 NCO の位相オフセット

レジスタ 0x2814～レジスタ 0x2818（補助 NCO 0 の場合）およびレジスタ 0x2854～レジスタ 0x2858（補助 NCO 1 の場合）のビット [39:0]（符号付き、2 の補数）を使用して、補助 NCO の位相を調整できます。位相調整の具体的な機能は、[絶対位相オフセット](#)のセクションと[相対位相オフセット](#)のセクションで説明するように、レジスタ 0x280F（補助 NCO 0 の場合）およびレジスタ 0x284F（補助 NCO 1 の場合）のビット 0 の値に依存します。

ビット [39:0] をプログラムし、IO 更新ビットをアサートすると、AD9546 は、位相の変更速度（位相スルー）に関して指定された上限を、自動的に適用します。詳細については、[補助 NCO 位相スルー制限](#)のセクションを参照してください。

## 絶対位相オフセット

絶対位相オフセット調整は、レジスタ 0x280F（補助 NCO 0 の場合）およびレジスタ 0x284F（補助 NCO 1 の場合）のビット 0 が 0 の場合に有効となります。絶対位相オフセット調整の場合、位相オフセット・ビット（ビット [39:0]）は、分解能が 1ps の符号付き絶対時間オフセットとなります。符号付き絶対時間オフセットでは、約 $\pm 0.55$ 秒 ( $\pm 10^{-12}$ 秒  $\times 2^{39}$ ) のオフセット範囲が可能となります。ただし、プログラムするオフセット値は $\pm 1$ UI（つまり、補助 NCO の $\pm 1$ 周期）に制限されています。

$\pm 1$ UI の制限を超える位相オフセット値をプログラムすると、デバイスはレジスタ 0x3002 のビット 5（補助 NCO 0 の場合）またはビット 7（補助 NCO 1 の場合）にそのステータスをセットする点に注意してください。

例えば、補助 NCO 0 に 10kHz の周波数（中心周波数の設定値とオフセット周波数の設定値による）をプログラムし目的の位相オフセットが $-15.5^\circ$ である場合、レジスタ 0x2814～レジスタ 0x2818 のビット [39:0]（絶対時間オフセット）を求めます。

まず、位相オフセットが $\pm 360^\circ$ 未満であり、 $\pm 1$ UI の最大位相オフセット条件を満たすことを確認します。目的の位相オフセットは $-15.5^\circ$ で、 $\pm 1$ UI の制限範囲内にあります。

次に、 $-15.5^\circ$ の位相オフセットに関連する時間、 $t$ を求めます。

$$\begin{aligned} t &= (-15.5^\circ / 360^\circ) / (10\text{kHz}) \\ &= -4.3055555556\mu\text{s} \quad (\text{小数点第 10 位まで}) \end{aligned}$$

最後に、 $t$ の値を ps の単位に変換します。

$$\begin{aligned} \text{Bits } [39:0] &= t / (10^{-12}\text{sec}) \\ &= (-4.3055555556 \times 10^{-6}\text{s}) / (10^{-12}\text{sec}) \\ &= -4,305,556 \quad (\text{最も近い整数}) \\ &= 0x\ \text{FF FFBE 4D6C} \quad (40 \text{ ビット } 16 \text{ 進数}) \end{aligned}$$

## 相対位相オフセット

相対位相オフセット調整は、レジスタ 0x280F（補助 NCO 0 の場合）およびレジスタ 0x284F（補助 NCO 1 の場合）のビット 0 が 1 の場合に有効となります。相対位相オフセット調整の場合、位相オフセット・ビット（ビット [39:0]）は、補助 NCO の周期の端数として指定された符号付き相対オフセットとなります。したがって、ビット [39:0] は、 $-\frac{1}{2}$ UI から $+\frac{1}{2}$ UI より 1LSB 小さい値までの範囲をカバーします。

例えば、補助 NCO 0 に 10kHz の周波数（中心周波数の設定値とオフセット周波数の設定値による）をプログラムし目的の位相オフセットが $-15.5^\circ$ である場合、レジスタ 0x2814～レジスタ 0x2818 のビット [39:0]（相対時間オフセット）を求めます。

まず、位相オフセットが $\pm 180^\circ$ であり、 $\pm \frac{1}{2}$ UI の最大オフセット条件を満たすことを確認します。目的の位相オフセットは $-15.5^\circ$ で、 $\pm \frac{1}{2}$ UI の制限範囲内にあります。

次に、 $-15.5^\circ$  をフラクショナル UI に変換します。

$$\begin{aligned}\text{フラクショナル UI} &= -15.5^\circ/360^\circ \\ &= -0.0430555556 \text{ (小数点第 10 位まで)}\end{aligned}$$

位相オフセット・ビットであるビット [39:0] は、1UI の範囲をカバーする符号付き 2 の補数の 40 ビット値であるため、その値は次のように計算できます。

$$\begin{aligned}\text{ビット [39:0]} &= -0.0430555556 \times 2^{40} \\ &= -47,340,083,974 \text{ (最も近い整数)} \\ &= 0x \text{F4 FA4F A4FA} \text{ (40 ビット 16 進数)}\end{aligned}$$

## 補助 NCO 位相スルー制限

ユーザが補助 NCO の 1 つに位相オフセットを適用することを要求した場合でも、AD9546 は、必ずしも同時にすべての位相オフセットを適用するわけではありません。その代わりに、レジスタ 0x2810～レジスタ 0x2813 (補助 NCO 0 の場合) およびレジスタ 0x2850～レジスタ 0x2853 (補助 NCO 1 の場合) のビット [31:0] (符号なし) が、位相オフセットが即時のものか、スルー制限のあるものかを制御します。

位相スルー制限ビット (ビット [31:0]) が 0 の 10 進数である場合、位相オフセットは直ちに実行されます。つまり、補助 NCO は指定された位相オフセット値を、すべて一度に適用します。一方、ビット [31:0] がゼロでない場合、位相オフセットはスルー制限となります。つまり、補助 NCO は、ビット [31:0] の値で規定された制限を超えないよう位相変化のレートを調整して、徐々に位相変化を加えます。補助 NCO は合計位相変化を追跡し、その合計位相変化が補助 NCO 位相オフセット・パラメータによって確立された値を満たす場合に、位相スルー制限プロセスを終了します (補助 NCO の位相オフセットのセクションを参照)。

ビット [31:0] は  $2^{-36}\text{UI}/\text{UI}$  を単位とします。ここで、UI は関連する補助 NCO のユニット間隔です (1UI は補助 NCO のプログラムされた周波数の逆数)。つまり、ユーザは、位相変化の最大レートを 1 周期の端数として指定します。位相オフセットを呼び出す前にビット [31:0] をプログラムする必要がある点に注意してください。

例えば、補助 NCO のプログラムされた周波数が 60Hz (したがって、 $1\text{UI} = 1/60\text{sec}$ ) で、位相変化レートに対する必要な制限値を  $1\mu\text{s}/\text{sec}$  ( $10^{-6}\text{sec}/\text{sec}$ ) にする場合を考えます。なお、 $\text{sec}/\text{sec}$  と  $\text{UI}/\text{UI}$  は本質的に同じである点に注意してください。したがって、 $10^{-6}\text{sec}/\text{sec}$  は  $10^{-6}\text{UI}/\text{UI}$  となります。ビット [31:0] は、 $2^{-36}\text{UI}/\text{UI}$  を単位とするため、ビット [31:0] の目的の値は  $10^{-6}/2^{-36} = 68,719$  (最も近い整数に四捨五入) または  $0x \text{0001 0C6F}$  (16 進数) となります。ビット [31:0] を 68,719 (10 進数) にプログラムしたとすると、ユーザが補助 NCO の位相オフセット・パラメータによって指定された位相オフセットを呼び出した場合 (補助 NCO の位相オフセットのセクションを参照)、AD9546 は自動的に、位相の変更レートが毎秒  $1\mu\text{s}$  の指定値を超えないようにします。

ビット [31:0] がゼロ以外の値で、補助 NCO が位相スルー・レートを制限している過程にある場合、デバイスはレジスタ 0x3002 のステータス・ビットをセットします。補助 NCO 0 の場合はビット 4、補助 NCO 1 の場合はビット 6 です。

## 経過時間調整

図 111 に示すように、ユーザは、レジスタ 0x3A00～レジスタ 0x3A09 (補助 NCO 0 の場合) およびレジスタ 0x3A0A～レジスタ 0x3A13 (補助 NCO 1 の場合) のビット [79:0] を使用して補助 NCO タイム・スケールを読み出すことができます。タイム・スケールの形式は、40 ビットの整数部 (最上位ビット) と 40 ビットの小数部 (最下位ビット) です。整数部は補助 NCO の経過時間を追跡します。小数部は、実質的にその時点の周期内の加算器の位相を表します。

タイム・スケール・レジスタの内容は、最新の IO 更新の時点までの経過時間を示します。

ユーザは、レジスタ 0x2819～レジスタ 0x281D (補助 NCO 0 の場合) およびレジスタ 0x2859～レジスタ 0x285D (補助 NCO 1 の場合) のビット [39:0] に基づいて、タイム・スケール・レジスタの 40 ビット整数部を調整することができます。この調整の具体的な機能は、[直接経過時間調整](#)のセクションと[増分経過時間調整](#)のセクションで説明するように、レジスタ 0x280F (補助 NCO 0 の場合) およびレジスタ 0x284F (補助 NCO 1 の場合) のビット 1 の値に依存します。

経過時間調整が有用となるアプリケーションは、時刻を示すことです。この場合、UTC 時間に一致するようタイム・スケール・レジスタの整数部を調整します。そのようなアプリケーションでは、補助 NCO を 1Hz (1 秒の周期に相当) にプログラムすることが前提となります。

## 直接経過時間調整

直接経過時間調整は、レジスタ 0x280F (補助 NCO 0 の場合) およびレジスタ 0x284F (補助 NCO 1 の場合) のビット 1 が 0 の場合に有効となります。直接経過時間調整の場合、ビット [39:0] は、補助 NCO タイム・スケール・レジスタの対応する 40 ビット整数部を直接置き換える、符号なしの整数となります。

## 増分経過時間調整

増分経過時間調整は、レジスタ 0x280F (補助 NCO 0 の場合) およびレジスタ 0x284F (補助 NCO 1 の場合) のビット 1 が 1 の場合に有効となります。増分経過時間調整の場合、増分経過時間調整ビット (レジスタ 0x281D～レジスタ 0x2819 (補助 NCO 0 の場合) およびレジスタ 0x285D～レジスタ 0x2859 (補助 NCO 1 の場合) のビット [39:0]) は、補助 NCO タイム・スケール・レジスタの 40 ビット整数部をその時点の値を基準にインクリメントまたはデクリメントする、符号付き 2 の補数の整数と な り ま す。

## 補助 NCO のタイム・スタンプ

補助 NCO は、位相加算器のロールオーバーをマーキングする内部タイム・スタンプを生成します。加算器は、量子化された周期  $1/f_{\text{ACCUM}}$  で更新されるため、加算器が正確にゼロにロールオーバーすることは稀です (つまり、ほとんどの場合、加算器は端数でロールオーバーします)。そのため、補助 NCO は、適切な補間を行い、内部生成したタイム・スタンプが加算器のゼロ交差点を正確にマーキングするようにします。

補助 NCO が生成する内部タイム・スタンプは、AD9546 の内部タイム・スケールを基準とします。

内部タイム・スタンプは補助 NCO 加算器のロールオーバー周期を正確にマーキングすると共に、内部タイム・スケールを基準とするため、タイム・スタンプは、どちらの DPLL に対しても入力リファレンス源として機能します。この機能によって、AD9546 は、DPLL に対する完全に自己内蔵型のリファレンス源を持つことができます（つまり、外部リファレンス源は不要です）。

補助 NCO タイム・スタンプは使用可能なリファレンス源であるため、ユーザは UTSP を通じてそれらを利用することができます（ユーザ・タイム・スタンプ・プロセッサ (UTSP) のセクションを参照）。例えば、補助 NCO 0 を  $f_{AUX} = 5\text{kHz}$  にプログラムしたとします。補助 NCO 0 からタイム・スタンプを読み出すために、ユーザは補助 NCO 0 を、タイム・スタンプ源としても UTSP 0 用のタイム・スケールとしても使用するよう、UTSP 0 をプログラムできます。次いで、最初のタイム・スタンプを読み出すと、補助 NCO 0 のタイム・スケールを基準とするリファレンス値が得られます。ただし、タイム・スケールは  $200\mu\text{s}$  単位 ( $f_{AUX}$  による) であるため、次のタイム・スタンプは最初のタイム・スタンプより 1 単位分だけ大きい値となります。あいにく、UTSP 0 によるタイム・スタンプ変換というこの方法は、外部使用には役立ちません。

ただし、タイム・スタンプを適切なタイム・スケールと関連させることで、このタイム・スタンプ変換が意味のあるものとなる場合があります。これを行うには、補助 NCO 1 を  $f_{AUX} = 1\text{Hz}$  となるようにプログラムします。 $f_{AUX} = 1\text{Hz}$  なので、補助 NCO 1 のタイム・スケールは 1 秒単位となります。次に、補助 NCO 0 からのタイム・スケールではなく、補助 NCO 1 からのタイム・スケールを使用する（しかし、引き続き補助 NCO 0 を UTSP 0 に対するタイム・スタンプのままにする）よう UTSP 0 をプログラムします。次いで、最初のタイム・スタンプを読み出すと、（補助 NCO 1 のタイム・スケールを基準とする）リファレンス値が得られ、次のタイム・スタンプは、最初のタイム・スタンプよりピコ秒未満の精度で正確に  $200\mu\text{s}$  遅れた値に相当します。

## 補助 NCO のパルス出力

タイム・スタンプを生成する他、補助 NCO は物理的な出力信号も生成します（図 111 を参照）。出力信号は実質的に、補助 NCO の内部位相加算器のロールオーバーに同調する単一パルスです。補助 NCO は、ピーク to ピークのパルス・ジッタが約  $1.4\text{ns}$  となるように、パルス・タイミングを量子化します。

ユーザは、目的の Mx ピンを出力に定義し、必要な補助 NCO を出力源として選択することで、出力パルス信号をどの Mx ピンにも配信できます（ステータス/制御ピンのセクションを参照）。

パルス幅は、仮数 (S) の値と指数 (E) の値でプログラムします。S をプログラムするには、レジスタ 0x281E (補助 NCO 0 の場合) およびレジスタ 0x285E (補助 NCO 1 の場合) のビット [3:0] を使用します。E をプログラムするには、同じレジスタのビット [7:4] を使用します。

$$\text{パルス幅} = (1/f_{ACCUM}) \times (1 + S \times 2^{(E+5)})$$

例えば、 $f_s = 2.4\text{GHz}$ 、 $S = 6$ 、 $E = 2$  とすると、

$$\begin{aligned} \text{パルス幅} &= (1/f_{ACCUM}) \times (1 + S \times 2^{(E+5)}) \\ &= (96/f_s) \times (1 + 6 \times 2^{(2+5)}) \\ &= (96 / (2.4 \times 10^9)) \times (1 + 6 \times 2^{(2+5)}) \\ &= (96 / (2.4 \times 10^9)) \times (1 + 6 \times 2^7) \\ &= 30.76\mu\text{s} \end{aligned}$$

ただし、目標とするパルス幅 ( $t_p$ ) を得るためには、所定のシステム・クロック PLL の VCO 周波数 ( $f_s$ ) に対し適切な E と S の値を定める必要があります。これを行うには、K を次のように定めます。

$$K = (t_p \times f_s) / 3072 - 1/32$$

次に E を次式で定めます。

$$E = \text{ceil}(\log(K/15) / \log(2))$$

ここで、

$$0 \leq E \leq 15.$$

$E = \text{ceil}(x)$  は、 $x$  が整数の場合には  $E = x$  それ以外の場合、 $E$  は、正の方向に向かって  $x$  に最も近い整数です。

最後に S を次式で定めます。

$$S = \text{round}(K/2^E)$$

ここで、

$$0 \leq S \leq 1.$$

$\text{round}(x)$  は、 $x$  を最も近い整数に四捨五入することを意味します。

計算した E または S が指定範囲外となる場合は、適切な制限値を使用します。例えば、E の計算値が -2 となった場合、 $E = 0$  とします。

$t_p = 100\mu\text{s}$ 、 $f_s = 2.4\text{GHz}$  の場合の K、E、S の値は、 $K = 78.09375$ 、 $E = 3$ 、 $S = 10$  となります。

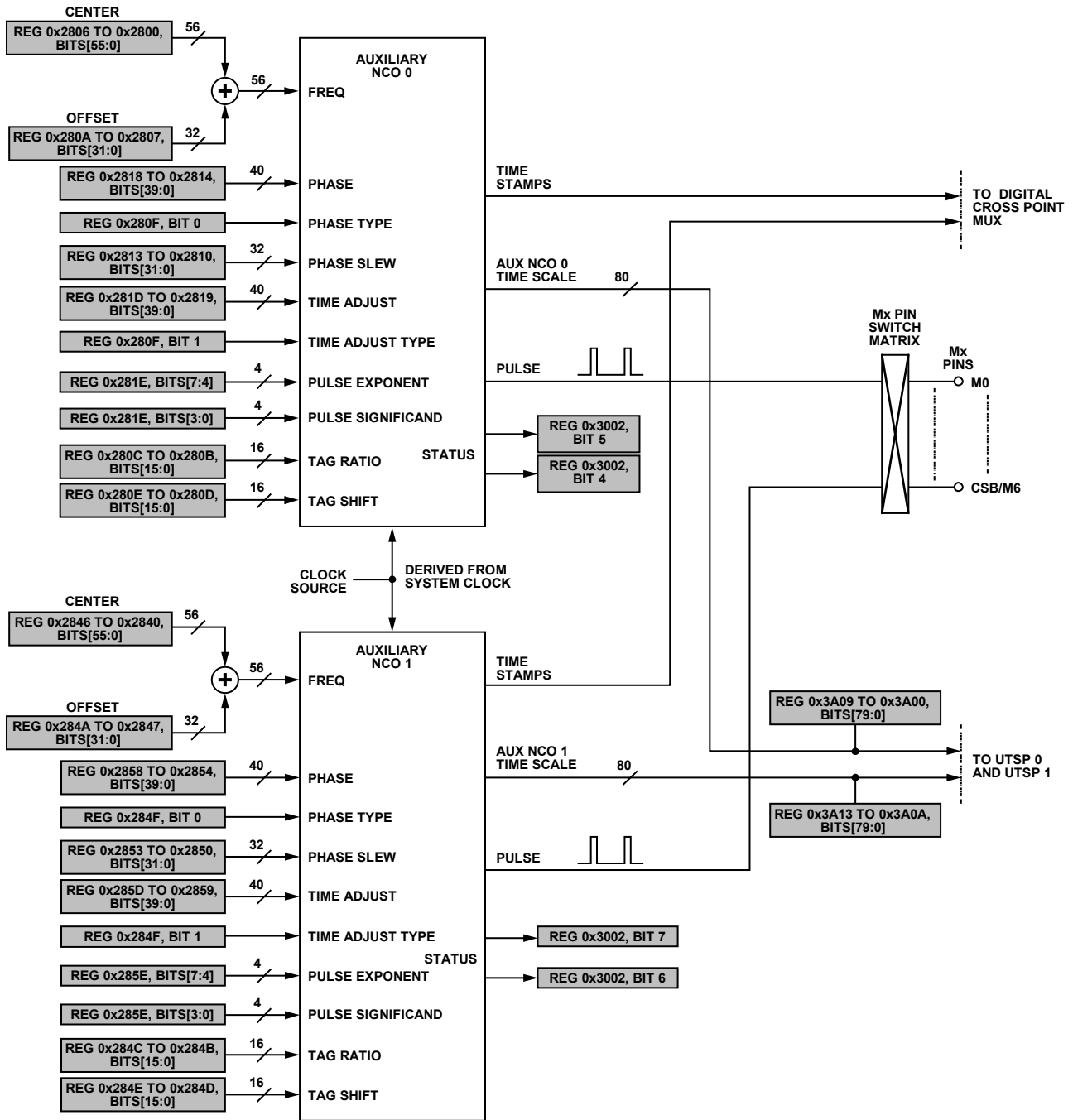
$E = 3$  および  $S = 10$  はそれぞれの範囲内に収まっています。E および S は整数でなくてはならないため、結果として生じるパルス幅はとびとびの値となります。目標のパルス幅  $t_p = 100\mu\text{s}$  に対する K、E、S の結果が求まったら、実際のパルス時間は、

$$\begin{aligned} t_p &= (96/f_s) \times (1 + S \times 2^{(E+5)}) \\ &= 102.44\mu\text{s} \end{aligned}$$

補助 NCO の出力周波数 ( $f_{AUX}$ ) と出力パルス幅 ( $t_p$ ) は個別にプログラムできるパラメータであるため、次の関係を確保する必要があります。

$$t_p \leq 1/f_{AUX}$$

タグ付けされたタイム・スタンプに同調するパルスを生成することはできませんが（タグ付けされた補助 NCO タイム・スタンプのセクションを参照）、 $t_p$  に対する  $t_p \leq 1/f_{AUX}$  の制限は引き続き適用されます（つまり、タグ周波数ではなく  $f_{AUX}$  がベースとなります）。



NOTE  
1. A RANGE OF BITS USES A COLON SEPARATOR

図 111. 補助 NCO のブロック図

23266-110

## 温度センサー

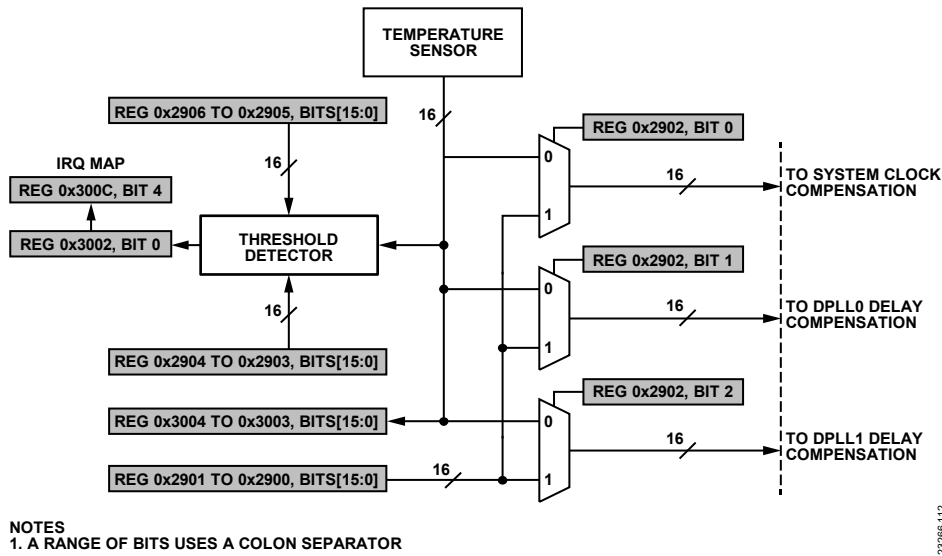


図 112. 温度センサーのブロック図

### 温度センサーの概要

図 112 に、温度センサーとそのサポート回路のブロック図を示します。AD9546 では、次の 3 つの機能ブロックで温度の値を使用できます。

- システム・クロック補償
- DPLL0 遅延補償
- DPLL1 遅延補償

これらの機能ブロックは、それぞれ次の 2 つのソースから温度値を受信します。

- 内部温度センサー (デフォルト)
- レジスタ 0x2900～レジスタ 0x2901 のビット [15:0]

### 温度ソースの選択

レジスタ 0x2902 のビット [2:0] を使用することで、それぞれの温度補償機能ブロックに対して必要な温度ソースを選択できます。ビット 0 は、システム・クロック補償ブロックへの温度ソースの割り当てを制御します (補償方法 1 のセクションを参照)。ビット 1 は DPLL0、ビット 2 は DPLL1 の遅延補償ブロックへの温度ソースの割り当てを制御します (遅延補償のセクションを参照)。ビット [2:0] では、ロジック 0 (デフォルト) で内部温度センサーを選択し、ロジック 1 で外部温度ソース (外部温度ソースのセクションを参照) を選択します。

### 内部温度センサー

AD9546 には、デジタル出力を行う温度センサーが内蔵されています (図 112 を参照)。センサーは、シリコン・ダイの温度を示し、ユーザはレジスタ 0x3003～レジスタ 0x3004 のビット [15:0] を使用してこれを読み出すことができます。温度センサーは、図 113 に示すように、 $2^{-7}$  でスケールされた 16 ビットの符号付き (2 の補数) 数値を示します。この形式で、 $\pm 256^{\circ}\text{C}$  の温度範囲を  $0.0078^{\circ}\text{C}$  の分解能で対応できます。

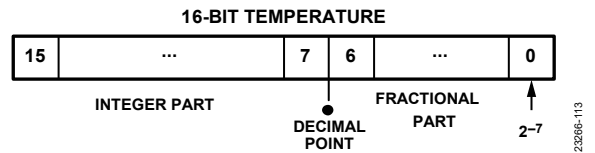


図 113. 温度形式

センサーは約 25MHz でサンプリングを行い、 $2^{12}$  個のサンプルの平均化を実行するため、更新レートは約 6.1kHz となります。温度センサーの目的は、温度そのものの測定値を提供するというよりは、温度変化を追跡することにあります。

内部温度が 0x118D (4493 (10 進数)) の場合、対応する温度  $T$  は次式で求められます。

$$T = 4493 \times 2^{-7} \text{ } ^{\circ}\text{C} \\ = 35.1015625^{\circ}\text{C}$$

内部温度が 0xF833 (-1997 (10 進数)) の場合は、

$$T = -1997 \times 2^{-7} \text{ } ^{\circ}\text{C} \\ = -15.6015625^{\circ}\text{C}$$

### 温度アラーム機能

温度センサーは、閾値検出器に配線されています。閾値検出器は、温度指示値が高温閾値および低温閾値で指定された範囲から外れた場合にこれを検出します。高温閾値は、レジスタ 0x2905～レジスタ 0x2906 のビット [15:0] にあり、低温閾値は、レジスタ 0x2903～レジスタ 0x2904 のビット [15:0] にあります。高温閾値と低温閾値は、[図 113](#) に示す温度形式を使用します。

温度センサーの出力値が指定限界から外れた場合、レジスタ 0x3002 のステータス・ビット 0 がロジック 1 状態になります（それ以外ではロジック 0）。ステータス・ビット 0 によって、閾値検出器のステータスをリアル・タイムで確認できます。

レジスタ 0x3002 のステータス・ビット 0 はレジスタ 0x300C のステータス・ビット 4 のソースです。ステータス・ビット 4 を使用すると、IRQ メカニズムを介した温度閾値検出イベントの自動通知を設定できます（[割込み要求 \(IRQ\)](#) のセクションを参照）。

### 外部温度ソース

外部温度ソースは、温度値をレジスタ 0x2900～レジスタ 0x2901 のビット [15:0] にプログラムします。内部温度センサーの場合は、内部温度補償機能ブロックで使用できるよう、自動で温度値を適切にスケールリングしますが、外部温度値の場合は、ユーザが適切にスケールリングする必要があります。

外部温度ビット・フィールドは、温度を  $^{\circ}\text{C} \times 2^{-7}$  の単位で表します（[図 113](#) を参照）この形式により、 $\pm 256^{\circ}\text{C}$  の温度範囲を  $0.0078^{\circ}\text{C}$  の分解能で対応できます。

例えば、 $95^{\circ}\text{C}$  の外部温度値をプログラムするには、

$$\begin{aligned} \text{外部温度} &= 95/2^{-7} \\ &= 12,160 \\ &= 0x2F80 \quad (16 \text{ 進数}) \end{aligned}$$

## システム・クロック補償

### システム・クロック補償の概要

AD9546 の NCO および TDC は、システム・クロックを基に時間管理を行います（システム・クロック PLL のセクションを参照）。したがって、いずれの NCO の周波数精度も、システム・クロックの精度に直接関係します。同様に、連続する TDC タイム・スタンプ間の差に基づく推定周波数も、システム・クロックの精度の影響を受けます。そのため、システム・クロックの安定性は、AD9546 の NCO および TDC の精度にとって非常に重要です。

更に、システム・クロックの安定性は、システム・クロック源の安定性に直接関係します。システム・クロック源は、XOA ピンと XOB ピンを駆動する周波数源です。したがって、完全に安定なシステム・クロック源が望まれます。しかし、実際には、システム・クロック源は、経時劣化や温度変化などの物理的要因を原因として、周波数不安定性が生じます。システム・クロック源からもたらされた周波数不安定性は、NCO および TDC の周波数不安定性につながります。

NCO と TDC は本質的に数値的（デジタル）なので、NCO および TDC を数値的に調整してシステム・クロック不安定性を打ち消すことが可能です。すなわち、システム・クロック源に関連する周波数誤差が既知であれば、対応する補正を（数値的に）NCO および TDC に適用することができます。これがシステム・クロック補償の基盤となる考え方です。

システム・クロック補償は、絶対的な周波数誤差ではなく、相対周波数誤差（FFE）について機能します。公称周波数が  $f_0$  の場合、誤差のある周波数  $f$  の FFE は、

$$FFE = (f - f_0) / f_0$$

または

$$FFE = f/f_0 - 1$$

TDC の場合は、連続するタイム・スタンプ間の差は基盤周波数の周期です。連続するタイム・スタンプ間の差が、相対周期誤差（FPE）という考え方の基となります。

$$FPE = (p - p_0) / p_0$$

または

$$FPE = p/p_0 - 1$$

ここで、

$p_0$  は公称周期。

$p$  は誤差を含む周期。

周波数は周期と、 $f = 1/p$  の関係があるので、FFE と FPE の関係は次式で表せます。

$$FFE = -FPE / (FPE + 1)$$

または

$$FPE = -FFE / (FFE + 1)$$

システム・クロック補償の場合は、FFE で表された所定のシステム・クロック周波数誤差を考慮します。FFE 補正係数を NCO および TDC に適用することで、システム・クロック源の FFE 誤差を補償します。NCO および TDC への補正係数としての FFE が、システム・クロック源の FFE を補償します。AD9546 では、オープンループ法とクローズドループ法の 2 通りの方法で、システム・クロック補償を適用できます。

### オープンループ法

図 114 にオープンループ法を示します。ここでは、システム・クロック源がシステム・クロック PLL を駆動し、このシステム・クロック PLL が AD9546 内の代表例として示す NCO のクロック源として機能しています。図 114 では NCO が示されていますが、このセクションの内容は TDC にも当てはまります。

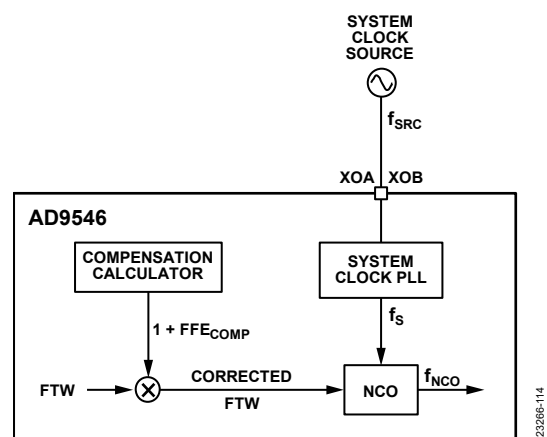


図 114. オープンループ法

システム・クロック源は、一次周波数  $f_{SRC}$  を提供し、その公称値は  $f_0$  です。NCO のクロック源であるシステム・クロック PLL は、 $f_{SRC}$  に定数  $K_{PLL}$  を乗じます（つまり、 $f_S = K_{PLL} \times f_{SRC}$ ）。図 114 において、システム・クロック補償の FFE ( $FFE_{COMP}$ ) が 0 と仮定すると、NCO は適用された数値 FTW に比例する出力周波数  $f_{NCO}$  を生成します（つまり、 $f_{NCO} = f_S \times FTW \times K_{NCO}$ 、 $K_{NCO}$  比例定数）。そのため、 $f_{NCO}$  を  $f_{SRC}$  を用いて表すと次のようになります。

$$f_{NCO} = f_{SRC} \times K_{PLL} \times FTW \times K_{NCO}$$

したがって、理想的な（誤差のない） $f_{NCO}$  は、

$$f_{NCO\_IDEAL} = f_0 \times K_{PLL} \times FTW \times K_{NCO}$$

ここで、 $f_0$  は、システム・クロック源の公称周波数です。システム・クロック源に相対誤差 FFE がある場合は、

$$f_{NCO} = f_0 \times (1 + FFE) \times K_{PLL} \times FTW \times K_{NCO}$$

FFE を補償するために相対補正  $FFE_{COMP}$  を適用すると、

$$f_{NCO} = f_0 \times (1 + FFE) \times (1 + FFE_{COMP}) \times K_{PLL} \times FTW \times K_{NCO}$$

$FFE_{COMP} = -FFE$  とすると、

$$f_{NCO} = f_0 \times (1 + FFE) \times (1 - FFE) \times K_{PLL} \times FTW \times K_{NCO} \quad (24)$$

$(1 + FFE) \times (1 - FFE)$  の項は、 $1 - FFE^2$  に簡約できます。 $FFE^2 = FFE_{COMP} \times FFE$  であると仮定すると、 $FFE_{COMP}$  および  $FFE$  がどちらも 1ppm ( $10^{-6}$ ) 未満である場合（これは妥当な仮定です）、 $FFE^2$  は  $10^{-12}$ （一兆分の一）未満です。 $FFE$  の値が 1ppm 未満の場合、 $FFE^2$  の値は極めて小さくなります。そのような条件下では、 $FFE^2$  は実質的にゼロとなり、式 24 は次のように簡略化できます。

$$f_{NCO} = f_0 \times K_{PLL} \times FTW \times K_{NCO}$$

この  $f_{NCO}$  の式は、 $f_{NCO\_IDEAL}$  と同じです。そのため、相対補正項  $FFE_{COMP}$  を適用することは、システム・クロック源に関連する  $FFE$  を打ち消すこととなります。

上記の例は、システム・クロックの  $FFE$  に対する補償の実行可能性を示すものです。しかし、 $FFE$  補償は、適切な補償が適用できるよう  $FFE$  を予測する手段がなければ、ほとんど価値がありません。この点に関し、オープンループ法は次の 2 つの仮定に依存しています。

- 温度変動がシステム・クロック源の  $FFE$  の支配要因である
- システム・クロック源の  $FFE$  と温度 ( $T$ ) の関係は  $x$  次の多項式の形をとる

AD9546 の場合、 $x$  は 5 です。そのため、2 番目の仮定は次式で表せます。

$$FFE_{SRC} = c_5 T^5 + c_4 T^4 + c_3 T^3 + c_2 T^2 + c_1 T + c_0 \quad (25)$$

ここで、係数  $c_x$  によって、 $FFE_{SRC}$  曲線の形が決まります。 $c_0$  は静的なオフセットであり、その他の係数は  $T$  のべき乗に関係します。また、 $T$  の任意のべき数の項は、対応する係数をゼロに設定することで意図的に除去できる点に注意してください。例えば、多項式を二次にするには、式 25 の  $c_5$ 、 $c_4$ 、 $c_3$  の各係数をゼロにします。オープンループ法では、 $c_x$  の値が前もってわかっていることが前提で、これらの値はユーザが AD9546 の該当のレジスタ・マップの場所にプログラムします。

オープンループ法の全般的な考え方は、多項式がシステム・クロック源の温度に依存する変化を正確にモデル化するよう、AD9546 の適切な係数  $c_x$  をプログラムすることです。AD9546 には、 $FFE$  多項式を実装した補償計算器が組み込まれています（補償方法 1 のセクションを参照）。この補償計算器によって生成された補正係数をユーザ指定の NCO および TDC に適用する手段を、AD9546 は備えています。

### クローズドループ法

オープンループ法とは異なり、クローズドループ法ではシステム・クロック源の  $FFE$  の変化の仕方を予めわかっている必要はありません。その代わりに、クローズドループ法では、DPLL と、その DPLL へのリファレンス入力として非常に安定した外部周波数源（例えば GPS など）が使用できることに依存しています（図 115 を参照）。

動作時には、DPLL がロックされ安定しているものとする、NCO に入力される FTW は比較的一定です。特に、安定した周波数源とシステム・クロック源の両方の周波数が一定であると仮定した場合には、これが当てはまります。ただし、安定した周波数源の周波数はその定義によって一定で、クローズドループ法の必要条件です。したがって、DPLL の帰還ループによって  $f_{NCO} = N \times$

$f_{REF}$  が確保されるため、 $f_{NCO}$  は一定です。そのため、 $f_{SRC}$  が（温度などが原因で）変化した場合、DPLL の帰還ループによって、FTW が  $f_{NCO}$  を一定に保つように変化します。安定したソースの  $FFE$  はゼロ（ソースが誤差ゼロ）であるため、 $f_{NCO}$  に関連する  $FFE$  はすべて、システム・クロック源の  $FFE$  に帰すことができます。つまり、システム・クロック源の  $FFE$  は、FTW の（公称値  $FTW_{NOM}$  からの）変化に確定的に変換されます。

クローズドループ法では、FTW の変化によって補正係数  $1 + FFE_{COMP}$  が発生します。図 115 に示す FTW アナライザは、AD9546 の内蔵部品です。この補正係数を AD9546 内の他の指定された NCO および TDC に適用することが、クローズドループ法の基本です。

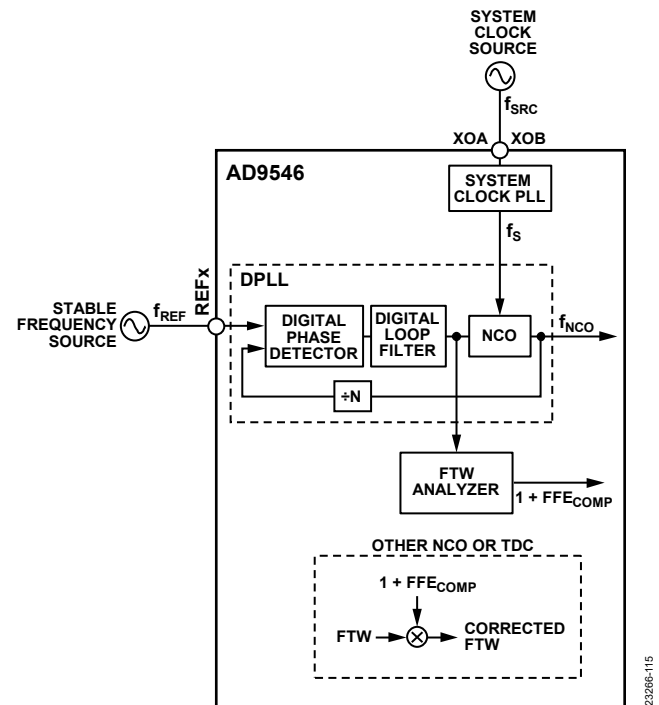


図 115. クローズドループ法

クローズドループ法の動的で自動の補償機能は、通常はオープンループ法に比べ優れた性能を示しますが、安定した周波数源を使用することが必要です。一般的に、クローズドループ法が可能になるためには、安定した周波数源がシステム・クロック源より少なくとも 10 倍は安定している必要があります。

AD9546 では 2 つのクローズドループ法を採用しています。最初の形態は、DPLL チャンネル (DPLL0 または DPLL1) のいずれかを図 115 に示す DPLL に使用するものです。もう 1 つの形態は、独立した特別な目的の DPLL (補助 DPLL) を図 115 に示す DPLL として使用するものです。後者の形態では、DPLL チャンネルの 1 つを犠牲にすることなく、クローズドループ・システム・クロック補償を実行できます。



補償方法 1

補償方法 1 では、システム・クロック補償のオープンループ法（オープンループ法のセクションを参照）を使用します。図 116 に示すように、補償方法 1 では多項式の係数（ $C_x$ ）と温度の値（ $T$ ）を取得して補償係数（ $CF_1$ ）を計算します。補償方法 1 は、オープンループ法とはデジタル・フィルタを含む点異なります（デジタル・フィルタのセクションを参照）。

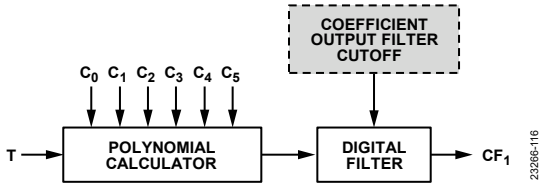


図 116. 補償方法 1

$C_0 \sim C_5$  の係数は、ユーザによってレジスタ・マップにプログラムされます（補償方法 1 の係数（ $C_x$ ）のプログラミングのセクションを参照）。温度の値は内部温度センサーまたは温度レジスタから取得します（詳細は温度センサーのセクションを参照）。補償係数  $CF_1$  が、システム・クロック源の周波数変化を補正するために、指定された NCO および TDC に適用されます。 $CF_1$  は、図 114 に示す係数  $1 + FFE_{COMP}$  を表すものです。

周波数データから係数を求める方法

システム・クロック源の周波数変化を補償するには、周波数と温度の関係を知らなければならない。一般に、ソースの周波数特

性は、温度の値とそれに対応するソース周波数の値の表で示されます。表 96 の左 2 列に、25MHz ソースの仮定上の例を示します。

AD9546 は相対誤差によって補償を実行するため、表 96 の周波数を FFE 値に変換する必要があります（システム・クロック補償の概要のセクションを参照）。表 96 に FFE 値の結果を示します。ただし、補償方法 1 は、周波数誤差の補正ではなく時間誤差の補正として、 $CF_1$  を生成します。そのため、ユーザは FFE のデータを FPE のデータに変換する必要があります（変換の式については、システム・クロック補償の概要のセクションを参照）。表 96 に FPE 値の結果を示します。計算した FPE 値から、この FPE データを最もよく近似する係数（ $C_x$ ）を求めます。この作業には一般に専用の数学ソフトウェア・ツールを使用した数学的な回帰手法が含まれます。

そのような回帰手法を表 96 に示す仮定上の FPE 値に適用すると、次の係数が得られます。

$$C_0 = 1.0046936 \times 10^{-3}$$

$$C_1 = -2.8927765 \times 10^{-6}$$

$$C_2 = -1.9110192 \times 10^{-7}$$

$$C_3 = 2.2493907 \times 10^{-9}$$

$$C_4 = 2.7943570 \times 10^{-11}$$

$$C_5 = -2.4817310 \times 10^{-13}$$

表 96. 25MHz のソース・データ例

| Temperature (°C) | Frequency (MHz) | FFE ( $\times 10^{-6}$ ) | FPE ( $\times 10^{-6}$ ) |
|------------------|-----------------|--------------------------|--------------------------|
| -20              | 24.9757265855   | -970.93658               | 971.88021                |
| -10              | 24.9745666538   | -1017.33385              | 1018.36987               |
| 0                | 24.9751062576   | -995.74970               | 996.74220                |
| 10               | 24.9758628851   | -965.48459               | 966.41766                |
| 20               | 24.9780535472   | -877.85811               | 878.62943                |
| 30               | 24.9789426612   | -842.29355               | 843.00361                |
| 40               | 24.9809631193   | -761.47523               | 762.05552                |
| 50               | 24.9810049826   | -759.80070               | 760.37843                |
| 60               | 24.9800392641   | -798.42944               | 799.06744                |
| 70               | 24.9777091418   | -891.63433               | 892.43005                |
| 80               | 24.9742106356   | -1031.57458              | 1032.63982               |

図 117 に、これらの係数を基にした FPE と温度の関係を表す曲線を示します。実線は係数を基に予測される FPE と温度の関係を表し、黒点は表 96 に示す温度と FPE データの関係を表します。

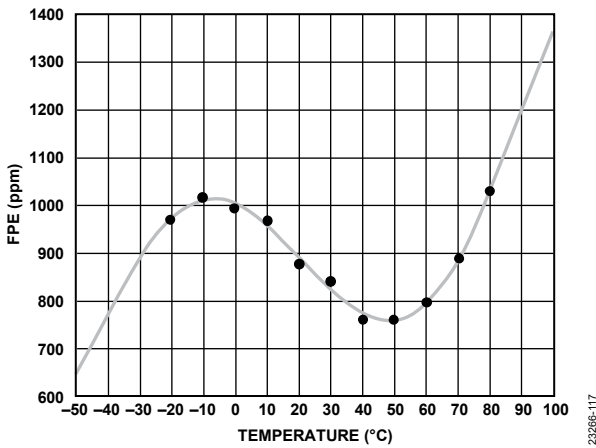


図 117. FPE の温度特性

$C_0 \sim C_5$  のような係数一式が求まったら、数値を適切なレジスタ値に変換する必要があります (詳細は、補償方法 1 の係数 ( $C_x$ ) のプログラミングのセクションを参照)。

### 補償方法 1 の係数 ( $C_x$ ) のプログラミング

補償方法 1 では、6 つの係数  $C_x$  が使用されます。ここで  $x$  は 0 ~ 5 です。係数  $C_0$  は、40 ビット (符号付き) の係数値 (CV) で表され、レジスタ 0x0289 ~ レジスタ 0x028D に置かれます。

CV の値と  $C_0$  の値の関係は、次式のとおりです。

$$CV = C_0 / 2^{-45}$$

CV の値には単位がなく、システム・クロック周期に比例します。

例えば、 $C_0 = 1.0046936 \times 10^{-3}$  を対応するレジスタ値 ( $C_{0\_RegVal}$ ) に変換します。

$$\begin{aligned} C_{0\_RegVal} &= C_0 / 2^{-45} \\ &= 1.0046936 \times 10^{-3} / 2^{-45} \\ &= 35,349,513,305 \text{ (最も近い整数)} \\ &= 0x\ 08\ 3AFE\ C459 \text{ (16 進数)} \end{aligned}$$

係数  $C_1 \sim$  係数  $C_5$  は、16 ビット (符号付き) の仮数と 8 ビット (符号付き) の指数の 2 つの成分を使用して表すことができます。仮数成分と指数成分は、表 97 に示すレジスタ・マップにあります。

表 97. システム・クロック補償係数

| Coefficient | Register Address |          |
|-------------|------------------|----------|
|             | Significand      | Exponent |
| $C_1$       | 0x028E to 0x028F | 0x0290   |
| $C_2$       | 0x0291 to 0x0292 | 0x0293   |
| $C_3$       | 0x0294 to 0x0295 | 0x0296   |
| $C_4$       | 0x0297 to 0x0298 | 0x0299   |
| $C_5$       | 0x029A to 0x029B | 0x029C   |

$C_1 \sim C_5$  によって、対応する  $T$  のべき乗にスケーリング・ファクタが適用されます。 $C_1 \sim C_5$  の各係数の形式は次のとおりです。

$$C_x = S_x \times 2^{E_x}$$

ここで、  
 $x$  は係数のインデックス。  
 $S_x$  は仮数成分。  
 $E_x$  は指数成分。

実際は、 $C_x$  は、 $S_x$  および  $E_x$  と同様に、10 進数です。しかし、AD9546 では、 $S_x$  と  $E_x$  は符号付き整数であることが必要です。10 進数の  $C_x$  の値を仮数レジスタ値 ( $C_{x\_S}$ ) と指数レジスタ値 ( $C_{x\_E}$ ) に対応した必要な符号付き整数に変換する方法は、以下の手順のとおりです。

$C_x$  には、次の 3 通りの場合があります。

- 自明な場合 ( $C_x = 0$ )
- $C_x$  が量子化限界より小さい場合
- $C_x$  が量子化限界より大きい場合

初めの 2 つの場合 (つまり、 $C_x = 0$  または  $C_x$  が量子化限界より小さい場合)、

$$C_{x\_S} = 0 \text{ (0x0000 (16 進数))}$$

$$C_{x\_E} = 0 \text{ (0x00 (16 進数))}$$

$C_x$  が量子化限界未満かどうかを確認するには、次の不等式が成り立つかどうかを調べます。

$$\left\lfloor \frac{\log |C_x|}{\log 2} \right\rfloor + 1 < -127 \tag{26}$$

ここで、  
 $\log(x)$  は  $x$  の対数 (例えば、 $\ln(x)$ 、 $\log_2(x)$ 、 $\log_{10}(x)$ )。  
 $|x|$  は、 $x$  の絶対値。

$\lfloor x \rfloor$  は、 $x$  の  $-\infty$  方向に最も近い整数を意味する記号。

$C_x$  がゼロ以外の値で式 26 の不等式が成り立たない場合は、次のようになります。

$$E = \left\lfloor \frac{\log |C_x|}{\log 2} \right\rfloor + 1$$

$$C_{x\_E} = E$$

$$C_{x\_S} = \text{round} (C_x \times 2^{15-E})$$

$C_1$ を例にとり、 $C_1 = -2.8927765 \times 10^{-6}$ を対応するレジスタの値に変換します。まず、 $C_1$ が量子化限界より大きいことを確認します。

$$E = \left\lfloor \frac{\log |C_1|}{\log 2} \right\rfloor + 1$$

$$= \left\lfloor \frac{\log |-2.8927765 \times 10^{-6}|}{\log 2} \right\rfloor + 1$$

$$= -18$$

これは、-127の量子化限界よりも大きい値です。したがって、以下の結果が得られます。

$$C_{1,E} = E = -18 = 0xEE \text{ (16進数)}$$

$$C_{1,S} = \text{round} (C_1 \times 2^{15-E})$$

$$= \text{round} (-2.8927765 \times 10^{-6} \times 2^{15-(-18)})$$

$$= -24,849$$

$$= 0x9EEF \text{ (16進数)}$$

$C_2$ を例にとり、 $C_2 = -1.9110192 \times 10^{-7}$ を対応するレジスタの値に変換します。まず、 $C_2$ が量子化限界より大きいことを確認します。

$$E = \left\lfloor \frac{\log |C_2|}{\log 2} \right\rfloor + 1$$

$$= \left\lfloor \frac{\log |-1.9110192 \times 10^{-7}|}{\log 2} \right\rfloor + 1$$

$$= -22$$

これは、-127の量子化限界よりも大きい値です。したがって、以下の結果が得られます。

$$C_{2,E} = E = -22 = 0xEA \text{ (16進数)}$$

$$C_{2,S} = \text{round} (C_2 \times 2^{15-E})$$

$$= \text{round} (-1.9110192 \times 10^{-7} \times 2^{15-(-22)})$$

$$= -26,265$$

$$= 0x9967 \text{ (16進数)}$$

$C_3$ を例にとり、 $C_3 = 2.2493907 \times 10^{-9}$ を対応するレジスタの値に変換します。まず、 $C_3$ が量子化限界より大きいことを確認します。

$$E = \left\lfloor \frac{\log |C_3|}{\log 2} \right\rfloor + 1$$

$$= \left\lfloor \frac{\log |2.2493907 \times 10^{-9}|}{\log 2} \right\rfloor + 1$$

$$= -28$$

これは、-127の量子化限界よりも大きい値です。したがって、以下の結果が得られます。

$$C_{3,E} = E = -28 = 0xE4 \text{ (16進数)}$$

$$C_{3,S} = \text{round} (C_3 \times 2^{15-E})$$

$$= \text{round} (2.2493907 \times 10^{-9} \times 2^{15-(-28)})$$

$$= 19,786$$

$$= 0x4D4A \text{ (16進数)}$$

$C_4$ を例にとり、 $C_4 = 2.7943570 \times 10^{-11}$ を対応するレジスタの値に変換します。まず、 $C_4$ が量子化限界より大きいことを確認します。

$$E = \left\lfloor \frac{\log |C_4|}{\log 2} \right\rfloor + 1$$

$$= \left\lfloor \frac{\log |2.7943570 \times 10^{-11}|}{\log 2} \right\rfloor + 1$$

$$= -35$$

これは、-127の量子化限界よりも大きい値です。したがって、以下の結果が得られます。

$$C_{4,E} = E = -35 = 0xDD \text{ (16進数)}$$

$$C_{4,S} = \text{round} (C_4 \times 2^{15-E})$$

$$= \text{round} (2.7943570 \times 10^{-11} \times 2^{15-(-35)})$$

$$= 31,462$$

$$= 0x7AE6 \text{ (16進数)}$$

$C_5$ を例にとり、 $C_5 = -2.4817310 \times 10^{-13}$ を対応するレジスタの値に変換します。まず、 $C_5$ が量子化限界より大きいことを確認します。

$$E = \left\lfloor \frac{\log |C_5|}{\log 2} \right\rfloor + 1$$

$$= \left\lfloor \frac{\log |-2.4817310 \times 10^{-13}|}{\log 2} \right\rfloor + 1$$

$$= -41$$

これは、-127の量子化限界よりも大きい値です。したがって、以下の結果が得られます。

$$C_{5,E} = E = -41 = 0xD7 \text{ (16進数)}$$

$$C_{5,S} = \text{round} (C_5 \times 2^{15-E})$$

$$= \text{round} (-2.4817310 \times 10^{-13} \times 2^{15-(-41)})$$

$$= -17,883$$

$$= 0xBA25 \text{ (16進数)}$$

次式を用い、レジスタ値の計算値  $C_x'$  が、目的の係数値によく一致しているかどうかを検証します。

$$C_0' = C_{0\_RegVal} \times 2^{-45} \quad (27)$$

$$C_x'_{|x \neq 0} = C_{x\_S} \times 2^{C_{x\_E} - 15} \quad (28)$$

式 27 による値および式 28 による値と元の係数値 ( $C_x$ ) は、量子化の影響でわずかに異なる場合がある点に注意してください。

係数の検証例は次の通りです。

$$C_0' = 35,349,513,305 \times 2^{-45} \\ = 1.004694 \times 10^{-3} \text{ (比較対象: } C_0 = 1.0046936 \times 10^{-3} \text{)}$$

$$C_1' = -24,849 \times 2^{-18-15} \\ = -2.892804 \times 10^{-6} \text{ (比較対象: } C_1 = -2.8927765 \times 10^{-6} \text{)}$$

$$C_2' = -26,265 \times 2^{-22-15} \\ = -1.911030 \times 10^{-14} \text{ (比較対象: } C_2 = -1.9110192 \times 10^{-14} \text{)}$$

$$C_3' = 19,786 \times 2^{-28-15} \\ = 2.249408 \times 10^{-9} \text{ (比較対象: } C_3 = 2.2493907 \times 10^{-9} \text{)}$$

$$C_4' = 31,462 \times 2^{-35-15} \\ = 2.794387 \times 10^{-11} \text{ (比較対象: } C_4 = 2.7943570 \times 10^{-11} \text{)}$$

$$C_5' = -17,883 \times 2^{-41-15} \\ = -2.481765 \times 10^{-13} \text{ (比較対象: } C_5 = -2.4817310 \times 10^{-13} \text{)}$$

### デジタル・フィルタ

図 116 の多項式計算器ブロックで生成される  $CF_1$  の値は、入力パラメータとしての温度測定値（内部または外部）に依存します。このような測定値に関連するノイズは、 $CF_1$  に対するノイズ源となる可能性があり、位相ノイズ性能の低下を引き起こす場合があります。補償メカニズムによるノイズ混入の可能性を低減するため、補償方法 1 では、未加工の  $CF_1$  値に平滑化関数を適用するフィルタが使われています。

フィルタの帯域幅は、表 98 に従い、レジスタ 0x0288 のビット [2:0] を使用して制御できます。フィルタは、連結した 2 つの極からなり、表 98 に示す 3dB 帯域幅を示します。

表 98. デジタル・フィルタの帯域幅

| Bits[2:0] (Binary) | 3 dB Bandwidth (Hz) |
|--------------------|---------------------|
| 000                | 156                 |
| 001                | 78                  |
| 010                | 39                  |
| 011                | 20                  |
| 100                | 10                  |
| 101                | 5                   |
| 110                | 2                   |
| 111                | 1                   |

AD9546 は次の条件が成り立つ場合に、デジタル・フィルタを自動的にバイパスします。

- システム・クロックが不安定。
- デジタル・フィルタの入出力差が約 125ppm を超える。

これらの条件のどちらも通常動作では発生しません。したがって、フィルタはほぼ常時存在します。

### 補償方法 2

補償方法 2 では、システム・クロック補償のクローズドループ法（クローズドループ法のセクションを参照）を使用します。

図 118 に示すように、補償方法 2 は、DPLLx チャンネル (x は 0 または 1) のどちらかを使用します。ユーザは、レジスタ 0x0287 のビット 0 を介して、どちらの DPLL を使用するかを指定する必要があります。ロジック 0（デフォルト）は DPLL0 を、ロジック 1 は DPLL1 を  $CF_2$  のソースとして選択します。 $CF_2$  は、図 115 に示す係数  $1 + FFE_{COMP}$  を表すものです。

補償方法 2 は、補正係数  $CF_2$  を生成します。この係数は AD9546 のその他の NCO および TDC に適用できます。一方、補償係数  $COMP_x$  は、図 118 の DPLLx の NCO に適用できます。係数  $COMP_x$  に  $CF_2$  が含まれる場合があるため（詳細については、統合化された補償サブシステムのセクションを参照）、補償方法 2 のために選択した DPLL チャンネルの NCO 自体が  $COMP_x$  を通じて  $CF_2$  を利用することのないようにする必要があります。

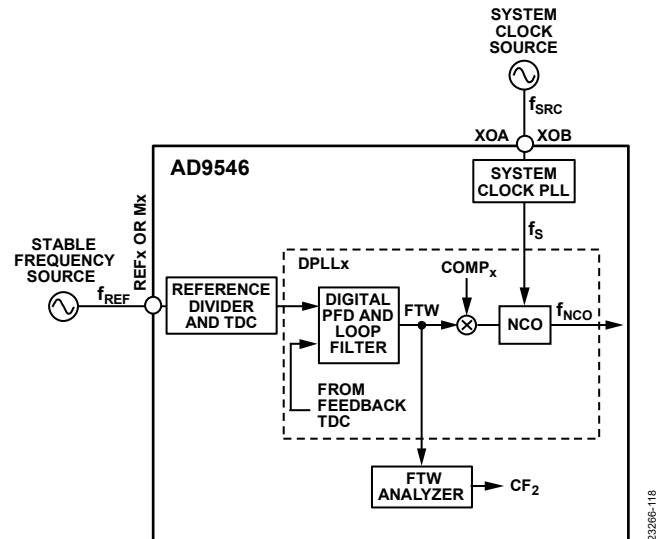


図 118. 補償方法 2

### 補償方法 3

補償方法 3 は、デジタル化クロッキングのアプリケーションでは使用できません（デジタル化クロッキングのセクションを参照）。

補償方法 3 では、システム・クロック補償のクローズドループ法（クローズドループ法のセクションを参照）を使用します。図 119 に示すように、補償方法 3 は補正係数  $CF_3$  を生成します。 $CF_3$  は、図 115 に示す係数  $1 + FF_{COMP}$  を表すものです。補償方法 3 と補償方法 2 は類似していますが、補償方法 3 は DPLL のチャンネルの 1 つを使うのではなく、補助 DPLL を使用します。補償方法 3 は、いずれかの  $REF_x$  入力または ( $M_x$  ピンを介して) いずれかの補助  $REF_x$  入力に印加される、安定した外部周波数源を使用するため、外部周波数源に関連付けられる TDC を、レジスタ  $0x0284$  のビット [4:0] を使用して補助 DPLL に割り当てる必要があります。表 99 に、各種 TDC に割り当てるコードを示します。

表 99. 補助 DPLL の TDC 割り当てコード

| Bits[4:0] (Decimal) | TDC Description    |
|---------------------|--------------------|
| 0                   | REFA TDC (default) |
| 1                   | REFAA TDC          |
| 2                   | REFB TDC           |
| 3                   | REFB TDC           |
| 4 to 5              | Unused             |
| 6                   | Auxiliary REF0 TDC |
| 7                   | Auxiliary REF1 TDC |
| 8 to 10             | Unused             |
| 11                  | Auxiliary REF2 TDC |
| 12                  | Auxiliary REF3 TDC |
| 13 to 15            | Unused             |

補助 DPLL 自体は、図 119 に示す  $COMP_x$  を通じて他のソースからの補償を受けることができます（詳細については、統合化された補償サブシステムのセクションを参照）。補償方法 2 とは異なり、 $CF_3$  の補償係数には、 $COMP_x$  の影響はありません。つまり、 $CF_3$  は、システム・クロック源にのみ関連する周波数差を表す残余誤差のみで構成されます。

補助 DPLL がロックされ、完全にセトリングしているものとする、安定したリファレンスの周期は、選択したリファレンスに関連付けられたレジスタに保存されている、プログラム済みのリファレンス周期と正確に一致するはず（図 119 を参照）。差異がある場合は、システム・クロック周期に関連する誤差があることになり、 $CF_3$  の値はそれに対応したものとなります。誤差源としては、安定性誤差と精度誤差の 2 つがあります。

安定性誤差には、時間経過に伴う平均値からの偏差が含まれません（例えば、 $25^\circ\text{C}$  といった特定の温度条件に対応する平均値）。温度が時間と共に変化するにつれ、システム・クロックのソースとして機能する発振器の周波数が温度変化に応じて変動します。安

定したリファレンスはシステム・クロック源よりも安定しているという前提条件を仮定すると、帰還パスに生じる主要な変動は、システム・クロックの変動です。システム・クロックの変動が  $CF_3$  に対する主要な影響要因であるため、 $CF_3$  は、温度を原因とするシステム・クロックの安定性誤差を補償するために必要な補正を反映したものとなります。

精度誤差は、定められた公称周波数と実際の周波数の差異です。定められた公称周波数は、選択したリファレンスに関連付けられたレジスタに保存されている、プログラムされたリファレンス周期が基となります。実際の周波数は  $f_{REF}$  で、安定したリファレンスの実際の周波数です（図 119 を参照）。したがって、ここでの精度誤差は、プログラムされたリファレンス周期と安定したリファレンスの実際の公称周期 ( $1/f_{REF}$ ) の差異となります。

$CF_3$  は安定性誤差源と精度誤差源の両方が複合されたものであるため、プログラムされたリファレンス周期は、 $CF_3$  の精度誤差成分に直接影響します。したがって、安定したリファレンス・クロック周期を正確に入力することが重要です。精度誤差は  $CF_3$  を含むすべての  $COMP_x$  に伝搬するためです（統合化された補償サブシステムのセクションを参照）。

### 補助 DPLL ループ帯域幅

補助 DPLL サーボ・ループのループ帯域幅 ( $BW_{COMP}$ ) は、レジスタ  $0x0285$  ~ レジスタ  $0x0286$  のビット [15:0]（符号なし）を使用して制御できます。 $BW_{COMP}$  は、ビット [15:0] の 16 ビット 10 進数値によって 0.1Hz にスケールされている点に注意してください。

例えば、 $BW_{COMP}$  の目的の値が 247.63Hz の場合、ビット [15:0] の適切な値は、次式で求めます。

$$\begin{aligned} \text{Bits [15:0]} &= BW_{COMP}/0.1 \\ &= 247.63/0.1\text{Hz} \\ &= 2,476 \text{ (最も近い整数)} \\ &= 0x09AC \text{ (16進数)} \end{aligned}$$

このプログラムされた帯域幅は、補助 DPLL が安定したリファレンスにロックするまでの時間に影響を与えます。つまり、帯域幅が狭いほど補助 DPLL がロックするまでの時間が長くなります。また、プログラムされた帯域幅は、システム・クロック周波数 ( $f_s$ ) の変動を追跡する補助 DPLL の機能にも影響します。具体的には、比較的安定で変化が緩やかなシステム・クロック周波数の場合は、狭いループ帯域幅を使用できますが、周波数変化の速いシステム・クロックには、より広いループ帯域幅が必要です。例えば、OCXO をシステム・クロック・リファレンスとして使用する場合は、0.1Hz のループ帯域幅を使用できますが、標準的な水晶発振器の場合は、50Hz を超えるループ帯域幅が必要です。

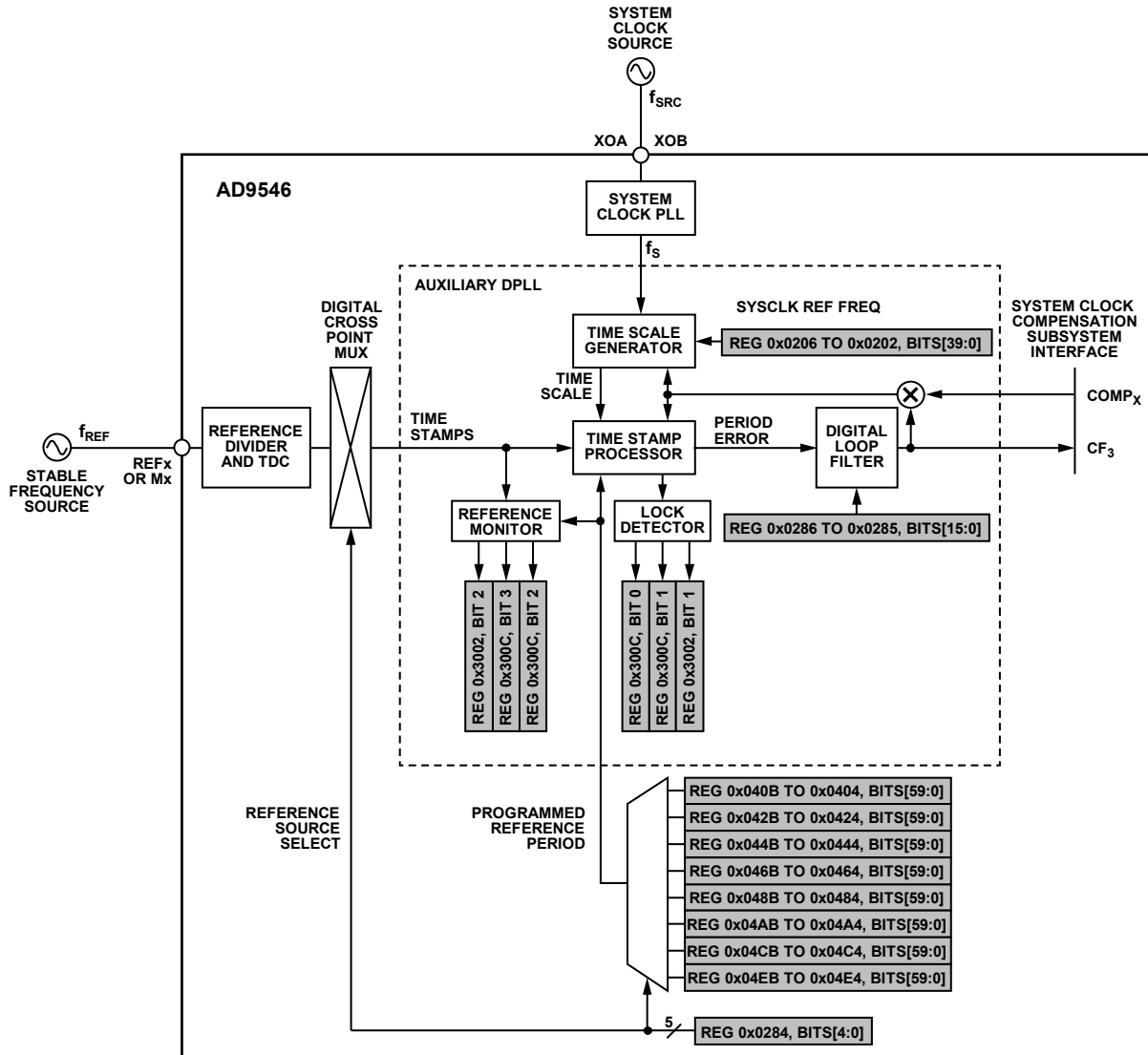
### 補助 DPLL のリファレンス・モニタ・ステータス

補助 DPLL には、リファレンス周期が制限範囲内にあることを示す、専用のリファレンス・モニタがあります。リファレンス・モニタは、定義されたリファレンス周期（適切なレジスタを使用したユーザ入力）に依存します。

補助 DPLL のリファレンス・モニタ・ステータスは、レジスタ  $0x3002$  のビット 2（補助 DPLL リファレンス・ステータス）を介して、リアル・タイムで読み出すことができます。補助 DPLL のリファレンス故障状態がロジック 1、非故障状態がロジック 0 です。

また、補助 DPLL のリファレンス・モニタ・ステータスは、IRQ メカニズム (割込み要求 (IRQ) のセクションを参照) を使用して、レジスタ 0x300C のビット 2 とビット 3 によっても読み出すことができます。ビット 2 とビット 3 は、補助 DPLL のリファレンス・ステータス・ビットの状態遷移に関し、ラッチされた情報を提供します。ビット 2 がロジック 1 にラッチされるのは、補助 DPLL のリファレンス・ステータス・ビットがロジック 0 からロジック 1 に遷移した場合で、ビット 3 がロジック 1 にラッチされるのは、補助 DPLL のリファレンス・ステータス・ビットがロジック 1 からロジック 0 に遷移した場合です。

ビット 2 とビット 3 は補助 DPLL のリファレンス・ステータス・ビットのラッチされた状態遷移を表すため、それらの表す状態は真ではなくっている可能性があります。そのため、これらのビット 2 およびビット 3 は、それぞれレジスタ 0x2007 のビット 2 およびビット 3 を使用してクリアする必要があります。クリアしない場合、補助 DPLL のリファレンス・ステータス・ビットの後続の状態変化が正しく読み出せない場合があります。



NOTE  
1. A RANGE OF BITS USES A COLON SEPARATOR

図 119. 補償方法 3

22286-119

## 補助 DPLL ロック検出器

補助 DPLL には、ロック・ステータスを示すロック検出器が組み込まれています。ロック検出器のロック閾値とアンロック閾値は固定されており、ユーザがプログラムすることはできません。

補助 DPLL ロック検出器のステータスは、レジスタ 0x3002 のステータス・ビット 1 (補助 DPLL ロック・ステータス) を介して、リアル・タイムで読み出すことができます。補助 DPLL のロック状態はロジック 1、アンロック状態はロジック 0 です。

また、補助 DPLL ロック検出器のステータスは、IRQ メカニズム (割込み要求 (IRQ) のセクションを参照) を使用して、レジスタ 0x300C のビット 0 とビット 1 によっても読み出すことができます。ビット 0 とビット 1 は、補助 DPLL ロック・ステータス・ビットの状態遷移に関し、ラッチされた情報を提供します。ビット 0 がロジック 1 にラッチされるのは、補助 DPLL ロック・ステータス・ビットがロジック 0 からロジック 1 に遷移した場合で、ビット 1 がロジック 1 にラッチされるのは、補助 DPLL ロック・ステータス・ビットがロジック 1 からロジック 0 に遷移した場合です。

ビット 0 とビット 1 は補助 DPLL ロック・ステータス・ビットのラッチされた状態遷移を表すため、それらの表す状態は真ではなくなっている可能性があります。そのため、これらのビット 0 およびビット 1 は、それぞれレジスタ 0x2007 のビット 0 およびビット 1 を使用してクリアする必要があります。クリアしない場合、補助 DPLL ロック・ステータス・ビットの後続の状態変化が正しく読み出せない場合があります。

## 補助 DPLL のホールドオーバー

通常条件下では、補助 DPLL は、安定したリファレンスに関連付けられた TDC の各立上がりエッジ・イベントで、CF<sub>3</sub> の計算値を常に更新します。しかし、特定の条件下では、補助 DPLL がホールドオーバー状態になることがあります。例えば、次のような場合です。

- 補助 DPLL の帯域幅が 0 にプログラムされている
- リファレンス・モニタが故障を示している

ホールドオーバー状態の場合、補助 DPLL は実質的にオープンループ状態になります (つまり、NCO 出力は一定)。そのため、補

助 DPLL は、ホールドオーバー状態になる直前の CF<sub>3</sub> の値を保持します。したがって、ループが通常動作を開始するまでは、それ以上安定性情報を確認することはできません。ただし、ホールドオーバーの原因となった状態が解消されると、補助 DPLL はクローズドループ動作に復帰し、CF<sub>3</sub> の更新を再開します (ロック検出器がロック状態を示す場合)。

## 統合化された補償サブシステム

3 つの補償方法は、AD9546 の統合化された補償サブシステムを構成します。補償サブシステムによって、3 つの補償方法の任意の組み合わせを、AD9546 内のどの NCO および TDC にも適用できます (補償割り当てガイドラインのセクションによるいくつかの例外を除きます)。図 120 に、補償サブシステムの簡略化したブロック図を示します。

図 120 において、DPLL0/DPLL1 と補償方法 2 の間、および、補助 DPLL と補償方法 3 の間に帰還パスが示されている点に注意してください。帰還が示されている理由は、示されている補償適用先 (例えば補助 DPLL) は、結合器および分配器を介してどの補償源からも補償を受けることができるためです。したがって、補償適用先が、不要な正帰還ループを引き起こす自己補償に該当する可能性があります。そのようなループは回避する必要があります (補償割り当てガイドラインのセクションを参照)。

デジタル化クロッキング・アプリケーションでは (デジタル化クロッキングのセクションを参照)、共通クロック DPLL が補助 DPLL の代わりとなります。したがって、デジタル化クロッキング・アプリケーションでは、CF<sub>3</sub> は共通クロック DPLL を起源とします。すなわち、システム・クロック補償をデジタル化クロッキング・アプリケーションで適用する場合、安定性という課題は共通クロック DPLL への共通クロック・リファレンスに課せられることとなります。

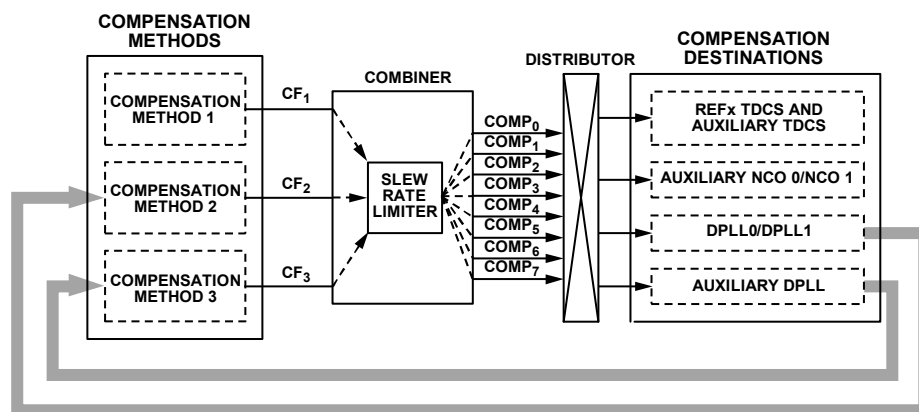


図 120. 統合化された補償サブシステム

各補償方法には、固有の補償係数 (CF<sub>1</sub>、CF<sub>2</sub>、CF<sub>3</sub>) があります。結合器は、これら3つの係数 CF<sub>x</sub> を、表 100 に従い 8通りの組み合わせからなる補償係数 COMP<sub>x</sub> に変換します。COMP<sub>x</sub> の添え字 x は、3 ビットの値で、図 121 に従い、関連する補償適用先ビット・フィールドにプログラムされます。

表 100. 複合補償係数 (COMP<sub>x</sub>)

| COMP <sub>x</sub> Index (x) | Compensation Factor Index | Combiner Output                                     |
|-----------------------------|---------------------------|---|
| 0                           | Not applicable            | 0   |
| 1                           | 1                         | CF <sub>1</sub>                                     |
| 2                           | 2                         | CF <sub>2</sub>                                     |
| 3                           | 1, 2                      | CF <sub>1</sub> × CF <sub>2</sub>                   |
| 4                           | 3                         | CF <sub>3</sub>                                     |
| 5                           | 1, 3                      | CF <sub>1</sub> × CF <sub>3</sub>                   |
| 6                           | 2, 3                      | CF <sub>2</sub> × CF <sub>3</sub>                   |
| 7                           | 1, 2, 3                   | CF <sub>1</sub> × CF <sub>2</sub> × CF <sub>3</sub> |

分配器を使用することで、結合器からの任意の COMP<sub>x</sub> 出力を、任意の補償適用先に接続できます。AD9546 は、3 ビットのビット・フィールド 6 つを使用して分配器を動作させています。各ビット・フィールドは、図 121 に従い、特定の補償適用先に対応します。係数 COMP<sub>x</sub> を特定の適用先に割り当てるには、3 ビット値を対応する補償適用先ビット・フィールドに書き込みます。レジスタ・プログラミングの例については、システム・クロック補償プログラミング・レジスタのセクションを参照してください。

COMP<sub>x</sub> のいずれの選択も (COMP<sub>0</sub> を除き)、様々な補償源を起源とする補償値のリアル・タイム・シーケンスを構成します。このリアル・タイム・シーケンスは、常に、関連の補償適用先に適用されます。COMP<sub>x</sub> 出力は、補償源に関連付けられた各種ソースにตอบสนองするため、COMP<sub>x</sub> は、時間と共に変化し、その結果、関連付けられた補償適用先もそれに従って変化します。ただし、周波数変化と時間の関係の傾きが大きすぎる場合には、その傾きは、クローズドループ補償を実行する補償適用先 (DPLL0、DPLL1、補助 DPLL など) にとっては、不要なノイズ源となる可能性があります。

周波数変化と時間の関係の過大な傾きを示す COMP<sub>x</sub> を原因とするノイズ混入の可能性を軽減するために、結合器はスルー・レート・リミッタを介してプログラマブルなレート制限を実行します。スルー・レート・リミッタは、補償源に由来する周波数変化のレートが、プリセットされた制限値を超えないようにします。

レート制限は、表 101 に従い、レジスタ 0x0283 のビット [2:0] を使用して制御できます。レート制限値は、毎秒百万分率 (ppm/sec または 10<sup>-6</sup>/sec) を単位とし、ビット [2:0] の値に応じて発生する COMP<sub>x</sub> の変化の最大レートです。レート制限は COMP<sub>1</sub>~COMP<sub>7</sub> の全般に適用されるため、レート制限の選択は、最も周波数の影響を受けやすい補償適用先の安定性条件に基づく必要があります。

表 101. 補償レート制限

| Bits[2:0] (Binary) | Rate Limit (ppm/sec) |
|--------------------|----------------------|
| 000                | None                 |
| 001                | 0.715                |
| 010                | 1.430                |
| 011                | 2.860                |
| 100                | 5.720                |
| 101                | 11.44                |
| 110                | 22.88                |
| 111                | 45.76                |

### 補償割り当てガイドライン

補助 NCO をタイム・スケールとして選択して UTSP (ユーザ・タイム・スタンプ・プロセッサ (UTSP) のセクションを参照) を使用する場合、補助 NCO と UTSP タイム・スタンプ源は共に、同じ COMP<sub>x</sub> 係数を使用する必要があります。つまり、REF<sub>x</sub> または補助 REF<sub>x</sub> TDC の補償適用先のビット・フィールド、および、補助 NCO 0 または補助 NCO 1 の補償適用先 (いずれにせよ UTSP に対し選択されたタイム・スケール) ビット・フィールドには、同一の値をプログラムする必要があります。補償適用先ビット・フィールドについては、図 121 を参照してください。

統合化された補償サブシステムでの正帰還ループを回避するには、表 100 に示した CF<sub>2</sub> を含む COMP<sub>x</sub> 源を次の補償適用先に割り当てないようにします。

- レジスタ 0x0287 のビット 0 がロジック 0 の場合の DPLL0 NCO 補償適用先
- レジスタ 0x0287 のビット 0 がロジック 1 の場合の DPLL1 NCO 補償適用先

同様に、表 100 の CF<sub>3</sub> を含む COMP<sub>x</sub> 源は補助 DPLL に割り当てないようにします (そのため、図 121 では、レジスタ 0x280 のビット 6 が灰色表示されています)。

### システム・クロック補償プログラミング・レジスタ

システム・クロック補償は、3つの補償方法と6つの補償適用先で構成されています。3つの8ビット・レジスタにより、図 120 の分配器の機能が設定されます。この3つのレジスタは、3ビットのビット・フィールド6つをこれら3つのレジスタに配分した接続マトリックスとして機能します (図 121 を参照)。

各3ビット・ビット・フィールドは、次の6つの補償適用先のいずれかに関連付けられます。

- 補助 DPLL
- REF<sub>x</sub> TDC および補助 REF<sub>x</sub> TDC
- 補助 NCO 0
- 補助 NCO 1
- DPLL0
- DPLL1



所定適用先に対する 3 ビット・ビット・フィールドの値によって、その適用先に適用される COMP<sub>x</sub> 係数が定まります（詳細については、[統合化された補償サブシステム](#)のセクションを参照）。

補償方法は[図 121](#) のビット・フィールド・マトリックスの列に関係し、補償適用先は行に関係します。このようにビット・フィールド・マトリックスを整理することで、任意の補償適用先が 8 つの可能な COMP<sub>x</sub> 信号のいずれかを受け取ることができるようになります（[図 120](#) を参照）。特定の補償適用先には、適用する補償方法に関し制約があります（補償割り当てガイドラインを参照）。

例えば、補償方法 1 と補償方法 3 を組み合わせて補助 NCO 0 にシステム・クロック補償を行うには、次の手順に従います。

1. [図 121](#) に従い、適切な補償適用先ビット・フィールドを定めます。この場合、補償適用先が補助 NCO 0 であるため、レジスタ 0x0281 のビット [2:0] が適用されます。
2. [表 100](#) の左端の列に従い、適切な COMP<sub>x</sub> に対応する 3 ビット・コードをレジスタ 0x0281 のビット [2:0] に書き込みます。この場合、CF<sub>1</sub> と CF<sub>3</sub> を使用するのので、[表 100](#) の中央列に従い、コードは 5（2 進数では 101）となります。最終的に、レジスタ 0x0281 のビット [2:0] を 5 にプログラムすれば、補助 NCO 0 は補償方法 1 と補償方法 3 の両方を受けることができます。

| DATA BITS | D7       | D6                                       | D5  | D4              | D3       | D2   | D1              | D0              |
|-----------|----------|--|---|-----------------|----------|--|-----------------|-----------------|
| 0x0280    | NOT USED |  | AUXILIARY DPLL NCO COMPENSATION DESTINATION |                 | NOT USED | REF <sub>x</sub> AND AUXILIARY REF <sub>x</sub> TDC COMPENSATION DESTINATION |                 |                 |
| 0x0281    | NOT USED | AUXILIARY NCO 1 COMPENSATION DESTINATION |   |                 | NOT USED | AUXILIARY NCO 0 COMPENSATION DESTINATION                                     |                 |                 |
| 0x0282    | NOT USED | DPLL1 NCO COMPENSATION DESTINATION       |   |                 | NOT USED | DPLL0 NCO COMPENSATION DESTINATION   |                 |                 |
|           |          | CF <sub>3</sub>                          | CF <sub>2</sub>                             | CF <sub>1</sub> |          | CF <sub>3</sub>  | CF <sub>2</sub> | CF <sub>1</sub> |

図 121. システム・クロック補償レジスタ

23286-121

## ステータス／制御ピン

### ステータス／制御ピンの概要

AD9546には、個別に設定可能な7本のデジタルCMOSステータス／制御ピン（M0～CSB/M6、以降Mxと記します）があります。Mxピンをステータス・ピンとして設定すると、そのピンが出力になります。逆に、Mxピンを制御ピンとして設定すると、そのピンが入力になります。パワーアップまたはリセット時はMxピンが一時的に入力となり、デバイスは自動設定のみが可能になります。図122にMxピン機能のブロック図を示します。

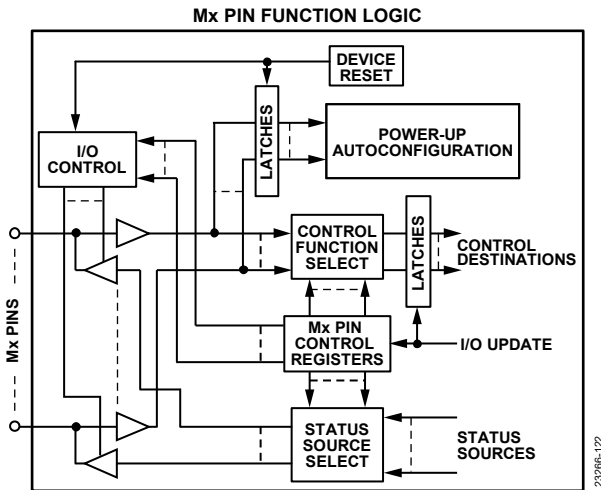


図 122.Mx ピンのロジック

Mxピン制御ロジックは、特別なレジスタ書込み検出ロジックを使い、Mxピン機能の変更時、特に入力モードから出力モードへの変更時またはその逆の変更時に、そのMxピンが予期せぬ動作をしないようにします。

Mxピンが出力として機能する場合は、ユーザが対応レジスタをプログラムした後でも、それ以前の機能に従って動作を続けます。しかし、IO更新をアサートすると、新しくプログラムされたレジスタ内容に応じて、対応するピンが新しい機能に切り替わります。Mxピンをある出力機能から別の出力機能に変更する場合には、ピン上での入出力の競合を避けるために特別なタイミングが必要になることはありません。

Mxピンが入力として機能する場合、特定のMxピン機能レジスタをプログラムすると、すべてのMxピン制御機能がそれぞれの値をラッチします。IO更新をアサートすると、新たにプログラムされたピン機能に切り替わり、その時点で通常動作が再開されます。同じピン上である入力機能から別の入力機能に切り替える場合、そのピンへの入力時に駆動されるロジックの状態は、対応レジスタに新しい機能を書き込んでからIO更新をアサートするまでの間、自由に変えることができます。

Mxピンの動作を入力機能から出力機能に切り替える場合、推奨されるのは、新しい機能を書き込んでからIO更新をアサートするまでの間、外部駆動源を高インピーダンスにすることです。

Mxピンの動作を出力から入力に切り替える場合の推奨方法を、以下に示します。最初に、Mxピンの入力機能を無動作にプログラムし、IO更新をアサートします。IO更新ビットをアサートする前にはデバイスがMxピンの駆動を続けているため、Mxピン上で入出力が競合したり、その他の望ましくない動作が発生したりするおそれがありますが、上記の設定によってこれを防ぎます。IO更新ビットのアサート後、デバイスはMxピンを解放しますが、無動作機能がプログラムされているので、このピンのロジック・レベルは無視します。入力として設定されたMxピンに高インピーダンス源を使用すると内部消費電流が大きくなるので、そのような供給源は使用しないことを推奨します。次に、適切な外部供給源を介してMxピンをロジック0またはロジック1で駆動し、対応するMxピン・レジスタを無動作から必要な機能にプログラムします。

### リセットまたはパワーアップ時の多機能ピン

パワーアップ時またはリセット操作への対応時、Mxピンは特別な動作モードになります。パワーアップまたはリセット操作後少しの間、Mxピンは入力としてのみ機能します（パワーアップ／リセット操作時、内部ドライバは高インピーダンス状態になります）。この間、デバイスはMx入力のロジック・レベルをラッチし、この情報に応じてデバイスを自動設定します。Mxピンは、EEPROMが動作するまで（この場合はM1またはM2がI<sup>2</sup>Cマスタになります）、あるいはユーザ（もしくはEEPROM）がMxピンを出力としてプログラムするまで、高インピーダンスのままになります。

Mxピンに外付けのプルアップ抵抗またはプルダウン抵抗を接続しない場合でも、M3ピンとM4ピンには内部プルダウン抵抗が接続されているため、予測可能なスタートアップが確保されます。外付け抵抗がない場合は、内部プルダウン抵抗によって、デバイスはSPIモードでシリアル・ポートを使い、外部EEPROMからデータを自動的にロードすることなく、スタートアップできます（表102参照）。スタートアップ時のM0、M1、M2、SDO/M5、およびCSB/M6ピンは高インピーダンスですが、スタートアップ条件を確実なものにするため、これらのピンには100kΩのプルダウン抵抗またはプルアップ抵抗を接続してください。

表102にMxピンのスタートアップ条件を示します。M0、M1、M2はパワーアップまたはリセット動作時に明確な機能を持たないので、表102では除外されています。

表 102. スタートアップまたはリセット時のMxピンの機能

| Mx Pin | Start-Up/Reset Function         | Logic 1               | Logic 0                           |
|--------|---------------------------------|-----------------------|-----------------------------------|
| M3     | EEPROM load function            | Load from EEPROM      | Do not load from EEPROM (default) |
| M4     | Serial port function            | I <sup>2</sup> C mode | SPI mode (default)                |
| SDO/M5 | I <sup>2</sup> C address offset | See Table 103         | See Table 103                     |
| CSB/M6 | I <sup>2</sup> C address offset | See Table 103         | See Table 103                     |

スタートアップ条件によってシリアル・ポートが I<sup>2</sup>C モード（つまりスタートアップ時に M4 がロジック 1）となった場合は、SDO/M5 ピンと CSB/M6 ピンが、表 103 に従って I<sup>2</sup>C ポートのデバイス・アドレス・オフセットを決定します。表 103 に示すロジック・レベルは、パワーアップまたはリセット動作時のみに適用されます。

表 103. I<sup>2</sup>C デバイス・アドレス・オフセット

| CSB/M6         | SDO/M5         | M4 | Address Offset |
|----------------|----------------|----|----------------|
| X <sup>1</sup> | X <sup>1</sup> | 0  | Not applicable |
| 0              | 0              | 1  | 1001000 (0x48) |
| 0              | 1              | 1  | 1001001 (0x49) |
| 1              | 0              | 1  | 1001010 (0x4A) |
| 1              | 1              | 1  | 1001011 (0x4B) |

<sup>1</sup>X は、ドント・ケアを意味します。

## ステータス用または制御用 Mx ピンの定義

Mx ピンをステータス・ピンまたは制御ピンに定義するには、表 104 に従い Mx ピンに関連付けられたレジスタ・アドレスのビット 7 を使用します。ロジック 0（デフォルト）は関連の Mx ピンを制御ピンに、ロジック 1 は関連の Mx ピンをステータス・ピンに定義します。

表 104. Mx ピン・モード・レジスタのアドレス

| Mx Pin | Register Address |
|--------|------------------|
| M0     | 0x0102           |
| M1     | 0x0103           |
| M2     | 0x0104           |
| M3     | 0x0105           |
| M4     | 0x0106           |
| SDO/M5 | 0x0107           |
| CSB/M6 | 0x0108           |

Mx ピンのステータスまたは制御機能は、表 105 に従い特定の Mx ピンに関連付けられた Mx ピン機能レジスタのアドレスに保存されている、8 ビット・コードによって決まります。

Mx ピンのモードとコードが異なるレジスタにあるため、次のプログラミング手順が必要です。まず、ビット [6:0] = 0 の適切なモード・レジスタ（表 104 を参照）のビット 7 を使用して、目的のモードを書き込みます。次に、対応するコード・レジスタ（表 105 を参照）に目的のコードを書き込みます。最後に IO 更新をアサートします。複数の Mx ピンをプログラムする場合、対象となるすべての Mx ピンのモード・レジスタとコード・レジスタがプログラムされるまで待つから、IO 更新をアサートすることもできます。

表 105. Mx ピンのステータスまたは制御コード・レジスタのアドレス

| Mx Pin | Register Address |
|--------|------------------|
| M0     | 0x0182           |
| M1     | 0x0183           |
| M2     | 0x0184           |
| M3     | 0x0185           |
| M4     | 0x0186           |
| SDO/M5 | 0x0187           |
| CSB/M6 | 0x0188           |

2 ビットの修飾子によって、Mx ピンのステータス機能または制御機能が拡張されます。各 Mx ピンには、表 106 に示すように、専用の修飾子のビット・ペアがあります。修飾子ビットが関連の Mx ピンにどのように影響するかは、Mx ピンの動作モードがステータスか制御かによって異なります。この 2 ビット・コードの具体的な意味は、ステータス機能については表 107、制御機能については表 108 に示すとおりです。

表 106. Mx ピン機能の修飾子ビット

| Register Address | [D7:D6] | [D5:D4] | [D3:D2] | [D1:D0] |
|------------------|---------|---------|---------|---------|
| 0x0100           | M3      | M2      | M1      | M0      |
| 0x0101           | Unused  | M6      | M5      | M4      |

## ステータス機能

Mx ピンをステータス機能用に設定すると、ロジック信号を生成するハードウェア・ピンの形で、特定の内部デバイス・ステータスおよび IRQ 機能にアクセスすることができます。

ステータス機能に設定された場合、Mx ピンの駆動強度は、レジスタ 0x0109 のビット [6:0] を介してプログラムできます（ビット [6:0] はそれぞれ M6~M0 に対応します）。ロジック 0（デフォルト）にすると、通常の駆動強度（約 6mA）、ロジック 1 にすると低駆動強度（約 3mA）になります。

ステータス・ピンに設定された場合、修飾子ビットは表 107 に従ってステータス機能に作用します。PMOS オープンドレイン・モードには外付けプルダウン抵抗が必要で、NMOS オープンドレイン・モードには外付けプルアップ抵抗が必要です。オープンドレイン・モードは、複数の Mx ステータス・ピンのワイヤード OR 機能の実装を有効にします（複数の AD9546 デバイスまたは他の互換デバイスの Mx ステータス・ピンを含む例えは IRQ バスの実装時）。

表 107. 表 106 の Mx ステータス・ピンの 2 ビット修飾子コード

| コード | モード               | 説明  |
|-----|-------------------|---|
| 00  | CMOS, active high | デフォルト。出力は、デアサートされた内部機能の場合ロジック 0、アサートされた内部機能の場合ロジック 1。 |
| 01  | CMOS, active low  | 出力は、デアサートされた内部機能の場合ロジック 1、アサートされた内部機能の場合ロジック 0。       |
| 10  | PMOS, open drain  | 出力は、デアサートされた内部機能の場合高インピーダンス、アサートされた内部機能の場合アクティブ・ハイ。   |
| 11  | NMOS, open drain  | 出力は、デアサートされた内部機能の場合高インピーダンス、アサートされた内部機能の場合アクティブ・ロー。   |

## 制御機能

Mx ピンを制御機能用に設定すると、外部ハードウェア・ロジック信号を介して特定の内部デバイス機能を制御することができます。制御ピンに設定された場合、修飾子ビットは表 108 に従って制御機能に作用します。

表 108. Mx 制御ピンの 2 ビット修飾子コード

| コード | 論理演算子   | 説明   |
|-----|---------|--|
| 00  | AND     | 対応する Mx 制御ピンと、同じ制御機能に割り当てられた他の Mx 制御ピンとの論理積 (AND) を取る。                     |
| 01  | NOT AND | 対応する Mx 制御ピンの論理状態を反転して (NOT)、その値と、同じ制御機能に割り当てられた他の Mx 制御ピンとの論理積 (AND) を取る。 |
| 10  | OR      | 対応する Mx 制御ピンと、同じ制御機能に割り当てられた他の Mx 制御ピンとの論理和 (OR) を取る。                      |
| 11  | NOT OR  | 対応する Mx 制御ピンの論理状態を反転して (NOT)、その値と、同じ制御機能に割り当てられた他の Mx 制御ピンとの論理和 (OR) を取る。  |

Mx 制御ピン全体としての論理演算機能では、OR 演算が先に行われ、その後で AND 演算が行われます。OR 演算と NOT OR 演算は 1 つの結果にまとめられます。その結果を使って AND 演算が行われ、更に残りの AND 演算と NOT AND 演算が行われます。

M0、M2、M3、CSB/M6 の各ピンが制御機能用に設定され、IO 更新制御機能に割り当てられている場合を考えます。つまり、レジスタ 0x0182、レジスタ 0x0184、レジスタ 0x0185、レジスタ 0x0188 のビット [7:0] = 0x01 です。

更に、M0 は AND 演算 (00) に割り当てられ、M2 は NOT OR 演算 (11)、M3 は NOT AND 演算 (01)、M6 は OR 演算 (10) に割り当てられています (つまり、表 106 によるレジスタ 0x0100 とレジスタ 0x0101 の該当するビット位置での表 108 による 2 ビット・コード)。

このような設定では、IO 更新機能は以下の論理式に従って動作します。

$$((\text{NOT } M2) \text{ OR } M6) \text{ AND } M0 \text{ AND } (\text{NOT } M3)$$

この場合、IO 更新は、M0 がロジック 1、M3 がロジック 0、および M2 がロジック 0 または M6 がロジック 1 のときに行われます。

Mx 制御ピンが (先に挙げた例のようにグループの一部としてではなく) 個別に制御機能に作用する場合、表 108 に示すコードの論理演算機能は 2 つの可能性に限定されます。すなわち、コード 00 とコード 10 は論理的な真を示し (Mx ピンの論理状態が対応する制御機能に直接適用される)、コード 01 とコード 11 は論理的な偽を示します (Mx ピンの論理状態が対応する制御機能に反転して適用される)。

## 割込み要求 (IRQ)

### IRQ の概要

AD9546 は、特定の内部デバイス・イベントをモニタし、それらのイベントによって IRQ イベントがトリガされる可能性があります。以下に示す 3 グループのレジスタ (図 123 を参照) が、AD9546 内の IRQ 機能を制御します。

- IRQ ステータス・レジスタ (レジスタ 0x300B~レジスタ 0x301E)
- IRQ マスク・レジスタ (レジスタ 0x010C~レジスタ 0x011F)
- IRQ クリア・レジスタ (レジスタ 0x2006~レジスタ 0x2019)

IRQ ロジックは、すべての IRQ ステータス・ビットのステータスの論理和 (OR) を介して、特定のデバイス・イベントに関する IRQ イベント・ステータスの結果を示すことができます。更に、IRQ ロジックは、特定の IRQ イベントの選ばれたグループ、つまり PLL0 IRQ、PLL1 IRQ、および共通 IRQ に関する IRQ イベント・ステータスの結果を提供します (図 123 を参照)。

PLL0 IRQ グループには、DPLL0 と APLL0 に関わるすべてのデバイス・イベントが含まれます。PLL1 IRQ グループには、DPLL1 と APLL1 に関わるすべてのデバイス・イベントが含まれます。共通 IRQ グループには、PLL0 または PLL1 に関わらないイベント (システム・クロック、EEPROM、リファレンス・モナタなど) が含まれます。

### IRQ ステータス・ビット

IRQ ステータス・ビットは、特定の IRQ イベントの記録を維持します。特定のデバイス・イベントが発生すると、IRQ ステータス・レジスタの対応するビットがセットされてラッチされます (これらの特定の IRQ イベントがイネーブルされている場合 (IRQ マスク・ビットのセクションを参照) )。

### IRQ マスク・ビット

IRQ マスク・ビットは、IRQ ステータスとのビット通信を行うための 1 つのビットで構成されます。マスク・ビットにロジック 1 を書き込むと、IRQ ステータス・ビットに対し、対応する特定のデバイス・イベントが伝搬 (マスク解除) されます。ロジック 0 を書き込むと (デフォルト)、IRQ ステータス・ビットに対し、対応する特定のデバイス・イベントの伝搬が防止 (マスク) されます。

IRQ マスクがあることによって、IRQ イベント生成のために特定のデバイス・イベントを選択する一方で、他のすべての特定デバイス・イベントが IRQ (図 123 の PLL0 IRQ、PLL1 IRQ、共通 IRQ、または任意の IRQ 信号) に影響を与えないよう無視 (マスク) することができます。

IRQ マスク・ビットのデフォルト状態はロジック 0 です。そのため、デバイスは、IRQ マスクにロジック 1 が入力され目的の IRQ イベントがマスク解除されるまで、IRQ を生成することができません。IRQ マスク・ビットにロジック 1 を書き込むと、対応する IRQ イベントが既に入アサートされている (つまり、デバイスが対応する IRQ イベントをそれまでに登録している) 場合は、IRQ が直ちに示される可能性があります。

### IRQ クリア・ビット

IRQ クリア・ビットは、IRQ ステータス・ビットとのビット通信を行うための 1 つのビットで構成されます。IRQ クリア・ビットにロジック 1 を書き込むと、対応する IRQ イベントがロジック 0 に強制されて、特定の IRQ イベントがクリアされます。IRQ クリア・レジスタは、自動クリアリングです。そのため、レジスタ 0x2006~レジスタ 0x2019 の任意の IRQ クリア・ビットにロジック 1 を書き込むと、その後デバイスは自動的に IRQ クリア・ビットをロジック 0 に復元します。図 123 に示す PLL0 IRQ、PLL1 IRQ、共通 IRQ、または任意の IRQ 信号に関連する IRQ クリア・ビットをユーザがすべてクリアするまで、IRQ はアサートを維持します。

これは推奨ではありませんが、アプリケーションによっては、IRQ グループ全体を一度にクリアするのが望ましいことがあります。レジスタ 0x2005 には、IRQ グループをクリアするためのビットが 4 個あります。ビット 0 は、すべての IRQ クリア・ビットをクリアします。ビット 1 は共通 IRQ ビットに関連する IRQ クリア・ビットをクリアします。ビット 2 は PLL0 IRQ ビットに関連する IRQ クリア・ビットをクリアします。ビット 3 は PLL1 IRQ ビットに関連する IRQ クリア・ビットをクリアします。

もしくは、いずれかの多機能ピンを IRQ グループのクリア入力としてプログラムすることで、レジスタ 0x2005 への書込みではなく、外部ロジック信号によって IRQ グループをクリアすることができます (図 123 を参照)。

IRQ イベントのクリア時に推奨されるのは、最初に (必要に応じて) 特定の IRQ イベントを処理してから、所定の IRQ イベントに対応する IRQ をクリアする方法です。レジスタ 0x2005 または Mx ピンを介して IRQ グループをクリアする場合は、十分な注意が必要です。IRQ グループすべてを一度にクリアすると、1 つまたは複数のアサート済み IRQ イベントを誤ってクリアしてしまうおそれがあります。アサート済みの IRQ イベントをクリアすると、対応するデバイス・イベントの記録が削除され、それによって、発生したイベントの履歴がすべて消去されてしまいます。

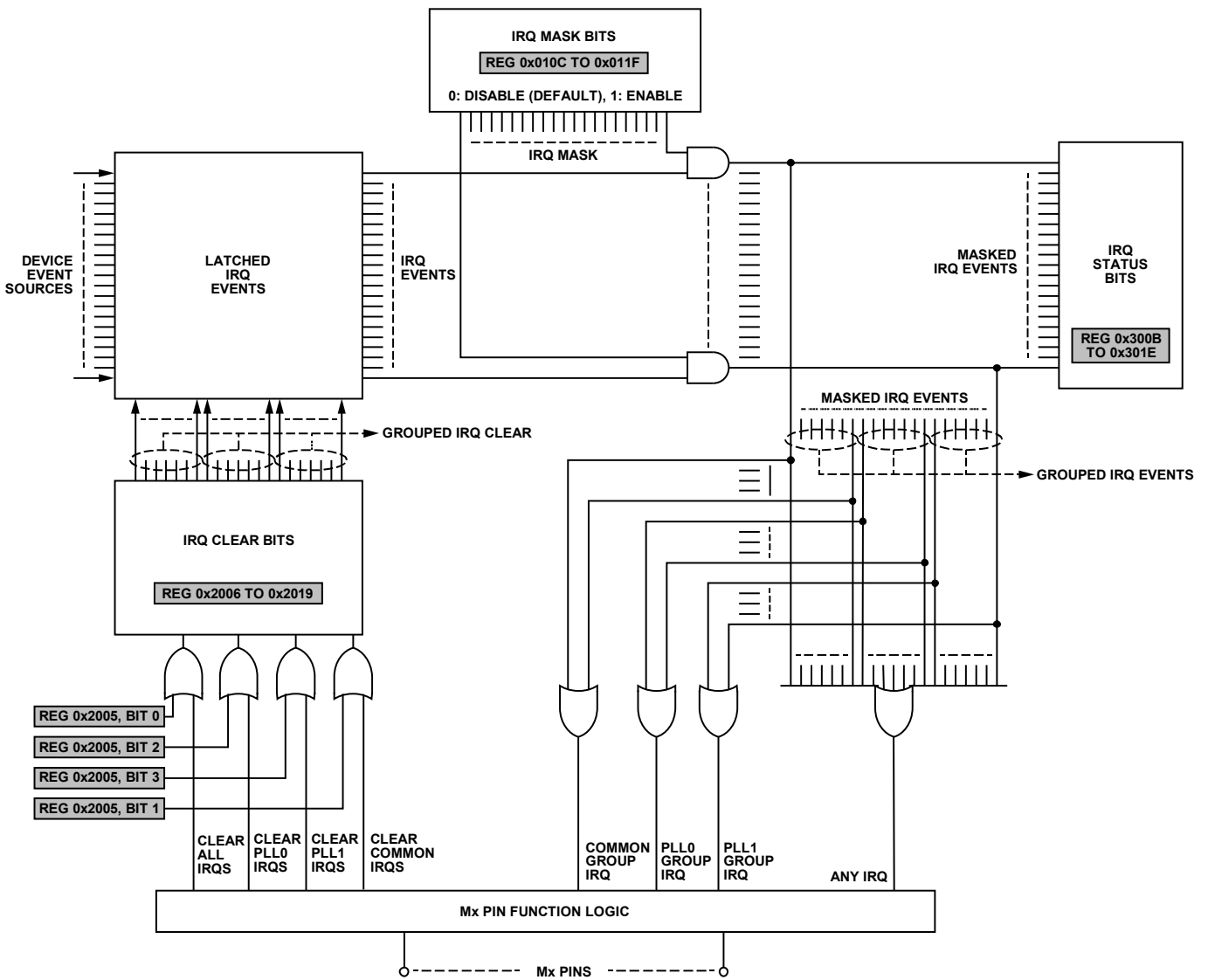


図 123. IRQ システム図

23266-123

## ウォッチドッグ・タイマー

ウォッチドッグ・タイマーは、特定 IRQ イベントをトリガすることのできる汎用プログラマブル・タイマーです (図 124 を参照)。ただし、タイマーはシステム・クロックに依存します。そのため、ウォッチドッグ・タイマーを機能させるには、システム・クロックが存在しロックされている必要があります。ウォッチドッグ・タイマーに対応するビット・フィールドは、レジスタ・マップの Mx ピン・ステータス/制御セクションに置かれています。

ウォッチドッグ・タイマーの期間は、レジスタ 0x010A およびレジスタ 0x010B のビット [15:0] で設定できます。この 16 ビット符号なしタイムアウト値はミリ秒を単位とし、範囲は 1ms ~ 65.535sec です。

値がゼロ (デフォルト) の場合は、ウォッチドッグ・タイマーがディスエーブルされます。タイマーの相対精度は約 0.1% で、不確実性は 0.5ms です。

ウォッチドッグ・タイマーの値を更新するとタイマーは自動的にクリアされ、更新の時点から (新しい値に基づく) 正確なタイムアウト期間が確実に開始されます。

16 ビットのウォッチドッグ・タイマー値とタイムアウト期間の関係は次式で表されます。

$$\text{ウォッチドッグ・タイマー値} = \text{タイムアウト期間} \times 10^3$$

タイムアウト期間を 10 秒にするために必要なウォッチドッグ・タイマー値は、次のように求められます。

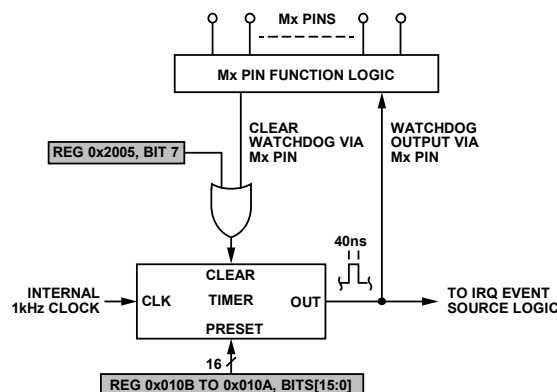
$$\begin{aligned} \text{ウォッチドッグ・タイマー値} &= \text{タイムアウト期間} \times 10^3 \\ &= 10 \times 10^3 \\ &= 10,000 \\ &= 0x2710 \text{ (16 進数)} \end{aligned}$$

イネーブルされているタイマーは連続して動作し、タイムアウト期間がすぎるとタイムアウト IRQ イベントを生成します。IRQ ビット (割込み要求 (IRQ) のセクションを参照) としてのウォッチドッグ・タイマー・ステータスにアクセスするには、レジスタ 0x300B のビット 2 を使用します。

レジスタ 0x300B のビット 2 はラッチされた IRQ ビットであるため、その後のウォッチドッグ・タイムアウト・イベントを知ることができるようにするには、レジスタ 0x2006 のビット 2 を使用してそれをクリアする必要があります。また、ウォッチドッグ・タイマーを Mx ステータス・ピンに割り当てることによって、ウォッチドッグ・タイムアウト・ステータスにアクセスすることもできます。この場合、ウォッチドッグ・タイマーのタイムアウト・イベントはシステム・クロック 96 周期分の幅 (約 40ns) を持つパルスです。

ウォッチドッグ・タイマーをリセットし、それによってタイムアウト・イベントが示されないようにする方法は 2 つあります。1 つめの方法は、レジスタ 0x2005 のビット 7 (自動クリア・ビット) にロジック 1 を書き込むことです。もう 1 つの方法として、いずれかの Mx ピンを、ウォッチドッグ・タイマーをリセットするための制御ピンとしてプログラムすることもできます。これによって、レジスタ・マップではなく、ハードウェア・ピンを使ってタイマーをリセットすることができます。

ウォッチドッグ・タイマーを使用する代表的なケースは 2 つあります。どちらも、ウォッチドッグ・タイマー出力が適切に設定された Mx ステータス・ピンの出力に発生することを前提にしています。最初のケースは、外部デバイス (例えば FPGA またはマイクロコントローラ) でウォッチドッグ・タイマー出力をモニタし、定期的なハウスキーピング機能を実行するための信号としてこの出力を使用する場合です。もう 1 つのケースは、ウォッチドッグ・タイマー出力を外部デバイスに接続して、ウォッチドッグ出力のアサートによってその外部デバイスがリセットされるようにする場合です。このようにして、通常動作時には、クリア・ウォッチドッグ・ビットにロジック 1 を書き込むことによって、あるいはウォッチドッグのクリア用に設定された Mx 制御ピンをアサートすることによって、外部デバイスが繰り返しウォッチドッグ・タイマーをリセットします。そのため、タイマーがタイムアウトとなる前に外部デバイスがウォッチドッグ・タイマーのリセットを続ける限り、ウォッチドッグ・タイマーは出力信号を生成しません。したがって、ウォッチドッグ・タイマーが外部デバイスをリセットすることはありません。しかし、タイムアウト期間が経過する前にこの外部デバイスがウォッチドッグ・タイマーをリセットできなかった場合は、最終的にウォッチドッグ・タイマーがタイムアウトし、適切に設定された Mx ステータス・ピンを介して外部デバイスがリセットされます。



NOTE  
1. A RANGE OF BITS USES A COLON SEPARATOR

図 124. ウォッチドッグ・タイマー

23286-124

## EEPROM の使用

### EEPROM の概要

AD9546 は、外付けの I<sup>2</sup>C 対応 EEPROM を専用アクセスでサポートしています。いくつかの制約はありますが、AD9546 は、I<sup>2</sup>C 共通バスを共有することによって、1 個の外部 EEPROM へのマルチデバイス・アクセスもサポートしています。AD9546 は、Mx ピンを介した EEPROM へのインターフェース用に、I<sup>2</sup>C マスタを内蔵しています。

AD9546 のデフォルト・レジスタ設定では特定の周波数変換は定義されないので、EEPROM の内容を（自動または手動により）レジスタ・マップにダウンロードできるようにするには、EEPROM の内容を予めプログラムしておく必要があります。必要ならば、レジスタ・マップを介して EEPROM へのアップロードを手動で強制することにより、カスタム・デバイス設定を保存することができます。

### EEPROM コントローラの一般的動作

#### EEPROM コントローラ

EEPROM コントローラは、EEPROM との通信のすべての側面を制御します。I<sup>2</sup>C インターフェースは 100kHz（ノーマル・モード）または 400kHz（高速モード）の通信リンクを使用するので、コントローラは、I<sup>2</sup>C シリアル・クロックとしての使用に適したオンチップ生成クロック源に同期して動作します。オンチップ発振器は、コントローラの起動が要求されると、直ちに非同期でイネーブルされます。起動時、発振器は使用可能になったことをコントローラに通知し、それによってコントローラが起動します。要求されたコントローラ動作が完了すると、コントローラはクロック・ジェネレータをディスエーブルして、アイドル状態に戻ります。

#### EEPROM ダウンロード

EEPROM ダウンロードは、EEPROM の内容を AD9546 のプログラミング・レジスタに転送し、EEPROM 内に保存された命令（表 109 参照）に従って特定の動作を実行します。自動ダウンロードは EEPROM ダウンロード・シーケンスを開始する最も一般的な方法で、パワーアップ時にピン M3 がロジック 1 になっていれば、AD9546 のパワーアップ時に開始されます（リセットまたはパワーアップ時の多機能ピンのセクションを参照）。あるいは、AD9546 の電源をオフにしてから再度オンにして EEPROM ダウンロードを開始する代わりに、RESETB ピンをロジック 0、ピン M3 をロジック 1 にしてから、RESETB ピンをロジック 1 に戻し、更にピン M3 のドライブ源を遮断しても、ダウンロードを開始できます。

また、レジスタ 0x2E03 のビット 0 にロジック 1 を書き込むことにより、オンデマンドで（つまり、AD9546 をリセットしたり電源オン/オフを行ったりすることなく）EEPROM ダウンロードを要求することもできます。

ビット 0 には IO 更新は不要です。このビットにロジック 1 を書き込むと、直ちにダウンロード・シーケンスがトリガされます。

ダウンロード・シーケンスが進行中、EEPROM コントローラは、コントローラがビジー状態にあることを示すために、レジスタ 0x3000 のビット 1 をロジック 1 に設定します。

### EEPROM アップロード

AD9546 のレジスタの内容を EEPROM に保存するには、レジスタ 0x2E02 のビット 0 にロジック 1 を書き込む必要があります。ビット 0 には IO 更新は不要です。このビットにロジック 1 を書き込むと、直ちにアップロード・シーケンスがトリガされます。

AD9546 には書き込み保護機能に相当する機能があり、これを利用するには、EEPROM へのアップロードを要求する前に、レジスタ 0x2E00 のビット 0 にロジック 1 を書き込む必要があります。最初にビット 0 をセットせずに EEPROM へのアップロードを試みると、エラーが示されます（つまり、AD9546 はレジスタ 0x300B のビット 1 をアサートします）。

EEPROM アップロードの前提条件は、レジスタ・マップの 15 バイト EEPROM シーケンス・セクション（レジスタ 0x2E10～レジスタ 0x2E1E）にアップロード・シーケンスが保存されていることです。つまり、EEPROM アップロードの実行に先立ち、一連のアップロード命令（EEPROM 命令セットのセクションを参照）をレジスタ・マップの EEPROM シーケンス・セクションに保存しておく必要があります。

EEPROM コントローラは、レジスタ・マップの EEPROM シーケンス・セクションに保存された命令をバイトごとに読み込んで順番に実行することにより、アップロード・シーケンスを実行します。つまり、レジスタ・マップの EEPROM シーケンス・セクションに保存されたデータは、EEPROM に何を保存するかに関する EEPROM コントローラへの命令です（動作コマンドと AD9546 のレジスタ・データを含む）。

アップロード・シーケンスが進行中、EEPROM コントローラは、コントローラがビジー状態にあることを示すために、レジスタ 0x3000 のビット 0 をロジック 1 に設定します。

レジスタ・マップの EEPROM シーケンス・セクションは 15 バイトだけなので、シーケンスは通常、AD9546 のすべてのデータを EEPROM にアップロードできるだけの十分な数の命令を保持することができません。したがって、ほとんどのアップロード・シーケンスでは、ユーザが一連のサブシーケンスをアップロードする必要があります。例えば、20 バイトの命令からなるアップロード・シーケンスを完了させる必要があるときは、以下の手順を実行します。

1. EEPROM シーケンス・レジスタに最初の 14 個の命令を書き込み、15 個目の命令をポーズ命令とします（表 109 を参照）。
2. レジスタ 0x2E02 のビット 0 にロジック 1 を書き込むことによって、EEPROM アップロードを開始します。EEPROM コントローラは、ポーズ命令に達するとアップロード・プロセスを中断して、レジスタ 0x2E02 のビット 0 がもう一度アサートされるのを待ちます。
3. コントローラの停止中に、残り 6 バイトのアップロード・シーケンスを EEPROM シーケンス・レジスタに書き込み、次いでデータ終了命令（表 109 を参照）を書き込みます。
4. レジスタ 0x2E02 のビット 0 にロジック 1 を書き込むことによって、EEPROM アップロードを開始します。EEPROM コントローラがデータ終了命令に達すると、アップロード・プロセスは終了します。



上の手順は、2つのサブシーケンスからなるアップロード・シーケンスの例です。ほとんどのアップロード・シーケンスは、3つ以上のサブシーケンスを必要とします。ただし、手順は同じです。具体的には、各サブシーケンスの末尾にポーズ命令を使用して長いシーケンスを複数のサブシーケンスに分割し、最後のサブシーケンスの末尾にはデータ終了命令を使用します。

### EEPROM チェックサム

アップロード・シーケンス中に EEPROM コントローラがデータ終了命令 (表 109 を参照) を検出すると、コントローラは 32 ビットの巡回冗長検査 (CRC) チェックサムを計算して、EEPROM への保存データにそのチェックサムを追加します。同様に、EEPROM コントローラがダウンロード・シーケンスを実行するときは、ダウンロードと並行してチェックサムを計算します。ダウンロード・シーケンスの最後に、EEPROM は、新たに計算したチェックサムと EEPROM に保存されたチェックサムを比較します。この 2 つのチェックサムが一致しない場合、EEPROM コントローラは、レジスタ 0x3000 のビット 3 をアサートします。

破損した EEPROM データ・セットをダウンロードする可能性を最小限に抑えるために、レジスタ 0x2E00 のビット 2 をアサートすることによってチェックサム・テストを実行することができます。この場合、EEPROM コントローラはダウンロード・シーケンスを実行しますが、AD9546 レジスタへのデータ転送を行うことはありません。コントローラは引き続き並行してチェックサムの計算と比較を行って、チェックサムが一致しない場合はレジスタ 0x3000 のビット 3 をアサートします。そのため、デバイスがダウンロード・シーケンスを終了し、レジスタ 0x3000 のビット 1 をデアサートした後、ユーザはレジスタ 0x3000 のビット 3 が 0 になっていることを確認することで、テストに合格したことを検証できます。ただし、テスト不合格となった場合で

も、AD9546 のレジスタへのデータ転送は行われないので、デバイスの動作に影響はありません。

### EEPROM ヘッダー

EEPROM コントローラは、AD9546 関連の情報で構成される保存データに以下のようなヘッダーを追加します。

- ベンダ ID
- チップ・タイプ :
- 製品 ID:
- チップ・リビジョン

EEPROM ダウンロード・シーケンスの開始時、EEPROM コントローラは、保存されたヘッダー値と、AD9546 の対応レジスタ内の値を比較します。コントローラが不一致を検出した場合、レジスタ 0x3000 のビット 2 をアサートし、ダウンロードを終了します。

### EEPROM 命令セット

EEPROM コントローラは、命令とデータの組み合わせに依存しています。命令は 1 バイト (8 ビット) で構成されます。一部の命令には、その後続く何バイトかのペイロード・データが必要です。つまり、一部の命令は自己完結型の操作であり、その他の命令は、その後続くペイロード・データをどのように処理するかについての指示です。表 109 に、EEPROM コントローラ命令の概要を示します。

コントローラが EEPROM の内容を AD9546 のレジスタにダウンロードするときは、EEPROM 内に保存されている命令を順次、段階的な形で実行します。しかし、コントローラが EEPROM へのアップロードを行う場合、そのシーケンスは、レジスタ・マップの様々な部分と、コントローラが処理と並行して行う計算データとの不規則な組み合わせとなります。

表 109. EEPROM コントローラ命令セットの概要

| 命令コード (16 進数) | 応答                             | Comments                              |
|---------------|--------------------------------|---------------------------------------|
| 0x00 to 0x7F  | Register transfer              | 2 バイトのレジスタ・アドレス・サフィックスが必要             |
| 0x80          | IO update                      | ダウンロード中に IO 更新をアサート                   |
| 0x81 to 0x8F  | Not applicable                 | 未定義                                   |
| 0x90          | Calibrate all PLLs             | ダウンロード中にシステム・クロック PLL、APLL0、APLL1 を補正 |
| 0x91          | Calibrate the system clock PLL | ダウンロード中にシステム・クロック PLL のみを補正           |
| 0x92          | Calibrate APLL0 and APLL1      | ダウンロード中に APLL0 および APLL1 のみを補正        |
| 0x93          | Calibrate APLL0                | ダウンロード中に APLL0 のみを補正                  |
| 0x94          | Calibrate APLL1                | ダウンロード中に APLL1 のみを補正                  |
| 0x95 to 0x97  | Not applicable                 | 予備/未使用                                |
| 0x98          | Force freerun                  | ダウンロード中に DPLL0 および DPLL1 をフリーランに強制    |
| 0x99          | Force DPLL0 freerun            | ダウンロード中に DPLL0 のみをフリーランに強制            |
| 0x9A          | Force DPLL1 freerun            | ダウンロード中に DPLL1 のみをフリーランに強制            |
| 0x9B to 0x9F  | Not applicable                 | 予備/未使用                                |
| 0xA0          | Synchronize outputs            | ダウンロード中にすべての分配出力を同期                   |
| 0xA1          | Synchronize Channel 0          | ダウンロード中にチャンネル 0 の分配出力のみを同期            |
| 0xA2          | Synchronize Channel 1          | ダウンロード中にチャンネル 1 の分配出力のみを同期            |
| 0xA3 to 0xAF  | Not applicable                 | 予備/未使用                                |
| 0xB0          | Clear condition                | 条件 0 を適用し条件マップをリセット                   |
| 0xB1 to 0xBF  | Set condition                  | それぞれ条件 1~条件 15 を適用                    |
| 0xC0 to 0xFD  | Not applicable                 | 未定義                                   |
| 0xFE          | Pause                          | EEPROM アップロード・シーケンスを停止                |
| 0xFF          | End of data                    | 命令シーケンスの終了をマーク                        |

## レジスタ転送命令 (0x00~0x7F)

0x00 から 0x7F までの 16 進数値を持つ命令は、レジスタの転送動作を表します。レジスタ転送命令には、転送先となる AD9546 レジスタの開始アドレスを構成する 2 バイトのサフィックスが必要です (ここで、データ命令に続く最初のバイトがレジスタ・アドレスの最上位バイト)。EEPROM コントローラがデータ命令を検出すると、その次の 2 バイトをレジスタ・マップのターゲット・アドレスとして認識します。

レジスタ転送命令の値は、ペイロード長 (バイト数) をエンコードします。つまり、EEPROM コントローラは、命令の値に 1 を加えることによって、指定されたレジスタとの間で転送するレジスタ・バイトの数を認識します。例えば、データ命令 0x1A には、26 という 10 進数値があります。そのため、コントローラは、27 バイト (命令の値より 1 バイト多い) をロード動作の対象レジスタに転送したり、保存動作の対象レジスタから 27 バイトを転送したりします。

## IO 更新命令 (0x80)

アップロード・シーケンス中に EEPROM コントローラが IO 更新命令を検出すると、コントローラはその命令を EEPROM に保存します。ただし、ダウンロード・シーケンス中に検出した場合は、EEPROM コントローラは、IO 更新イベントを開始します。これはユーザがレジスタ 0x000F のビット 0 (IO 更新) をアサートすることに相当します。

## デバイス動作命令 (0x90~0xA2)

アップロード・シーケンス中に EEPROM コントローラがデバイス動作命令を検出すると、コントローラはその命令を EEPROM に保存します。しかし、ダウンロード・シーケンス中にこの命令を検出した場合、EEPROM コントローラは表 109 に従って指定された動作を実行します。

## 条件命令 (0xB0~0xBF)

条件命令を使用すると、ダウンロード・シーケンス中に EEPROM 命令を条件に応じて実行できます。ただし、アップロード・シーケンス中の条件命令はそのまま保存され、アップロード・シーケンスには影響しません。

条件処理には次の 4 つの要素が使われます。

- 条件命令
- 条件値
- 条件 ID
- 条件マップ

## 条件命令

アップロード・シーケンス中に条件命令を検出すると、EEPROM コントローラはその命令を EEPROM に保存します。ダウンロード・シーケンス中に EEPROM コントローラが条件命令を検出した場合は、その命令は、条件マップおよびこの条件処理の結果に影響を与えます。

## 条件値

条件値は、条件命令と 1 対 1 の関係にあります。具体的には、条件値は、条件命令から 0xB0 を引いた値です。従って、条件値の範囲は 0~15 です。EEPROM コントローラは条件マップと結び付けて条件値を使用しますが、ユーザは、レジスタ・マップの EEPROM ロード条件ビット・フィールドに条件 ID を入力するために条件値を使用します。

## 条件 ID

条件 ID は、レジスタ 0x2E01 のビット [3:0] に保存された値です。EEPROM コントローラは、条件マップと条件 ID を使用して、ダウンロード・シーケンス中にどの命令を実行し、どの命令を無視するかを決定します。

## 条件マップ

条件マップは EEPROM コントローラが維持する表で、条件値のリストで構成されます。ダウンロード・シーケンス中に EEPROM コントローラが条件命令を検出すると、コントローラは、その命令に対応する条件値 (0~15) を決定します。条件値がゼロでない場合、EEPROM コントローラはその値を条件マップ内に置きます。逆に、条件値がゼロの場合、コントローラは条件マップをクリアして条件 0 (条件なし) を適用します。条件 0 が適用されると、その後続くすべての命令が無条件に実行されます (条件処理を実行する新しい条件命令をコントローラが検出するまで)。

## 条件処理

ダウンロード・シーケンスを実行中、EEPROM コントローラは、条件 ID と条件マップの内容に応じて命令を実行またはスキップします (条件命令とデータ終了命令を除く-この 2 つは常に無条件に実行されます)。

条件マップが空の場合、あるいは条件 ID がゼロの場合は、ダウンロード中、すべての命令が無条件に実行されます。しかし、条件 ID がゼロでなく、条件マップにその条件 ID に一致する条件値が含まれている場合、EEPROM コントローラはその後の命令を実行します。あるいは、条件 ID はゼロでなくても、条件マップにその条件 ID に一致する条件値が含まれていない場合、EEPROM コントローラは、条件値がゼロの条件命令、もしくは条件値が条件 ID に一致する条件命令が検出されるまで、命令をスキップします。

条件マップには、任意の与えられた時点で複数の条件を設定することができます。この複数条件処理メカニズムによって、条件 ID の値と、コントローラが検出する条件命令の順番に応じて、1 つのダウンロード命令シーケンスから数多くの結果が得られるようになっています。表 110 に条件処理の使用例を示します。

表 110. 条件処理シーケンスの例

| 命令           | 動作   |
|--------------|--|
| 0x00 to 0x7F | 無条件に実行するレジスタ転送命令のシーケンス                     |
| 0xB1         | 条件 1 を適用                                   |
| 0x00 to 0x7F | 条件 ID が 1 の場合にのみ実行するレジスタ転送命令のシーケンス         |
| 0xB2         | 条件 2 を適用                                   |
| 0xB3         | 条件 3 を適用                                   |
| 0x00 to 0x7F | 条件 ID が 1、2、または 3 の場合にのみ実行するレジスタ転送命令のシーケンス |
| 0x91         | システム・クロック PLL を補正                          |
| 0xB0         | 条件マップをクリア                                  |
| 0x80         | IO 更新                                      |
| 0xFF         | シーケンスを終了                                   |

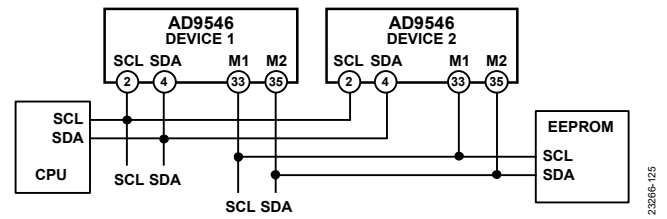


図 125. レベル 1 のマルチデバイス構成

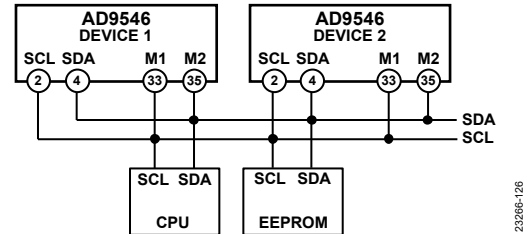


図 126. レベル 2 のマルチデバイス構成

## ポーズ命令 (0xFE)

アップロード・シーケンス中の EEPROM コントローラは、ポーズ命令だけを認識します。ポーズ命令を検出すると、EEPROM コントローラはアイドル状態になりますが、EEPROM アドレス・ポインタの現在値を保持します。

ポーズ命令の使用法の 1 つは、同じ AD9546 レジスタの複数の値を個別に保存するために使用することです。これは、パワーアップ条件のシーケンシングに有効です。

ポーズ命令は、EEPROM シーケンス・レジスタで使用可能な容量より多くの容量を必要とする、アップロード・シーケンスの実行にも有効です。(EEPROM アップロードのセクションを参照)。

## データ終了命令 (0xFF)

EEPROM コントローラがアップロード・シーケンス中にデータ終了命令を検出すると、コントローラは、計算したチェックサムと共にその命令を EEPROM に保存し、EEPROM アドレス・ポインタをクリアしてからアイドル状態になります。しかし、ダウンロード・シーケンス中にこの命令を検出した場合は、EEPROM コントローラは EEPROM アドレス・ポインタをクリアし、チェックサムを確認してからアイドル状態になります。

EEPROM ダウンロード中の条件命令は、常に無条件で実行されます。

## マルチデバイス・サポート

マルチデバイス・サポートは、複数の AD9546 デバイスが、1 つの EEPROM の内容を共有することを可能にします。マルチデバイス・サポートには 2 つのレベルがあります。レベル 1 では、複数の AD9546 デバイスが専用の I<sup>2</sup>C バスを通じて 1 つの EEPROM の内容を共有する構成をサポートし、レベル 2 では、複数の AD9546 デバイスが、他の I<sup>2</sup>C マスタ・デバイスを含む共通の I<sup>2</sup>C バスに接続された 1 つの EEPROM を共有する構成をサポートします。図 125 と図 126 に、それぞれレベル 1 とレベル 2 の構成を示します。多機能ピンの I<sup>2</sup>C 機能のみが示されています。

## マルチデバイス・バス・アービトレーション

EEPROM コントローラは、開始条件と停止条件を示す SDA および SCL バス信号を継続的にモニタすることによって、バス・アービトレーションを実行します。コントローラは、バスがアイドル状態かビジー状態かを判定することができます。バスがビジー状態の場合、EEPROM コントローラは、バスが使用可能であることが停止条件によって示されるまで、保留されている I<sup>2</sup>C 転送を遅らせます。

バス・アービトレーションは、2 つの I<sup>2</sup>C マスタ・デバイスが同時に I<sup>2</sup>C 転送を行おうとするような場合に不可欠です。例えば、1 つの I<sup>2</sup>C マスタが SDA をロジック 1 にしようとしたときに、その SDA がロジック 0 であることを検出した場合は、別の I<sup>2</sup>C マスタがアクティブであるものと判断して、行おうとしていたデータ転送を直ちに中止します。同様に、1 つの I<sup>2</sup>C マスタが開始状態に入ろうとしたときに SCL がロジック 0 であることを検出した場合は、別の I<sup>2</sup>C マスタがアクティブであるものと判断して、行おうとしていたバスのドライブを直ちに中止します。

いずれの場合も、支配的な方の I<sup>2</sup>C マスタは、バスを解放する前にその時点のトランザクションを完了させます。留保された I<sup>2</sup>C マスタは継続的にバスの停止条件をモニタしているため、このような停止条件が検出されるとバスを占有して、留保中のトランザクションを実行しようとします。

EEPROM コントローラには、バス・アービトレーション・プロセスを最適化するためにアービトレーション・タイマーが組み込まれています。具体的には、EEPROM コントローラがバス競合検出の結果として I<sup>2</sup>C 転送を留保すると、コントローラはアービトレーション・タイマーを起動します。EEPROM コントローラが 255 SCL サイクル以内に停止条件を検出できなかった場合、コントローラは別のトランザクションを強制的に実行しようとします。引き続きバスがビジーの場合、EEPROM コントローラはアービトレーション・タイマーを再起動し、EEPROM コントローラが最終的に留保中のトランザクションを完了できるまで、そのプロセスが続きます。

### マルチデバイス構成の例

1つのEEPROMを共有する2個のAD9546デバイス（デバイス1とデバイス2）を考えます。ここでは、これらのデバイスのPLL0の設定は共通しているものの、PLL1の設定が異なっているものとします。

この構成を実現するEEPROMシーケンスのテンプレートを、表111に示します。

シーケンスは、条件付き処理によってデバイス1とデバイス2を区別します。したがって、EEPROMのダウンロードを実行する前に、両方のデバイスの条件IDをプログラムする必要があります。具体的には、デバイス1のレジスタ0x2E01のビット[3:0]を条件ID1でプログラムし、デバイス2のレジスタ0x2E01のビット[3:0]を条件ID2でプログラムします。

表 111. マルチデバイス EEPROM シーケンス用テンプレート

| 命令           | コメント                                   |
|--------------|--|
| 0x00 to 0x7F | 両デバイスに共通な PLL0 設定に関連するレジスタ転送命令のシーケンス   |
| 0xB1         | 条件 1 を適用                               |
| 0x00 to 0x7F | デバイス 1 に固有の PLL1 設定に関連するレジスタ転送命令のシーケンス |
| 0xB0         | 条件マップをクリア                              |
| 0xB2         | 条件 2 を適用                               |
| 0x00 to 0x7F | デバイス 2 に固有の PLL1 設定に関連するレジスタ転送命令のシーケンス |
| 0xB0         | 条件マップをクリア                              |
| 0x80         | IO 更新                                  |
| 0xFF         | シーケンスの終了                               |

## アプリケーション情報

### デジタル化クロッキング・アプリケーション

図 127 に、デジタル化クロッキング・システムの例を簡略化して示します。システムには、3 つのデジタル化クロッキング・ノードがあり、その 1 つはマスタ・ノードとして、他の 2 つはスレーブ・ノード（スレーブ・ノード 0 とスレーブ・ノード 1）として機能します。マスタ・ノードは、システム全体の共通クロックとして機能する共通クロック・リファレンス信号を受信します。

リファレンス・クロックは、スレーブ・ノードの 1 つの入力部に入力することができます。目的は、アナログ・クロック信号を使用するのではなく、共通デジタル・コミュニケーション・リンクにわたるデータ転送を使用して、各ノードにリファレンス・クロックを分配することです。つまり、アナログ信号の形態でシステム全体にリファレンス・クロックを分配するのではなく、選択したノードから他のノードにデータ・リンクを介して周波数と位相のリファレンス・クロックを転送することです。デジタル化クロッキング技術により、デジタル・バス上でクロック信号を転送するこの機能が可能となります（詳細については、[デジタル化クロッキング](#)のセクションを参照）。

マスタ・ノードは、スレーブ・ノードへのリファレンス・クロックとして共通クロックを生成します。共通クロックは、すべてのノードに共有される時間のベースとなるもので、デジタル化クロッキングの基本条件です。また、マスタ・ノードは、同期情報もスレーブ・ノードに送信します。同期は、物理的同期イベント信号（図 127 の共通クロック信号内部に組み込まれる）と、デジタル・コミュニケーション・バスで送信される同期コード（同期イベント信号に関連する時間に対応）の、2 つの要素から成ります。この 2 要素からなる同期手法により、すべてのスレーブ・ノードはマスタ・ノードと共通のエポックを共有でき、すべてのノードが共通の（同期された）タイム・スケールを持つこととなります。

例えば、デジタル化クロッキング・システムで、分配可能なリファレンス・クロックがスレーブ・ノード 1 に適用されるとします。スレーブ・ノード 1 は、共通タイム・スケールから抽出したタイム・コード（リファレンス・クロックの立上がりエッジのデジタル・ワード表記）を作成して、リファレンス・クロックをデジタル化します。タイム・コードは、物理的リファレンス・クロック信号の代用です。デジタル化クロッキングを使用し、スレーブ・ノード 1 はデジタル・バスでタイム・コードをマスタ・ノードに送信します。同様に、マスタ・ノードは、同じデジタル・バスでタイム・コードをスレーブ・ノード 0 に（また、必要に応じて、再度スレーブ・ノード 1 に）分配します。次に、デジタル化クロッキングを使用し、受信ノードが、タイム・コードをリファレンス・クロックと同じ周波数および位相の物理的クロック信号に再度変換し、 $\pm 100\text{ps}$  の範囲に揃えます。

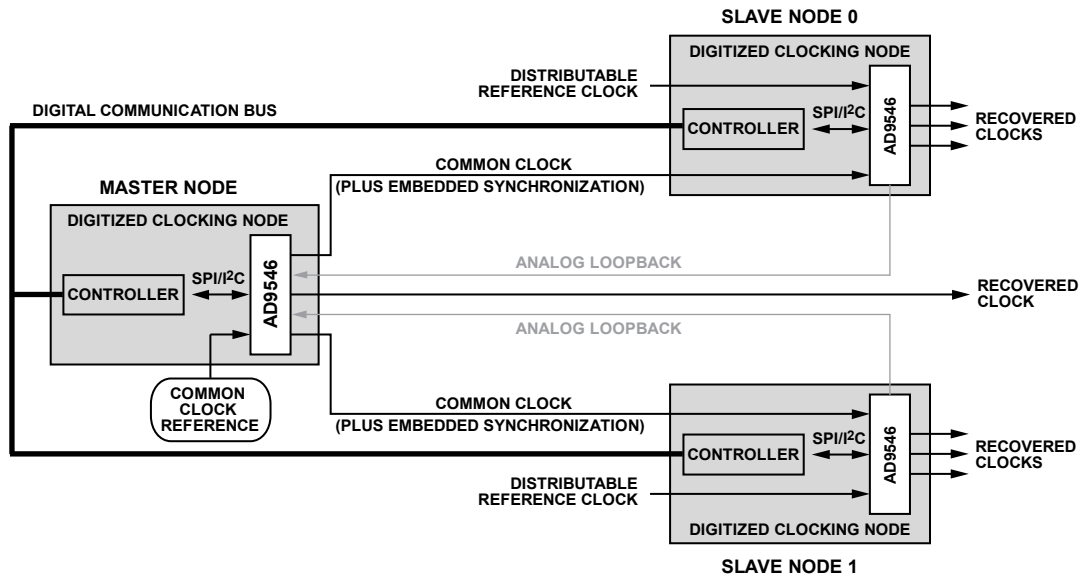
デジタル化クロッキング・アプリケーションでは、AD9546 を I<sup>2</sup>C モードではなく、SPI モードで動作させることを推奨します。SPI の方が I<sup>2</sup>C に比ベシリアル転送レートがはるかに高い（SPI での 50MHz に対し I<sup>2</sup>C は 400kHz）ためです。

いずれの同期されたクロッキング・システムにおいても、その重要な特性の 1 つは、マスタ・ノードとスレーブ・ノード間で送信されるクロック信号の伝搬遅延によるタイミング誤差です。共通のタイム・スケールを全ノードにわたって正しく揃えるためには、システムがノード間の伝搬遅延を計測し補償する必要があります。伝搬遅延を数値化するために推奨される方法は、往復遅延をリアル・タイムで計測することです。これにより、システムの温度変化により生じる可能性のある遅延を継続的に評価し補正することができるためです。AD9546 では、そのアナログ・ループバック機能（[アナログ・クロック・ループバック](#)のセクションを参照）とタイム・スキュー測定プロセッサ（[図 129](#) のアプリケーション例および [クロック伝搬遅延の測定](#)のセクションを参照）を使用して、往復遅延の評価に容易に対応できます。

往復遅延測定機能が含まれている、デジタル化クロッキング・システムの例を図 128 に示します。このシステム例では、タイミング・カードと 1 対のライン・カードがバックプレーンを介して相互接続されています。タイミング・カードとライン・カードは、デジタル化クロッキングに依存して、AD9546 の SPI ポートを介してクロック信号をタイム・コードとして転送します。[図 128](#) には明示されていませんが、AD9546 では往復遅延測定のためのアナログ・ループバック機能に、REFB または REFBB をループバック入力として、また、M4 ピンをループバック・リターンとして使用することが必要です。

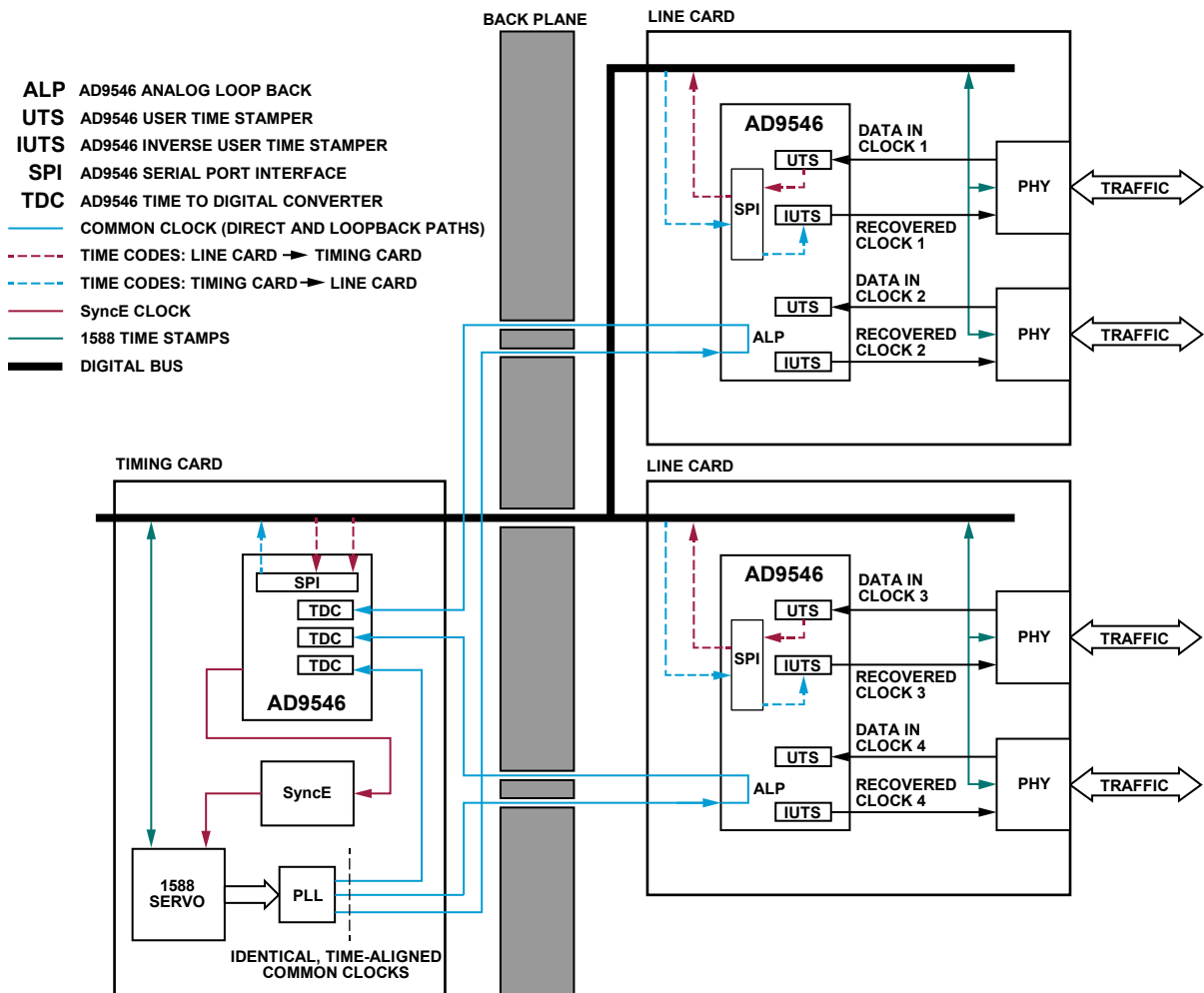
タイミング・カードは、IEEE 1588 サーボを使用し、イーサネットでのタイミング転送（図で「TRAFFIC」と表示）を行っています。サーボは PLL を制御し、その PLL の出力がシステムに共通クロックを提供します。PLL は、出力クロック・エッジが一致した 3 つの同一のクロック信号を生成し、これらが各カードの共通クロック入力の役目を果たします。この配置を AD9546 のアナログ・ループバック機能と組み合わせることで、タイミング・カードが、そのタイミング・カードと各ライン・カード間の伝搬遅延を測定できるようになります。次いで、測定された伝搬遅延は、デジタル化クロッキング・バスに適用されるオフセットを使用して補償できます。

ライン・カードは、物理層（PHY）を介してイーサネット・トラフィックを処理します。ライン・カードはそれぞれ複数の物理層（PHY）に作用します。[図 128](#) では、簡略化のため、AD9546 の UTS/IUTS ペアに接続する PHY は 1 つしか示されていません。しかし、PHY はそれぞれ、AD9546 の専用の UTS/IUTS ペアにアクセスできます。したがって、どの PHY も受信したクロックを AD9546 に提供し、UTS を介してデジタル化できます。デジタル化された受信クロックは、デジタル・バスを通じてタイミング・カードに転送され、タイミング・カードは、デジタル化された受信クロックを IEEE 1588 サーボの SyncE クロックとして使用します。次に、タイミング・カードは、デジタル・バスを通じてライン・カードに再度転送するためにデジタル化されたクロックを生成します。ライン・カードは、デジタル化されたクロックを再度アナログ・クロックに変換し、PHY が出力トラフィックをクロッキングするために使用できるようにします。



23206-127

図 127. デジタル化クロッキング・アプリケーション



23206-128

図 128. デジタル化クロッキング・システムの例

## クロック伝搬遅延の測定

クロック源 (IN) が追加コンポーネントを駆動し、このコンポーネントが最終出力 (OUT) 信号に伝搬遅延 ( $t_p$ ) をもたらすようなアプリケーションを検討します (図 129 を参照)。この追加コンポーネントとしては、例えば、物理的な相互接続 (ケーブルや PCB パターン) の組み合わせ、クロック・バッファ、または伝搬遅延をもたらすその他の要素などがあります。

2つのクロック信号間の伝搬遅延を数値化することが必要となるアプリケーションでは、AD9546 の TDC を利用することで、遅延を測定し、その結果をシリアル・ポート・レジスタを介してデジタル形式で使用できるようになります。図 129 は、AD9546 を使用した伝搬遅延測定セットアップを簡略化して示したものです。

伝搬遅延を測定するには、IN と OUT の信号を AD9546 の 8 つの独立したリファレンス・クロック入力 of のいずれか 2 つに接続します。リファレンス・クロック入力は、REFx ピンまたは 4 つの補助リファレンス (補助 REFx) の 1 つへの入力として設定されたいずれか 1 つの Mx 制御ピンで構成されます。その後、スキュー測定プロセッサ (2つの TDC を使用したタイミング・スキュー測定) のセクションを参照) を使用して、シリアル・ポートを介して測定結果を読み出すことができます。シリアル・ポートは、 $t_p$  の値を約 1ps の分解能で示します。

また、コントローラは、 $t_p$  の測定値を使用して、クロック・コンポーネントを介した遅延を補償するようクロック源のタイミングを調整できます。定期的に  $t_p$  を測定し、それに応じて補償を行うことで、ユーザは温度変化によって生じる可能性のある  $t_p$  の時間依存変動を補正することができます。

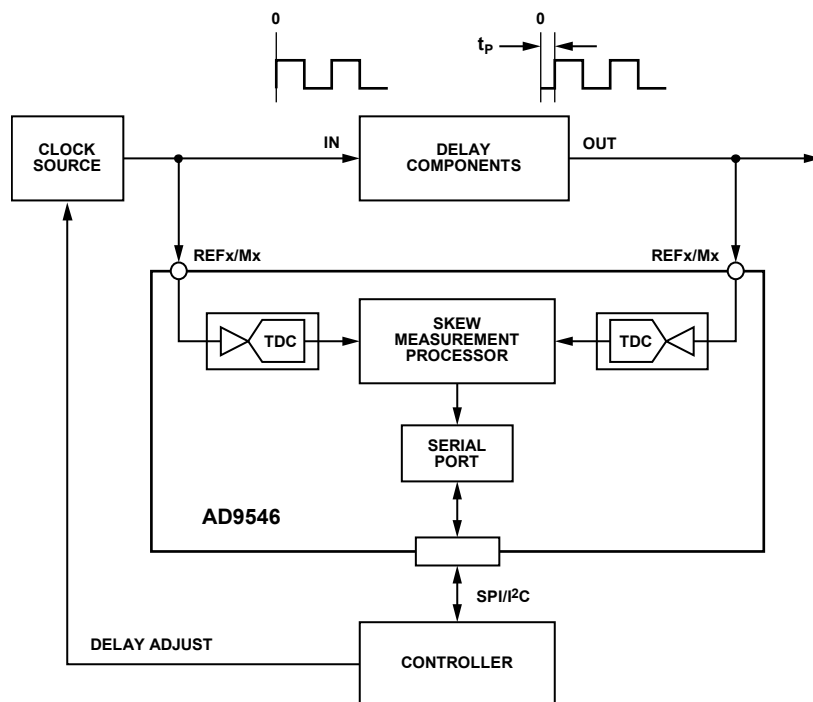


図 129. 伝搬遅延測定アプリケーション

23286-129

タイム・スタンプ測定

AD9546は、クロック周波数とクロック・タイミング・オフセットの測定を必要とするアプリケーションに特に適しています。周波数と時間オフセットの測定は、TDCを用いて入力クロック・エッジをデジタル化する(タイム・スタンプを行う)ことで可能となります。AD9546の4つの主要リファレンス入力(REFA、REFAA、REFB、REFBB)と4つの補助リファレンス入力(補助REF0、補助REF1、補助REF2、補助REF3)にはそれぞれ、専用のTDCがあります(図130を参照)。

AD9546にはユーザ・タイム・スタンプ取得システムがあり、これによってユーザはTDCが生成したタイム・スタンプを読み出すことができます(ユーザ・タイマー・スタンプ(UTS)のセクションを参照)。UTSシステムには9つのタイム・スタンプ取得ユニット(UTS 0~UTS 8)があり、8つの入力タイム・ス

タンプ源(REFx および補助 REFx)のすべてから同時にタイム・スタンプを取得することが可能です。

UTSシステムは、取得したタイム・スタンプをUTS FIFOに保存します。ここにはシリアル・ポートを通じてアクセスできます(UTS リードバック FIFOのセクションを参照)。FIFOの容量は限られているため、FIFOへのタイム・スタンプ受け入れレートがFIFOからの引き出しレートを(平均で)超えた場合、FIFOは結果的にオーバーフローします。FIFOのオーバーフローが生じると、FIFOはUTSからのタイム・スタンプの受け入れを停止するため、ユーザは、FIFOへの平均タイム・スタンプ受け入れレートを超える平均レートでFIFOの内容を引き出す必要があります(これを行わない場合タイム・スタンプが失われます)。そのため、シリアル・ポートの読出しレートによって、FIFOのタイム・スタンプ受け入れレートに上限が設定されています。

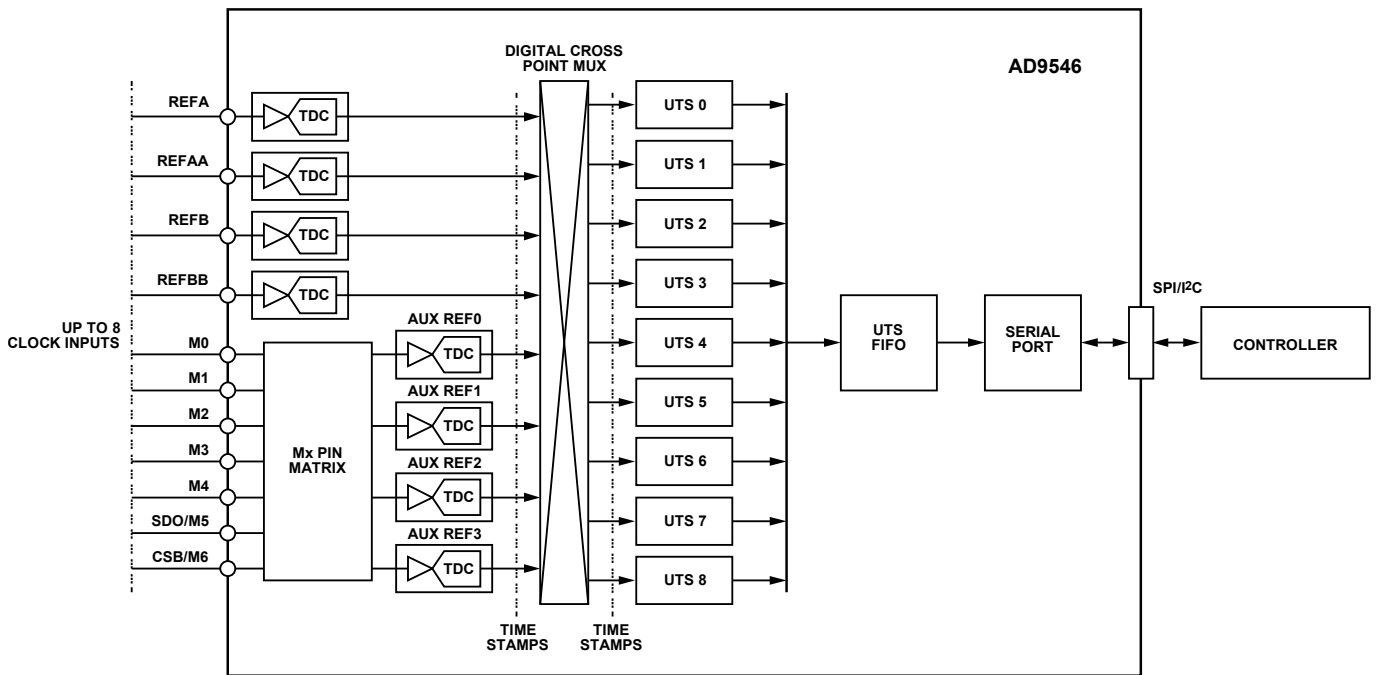


図 130. タイム・スタンプ測定アプリケーション

23206-190



IEEE 1588 サーボ

AD9546 は、ハイブリッド対応アプリケーションでのテレコム-BC (T-BC) における IEEE 1588 サーボおよびソフトウェア・スタックに必要な、ジッタ・クリーニング、位相シフト、同期を提供します (図 131 を参照)。図 131 は、特定の IEEE 1588 アプリケーションではなく、様々な IEEE 1588 アプリケーションを実装するために考え得る接続シナリオの上位セットを示しています。図 131 に示した図は、IEEE 1588 のマスタおよびスレーブ・クロック動作に対応しています。図 131 の破線のボックスは、高精度タイム・プロトコル (PTP)、IEEE 1588 実装のためのソフトウェア、日時サポートを処理する外部回路からなっています。AD9546 の集積機能は、PTP を介する同期クロックのタスクを簡素化します。更に、AD9546 の Mx ピンでは、1pps 精度のソースを提供する GPS レシーバーを介してアシスト部分 タイミング・サポート (APTS) を実装するオプションも使用できます。

図 131 では、AD9546 のシステム・クロック補償機能が使われています (システム・クロック補償のセクション内の補償方法 3

のセクションを参照)。具体的には、リファレンス入力、システム・クロック補償ブロックへの安定周波数源 (OXCO や TCXO など) として機能します。この安定周波数源により、AD9546 は水晶共振器をシステム・クロック源 (XOA ピンおよび XOB ピン) として使用でき、内在する水晶振動子の周波数不安定性を補償し、それによってシステム全体のタイミング精度を維持できます。

PLL0 は、125MHz の SyncE クロックをリファレンス入力として使用し、2つのフィルタ処理された 125MHz SyncE クロックを生成します。PLL1 は、AD9546 の補助 NCO の 1つをリファレンス入力として使用し、REF IN ソースに同調した安定性を持つ 2つの任意出力クロックを生成します。システム・クロック補償システムにより、DPLL と補助 DPLL に関連する NCO の周波数安定性が確保されます。

AD9546 の性能と機能により、AD9546 は、最新の IEEE 1588 の機能を実現するうえで、また、4G および 5G ワイヤレス・ネットワーク向け ITU-T パケット同期関連の各種規格を満たすうえで、最適なものとなっています。

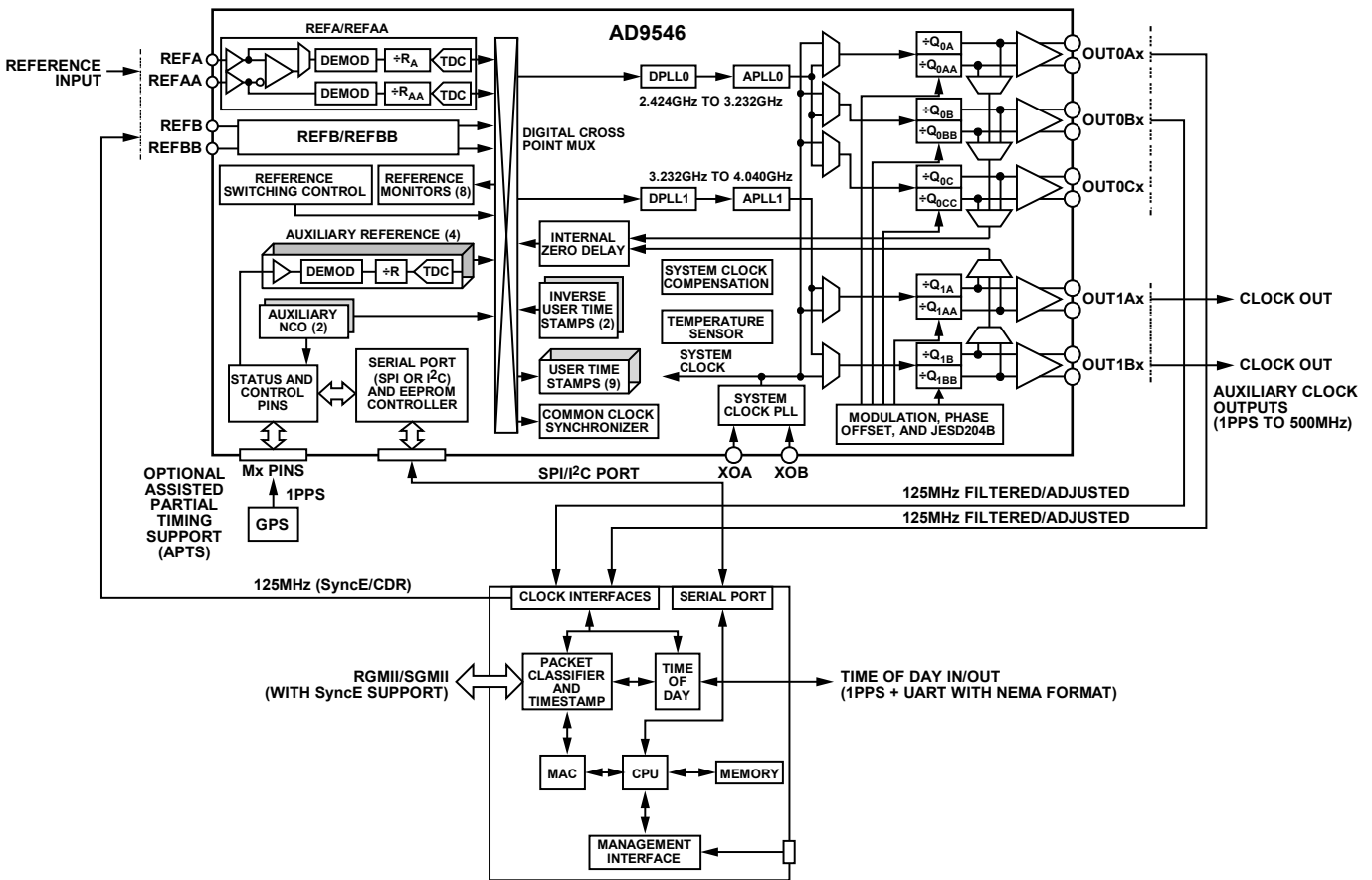


図 131. AD9546 を使用した IEEE 1588 バージョン 2 のアプリケーション

## 初期化シーケンス

推奨される AD9546 の電源投入およびプログラミングの初期化シーケンスを、[図 132](#)～[図 134](#) に示します。

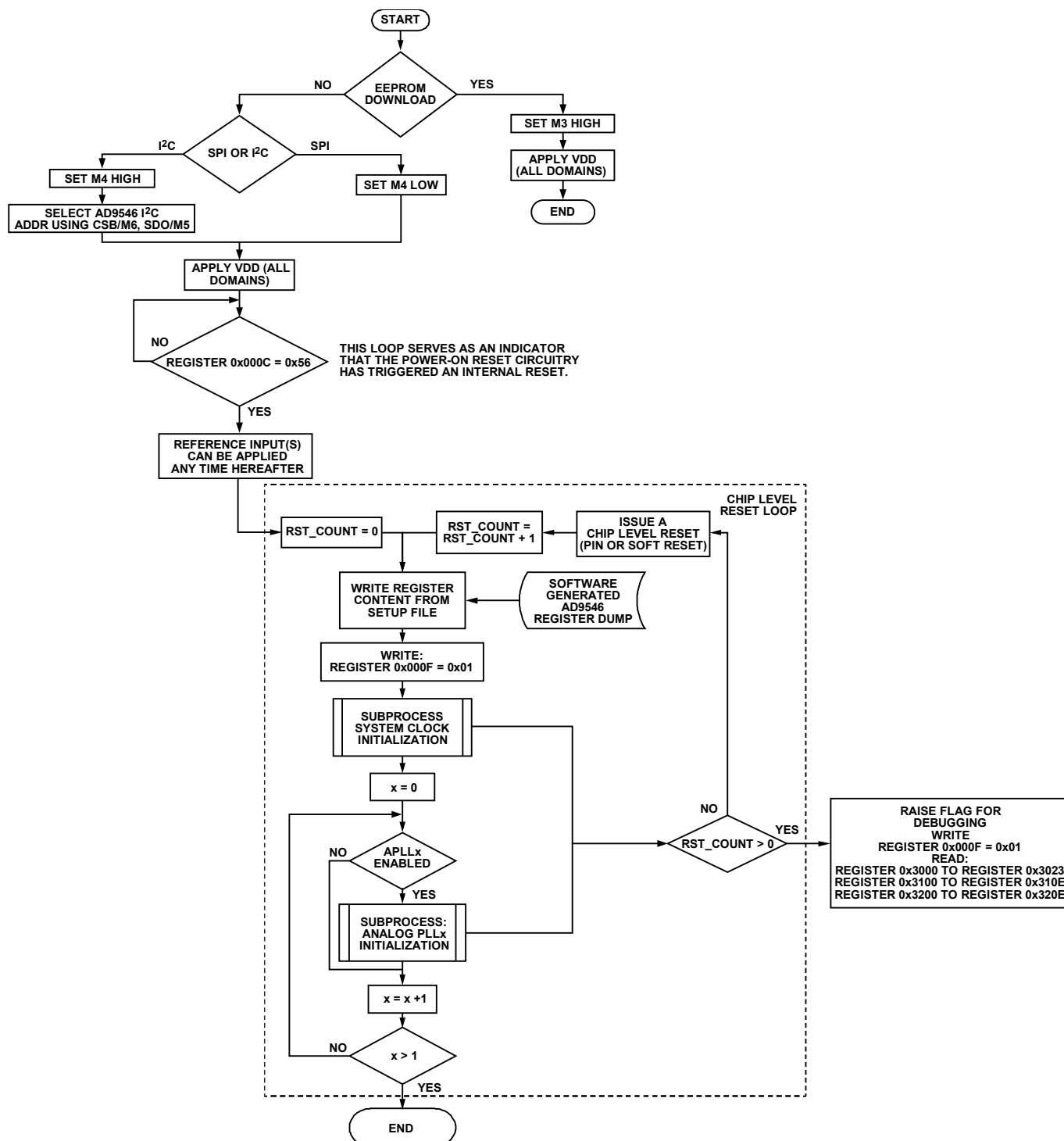
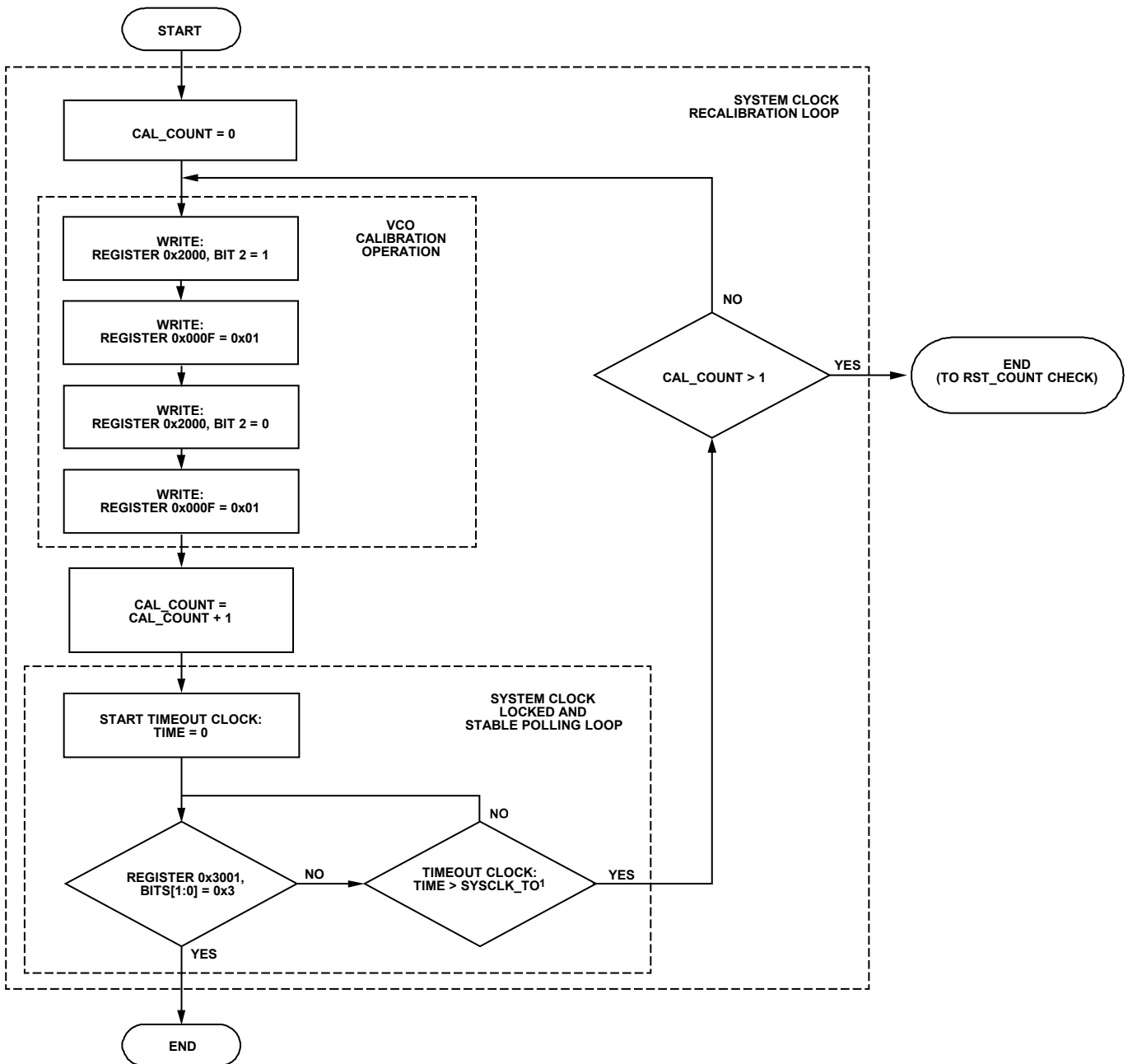


図 132. プログラミング・シーケンスのフローチャート



<sup>1</sup>SYSCLK\_TO IS A TIMEOUT VALUE CALCULATED BY THE CONTROLLING SOFTWARE.  
 SYSCLK\_TO = 50ms + SYSTEM CLOCK VALIDATION TIME (REGISTER 0x0207 TO REGISTER 0x0209 [UNITS OF ms])

図 133. システム・クロック初期化サブプロセス

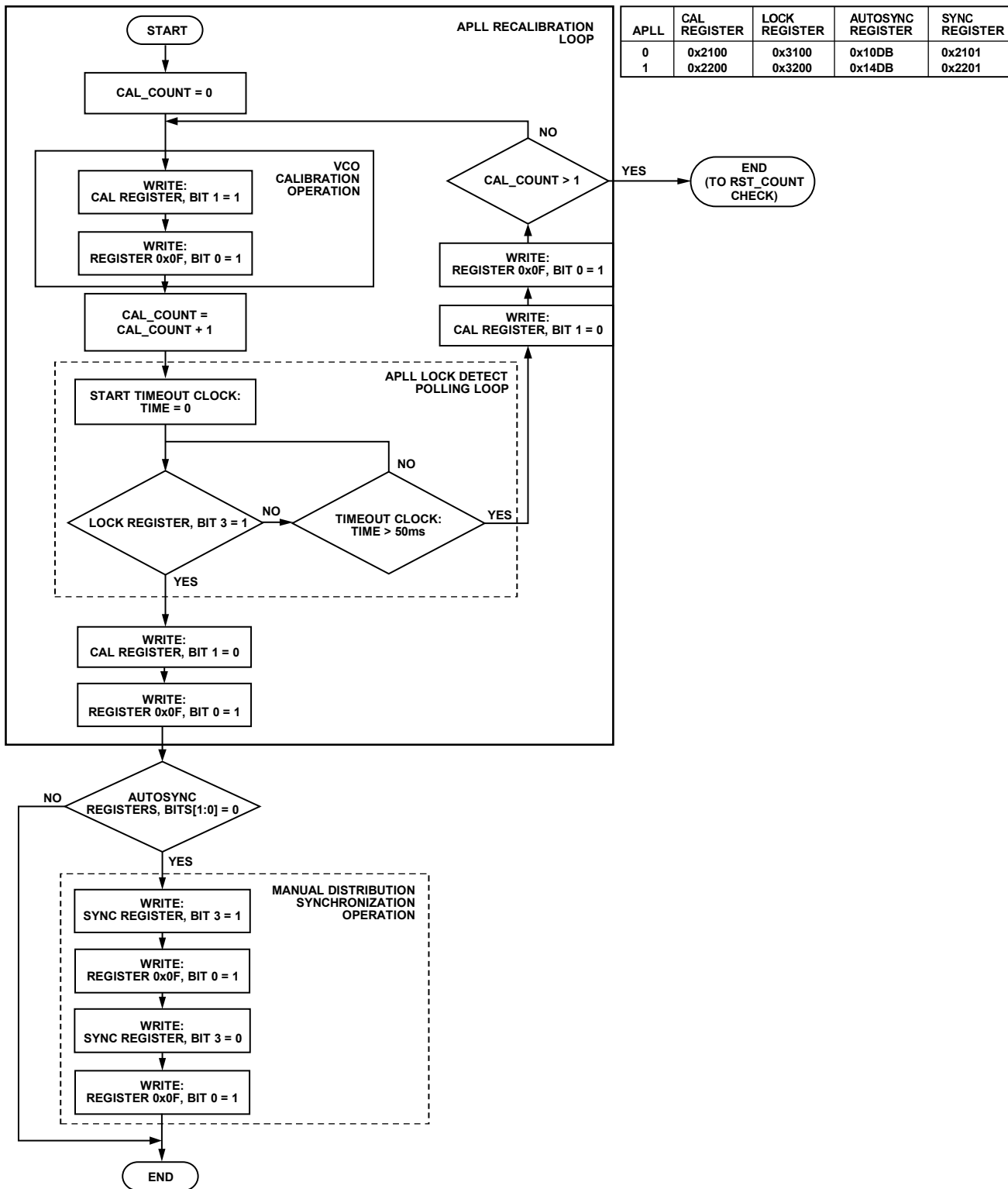


図 134. APLL 初期化サブプロセス

## シリアル制御ポート

### シリアル制御ポートの概要

AD9546のシリアル制御ポートは柔軟な同期シリアル通信ポートで、業界標準の様々なマイクロコントローラやマイクロプロセッサとのインターフェースを容易に形成することができます。AD9546のシリアル制御ポートは、I<sup>2</sup>C、Motorola SPI、Intel SSR プロトコルを含むほとんどの同期転送フォーマットに使用できます。シリアル制御ポートにより、AD9546のレジスタ・マップに対する読み出し/書き込みアクセスが可能になります。

AD9546は、アナログ・デバイセズの統合 SPI プロトコル（アナログ・デバイセズ・シリアル制御インターフェース規格を参照）を使用します。統合 SPI プロトコルにより、このプロトコルが採用されたすべての新しいアナログ・デバイス製品のシリアル・ポート特性が一貫したものになります。SPIポートの設定はレジスタ 0x0000 を介してプログラムできます。

統合 SPI は、AD9557 や AD9558 などの従来のアナログ・デバイス製品に見られる SPI ポートとは以下の点で異なります。

- 統合 SPI にはバイト・カウントがありません。転送は CSB 信号がハイになると終了します。従来の SPI の W1 ビットおよび W0 ビットは、レジスタ・アドレスの A12 ビットおよび A13 ビットになります（表 113 を参照）。この形式は、従来型 SPI のストリーミング・モードに似ています。
- アドレス・アセンション・ビット（レジスタ 0x0000）は、LSB ファーストか MSB ファーストかに関わらず、レジスタ・アドレスを自動的にインクリメントするかデクリメントするかを制御します。従来の SPI では、LSB ファースト・モードでレジスタ・アドレスが自動インクリメントされ、MSB ファースト・モードで自動デクリメントされていました。
- 統合シリアル・ポートを採用するデバイスの最初の 16 個のレジスタ・アドレスは、すべて同じように構成されています。

### SPI/I<sup>2</sup>C ポートの選択

AD9546 は SPI シリアル・ポート・プロトコルと I<sup>2</sup>C シリアル・ポート・プロトコルの両方をサポートしていますが、パワーアップ後に使用できるのはどちらか一方だけです（スタートアップ・シーケンスで M4 ピンにより決定）。シリアル・ポート・プロトコルを変更する唯一の方法は、デバイスをリセットする（もしくは電源を入れ直す）ことです。I<sup>2</sup>C アドレスの割り当てについては表 103 を参照してください。

### SPI シリアル・ポートの動作

#### ピンの説明

シリアル・クロック（SCLK）信号はシリアル・シフト・クロックとして機能します。このピンは入力ピンです。SCLK によって、シリアル制御ポートの読み出し動作と書き込み動作が同期されます。SCLK の立上がりエッジで書き込みデータ・ビットがレジスタに取り込まれ、SCLK の立下がりエッジで読み出しデータ・ビットがレジスタに取り込まれます。SCLK ラインは最大 50MHz のクロック・レートに対応します。

SPI ポートのハードウェア構成とデータ・フォーマットは、レジスタ 0x0000 を使用して設定できます。ハードウェア構成は 3 線双方向（デフォルト）または 4 線一方向で、データ・フォーマットは MSB ファースト（デフォルト）または LSB ファーストです。3 線式の場合、シリアル・データ入出力（SDIO）信号を使ってデータを双方向に転送します。4 線式の場合、SDIO を使って AD9546 にデータを転送し、SDO を使って AD9546 からデー

タを転送します。SDO ピンと SDIO ピンの出力駆動強度は、レジスタ 0x0109 のビット 7 で選択可能です。

チップ・セレクト（CSB）信号は読み出し動作と書き込み動作を制御するアクティブ・ローの制御信号です。CSB をアサート（アクティブ・ロー）すると、AD9546 の SPI ポートに対する書き込み動作または読み出し動作が開始されます。任意の数のデータ・バイトを 1 つの連続ストリームで転送することができます。アドレス・アセンション・ビット（レジスタ 0x0000）の設定に基づいて、レジスタ・アドレスは自動的にインクリメントまたはデクリメントされます。最終バイトの転送が完了したら、CSB バイトをデアサートする必要があります。これによりストリーム・モードが終了します。CSB は、内部で 10k $\Omega$ プルアップ抵抗に接続されています。CSB がハイ・レベルのとき、SDIO と SDO は高インピーダンス状態になります。

### 実装に固有の詳細事項

アナログ・デバイセズ・シリアル制御インターフェース規格には、統合 SPI プロトコルの内容が詳しく説明されており、タイミング、コマンド・フォーマット、アドレス指定などの項目が記載されています。統合 SPI プロトコルは、以下のようなデバイス固有項目を定義しています。

- アナログ・デバイス統合 SPI プロトコル・リビジョン：1.0
- チップ・タイプ：0x5
- 製品 ID：0x0121
- 物理層：3 線と 4 線に対応し、1.5V、1.8V、2.5V 動作に対応。
- オプションの 1 バイト命令モード：非対応。
- データ・リンク：未使用。
- 制御：未使用。

### 通信サイクル-命令+データ

統合 SPI プロトコルの通信サイクルは 2 つの部分で構成されています。最初の部分は、SCLK の最初の 16 個の立上がりエッジに同期された 16 ビットの命令ワードです。第 2 の部分はペイロードで、そのビットは SCLK の立上がりエッジに同期されています。この命令ワードは、ペイロードについての情報を AD9546 のシリアル制御ポートに提供します。この命令ワードには、ペイロードの転送方向（すなわち、読みしまたは書き込み動作）を示す R/W ビットが含まれています。命令ワードは、ペイロードの先頭バイトの開始レジスタ・アドレスも示します。

### IO 更新

一般に、バッファ・レジスタとアクティブ・レジスタという 2 組のシリアル・ポート・レジスタがあります。SPI ポートがデータを受信する場合、ポートはデータを逆シリアル化し、バッファ・レジスタに収集します。ほとんどの場合、バッファ・レジスタの出力は、アクティブ・レジスタの入力に送信され、デバイス内の目的の回路ブロックに直接送られることはありません。そのため、SPI データを書き込む場合、デバイス内の目的の回路ブロックは新たに書き込まれたデータの影響を受けません。

バッファ・レジスタのデータを有効にするには、IO 更新動作を実行する必要があります。この更新によって、すべてのバッファ・レジスタの内容がアクティブ・レジスタに転送されます。アクティブ・レジスタの出力は、デバイス内の機能ブロックに必要な作用を引き起こします。

IO 更新動作を発行するには、次の 2 つの方法が使用できます。

1. レジスタ 0x000F のビット 0 にロジック 1 を書き込む
2. Mx ピンを物理的な IO 更新ピンに設定する

最初の方法の場合、ビット 0 は自動クリア・ビットです。2 番目の方法の場合、設定された Mx ピンにロジック 1 を適用すると IO 更新動作がアサートされます。

ユーザは IO 更新動作を実行する前に、必要な数だけレジスタ・ビットをプログラムできます。次いで、IO 更新動作をアサートすると、バッファ・レジスタのすべての内容がアクティブ・レジスタの対応部分に転送されます。

### 書き込み

命令ワードが書き込み動作を示す場合、ペイロードは AD9546 のシリアル制御ポートのバッファに書き込まれます。データ・ビットは、SCLK の立上がりエッジでレジスタに取り込まれます。一般的に、ブランク・レジスタにはどのようなデータを書き込んでもかまいませんが、慣習的に 0 を書き込みます。ユーザは、指定範囲内のすべての予備レジスタにデフォルト値 0x00 が設定されていることを確認する必要があります。ただし、アナログ・デバイスではあらゆる努力を払い、予備レジスタにゼロ以外の値が設定されることのないようにしています。

### 読出し

命令ワードが読出し動作を示す場合、命令ワードで指定されたアドレスから開始するデータが、次の  $N \times 8$  SCLK サイクルで出力されます。ここで、N は読み出すデータ・バイトの数です。読出しデータは、SCLK の立下がりエッジで、該当するデータ・ピン (SDIO または SDO) に出力されます。読出しデータは、SCLK の立上がりエッジでラッチする必要があります。内部 SPI 制御ロジックは、リードバック動作時にブランク・レジスタをスキップしません。

リードバック動作では、シリアル制御ポートのバッファ・レジスタまたはアクティブ・レジスタからデータが取り出されます。どちらから取り出されるかは、レジスタ 0x0001 のビット 5 によって決まります。

### SPI 命令ワード (16 ビット)

16 ビット命令ワードの MSB は R/W $\bar{}$  であり、これは次の動作が読出しと書き込みのどちらであるかを示します。その次の 15 ビットはレジスタ・アドレス (A14~A0) で、読出し/書き込み動作の開始レジスタ・アドレスを示します (表 113 を参照)。AD9546 には 14 ビットを超えるアドレス・ワードを必要とするレジスタ・アドレスはないので、SPI コントローラは A14 をロジック 0 として扱い、これを無視します。

### SPI の MSB ファーストと LSB ファーストの転送

AD9546 の命令ワードとペイロードは MSB ファーストまたは LSB ファーストで転送できます。AD9546 のデフォルトは MSB ファーストです。LSB ファースト・モードにするには、レジスタ 0x0000 のビット 6 にロジック 1 を書き込みます。LSB ファースト・モードになると、それ以降のシリアル制御ポート動作は LSB ファーストになります。

### アドレス・アセンション

アドレス・アセンション・ビット (レジスタ 0x0000 のビット 5) がロジック 0 の場合、シリアル制御ポートのレジスタ・アドレス値は、指定された開始アドレスからアドレス 0x0000 に向かってデクリメントします。アドレス・アセンション・ビット (レジスタ 0x0000 のビット 5) がロジック 1 の場合、シリアル制御ポートのレジスタ・アドレス値は、指定された開始アドレスからアドレス 0x3A3B に向かってインクリメントします。予備のアドレスはマルチバイト入出力動作時にスキップされないため、予備レジスタにデフォルト値を書き込み、マップされていないレジスタにロジック 0 を書き込む必要があります。3 つ以上の連続した予備 (またはマッピングされていない) レジスタにデフォルト値を書き込むよりも、新しい書き込みコマンドを送信した方が効率的です。

表 112. ストリーミング・モード (スキップされるアドレスなし)

| Address Ascension | Stop Sequence    |
|-------------------|------------------|
| Increment         | 0x0000 to 0x3A3B |
| Decrement         | 0x3A3B to 0x0000 |

表 113. シリアル制御ポート、16 ビット命令ワード

| MSB |     |     |     |     |     |    |    |    |    |    |    |    |    |    | LSB |  |  |
|-----|-----|-----|-----|-----|-----|----|----|----|----|----|----|----|----|----|-----|--|--|
| I15 | I14 | I13 | I12 | I11 | I10 | I9 | I8 | I7 | I6 | I5 | I4 | I3 | I2 | I1 | I0  |  |  |
| R/W | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0  |  |  |

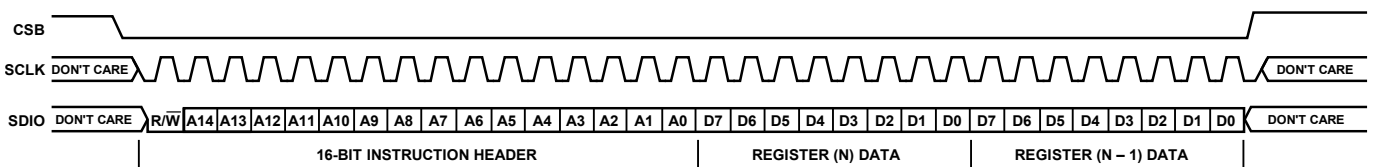


図 135. シリアル制御ポートの書き込み-MSB ファースト、アドレス・デクリメント、2 バイト・データ

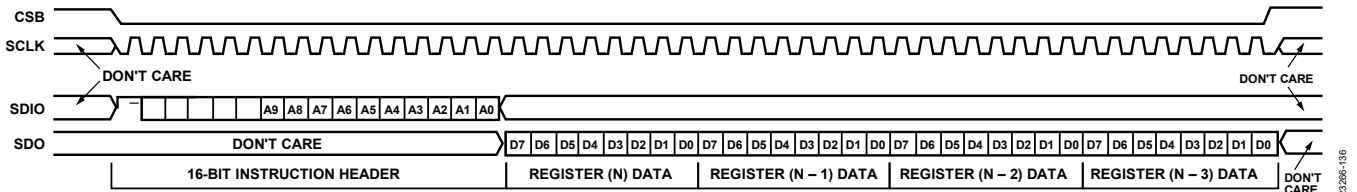


図 136. シリアル制御ポートの読出し-MSB ファースト、アドレス・デクリメント、4 バイト・データ

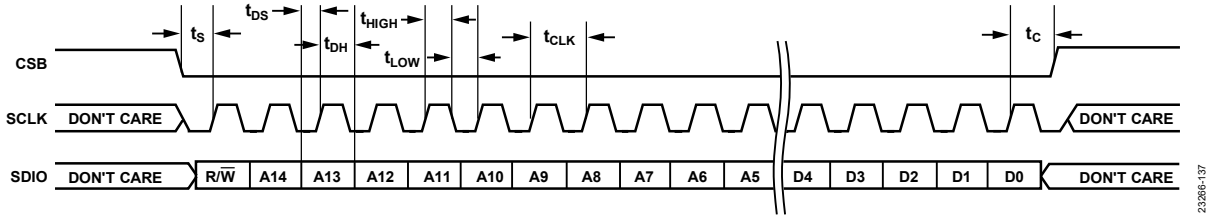


図 137. シリアル制御ポートの書き込みのタイミング図-MSB ファースト

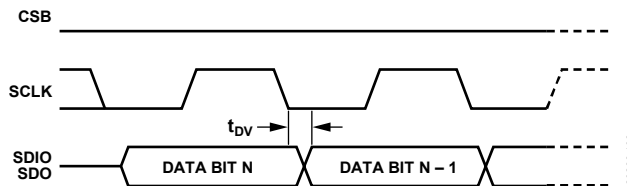


図 138. シリアル制御ポート・レジスタの読出しのタイミング図-MSB ファースト

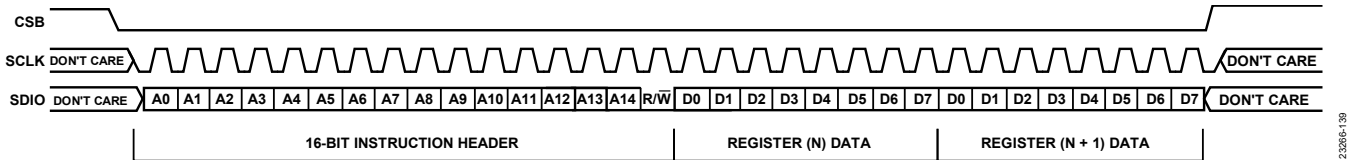


図 139. シリアル制御ポートの書き込み-LSB ファースト、アドレス・インクリメント、2 バイト・データ

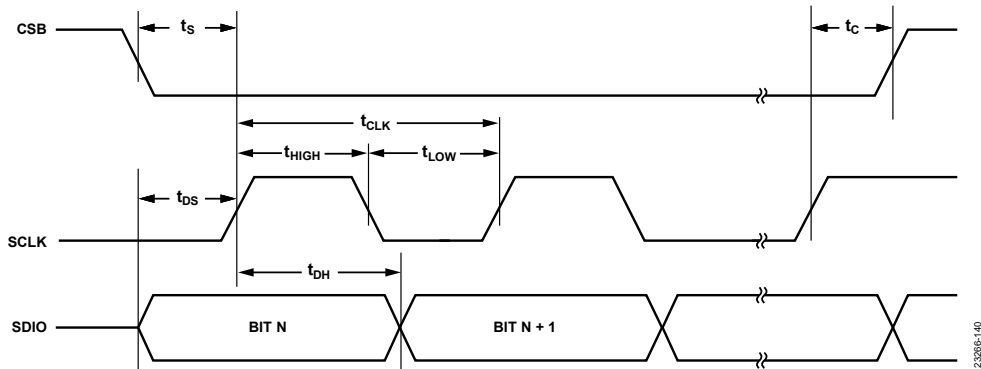


図 140. シリアル制御ポートのタイミング-書き込み

表 114. シリアル制御ポートのタイミング

| パラメータ      | 説明   |
|------------|--|
| $t_{DS}$   | データと SCLK 立上がりエッジ間のセットアップ時間                      |
| $t_{DH}$   | データと SCLK 立上がりエッジ間のホールド時間                        |
| $t_{CLK}$  | クロックの周期  |
| $t_s$      | CSB 立下がりエッジと SCLK 立上がりエッジ (通信サイクルの開始) 間のセットアップ時間 |
| $t_c$      | SCLK 立上がりエッジと CSB 立上がりエッジ (通信サイクルの終了) 間のセットアップ時間 |
| $t_{HIGH}$ | SCLK をロジック・ハイの状態に保持する最小時間                        |
| $t_{LOW}$  | SCLK をロジック・ローの状態に保持する最小時間                        |
| $t_{DV}$   | SCLK から有効な SDIO まで (図 138 を参照)                   |

## I<sup>2</sup>C シリアル・ポートの動作

I<sup>2</sup>C インターフェースは 2 本のピンしか必要とせず、同じバス上で簡単に複数のデバイスをサポートできるので、広く使われています。主な欠点は、最大プログラミング速度が 400kbps しかないことです。AD9546 の I<sup>2</sup>C ポートは、400 kHz の高速モードと 100kHz の標準モードをサポートしています。

1.5V、1.8V、2.5V の I<sup>2</sup>C 動作をサポートするために、AD9546 は、オリジナルの I<sup>2</sup>C 仕様のすべての要求に厳密に従ってはいません。例えば、スルー・レートの制限やグリッチ・フィルタリングなどの仕様には対応していません。したがって、AD9546 は I<sup>2</sup>C に対応していますが、必ずしもすべての I<sup>2</sup>C 仕様を満たしているわけではありません。

AD9546 の I<sup>2</sup>C ポートは、シリアル・データ・ライン (SDA) とシリアル・クロック・ライン (SCL) で構成されています。I<sup>2</sup>C バス・システムにおいて、AD9546 はスレーブ・デバイスとしてシリアル・バス (データ・バス SDA とクロック・バス SCL) に接続します。つまり、AD9546 は I<sup>2</sup>C を生成しません。AD9546 は、一般的な 8 ビット・メモリ・アドレス指定ではなく、ダイレクト 16 ビット・メモリ・アドレス指定を使用します。

AD9546 では、I<sup>2</sup>C パケットの一部として転送される 7 ビット・スレーブ・アドレスを介して、4 個の個別スレーブ・デバイスが I<sup>2</sup>C バスを占有できます。その後の I<sup>2</sup>C コマンドには、一致するスレーブ・アドレスを持つデバイスだけが応答します。サポートされているデバイス・スレーブ・アドレスを表 103 に示します。

## I<sup>2</sup>C バスの特性

表 115 に、I<sup>2</sup>C の各種略号の概要を示します。

表 115. I<sup>2</sup>C バスの略号定義

| Abbreviation | Definition     |
|--------------|----------------|
| S            | Start          |
| Sr           | Repeated start |
| P            | Stop           |
| A            | Acknowledge    |
| $\bar{A}$    | Nonacknowledge |
| $\bar{W}$    | Write          |
| R            | Read           |

有効なデータ転送の例を図 141 に示します。各データ・ビットの転送には 1 個のクロック・パルスが必要です。SDA ライン上のデータは、クロックがハイのときに安定した状態でなければなりません。データ・ラインのハイまたはローの状態は、SCL ライン上のクロック信号がローのときのみ変更できます。

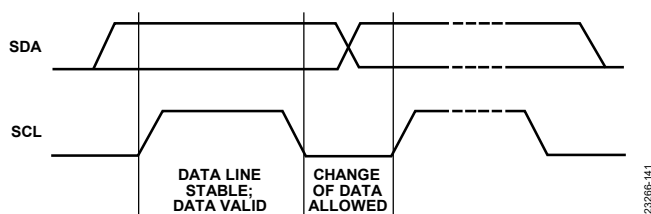


図 141. 有効なビット転送

開始および停止の機能を図 142 に示します。開始条件は、SCL がハイ・レベルの状態でも SDA ラインがハイ・レベルからロー・レベルへ遷移することです。マスタは、データ転送開始時には常に開始条件を生成します。停止条件は、SCL がハイ・レベルの状態でも SDA ラインがロー・レベルからハイ・レベルへ遷移することです。

マスタは、データ転送終了時には常に停止条件を生成します。SDA ラインは、常に 8 ビット (1 バイト) を転送する必要があります。各バイトはアックノレッジ・ビットを伴う必要があります。バイトは MSB ファーストで送信されます。

アックノレッジ・ビット (A) は、8 ビットのデータ・バイトの末尾に付けられる 9 番目のビットです。これは、バイトが受信されたことをトランスミッタに知らせるために、常にレシーバーによって生成されます。アックノレッジは、8 ビットの各データ・バイトの後の 9 番目のクロック・パルスの間に、SDA ラインをロー・レベルにすることによって行われます。

非アックノレッジ・ビット ( $\bar{A}$ ) は、8 ビットのデータ・バイトの末尾に付けられる 9 番目のビットです。これは、バイトが受信されていないことをトランスミッタに知らせるために、常にレシーバーによって生成されます。非アックノレッジは、8 ビットの各データ・バイトの後の 9 番目のクロック・パルスの間に、SDA ラインをハイ・レベルのままにすることによって行われます。非アックノレッジ・ビットの送信後、AD9546 の I<sup>2</sup>C ステート・マシンはアイドル状態になります。

## データ転送プロセス

マスタは、開始条件をアサートすることによってデータ転送を開始します。これは、その後データ・ストリームが続くことを示します。シリアル・バスに接続されたすべての I<sup>2</sup>C スレーブ・デバイスが、この開始条件に応答します。

その後マスタは、SDA ラインを通じ、7 ビットのスレーブ・アドレス (MSB ファースト) と R/W ビットで構成される 8 ビットのアドレス・バイトを送信します。このビットはデータ転送の方向、つまり、データをスレーブ・デバイスに書き込むのか、あるいはスレーブ・デバイスから読み出すのかを決定します (ロジック 0 は書き込み、ロジック 1 は読み出しを示します)。

転送されたアドレスに対応する周辺機器は、アックノレッジ・ビットを送ることによってこれに応答します。選択されたデバイスが、そのデバイスとの間で読み書きされるデータを待つ間、バス上の他のすべてのデバイスはアイドル状態を維持します。

R/W ビットがロジック 0 の場合は、マスタ (トランスミッタ) がスレーブ・デバイス (レシーバー) に書き込みを行います。R/W ビットがロジック 1 の場合は、マスタ (レシーバー) がスレーブ・デバイス (トランスミッタ) から読み出しを行います。

これらのコマンドの読み出しおよび書き込みフォーマットについては、データ転送フォーマットのセクションを参照してください。

読み出されたデータは、シリアル・バスを介し 9 個のクロック・パルスを使った形式で送信されます。この形式は、マスタ (書き込みモード) またはスレーブ (読み出しモード) からの 1 データ・バイト (8 ビット) と、その後続く受信側デバイスからのアックノレッジ・ビットで構成されます。このプロトコルでは、任意のバイト数で構成されたデータを転送することができます (つまり、ペイロード・サイズに制限はありません)。書き込みモードでは、スレーブ・アドレス・バイトの直後にある最初の 2 データ・バイトが、内部メモリ (制御レジスタ) のアドレス・バイトです (アドレス値が大きい方のバイトが先)。このアドレス指定方法では、最大  $2^{16} - 1 = 65,535$  個のメモリ・アドレスを使用できます。これら 2 つのメモリ・アドレス・バイトの後のデータ・バイトが、コントロール・レジスタとの間で読み書きされるレジスタ・データです。読み出しモードでは、スレーブ・アドレス・バイトの後に続くデータ・バイトは、制御レジスタとの間で読み書きされるレジスタ・データで構成されます。

全データ・バイトの読み出しまたは書き込みが終了すると、停止条件が設定されます。書き込みモードでは、スレーブ・デバイス (レシーバー) からの最終データ・バイトに対するアックノレッジ・ビットに続くクロック・パルスの間に、マスタ・デバイス (トランスミッタ) が停止条件をアサートしてデータ転送を終了します。



読出しモードでは、マスタ・デバイス（レシーバー）がスレーブ・デバイス（トランスミッタ）からの最後のデータ・バイトを受信しても、9番目のクロック・パルス（非アクノレッジ・ビット）でSDAをロー・レベルにはしません。スレーブ・デバイスは、非アクノレッジ・ビットを受信することによってデータ転送が終了したことを認識し、アイドル・モードに入ります。

マスタ・デバイスは、これに続き10番目のクロック・パルスの前のロー状態のときにデータ・ラインをロー・レベルにして、更に10番目のクロック・パルスで停止条件をアサートします。

停止条件の代わりに開始条件を使用することもできます。更に、開始または停止条件はいつでもアサートできます。また、一部しか転送されなかったバイトは破棄されます。

## データ転送フォーマット

書込みバイト・フォーマットは、指定されたRAMアドレスで始まるRAMに、レジスタ・アドレスを書き込むために使用します（表 116 参照）。送信バイト・フォーマットは、その後続く読出しのためのレジスタ・アドレスを設定するために使用します（表 117 参照）。受信バイト・フォーマットは、現在のアドレスで始まるRAMからデータ・バイトを読み出すために使用します（表 118 参照）。読出しバイト・フォーマットは、送信バイトと受信バイトを組み合わせたフォーマットです（表 119 参照）。

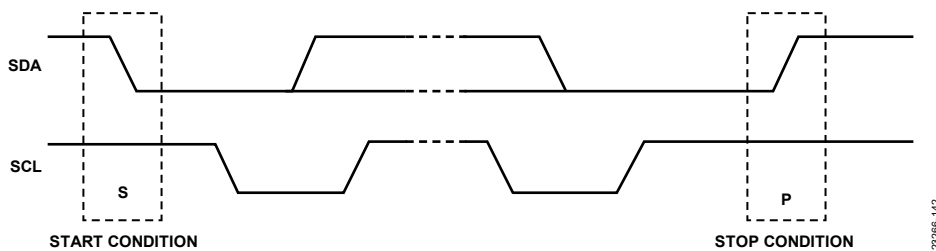


図 142. 開始および停止条件

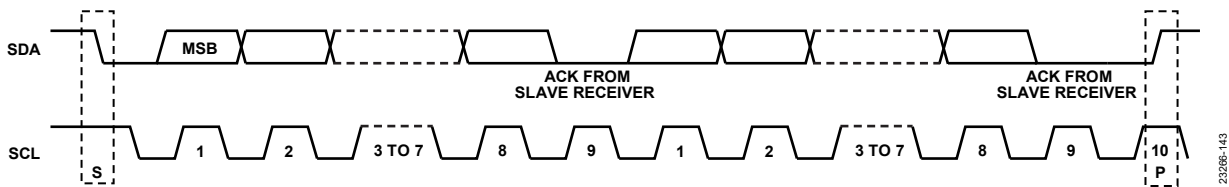


図 143. アクノレッジ・ビット

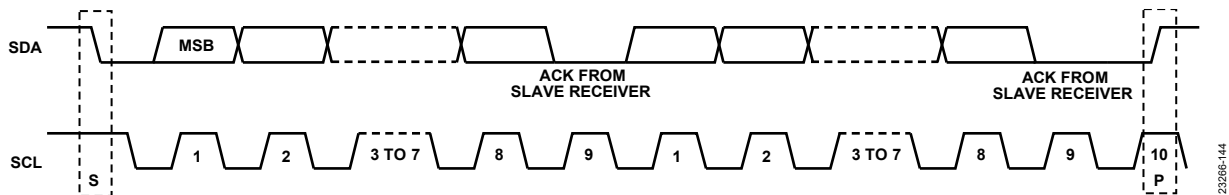


図 144. データ転送プロセス（マスタ書込みモード、2バイト転送）

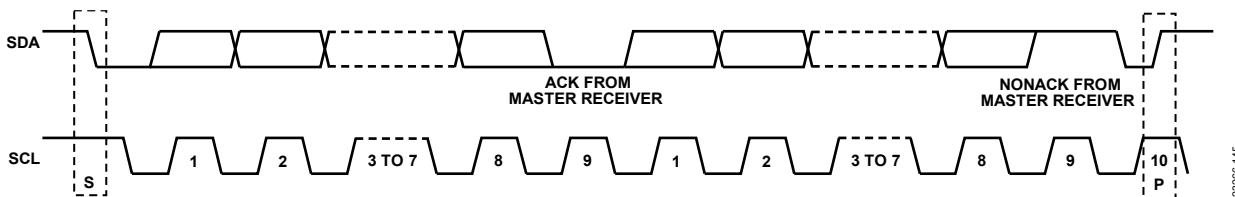


図 145. データ転送プロセス（マスタ読出しモード、2バイト転送）、スレーブからの最初のアクノレッジ

表 116. 書き込みバイト・フォーマット

|   |               |                |   |                       |   |                      |   |            |   |            |   |            |   |   |
|---|---------------|----------------|---|-----------------------|---|----------------------|---|------------|---|------------|---|------------|---|---|
| S | Slave address | $\overline{W}$ | A | RAM address high byte | A | RAM address low byte | A | RAM Data 0 | A | RAM Data 1 | A | RAM Data 2 | A | P |
|---|---------------|----------------|---|-----------------------|---|----------------------|---|------------|---|------------|---|------------|---|---|

表 117. 送信バイト・フォーマット

|   |               |                |   |                       |   |                      |   |   |
|---|---------------|----------------|---|-----------------------|---|----------------------|---|---|
| S | Slave address | $\overline{W}$ | A | RAM address high byte | A | RAM address low byte | A | P |
|---|---------------|----------------|---|-----------------------|---|----------------------|---|---|

表 118. 受信バイト・フォーマット

|   |               |   |   |            |   |            |   |            |                |   |
|---|---------------|---|---|------------|---|------------|---|------------|----------------|---|
| S | Slave address | R | A | RAM Data 0 | A | RAM Data 1 | A | RAM Data 2 | $\overline{A}$ | P |
|---|---------------|---|---|------------|---|------------|---|------------|----------------|---|

表 119. 読出しバイト・フォーマット

|   |               |                |   |                       |   |                      |   |    |               |   |   |            |   |            |   |            |                |   |
|---|---------------|----------------|---|-----------------------|---|----------------------|---|----|---------------|---|---|------------|---|------------|---|------------|----------------|---|
| S | Slave address | $\overline{W}$ | A | RAM address high byte | A | RAM address low byte | A | Sr | Slave address | R | A | RAM Data 0 | A | RAM Data 1 | A | RAM Data 2 | $\overline{A}$ | P |
|---|---------------|----------------|---|-----------------------|---|----------------------|---|----|---------------|---|---|------------|---|------------|---|------------|----------------|---|

### I<sup>2</sup>C シリアル・ポートのタイミング

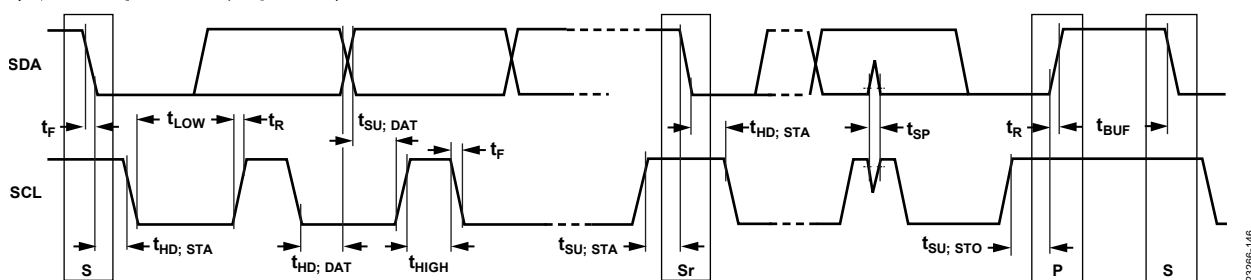
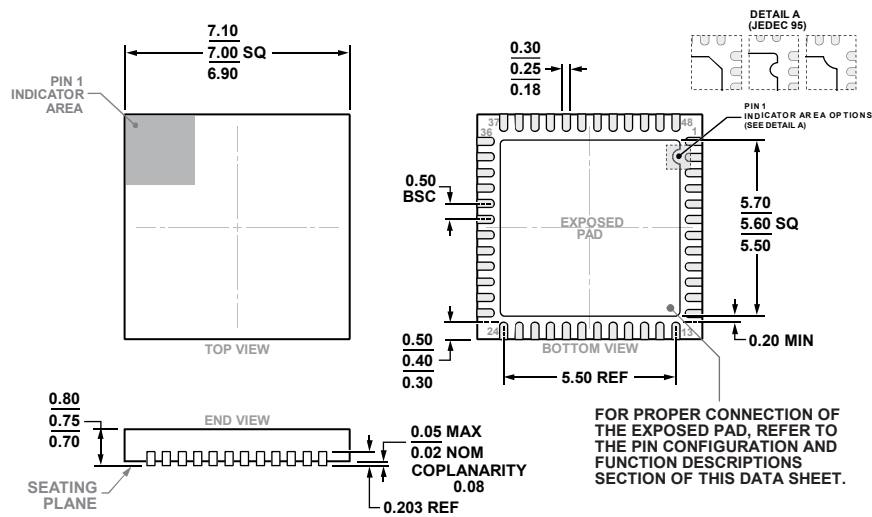


図 146. I<sup>2</sup>C シリアル・ポートのタイミング

表 120. I<sup>2</sup>C タイミング定義

| パラメータ                | 説明                         |
|----------------------|----------------------------|
| t <sub>BUF</sub>     | 停止条件と開始条件の間のバス空き時間         |
| t <sub>HD; STA</sub> | 反復ホールド時間の開始条件              |
| t <sub>SU; STA</sub> | 反復開始条件セットアップ・タイム           |
| t <sub>SU; STO</sub> | 停止条件セットアップ・タイム             |
| t <sub>HD; DAT</sub> | データ・ホールド時間                 |
| t <sub>SU; DAT</sub> | データ・セットアップ時間               |
| t <sub>LOW</sub>     | SCL クロック・ロー時間              |
| t <sub>HIGH</sub>    | SCL クロック・ハイ時間              |
| t <sub>R</sub>       | 最小/最大受信 SCL および SDA 立上がり時間 |
| t <sub>F</sub>       | 最小/最大受信 SCL および SDA 立下がり時間 |
| t <sub>SP</sub>      | 入力フィルタによって抑制すべき電圧スパイクのパルス幅 |

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WKKD-4.

図 147. 48ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP]  
 7mm × 7mm ボディ、0.75mm パッケージ高  
 (CP-48-13)  
 寸法：mm

オーダー・ガイド

| Model <sup>1</sup> | Temperature Range | Package Description                           | Package Option |
|--------------------|-------------------|---|----------------|
| AD9546BCPZ         | -40°C to +85°C    | 48-Lead Lead Frame Chip Scale Package [LFCSP] | CP-48-13       |
| AD9546BCPZ-REEL7   | -40°C to +85°C    | 48-Lead Lead Frame Chip Scale Package [LFCSP] | CP-48-13       |
| AD9546/PCBZ        | -40°C to +85°C    | Evaluation Board                              |                |

<sup>1</sup> Z = RoHS 準拠製品

PC は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。