



4 入力 5 出力のデュアル DPLL シンクロナイザおよび 適応型クロック変換器

データシート

AD9542

特長

デュアル DPLL が 2 kHz ~ 750 MHz の物理層クロックを同期し、ノイズの多いリファレンスのジッタ・クリーニングを行って周波数を変換

ITU-T G.8262 と Telcordia GR-253 に準拠

Telcordia GR-1244、ITU-T G.812、G.813、G.823、G.824、G.825 に対応

最小 50 ppb の周波数偏差を実現する連続的な周波数モニタリングとリファレンス検証

DPLL はいずれも 24 ビットのプログラマブル係数による 24 ビット・フラクショナル分周器を実装

プログラマブルなデジタル・ループ・フィルタ帯域幅: 10⁻⁴ Hz ~ 1850 Hz

ゼロ遅延、ヒットレス、位相ビルドアウトなどの動作を提供する自動および手動のホールドオーバーとリファレンス・スイッチオーバー

プログラマブルな優先度をベースにしたリファレンス・スイッチング (手動、自動復帰、自動非復帰モードをサポート)

5 ペアのクロック出力ピン。各ペアを差動 LVDS/HCSL/CML または 2 つのシングルエンド出力 (1 Hz ~ 500 MHz) として使用可能

2 つの差動入力リファレンス、または 4 つのシングルエンド入力リファレンス

クロスポイント・マルチプレクサによりリファレンス入力を PLL に接続

埋め込み (変調) 入出力クロック信号に対応

高速 DPLL ロック・モード

水晶共振器または水晶発振器の低位相ノイズと TCXO または OCXO の周波数安定性および精度を組み合わせる機能を内蔵

外付け EEPROM による自律的な初期化

内部レギュレータによる 1.8 V の単電源動作

ゼロ遅延性能向上のための内蔵温度モニタ/アラームと温度補償

アプリケーション

SyncE ジッタ・クリーンアップおよび同期

光伝送網 (OTN)、SDH、マクロ・セルおよびスモール・セル基地局

ジッタ・クリーニングを伴う OTN マッピング/デマッピング ベースバンドおよび無線を含む小型基地局のクロック

Stratum 2、Stratum 3e、Stratum 3 ホールドオーバー、ジッタ・クリーンアップ、および位相トランジェント制御

A/D コンバータ (ADC) および D/A コンバータ (DAC) のクロック駆動における JESD204B のサポート

ケーブル・インフラストラクチャ

キャリア・イーサネット

概要

AD9542 の 10 個のクロック出力は、最大で 4 つの入力リファレンスのいずれか 1 つに同期しています。デジタル・フェーズ・ロック・ループ (DPLL) により、外部リファレンスに関するタイミング・ジッタを低減します。すべてのリファレンス入力を使用できなくなった場合でも、デジタル制御されたループおよびホールドオーバー回路が、低ジッタの出力信号を引き続き生成します。

AD9542 は 7 mm × 7 mm の 48 ピン LFCSP パッケージを採用しており、-40 °C ~ +85 °C の温度範囲で動作します。

このデータシートでは、複数の機能を備えたピンを表記する際には SDOM5 のようにすべてのピン名で表記しますが、特定の機能のみが関係する箇所では M5 のように 1 つのピン機能で表記します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2017 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	システム・クロック PLL.....	29
アプリケーション.....	1	システム・クロック入力周波数の宣言.....	29
概要.....	1	システム・クロック源.....	29
改訂履歴.....	3	周波数 2 通倍器.....	29
機能ブロック図.....	4	プリスケール分周器.....	29
仕様.....	5	帰還分周器.....	30
電源電圧.....	5	システム・クロック PLL の出力周波数.....	30
電源電流.....	5	システム・クロック PLL のロック検出器.....	30
消費電力.....	5	システム・クロック安定性タイマー.....	30
システム・クロック入力 (XOA および XOB).....	6	システム・クロックの入力終端に関する推奨事項.....	30
リファレンス入力.....	7	デジタル PLL (DPLL).....	31
リファレンス・モニタ.....	8	概要.....	31
DPLL の位相特性.....	8	DPLL 位相/周波数ロック検出器.....	31
分配クロック出力.....	9	DPLL ループ・コントローラ.....	31
デジタル機能の所要時間.....	10	アプリケーション情報.....	32
デジタル PLL (DPLL0、DPLL1) 仕様.....	10	光ネットワーク用ライン・カード.....	32
デジタル PLL ロック検出仕様.....	11	スモール・セル基地局.....	33
ホールドオーバー仕様.....	11	初期化シーケンス.....	34
アナログ PLL (APLL0、APLL1) 仕様.....	11	ステータス/制御ピン.....	37
出力チャンネル分周器仕様.....	11	リセット/パワーアップ時の多機能ピン.....	37
システム・クロック補償仕様.....	12	ステータス機能.....	38
温度センサー仕様.....	12	制御機能.....	38
シリアル・ポート仕様.....	12	割込み要求 (IRQ).....	43
ロジック入力仕様 (RESETB、M0 ~ M6).....	14	IRQ モニタ.....	43
ロジック出力仕様 (M0 ~ M6).....	14	IRQ マスク.....	43
ジッタ生成 (ランダム・ジッタ).....	14	IRQ クリア.....	43
位相ノイズ.....	15	ウォッチドッグ・タイマー.....	45
絶対最大定格.....	18	ロック検出器.....	46
熱抵抗.....	18	DPLL ロック検出器.....	46
ESD に関する注意事項.....	18	位相ステップ検出器.....	48
ピン配置およびピン機能の説明.....	19	位相ステップ・リミット.....	48
代表的な性能特性.....	21	スキュー調整.....	49
用語の定義.....	25	EEPROM の使用.....	50
動作原理.....	26	概要.....	50
概要.....	26	EEPROM コントローラの一般的動作.....	50
リファレンス入力の物理的接続.....	26	EEPROM 命令セット.....	51
推奨される入出力の終端処理.....	27	マルチデバイス・サポート.....	53
システム・クロック入力.....	27	シリアル制御ポート.....	55
リファレンス・クロック入力.....	27	SPI/PC ポートの選択.....	55
クロック出力.....	28	SPI シリアル・ポートの動作.....	55

PC シリアル・ポートの動作.....	58	オーダー・ガイド.....	61
外形寸法.....	61		

改訂履歴

9/2017—Revision 0: Initial Version

機能ブロック図

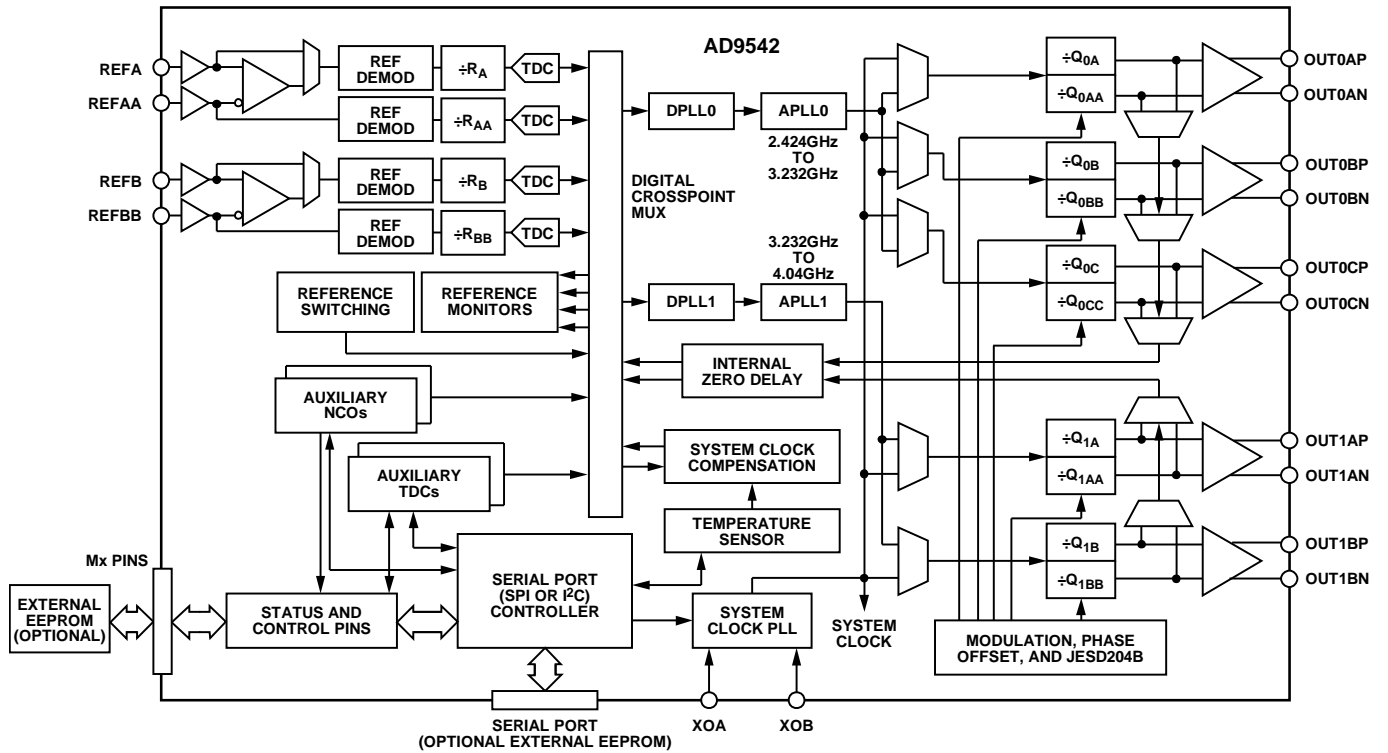


図 1.

15825-001

仕様

最小値と最大値は、電源電圧と動作温度の変化の全範囲に対応しています。代表値は、特に指定のない限り VDD = 1.8 V、T_A = 25 °C における値です。

電源電圧

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY VOLTAGE					
VDDIOA, VDDIOB	1.71	1.8	3.465	V	1.8 V, 2.5 V, and 3.3 V operation supported
VDD	1.71	1.8	1.89	V	

電源電流

最大電源電流の仕様は、表 1 に示す最大電源電圧値に基づいています。代表的な電源電流の仕様は、表 1 に示す代表的な電源電圧値に基づいています。最小電源電流の仕様は、表 1 に示す最小電源電圧値に基づいています。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY CURRENT FOR TYPICAL CONFIGURATION					The Typical Configuration specification in Table 3 is the basis for the values shown in this section
I _{VDDIOx}		5	8	mA	Aggregate current for all VDDIOx pins (where x = A or B)
I _{VDD}	260	310	355	mA	Aggregate current for all VDD pins
SUPPLY CURRENT FOR ALL BLOCKS RUNNING CONFIGURATION					The All Blocks Running condition in Table 3 is the basis for the values shown in this section
I _{VDDIOx}		5	8	mA	Aggregate current for all VDDIOx pins (where x = A or B)
I _{VDD}	321	390	430	mA	Aggregate current for all VDD pins

消費電力

代表値は VDD = 1.8 V、最大値は VDD = 1.89 V における値です。

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER DISSIPATION					
Typical Configuration	445	560	671	mW	System clock = 49.152 MHz crystal; two DPLLs active; two 19.44 MHz input references in differential mode; two ac-coupled PLL0 CML output drivers at 245.76 MHz; and 2 PLL1 CML output drivers at 156.25 MHz
All Blocks Running	548	700	813	mW	System clock = 49.152 MHz crystal; two DPLLs active; two 19.44 MHz input references in differential mode; 3 ac-coupled PLL0 HCSL output drivers at 400 MHz; and two PLL1 HCSL output drivers at 400 MHz
Full Power-Down		125		mW	Based on the Typical Configuration specification with the power down all bit set to Logic 1
Incremental Power Dissipation					Based on the Typical Configuration specification; the values in this section indicate the change in power due to the indicated operation relative to the Typical Configuration specification
Complete DPLL/APLL On/Off		200		mW	Change in dissipated power relative to the Typical Configuration specification; the blocks, powered down, consist of 1 reference input, 1 DPLL, 1 APLL, 2 channel dividers, and 2 output drivers
Incremental Power Dissipation Complete DPLL/APLL On/Off		200		mW	Based on the Typical Configuration specification; the values in this section indicate the change in power due to the indicated operation relative to the Typical Configuration specification; the blocks, powered down, consist of one reference input, one DPLL, one APLL, two channel dividers, and two output drivers

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Input Reference On/Off					
Differential (Normal Mode)		20		mW	$f_{REF} = 19.44$ MHz
Differential (DC-Coupled LVDS)		21		mW	$f_{REF} = 19.44$ MHz
Single-Ended		13		mW	$f_{REF} = 19.44$ MHz
Output Distribution Driver On/Off					At 156.25 MHz
15 mA Mode		30		mW	
12 mA Mode		23		mW	
7.5 mA Mode		15		mW	
Auxiliary DPLL On/Off		1		mW	

システム・クロック入力 (XOA および XOB)

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SYSTEM CLOCK MULTIPLIER					
Output Frequency Range	2250		2415	MHz	The frequency range of the internal voltage controlled oscillator (VCO) places limits on the choice of the system clock input frequency
Phase Frequency Detector (PFD) Rate	20		300	MHz	
SYSTEM CLOCK REFERENCE INPUT PATH					System clock input must be ac-coupled
Input Frequency Range					
System Clock Input Doubler					
Disabled	20		300	MHz	Support of oven controlled crystal oscillators (OCXOs) < 20 MHz is possible using the auxiliary DPLL for system clock frequency compensation
Enabled	16		150	MHz	
Self Biased Common-Mode Voltage		0.75		V	Internally generated
Input Voltage					
High	0.9			V	For dc-coupled, single-ended operation
Low			0.5	V	For dc-coupled, single-ended operation
Differential Input Voltage Sensitivity	250			mV p-p	Minimum voltage swing required (as measured with a differential probe) across the XOA/XOB pins to ensure switching between logic states; the instantaneous voltage on either pin must not exceed 1.2 V; accommodate the single-ended input by ac grounding the complementary input; 800 mV p-p recommended for optimal jitter performance
Slew Rate for Sinusoidal Input	50			V/ μ s	Minimum input slew rate for device operation; oscillators with square wave outputs are recommended if not using a crystal
System Clock Input Divider (J Divider) Frequency	100			MHz	
System Clock Input Doubler Duty Cycle					Tolerable duty cycle variation on the system clock input when using the frequency doubler
20 MHz to 150 MHz	43	50	57	%	
16 MHz to 20 MHz	47	50	53	%	
Input Resistance		5		k Ω	
QUARTZ CRYSTAL RESONATOR PATH					
Resonator Frequency Range	25		60	MHz	Fundamental mode, AT cut crystal
Crystal Motional Resistance			100	Ω	A maximum motional resistance of 50 Ω , and maximum C_{LOAD} of 8 pF is strongly recommended for crystals >52 MHz

リファレンス入力

表 5.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DIFFERENTIAL MODE					
Differential mode specifications assume ac coupling of the input signal to the reference input pins					
Frequency Range					
Sinusoidal Input			750	MHz	Lower limit dependent on input slew rate
LVPECL Input	2000		750×10^6	Hz	Lower limit dependent on ac coupling
LVDS Input	2000		500×10^6	Hz	Assumes an LVDS minimum of 494 mV p-p differential amplitude; lower limit dependent on ac coupling
Slew Rate for Sinusoidal input	20			V/ μ s	Minimum input slew rate for device operation; jitter degradation may occur for slew rates < 35 V/ μ s
Common-Mode Input Voltage		0.64		V	Internally generated self bias voltage
Differential Input Amplitude					Peak-to-peak differential voltage swing across pins required to ensure switching between logic levels as measured with a differential probe; instantaneous voltage on either pin must not exceed 1.3 V
$f_{IN} < 500$ MHz	350		2100	mV p-p	
$f_{IN} = 500$ MHz to 750 MHz	500		2100	mV p-p	
Differential Input Voltage Hysteresis		55	100	mV	
Input Resistance		16		k Ω	Equivalent differential input resistance
Input Pulse Width					
LVPECL	600			ps	
LVDS	900			ps	
DC-COUPLED, LVDS-COMPATIBLE MODE					
Applies for dc-coupling to an LVDS source					
Frequency Range	2000		450×10^6	Hz	
Common-Mode Input Voltage	1.125		1.375	V	
Differential Input Amplitude	400		1200	mV p-p	Differential voltage across pins required to ensure switching between logic levels; instantaneous voltage on either pin must not exceed the supply rails
Differential Input Voltage Hysteresis		55	100	mV	
Input Resistance		16		k Ω	
Input Pulse Width	1			ns	
SINGLE-ENDED MODE					
Single-ended mode specifications assume dc coupling of the input signal to the reference input pins					
Frequency Range					
1.2 V AC-Coupled	2000		500×10^6	Hz	Lower limit dependent on ac-coupling
1.2 V and 1.8 V CMOS	2000		500×10^6	Hz	CMOS specifications assume dc coupling of the input signal to the reference input pins
1.2 V AC-Coupled Common-Mode Voltage		610		mV	Internally generated self-bias voltage
Input Amplitude (Single-Ended, AC-Coupled Mode)	360		1200	mV p-p	Peak-to-peak single-ended voltage swing; instantaneous voltage must not exceed 1.3 V
1.2 V and 1.8 V CMOS Input Voltage					
High, V_{IH}	$0.65 \times V_{REF}$		$1.15 \times V_{REF}$	V	V_{REF} is determined by operating mode of the CMOS input receiver, 1.2 V or 1.8 V
Low, V_{IL}			$0.35 \times V_{REF}$	V	
Input Resistance					
DC-Coupled Single-Ended Mode		30		k Ω	
AC-Coupled Single-Ended Mode		15		k Ω	
Input Pulse Width	900			ps	

リファレンス・モニタ

表 6.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
REFERENCE MONITORS					
Reference Monitor					
Loss of Reference Detection Time		$4.9 + 0.13 \times t_{\text{PFD}}$		μs	t_{PFD} is the nominal phase detector period, R/f_{REF} , where R is the frequency division factor determined by the R divider, and f_{REF} is the frequency of the active reference
Frequency Out of Range Limits	5×10^{-8}		0.015	ppb	Parts per billion (ppb) is defined as $\Delta f/f_{\text{REF}}$, where Δf is the frequency deviation, and f_{REF} is the reference input frequency; programmable with the lower bound, subject to quality of the system clock (or the source of system clock compensation)
Validation Timer	0.001		1048	sec	Programmable in 1 ms increments
Excess Jitter Alarm Threshold	1		65535	ns	Programmable in 1 ns increments

DPLL の位相特性

表 7.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
MAXIMUM OUTPUT PHASE PERTURBATION					
Phase Refinement Disabled					Assumes a jitter free reference; satisfies Telcordia GR-1244-CORE requirements; 0 ppm frequency difference between references; reference switch initiated via register map (see the AD9542 Register Map Reference Manual) by faulting the active reference input 50 Hz DPLL loop bandwidth; normal phase margin mode; frequency translation = 19.44 MHz to 155.52 MHz; 49.152 MHz signal generator used for system clock source
Peak		± 20	± 140	ps	
Steady State					
Phase Buildout Operation		± 18	± 125	ps	
Hitless Operation		0		ps	
Phase Refinement Enabled					50 Hz DPLL loop bandwidth; high phase margin mode; phase refinement iterations = 4; frequency translation = 19.44 MHz to 155.52 MHz; 49.152 MHz signal generator used for system clock source
Peak		± 5	± 40	ps	
Steady State					
Phase Buildout Operation		± 4	± 35	ps	
Hitless Operation		0		ps	
PHASE SLEW LIMITER	0.001		250	$\mu\text{s}/\text{sec}$	See the AN-1420 Application Note, <i>Phase Buildout and Hitless Switchover with Digital Phase-Locked Loops (DPLLs)</i>

分配クロック出力

表 8.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DIFFERENTIAL MODE					
Output Frequency					All testing is both ac-coupled and dc-coupled Frequency range determined by driver functionality; actual frequency synthesis may be limited by the APLL VCO frequency range
CML	1		500×10^6	Hz	Terminated per Figure 33
HCSL	1		500×10^6	Hz	Terminated per Figure 32
Differential Output Voltage Swing					Voltage between output pins measured with output driver static; peak-to-peak differential output amplitude is twice that shown when driver is toggling and measured using a differential probe
Output Current = 7.5 mA					
HCSL	312	368	402	mV	Terminated per Figure 32
CML	257	348	408	mV	Terminated to VDD (nominal 1.8 V) per Figure 33
Output Current = 15 mA					
HCSL	631	745	809	mV	Terminated per Figure 32
CML	578	729	818	mV	Terminated to VDD (nominal 1.8 V) per Figure 33
Common-Mode Output Voltage					
Output Current = 7.5 mA					
HCSL	155	184	201	mV	Terminated per Figure 32
CML	VDD - 208	VDD - 188	VDD - 169	mV	Terminated to VDD (nominal 1.8 V) per Figure 33 (maximum common-mode voltage case occurs at the minimum amplitude)
Output Current = 15 mA					
HCSL	316	372	405	mV	Terminated per Figure 32
CML	VDD - 416	VDD - 371	VDD - 327	mV	Terminated to VDD (nominal 1.8 V) per Figure 33 (maximum common-mode voltage case occurs at the minimum amplitude)
SINGLE-ENDED MODE					
Output Frequency	1		500×10^6	Hz	Frequency range determined by driver functionality; actual frequency synthesis may be limited by the APLL VCO frequency range
Output Current = 12 mA					
Voltage Swing (Peak-to-Peak)					
HCSL Driver Mode	509	584	634	mV	Each output terminated per Figure 37 with $R_L = 50 \Omega$
CML Driver Mode	456	565	644	mV	Each output terminated per Figure 37 with $R_L = 50 \Omega$ connected to VDD (nominal 1.8 V) instead of GND
Voltage Swing Midpoint					
HCSL Driver Mode	255	292	317	mV	Each output terminated per Figure 37 with $R_L = 50 \Omega$
CML Driver Mode	VDD - 325	VDD - 291	VDD - 266	mV	Each output terminated per Figure 37 with $R_L = 50 \Omega$ connected to VDD (nominal 1.8 V) instead of GND
Output Current = 15 mA					
Voltage Swing (Peak-to-Peak)					
HCSL Driver Mode	645	734	796	mV	Each output terminated per Figure 37 with $R_L = 50 \Omega$
CML Driver Mode	589	721	815	mV	Each output terminated per Figure 37 with $R_L = 50 \Omega$ connected to VDD (nominal 1.8 V) instead of GND
Voltage Swing Midpoint					
HCSL Driver Mode	322	367	398	mV	Each output terminated per Figure 37 with $R_L = 50 \Omega$
CML Driver Mode	VDD - 411	VDD - 367	VDD - 334	mV	Each output terminated per Figure 37 with $R_L = 50 \Omega$ connected to VDD (nominal 1.8 V) instead of GND

デジタル機能の所要時間

表 9.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
TIME DURATION OF DIGITAL FUNCTIONS					
EEPROM to Register Download Time		10		ms	Using the Typical Configuration from Table 3
Power-On Reset (POR)			25	ms	Time from power supplies > 80% to release of internal reset
Mx Pin to RESETB Rising Edge Setup Time			1	ns	Mx refers to Pin M0 through Pin M6
Mx Pin to RESETB Rising Edge Hold Time			2	ns	
Multiple Mx Pin Timing Skew			39	ns	Applies only to multibit Mx pin functions
RESETB Falling Edge to Mx Pin High-Z Time			14	ns	
TIME FROM START OF DPLL ACTIVATION TO ACTIVE PHASE DETECTOR OUTPUT					
Untagged Operation			10	t _{PPD}	t _{PPD} is the nominal phase detector period given by R/f _{REF} , where R is the frequency division factor determined by the R divider, and f _{REF} is the frequency of the active reference
Tagged Operation			10	Tag period	Tag period = (tag ratio/f _{TAG}), where f _{TAG} is either f _{REF} (for tagged reference mode) or f _{FEEDBACK} (for all other tagged modes); the tag ratio corresponds to the selection of f _{TAG}

デジタル PLL (DPLL0、DPLL1) 仕様

表 10.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DIGITAL PLL					
Digital Phase Detector (DPD) Input Frequency Range	1		2 × 10 ⁵	Hz	
Loop Filter					
Profile 0					
Bandwidth	0.0001		1850	Hz	Programmable design parameter; (f _{PPD} /bandwidth) ≥ 20
Phase Margin		70		Degrees	
Closed-Loop Peaking		1.1		dB	
Profile 1					
Bandwidth	0.0001		305	Hz	Programmable design parameter; (f _{PPD} /bandwidth) ≥ 20
Phase Margin		88.5		Degrees	
Closed-Loop Peaking			0.1	dB	In accordance with Telcordia GR-253-CORE jitter transfer specifications
DIGITAL PLL NCO Division Ratio					
These specifications cover limitations on the DPLLx frequency tuning word (FTW0); the AD9542 evaluation software frequency planning wizard sets these values automatically for the user, and the AD9542 evaluation software is available for download from the AD9542 product page at www.analog.com/AD9542 ; NCO division = 2 ⁴⁸ /FTW0, which takes the form INT.FRAC, where INT is the integer portion, and FRAC is the fractional portion					
NCO Integer	7		13		This is the integer portion of NCO division
NCO Fraction	0.05		0.95		This is the fractional portion of NCO division

デジタル PLL ロック検出仕様

表 11.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
PHASE LOCK DETECTOR					
Threshold Programming Range	10		$2^{24} - 1$	ps	
Threshold Resolution		1		ps	
FREQUENCY LOCK DETECTOR					
Threshold Programming Range	10		$2^{24} - 1$	ps	
Threshold Resolution		1		ps	
PHASE STEP DETECTOR					
Threshold Programming Range	100		$2^{32} - 1$	ps	Setting this value too low causes false triggers
Threshold Resolution		1		ps	

ホールドオーバー仕様

表 12.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
HOLDOVER SPECIFICATIONS					
Initial Frequency Accuracy		± 0.01	± 0.1	ppb	AD9542 is configured using Configuration 1 from Table 21; excludes frequency drift of system clock (SYSCLK) source; excludes frequency drift of input reference prior to entering holdover; 160 ms history timer; history holdoff setting of 8; three holdover history features (bits) are enabled: delay history until frequency lock bit, delay history until phase lock bit, and delay holdover history accumulation until not phase slew limited bit
Relative Frequency Accuracy Between Channels					
Cascaded Operation		0		ppb	
History Averaging Window	0.001		268435	sec	

アナログ PLL (APLL0、APLL1) 仕様

表 13.

Parameter	Min	Typ	Max	Unit
VCO FREQUENCY RANGE				
Analog PLL0 (APLL0)	2424		3232	MHz
Analog PLL1 (APLL1)	3232		4040	MHz
PHASE FREQUENCY DETECTOR (PFD) INPUT FREQUENCY RANGE	162		350	MHz
LOOP BANDWIDTH		260		kHz
PHASE MARGIN		68		Degrees

出力チャンネル分周器仕様

表 14.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT PHASE ADJUST STEP SIZE	1			t_{VCO}	$t_{VCO} = 1 / (\text{APLLx VCO frequency})$, where $x = 0, 1$

システム・クロック補償仕様

表 15.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DIRECT COMPENSATION					
Resolution		0.028		ppt	ppt is parts per trillion (10^{-12})
CLOSED-LOOP COMPENSATION (AUXILIARY DPLL)					
Phase Detector Frequency	2		200	kHz	
Loop Bandwidth	0.1		2×10^3	Hz	
Reference Monitor Threshold		5		%	

温度センサー仕様

表 16.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
TEMPERATURE					
Accuracy					
Absolute		5		°C	$T_A = -50^\circ\text{C}$ to $+110^\circ\text{C}$
Relative		1.7		%	$T_A = -50^\circ\text{C}$ to $+110^\circ\text{C}$
Resolution		0.0078		°C	16-bit (signed) resolution
Conversion time		0.18		ms	
REPEATABILITY		± 0.02		°C	$T_A = 25^\circ\text{C}$
DRIFT		0.1		°C	500 hour stress test at 100°C

シリアル・ポート仕様

シリアル・ポート・インターフェース (SPI) モード

表 17.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CSB					Valid for VDDIOA = 3.3 V, 1.8 V, and 2.5 V
Input Logic 1 Voltage	VDDIOA - 0.4			V	
Input Logic 0 Voltage			0.4	V	
Input Logic 1 Current		1		μA	
Input Logic 0 Current		1		μA	
SCLK					
Input Logic 1 Voltage	VDDIOA - 0.4			V	
Input Logic 0 Voltage			0.4	V	
Input Logic 1 Current		1		μA	
Input Logic 0 Current		1		μA	
SDIO					
As an Input					
Input Logic 1 Voltage	VDDIOA - 0.4			V	
Input Logic 0 Voltage			0.4	V	
Input Logic 1 Current		1		μA	
Input Logic 0 Current		1		μA	
As an Output					
Output Logic 1 Voltage	VDDIOA - 0.2			V	1 mA load current
Output Logic 0 Voltage			0.2	V	1 mA load current
SDO					
Output Logic 1 Voltage	VDDIOA - 0.2			V	1 mA load current
Output Logic 0 Voltage			0.2	V	1 mA load current
Leakage Current			± 1	μA	SDO inactive (high impedance)
TIMING					Valid for VDDIOA = 3.3 V, 1.8 V, and 2.5 V

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SCLK					
Clock Rate, $1/t_{CLK}$			50	MHz	
Pulse Width High, t_{HIGH}	5			ns	
Pulse Width Low, t_{LOW}	9			ns	
SDIO to SCLK Setup, t_{DS}	2.2			ns	
SCLK to SDIO Hold, t_{DH}	0			ns	
SCLK to Valid SDIO and SDO, t_{DV}			9	ns	
CSB to SCLK Setup, t_S	1.5			ns	
CSB to SCLK Hold, t_C	0			ns	
CSB Minimum Pulse Width High	1			t_{CLK}	

I²C モード

表 18.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SDA, SCL (AS INPUTS)					Valid for VDDIOA = 3.3 V, 1.8 V, and 2.5 V
Input Logic 1 Voltage	70			% of VDDIOA	
Input Logic 0 Voltage			$0.3 \times V_{DDIOA}$	V	
Input Current	-10		+10	μA	For $V_{IN} = 10\%$ to 90% of VDDIOA
Hysteresis of Schmitt Trigger Inputs	1.5			% of VDDIOA	
SDA (AS OUTPUT)					
Output Logic 0 Voltage			0.2	V	$I_{OUT} = 3 \text{ mA}$
Output Fall Time from V_{IH} Minimum to V_{IL} Maximum	$20 + 0.1 \times C_B$		250	ns	$10 \text{ pF} \leq C_B \leq 400 \text{ pF}$
TIMING					
SCL Clock Rate			400	kHz	
Bus Free Time Between a Stop and Start Condition, t_{BUF}	1.3			μs	
Repeated Start Condition Setup Time, $t_{SU:STA}$	0.6			μs	
Repeated Hold Time Start Condition, $t_{HD:STA}$	0.6			μs	After this period, the first clock pulse is generated
Stop Condition Setup Time, $t_{SU:STO}$	0.6			μs	
Low Period of the SCL Clock, t_{LOW}	1.3			μs	
High Period of the SCL Clock, t_{HIGH}	0.6			μs	
SCL/SDA Rise Time, t_R	$20 + 0.1 \times C_B$		300	ns	
SCL/SDA Fall Time, t_F	$20 + 0.1 \times C_B$		300	ns	
Data Setup Time, $t_{SU:DAT}$	100			ns	
Data Hold Time, $t_{HD:DAT}$	100			ns	
Capacitive Load for Each Bus Line, C_B			400	pF	

ロジック入力仕様 (RESETB、M0 ~ M6)

表 19.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
RESETB					Valid for 3.3 V \geq VDDIOA \geq 1.8 V; internal 100 k Ω pull-up resistor
Input High Voltage (V_{IH})	VDDIOA - 0.4			V	
Input Low Voltage (V_{IL})			0.4	V	
Input Current High (I_{INH})		1		μ A	
Input Current Low (I_{INL})		± 15	± 125	μ A	
LOGIC INPUTS (M0 to M6)					Valid for 3.3 V \geq VDDIOx \geq 1.8 V; VDDIOA applies to the M5 pin and the M6 pin; VDDIOB applies to the M0, M1, M2, M3, and M4 pins; the M3 and M4 pins have internal 100 k Ω pull-down resistors
Frequency Range			51	MHz	
Input High Voltage (V_{IH})	VDDIOx - 0.4			V	
Input Low Voltage (V_{IL})			0.4	V	
Input Current (I_{INH} , I_{INL})		± 15	± 125	μ A	

ロジック出力仕様 (M0 ~ M6)

表 20.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments	
LOGIC OUTPUTS (M0 to M6)					Valid for 3.3 V \geq VDDIOx \geq 1.8 V; VDDIOA applies for the M5 and M6 pins; VDDIOB applies for M0 to M4; normal (default) output drive current setting for M0 through M6	
Frequency Range			26	MHz		
Output High Voltage (V_{OH})	VDDIOx - 0.6			V		Load current = 10 mA
	VDDIOx - 0.2			V		Load current = 1 mA
Output Low Voltage (V_{OL})			0.6	V		Load current = 10 mA
			0.2	V	Load current = 1 mA	

ジッタ生成 (ランダム・ジッタ)

表 21.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments	
JITTER GENERATION					System clock doubler enabled; high phase margin mode enabled; there is not a significant jitter difference between driver modes Channel 1 powered down	
Channel 0—DPLL0, APLL0						
RMS Jitter (12 kHz to 20 MHz)						
Configuration 1—155.52 MHz		223		fs		Device configuration: $f_{SYSCLK} = 52$ MHz XTAL, $f_{REF} = 38.88$ MHz, $f_{VCO} = 2488.32$ MHz, $f_{OUT} = 155.52$ MHz, $BW_{DPLL} = 50$ Hz, phase buildout operation
Configuration 2—245.76 MHz		220		fs		Device configuration: $f_{SYSCLK} = 52$ MHz XTAL, $f_{REF} = 30.72$ MHz, $f_{VCO} = 2457.6$ MHz, $f_{OUT} = 245.76$ MHz, $BW_{DPLL} = 50$ Hz, internal zero delay operation
Configuration 3—491.52 MHz		235		fs		Device configuration: $f_{SYSCLK} = 52$ MHz XTAL, $f_{COMP} = 19.2$ MHz temperature compensated crystal oscillator (TCXO), $BW_{COMP} = 50$ Hz, $f_{REF} = 1$ Hz, $f_{VCO} = 2949.12$ MHz, $f_{OUT} = 491.52$ MHz, $BW_{DPLL} = 50$ mHz, phase buildout operation
Configuration 4—125 MHz		213		fs		Device configuration: $f_{SYSCLK} = 52$ MHz XTAL, $f_{COMP} = 19.2$ MHz TCXO, $BW_{COMP} = 50$ Hz, $f_{REF} = 125$ MHz, $f_{VCO} = 2500$ MHz, $f_{OUT} = 125$ MHz, $BW_{DPLL} = 0.1$ Hz, phase buildout operation
Configuration 5—312.5 MHz		217		fs		Device configuration: $f_{SYSCLK} = 52$ MHz XTAL, $f_{REF} = 25$ MHz, $f_{VCO} = 2500$ MHz, $f_{OUT} = 312.5$ MHz, $BW_{DPLL} = 50$ Hz, phase buildout operation
Configuration 6—174.7030837 MHz		230		fs	Device configuration: $f_{SYSCLK} = 52$ MHz XTAL, $f_{REF} = 155.52$ MHz, $f_{VCO} = 2620.5463$ MHz, $f_{OUT} = (155.52 \times 255/227)$ MHz, $BW_{DPLL} = 50$ Hz	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Channel 1—DPLL1, APLL1 RMS Jitter (12 kHz to 20 MHz)					Channel 0 powered down
Configuration 1—155.52 MHz		247		fs	Device configuration: $f_{\text{SYSCLK}} = 52$ MHz XTAL, $f_{\text{REF}} = 38.88$ MHz, $f_{\text{VCO}} = 3265.92$ MHz, $f_{\text{OUT}} = 155.52$ MHz, $\text{BW}_{\text{DPLL}} = 50$ Hz, phase buildout operation, half divide enabled
Configuration 2—245.76 MHz		280		fs	Device configuration: $f_{\text{SYSCLK}} = 52$ MHz XTAL, $f_{\text{REF}} = 30.72$ MHz, $f_{\text{VCO}} = 3686.4$ MHz, $f_{\text{OUT}} = 245.76$ MHz, $\text{BW}_{\text{DPLL}} = 50$ Hz, half divide enabled, internal zero delay operation
Configuration 3—491.52 MHz		323		fs	Device configuration: $f_{\text{SYSCLK}} = 52$ MHz XTAL, $f_{\text{COMP}} = 19.2$ MHz TCXO, $\text{BW}_{\text{COMP}} = 50$ Hz, $f_{\text{REF}} = 1$ Hz, $f_{\text{VCO}} = 3932.16$ MHz, $f_{\text{OUT}} = 491.52$ MHz, $\text{BW}_{\text{DPLL}} = 50$ mHz, phase buildout operation
Configuration 4—125 MHz		243		fs	Device configuration: $f_{\text{SYSCLK}} = 52$ MHz XTAL, $f_{\text{COMP}} = 19.2$ MHz TCXO, $\text{BW}_{\text{COMP}} = 50$ Hz, $f_{\text{REF}} = 125$ MHz, $f_{\text{VCO}} = 3250$ MHz, $f_{\text{OUT}} = 125$ MHz, $\text{BW}_{\text{DPLL}} = 0.1$ Hz, phase buildout operation
Configuration 5—312.5 MHz		266		fs	Device configuration: $f_{\text{SYSCLK}} = 52$ MHz XTAL, $f_{\text{REF}} = 25$ MHz, $f_{\text{VCO}} = 3750$ MHz, $f_{\text{OUT}} = 312.5$ MHz, $\text{BW}_{\text{DPLL}} = 50$ Hz, phase buildout operation
Configuration 6—174.7030837 MHz		264		fs	Device configuration: $f_{\text{SYSCLK}} = 52$ MHz XTAL, $f_{\text{REF}} = 155.52$ MHz, $f_{\text{VCO}} = 3319.3586$ MHz, $f_{\text{OUT}} = (155.52 \times 255/227)$ MHz, $\text{BW}_{\text{DPLL}} = 50$ Hz, phase buildout operation

位相ノイズ

表 22.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
PHASE NOISE					System clock doubler enabled; high phase margin mode enabled; there is not a significant jitter difference between driver modes Channel 1 powered down
Channel 0—DPLL0, APLL0 RMS Jitter (12 kHz to 20 MHz)					
Configuration 1—155.52 MHz					Device configuration: $f_{\text{SYSCLK}} = 52$ MHz XTAL, $f_{\text{REF}} = 38.88$ MHz, $f_{\text{VCO}} = 2488.32$ MHz, $f_{\text{OUT}} = 155.52$ MHz, $\text{BW}_{\text{DPLL}} = 50$ Hz, phase buildout operation
10 Hz Offset		-81		dBc/Hz	
100 Hz Offset		-98		dBc/Hz	
1 kHz Offset		-118		dBc/Hz	
10 kHz Offset		-128		dBc/Hz	
100 kHz Offset		-134		dBc/Hz	
1 MHz Offset		-144		dBc/Hz	
10 MHz Offset		-158		dBc/Hz	
Floor		-161		dBc/Hz	
Configuration 2—245.76 MHz					Device configuration: $f_{\text{SYSCLK}} = 52$ MHz XTAL, $f_{\text{REF}} = 30.72$ MHz, $f_{\text{VCO}} = 2457.6$ MHz, $f_{\text{OUT}} = 245.76$ MHz, $\text{BW}_{\text{DPLL}} = 50$ Hz, internal zero delay operation
10 Hz Offset		-77		dBc/Hz	
100 Hz Offset		-93		dBc/Hz	
1 kHz Offset		-114		dBc/Hz	
10 kHz Offset		-125		dBc/Hz	
100 kHz Offset		-130		dBc/Hz	
1 MHz Offset		-140		dBc/Hz	
10 MHz Offset		-156		dBc/Hz	
Floor		-161		dBc/Hz	
Configuration 3—491.52 MHz					Device configuration: $f_{\text{SYSCLK}} = 52$ MHz XTAL, $f_{\text{COMP}} = 19.2$ MHz TCXO, $\text{BW}_{\text{COMP}} = 50$ Hz, $f_{\text{REF}} = 1$ Hz, $f_{\text{VCO}} = 2949.12$ MHz, $f_{\text{OUT}} = 491.52$ MHz, $\text{BW}_{\text{DPLL}} = 50$ mHz, phase buildout operation
10 Hz Offset		-74		dBc/Hz	
100 Hz Offset		-89		dBc/Hz	
1 kHz Offset		-108		dBc/Hz	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
10 kHz Offset		-119		dBc/Hz	Device configuration: $f_{\text{SYSCLK}} = 52 \text{ MHz XTAL}$, $f_{\text{COMP}} = 19.2 \text{ MHz TCXO}$, $\text{BW}_{\text{COMP}} = 50 \text{ Hz}$, $f_{\text{REF}} = 125 \text{ MHz}$, $f_{\text{VCO}} = 2500 \text{ MHz}$, $f_{\text{OUT}} = 125 \text{ MHz}$, $\text{BW}_{\text{DPLL}} = 0.1 \text{ Hz}$, phase buildout operation
100 kHz Offset		-123		dBc/Hz	
1 MHz Offset		-134		dBc/Hz	
10 MHz Offset		-152		dBc/Hz	
Floor		-159			
Configuration 4—125 MHz					
10 Hz Offset		-84		dBc/Hz	Device configuration: $f_{\text{SYSCLK}} = 52 \text{ MHz XTAL}$, $f_{\text{REF}} = 25 \text{ MHz}$, $f_{\text{VCO}} = 2500 \text{ MHz}$, $f_{\text{OUT}} = 312.5 \text{ MHz}$, $\text{BW}_{\text{DPLL}} = 50 \text{ Hz}$, phase buildout operation
100 Hz Offset		-106		dBc/Hz	
1 kHz Offset		-120		dBc/Hz	
10 kHz Offset		-131		dBc/Hz	
100 kHz Offset		-136		dBc/Hz	
1 MHz Offset		-147		dBc/Hz	
10 MHz Offset		-160		dBc/Hz	
Floor		-163		dBc/Hz	
Configuration 5—312.5 MHz					
10 Hz Offset		-74		dBc/Hz	
100 Hz Offset		-91		dBc/Hz	
1 kHz Offset		-112		dBc/Hz	
10 kHz Offset		-123		dBc/Hz	
100 kHz Offset		-128		dBc/Hz	
1 MHz Offset		-138		dBc/Hz	
10 MHz Offset		-154		dBc/Hz	
Floor		-161		dBc/Hz	
Configuration 6—174.7030837 MHz					
10 Hz Offset		-82		dBc/Hz	Channel 0 powered down
100 Hz Offset		-99		dBc/Hz	
1 kHz Offset		-117		dBc/Hz	
10 kHz Offset		-127		dBc/Hz	
100 kHz Offset		-133		dBc/Hz	
1 MHz Offset		-143		dBc/Hz	
10 MHz Offset		-157		dBc/Hz	
Floor		-160		dBc/Hz	
Channel 1—DPLL1, APLL1					
RMS Jitter (12 kHz to 20 MHz)					
Configuration 1—155.52 MHz					
10 Hz Offset		-81		dBc/Hz	
100 Hz Offset		-98		dBc/Hz	
1 kHz Offset		-118		dBc/Hz	
10 kHz Offset		-128		dBc/Hz	
100 kHz Offset		-132		dBc/Hz	
1 MHz Offset		-144		dBc/Hz	
10 MHz Offset		-158		dBc/Hz	
Floor		-162		dBc/Hz	
Configuration 2—245.76 MHz					Device configuration: $f_{\text{SYSCLK}} = 52 \text{ MHz XTAL}$, $f_{\text{REF}} = 30.72 \text{ MHz}$, $f_{\text{VCO}} = 3686.4 \text{ MHz}$, $f_{\text{OUT}} = 245.76 \text{ MHz}$, $\text{BW}_{\text{DPLL}} = 50 \text{ Hz}$, half divide enabled; internal zero delay operation
10 Hz Offset		-76		dBc/Hz	
100 Hz Offset		-93		dBc/Hz	
1 kHz Offset		-114		dBc/Hz	
10 kHz Offset		-124		dBc/Hz	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
100 kHz Offset		-127		dBc/Hz	Device configuration: $f_{\text{SYSCLK}} = 52 \text{ MHz XTAL}$, $f_{\text{COMP}} = 19.2 \text{ MHz TCXO}$, $BW_{\text{COMP}} = 50 \text{ Hz}$, $f_{\text{REF}} = 1 \text{ Hz}$, $f_{\text{VCO}} = 3932.16 \text{ MHz}$, $f_{\text{OUT}} = 491.52 \text{ MHz}$, $BW_{\text{DPLL}} = 50 \text{ mHz}$, phase buildout operation
1 MHz Offset		-138		dBc/Hz	
10 MHz Offset		-156		dBc/Hz	
Floor		-161		dBc/Hz	
Configuration 3—491.52 MHz					
10 Hz Offset		-74		dBc/Hz	
100 Hz Offset		-90		dBc/Hz	
1 kHz Offset		-108		dBc/Hz	
10 kHz Offset		-118		dBc/Hz	
100 kHz Offset		-120		dBc/Hz	
1 MHz Offset		-131		dBc/Hz	Device configuration: $f_{\text{SYSCLK}} = 52 \text{ MHz XTAL}$, $f_{\text{COMP}} = 19.2 \text{ MHz TCXO}$, $BW_{\text{COMP}} = 50 \text{ Hz}$, $f_{\text{REF}} = 125 \text{ MHz}$, $f_{\text{VCO}} = 3250 \text{ MHz}$, $f_{\text{OUT}} = 125 \text{ MHz}$, $BW_{\text{DPLL}} = 0.1 \text{ Hz}$, phase buildout operation
10 MHz Offset		-150		dBc/Hz	
Floor		-160		dBc/Hz	
Configuration 4—125 MHz					
10 Hz Offset		-83		dBc/Hz	
100 Hz Offset		-106		dBc/Hz	
1 kHz Offset		-120		dBc/Hz	
10 kHz Offset		-131		dBc/Hz	
100 kHz Offset		-135		dBc/Hz	
1 MHz Offset		-145		dBc/Hz	
10 MHz Offset		-160		dBc/Hz	Device configuration: $f_{\text{SYSCLK}} = 52 \text{ MHz XTAL}$, $f_{\text{REF}} = 25 \text{ MHz}$, $f_{\text{VCO}} = 3750 \text{ MHz}$, $f_{\text{OUT}} = 312.5 \text{ MHz}$, $BW_{\text{DPLL}} = 50 \text{ Hz}$, phase buildout operation
Floor		-163		dBc/Hz	
Configuration 5—312.5 MHz					
10 Hz Offset		-73		dBc/Hz	
100 Hz Offset		-91		dBc/Hz	
1 kHz Offset		-112		dBc/Hz	
10 kHz Offset		-122		dBc/Hz	
100 kHz Offset		-125		dBc/Hz	
1 MHz Offset		-137		dBc/Hz	
10 MHz Offset		-154		dBc/Hz	
Floor		-161		dBc/Hz	Device configuration: $f_{\text{SYSCLK}} = 52 \text{ MHz XTAL}$, $f_{\text{REF}} = 155.52 \text{ MHz}$, $f_{\text{VCO}} = 3319.3586 \text{ MHz}$, $f_{\text{OUT}} = (155.52 \times 255/227) \text{ MHz}$, $BW_{\text{DPLL}} = 50 \text{ Hz}$
Configuration 6—174.7030837 MHz					
10 Hz Offset		-77		dBc/Hz	
100 Hz Offset		-99		dBc/Hz	
1 kHz Offset		-117		dBc/Hz	
10 kHz Offset		-127		dBc/Hz	
100 kHz Offset		-131		dBc/Hz	
1 MHz Offset		-142		dBc/Hz	
10 MHz Offset		-158		dBc/Hz	
Floor		-161		dBc/Hz	

絶対最大定格

表 23.

Parameter	Rating
1.8 V Supply Voltage (VDD)	2 V
Input/Output Supply Voltage (VDDIOA, VDDIOB)	3.6 V
Input Voltage Range (XOA, XOB, REFA, REFAA, REFB, REFBB Pins)	-0.5 V to VDD + 0.5 V
Digital Input Voltage Range SDO/M5, SCLK/SCL, SDIO/SDA, CSB/M6 Pins	-0.5 V to VDDIOA + 0.5 V
M0, M1, M2, M3, M4 Pins	-0.5 V to VDDIOB + 0.5 V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range ¹	-40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C

¹ 詳細については、「熱抵抗」のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 24. 熱抵抗

Symbol	Thermal Characteristic Using a JEDEC51-7 Plus JEDEC51-5 2S2P Test Board ¹	Value	Unit
θ_{JA}	Junction to ambient thermal resistance, 0.0 m/sec airflow per JEDEC JESD51-2 (still air)	23.9 ²	°C/W
θ_{JMA}	Junction to ambient thermal resistance, 1.0 m/sec airflow per JEDEC JESD51-6 (moving air)	19.4 ²	°C/W
θ_{JMA}	Junction to ambient thermal resistance, 2.5 m/sec airflow per JEDEC JESD51-6 (moving air)	18.2 ²	°C/W
θ_{JC}	Junction to case thermal resistance (die to heat sink) per MIL-STD 883, Method 1012.1	1.5 ²	°C/W

¹ 仕様規定された熱性能を実現するには、パッケージ底面にある露出パッドをグラウンドにハンダ付けする必要があります。

θ_{JA} の値はパッケージの比較と PCB 設計時の検討用に提供しています。 θ_{JA} は、次式により T_J の 1 次近似に使用できます。

$$T_J = T_A + (\theta_{JA} \times PD)$$

ここで、 T_A は周囲温度 (°C)。

θ_{JC} の値は、外付けヒート・シンクが必要な場合のパッケージの比較と PCB 設計時の検討用です。

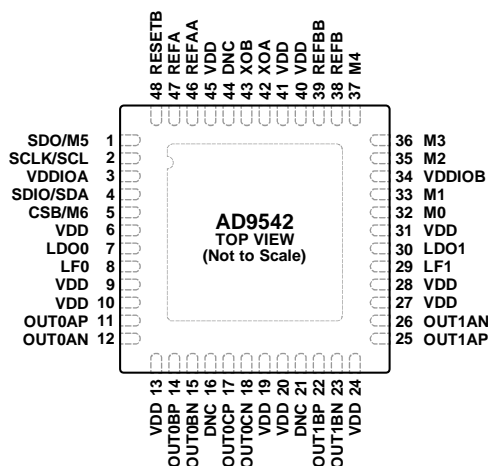
ESD に関する注意事項



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. EXPOSED PAD. THE EXPOSED PAD IS THE GROUND CONNECTION ON THE CHIP. THE EXPOSED PAD MUST BE SOLDERED TO THE ANALOG GROUND OF THE PCB TO ENSURE PROPER FUNCTIONALITY AND FOR HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.
 2. DNC = DO NOT CONNECT. LEAVE THESE PINS FLOATING.

18626-002

図 2. ピン配置

表 25. ピン機能の説明

Pin No.	Mnemonic	Input/Output	Pin Type	Description
1	SDO/M5	Output	CMOS	シリアル・データ出力 (SDO)。このピンは、4 線式 SPI モードでのシリアル・データ読み込み用です。VDDIOA 電源電圧の変化は、このピンの V_{IH} と V_{OH} の値に影響します。 設定可能入出力 (M5)。デバイスが 4 線式 SPI モードでない場合、このピンはステータス/制御ピンです。
2	SCLK/SCL	Input	CMOS	SPI モードではシリアル・プログラミング・クロック (SCLK) ピン。VDDIOA 電源電圧の変化は、このピンの V_{IH} と V_{OH} の値に影響します。 I ² C モードではシリアル・クロック・ピン (SCL)。VDDIOA 電源電圧の変化は、このピンの V_{IH} と V_{OH} の値に影響します。
3	VDDIOA	Input	Power	シリアル・ポート電源。有効な電源電圧は 1.8 V、2.5 V、または 3.3 V です。1.8 V で動作させる場合は、VDDIOA ピンを VDD 電源バスに接続できます。
4	SDIO/SDA	Input/output	CMOS	SPI モード (SDIO) ではシリアル・データ入出力。このピンへのデータ書き込みは 4 線式 SPI モードで行います。このピンには、プルアップ抵抗もプルダウン抵抗も内蔵されていません。VDDIOA 電源電圧の変化は、このピンの V_{IH} と V_{OH} の値に影響します。 I ² C モードではシリアル・データ・ピン (SDA)。
5	CSB/M6	Input/output	CMOS	SPI モードではチップ選択 (CSB)。アクティブ・ロー入力。SPI モードでデバイスをプログラムするときは、このピンのレベルをロジック 0 に保持してください。このピンには 10 kΩ のプルアップ抵抗が内蔵されています。VDDIOA 電源電圧の変化は、このピンの V_{IH} と V_{OH} の値に影響します。 設定可能入出力 (M6)。デバイスが SPI モードでない場合、このピンはステータス/制御ピンです。
6, 9, 10, 13, 19, 20, 24, 27, 28, 31, 40, 41, 45	VDD	Input	Power	1.8 V 電源。
7	LDO0	Input	LDO bypass	APLL0 ループ・フィルタの電圧レギュレータ。このピンとグラウンドの間に 0.22 μF のコンデンサを接続します。このピンは、内蔵 APLL0 ループ・フィルタの AC グラウンド・リファレンスです。
8	LF0	Input/output	Loop filter for APLL0	APLL0 のループ・フィルタ・ノード。このピンとピン 7 (LDO0) の間に 3.9 nF のコンデンサを接続します。
11	OUT0AP	Output	HCSL, LVDS, CML, CMOS	PLL0 出力 0A。
12	OUT0AN	Output	HCSL, LVDS, CML, CMOS	PLL0 相補出力 0A。

Pin No.	Mnemonic	Input/ Output	Pin Type	Description
14	OUT0BP	Output	HCSL, LVDS, CML, CMOS	PLL0 出力 0B。
15	OUT0BN	Output	HCSL, LVDS, CML, CMOS	PLL0 相補出力 0B。
16, 21, 44	DNC	DNC	No Connect	接続なし。これらのピンはフロート状態のままにしておきます。
17	OUT0CP	Output	HCSL, LVDS, CML, CMOS	PLL0 出力 0C。
18	OUT0CN	Output	HCSL, LVDS, CML, CMOS	PLL0 相補出力 0C。
22	OUT1BP	Output	HCSL, LVDS, CML, CMOS	PLL1 出力 1B。
23	OUT1BN	Output	HCSL, LVDS, CML, CMOS	PLL1 相補出力 1B。
25	OUT1AP	Output	HCSL, LVDS, CML, CMOS	PLL1 出力 1A。
26	OUT1AN	Input/ Output	HCSL, LVDS, CML, CMOS	PLL1 相補出力 1A。
29	LF1	Input/ output	Loop filter for APLL1	APLL1 のループ・フィルタ・ノード。このピンとピン 30 (LDO1) の間に 3.9 nF のコンデンサを接続します。
30	LDO1	Input	LDO bypass	APLL1 ループ・フィルタの電圧レギュレータ。このピンとグラウンドの間に 0.1 μ F のコンデンサを接続します。このピンは、内蔵 APLL1 ループ・フィルタの AC グラウンド・リファレンスです。
32, 33, 35, 36, 37	M0, M1, M2, M3, M4	Input/ output	CMOS	設定可能入出力ピン。これらはステータス/制御ピンです。VDDIOB 電源電圧の変化は、これらのピンの V_{IH} と V_{OH} の値に影響します。M3 と M4 には、100 k Ω のプルダウン抵抗が内蔵されています。M0、M1、M2 に内部抵抗はありません。
34	VDDIOB	Input	Power	Mx ピン電源。この電源は、M0 ~ M4 ピンを制御するデジタル・セクションに電力を供給します。有効な電源電圧は 1.8 V、2.5 V、または 3.3 V です。1.8 V で動作させる場合は、VDDIOB ピンを VDD 電源バスに接続できます。
38	REFB	Input	1.8 V single- ended or differential input	リファレンス B 入力。通常、この内部バイアス入力は AC カップリングされます。この構成には、VDD 電源までのシングルエンド振幅のあらゆる差動信号を使用できます。DC カップリングした場合は、入力を LVDS またはシングルエンドの 1.8 V CMOS とすることができます。
39	REFBB	Input	1.8 V single- ended or differential input	リファレンス BB 入力または相補リファレンス B 入力。REFB が差動モードの場合は、REFB 相補信号がこのピンに入力されます。REFB がシングルエンド入力で REFBB を使用しない場合、このピンを接続する必要はありません。
42	XOA	Input	Differential input	システム・クロック入力。XOA には内部 DC バイアスが含まれており、水晶振動子を使用する場合を除いて 0.01 μ F のコンデンサに AC カップリングされます。水晶振動子を使用する場合は、XOA と XOB の間に接続します。シングルエンドの CMOS 入力も 1 つの選択肢ですが、デューティ・サイクルが 50 % でない場合はスプリアス・スペクトル成分が発生する可能性があります。XOA をシングルエンド入力として使用する場合は、XOB とグラウンドの間に 0.1 μ F のコンデンサを接続してください。
43	XOB	Input	Differential input	相補システム・クロック入力。XOA への相補信号です。XOB には内部 DC バイアスが含まれており、水晶振動子を使用する場合を除いて 0.1 μ F のコンデンサに AC カップリングされます。水晶振動子を使用する場合は、XOA と XOB の間に接続します。
46	REFAA	Input	1.8 V single- ended or differential input	リファレンス AA 入力または相補 REFA 入力。REFA が差動モードの場合は、REFA 相補信号がこのピンに入力されます。REFA がシングルエンド入力で REFAA を使用しない場合、このピンを接続する必要はありません。DC カップリングした場合は、入力はシングルエンドの 1.8 V CMOS です。
47	REFA	Input	1.8 V single- ended or differential input	リファレンス A 入力。通常、この内部バイアス入力は AC カップリングされます。この構成には、VDD 電源までのシングルエンド振幅のあらゆる差動信号を使用できます。DC カップリングした場合は、入力を LVDS またはシングルエンドの 1.8 V CMOS とすることができます。
48	RESETB	Input	1.8 V CMOS logic	アクティブ・ロー・チップ・リセット。このピンには、100 k Ω プルアップ抵抗が内蔵されています。アサートするとチップがリセットされます。VDDIOA 電源電圧の変化は、このピンの V_{IH} の値に影響します。
EP	EPAD	Output	Exposed pad	露出パッド。露出パッドはチップ上のグラウンド接続です。正常な機能を確認し、放熱/ノイズ性能および機械的強度を向上させるには、露出パッドを PCB のアナログ・グラウンドにハンダ付けする必要があります。

代表的な性能特性

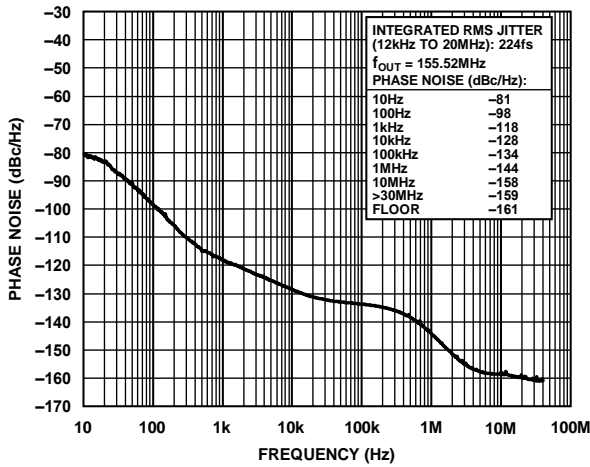


図 3. 絶対位相ノイズ (PLL0、設定 1、HCSL モード、
 $f_{REF} = 38.88 \text{ MHz}$ 、 $f_{OUT} = 155.52 \text{ MHz}$ 、
 $f_{SYS} = 52 \text{ MHz}$ 水晶振動子、50 Hz DPLL BW)

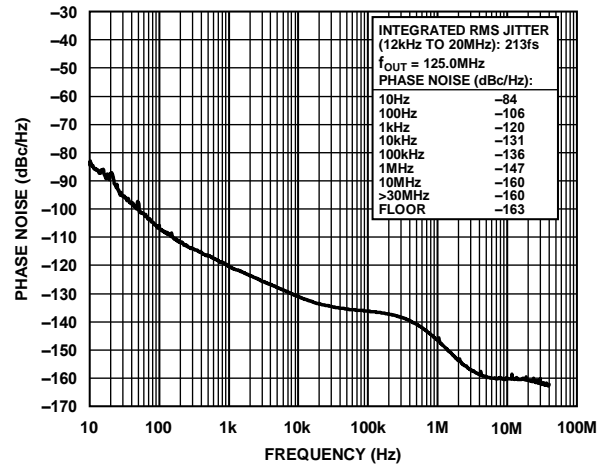


図 6. 絶対位相ノイズ (PLL0、設定 4、HCSL モード、
 $f_{REF} = 125 \text{ MHz}$ 、 $f_{OUT} = 125.0 \text{ MHz}$ 、 $f_{COMP} = 19.2 \text{ MHz}$ TCXO、
 $f_{SYS} = 52 \text{ MHz}$ 水晶振動子、0.1 Hz DPLL BW、
 位相ビルドアウト・モード)

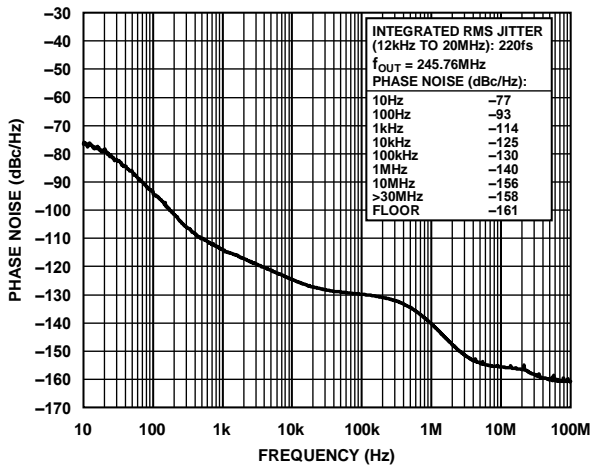


図 4. 絶対位相ノイズ (PLL0、設定 2、HCSL モード、
 $f_{REF} = 30.72 \text{ MHz}$ 、 $f_{OUT} = 245.76 \text{ MHz}$ 、
 $f_{SYS} = 52 \text{ MHz}$ 水晶振動子、50 Hz DPLL BW)

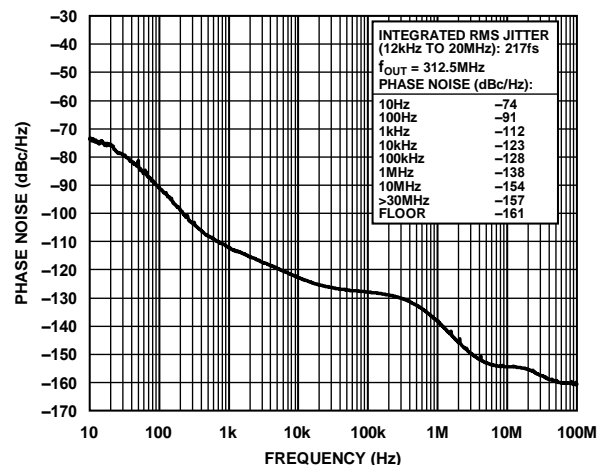


図 7. 絶対位相ノイズ (PLL0、設定 5、HCSL モード、
 $f_{REF} = 25 \text{ MHz}$ 、 $f_{OUT} = 312.5 \text{ MHz}$ 、 $f_{SYS} = 52 \text{ MHz}$ 水晶振動子、
 50 Hz DPLL BW、位相ビルドアウト・モード)

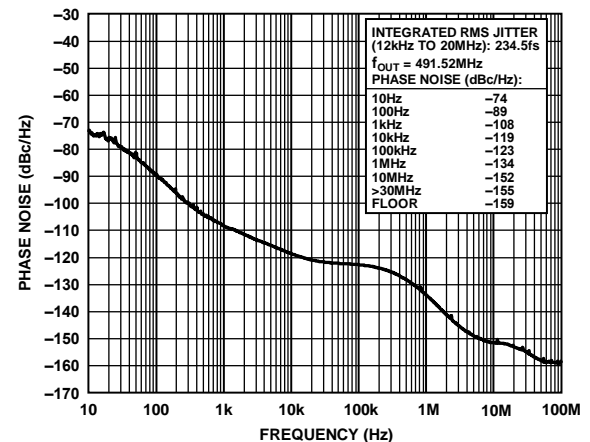


図 5. 絶対位相ノイズ (PLL0、設定 3、HCSL モード、
 $f_{REF} = 1 \text{ Hz}$ 、 $f_{OUT} = 491.52 \text{ MHz}$ 、 $f_{COMP} = 19.2 \text{ MHz}$ TCXO、
 $f_{SYS} = 52 \text{ MHz}$ 水晶振動子、50 MHz DPLL BW)

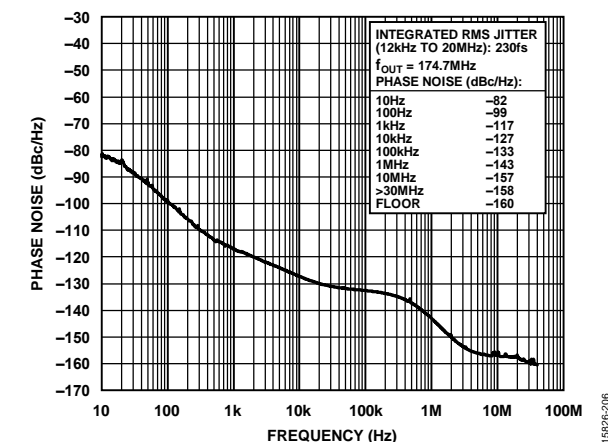


図 8. 絶対位相ノイズ (PLL0、設定 6、HCSL モード、
 $f_{REF} = 155.52 \text{ MHz}$ 、 $f_{OUT} = 174.7 \text{ MHz}$ 、
 $f_{SYS} = 52 \text{ MHz}$ 水晶振動子、50 Hz DPLL BW、
 位相ビルドアウト・モード)

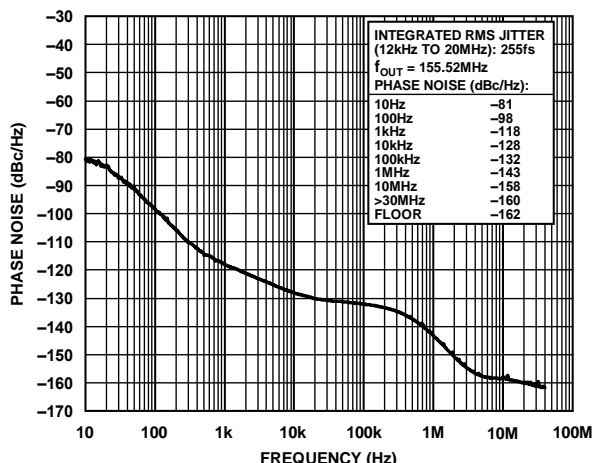


図 9. 絶対位相ノイズ (PLL1、設定 1、HCSSL モード、
f_{REF} = 38.88 MHz、f_{OUT} = 155.52 MHz、
f_{SYS} = 52 MHz 水晶振動子、50 Hz DPLL BW)

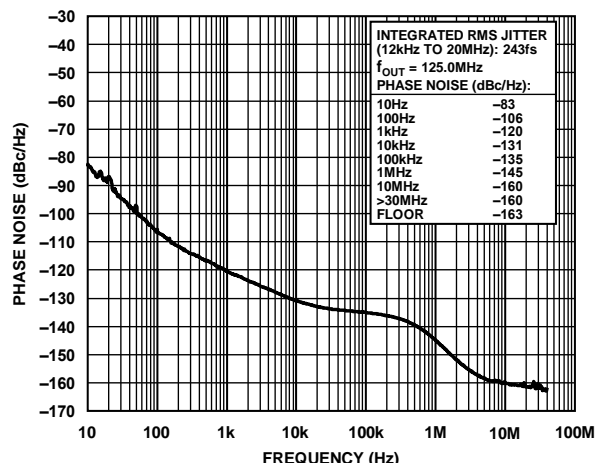


図 12. 絶対位相ノイズ (PLL1、設定 4、HCSSL モード、
f_{REF} = 125 MHz、f_{OUT} = 125 MHz、f_{COMP} = 19.2 MHz TCXO、
f_{SYS} = 52 MHz 水晶振動子、0.1 Hz DPLL BW、
位相ビルドアウト・モード)

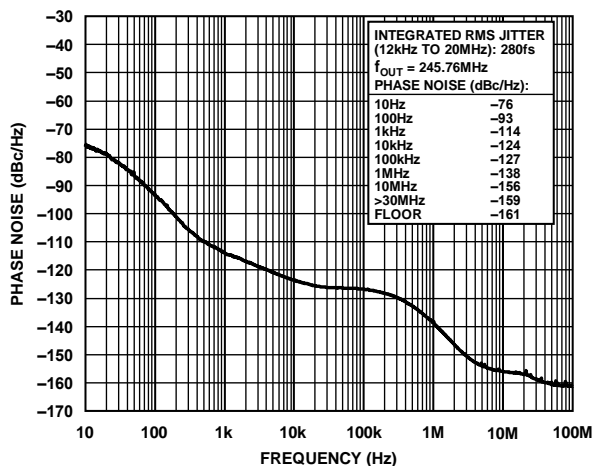


図 10. 絶対位相ノイズ (PLL1、設定 2、HCSSL モード、
f_{REF} = 30.72 MHz、f_{OUT} = 245.76 MHz、
f_{SYS} = 52 MHz 水晶振動子、50 Hz DPLL BW)

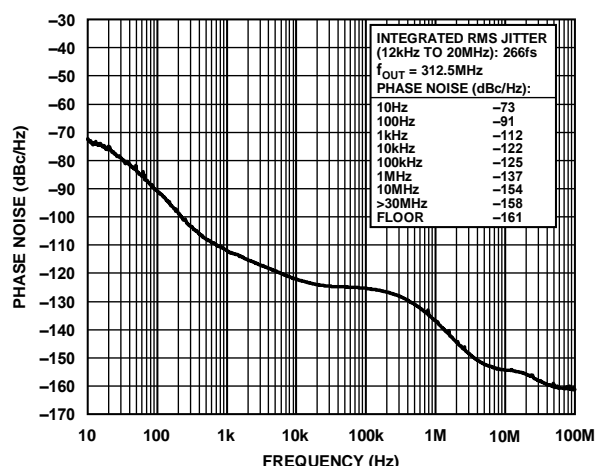


図 13. 絶対位相ノイズ (PLL1、設定 5、HCSSL モード、
f_{REF} = 25 MHz、f_{OUT} = 312.5 MHz、f_{SYS} = 52 MHz 水晶振動子、
50 Hz DPLL BW、位相ビルドアウト・モード)

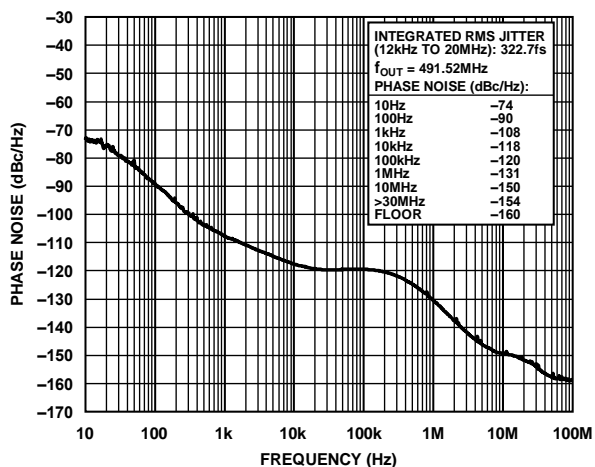


図 11. 絶対位相ノイズ (PLL1、設定 3、HCSSL モード、
f_{REF} = 1 Hz、f_{OUT} = 491.52 MHz、f_{COMP} = 19.2 MHz TCXO、
f_{SYS} = 52 MHz 水晶振動子、50 MHz DPLL BW)

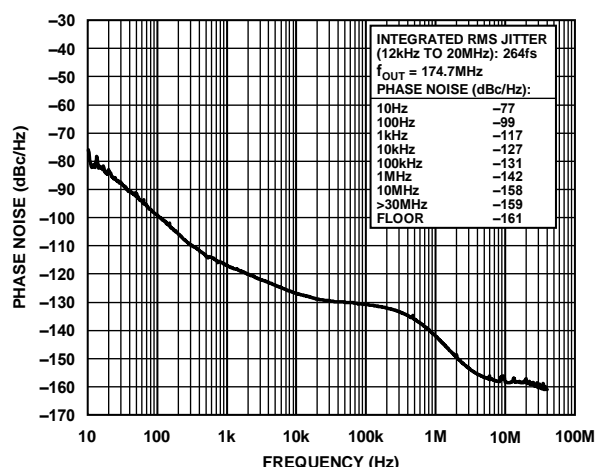


図 14. 絶対位相ノイズ (PLL1、設定 6、HCSSL モード、
f_{REF} = 155.52 MHz、f_{OUT} = 174.7 MHz、
f_{SYS} = 52 MHz 水晶振動子、50 Hz DPLL BW、
位相ビルドアウト・モード)

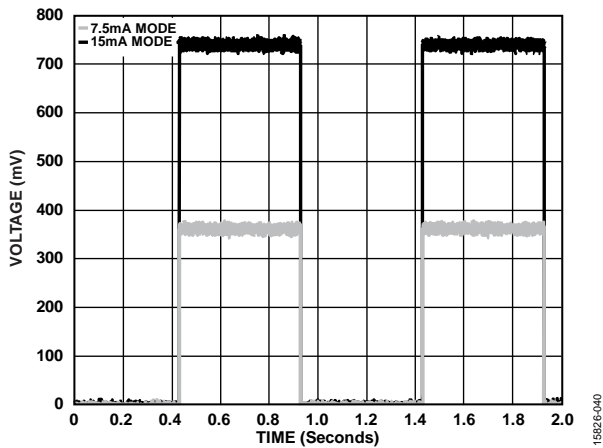


図 15. DC カップリング、シングルエンド、1 Hz 出力波形、HCSL 7.5 mA および 15 mA モード使用、図 38 に従い 50 Ω で GND に終端、スルー・レート: 15 mA モードで ~7 V/ns、7.5 mA モードで ~3.5 V/ns

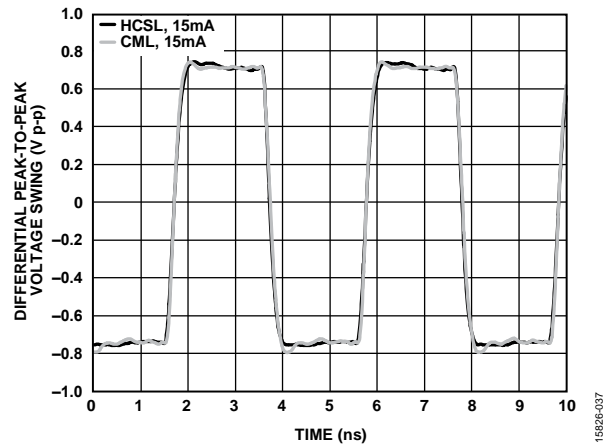


図 18. 15 mA ドライバ設定での 245.76 MHz 出力波形 (図 32 に従い HCSL ドライバを 50 Ω で GND に終端、図 33 に従い CML ドライバを 50 Ω で 1.8 V に終端)

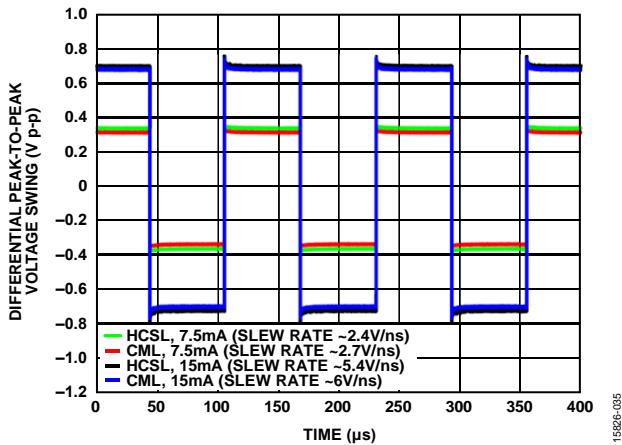


図 16. 各種ドライバ設定での 8 kHz 出力波形 (図 32 に従い HCSL ドライバを 50 Ω で GND に終端、図 33 に従い CML ドライバを 50 Ω で 1.8 V に終端)

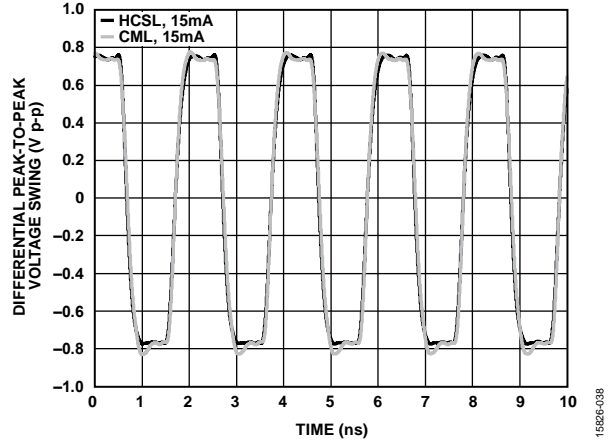


図 19. 15 mA ドライバ設定での 491.52 MHz 出力波形 (図 32 に従い HCSL ドライバを 50 Ω で GND に終端、図 33 に従い CML ドライバを 50 Ω で 1.8 V に終端)

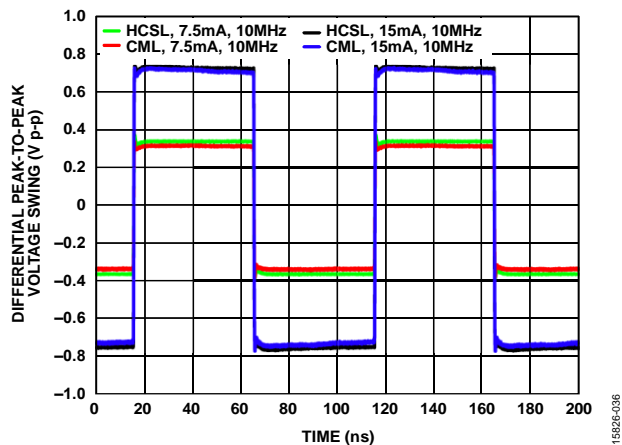


図 17. 各種ドライバ設定での 10 MHz 出力波形 (図 32 に従い HCSL ドライバを 50 Ω で GND に終端、図 33 に従い CML ドライバを 50 Ω で 1.8 V に終端)

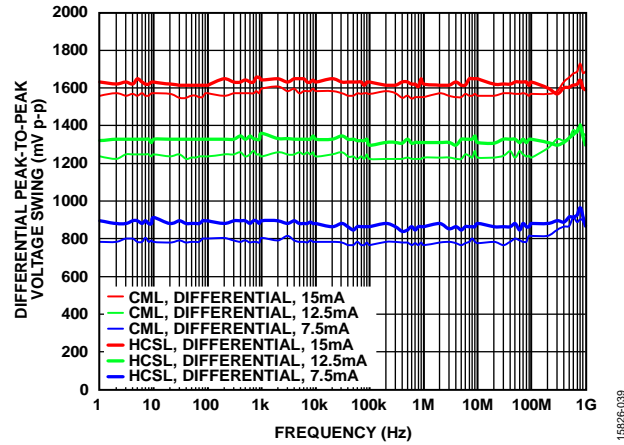


図 20. 差動出力振幅波形 (図 32 に従い HCSL ドライバを 50 Ω で GND に終端、図 33 に従い CML ドライバを 50 Ω で 1.8 V に終端)

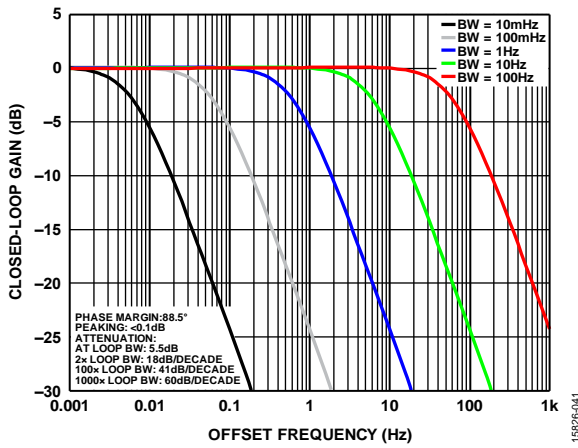


図 21. DPLL クローズドループ伝達関数
(公称位相マージンのループ・フィルタ設定)

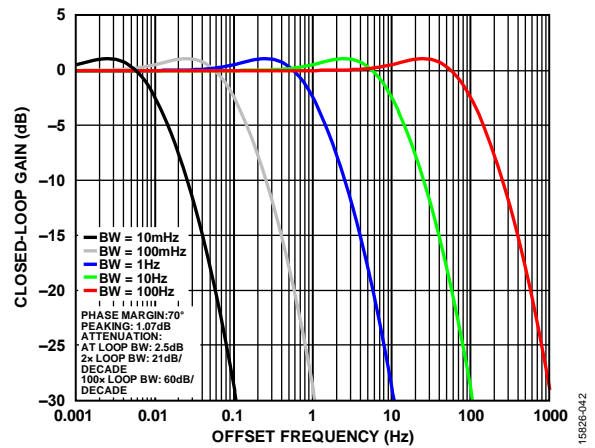


図 22. DPLL クローズドループ伝達関数
(高位相マージンのループ・フィルタ設定)

用語の定義

ゼロ遅延

PLL 位相検出器の最終出力信号とリファレンス入力に現れる信号の間の位相オフセットがゼロ（または、ほぼゼロだが一定値を持つ）のインテグラー N PLL アーキテクチャでは、遅延がゼロになります。ゼロ遅延の PLL では、静的な（定常状態での）出力位相オフセットが最小になります。つまり、PLL が位相または周波数アクイジションを行っているとき（例えばマルチ入力 PLL が、ある入力リファレンス信号から別の入力リファレンス信号に切り替わるとき）は、通常その出力に位相スルーイングが発生します。

ヒットレス・スイッチオーバー

ヒットレス・スイッチオーバーは、アクティブな入力と出力間の位相関係を一定に維持しながら、あるリファレンス信号から別のリファレンス信号に切り替えることのできる PLL で使われます。ヒットレス・スイッチオーバーは、任意の初期瞬時位相オフセットを持つ 2 つのリファレンス信号間で切替えを行う PLL 機能です。ヒットレス・スイッチングでは事前に定められた形で出力信号が応答して初期の位相から新たな位相に変化し、アクティブな入力と出力間の絶対位相関係が維持されます。位相スルーイングが、トラフィック・ヒット（出力クロック位相の応答によって生じる）が発生しない程度に緩やかである場合、そのリファレンス・スイッチング方式はヒットレスです。ヒットレス・スイッチオーバー機能を備えた PLL では、入力と出力の周波数比を 1 以上の整数にする必要があります。PLL が位相または周波数アクイジションを行っているときは、常にヒットレス出力位相トランジェント制限が適用されます（つまり、必ずしもリファレンス・スイッチングに限られるわけではありません）。

位相ビルドアウト (PBO) スwitchオーバー

PBO は、あるリファレンス信号から別のリファレンス信号に切り替えることのできる PLL にのみ適用されます。PBO は、任意の初期瞬時位相オフセットを持つ 2 つのリファレンス信号の間で切替えを行う PLL の機能で、この場合、出力信号の位相は一定の値に固定されます。この動作モードによって、PLL が 2 つのリファレンス入力信号間の位相差を吸収できることになり、2 つのリファレンス信号の切替え時に出力の位相が乱れるのを防ぐことができます。出力における位相の乱れを防ぐということは、必ずしも入力信号と出力信号の位相が揃うことを意味するわけではありません。ヒットレス・スイッチオーバーと異なり、PBO では、出力/入力周波数比に関する制約はありません。PLL が位相または周波数アクイジションを行っているときは、常に PBO による出力位相のトランジェント防止が行われます（つまり、必ずしもリファレンス・スイッチングに限られるわけではありません）。

詳細については、アプリケーション・ノート AN-1420、*Phase Buildout and Hitless Switchover with Digital Phase-Locked Loops (DPLLs)* を参照してください。

動作原理

概要

AD9542 は、その位相および周波数が、選択した（アクティブな）リファレンスに直接関係するクロック出力を生成しますが、ジッタ特性は、システム・クロック、DCO、およびアナログ出力 PLL (APLL) に支配されます。AD9542 は最大で 4 つのリファレンス入力と、2 kHz ~ 750 MHz の入力周波数に対応します。このデバイスの中核をなすのは 2 つの DPLL です。各 DPLL には、アクティブ・リファレンスから出力に伝達されるジッタを大幅に減少させるプログラマブル・デジタル・ループ・フィルタが備わっています。また、これら 4 つの DPLL は互いに独立して動作します。AD9542 は、手動ホールドオーバーと自動ホールドオーバーの両方の機能を備えています。ホールドオーバー中、システム・クロックが存在する限り AD9542 は出力を提供し続けます。ホールドオーバー出力周波数は、ホールドオーバー状態へ遷移するまでの出力周波数履歴の時間平均です。このデバイスは、アクティブ・リファレンスの信号品質が低下した場合や、リファレンスが完全に失われた場合に、手動または自動でリファレンスをスイッチオーバーできる機能を備えています。

AD9542 には 1 つのシステム・クロック通倍器と 2 つの DPLL が含まれており、それぞれが対応する APLL にカスケード接続されています。

入力信号はまず DPLL に送られ、そこで、ジッタ・クリーニングとほとんどの周波数変換が行われます。各 DPLL は、162 MHz ~ 350 MHz の信号を生成する 48 ビットの DCO 出力を提供します。

この DCO 出力は APLL へ送られ、そこで 2.424 GHz ~ 3.232 GHz (チャンネル 0) または 3.232 GHz ~ 4.040 GHz (チャンネル 1) の範囲まで通倍されます。この信号は、2 分周された後に、32 ビット Q 分周器と各出力の出力ドライバで構成されるクロック分配セクションに送られます。チャンネル 0 には 6 個の Q 分周器が、チャンネル 1 には 4 個の Q 分周器があります。

XOA 入力と XOB 入力は、システム・クロック用の入力として機能します。これらのピンには、20 MHz ~ 300 MHz の範囲のリファレンス・クロックか、XOA 入力と XOB 入力の間に直接接続した 25 MHz ~ 52 MHz の水晶振動子からの出力を入力できます。システム・クロックは、周波数モニタ、DPLL、および内部スイッチング・ロジックへのクロックを提供します。

AD9542 には 5 個の作動出力ドライバがあります。5 個の出力ドライバには、それぞれ専用の 32 ビット・プログラマブル Q 分周器があります。各差動ドライバは 500 MHz まで動作し、外部プルアップ抵抗を使って CML ドライバとして設定するか、外部プルダウン抵抗を使って HCSL ドライバとして設定することができます。以下に示すように、駆動強度は 3 種類あります。

- CML と HCSL、および AC カップリングされた LVDS には 7.5 mA モードを使用します。LVDS 対応ドライバとして使用する場合は AC カップリングした上で、作動ペアの間に 100 Ω の抵抗を接続して終端する必要があります。
- 15 mA モードは電圧振幅を生成し、LVPECL に使用することができます。LVPECL の DC 信号レベルが必要な場合、AD9542 の出力を AC カップリングして再バイアスするよう設計する必要があります。15 mA モードは、図 34 と図 35 に示す終端方法で使用し、適切な LVDS DC バイアスをかけることによって LVDS 信号を生成することもできます。
- 12 mA モードは上記 2 つの設定の中間的な存在です。

リファレンス入力の物理的接続

2 組のピン (REFA/REFAA と REFB/REFBB) を使うことで、リファレンス・クロック・レシーバーにアクセスすることができます。それぞれの作動ペアは、2 つのシングルエンド・リファレンス入力に設定し直すことができます。立上がりエッジと立下がりエッジが遅い入力信号に対応するには、差動入力レシーバーとシングルエンド・レシーバーの両方にヒステリシスを持たせます。ヒステリシスがあると、入力の接続が外れていたりフローティング状態になったりしている場合でも、レシーバーが発振しないようにすることができます。

作動動作に設定すると、入力レシーバーは AC カップリングされた信号と DC カップリングされた信号のどちらかを扱いません。DC カップリングされた LVDS モード用に入力レシーバーが設定されていれば、その入力レシーバーは DC カップリングされた LVDS 信号を扱うことができます。レシーバーは、AC カップリング動作に対応するために、内部で DC バイアスされていますが、内部的な 50 Ω 終端や 100 Ω 終端はされていません。

推奨される入出力の終端処理

システム・クロック入力

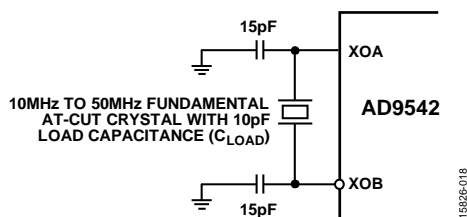


図 23. 水晶振動子モードのシステム・クロック入力 (XOA/XOB)
 (図に示すそれぞれの 15 pF シャント・コンデンサは $2 \times (C_{LOAD} - C_{STRAY})$ に等しくなければなりません。
 ここで、 C_{STRAY} の代表値 = 2 pF ~ 5 pF)

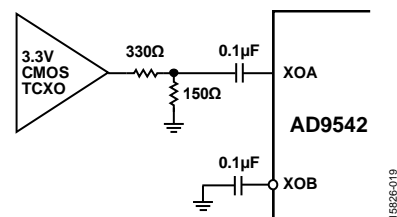


図 24. 3.3 V CMOS 出力で TCXO/OCXO を使用する場合はシステム・クロック入力 (XOA、XOB)

リファレンス・クロック入力

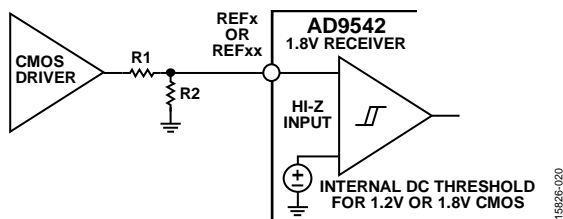


図 25. シングルエンド DC カップリング・モード
 (1.2 V または 1.8 V CMOS)

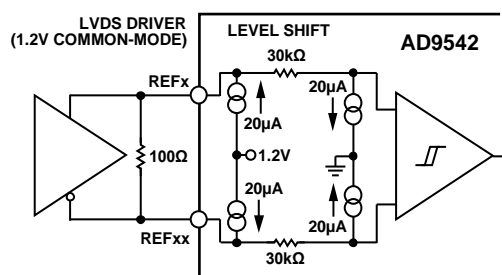


図 28. 差動 LVDS 入力モード

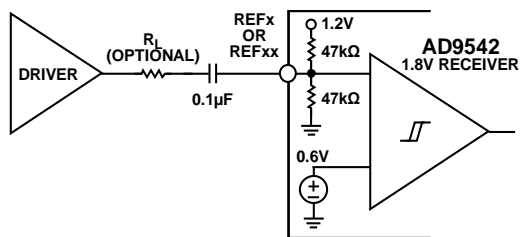


図 26. シングルエンド AC カップリング・モード

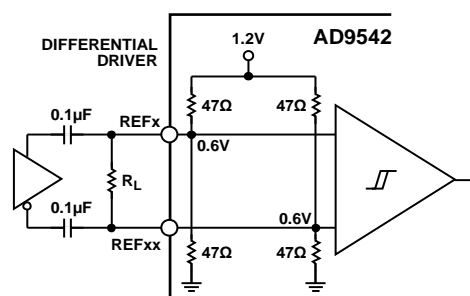


図 29. 差動 AC カップリング・モード
 (HCSL を除き $R_L = 100 \Omega$ を推奨)

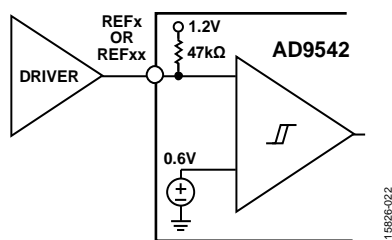


図 27. シングルエンド内部プルアップ・モード

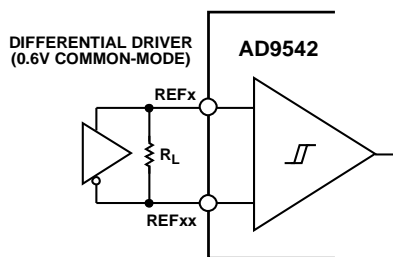


図 30. 差動 DC カップリング・モード

クロック出力

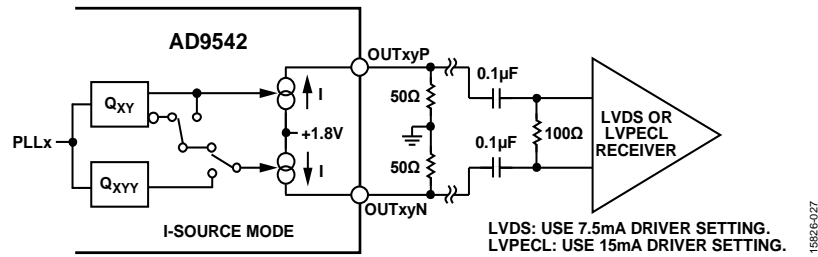


図 31. LVDS 対応出力振幅、AC カップリング (セクションあたり $V_{p-p} \approx 375$ mV、 $I = 15$ mA)

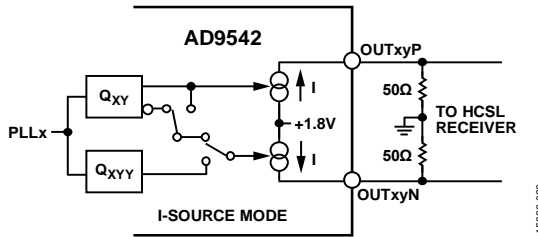


図 32. HCSL 出力、セクションあたり $V_{p-p} \approx 750$ mV ($I = 15$ mA)

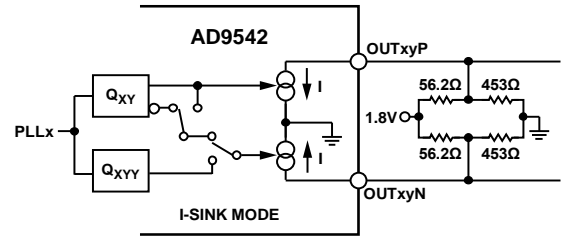


図 36. 2.5 V LVPECL または両振幅 LVDS 対応昇圧出力、 $1.5 V_{p-p}$ 、 1.24 V コモンモード ($I = 15$ mA)

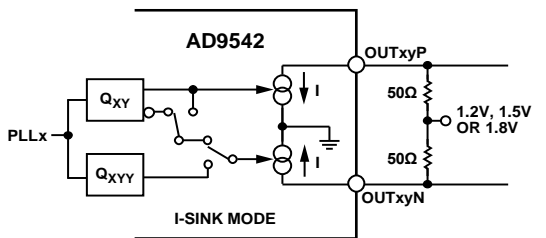


図 33. CML 出力
($I = 7.5$ mA、 1.5 V または 1.8 V 電源の $I = 15$ mA オプション)

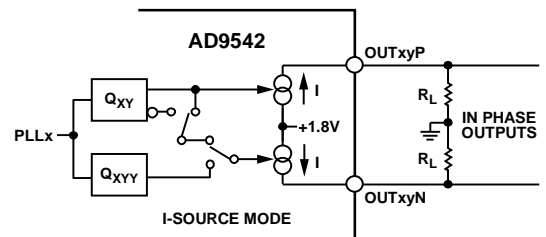


図 37. シングル分周器のシングルエンド・モード - 同相出力 (電流源モード)

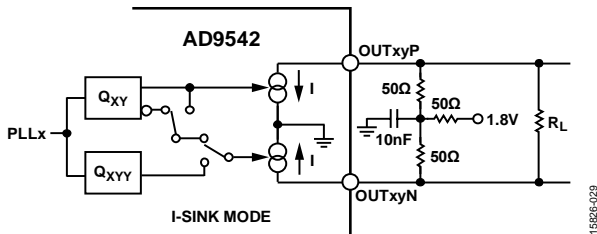


図 34. LVDS 対応出力、 1.24 V コモンモード、T 型回路 ($I = 7.5$ mA、 100Ω 終端と R_L を追加して $I = 15$ mA)

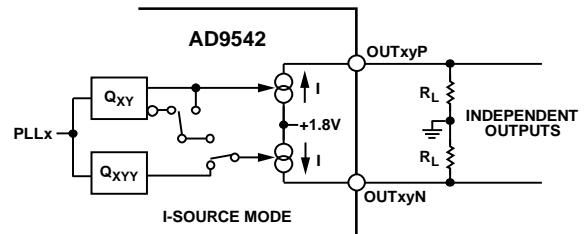


図 38. デュアル分周器のシングルエンド・モード - 独立出力 (電流源モード)。
シングルエンド CML モードも使用可能 (図 33 参照)

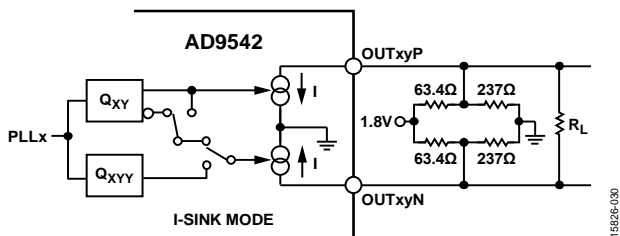


図 35. LVDS 対応出力、 1.2 V コモンモード、テブナン・バイアス回路 ($I = 7.5$ mA、 100Ω 終端 R_L を追加して $I = 15$ mA)

システム・クロック PLL

システム・クロック PLL のセクション全体を通じて、特に指定のない限り、参照されるビット、レジスタ、またはビット・フィールドは、レジスタ・マップのシステム・クロック

(SYSCLK) セクションに置かれます (レジスタ 0x0200 からレジスタ 0x0209 まで)。

システム・クロック PLL (図 39 参照) は、ループ・フィルタと電圧制御発振器 (VCO) を内蔵したインテジャール周波数シンセサイザで構成されています。この VCO の出力が AD9542 のシステム・クロックで、周波数範囲は 2250 MHz ~ 2415 MHz です。XOA ピンと XOB ピンは、システム・クロック PLL への入力形成します。これらのピンには、クロック源または水晶共振器を接続します。

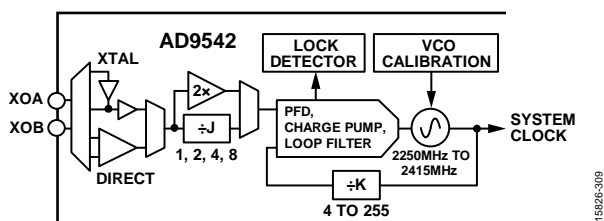


図 39. システム・クロック PLL のブロック図

システム・クロック入力周波数の宣言

AD9542 を正しく動作させるには、システム・クロック PLL への入力リファレンス周波数を宣言する必要があります。これは、SYSCLK リファレンス周波数ビット・フィールドをプログラムすることによって行います。これは、システム・クロック PLL 入力リファレンスの公称周波数を構成します。この値は、AD9542 評価ソフトウェアの周波数プランニング・ウィザードを使用して計算することができます。

システム・クロック源

XOA ピンと XOB ピンはシステム・クロック PLL への入力接続としての役割を果たし、これによってユーザは水晶パスまたは直接パスにアクセスすることができます。パス選択はイネーブル維持アンプ・ビットを介して行い、このビットをロジック 0 (デフォルト) にすると直接パスが選択され、ロジック 1 にすると水晶パスが選択されます。システム・クロック入力に最適なリファレンス源は、50 MHz レンジの水晶共振器か、AC カップリングされた 800 mVp-p 振幅の矩形波源 (シングルエンドまたは差動) です。

水晶パス

水晶パスは、周波数範囲 25 MHz ~ 60 MHz の水晶共振器に対応しています。内部維持アンプは、発振を発生させるために必要な負性抵抗を提供します。内部アンプは AT カット型の基本モードの水晶振動子を前提としており、52 MHz までの水晶振動子の場合には最大等価直列抵抗が 100 Ω、60 MHz の場合には 50 Ω です。以下にアルファベット順で示した水晶振動子は、これらの基準を満たします。

- AVX/京セラ CX3225SB
- ECS, Inc. ECX-32
- エプソントヨコム TSX-3225
- Fox FX3225BS
- NDK NX3225SA
- Siward SX-3225
- Suntu SCM10B48-49.152 MHz

アナログ・デバイセスは、上記の水晶振動子による AD9542 の作動を保証するものではありません。また、水晶振動子の特定のサプライヤを推奨するものでもありません。AD9542 のリファレンス設計には、スプリアス成分の少ない 49.152 MHz の既製の高性能水晶振動子を使用しています。

直接パス

直接パスには、自己バイアス値 0.6 V DC の差動レシーバが使われています。一般に、バイアス電圧が存在する場合は、外部供給源と XOA ピンおよび XOB ピンとの間で AC カップリングを行う必要があります。さらに、システム・クロック PLL のリファレンス源として 3.3 V CMOS 発振器を使うときは、AC カップリングに加えて分圧器を使用し、3.3 V の振幅を最大でも 1.14 V の振幅に減らす必要があります (最適電圧振幅は 800 mVp-p)。最適性能を得るには、外部信号のデューティ・サイクルを 50% とする必要があります。

直接パスは、システム・クロック PLL へのリファレンスとして、低周波数の LVPECL、LVDS、CMOS、または正弦波クロック源に対応可能です。ただし、正弦波クロック源の場合は、50 MHz 以上の周波数を使用するのが理想的です。低周波数の正弦波はスルー・レートが低く、ノイズ性能を低下させる傾向があります。

DPLL ループの帯域幅を低く抑えることが求められるアプリケーションでは、TCXO や OCXO を使用して安定性を向上させる必要があります。ループ帯域幅が約 50 Hz を下回ると、安定性の低い PLL リファレンス源を使用した場合は、PLL のロックが妨げられたりロック・イベントが不意に失われたりすることがあります。

この問題を軽減する方法の 1 つは安定性の高いシステム・クロック源 (OCXO など) を使用することですが、AD9542 はシステム・クロック補償機能を内蔵しているため、安定性に関する条件が緩和される一方で、高周波数の水晶振動子を使用する際に優れた位相ノイズ性能を実現できます。この機能を使用するには、40 MHz ~ 60 MHz の水晶振動子を XOA/XOB ピンに接続し (図 23 参照)、TCXO または OCXO を未使用のリファレンス入力か Mx ピンに接続します (図 24 参照)。

周波数 2 通倍器

システム・クロック PLL には、イネーブル SYSCLK ダブラー・ビットを介してリファレンス周波数を 2 通倍するオプションがあります。入力リファレンス周波数を 2 通倍すると、PLL インバンド・ノイズが減ることが期待されます。最大 PFD レートを 300 MHz にするために周波数 2 通倍器を使用するときは、リファレンス周波数を 150 MHz 未満にする必要があります。さらに、周波数 2 通倍器では、リファレンス入力信号のデューティ・サイクルを、できるだけ 50% に近付ける必要があります。そうしないと、最終的なスプリアス成分によってシステム・クロック PLL のロックが妨げられるおそれがあります。

プリスケール分周器

システム・クロック PLL には、分周比を 1 (デフォルト)、2、4、または 8 にプログラムできる入力プリスケール分周器が含まれています。分周器の目的は、柔軟な周波数プランニングができるようにして、AD9542 の出力クロック信号にスプリアスが発生する可能性を減らすことにあります。分周比は、2 ビット の SYSCLK 入力分周比ビット・フィールドを使って選択します。

対応する分周比は 2^J で、 J は SYSCLK 入力分周比フィールド内にある 2 ビット数の 10 進値です。

例えば、SYSCLK 入力分周比ビット・フィールドが 10 (2 進値) で $J = 2$ (10 進値) の場合、分周比は $2^2 = 2^2 = 4$ となります。

帰還分周器

システム・クロック PLL は、周波数 f_s のシステム・クロックを出力します。システム・クロック周波数は帰還分周器の値に依存します。帰還分周比の範囲は 4 ~ 255 で、これは 8 ビットの帰還分周比レジスタを介してプログラムします (レジスタ値が分周比)。例えば、プログラム値が 100 (16 進値で 0x64) の場合は分周比も 100 になります。

システム・クロック PLL の出力周波数

システム・クロック周波数は次式で計算します。

$$f_s = f_{\text{SYSIN}} \times \frac{K}{J}$$

ここで、

f_{SYSIN} は入力周波数、

K は帰還分周比、

J は入力分周比、周波数 2 通倍器を使用する場合は $J = 1/2$ です。

f_{SYSIN} 、 K 、 J は、 f_s の VCO 範囲が 2250 MHz ~ 2415 MHz となるように選択する必要があります。

システム・クロック PLL のロック検出器

システム・クロック PLL は、リファレンス・クロック・エッジと帰還クロック・エッジの時間差を比較する簡単なロック検出器を備えています。ロック検出器のステータスは、レジスタ・マップのステータス・リードバック・レジスタ (アドレス 0x3000 ~ アドレス 0x300A) 内にある SYSCLK ロック・ビットを介してチェックでき、ロジック 1 はロック状態、ロジック 0

はロック解除状態を示します。システム・クロック PLL がロックされない理由として最も一般的なのが、デューティ・サイクルが 50 % でないリファレンス入力クロックに対して周波数 2 通倍器を使っていることです。

システム・クロック安定性タイマー

AD9542 内の時間処理ブロックは安定した周波数を生成するシステム・クロックに依存するため、システム・クロック PLL はそのステータスを示します。システム・クロック PLL のステータスはユーザが参照できる他、特定の内部タイム・キーピング・ブロックでも直接使用できます。

最初の起動時のシステム・クロック・ステータスは不明で、不安定な状態にあるものとしてレポートされますが、ユーザがシステム・クロック・レジスタをプログラムして、システム・クロック PLL VCO が補正を行うと、間もなくシステム・クロック PLL がロックします。

システム・クロックの入力終端に関する推奨事項

水晶共振器をシステム・クロック PLL の XOA 入力と XOB 入力に接続する方法については、図 23 を参照してください。水晶パスを選択するには、イネーブル維持アンプ・ビットを 1 にプログラムします。図に示す 15 pF のシャント・コンデンサは、次のように水晶振動子に関連する C_{LOAD} と C_{STRAY} に関係していません。

$$C_{\text{SHUNT}} = 2 \times (C_{\text{LOAD}} - C_{\text{STRAY}})$$

$C_{\text{LOAD}} = 10$ pF、 $C_{\text{STRAY}} = 2$ pF ~ 5 pF の場合、 C_{SHUNT} の値は約 15 pF です。

TCXO または OCXO と 3.3 V 出力の接続方法については、図 24 を参照してください。直接パスを選択するには、イネーブル維持アンプ・ビットを 0 にプログラムします。

デジタル PLL (DPLL)

概要

このセクションでは、特に指定のない限り、参照されるビット、レジスタ、またはビット・フィールドは、すべてレジスタ・マップの DPLL チャンネル 0 および DPLL チャンネル 1 セクション (アドレス 0x1000 ~ アドレス 0x102A、およびアドレス 0x1400 ~ アドレス 0x142A) に置かれています。

DPLL は、フェーズ・ロック・ループ (PLL) をすべてデジタルで実装したものです。図 40 に、APLL と DPLL の基本的なビルディング・ブロックを示します。APLL は通常、出力信号を生成するための周波数要素としての VCO に依存しており、出力周波数は入力 DC 電圧に依存しています。これに対し DPLL は数値制御発振器 (NCO) を使用しており、出力周波数の生成は、デジタル周波数チューニング・ワード (FTW) に依存しています。VCO はその名の示すとおり発振器なので、本質的にタイミング信号を生成しますが、AD9542 の NCO には外部タイミング供給源としてのシステム・クロックが必要です。APLL と DPLL の基本的な違いは、APLL に使われる VCO がその動作帯域幅内の任意の周波数への調整が可能なのに対し、DPLL に使われる NCO は (FTW により) 特定の周波数にしか調整できない点にあります。

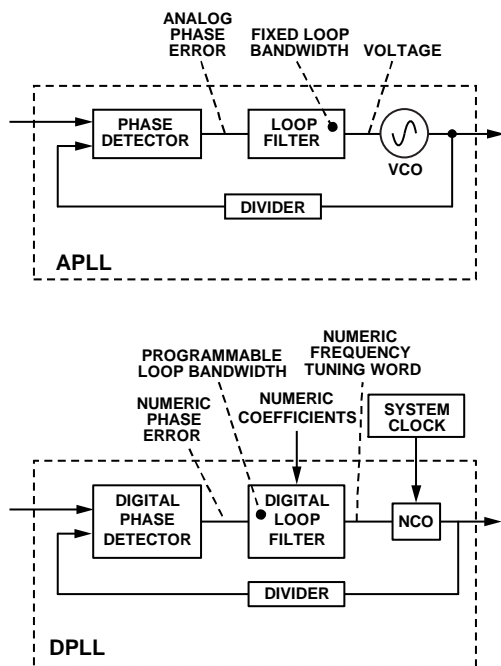


図 40. APLL と DPLL

AD9542 の DPLL には、TDC ベースのデジタル位相検出器と、帯域幅をプログラムできるデジタル・ループ・フィルタが組み込まれています。デジタル・ループ・フィルタ出力は、対応する NCO 出力周波数を生成するデジタル FTW (アナログ PLL における DC 電圧に相当) を形成します。

DPLL 位相/周波数ロック検出器

DPLL の位相および周波数検出器の詳細については、ロック検出器のセクションを参照してください。

DPLL ループ・コントローラ

DPLL には複数の動作モードがあります (フリーラン、ホールドオーバー、およびアクティブなど)。モード間のシームレスな遷移を実現するために、DPLL はループ・コントローラを備えています。ループ・コントローラは、自動リファレンス・スイッチングまたは手動制御設定の主な要求事項に基づいて、適切な DPLL 動作モードを設定します。

スイッチオーバー

スイッチオーバーは、ループ・コントローラが 1 つの入力リファレンスから別のリファレンスに直接切り替わる場合に発生します。AD9542 は、一時的にホールドオーバー・モードに入って新しい DPLL パラメータをロードし、その後直ちに前の状態に復帰することによって、リファレンス・スイッチオーバーを処理します。

ホールドオーバー

通常は、すべての入力リファレンスが無効になるとホールドオーバー状態になります。しかし、1 つまたは複数のリファレンスが有効な状態にあっても、強制的にホールドオーバー・モードにすることができます。これは、レジスタ・マップの動作制御チャンネル 0 および動作制御チャンネル 1 セクションにある DPLLx 強制ホールドオーバー・ビット (ここで x=0 または 1) を、ロジック 1 に設定することによって行います。ホールドオーバー・モードでは出力周波数が固定されます (システム・クロックの安定性の範囲内)。AD9542 の精度は、デバイスのプログラミングと、チューニング・ワード履歴を使用できるかどうか依存しています。

ホールドオーバーからの復帰

イネーブルされた変換プロファイルがホールドオーバー状態時に使用できるようになると、デバイスはホールドオーバー動作を終了します。ループ・コントローラが DPLL をクローズドループ動作に戻して選択リファレンスにロックし、アクティブ・リファレンス用のプロファイル設定に基づき、すべてのループ・パラメータを順次回復させます。

レジスタ・マップの動作制御チャンネル 0 および動作制御チャンネル 1 セクションにある DPLLx 強制ホールドオーバー・ビット (ここで x=0 または 1) をロジック 1 にセットすると、有効な変換プロファイルを使用できるようになっても、ホールドオーバー状態は自動終了しません。ただし、DPLL 強制ホールドオーバー・ビットをクリアすれば、自動復帰することができます。

アプリケーション情報

光ネットワーク用ライン・カード

このアプリケーション（図 41 参照）における AD9542 の使用方法はさまざまです。

ループ時限（WAN）モードでは、AD9542 の DPLL の 1 つが CDR にロックして受信パスのジッタを除去するために使われ、そのクロックがセントラル・タイミング・カードとフレーマに送られます。一部のアプリケーションでは、AD9542 を使って、FEC 比での通倍や分周などのさまざまな周波数変換タスクや、ギャップのあるクロックからのジッタ除去を行うこともできま

す。他の DPLL はジッタ・クリーニングを行い、トランスミッタ・パスにクロックを提供します。

その他のタスクには、タイミング・カードからのリファレンス・クロックの周波数変換とジッタ・クリーニングや、タイミング・カード A からタイミング・カード B へのリファレンス・スイッチングのシームレスな処理などがあります。

光ライン・カードのプロトコルと機能が常に進化を続けていることを考えると、決してこのセクションに挙げた機能がすべてではありません。

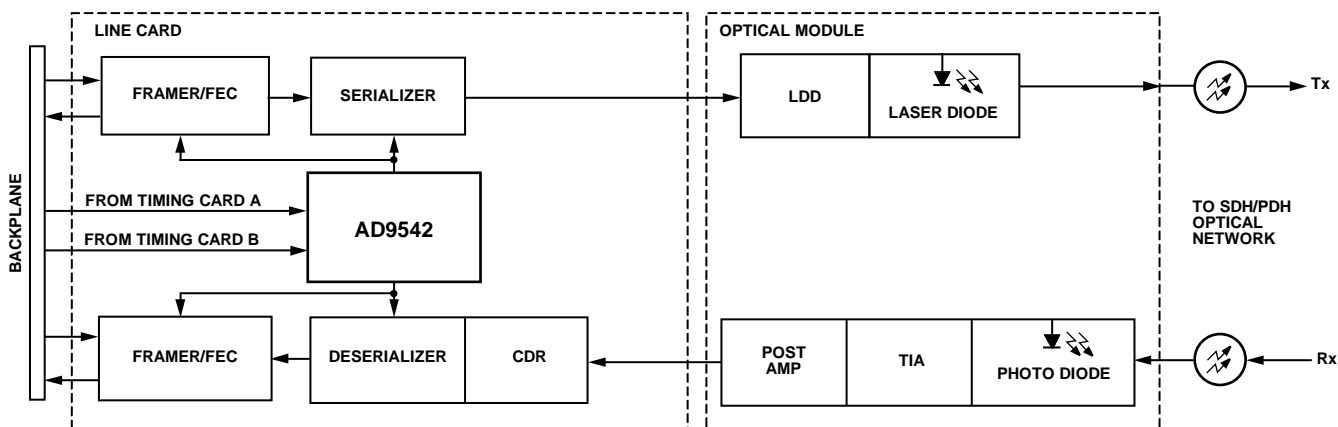


図 41. 光ライン・カードの例

15628-043

スモール・セル基地局

このアプリケーション (図 42 参照) では、AD9542 がスモール・セル基地局のベースバンド・ユニットに対するすべての同期を行います。JESD204B に従ってシステムを構成すれば、特にコンパクトで効率的な設計が可能です。

AD9542 は次のいずれにもロックすることができます: GPS、SyncE、および/または IEEE1588 (別に IEEE1588 サーボとソフトウェア・スタックが必要) またはループ時限 (SONET/

SDH バックホール使用時)。AD9542 の PLL0 は、1 つのデバイス・クロックと最大で 4 つのデバイス・システム・リファレンス・クロックを備えており、これらは AD9371 のような無線トランシーバのクロッキングに使用できます。

AD9542 の PLL1 はバックホール・インターフェースをクロックする他、オプションで CPU インターフェースをクロックします。

AD9542 は EEPROM を備えているので、起動時にその設定を自動的にロードできます。

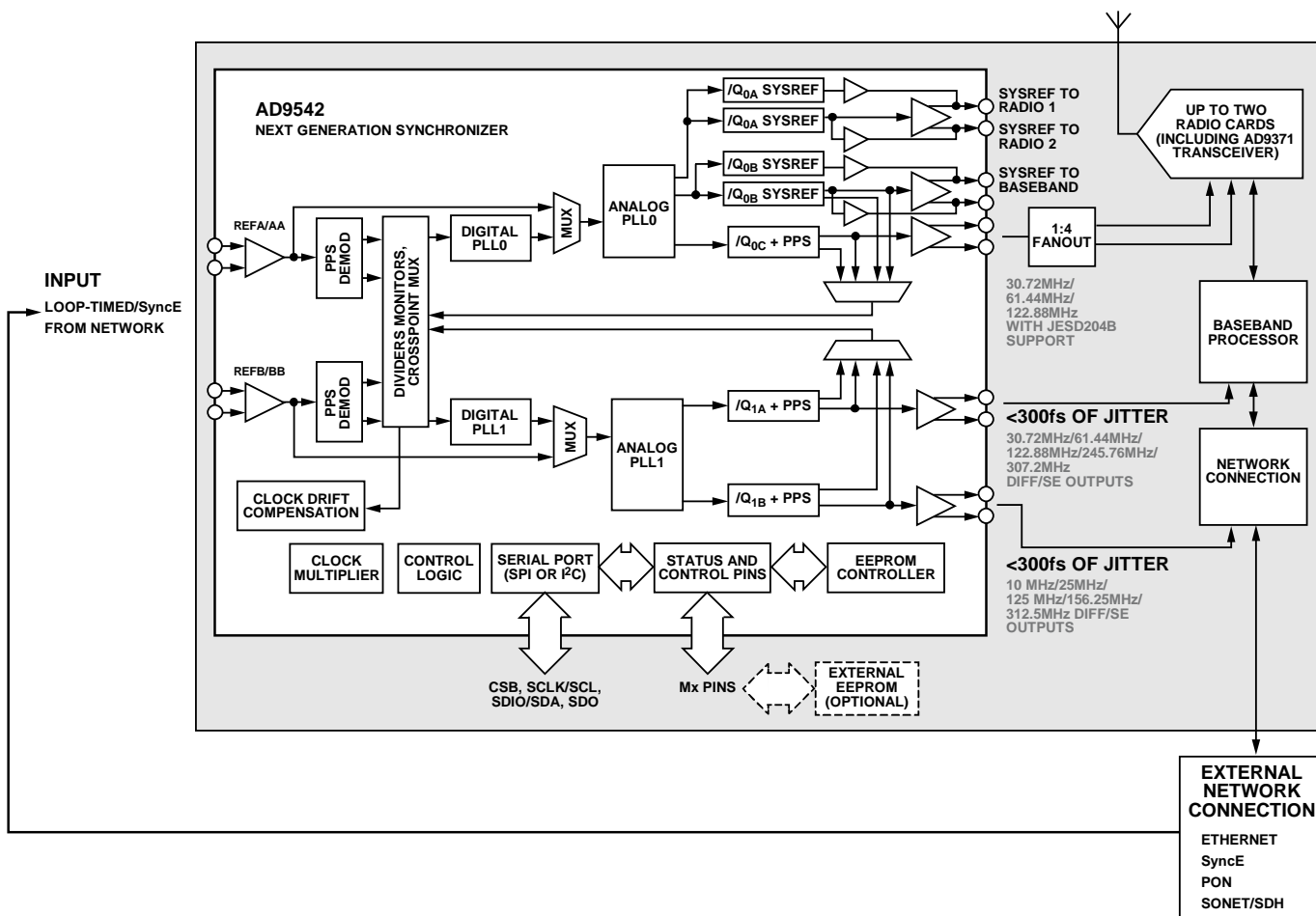


図 42. スモール・セル・アプリケーション

初期化シーケンス

AD9542 の起動とプログラミングのシーケンスを、図 43、図 44、図 45 に示します。

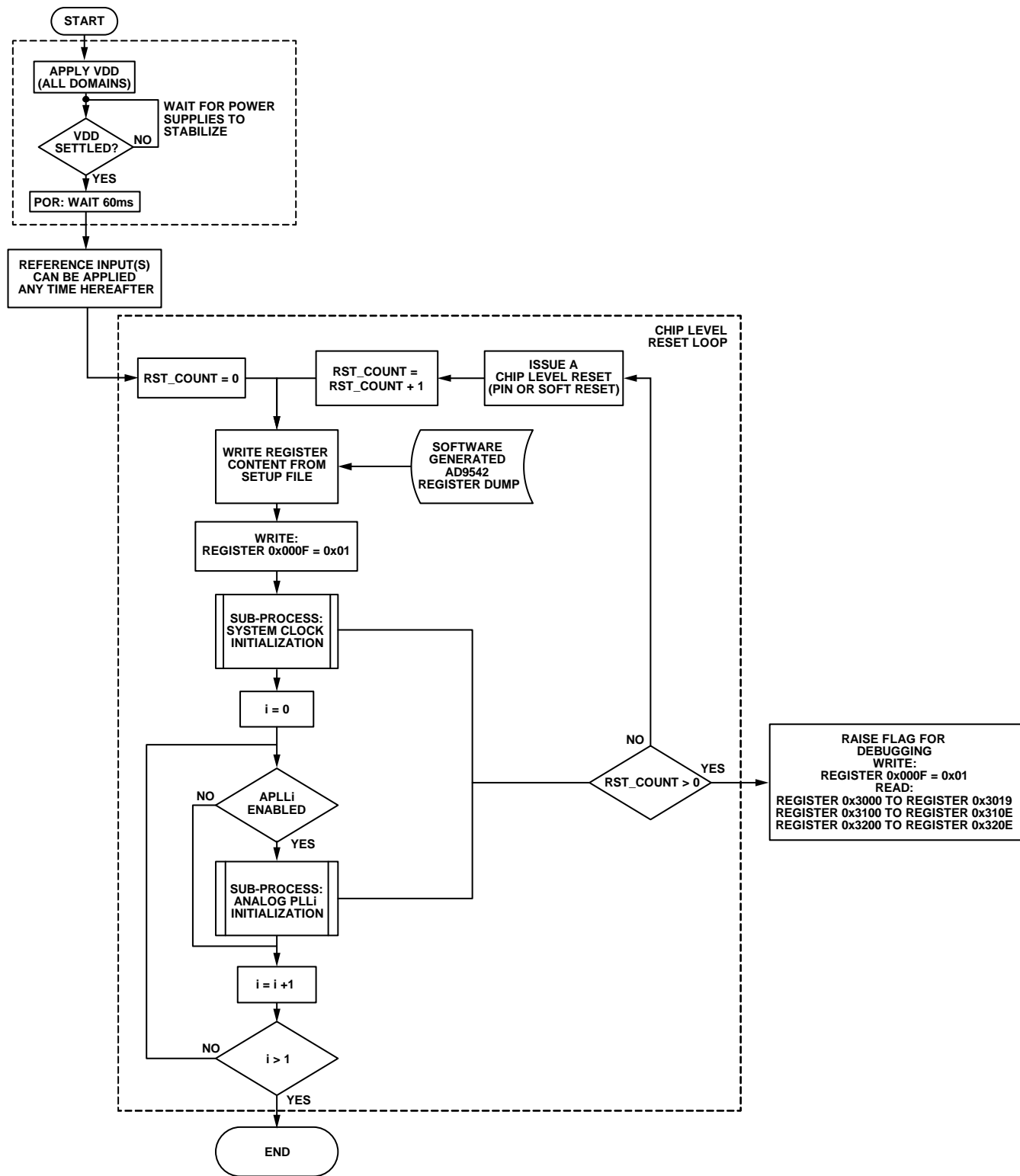
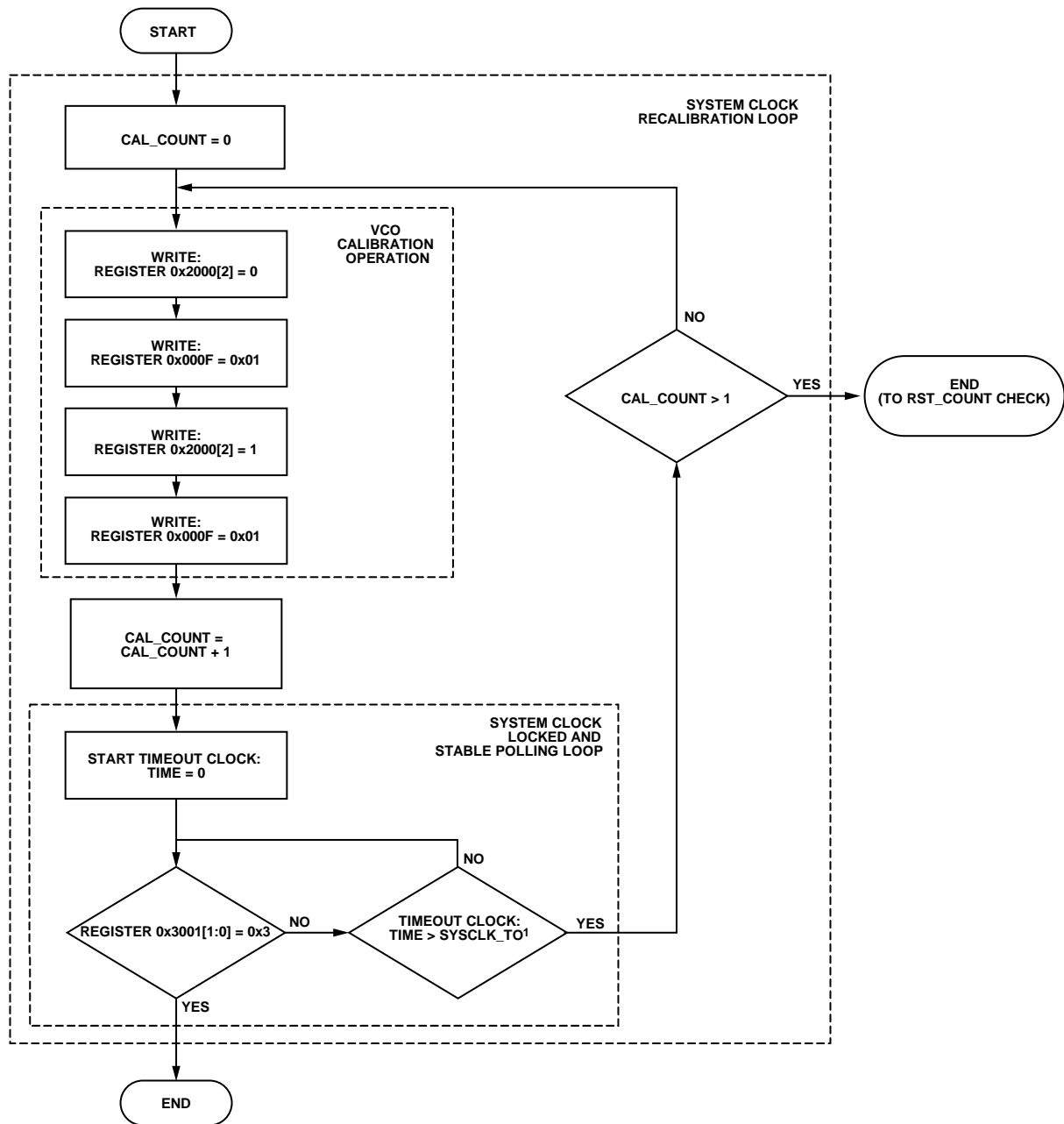


図 43. プログラミング・シーケンス・ループ

15826-01



¹SYSCLK_TO IS A CALCULATED TIME OUT VALUE.
IT IS 50ms + SYSTEM CLOCK VALIDATION TIME (REGISTER 0x0207 TO REGISTER 0x0209 [UNITS OF ms])

図 44. システム・クロック初期化サブプロセス

1582P-102

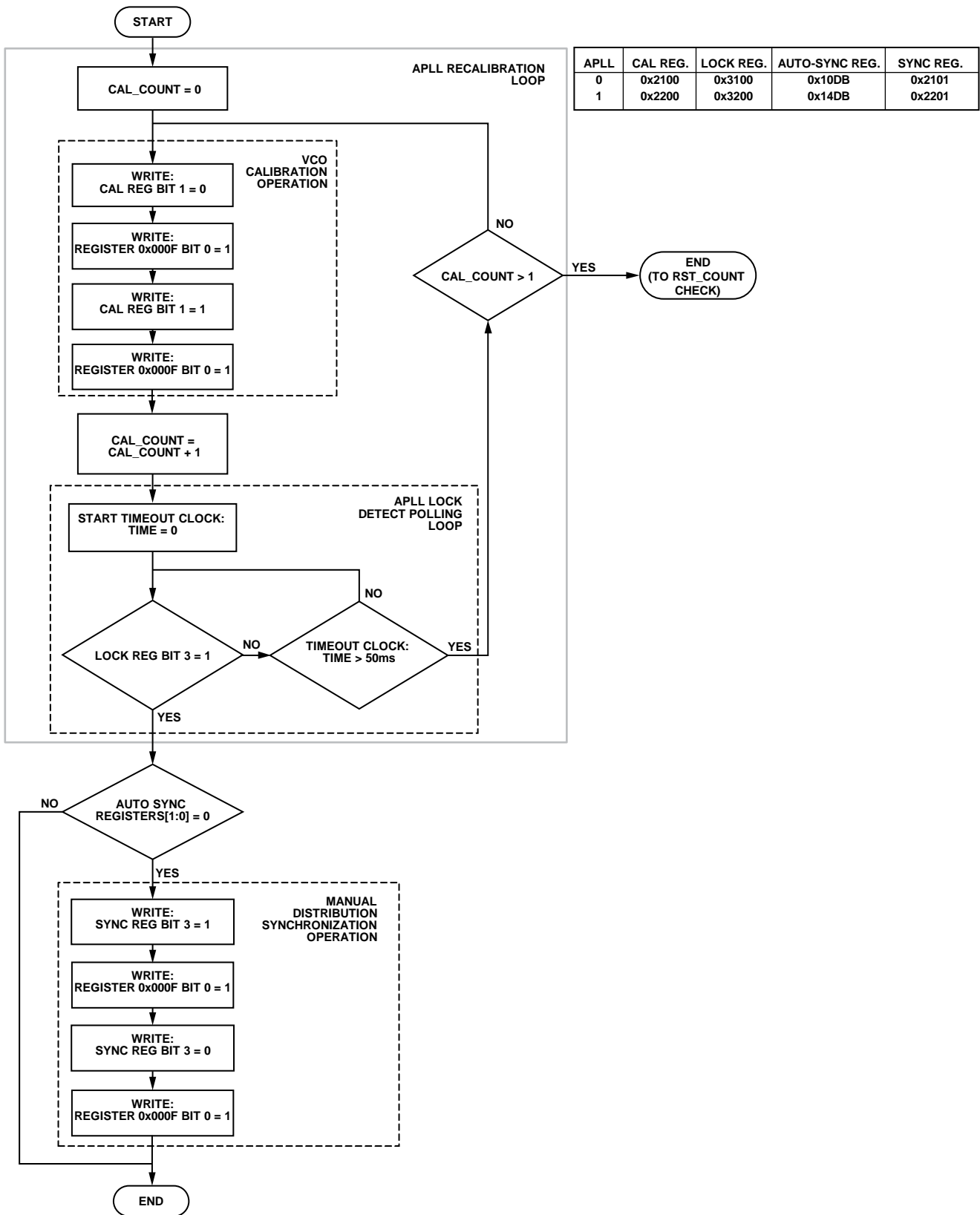


図 45. アナログ PLL 初期化サブプロセス

15526-103

ステータス／制御ピン

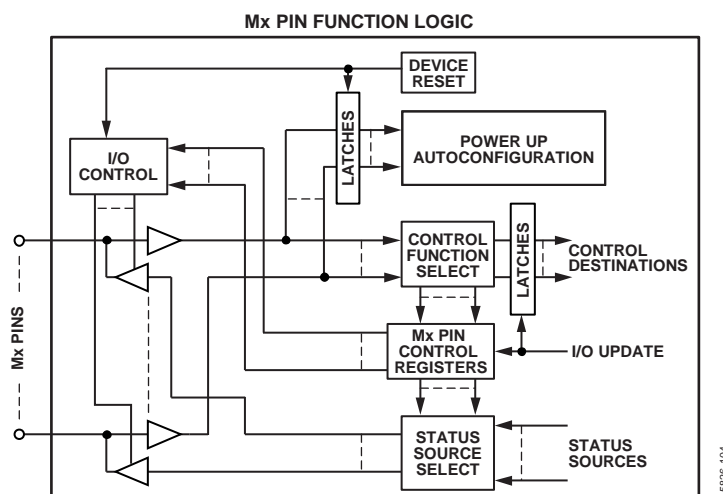


図 46. Mx ピンのロジック

AD9542 には、個別に設定可能な 7 本のデジタル CMOS ステータス／制御ピン (M0 ~ M6) があります。Mx ピンをステータス・ピンとして設定すると、そのピンが出力になります。逆に、Mx ピンを制御ピンとして設定すると、そのピンが入力になります。レジスタ 0x102 ~ レジスタ 0x108 は、ビット [D6:D0] を介して、ピンの性質 (ビット D7 によるステータスまたは制御) と、ピンに対応するステータス源または制御先の両方を制御します。パワーアップまたはリセット時は Mx ピンが一時的に入力となり、デバイスは自動設定しかできないようになります。図 46 に Mx ピン機能のブロック図を示します。

Mx ピン制御ロジックは、特別なレジスタ書込み検出ロジックを使い、Mx ピン機能の変更時 (特に入力モードから出力モードへの変更時またはその逆の変更時) に、これらのピンが予期せぬ動作をしないようにします。

Mx ピンが出力として機能するときは、ユーザが対応レジスタをプログラムした後も、それ以前の機能に従って動作を続けます。しかし、入出力の更新をアサートすると、新しくプログラムされたレジスタ内容に応じて、対応するピンが新しい機能に切り替わります。Mx ピンを 1 つの出力機能から別の出力機能に変更する場合でも、ピン上での入出力の競合を避けるために特別なタイミングが必要になることはありません。

Mx ピンが入力として機能する場合、特定の Mx ピン機能レジスタをプログラムすると、すべての Mx ピン制御機能がそれぞれの値にラッチされます。入出力の更新をアサートすると、新たにプログラムされたピン機能に切り替わり、その時点で通常動作が再開されます。同じピン上で 1 つの入力機能から別の入力機能に切り替える際、そのピンへの入力時に駆動されるロジックの状態は、対応レジスタに新機能を書き込んでから入出力の更新をアサートするまでの間、自由に変えることができます。

Mx ピンの動作を入力機能から出力機能に切り替えるときに推奨されるのは、新しい機能を書き込んでから入出力の更新をアサートするまでの間、外部駆動源を高インピーダンスにすることです。

Mx ピンの動作を出力から入力に切り替えるときの推奨方法を以下に示します。最初に、Mx ピンの入力機能を無動作

(NOOP) にプログラムして、入出力の更新をアサートします。入出力の更新をアサートする前にはデバイスが Mx ピンの駆動を続けているため、Mx ピン上で入出力が競合したり、その他の望ましくない動作が発生したりするおそれがありますが、上記の設定によってこれを防ぎます。入出力更新のアサート後、デバイスは Mx ピンを解放しますが、NOOP 機能がプログラムされているので、このピンに現れるロジック・レベルを無視します。入力として設定された Mx ピンに高インピーダンスの供給源を使用すると内部電流消費が大きくなるので、そのような供給源は使用しないことを推奨します。次に、適切な外部供給源を介して Mx ピンをロジック 0 またはロジック 1 で駆動し、対応する Mx ピン・レジスタを NOOP から必要な機能にプログラムします。

リセット／パワーアップ時の多機能ピン

パワーアップ時またはリセット操作への対応時、Mx ピンは特別な動作モードになります。パワーアップまたはリセット操作後少しの間、Mx ピンは入力としてのみ機能します (パワーアップ／リセット操作時、内部ドライバは高インピーダンス状態になります)。この間、デバイスは Mx 入力のロジック・レベルをラッチし、この情報に応じてデバイスを自動設定します。Mx ピンは、EEPROM が動作するまで (この場合は M1 または M2 が I²C マスターになります)、あるいはユーザ (もしくは EEPROM) が Mx ピンを出力としてプログラムするまで、高インピーダンスのままになります。

Mx ピンに外付けのプルアップ/プルダウン抵抗を接続しない場合にスタートアップの設定を予測できるように、M3 ピンと M4 ピンには内部プルダウン抵抗が接続されています。外付け抵抗がない場合は、外部 EEPROM からデータを自動的にロードしなくても、内部プルダウン抵抗が、シリアル・ポートを使って SPI モードでデバイスをスタートアップできるようにします

(表 26 参照)。スタートアップ時の M0、M1、M2、M5、および M6 ピンは高インピーダンスですが、動作の信頼性を高めるため、これらのピンには 100 kΩ のプルダウン抵抗またはプルアップ抵抗を接続してください。

スタートアップ時の Mx ピンの状態を表 26 に示します。M0、M1、M2 はパワーアップまたはリセット動作時に明確な機能を持たないので、表 26 では除外されています。

表 26. スタートアップまたはリセット時の Mx ピンの機能

Mx Pin	Startup/Reset Function	Logic 1	Logic 0
M3	EEPROM load function	Load from EEPROM	Do not load from EEPROM (default)
M4	Serial port function	I ² C mode	SPI mode (default)
M5	I ² C address offset	See スタートアップ時の状態によってシリアル・ポートが I ² C モード (つまりスタートアップ時に M4 がロジック 1) となった場合は、M5 ピンと M6 ピンが、表 27 に従って I ² C ポートのデバイス・アドレス・オフセットを決定します。表 27 に示すロジック・レベルは、パワーアップまたはリセット動作時のみに適用されます。	See スタートアップ時の状態によってシリアル・ポートが I ² C モード (つまりスタートアップ時に M4 がロジック 1) となった場合は、M5 ピンと M6 ピンが、表 27 に従って I ² C ポートのデバイス・アドレス・オフセットを決定します。表 27 に示すロジック・レベルは、パワーアップまたはリセット動作時のみに適用されます。
M6	I ² C address offset	See スタートアップ時の状態によってシリアル・ポートが I ² C モード (つまりスタートアップ時に M4 がロジック 1) となった場合は、M5 ピンと M6 ピンが、表 27 に従って I ² C ポートのデバイス・アドレス・オフセットを決定します。表 27 に示すロジック・レベルは、パワーアップまたはリセッ	See スタートアップ時の状態によってシリアル・ポートが I ² C モード (つまりスタートアップ時に M4 がロジック 1) となった場合は、M5 ピンと M6 ピンが、表 27 に従って I ² C ポートのデバイス・アドレス・オフセットを決定します。表 27 に示すロジック・レベルは、パ

ト動作時のみに適用されます。

スタートアップ時の状態によってシリアル・ポートが I²C モード (つまりスタートアップ時に M4 がロジック 1) となった場合は、M5 ピンと M6 ピンが、表 27 に従って I²C ポートのデバイス・アドレス・オフセットを決定します。表 27 に示すロジック・レベルは、パワーアップまたはリセット動作時のみに適用されます。

表 27. I²C デバイス・アドレス・オフセット

M6	M5	M4	Address Offset
X ¹	X ¹	0	Not applicable
0	0	1	1001000 (0x48)
0	1	1	1001001 (0x49)
1	0	1	1001010 (0x4A)
1	1	1	1001011 (0x4B)

¹X はドント・ケアを意味します。

ステータス機能

Mx ピンをステータス・ピンとして設定すると、ロジック信号を生成するハードウェア・ピンの形で、特定の内部デバイス・ステータス/IRQ 機能にアクセスすることができます。各 Mx ピンには対応する Mx 機能レジスタがあります。Mx ピンにステータス・ピンの機能を割り当てるには、対応する Mx ピン機能レジスタの Mx 出力イネーブル・ビットにロジック 1 を書き込みます。

ステータス・ピンとして設定された Mx ピンに特定のステータス/IRQ 機能を割り当てるには、対応する Mx 機能レジスタのビット [D6:D0] に、該当する 7 ビット・コード (表 30 参照) をプログラムします。IRQ 機能の詳細については、割り込み要求 (IRQ) のセクションを参照してください。

ステータス・ピンとして設定した場合、Mx ピンの出力モードは表 28 に示す 2 ビットのモード・コードによって決まります。この 2 ビット・コードはレジスタ 0x100 からレジスタ 0x101 までに置かれ、Mx レシーバー／ドライバ・ビット・フィールドを構成します。Mx ピンが制御ピンの場合、Mx レシーバー／ドライバ・ビット・フィールドは異なる役割を果たします（制御機能のセクションを参照）。

表 28. Mx ステータス・ピンの Mx レシーバー／ドライバ・ビット・フィールド・コード

Code	Mode	Description
00	CMOS, active high	出力はアサート解除時がロジック 0、アサート時がロジック 1（デフォルトの動作モード）。
01	CMOS, active low	出力はアサート解除時がロジック 1、アサート時がロジック 0。
10	PMOS, open drain	出力はアサート解除時が高インピーダンス、アサート時がアクティブ・ハイ。
11	NMOS, open drain	出力はアサート解除時が高インピーダンス、アサート時がアクティブ・ロー。

PMOS オープンドレイン・モードには外付けプルダウン抵抗が必要で、NMOS オープンドレイン・モードには外付けプルアップ抵抗が必要です。オープンドレイン・モードは、複数の Mx ステータス・ピンのワイヤード OR 機能の実装を有効にします（複数の AD9542 デバイスまたは他の互換デバイスの Mx ステータス・ピンを含む - 例えば IRQ バスの実装時）。

Mx ステータス・ピンの駆動強度は、対応する Mx 設定ビット（ピン駆動強度レジスタのビット [D6:D0]）を介してプログラム可能です。ロジック 0（デフォルト）にすると通常の駆動強度（約 6 mA）、ロジック 1 にすると低駆動強度（約 3 mA）になります。

制御機能

Mx ピンを制御ピンとして設定すると、外部ハードウェア・ロジック信号を介して特定の内部デバイス機能を制御することができます。各 Mx ピンには対応する Mx 機能レジスタがあります。Mx ピンに制御ピンの機能を割り当てるには、対応する Mx 機能レジスタの Mx 出力イネーブル・ビットにロジック 0 を書き込みます。

Mx ピンを特定の機能に割り当てるには、対応する Mx 機能レジスタのビット [D6:D0] に、該当する 7 ビット・コード（表 30 参照）をプログラムします。IRQ 機能の詳細については、割込み要求（IRQ）のセクションを参照してください。

Mx 制御ピンとして設定した場合は、Mx ピンに加わるロジック・レベルが選択デバイス機能として解釈されます。論理式を実装する複数のピンを使い、複数の Mx 制御ピンを同じ制御機能に割り当てることも可能です。Mx 制御ピンに関連付けられた論理演算は、表 29 の 2 ビット・コードに依存します。この 2 ビット・コードはレジスタ 0x100 からレジスタ 0x101 までに置かれ、Mx レシーバー／ドライバ・ビット・フィールドを構成します。Mx ピンがステータス・ピンの場合、Mx レシーバー／ドライバ・ビット・フィールドは異なる役割を果たします（ステータス機能のセクションを参照）。

表 30. Mx ピンのステータスおよび制御コード

Bits[D6:D0] (Hex)	Control Function	Destination Proxy	Status Function	Source Proxy (or Description)
0x00	No operation (NOOP)	Not applicable	Logic 0, static	Not applicable
0x01	IO_UPDATE	Register 0x000F, Bit D0	Logic 1, static	Not applicable
0x02	Device power down	Register 0x2000, Bit D0	Digital core clock	Not applicable

表 29. Mx 制御ピンの Mx レシーバー／ドライバ・ビット・フィールド・コード

Code	Boolean	Description
00	AND	対応する Mx 制御ピンと、同じ制御機能に割り当てられた他の Mx 制御ピンとの論理積 (AND) を取る。
01	NOT AND	対応する Mx 制御ピンの論理状態を反転して (NOT)、その値と、同じ制御機能に割り当てられた他の Mx 制御ピンとの論理積 (AND) を取る。
10	OR	対応する Mx 制御ピンと、同じ制御機能に割り当てられた他の Mx 制御ピンとの論理和 (OR) を取る。
11	NOT OR	対応する Mx 制御ピンの論理状態を反転して (NOT)、その値と、同じ制御機能に割り当てられた他の Mx 制御ピンとの論理和 (OR) を取る。

Mx 制御ピン全体としての論理演算機能では、OR 演算が先に行われ、その後で AND 演算が行われます。OR 演算と NOT OR 演算は 1 つの結果にまとめられます。その結果を使って AND 演算が行われ、さらに残りの AND 演算と NOT AND 演算が行われます。

M0、M2、M3、M6 が、すべて入出力更新制御機能に割り当てられた場合を考えます。つまり、レジスタ 0x102 ~ レジスタ 0x108 のビット [D6:D0] = 0x01 の場合です（表 30 参照）。さらに、M0 は AND 演算に割り当てられ、M2 は NOT OR 演算、M3 は NOT AND 演算、M6 は OR 演算に割り当てられています（つまり、表 29 によるレジスタ 0x100 とレジスタ 0x101 の 2 ビット・コード）。このような設定では、入出力更新機能は以下の論理式に従って動作します。

$$\text{入出力更新} = (!M2 \parallel M6) \&\& M0 \&\& !M3$$

ここで、

! は NOT（否定）です。したがって、入出力の更新は、M0 がロジック 1、M3 がロジック 0、および M2 がロジック 0 または M6 がロジック 1 のときに行われます。

&& は AND、
|| は OR です。

Mx 制御ピンが（先に挙げた例のようにグループの一部としてではなく）個別に制御機能に作用する場合、表 29 に示すコードの論理演算機能は 2 つの可能性に限定されます。すなわち、コード 00 とコード 10 は論理的な真を示し（Mx ピンの論理状態が対応する制御機能に直接適用される）、コード 01 とコード 11 は論理的な偽を示します（Mx ピンの論理状態が対応する制御機能に反転して適用される）。

表 30 のソース・プロキシ列とディスティネーション・プロキシ列において、&&、||、! の各機能は、それぞれ AND 演算、OR 演算、NOT 演算を表します。

Bits[D6:D0] (Hex)	Control Function	Destination Proxy	Status Function	Source Proxy (or Description)
0x03	Clear watchdog timer	Register 0x2005, Bit D7	Watchdog timer timeout	Not applicable
0x04	Sync all	Register 0x2000, Bit D3	SYSCLK calibration in progress	Register 0x3001, Bit D2
0x05	Unassigned	Not applicable	SYSCLK lock detect	Register 0x3001, Bit D0
0x06	Unassigned	Not applicable	SYSCLK stable	Register 0x3001, Bit D1
0x07	Unassigned	Not applicable	Channel 0 and Channel 1 PLLs locked	Register 0x3001, Bit D4 && Bit D5
0x08	Unassigned	Not applicable	PLL0 locked	Register 0x3001, Bit D4
0x09	Unassigned	Not applicable	PLL1 locked	Register 0x3001, Bit D5
0x0A	Unassigned	Not applicable	EEPROM save in progress	Register 0x3000, Bit D0
0x0B	Unassigned	Not applicable	EEPROM load in progress	Register 0x3000, Bit D1
0x0C	Unassigned	Not applicable	EEPROM fault detected	Register 0x3000, Bit D2 Bit D3
0x0D	Unassigned	Not applicable	Temperature sensor limit alarm	Register 0x3002, Bit D0
0x0E	Unassigned	Not applicable	Unassigned	Not applicable
0x0F	Unassigned	Not applicable	Unassigned	Not applicable
0x10	Clear all IRQ events	Register 0x2005, Bit D0	Any IRQ event	The logical OR of all triggered IRQ events
0x11	Clear common IRQ events	Register 0x2005, Bit D1	Common IRQ event	The logical OR of all triggered common IRQ events
0x12	Clear PLL0 IRQ events	Register 0x2005, Bit D2	PLL0 IRQ event	The logical OR of all triggered PLL0 IRQ events
0x13	Clear PLL1 IRQ events	Register 0x2005, Bit D3	PLL1 IRQ event	The logical OR of all triggered PLL1 IRQ events
0x14	Unassigned	Not applicable	REFA demodulator clock	Not applicable

Bits[D6:D0] (Hex)	Control Function	Destination Proxy	Status Function	Source Proxy (or Description)
0x15	Unassigned	Not applicable	Unassigned	Not applicable
0x16	Unassigned	Not applicable	REFAA demodulator clock	Not applicable
0x17	Unassigned	Not applicable	Unassigned	Not applicable
0x18	Unassigned	Not applicable	REFB demodulator clock	Not applicable
0x19	Unassigned	Not applicable	Unassigned	Not applicable
0x1A	Unassigned	Not applicable	REFBB demodulator clock	Not applicable
0x1B	Unassigned	Not applicable	Unassigned	Not applicable
0x1C	Unassigned	Not applicable	REFA reference (R) divider resync	Register 0x300D, Bit D3
0x1D	Unassigned	Not applicable	REFAA R divider resync	Register 0x300D, Bit D7
0x1E	Unassigned	Not applicable	REFB R divider resync	Register 0x300E, Bit D3
0x1F	Unassigned	Not applicable	REFBB R divider resync	Register 0x300E, Bit D7
0x20	Fault REFA	Register 0x2003, Bit D0	REFA faulted	Register 0x3005, Bit D3
0x21	Fault REFAA	Register 0x2003, Bit D1	REFAA faulted	Register 0x3006, Bit D3
0x22	Fault REFB	Register 0x2003, Bit D2	REFB faulted	Register 0x3007, Bit D3
0x23	Fault REFBB	Register 0x2003, Bit D3	REFBB faulted	Register 0x3008, Bit D3
0x24	Unassigned	Not applicable	REFA valid	Register 0x3005, Bit D4
0x25	Unassigned	Not applicable	REFAA valid	Register 0x3006, Bit D4
0x26	Unassigned	Not applicable	REFB valid	Register 0x3007, Bit D4
0x27	Unassigned	Not applicable	REFBB valid	Register 0x3008, Bit D4
0x28	Timeout REFA validation	Register 0x2002, Bit D0 (validate REFA if faulted; otherwise, no action)	REFA active	This function represents a logical combination of several registers and bits
0x29	Timeout REFAA validation	Register 0x2002, Bit D1 (validate REFAA if faulted; otherwise, no action)	REFAA active	This function represents a logical combination of several registers and bits
0x2A	Timeout REFB validation	Register 0x2002, Bit D2 (validate REFB if faulted; otherwise, no action)	REFB active	This function represents a logical combination of several registers and bits
0x2B	Timeout REFBB validation	Register 0x2002, Bit D3 (validate REFBB if faulted; otherwise, no action)	REFBB active	This function represents a logical combination of several registers and bits
0x2C	Unassigned	Not applicable	Not applicable	Not applicable
0x2D	Unassigned	Not applicable	Not applicable	Not applicable
0x2E	Unassigned	Not applicable	Feedback 0 active	Not applicable
0x2F	Unassigned	Not applicable	Feedback 1 active	Not applicable
0x30	Not applicable	Not applicable	DPLL0 phase locked	Register 0x3100, Bit D1
0x31	Not applicable	Not applicable	DPLL0 frequency locked	Register 0x3100, Bit D2
0x32	Not applicable	Not applicable	APLL0 locked	Register 0x3100, Bit D3
0x33	Unassigned	Not applicable	APLL0 calibration in progress	Register 0x3100, Bit D4
0x34	Unassigned	Not applicable	DPLL0 active	Register 0x3009, Bit D5 Bit D4 Bit D3 Bit D2 Bit D1 Bit D0
0x35	Unassigned	Not applicable	DPLL0 freerun	Register 0x3101, Bit D0
0x36	Unassigned	Not applicable	DPLL0 holdover	Register 0x3101, Bit D1
0x37	Unassigned	Not applicable	DPLL0 switching	Register 0x3101, Bit D2
0x38	Unassigned	Not applicable	DPLL0 tuning word history status	Register 0x3102, Bit D0
0x39	Unassigned	Not applicable	DPLL0 tuning word history updated	Register 0x 3010, Bit D2
0x3A	Unassigned	Not applicable	DPLL0 frequency clamped	Register 0x3102, Bit D1
0x3B	Unassigned	Not applicable	DPLL0 phase slew limited	Register 0x3102, Bit D2

Bits[D6:D0] (Hex)	Control Function	Destination Proxy	Status Function	Source Proxy (or Description)
0x3C	Unassigned	Not applicable	PLL0 distribution synchronized	Register 0x3013, Bit D4
0x3D	Unassigned	Not applicable	Unassigned	Not applicable
0x3E	Unassigned	Not applicable	DPLL0 phase step detected	Register 0x3010, Bit D0
0x3F	Unassigned	Not applicable	DPLL0 fast acquisition active	Register 0x3102, Bit D4
0x40	PLL0 power-down	Register 0x2100, Bit D0	DPLL0 fast acquisition complete	Register 0x3102, Bit D5
0x41	DPLL0 user freerun	Register 0x2105, Bit D0	DPLL0 feedback divider resync	Register 0x3012, Bit D4
0x42	DPLL0 user holdover	Register 0x2105, Bit D1	PLL0 distribution phase slew enable	Indicates when any one of the PLL0 distribution phase slew limiters is actively limiting
0x43	DPLL0 clear tuning word history	Register 0x2107, Bit D1	PLL0 distribution configuration error	Indicates when any one of the PLL0 distribution channel dividers encountered a phase offset error
0x44	Synchronize PLL0 distribution dividers	Register 0x2101, Bit D3	Unassigned	Not applicable
0x45	DPLL0 translation profile select, Bit 0	Register 0x2105, Bit D4	Unassigned	Not applicable
0x46	DPLL0 translation profile select, Bit 1	Register 0x2105, Bit D5	Unassigned	Not applicable
0x47	DPLL0 translation profile select, Bit 2	Register 0x2105, Bit D6	Unassigned	Not applicable
0x48	Unassigned	Not applicable	Unassigned	Not applicable
0x49	Unassigned	Not applicable	Unassigned	Not applicable
0x4A	Unassigned	Not applicable	Unassigned	Not applicable
0x4B	Unassigned	Not applicable	Unassigned	Not applicable
0x4C	Unassigned	Not applicable	Unassigned	Not applicable
0x4D	Unassigned	Not applicable	Unassigned	Not applicable
0x4E	Unassigned	Not applicable	Unassigned	Not applicable
0x4F	Unassigned	Not applicable	Unassigned	Not applicable
0x50	Mute OUT0A	Register 0x2102, Bit D2	DPLL1 phase locked	Register 0x3200, Bit D1
0x51	Mute OUT0AA	Register 0x2102, Bit D3	DPLL1 frequency locked	Register 0x3200, Bit D2
0x52	Reset OUT0A/ OUT0AA driver	Register 0x2102, Bit D5	APLL1 locked	Register 0x3200, Bit D3
0x53	Mute OUT0B	Register 0x2103, Bit D2	APLL1 calibration in progress	Register 0x3200, Bit D4
0x54	Mute OUT0BB	Register 0x2103, Bit D3	DPLL1 active	Register 0x300A, Bit D5 Bit D4 Bit D3 Bit D2 Bit D1 Bit D0
0x55	Reset OUT0B/ OUT0BB driver	Register 0x2103, Bit D5	DPLL1 freerun	Register 0x3201, Bit D0
0x56	Mute OUT0C	Register 0x2104, Bit D2	DPLL1 holdover	Register 0x3201, Bit D1
0x57	Mute OUT0CC	Register 0x2104, Bit D3	DPLL1 switching	Register 0x3201, Bit D2
0x58	Reset OUT0C/ OUT0CC driver	Register 0x2104, Bit D5	DPLL1 tuning word history status	Register 0x3202, Bit D0
0x59	Mute OUT0xP/ OUT0xN	Register 0x2101, Bit D1	DPLL1 tuning word history updated	Register 0x3015, Bit D2
0x5A	Reset OUT0xP/ OUT0xN drivers	Register 0x2101, Bit D2	DPLL1 frequency clamped	Register 0x3202, Bit D1
0x5B	Channel 0 N-shot request	Register 0x2101, Bit D0	DPLL1 phase slew limited	Register 0x3202, Bit D2
0x5C	Unassigned	Not applicable	PLL1 distribution synchronized	Register 0x3018, Bit D4
0x5D	Unassigned	Not applicable	Unassigned	Not applicable

Bits[D6:D0] (Hex)	Control Function	Destination Proxy	Status Function	Source Proxy (or Description)
0x5E	Unassigned	Not applicable	DPLL1 phase step detected	Register 0x3015, Bit D0
0x5F	Unassigned	Not applicable	DPLL1 fast acquisition active	Register 0x3202, Bit D4
0x60	PLL1 power-down	Register 0x2200, Bit D0	DPLL1 fast acquisition complete	Register 0x3202, Bit D5
0x61	DPLL1 force freerun	Register 0x2205, Bit D0	DPLL1 feedback divider resync	Register 0x3017, Bit D4
0x62	DPLL1 force holdover	Register 0x2205, Bit D1	PLL1 distribution phase slew enable OR'ed	Indicates when any one of the PLL1 distribution phase slew limiters is actively limiting
0x63	DPLL1 clear tuning word history	Register 0x2207, Bit D1	PLL1 distribution phase control error OR'ed	Indicates when any one of the PLL1 distribution channel dividers encountered a phase offset error
0x64	Synchronize PLL1 distribution dividers	Register 0x2201, Bit D3	Unassigned	Not applicable
0x65	DPLL1 translation profile select, Bit 0	Register 0x2205, Bit D4	Unassigned	Not applicable
0x66	DPLL1 translation profile select, Bit 1	Register 0x2205, Bit D5	Unassigned	Not applicable
0x67	DPLL1 translation profile select, Bit 2	Register 0x2205, Bit D6	Unassigned	Not applicable
0x68	Unassigned	Not applicable	Unassigned	Not applicable
0x69	Unassigned	Not applicable	Unassigned	Not applicable
0x6A	Unassigned	Not applicable	Unassigned	Not applicable
0x6B	Unassigned	Not applicable	Unassigned	Not applicable
0x6C	Unassigned	Not applicable	Unassigned	Not applicable
0x6D	Unassigned	Not applicable	Unassigned	Not applicable
0x6E	Unassigned	Not applicable	Unassigned	Not applicable
0x6F	Unassigned	Not applicable	Unassigned	Not applicable
0x70	Mute OUT1A	Register 0x2202, Bit D2	Not applicable	Not applicable
0x71	Mute OUT1AA	Register 0x2202, Bit D3	Not applicable	Not applicable
0x72	Reset OUT1A/OUT1AA driver	Register 0x2202, Bit D5	Not applicable	
0x73	Mute OUT1B	Register 0x2203, Bit D2	Not applicable	
0x74	Mute OUT1BB	Register 0x2203, Bit D3	Not applicable	
0x75	Reset OUT1B/OUT1BB driver	Register 0x2203, Bit D5	Not applicable	
0x76	Mute OUT1xP/OUT1xN drivers	Register 0x2201, Bit D1	Unassigned	Not applicable
0x77	Reset OUT1xP/OUT1xN drivers	Register 0x2201, Bit D2	Unassigned	Not applicable
0x78	Channel 1 N-shot request	Register 0x2201, Bit D0	Timestamp 0 event detected	Register 0x300E, Bit D2
0x79	Unassigned	Not applicable	Timestamp 1 event detected	Register 0x300E, Bit D3
0x7A	Unassigned	Not applicable	Skew measurement detected	Register 0x300E, Bit D4
0x7B	Unassigned	Not applicable	Unassigned	Not applicable
0x7C	Unassigned	Not applicable	Unassigned	Not applicable
0x7D	Unassigned	Not applicable	Unassigned	Not applicable
0x7E	Unassigned	Not applicable	Unassigned	Not applicable
0x7F	Unassigned	Not applicable	Unassigned	Not applicable

割込み要求 (IRQ)

AD9542 は、IRQ イベントをトリガする可能性のある特定の内部デバイス・イベントをモニタします。以下に示す 3 グループのレジスタ (図 47 参照) が、AD9542 内の IRQ 機能を制御します。

- IRQ モニタ・レジスタ (レジスタ 0x300B ~ レジスタ 0x3019)
- IRQ マスク・レジスタ (レジスタ 0x10C ~ レジスタ 0x11A)
- IRQ クリア・レジスタ (レジスタ 0x2006 ~ レジスタ 0x2014)

IRQ ロジックは、すべての IRQ モニタ・ビットのステータスの論理和 (OR) を介して、特定のデバイス・イベントに関する IRQ イベント・ステータスの結果を示すことができます。さらに、IRQ ロジックは、特定の IRQ イベントの特定のグループ、つまり PLL0 IRQ、PLL1 IRQ、および共通 IRQ に関する IRQ イベント・ステータスの結果を提供します (図 47 参照)。

PLL0 IRQ グループには、DPLL0 と APLL0 に関わるすべてのデバイス・イベントが含まれます。PLL1 IRQ グループには、DPLL1 と APLL1 に関わるすべてのデバイス・イベントが含まれます。共通 IRQ グループには、システム・クロック、ウォッチドッグ・タイマー、および EEPROM に関わるイベントが含まれます。

IRQ モニタ

IRQ モニタ・レジスタ (レジスタ・マップの一般ステータス・セクション内) には、特定の IRQ イベントが記録されます。特定のデバイス・イベントが発生すると、IRQ モニタの対応ビットがセットされてラッチされます。IRQ モニタの出力によって、IRQ イベント・ステータスの結果を生成するメカニズムが機能するようになります (図 47 に示す PLL0 IRQ、PLL1 IRQ、共通 IRQ、または任意 IRQ 信号を参照)。

IRQ マスク

IRQ マスク・レジスタ (レジスタ・マップの Mx ピン・ステータス/制御セクション内) のビットは、IRQ モニタ内の特定 IRQ イベント・ビットとのビット対応に使用します。マスク・ビットにロジック 1 を書き込むと (マスクを解除すると)、IRQ モニタに対し、対応する特定デバイス・イベントが有効化されます。ロジック 0 を書き込むと (マスクすると)、IRQ モニタに対し、対応する特定デバイス・イベントが無効化されます。したがって、特定 IRQ イベントは、特定デバイス・イベントと、それに対応する IRQ マスク・ビットの論理積 (AND) を取った結果です。

IRQ マスクがあることによって、IRQ イベント生成のために特定のデバイス・イベントを選択する一方で、他のすべての特定デバイス・イベントを無視 (マスク) して、IRQ イベント・ステータスの結果 (図 47 の PLL0 IRQ、PLL1 IRQ、共通 IRQ、または任意 IRQ 信号) に影響を与えないようにすることが

できます。IRQ マスク・レジスタ・ビットのデフォルト値はロジック 0 です。したがってデバイスは、ユーザが IRQ マスクにロジック 1 を書き込んで対象となる特定 IRQ イベントのマスクを解除するまで、IRQ イベント・ステータスの結果を生成することができません。IRQ マスク・ビットにロジック 1 を書き込むと、対応する特定デバイス・イベントがすでにアサートされている場合 (つまり、対応するデバイス・イベントが前もって登録されているデバイスの場合) は、IRQ ステータス・イベントの結果が直ちに示されます。

IRQ クリア

IRQ クリア・レジスタ (レジスタ・マップの動作制御セクション内) は、IRQ モニタとのビット対応に使用するビットで構成されます。IRQ クリア・ビットにロジック 1 を書き込むと、対応する IRQ モニタ・ビットがロジック 0 に強制されて、特定 IRQ イベントがクリアされます。IRQ クリア・レジスタは自動的にクリアされます。したがって、IRQ クリア・ビットにロジック 1 を書き込んだ後は、デバイスが自動的に IRQ クリア・ビットをロジック 0 に戻します。IRQ イベント・ステータスの結果は、その IRQ ステータスの結果をもたらした IRQ モニタ内のすべてのビット (つまり、図 47 に示す PLL0 IRQ、PLL1 IRQ、共通 IRQ、または任意 IRQ 信号に対応するステータス・ビットのグループ全体) をユーザがクリアするまで、アサートされたままになります。

これは推奨ではありませんが、アプリケーションによっては、IRQ グループ全体を一度にクリアするのが望ましいことがあります。レジスタ 0x2005 には、IRQ グループをクリアするためのビットが 4 個あります。ビット D0 は、すべての IRQ モニタ・ビットをクリアします。ビット D1 は、共通 IRQ ビットをクリアします。ビット D2 は、PLL0 IRQ ビットをクリアします。ビット D3 は、PLL1 IRQ ビットをクリアします。

もしくは、いずれかの多機能ピンを IRQ グループのクリア用入力としてプログラムすることで、レジスタ 0x2005 への書き込みではなく、外部ロジック信号によって IRQ グループをクリアすることができます (図 47 参照)。

IRQ ステータス・イベントのクリア時に推奨されるのは、最初に (必要に応じて) 特定 IRQ イベントを処理してから、その特定 IRQ イベントに対応する IRQ をクリアする方法です。レジスタ 0x2005 または Mx ピンを介して IRQ グループをクリアする場合は、十分な注意が必要です。IRQ グループを一度にクリアすると、1 つまたは複数のアサート済み IRQ モニタ・ビットを誤ってクリアしてしまうおそれがあります。アサート済みの IRQ モニタ・ビットをクリアすると、対応するデバイス・イベントの記録が削除され、それによって、発生したイベントの履歴がすべて消去されてしまいます。

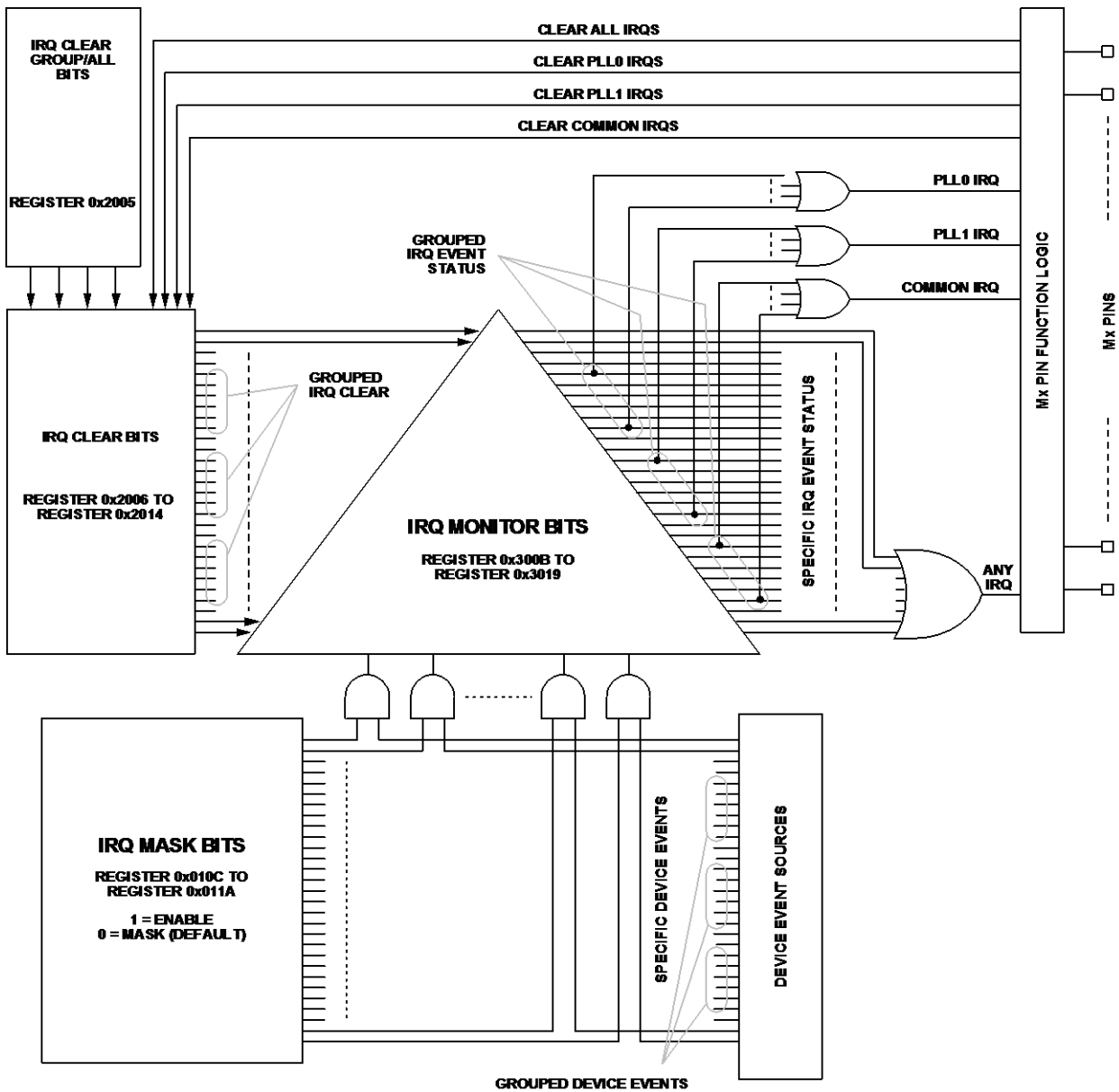


図 47. IRQ システム

18928-00

ウォッチドッグ・タイマー

ウォッチドッグ・タイマーは、特定 IRQ イベントをトリガすることのできる汎用プログラマブル・タイマーです (図 48 参照)。しかし、このクロックはシステム・クロックに依存しているため、ウォッチドッグ・タイマーを機能させるには、システム・クロックが存在し、なおかつそのシステム・クロックがロックされている必要があります。ウォッチドッグ・タイマーに対応するビット・フィールドは、レジスタ・マップの Mx ピン・ステータス/制御セクションに置かれています。

ウォッチドッグ・タイマーの周期は、ウォッチドッグ・タイマー (ms) ビット・フィールドに 16 ビットのタイムアウト値をプログラムすることによって設定します。ゼロ以外の値にすると、ミリ秒単位でタイムアウト周期が設定されます。設定可能範囲は 1 ミリ秒から 65.535 秒までで、ゼロ (0x0000、デフォルト値) にすると、タイマーはディスエーブルされます。タイマーの相対精度は約 0.1 % で、不確実性は 0.5 ms です。ウォッチドッグ・タイマーに 16 ビットのタイムアウト値を書き込むと、それによって自動的にタイマーがクリアされて、ビット・フィールドが更新された時点から、(新しい値による) 正しいタイムアウト周期が開始されます。

ウォッチドッグ・タイマー (ms) ビット・フィールドとタイムアウト周期の関係は次式で表されます。

$$\text{ウォッチドッグ・タイマー (ms)} = \text{タイムアウト周期} \times 10^3$$

タイムアウト周期を 10 秒にするために必要なウォッチドッグ・タイマー (ms) ビット・フィールドの値は、次のように求められます。

$$\begin{aligned} \text{ウォッチドッグ・タイマー (ms)} &= \text{タイムアウト周期} \times 10^3 \\ &= 10 \times 10^3 \\ &= 10,000 \\ &= 0x2710 \quad (16 \text{ 進数}) \end{aligned}$$

イネーブルされているタイマーは連続して動作し、タイムアウト周期が過ぎるとタイムアウト IRQ イベントを生成します。ウォッチドッグ・タイマーのステータスには、対応する IRQ モニタ・ビットを介することによって、あるいは IRQ モニタ・ビットを Mx ステータス・ピンに直接割り当てることによってアク

セスできます。Mx ステータス・ピンの場合、ウォッチドッグ・タイマーのタイムアウト・イベントは、システム・クロック 96 周期分の幅 (約 40 ns) を持つパルスです。

ウォッチドッグ・タイマーをリセットして、タイムアウト・イベントが生成されないようにする方法は 2 つあります。その 1 つは、レジスタ・マップの動作制御セクション内にあるクリア・ウォッチドッグ・ビット (自動クリア・ビット) にロジック 1 を書き込むことです。もう 1 つの方法として、いずれかの多機能ピンを、ウォッチドッグ・タイマーをリセットするための制御ピンとしてプログラムすることもできます。これによって、シリアル・ポートではなく、ハードウェア・ピンを使ってタイマーをリセットすることができます。

ウォッチドッグ・タイマーを使用する代表的なケースは 2 つあります。いずれのケースも、ウォッチドッグ・タイマー出力が、適切に設定された Mx ステータス・ピンの出力に現れることを前提としています (以下に示すケースのウォッチドッグ・タイマー出力)。最初のケースは、外部デバイス (例えば FPGA またはマイクロコントローラ) でウォッチドッグ・タイマー出力をモニタし、定期的なハウスキーピング機能を実行するための信号として使用する場合です。もう 1 つのケースは、ウォッチドッグ・タイマー出力を外部デバイスに接続して、ウォッチドッグ出力をアサートするとその外部デバイスがリセットされるようにする場合です。このようにして、通常動作時には、クリア・ウォッチドッグ・ビットにロジック 1 を書き込むことによって、あるいはウォッチドッグのクリア用に設定された Mx 制御ピンをアサートすることによって、外部デバイスが繰り返しウォッチドッグ・タイマーをリセットします。以上のように、タイムアウト前に外部デバイスがウォッチドッグ・タイマーのリセットを続ける限り、ウォッチドッグ・タイマーは出力信号を生成しません。したがって、ウォッチドッグ・タイマーが外部デバイスをリセットすることはありません。しかし、タイムアウト周期に達する前に外部デバイスがウォッチドッグ・タイマーをリセットできなかった場合は、結局ウォッチドッグ・タイマーがタイムアウトし、しかるべく設定された Mx ステータス・ピンを介して外部デバイスがリセットされます。

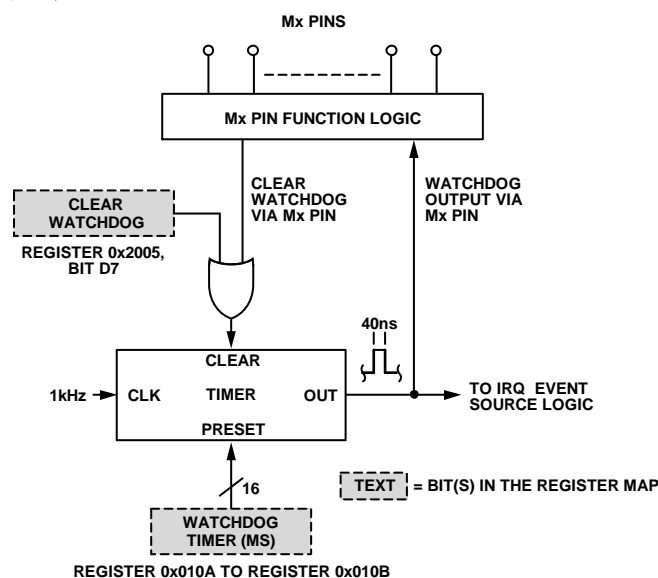


図 48. ウォッチドッグ・タイマー

ロック検出器

DPLL ロック検出器

DPLL フェーズ・ロック検出器

各 DPLL チャンネル (DPLL0 と DPLL1) には、全デジタル式のフェーズ・ロック検出器が組み込まれています。フェーズ・ロック検出器の閾値感度とヒステリシスは、ソース・プロファイルを介して制御します。

フェーズ・ロック検出器では、レジスタ・マップのステータス・リードバック PLLx セクションにある 2 個のステータス・ビットを使用できます。DPLLx フェーズ・ロック・ビットは、DPLL がフェーズ・ロックされていない状態からロックされた状態になると、ロジック 1 にラッチされます。DPLLx フェーズ・ロック解除ビットは、DPLL がフェーズ・ロックされた状態からロックされていない状態になると、ロジック 1 にラッチされます。DPLLx フェーズ・ロック・ビットは、それぞれレジスタ 0x3100 と 0x3200 に置かれています。これらのビットは動的に変更できるので、IRQ を設定することを強く推奨します。IRQ 機能を使用するときは、設定された条件が IRQ の有効時に真であれば、有効化された IRQ 機能に関して IRQ ステータスがロジック 1 を示す可能性があります。したがって、その後のフェーズ・ロック検出器の状態遷移を確認できるように、レジスタ・マップの IRQ マップ・クリア DPLL0 (レジスタ 0x200B ~ レジスタ 0x200F) セクションと IRQ マップ・クリア DPLL1 (レジスタ 0x2010 ~ レジスタ 0x2014) セクションを介してこれらのステータスをクリアする必要があります。

フェーズ・ロック検出器の動作は、浴槽内の水に例えることができます (図 49 参照)。浴槽の合計容量を 4096 とすると、-2048 が空で、0 が 50%、+2047 が満杯の状態を示します。この浴槽は、水のあふれを防ぐ安全装置も備えています。さらに、-1025 の位置に低水位マーク、+1024 の位置に高水位マークがあります。水位を変えるために、フェーズ・ロック検出器は給水用のバケツを使って水を足したり、排水用のバケツを使って水を減らしたりします。給水バケツと排水バケツのサイズを指定するには、符号なしの 8 ビット・プロファイル x フェーズ・ロック給水量ビット・フィールドと、プロファイル x フェーズ・ロック給水量ビット・フィールドを使用します (ここで x は 0 から 7 までの値で、それぞれが特定のソース・プロファイルに対応します)。

ロック検出器は、ロック状態とロック解除状態を決定するための基準として、浴槽内の水位を使用します。水位が低水位マーク (-1025) を下回ると、ロック検出器はロック解除状態を示します。逆に、水位が高水位マーク (+1024) を上回ると、ロック検出器はロック状態を示します。水位が上下のマークの間にある場合、ロック検出器は直前の状態を維持します。図 49 はこの概念を示した図で、ある時点における水位 (縦軸) と時間 (横軸)、およびそれらに基づくロック/ロック解除状態を重ねて示しています。

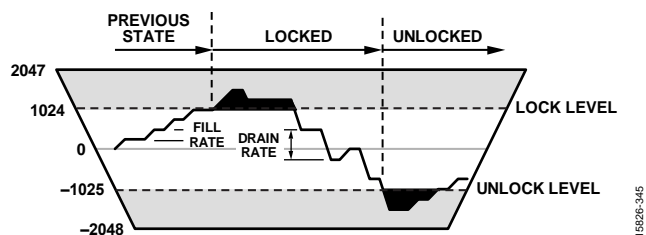


図 49. ロック検出図

指定された任意の PFD 位相誤差サンプルにおいて、ロック検出器は給水バケツで水を足すか、排水バケツで水を減らします (足すか減らすかのどちらかで、両方は行わない)。水を足すか減らすかの判断は、24 ビット符号なしプロファイル x フェーズ・ロック閾値ビット・フィールドで指定した閾値レベルに基づいて行われます。このビット・フィールドの値は、ピコ秒単位の任意に設定した閾値です。具体的には、フェーズ・ロック閾値の範囲は 0 ps から 16.7 μ s までで、これは、PFD の出力における位相誤差を表します。プログラム範囲は下限値として 0 ps をサポートしていますが、実際の最小値は 50 ps より長くする必要があります。

フェーズ・ロック検出器は、PFD 出力の各位相誤差サンプルの絶対値と、プログラムされた位相閾値とを比較します。位相誤差サンプルの絶対値がプログラムされた位相閾値以下の場合、検出器の制御ロジックが給水バケツ 1 杯分を浴槽に給水します。それ以外の場合は、排水バケツ 1 杯分を浴槽から排水します。給水するか排水するかを決定するのは位相閾値を基準とした量であり、位相誤差サンプルの極性ではありません。

位相スルー・リミッタが作動すると、給水/排水プロセスの例外が発生します。制限プロセスで位相スルー・リミッタが作動すると、ロック検出器が給水イベントをブロックして、排水イベントだけが発生するようにします。

排水よりも給水の方が多く行われると、浴槽内の水位が最終的に高水位マーク (+1024) を超えて、ロック検出器がロック状態を示します。給水よりも排水の方が多く行われると、浴槽内の水位が最終的に低水位マーク (-1025) を下回り、ロック検出器がロック解除状態を示します。閾値レベル、給水量、排水量を指定することができれば、入力リファレンス信号に伴うタイミング・ジッタのデータに合わせて、ロック検出器の動作を調整することができます。デバッグ時には、給水量または排水量をゼロにして、ロック検出器に、ロックまたはロック解除状態をそれぞれ強制的に指示させることができます。

AD9542 がフリーラン・モードまたはホールドオーバー・モードになると、DPLL フェーズ・ロック検出器は常にロック解除状態を示します。

所定のアプリケーションに対して適切なフェーズ・ロック閾値、給水量、および排水量の値を選ぶ方法の詳細については、アプリケーション・ノート AN-1061 を参照してください。

DPLL 周波数ロック検出器

周波数ロック検出器の動作は、以下に示す 2 つの点を除いてフェーズ・ロック検出器と同じです。

- 給水か排水かの判断は、PFD 出力の位相誤差ではなく、DPLL のリファレンスと帰還信号の周期差に基づいて行われます。
- 周波数ロック検出器は、位相スルー・リミッタの状態には影響されません。

周波数ロック検出器では、レジスタ・マップの IRQ マップ DPLLx マスク・セクションにある 2 個のステータス・ビットを使用できます。DPLLx 周波数ロック・ビットは (x は 0 または 1)、DPLL が周波数ロックされていない状態からロックされた状態になると、ロジック 1 にラッチされます。DPLLx 周波数ロック解除ビットは、DPLL が周波数ロックされた状態からロックされていない状態になると、ロジック 1 にラッチされます。これらはラッチされたビットなので、その後における周波数ロック検出器の状態遷移を確認できるように、レジスタ・マップの DPLLx クリア・セクションを介してクリアする必要があります。

周波数ロック検出器は、ピコ秒単位で指定する 24 ビットの符号なしプロファイル x 周波数ロック閾値ビット・フィールド (x は、特定のソース・プロファイルに対応する 0 から 7 までの値) を使用します。具体的には周波数閾値の範囲は 0 ps ~ 16.7 μs で、これは DPLL への入力におけるリファレンス信号周期と帰還信号周期の差の絶対値を表します。

$$\text{プロファイル } x \text{ の周波数ロック閾値} = |1/f_{REF} - 1/f_{FB}|/10^{-12}$$

ここで、

f_{REF} は、DPLL PFD リファレンス入力における信号の周波数、

f_{FB} は、DPLL PFD 帰還入力における信号の周波数、

リファレンス TDC からの信号が 80 kHz で、帰還 TDC からの信号が 79.32 kHz であるときに (またはその逆のときに)、周波数閾値に合わせてプロファイル x の周波数ロック閾値ビット・フィールドを設定しようとするケースを考えます。

$$\begin{aligned} \text{プロファイル } x \text{ の周波数ロック閾値} &= |1/f_{REF} - 1/f_{FB}|/10^{-12} \\ &= |1/80,000 - 1/79,320|/10^{-12} \\ &= 170,161 \text{ (最も近い整数)} \\ &= 0x0298B1 \text{ (16 進数)} \end{aligned}$$

所定のアプリケーションに対して適切な周波数ロック閾値、給水量、および排水量の値を選ぶ方法の詳細については、アプリケーション・ノート AN-1061 を参照してください。

位相ステップ検出器

位相ステップ・リミット

AD9542は複数のリファレンス入力を切り替えることができますが、アプリケーションによっては、1つの入力だけを使い、リファレンス・スイッチングは外部で行うものがあります（図 50 参照）。残念ながら、この構成では、リファレンス・スイッチオーバーが AD9542 の制御の下で行われないので、リファレンス・スイッチオーバーに伴う出力の乱れを緩和するという AD9542 の能力が生かされることはありません。しかし、AD9542 は、いつスイッチオーバーが行われたかを検出してそれに応じた対応を取るための、位相トランジェント閾値検出機能を備えています。

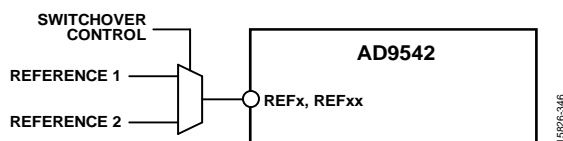


図 50. 外部リファレンス・スイッチング

位相トランジェント閾値検出は、DPLL 位相検出器の出力における位相トランジェントをモニタすることによって機能しますが、これは、ある程度のジッタ耐性を備えた形で行われます。そうしないと、位相トランジェント閾値検出器が誤検出をしやすくなります。

位相トランジェント閾値検出を有効にするには、32 ビットの符号なしプロファイル x 位相ステップ閾値ビット・フィールド (x は特定のソース・プロファイルに対応する 0 から 7 までの値) をプログラムします。デフォルト値はゼロで、この場合、位相トランジェント閾値検出器はディスエーブルされます。ゼロ以外の値は、次式で表されるピコ秒単位の任意に設定した位相ステップ閾値を示します。

$$\text{位相ステップ閾値} = \text{プロファイル} \times \text{位相ステップ閾値} \times 10^{-12}$$

位相トランジェント閾値検出器は、DPLL が周波数ロックステータスを示していない限り作動しません。

一例として、プロファイル x 位相ステップ閾値ビット・フィールドの値を 12 ns リミットに必要な値にします。前出の位相ステップ・リミットの式を解くと、以下の値が得られます。

$$\begin{aligned} \text{プロファイル} \times \text{位相ステップ閾値} &= (12 \times 10^{-9}) / 10^{-12} \\ &= 12,000 \\ &= 0x00002EE0 \quad (16 \text{ 進数}) \end{aligned}$$

ジッタにより閾値を超えてしまう可能性を減らすために、位相ステップ閾値には、入力リファレンス信号に対して予想される RMS ジッタ (σ_{JITTER}) の少なくとも 2 倍の値を選択します。

$$\text{プロファイル} \times \text{位相ステップ閾値} \geq 2 \times \sigma_{\text{JITTER}}$$

したがって、プロファイル x 位相ステップ閾値 = 12,000 とした前出の例では、信号が上記の不等式を満たさないので、12 ns の RMS ジッタを伴う入力信号によって検出器が誤作動する可能性があります。この不等式は、検出器誤作動の可能性を減らすには、プロファイル x 位相ステップ閾値 = 24,000 としたほうが良いことを示しています。実際には、値を 24,000 にしても、ジッタ・サンプルが $2 \times \sigma_{\text{JITTER}}$ を超える可能性がわずかにあります。したがって、 σ_{JITTER} に 4 ~ 6 を乗じてスケールアップするのが、より良い選択です。

想定値を超える位相トランジェントが発生したときは、レジスタ・マップの動作制御チャンネル 0 およびチャンネル 1

(DPLL0 および DPLL1) セクションにあるイネーブル・ステップ検出リファレンス・フォールト・ビットの状態に応じて、以下に示すイベントの 1 つまたは両方が発生します。

- ロジック 0: DPLL が新しいアクイジション・シーケンスを開始します。
- ロジック 1: リファレンス・モニタがリセットされます。

イネーブル・ステップ検出リファレンス・フォールト・ビットがロジック 0 (デフォルト) の場合、位相ステップが検出されると、最初のイベントだけが発生します。新しい DPLL アクイジション・シーケンスを開始することによって、DPLL は高速アクイジションの利点を生かすことができます (高速アクイジションがアクティブになっている場合)、これは、低ループ帯域幅のアプリケーションには特に有利です。さらに、新しいアクイジションは、位相をビルドアウトするか、ヒットレス方式で新しい位相にスルーイングすることによって、位相ステップの影響に対処します。

イネーブル・ステップ検出リファレンス・フォールト・ビットがロジック 1 の場合、位相ステップが検出されると、両方のイベントが発生します。この場合に位相ステップ閾値を超えるということは、新しいリファレンスへの外部的なスイッチを意味するので、リファレンス・モニタをリセットすると、新しい静的リファレンスが強制的に設定されます。

位相トランジェント閾値検出器は、レジスタ・マップのステータス・リードバック PLLx セクション内にあるライブ・ステータス・ビットと、レジスタ・マップの IRQ マップ DPLLx リード・セクション内にあるラッチ・ステータス・ビットを提供します。閾値を超えたことを位相トランジェント閾値検出器が検出すると、DPLLx 位相ステップ検出器 (x は 0 または 1) がロジック 1 にラッチされます。ラッチされたビットは、位相ステップ検出器によるその後の閾値超過検出を確認できるように、レジスタ・マップの IRQ マップ DPLLx クリア・セクションを介してクリアする必要があります。

位相ステップ・リミットの誤検出削減

位相トランジェント閾値検出器は、イネーブルすると、対応するリファレンスが DPLL (DPLL0 または DPLL1) に対してアクティブになっている限り継続的に動作しますが、これは DPLL が周波数ロックされていることが前提となります。したがって、DPLL の位相検出器への入力における位相の乱れは、位相トランジェント閾値検出器による閾値超過検出の対象となります。この超過には、DPLLx 位相オフセット・ビット・フィールドまたはプロファイル x 位相スキュー・ビット・フィールドを介してユーザが行った位相調整が含まれます。意図的な位相調整による位相トランジェント閾値検出器の誤作動を減らすために (検出器がイネーブルされている場合)、位相スルー・レート・リミッタ DPLL を使用できます。

位相トランジェント閾値検出器が誤ってトリガされるのを防ぐために必要な最大位相スルー・レート (MPSR) は、次式で表されます。

$$\text{MPSR} = (P + F) / 7$$

ここで、
P は位相トランジェント閾値検出器リミット (ピコ秒)、
F は DPLL 位相検出器の入力における周波数 (Hz) です。

この式では、位相誤差に関係するその他の要素（ジッタ、周波数オフセット、伝搬遅延変動を含む）を無視しています。

外付けマルチプレクサを介したリファレンス入力クロック源のスイッチングといった外部イベントのタイミングが事前にわかっているならば、最も確実なソリューションは、位相トランジェント・ステップ検出器を使用することではなく、対応するリファレンスを手動で無効にすることです。これは、該当する動作制御ビット・フィールドを介し、リファレンス・フォールト状態を強制することによって行います。この方法を使用すれば、デバイスの定常動作に与える影響を最小限に抑えることができます。定常動作への唯一の影響は、対応するリファレンスの確認タイマーを、強制フォールト状態のアサートから外部イベント発生までの時間より長く設定する必要があることです（適切なマーキングが必要）。

スキュー調整

スキュー調整を行えば、リファレンス入力に固定位相オフセットを関連付けることができます。これは例えば、冗長 GNSS/GPS リファレンス源を持つアプリケーションに有効です。つまり、周波数は同じであるもののアンテナ・ケーブル長の違いによる一

定の時間オフセットがあるような、2つ以上の GNSS/GPS リファレンス源を使用することもできます。

スキュー調整機能をアクティブにするには、24 ビット符号付きプロファイル x 位相スキュー・ビット・フィールド (x はプロファイル 0 からプロファイル 7 までのプロファイル番号) をプログラムします。デフォルト値はゼロで、この場合スキュー調整は無効化されます。ゼロ以外の値にするとスキュー調整機能が有効になり、その値は次式で表される任意に設定した時間スキューを示します（ピコ秒単位）。

$$\text{時間スキュー} = \text{プロファイル } x \text{ 位相スキュー} \times 10^{-12}$$

一例として、プロファイル x 位相スキュー・ビット・フィールドの値を -35 ns の時間スキューに必要な値にします。前出の式をプロファイル x 位相スキューについて解くと、以下の値が得られます。

$$\begin{aligned} \text{プロファイル } x \text{ 位相スキュー} &= (-35 \times 10^{-9}) / 10^{-12} \\ &= -35,000 \\ &= 0xFF7748 \quad (16 \text{ 進数}) \end{aligned}$$

EEPROM の使用

概要

AD9542 は、外付けの I²C 対応 EEPROM を専用アクセスでサポートしています。いくつかの制約はありますが、AD9542 は、I²C 共通バスを共有することによって、1 個の外部 EEPROM へのマルチデバイス・アクセスもサポートしています。AD9542 は、Mx ピンを介した EEPROM へのインターフェース用に、I²C マスターを内蔵しています。

AD9542 のデフォルト・レジスタ設定では特定の周波数変換は定義されないため、EEPROM の内容を（自動または手動により）レジスタ・マップにダウンロードできるようにするには、EEPROM の内容をあらかじめプログラムしておく必要があります。必要ならば、レジスタ・マップを介して EEPROM へのアップロードを手動で強制することにより、カスタム・デバイス設定を保存することができます。

EEPROM コントローラの一般的動作

EEPROM コントローラ

EEPROM コントローラは、EEPROM との通信のすべての側面を制御します。I²C インターフェースは 100 kHz（ノーマル・モード）または 400 kHz（高速モード）の通信リンクを使用するので、コントローラは、I²C シリアル・クロックとしての使用に適したオンチップ生成クロック源に同期して動作します。オンチップ発振器は、コントローラの起動が要求されると非同期で直ちにイネーブルされます。発振器が起動すると、使用可能になったことが発振器からコントローラに通知され、それによってコントローラが起動します。要求されたコントローラ動作が完了すると、コントローラはクロック・ジェネレータをディスエーブルして、アイドル状態に戻ります。

EEPROM ダウンロード

EEPROM ダウンロードは EEPROM の内容を AD9542 のプログラミング・レジスタに転送し、EEPROM 内に保存された命令（表 31 参照）に従って特定の動作を実行します。自動ダウンロードは EEPROM ダウンロード・シーケンスを開始する最も一般的な方法で、パワーアップ時にピン M3 がロジック 1 になっていれば、AD9542 のパワーアップ時に開始されます（リセット/パワーアップ時の多機能ピンのセクションを参照）。あるいは、AD9542 の電源をオフにしてから再度オンにして EEPROM ダウンロードを開始する代わりに、RESETB ピンをロジック 0、ピン M3 をロジック 1 に強制してから、RESETB ピンをロジック 1 に戻し、さらにピン M3 のドライブ源を遮断しても、ダウンロードを開始できます。

また、レジスタ・マップの EEPROM セクション内にある EEPROM ロード・ビットにロジック 1 を書き込むことにより、オンデマンドで（つまり、AD9542 をリセットしたりパワーのオン/オフを行ったりすることなく）EEPROM ダウンロードを要求することもできます。

EEPROM ビットからのロードでは、入出力を更新する必要はありません。このビットにロジック 1 を書き込むと、直ちにダウンロード・シーケンスがトリガされます。

ダウンロード・シーケンスが進行中、EEPROM コントローラは、コントローラがビジー状態にあることを示すために、EEPROM ロード進行中ビット（レジスタ・マップの一般ステータス・セクション内）をロジック 1 に設定します。

EEPROM アップロード

AD9542 のレジスタの内容を EEPROM に保存するには、レジスタ・マップの EEPROM セクションにある EEPROM 保存ビットにロジック 1 を書き込む必要があります。EEPROM 保存ビットは、入出力の更新を必要としません。このビットにロジック 1 を書き込むと、直ちにアップロード・シーケンスがトリガされます。

AD9542 には書き込み保護機能に相当する機能があり、これを利用するには、EEPROM へのアップロードを要求する前に、EEPROM 書き込みイネーブル・ビット（レジスタ・マップの EEPROM セクション内）にロジック 1 を書き込む必要があります。最初に EEPROM 書き込みイネーブル・ビットを設定しないまま EEPROM へのアップロードを行おうとすると、フォールト状態になります（つまり、AD9542 が、レジスタ・マップの一般ステータス・セクション内にある EEPROM フォールト・ビットをアサートします）。

EEPROM アップロードの前提条件は、レジスタ・マップの 15 バイト EEPROM シーケンス・セクションにアップロード・シーケンスが保存されていることです。つまり、EEPROM アップロードの実行に先立ち、一連のアップロード命令（EEPROM 命令セットのセクションを参照）をレジスタ・マップの EEPROM シーケンス・セクションに保存しておく必要があります。

EEPROM コントローラは、レジスタ・マップの EEPROM シーケンス・セクションに保存された命令をバイトごとに読み込んで順番に実行することにより、アップロード・シーケンスを実行します。つまり、レジスタ・マップの EEPROM シーケンス・セクションに保存されたデータは、EEPROM に何を保存するかに関する EEPROM コントローラへの命令です（動作コマンドと AD9542 のレジスタ・データを含む）。

アップロード・シーケンスの進行中、EEPROM コントローラは、コントローラがビジー状態にあることを示すために、EEPROM 保存進行中ビット（レジスタ・マップのステータス・リードバック・セクション内）をロジック 1 に設定します。

レジスタ・マップの EEPROM シーケンス・セクションは 15 バイトだけなので、通常、AD9542 のすべてのデータを EEPROM にアップロードできるだけの十分な数の命令を保持することができません。したがって、ほとんどのアップロード・シーケンスでは、一連のサブシーケンスをアップロードする必要があります。例えば、20 バイトの命令からなるアップロード・シーケンスを完了させる必要があるときは、以下の手順を実行します。

1. レジスタ・マップの EEPROM セクションにある EEPROM シーケンス・レジスタに最初の 14 個の命令を書き込み、15 個目の命令をポーズ命令とします（表 31 参照）。
2. EEPROM 保存ビットにロジック 1 を書き込むことによって、EEPROM アップロードを開始します。EEPROM コントローラは、ポーズ命令に達するとアップロード・プロセスを中断して、EEPROM 保存ビットがもう一度アサートされるのを待ちます。
3. コントローラのポーズ（一時停止）中に、残り 6 バイトのアップロード・シーケンスをレジスタ・マップの EEPROM セクションにある EEPROM シーケンス・レジスタに書き込み、最後にデータ終了命令（表 31 参照）を書き込みます。
4. EEPROM 保存ビットにロジック 1 を書き込むことによって、EEPROM アップロードを開始します。EEPROM コントローラは、データ終了命令に達するとアップロード・プロセスを終了します。

上の手順は、2つのサブシーケンスからなるアップロード・シーケンスの例です。ほとんどのアップロード・シーケンスには2つ以上のサブシーケンスが必要ですが、手順は同じです。具体的には、各サブシーケンスの末尾にポーズ・シーケンスを使用して長いシーケンスを複数のサブシーケンスに分割し、最後のサブシーケンスの末尾にはデータ終了命令を使用します。

EEPROM チェックサム

アップロード・シーケンス中に EEPROM コントローラがデータ終了命令 (表 31 参照) を検出すると、コントローラは 32 ビットの巡回冗長検査 (CRC) チェックサムを計算して、EEPROM への保存データにそのチェックサムを追加します。同様に、EEPROM コントローラがダウンロード・シーケンスを実行するときは、ダウンロードと並行してチェックサムを計算します。ダウンロード・シーケンスの最後に、EEPROM は、新たに計算したチェックサムと EEPROM に保存されたチェックサムを比較します。これら 2 つのチェックサムが一致しない場合、EEPROM コントローラは、レジスタ・マップのステータス・リードバック・セクションに EEPROM CRC エラー・ビットをアサートします。

破損した EEPROM データ・セットをダウンロードする可能性を最小限に抑えるために、レジスタ・マップの EEPROM セクションにある EEPROM CRC 検証ビットをアサートすることによって、チェックサム・テストを実行することができます。この場合、EEPROM コントローラはダウンロード・シーケンスを実行しますが、実際に AD9542 レジスタへのデータ転送を行うことはありません。コントローラは引き続き並行してチェックサムの計算と比較を行って、チェックサムが一致しない場合は EEPROM CRC エラー・ビットをアサートします。したがって、デバイスが EEPROM ロード進行中ビットのアサートを解除した後は、EEPROM CRC ビットをチェックして、テスト合格 (つまり EEPROM CRC エラー = 0) かどうかを判定することができます。ただし、テスト不合格となった場合でも、AD9542 のレジスタ

表 31. EEPROM コントローラ命令セットの概要

Instruction Code (Hexadecimal)	Response	Comments
0x00 to 0x7F	Register transfer	Requires a 2-byte register address suffix
0x80	Input/output update	Assert input/output update during download
0x81 to 0x8F	Not applicable	Undefined
0x90	Calibrate APLLs	Calibrate the system clock PLL, APLL0, and APLL1 during download
0x91	Calibrate the system clock PLL	Calibrate only the system clock PLL during download
0x92	Calibrate APLL0	Calibrate only APLL0 during download
0x93	Calibrate APLL1	Calibrate only APLL1 during download
0x94 to 0x97	Not applicable	Reserved/unused
0x98	Force freerun	Force DPLL0 and DPLL1 to freerun during download
0x99	Force DPLL0 freerun	Force only DPLL0 to freerun during download
0x9A	Force DPLL1 freerun	Force only DPLL1 to freerun during download
0x9B to 0x9F	Not applicable	Reserved/unused
0xA0	Synchronize outputs	Synchronize all distribution outputs during download
0xA1	Synchronize Channel 0	Synchronize only Channel 0 distribution outputs during download
0xA2	Synchronize Channel 1	Synchronize only Channel 1 distribution outputs during download
0xA3 to 0xAF	Not applicable	Reserved/unused
0xB0	Clear condition	Apply Condition 0 and reset the condition map
0xB1 to 0xBF	Set condition	Apply Condition 1 to Condition 15, respectively
0xC0 to 0xFD	Not applicable	Undefined
0xFE	Pause	Pause the EEPROM upload sequence
0xFF	End of data	Marks the end of the instruction sequence

スタへのデータ転送は行われないので、デバイスの動作に影響はありません。

EEPROM ヘッダー

EEPROM コントローラは、AD9542 関連の情報で構成される保存データに以下のようなヘッダーを追加します。

- ベンダー ID
- チップ・タイプ:
- 製品 ID:
- チップ・リビジョン

EEPROM ダウンロード・シーケンスの開始時、EEPROM コントローラは、保存されたヘッダー値と、AD9542 の対応レジスタ内の値を比較します。コントローラは、ミスマッチを検出するとレジスタ・マップのステータス・リードバック・セクション内にある EEPROM フォールト・ビットをアサートして、ダウンロードを終了します。

EEPROM 命令セット

EEPROM コントローラは、命令とデータの組み合わせに依存しています。命令は 1 バイト (8 ビット) で構成されます。一部の命令には、その後に続く何バイトかのペイロード・データが必要です。つまり、一部の命令は自己完結型の操作であり、その他の命令は、その後に続くペイロード・データをどのように処理するかについての指示です。EEPROM コントローラ命令の概要を表 31 に示します。

コントローラが EEPROM の内容を AD9542 のレジスタにダウンロードするときは、EEPROM 内に保存された命令を順次実行し、規則的な形でこれを行います。しかし、コントローラが EEPROM へのアップロードを行う場合、そのシーケンスは、レジスタ・マップのさまざまな部分と、コントローラが処理と並行して行う計算データとの不規則な組み合わせとなります。

レジスタ転送命令 (0x00 ~ 0x7F)

0x00 から 0x7F までの値を持つ命令は、レジスタの転送動作を表します。レジスタ転送命令には、転送先となる AD9542 レジスタの開始アドレスを構成する 2 バイトのサフィックスが必要です (ここで、データ命令に続く最初のバイトがレジスタ・アドレスの上位バイト)。EEPROM コントローラがデータ命令を検出すると、その次の 2 バイトをレジスタ・マップのターゲット・アドレスとして認識します。

レジスタ転送命令の値は、ペイロード長 (バイト数) をエンコードします。つまり、EEPROM コントローラは、命令の値に 1 を加えることによって、指定されたレジスタとの間で転送するレジスタ・バイトの数を認識します。例えば、データ命令 0x1A の 10 進値は 26 です。したがってコントローラは、ターゲット・レジスタとの間で転送を行うデータのバイト数を 27 (つまり、命令の値より 1 大きい値) と認識します。

入出力更新命令 (0x80)

アップロード・シーケンス中に EEPROM コントローラが入出力更新命令を検出すると、コントローラはその命令を EEPROM に保存します。しかし、ダウンロード・シーケンス中にこの命令を受けた場合、EEPROM コントローラは入力更新イベントを開始します (ユーザがレジスタ・マップのシリアル・ポート・セクションにある IO_UPDATE ビットをアサートした場合と同じ)。

デバイス動作命令 (0x90 ~ 0xAF)

アップロード・シーケンス中に EEPROM コントローラがデバイス動作命令を検出すると、コントローラはその命令を EEPROM に保存します。しかし、ダウンロード・シーケンス中にこの命令を受けた場合、EEPROM コントローラは表 31 に従って指定された動作を実行します。

条件命令 (0xB0 ~ 0xBF)

条件命令を使用すると、ダウンロード・シーケンス中に EEPROM 命令を条件に応じて実行できます。しかし、アップロード・シーケンス中の条件命令はそのまま保存され、アップロード・シーケンスには影響しません。

条件処理には次の 4 つの要素が使われます。

- 条件命令
- 条件値
- 条件 ID
- 条件マップ

条件命令

アップロード・シーケンス中に EEPROM コントローラが条件命令を検出すると、コントローラはその命令を EEPROM に保存します。ダウンロード・シーケンス中に EEPROM コントローラが条件命令を検出した場合、その命令は、条件マップと条件処理の結果に影響を与えます。

条件値

条件値は、条件命令と 1 対 1 の関係にあります。具体的には、条件値は、条件命令から 0x0B を引いた値です。従って、条件値の範囲は 0 ~ 15 です。EEPROM コントローラは条件マップと結び付けて条件値を使用しますが、ユーザは、レジスタ・マップの EEPROM ロード条件ビット・フィールドに条件 ID を入力するために条件値を使用します。

条件 ID

条件 ID は、レジスタ・マップの EEPROM セクションにある 4 ビットの EEPROM ロード条件ビット・フィールドに保存される値です。EEPROM コントローラは、条件マップと条件 ID を使用して、ダウンロード・シーケンス中にどの命令を実行し、どの命令を無視するかを決定します。

条件マップ

条件マップは EEPROM コントローラが維持する表で、条件値のリストで構成されます。ダウンロード・シーケンス中に EEPROM コントローラが条件命令を検出すると、コントローラは、その命令に対応する条件値 (0 ~ 15) を決定します。条件値がゼロでない場合、EEPROM コントローラはその値を条件マップ内に置きます。逆に、条件値がゼロの場合、コントローラは条件マップをクリアして条件 0 を適用します。条件 0 が適用されると、その後続くすべての命令が無条件に実行されます (条件処理を実行する新しい条件命令をコントローラが検出するまで)。

条件処理

ダウンロード・シーケンスを実行中、EEPROM コントローラは、条件 ID と条件マップの内容に応じて命令を実行またはスキップします (条件命令とデータ終了命令を除く - この 2 つは常に無条件に実行されます)。

条件マップが空の場合、あるいは条件 ID がゼロの場合は、ダウンロード中、すべての命令が無条件に実行されます。しかし、条件 ID がゼロでなく、条件マップにその条件 ID に一致する条件値が含まれている場合、EEPROM コントローラはその後の命令を実行します。あるいは、条件 ID はゼロでなくても、条件マップにその条件 ID に一致する条件値が含まれていない場合、EEPROM コントローラは、条件値がゼロの条件命令、もしくは条件値が条件 ID に一致する条件命令が検出されるまで、命令をスキップします。

条件マップには、任意の時点で複数の条件を設定することができます。この多条件処理メカニズムによって、条件 ID と、コントローラが検出する条件命令の順番に応じて、1 つのダウンロード命令シーケンスから数多くの結果が得られるようになっています。条件処理の使用例を表 32 に示します。

表 32. 条件処理シーケンスの例

Instruction	Operation
0x00 to 0x7F	A sequence of register transfer instructions that execute unconditionally
0xB1	Apply Condition 1
0x00 to 0x7F	A sequence of register transfer instructions that execute only if the condition ID is 1
0xB2	Apply Condition 2
0xB3	Apply Condition 3
0x00 to 0x7F	A sequence of register transfer instructions that execute only if the condition ID is 1, 2, or 3
0x91	Calibrate the system clock PLL
0xB0	Clear condition map
0x80	Input/output update
0xFF	Terminate sequence

ポーズ命令 (0xFE)

アップロード・シーケンス中の EEPROM コントローラは、ポーズ命令だけを認識します。ポーズ命令を検出すると、EEPROM コントローラはアイドル状態になりますが、EEPROM アドレス・ポインタの現在値を保持します。

ポーズ命令の使用法の 1 つは、同じ AD9542 レジスタの複数の値を個別に保存するために使用することです。これは、パワーアップ条件のシーケンシングに有効です。

ポーズ命令は、アップロード・シーケンスの実行にも有効です。それは、このシーケンスがレジスタ・マップの EEPROM セクションにある EEPROM シーケンス・レジスタの容量より多くのスペースを必要とするためです (EEPROM アップロードのセクションを参照)。

データ終了命令 (0xFF)

EEPROM コントローラがアップロード・シーケンス中にデータ終了命令を検出すると、コントローラは、計算したチェックサムとともにその命令を EEPROM に保存し、EEPROM アドレス・ポインタをクリアしてからアイドル状態になります。しかし、ダウンロード・シーケンス中にこの命令を検出した場合、EEPROM コントローラは EEPROM アドレス・ポインタをクリアし、チェックサムを確認してからアイドル状態になります。

EEPROM ダウンロード中の条件命令は、常に無条件で実行されます。

マルチデバイス・サポート

マルチデバイス・サポートは、複数の AD9542 デバイスが、1 つの EEPROM の内容を共有することを可能にします。マルチデバイス・サポートには 2 つのレベルがあります。レベル 1 では、複数の AD9542 デバイスが専用の I²C バスを通じて 1 つの EEPROM の内容を共有する構成をサポートし、レベル 2 では、複数の AD9542 デバイスが、他の I²C マスター・デバイスを含む共通の I²C バスに接続された 1 つの EEPROM を共有する構成をサポートします。図 51 と図 52 に、それぞれレベル 1 とレベル 2 の構成を示します。

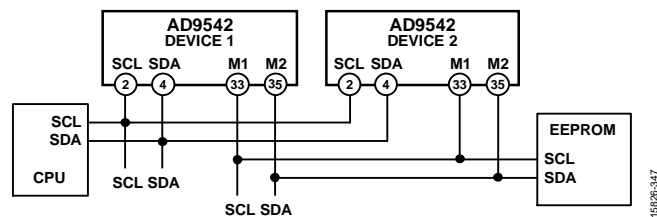


図 51. レベル 1 のマルチデバイス構成

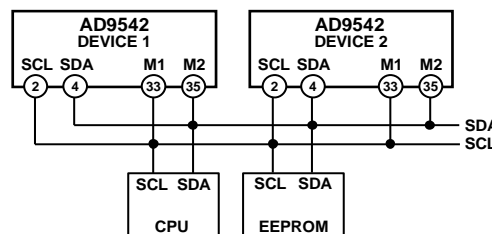


図 52. レベル 2 のマルチデバイス構成

マルチデバイス・バス・アービトレーション

EEPROM コントローラは、開始条件と停止条件を示す SDA および SCL バス信号を継続的にモニタすることによって、バス・アービトレーションを実行します。コントローラは、バスがアイドル状態かビジー状態かを判定することができます。バスがビジー状態の場合、EEPROM コントローラは、バスが使用可能であることが停止条件によって示されるまで、保留されている I²C 転送を遅らせます。

バス・アービトレーションは、2 つの I²C マスター・デバイスが同時に I²C 転送を行おうとするような場合に不可欠です。例えば、1 つの I²C マスターが SDA をロジック 1 にしようとしたときに、その SDA がロジック 0 であることを検出した場合は、別の I²C マスターがアクティブであるものと判断して、行おうとしていたデータ転送を直ちに中止します。同様に、1 つの I²C マスターが開始状態に入ろうとしたときに SCL がロジック 0 であることを検出した場合は、別の I²C マスターがアクティブであるものと判断して、自らが行おうとしていたバスのドライブを直ちに中止します。

いずれの場合も、先行している I²C マスターは、バスを解放する前に現在のトランザクションを完了させます。保留された I²C マスターは継続的にバスの停止条件をモニタし、このような停止条件が検出されるとバスを占有して、保留中のトランザクションを実行しようとしています。

EEPROM コントローラには、バス・アービトレーション・プロセスを最適化するためにアービトレーション・タイマーが組み込まれています。具体的には、EEPROM コントローラがバス競合検出の結果として I²C 転送を保留すると、コントローラはアービトレーション・タイマーを起動します。EEPROM コントローラが 255 SCL サイクル以内に停止条件を検出できなかった場合、コントローラは別のトランザクションを強制的に実行しようとしています。依然としてバスがビジーの場合、EEPROM コントローラはアービトレーション・タイマーを再起動し、EEPROM コントローラが最終的に保留トランザクションを完了できるまで、そのプロセスが続きます。

マルチデバイス構成の例

1つのEEPROMを共有するAD9542デバイス（デバイス1とデバイス2）を考えます。ここでは、これらのデバイスのPLL0の設定は共通しているものの、PLL1の設定が異なっているものとして扱います。

この構成を実現するEEPROMシーケンスのテンプレートを、表33に示します。シーケンスは、条件付き処理によってデバイス1とデバイス2を区別します。したがって、EEPROMダウンロードを実行する前に、両方のデバイスの条件IDをプログラムする必要があります。具体的には、デバイス1のEEPROMロード条件ビット・フィールドを条件ID=1でプログラムし、デバイス2を条件ID=2でプログラムします。

表 33. マルチデバイス EEPROM シーケンス用テンプレート

Instructions	Comment
0x00 to 0x7F	A sequence of register transfer instructions associated with the PLL0 configuration common to both devices
0xB1	Apply Condition 1
0x00 to 0x7F	A sequence of register transfer instructions associated with the PLL1 configuration specific to Device 1
0xB0	Clear the condition map
0xB2	Apply Condition 2
0x00 to 0x7F	A sequence of register transfer instructions associated with the PLL1 configuration specific to Device 2
0xB0	Clear the condition map
0x80	Input/output update
0xFF	End of sequence

シリアル制御ポート

AD9542 のシリアル制御ポートは柔軟な同期シリアル通信ポートで、業界標準のさまざまなマイクロコントローラやマイクロプロセッサとのインターフェースを容易に形成することができます。AD9542 のシリアル制御ポートは、 I^2C 、Motorola SPI、Intel SSR プロトコルを含むほとんどの同期転送フォーマットに使用できます。シリアル制御ポートにより、AD9542 のレジスタ・マップに対する読出し/書込みアクセスが可能になります。

AD9542 は、アナログ・デバイセズの統合 SPI プロトコル（アナログ・デバイセズ・シリアル制御インターフェース規格を参照）を使用します。統合 SPI プロトコルにより、このプロトコルが採用されたすべての新しいアナログ・デバイセズ製品のシリアル・ポート特性が一貫したものになります。SPI ポートの設定はレジスタ 0x00 を介してプログラムできます。

統合 SPI は、AD9557 や AD9558 といった従来のアナログ・デバイス製品に見られる SPI ポートとは以下の点で異なります。

- 統合 SPI にはバイト・カウントがありません。転送は CSB ピンがハイになると終了します。従来の SPI の W1 および W0 ビットは、レジスタ・アドレスの A12 および A13 ビットになります。これは、従来型 SPI のストリーミング・モードに似ています。
- アドレス・アセンション・ビット（レジスタ 0x00）は、LSB ファーストか MSB ファーストかに関わらず、レジスタ・アドレスを自動的にインクリメントするかデクリメントするかを制御します。従来の SPI では、LSB ファースト・モードでレジスタ・アドレスが自動インクリメントされ、MSB ファースト・モードで自動デクリメントされていました。
- 統合シリアル・ポートを採用するデバイスの最初の 16 個のレジスタ・アドレスは、すべて同じように構成されています。

SPI/ I^2C ポートの選択

AD9542 は SPI と I^2C シリアル・ポートの両方をサポートしていますが、パワーアップ後に使用できるのはどちらか一方だけです（スタートアップ・シーケンスで M4 多機能ピンにより決定）。シリアル・ポート・プロトコルを変更する唯一の方法は、デバイスをリセットする（もしくは電源を入れ直す）ことです。 I^2C アドレスの割り当てについては表 27 を参照してください。

SPI シリアル・ポートの動作

ピンの説明

シリアル・クロック（SCLK）ピンはシリアル・シフト・クロックとして機能します。このピンは入力ピンです。SCLK によって、シリアル制御ポートの読出し動作と書込み動作が同期されます。SCLK の立上がりエッジで書込みデータ・ビットがレジスタに取り込まれ、SCLK の立下がりエッジで読出しデータ・ビットがレジスタに取り込まれます。SCLK ピンは最大 50 MHz のクロック・レートに対応します。

SPI ポートは 3 線（双方向）と 4 線（単方向）の両方のハードウェア構成に対応し、MSB ファースト・データ・フォーマットと LSB ファースト・データ・フォーマットのいずれにも対応します。ハードウェア構成機能とデータ・フォーマット機能は両方とも設定可能です。3 線式の場合、シリアル・データ入出力（SDIO）ピンを使ってデータを双方向に転送します。4 線式の場合、SDIO ピンを使って AD9542 にデータを転送し、SDO ピンを使って AD9542 からデータを転送します。

チップ・セレクト（CSB）ピンは読出し動作と書込み動作を制御するアクティブ・ローの制御信号です。CSB ピンをアサート（アクティブ・ロー）すると、AD9542 の SPI ポートに対する読出し動作または書込み動作が開始されます。任意の数のデータ・バイトを 1 つの連続ストリームで転送することができます。レジスタ・アドレスは、アドレス・アセンション・ビット（レジスタ 0x00）の設定に基づいて、自動的にインクリメントまたはデクリメントされます。最終バイトの転送が完了したら、CSB バイトをデアサートする必要があります。これによりストリーム・モードが終了します。このピンは、内部で 10 k Ω プルアップ抵抗に接続されています。CSB がハイ・レベルのときは、SDIO ピンと SDO ピンが高インピーダンス状態になります。

実装に固有の詳細事項

アナログ・デバイセズ・シリアル制御インターフェース規格には、統合 SPI プロトコルの内容が詳しく説明されており、タイミング、コマンド・フォーマット、アドレス指定などの項目が記載されています。統合 SPI プロトコルは、以下のようなデバイス固有項目を定義しています。

- アナログ・デバイセズ統合 SPI プロトコル・レビジョン: 1.0
- チップ・タイプ: 0x5
- 製品 ID: 0x012
- 物理層: 3 線と 4 線に対応し、1.5 V、1.8 V、2.5 V 動作に対応。
- オプションの 1 バイト命令モード: 非対応。
- データ・リンク: 未使用。
- 制御: 未使用。

通信サイクル - 命令 + データ

統合 SPI プロトコルの通信サイクルは 2 つの部分で構成されています。最初の部分は、SCLK の最初の 16 個の立上がりエッジに同期された 16 ビットの命令ワードです。第 2 の部分はペイロードで、そのビットは SCLK の立上がりエッジに同期されています。この命令ワードは、ペイロードについての情報を AD9542 のシリアル制御ポートに提供します。この命令ワードには、ペイロードの転送方向（すなわち、読出しまたは書込み動作）を示す $\overline{\text{RW}}$ ビットが含まれています。命令ワードは、ペイロードの先頭バイトの開始レジスタ・アドレスも示します。

書込み

命令ワードが書込み動作を示す場合、ペイロードは AD9542 のシリアル制御ポートのバッファに書き込まれます。データ・ビットは、SCLK の立上がりエッジでレジスタに取り込まれます。一般的に、ブランク・レジスタにはどのようなデータを書き込んでもかまいませんが、慣習として複数の 0 を使用します。ユーザは、特定の範囲内にある予約済みレジスタがデフォルト値の 0x00 であることを確認する必要がありますが、アナログ・デバイスでは、予約済みレジスタの値がゼロ以外の値にならないようにあらゆる努力を払っています。

ほとんどのシリアル・ポート・レジスタはバッファされるので、バッファ付きレジスタに書き込まれたデータが直ちに有効になることはありません。バッファされたシリアル制御ポートの内容を実際にデバイスを制御するレジスタに転送するには、さらに追加的な操作（IO_UPDATE 操作）が必要です。この動作は、2 つある方法のどちらか 1 つを使って実行します。1 つはレジスタ 0x0F のビット 0 にロジック 1 を書き込む方法です（このビットは自動クリア・ビットです）。もう 1 つは、適切にプログラムされた多機能ピンを介して外部信号を使う方法です。ユーザは、入出力更新を実行する前に、必要な数だけレジスタ・ビッ

トを変更できます。入出力更新動作により、バッファ・レジスタの内容は対応するアクティブなレジスタに転送されます。

読出し

命令ワードが読出し動作を示す場合、命令ワードで指定されたアドレスから開始するデータが、次の $N \times 8$ SCLK サイクルで出力されます。ここで、N は読み出すデータ・バイトの数です。読出しデータは、SCLK の立下がりエッジで、該当するデータ・ピン (SDIO または SDO) に出力されます。読出しデータは、SCLK の立上がりエッジでラッチする必要があります。内部 SPI 制御ロジックは、リードバック動作時にブランク・レジスタをスキップしません。

リードバック動作では、シリアル制御ポートのバッファ・レジスタまたはアクティブ・レジスタからデータが取り出されます。どちらから取り出されるかは、レジスタ 0x01 のビット 5 によって決まります。

SPI 命令ワード (16 ビット)

16 ビット命令ワードの MSB は $\overline{R/W}$ であり、これは次の動作が読出しと書き込みのどちらであるかを示します。次の 15 ビットはレジスタ・アドレス (A14 ~ A0) で、読出し/書き込み動作の開始レジスタ・アドレスを示します (表 35 参照)。AD9542 には 14 ビットを超えるアドレス・ワードを必要とするレジスタ・アドレスがないので、SPI コントローラは A14 をロジック 0 として扱い、これを無視します。

表 35. シリアル制御ポート、16 ビット命令ワード MSB

														LSB	
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
$\overline{R/W}$	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

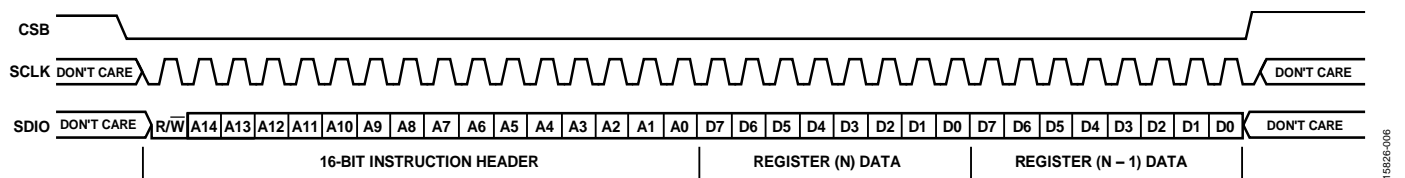


図 53. シリアル制御ポートの書き込み — MSB ファースト、アドレス・デクリメント、2 バイト・データ

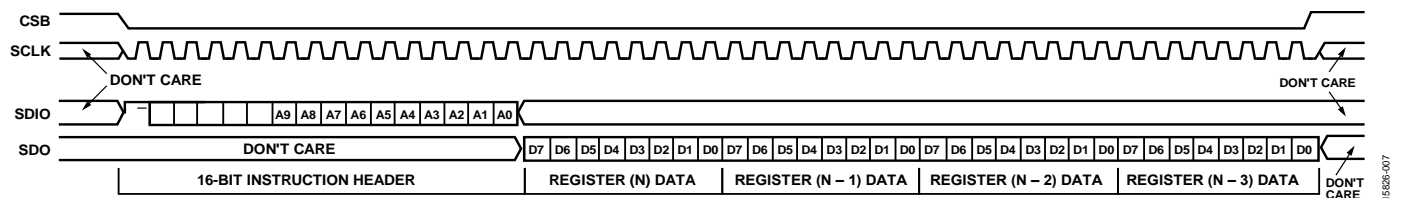


図 54. シリアル制御ポートの読出し — MSB ファースト、アドレス・デクリメント、4 バイト・データ

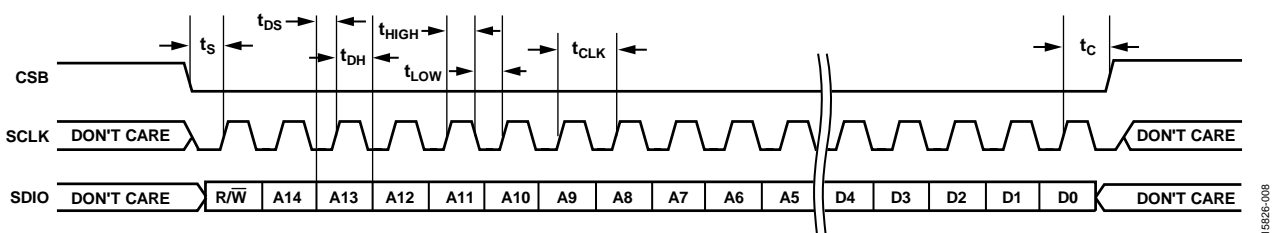


図 55. シリアル制御ポートの書き込みのタイミング図 — MSB ファースト

MSB ファースト/LSB ファーストの SPI 転送

AD9542 の命令ワードとペイロードは MSB ファーストまたは LSB ファーストで転送できます。AD9542 のデフォルトは MSB ファーストです。LSB ファースト・モードにするには、レジスタ 0x00 のビット 6 にロジック 1 を書き込みます。LSB ファースト・モードになると、それ以降のシリアル制御ポート動作は LSB ファーストになります。

アドレス・アセンション

アドレス・アセンション・ビット (レジスタ 0x00 のビット 5) がロジック 0 の場合、シリアル制御ポートのレジスタ・アドレス値は、指定された開始アドレスからアドレス 0x00 に向かってデクリメントします。アドレス・アセンション・ビット (レジスタ 0x00 のビット 5) がロジック 1 の場合、シリアル制御ポートのレジスタ・アドレス値は、指定された開始アドレスからアドレス 0x3A3B に向かってインクリメントします。複数バイトの入出力動作の際、予約済みアドレスはスキップされません。したがって、予約済みレジスタにデフォルト値を書き込み、マッピングされていないレジスタにロジック 0 を書き込みます。3 つ以上の連続した予約済み (またはマッピングされていない) レジスタにデフォルト値を書き込むよりも、新しい書き込みコマンドを送信したほうが効率的です。

表 34. ストリーミング・モード (スキップされるアドレスなし)

Address Ascension	Stop Sequence
Increment	0x0000 ... 0x3A3B
Decrement	0x3A3B ... 0x0000

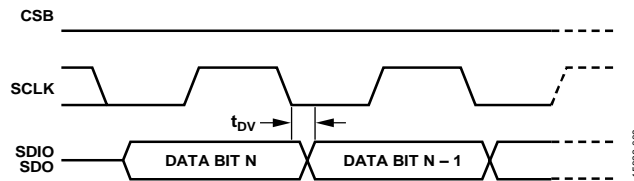


図 56. シリアル制御ポート・レジスタの読出しのタイミング図 — MSB ファースト

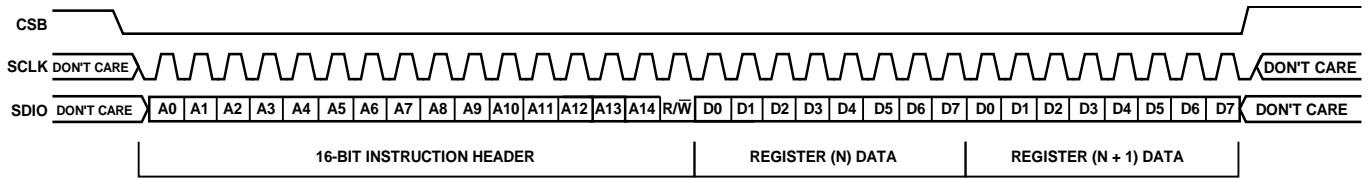


図 57. シリアル制御ポートの書き込み — LSB ファースト、アドレス・インクリメント、2 バイト・データ

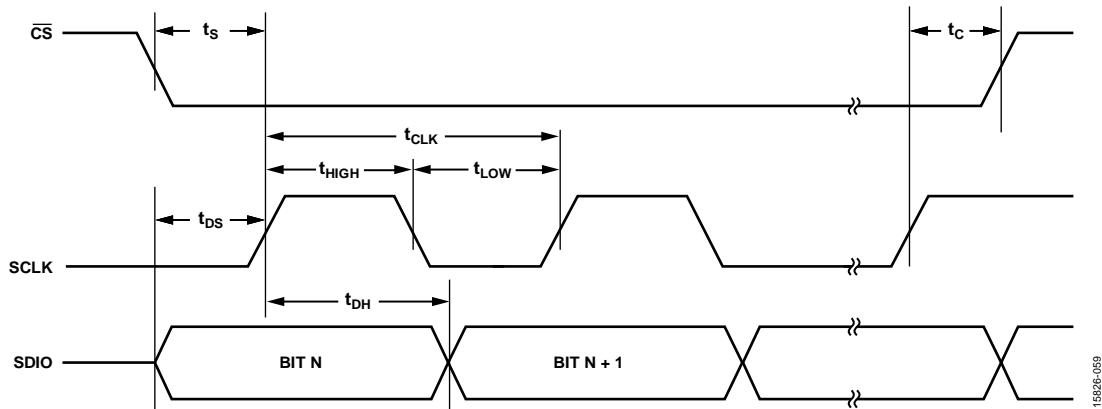


図 58. シリアル制御ポートのタイミング — 書き込み

表 36. シリアル制御ポートのタイミング

Parameter	Description
t_{DS}	Setup time between data and the rising edge of SCLK
t_{DH}	Hold time between data and the rising edge of SCLK
t_{CLK}	Period of the clock
t_s	Setup time between the CSB falling edge and the SCLK rising edge (start of the communication cycle)
t_c	Setup time between the SCLK rising edge and CSB rising edge (end of the communication cycle)
t_{HIGH}	Minimum period that SCLK is in a logic high state
t_{LOW}	Minimum period that SCLK is in a logic low state
t_{DV}	SCLK to valid SDIO (see Figure 56)

I²C シリアル・ポートの動作

I²C インターフェースは 2 本のピンしか必要とせず、同じバス上で簡単に複数のデバイスをサポートできるので、広く使われています。主な欠点は、最大プログラミング速度が 400 kbps しかないことです。AD9542 の I²C ポートは、400 kHz の高速モードと 100 kHz の標準モードをサポートしています。

1.5 V、1.8 V、および 2.5 V の I²C 動作をサポートするために、AD9542 は、オリジナルの I²C 仕様のすべての要求に厳密に従ってはいません。特に、スルー・レートの制限やグリッチ・フィルタリングなどの仕様には対応していません。したがって、AD9542 は I²C に対応していますが、必ずしもすべての I²C 仕様を満たしているわけではありません。

AD9542 の I²C ポートは、シリアル・データ・ライン (SDA) とシリアル・クロック・ライン (SCL) で構成されています。I²C バス・システムにおいて、AD9542 はスレーブ・デバイスとしてシリアル・バス (データ・バス SDA とクロック・バス SCL) に接続します。つまり、AD9542 は I²C クロックを生成しません。AD9542 は、一般的な 8 ビット・メモリ・アドレス指定ではなく、ダイレクト 16 ビット・メモリ・アドレス指定を使用します。

AD9542 では、I²C バケットの一部として転送される 7 ビット・スレーブ・アドレスを介して、4 個の個別スレーブ・デバイスが I²C バスを占有できます。その後の I²C コマンドには、一致するスレーブ・アドレスを持つデバイスだけが応答します。サポートされているデバイス・スレーブ・アドレスを表 37 に示します。

I²C バスの特性

I²C の各種略号の概要を表 37 に示します。

表 37. I²C バスの略号定義

Abbreviation	Definition
S	Start
Sr	Repeated start
P	Stop
A	Acknowledge
\bar{A}	Nonacknowledge
\bar{W}	Write
R	Read

有効なデータ転送の例を図 59 に示します。各データ・ビットの転送には 1 個のクロック・パルスが必要です。SDA ライン上のデータは、クロックがハイのときに安定した状態でなければなりません。データ・ラインのハイまたはローの状態は、SCL ライン上のクロック信号がローのときのみ変更できます。

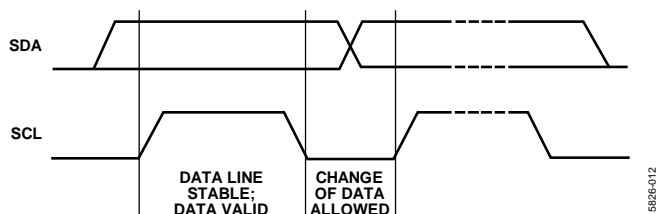


図 59. 有効なビット転送

開始および停止機能を図 60 に示します。開始条件は、SCL がハイ・レベルの状態に SDA ラインがハイ・レベルからロー・レベルへ遷移することです。マスターは、データ転送開始時には常に開始条件を生成します。停止条件は、SCL がハイ・レベルの状態に SDA ラインがロー・レベルからハイ・レベルへ遷移することです。マスターは、データ転送終了時には常に停止条件を生成します。SDA ラインは、常に 8 ビット (1 バイト) を転

送する必要があります。各バイトの後にはアクノレッジ・ビットが必要です。バイトは MSB ファーストで送られます。

アクノレッジ・ビット (A) は、8 ビットのデータ・バイトの末尾に付けられる 9 番目のビットです。これは、バイトが受信されたことをトランスミッタに知らせるために、常にレシーバーによって生成されます。アクノレッジは、8 ビットの各データ・バイトの後の 9 番目のクロック・パルスの間に、SDA ラインをロー・レベルにすることによって行われます。

非アクノレッジ・ビット (\bar{A}) は、8 ビットのデータ・バイトの末尾に付けられる 9 番目のビットです。これは、バイトが受信されていないことをトランスミッタに知らせるために、常にレシーバーによって生成されます。非アクノレッジは、8 ビットの各データ・バイトの後の 9 番目のクロック・パルスの間に、SDA ラインをハイ・レベルのままにすることによって行われます。非アクノレッジ・ビットの送信後、AD9542 の I²C ステータス・マシンはアイドル状態になります。

データ転送プロセス

マスターは、開始条件をアサートすることによってデータ転送を開始します。これは、その後にデータ・ストリームが続くことを示します。シリアル・バスに接続されたすべての I²C スレーブ・デバイスが、この開始条件に応答します。

その後マスターは、SDA ラインを通じ、7 ビットのスレーブ・アドレス (MSB ファースト) と R/\bar{W} ビットで構成される 8 ビットのアドレス・バイトを送信します。このビットはデータ転送の方向、つまり、データをスレーブ・デバイスに書き込むのか、あるいはスレーブ・デバイスから読み出すのかを決定します (ロジック 0 は書き込み、ロジック 1 は読み出しを示します)。

転送されたアドレスに対応する周辺機器は、アクノレッジ・ビットを送ることによってこれに応答します。選択されたデバイスが、そのデバイスとの間で読み書きされるデータを待つ間、バス上の他のすべてのデバイスはアイドル状態を維持します。

R/\bar{W} ビットがロジック 0 の場合は、マスター (トランスミッタ) がスレーブ・デバイス (レシーバー) に書き込みを行います。

R/\bar{W} ビットがロジック 1 の場合は、マスター (レシーバー) がスレーブ・デバイス (トランスミッタ) から読み出しを行います。これらのコマンドのフォーマットについては、データ転送フォーマットのセクションを参照してください。

読み出されたデータは、シリアル・バスを介し、9 個のクロック・パルスを使って送信されます。データは、マスター (書き込みモード) またはスレーブ (読み出しモード) からの 1 データ・バイト (8 ビット) と、その後続く受信側デバイスからのアクノレッジ・ビットで構成されます。このプロトコルでは、任意のバイト数で構成されたデータを転送することができます (つまり、ペイロード・サイズに制限はありません)。書き込みモードでは、スレーブ・アドレス・バイトの直後にある最初の 2 データ・バイトが、内部メモリ (制御レジスタ) のアドレス・バイトです (アドレス値が大きい方のバイトが先)。このアドレス指定方法では、最大 $2^{16} - 1 = 65,535$ 個のメモリ・アドレスを使用できます。これら 2 つのメモリ・アドレス・バイトの後のデータ・バイトが、制御レジスタとの間で読み書きされるレジスタ・データです。読み出しモードでは、スレーブ・アドレス・バイトの後に続くデータ・バイトは、制御レジスタとの間で読み書きされるレジスタ・データで構成されます。

全データ・バイトの読み出しまたは書き込みが終了すると、停止条件が設定されます。書き込みモードでは、スレーブ・デバイス (レシーバー) からの最終データ・バイトに対するアクノレッジ・ビットに続くクロック・パルスの間に、マスター・デバイス (トランスミッタ) が停止条件をアサートしてデータ転送を終了

します。読出しモードでは、マスター・デバイス（レシーバー）がスレーブ・デバイス（トランスミッタ）からの最後のデータ・バイトを受信しても、9番目のクロック・パルス（非アクノレジット・ビット）で SDA をロー・レベルにはしません。スレーブ・デバイスは、非アクノレジット・ビットを受信することによってデータ転送が終了したことを認識し、アイドル・モードに入ります。マスター・デバイスは、これに続き 10 番目のクロック・パルスの前のロー状態のときにデータ・ラインをロー・レベルに

して、さらに 10 番目のクロック・パルスで停止条件をアサートします。

停止条件の代わりに開始条件を使用することもできます。さらに、開始または停止条件はいつでもアサートできます。また、一部しか転送されなかったバイトは破棄されます。

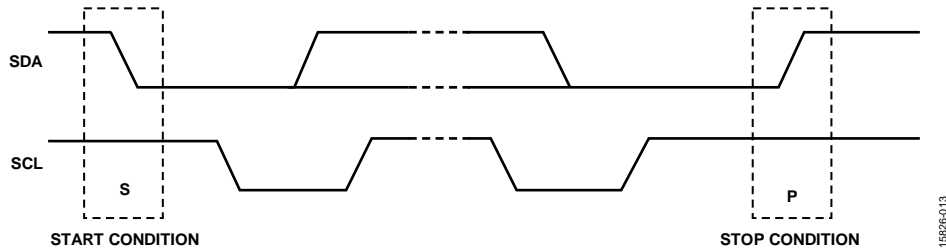


図 60. 開始および停止条件

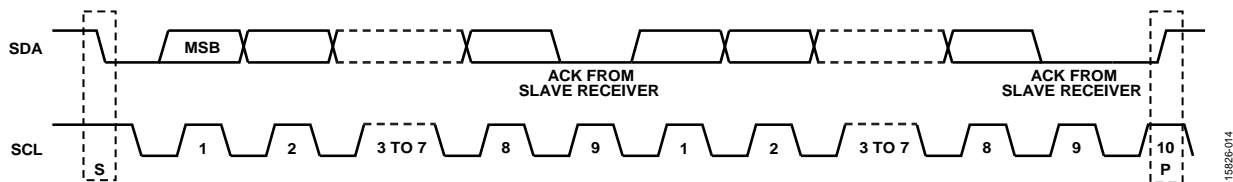


図 61. アクノレジット・ビット

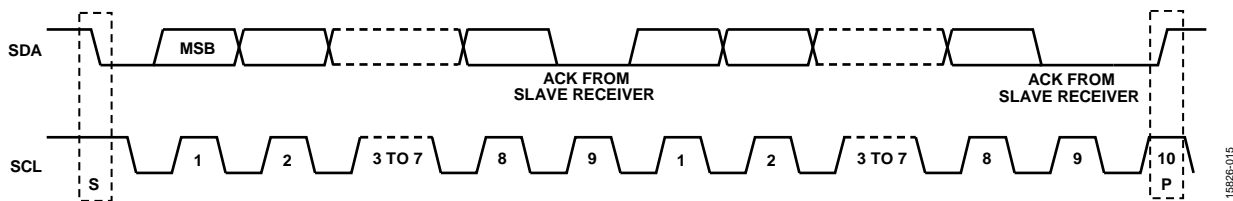


図 62. データ転送プロセス（マスター書き込みモード、2 バイト転送）

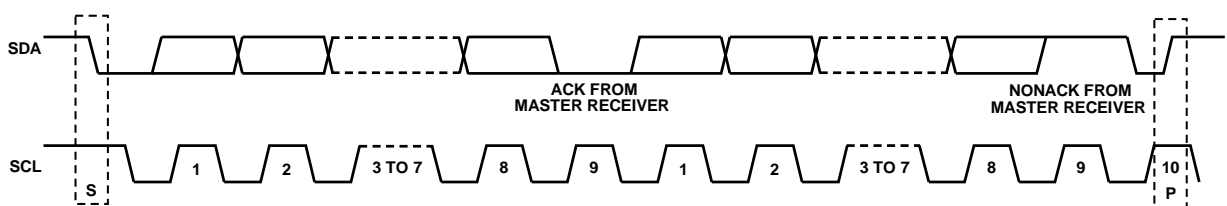


図 63. データ転送プロセス（マスター読出しモード、2 バイト転送）、スレーブからの最初のアクノレジット

データ転送フォーマット

書き込みバイト・フォーマットは、指定された RAM アドレスで始まる RAM に、レジスタ・アドレスを書き込むために使用します (表 38 参照)。送信バイト・フォーマットは、その後にくく読出しのためのレジスタ・アドレスを設定するために使用し

ます (表 39 参照)。受信バイト・フォーマットは、現在のアドレスで始まる RAM からデータ・バイトを読み出すために使用します (表 40 参照)。読出しバイト・フォーマットは、送信バイトと受信バイトを組み合わせたフォーマットです (表 41 参照)。

表 38. 書き込みバイト・フォーマット

S	Slave address	\overline{W}	A	RAM address high byte	A	RAM address low byte	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	A	P
---	---------------	----------------	---	-----------------------	---	----------------------	---	------------	---	------------	---	------------	---	---

表 39. 送信バイト・フォーマット

S	Slave address	\overline{W}	A	RAM address high byte	A	RAM address low byte	A	P
---	---------------	----------------	---	-----------------------	---	----------------------	---	---

表 40. 受信バイト・フォーマット

S	Slave address	R	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	\overline{A}	P
---	---------------	---	---	------------	---	------------	---	------------	----------------	---

表 41. 読出しバイト・フォーマット

S	Slave address	\overline{W}	A	RAM address high byte	A	RAM address low byte	Sr	Slave address	R	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	\overline{A}	P
---	---------------	----------------	---	-----------------------	---	----------------------	----	---------------	---	---	------------	---	------------	---	------------	----------------	---

I²C シリアル・ポートのタイミング

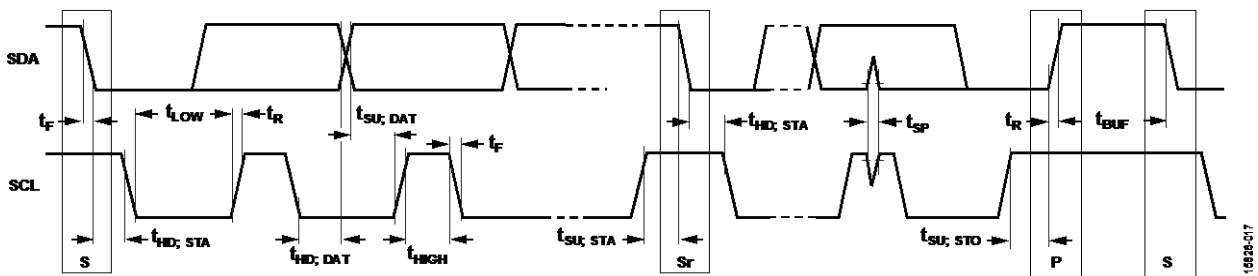
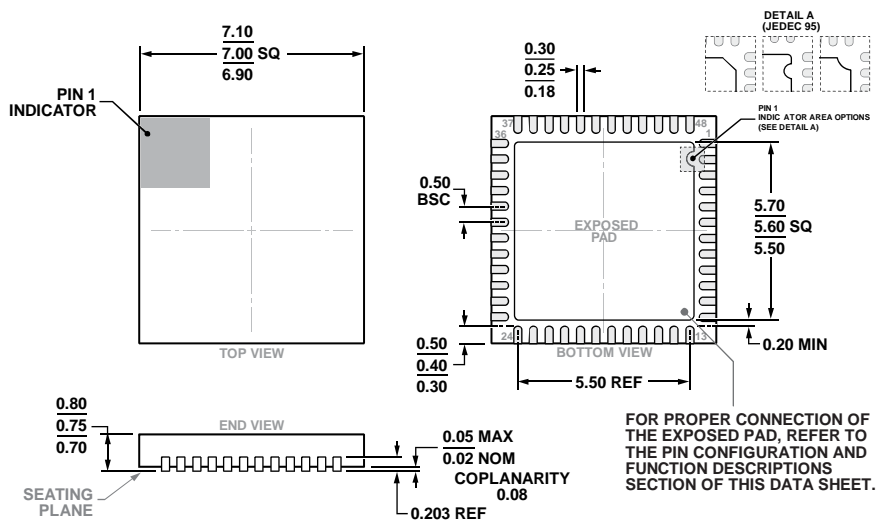


図 64. I²C シリアル・ポートのタイミング

表 42. I²C タイミング定義

Parameter	Description
f_{SCL}	Serial clock
t_{BUF}	Bus free time between stop and start conditions
$t_{HD; STA}$	Repeated hold time start condition
$t_{SU; STA}$	Repeated start condition setup time
$t_{SU; STO}$	Stop condition setup time
$t_{HD; DAT}$	Data hold time
$t_{SU; DAT}$	Data setup time
t_{LOW}	SCL clock low period
t_{HIGH}	SCL clock high period
t_R	Minimum/maximum receive SCL and SDA rise time
t_F	Minimum/maximum receive SCL and SDA fall time
t_{SP}	Pulse width of voltage spikes that must be suppressed by the input filter

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WKKD-4.

図 65. 48 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 7 mm x 7 mm ボディ、0.75 mm パッケージ高
 (CP-48-13)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9542BCPZ	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP]	CP-48-13
AD9542BCPZ-REEL7	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP]	CP-48-13
AD9542/PCBZ		Evaluation Board	

¹ Z = RoHS 準拠製品

²C は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。