

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020年10月28日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年10月28日

製品名：AD9166

対象となるデータシートのリビジョン(Rev)：Rev. 0

訂正箇所：

1) P.40 左コラム

英文データシートの「implemented on a GTH or gigabit transceiver (GTX) on a Virtex-6 FPGA」という記述は「implemented on a GTH or GTX gigabit transceiver on a Virtex-6 FPGA」のほうが正確です。日本語データシートでは、英語原文との整合性を図るため、原文のまま翻訳をしておりますのでご注意ください。

2) P.102 レジスタ・アドレス 0x32E の Description の部分

英文データシートの「This LSB is the upper eight bits」という記述は「This MSB is the upper eight bits」の誤記です。日本語データシートでは、原文のまま翻訳をしておりますのでご注意ください。

3) P.107 レジスタ・アドレス 0x453 の Description の部分

英文データシートの「Scramble enable.」という記述は「Descramble enable.」の誤記です。日本語データシートでは、原文のまま翻訳をしておりますのでご注意ください。

4) P.116 レジスタ・アドレス 0x476 のビット 0 FCHK_N の Description の部分

英文データシートの「Register 0x475, Register 3」という記述は「Register 0x475, Bit 3」の誤記です。日本語データシートでは、原文のまま翻訳をしておりますのでご注意ください。

5) P.117 レジスタ・アドレス 0x478 の Description の部分

英文データシートの「Number of 4 × K multiframe during ILS」という記述は「Number of 4 × K multiframe during ILAS」の誤記です。日本語データシートでは、原文のまま翻訳をしておりますのでご注意ください。



DC~9GHz ベクトル信号発生器

データシート

AD9166

特長

- DC カップリングされた 50Ω 整合出力
- 最大出力 4.3dBm、9GHz で -9.5dBm
- DAC コア更新レート：2×NRZ モードで 12.0GSPS (保証最小値)
- 広いアナログ帯域幅
 - 2×NRZ モードで DC~9.0GHz (DAC 更新レート 12.0GSPS)
 - ミックス・モードで 1.0GHz~8.0GHz (DAC 更新レート 6.0GSPS)
 - NRZ モードで DC~4.5GHz (DAC 更新レート 6.0GSPS)
- 2×NRZ モードでの消費電力 4.88W (DAC 更新レート 10GSPS)
- バイパス可能なデータバス・インターポレーション
 - 2×、3×、4×、6×、8×、12×、16×、24×
- 瞬時 (複素) 信号帯域幅
 - デバイス・クロック 5GHz 時で 2.25GHz (2×インターポレーション)
 - デバイス・クロック 6GHz 時で 1.8GHz (3×インターポレーション)
- 高速周波数ホッピング
- BiCMOS バッファ・アンプ内蔵

アプリケーション

- 計測器：自動試験装置、電子的な試験および計測、任意波形発生器
- 電子戦：レーダー、電波妨害装置
- 広帯域通信システム
- 局部発振器ドライバ

概要

AD9166¹ は高性能の広帯域オンチップ・ベクトル信号発生器で、高速の JESD204B シリアライザ/デシリアライザ (SERDES) インターフェース、柔軟な 16 ビット・デジタル・データバス、同相/直交 (I/Q) D/A コンバータ (DAC) コア、および 10GHz まで 50Ω 負荷に整合された差動入力シングルエンド出力の内蔵バッファ・アンプから構成されています。

DAC コアはクワッドスイッチ・アーキテクチャに基づくもので、設定を変更することで、6.4GHz の DAC サンプリング・クロックから DAC コアの有効更新レートを 12.8GSPS まで増やすことができます。アナログ出力帯域は、完全な DC から 9.0GHz までです (代表値)。デジタル・データバスには、複数のインターポレーション・フィルタ段、高速周波数ホッピング (FFH) 対応の数値制御発振器 (NCO) を複数備えたダイレクト・デジタル・シンセサイザ (DDS) ブロック、そして柔軟なスペクトル・プランニングを可能にする補助的な FIR85 フィルタ段と反転 sinc フィルタ段が含まれています。

差動入力シングルエンド出力のバッファは広帯域バランスを不要にし、DAC コアの全アナログ出力帯域幅をサポートします。出力を DC カップリングすると、外部バイアス・ティーや同様の回路を使用しなくても、ベースバンド波形を生成することが

できます。これにより、AD9166 は、極めて要求の厳しい高速超広帯域 RF 送信アプリケーションに最適なデバイスとなっています。

AD9166 は、様々なフィルタ段によって低いデータ・レートに合わせて設定することができますが、その一方で、フィルタリング条件を容易なものにしてシステムの全体的なサイズ、重量、消費電力を抑えるために、DAC クロック・レートを高い値に保つことができます。

データ・インターフェース・レシーバーは最大 8 個の JESD204B SERDES レーンで構成され、それぞれが 12.5Gbps の速度でデータを送ることができます。このレシーバーは、最大限の柔軟性を実現するために、データ・レート、SERDES レーン数、JESD204B トランスミッタに必要なレーン・マッピングに従って、自由に設定することができます。

2×ノンリターン・ゼロ (NRZ) 動作モードでは (FIR85 をイネーブル)、AD9166 は完全な DC から第 3 ナイキスト領域のエッジまでの RF 搬送波、つまり完全な DC から 9GHz までのアナログ帯域幅を再構成することができます。

ミックス・モードでは、AD9166 は 2×NRZ モードよりも低消費電力でこれと同等の性能を維持しながら、第 2 および第 3 ナイキスト領域の RF 搬送波を再構成することができます。

リターン・ゼロ (RZ) や 1×NRZ などのベースバンド・モードでは、AD9166 は完全な DC から第 1 ナイキスト領域のエッジまでの RF 搬送波の再構成に最適で、しかも消費電力は 2×NRZ モードの場合より少なくなります。

直交 DDS ブロックは、3 つすべてのナイキスト領域において、I/Q データ・サンプルをスペクトルの希望位置へアップコンバートするためのデジタル・アップコンバータとして構成できます。

DDS には 32 個の数値制御発振器 (NCO) のバンクも含まれており、それぞれの NCO が専用の 32 ビット位相アキュムレータを備えています。100MHz のシリアル・ペリフェラル・インターフェース (SPI) と組み合わせた場合、DDS は位相コヒーレントな FFH が可能で、その際の位相セトリング時間はわずか 300ns です。

AD9166 の設定は、すべてのレジスタのステータスをモニタする一般的な SPI インターフェースを使って行います。AD9166 は、324 ボール、15mm × 15mm、0.8mm ピッチの BGA_ED パッケージで提供されます。

製品のハイライト

- 広いダイナミック・レンジと信号再構成帯域幅により、最大 9GHz までの RF 信号合成をサポート。
- ゼロ IF アプリケーションやその他の DC カップリング・アプリケーションをすべてサポート。
- JESD204B トランスミッタとインターフェースを取る際の柔軟性を確保する様々な機能を備えた、最大 8 レーンの JESD204B SERDES インターフェース。

¹ 米国特許 6,842,132 および 7,796,971 により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	JESD204B の概要	29
アプリケーション	1	物理層	31
概要	1	データ・リンク層	34
製品のハイライト	1	トランスポート層	42
改訂履歴	2	JESD204B のテスト・モード	44
機能ブロック図	3	JESD204B のエラー・モニタリング	46
仕様	4	ハードウェアに関する考慮事項	48
DC 仕様	4	メイン・デジタル・データパス	49
電源の DC 仕様	5	データ・フォーマット	49
デバイス入力クロック・レートと DAC 更新レートの仕様	7	インターポレーション・フィルタ	49
JESD204B インターフェース仕様	8	デジタル変調	52
入力データ・レートと帯域幅の仕様	9	反転 sinc	55
パイプライン遅延と遅延不確定性の仕様	9	下流側の保護	55
AC 仕様	10	データパス PRBS	56
CMOS ピン仕様	11	データパス PRBS IRQ	56
タイミング仕様	12	割込み要求動作	57
絶対最大定格	14	割込みサービス・ルーチン	57
リフロー・プロファイル	14	アプリケーション情報	58
温度管理	14	ハードウェアに関する考慮事項	58
熱抵抗	14	アナログ・インターフェースに関する考慮事項	61
ESD に関する注意	14	アナログ動作モード	61
ピン配置およびピン機能の説明	15	クロック入力	62
代表的な性能特性	18	シャッフル・モード	63
AC 性能 (2×NRZ (FIR85) モード)	18	電圧リファレンスとフルスケール電流 (FSC)	63
LTE 性能 (2×NRZ (FIR85) モード)	23	アナログ出力	64
802.11AC 性能 (2×NRZ (FIR85) モード)	24	温度センサー	65
用語の定義	25	スタートアップ・シーケンス	67
動作原理	26	レジスタの一覧: DAC	70
シリアル・ポートの動作	27	レジスタの詳細: DAC レジスタ・マップ	79
データ・フォーマット	27	レジスタの一覧: アンプ	135
シリアル・ポート・ピンの説明	27	レジスタの詳細: アンプ・レジスタ・マップ	136
シリアル・ポート・オプション	28	外形寸法	138
JESD204B シリアル・データ・インターフェース	29	オーダー・ガイド	138

改訂履歴

7/2020—Revision 0: Initial Version

機能ブロック図

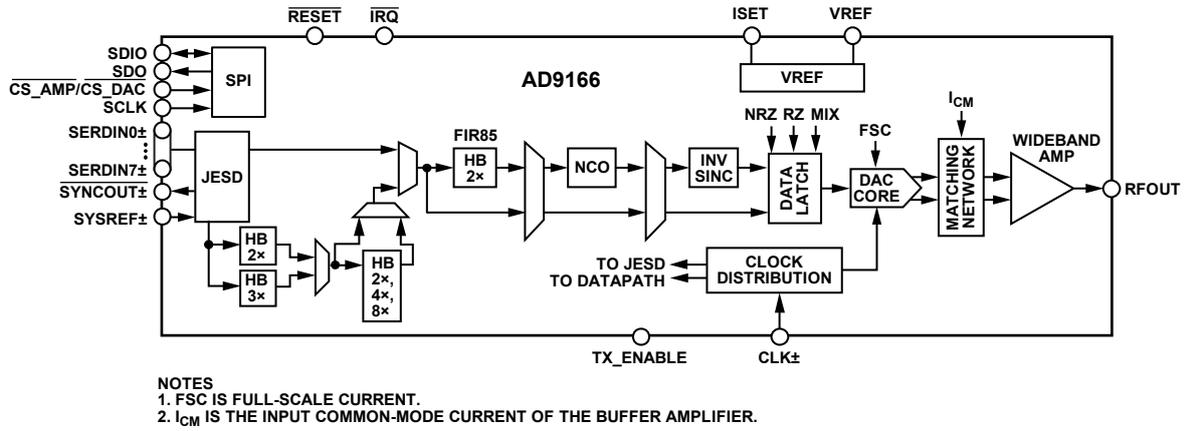


図 1.

20810-001

仕様

DC仕様

特に指定のない限り、DAC_2P5_AN = 2.5V、DAC_1P2_AN = DAC_1P2_CLK = 1.2V、DAC_N1P2_AN = -1.2V、DAC_1P2_DIG = 1.2V、VDD_IO = 2.5V、DAC_1P2_SER = 1.2V、DAC_3P3_SYNC = 3.3V、AMP_5V_IN = 5.0V、AMP_3P3_OUT = 3.3V、AMP_3P3 = 3.3V、AMP_N5 = -5.0V、DAC出力フルスケール電流 (I_{OUTFS}) = 40mA、および T_A = -40°C ~ +85°C。50Ω 整合出力。

表 1.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
RESOLUTION		16			Bits
DAC ANALOG OUTPUT					
Power-Up Delay	DAC 出力オフからイネーブルまで		10		ns
Gain Error (with Internal Reference)			-1.7		%
Full-Scale Output Current (I _{OUTFS})					
Minimum	DAC リファレンス電流設定抵抗 (R _{SET}) = 9.76kΩ	7.37	8	8.57	mA
Maximum	R _{SET} = 9.76kΩ	35.8	38.76	41.3	mA
AMPLIFIER ANALOG OUTPUT					
Maximum Full-Scale Power	フルスケール出力電流をその最大代表値に設定して測定				
DC			4.3		dBm
9 GHz	FIR85 イネーブル (2×NRZ)		-9.5		dBm
DEVICE CLOCK INPUT (CLK+, CLK-)					
Differential Input Power	負荷抵抗 (R _{LOAD}) = 90Ω、差動、オンチップ	-20	0	+10	dBm
Common-Mode Voltage	AC カップリング		0.6		V
Input Impedance ¹	3GSPS 入力クロック		90		Ω
Maximum Input Frequency (f _{CLK})	詳細については表 3 を参照。		6400		MHz
TEMPERATURE SENSOR					
Amplifier Sensor Accuracy ²			±5		°C
DAC Sensor Accuracy ³			±5		°C
ANALOG SUPPLY VOLTAGES					
DAC_2P5_AN		2.375	2.5	2.625	V
DAC_1P2_AN ⁴		1.14	1.2	1.326	V
DAC_1P2_CLK ⁴		1.14	1.2	1.326	V
DAC_N1P2_AN		-1.26	-1.2	-1.14	V
AMP_5V_IN		4.75	5	5.25	V
AMP_3P3_OUT		3.135	3.3	3.465	V
AMP_N5		-5.25	-5	-4.75	V
AMP_3P3		3.135	3.3	3.465	V
DIGITAL SUPPLY VOLTAGES					
DAC_1P2_DIG		1.14	1.2	1.326	V
VDD_IO ⁵		1.71	2.5	3.465	V
SERDES SUPPLY VOLTAGES					
DAC_1P2_SER		1.14	1.2	1.326	V
DAC_3P3_SYNC		3.135	3.3	3.465	V

¹ 詳細についてはクロック入力のセクションを参照してください。

² アンプの温度センサーの方が T_I をより正確に表しますが、1点キャリブレーションが必要です。

³ DAC 温度センサーの指示値は T_I のモニタには使用せず、あくまで参考として使用してください。

⁴ ノイズを最小限に抑えるために、DAC_1P2_CLK ピンと DAC_1P2_AN ピンには別々の電源フィルタ回路を使用してください。

⁵ VDD_IO の範囲は 1.8V ~ 3.3V、許容誤差は ±5% です。

電源の DC 仕様

特に指定のない限り、 $I_{OUTFS} = 40\text{mA}$ 、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 。FIR85 はデジタル減衰 85dB の FIR フィルタ。

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
8 LANES, 2× INTERPOLATION (80%), 3 GSPS Analog Supply Currents DAC_2P5_AN DAC_1P2_AN DAC_1P2_CLK DAC_N1P2_AN AMP_5V_IN AMP_3P3_OUT AMP_N5 AMP_3P3 Digital Supply Currents DAC_1P2_DIG VDD_IO ¹ DAC_1P2_SER DAC_3P3_SYNC	NCO オン、FIR85 オン VDD_IO = 2.5V	-117	53.5 1 239 -111.1 169.9 65.1 187.8 21.2 545 2.5 567.4 9.1	57 111 255 182 70.7 209 23 611 2.7 627 11	mA μA mA mA mA mA mA mA mA mA mA mA
8 LANES, 6× INTERPOLATION (80%), 3 GSPS Analog Supply Currents DAC_2P5_AN DAC_1P2_AN DAC_1P2_CLK DAC_N1P2_AN AMP_5V_IN AMP_3P3_OUT AMP_N5 AMP_3P3 Digital Supply Currents DAC_1P2_DIG VDD_IO ¹ DAC_1P2_SER DAC_3P3_SYNC	NCO オン、FIR85 オン VDD_IO = 2.5V		53.5 1.4 238.1 -111.1 169.7 65.0 195.1 21.1 632.4 0.025 614.2 9.2		mA μA mA mA mA mA mA mA mA mA mA mA
NCO ONLY MODE, 5 GSPS Analog Supply Currents DAC_2P5_AN DAC_1P2_AN DAC_1P2_CLK DAC_N1P2_AN AMP_5V_IN AMP_3P3_OUT AMP_N5 AMP_3P3 Digital Supply Currents DAC_1P2_DIG VDD_IO ¹ DAC_1P2_SER DAC_3P3_SYNC	 VDD_IO = 2.5V	-120	47.6 0 359 -104.9 169.7 65.1 194.9 21.1 446.9 2.5 3.0 0.34	63 109 382 182 71 216 23 493 2.7 8.5 0.44	mA μA mA mA mA mA mA mA mA mA mA mA
8 LANES, 4× INTERPOLATION (80%), 5 GSPS Analog Supply Currents DAC_2P5_AN DAC_1P2_AN DAC_1P2_CLK DAC_N1P2_AN AMP_5V_IN	NCO オン、FIR85 オフ (この試験について特に指定のない限り)	-126	55.5 0.1 358.9 -120.0 166.8	59 123 382 178	mA μA mA mA mA

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
AMP_3P3_OUT			65.1	71	mA
AMP_N5			185.9	207	mA
AMP_3P3			21.3	23	mA
Digital Supply Currents					
VDD_IO ¹	VDD_IO = 2.5V		2.5	2.7	mA
DAC_1P2_DIG	NCO オン、FIR85 オフ		705.1	769	mA
	NCO オフ、FIR85 オン		749.1	819	mA
	NCO オン、FIR85 オン		962.7	1044	mA
DAC_1P2_SER			541.6	586	mA
DAC_3P3_SYNC			9.2	11	mA
8 LANES, 4× INTERPOLATION (80%), 5.8 GSPS	NCO オン、FIR85 オン				
Analog Supply Currents					
DAC_2P5_AN			53.5	57	mA
DAC_1P2_AN			0	68	μA
DAC_1P2_CLK			406	430	mA
DAC_N1P2_AN		-117	-111.1		mA
AMP_5V_IN			169.6	182	mA
AMP_3P3_OUT			65.0	71	mA
AMP_N5			194.5	216	mA
AMP_3P3			21.2	23	mA
Digital Supply Currents					
VDD_IO ¹	VDD_IO = 2.5V		2.5	2.7	mA
DAC_1P2_DIG			1090	1200	mA
DAC_1P2_SER			575.5	622	mA
DAC_3P3_SYNC			9.0	11	mA
8 LANES, 3× INTERPOLATION (80%), 4.5 GSPS	NCO オン、FIR85 オン				
Analog Supply Currents					
DAC_2P5_AN			53.5	57	mA
DAC_1P2_AN			0	68	μA
DAC_1P2_CLK			330.5	352	mA
DAC_N1P2_AN		-117	-111.1		mA
AMP_5V_IN			169.7	182	mA
AMP_3P3_OUT			65.0	71	mA
AMP_N5			195.0	216	mA
AMP_3P3			21.2	23	mA
Digital Supply Currents					
VDD_IO ¹	VDD_IO = 2.5V		2.5		mA
DAC_1P2_DIG			1025.1	1115	mA
DAC_1P2_SER			579.4	626	mA
DAC_3P3_SYNC			9.2	11	mA
POWER DISSIPATION					
Amplifier, Standalone			2.33	2.43	W
DAC, Standalone, 3 GSPS					
2× NRZ Mode, 6×, FIR85 Enabled, NCO On	80%、3×フィルタ、8 レーン JESD204B を使用		2.0	2.21	W
NRZ Mode, 24×, FIR85 Disabled, NCO On	80%、2×フィルタ、1 レーン JESD204B を使用		1.2	1.31	W
DAC, Standalone, 5 GSPS					
NRZ Mode, 8×, FIR85 Disabled, NCO On	80%、2×フィルタ、8 レーン JESD204B を使用		2.08	2.30	W
NRZ Mode, 16×, FIR85 Disabled, NCO On	80%、2×フィルタ、8 レーン JESD204B を使用		1.99	2.18	W
DAC, Standalone, 10 GSPS					
2× NRZ Mode, 6×, FIR85 Enabled, NCO On	80%、3×フィルタ、8 レーン JESD204B を使用		2.55	2.85	W
Total, Amplifier and DAC, 10 GSPS	80%、3×フィルタ、8 レーン JESD204B を使用		4.88		W

¹ VDD_IO の範囲は 1.8V~3.3V、許容誤差は ±5% です。

デバイス入カクロック・レートと DAC 更新レートの仕様

特に指定のない限り、DAC_2P5_AN = 2.5V、DAC_1P2_AN = DAC_1P2_CLK = 1.2V、DAC_N1P2_AN = -1.2V、DAC_1P2_DIG = 1.2V、VDD_IO = 2.5V、DAC_1P2_SER = 1.2V、DAC_3P3_SYNC = 3.3V、AMP_5V_IN = 5.0V、AMP_3P3_OUT = 3.3V、AMP_3P3 = 3.3V、AMP_N5 = -5.0V、IOUTFS = 40mA、T_A = -40°C ~ +85°C。

表 3 に示す温度および電圧条件を使用した場合の最大保証速度 (DAC_1P2_x は、DAC_1P2_AN、DAC_1P2_CLK、DAC_1P2_DIG、および DAC_1P2_SER を含む)。デバイスのクロック速度が 5.1GHz を超える場合は、そのデバイスの損傷を避けるために最大接合部温度が 105°C を超えないようにする必要があります。特定のクロック速度において許容される最大接合部温度の詳細については表 11 を参照してください。

表 3.

Parameter	Test Conditions/Comments ¹	Min	Typ	Max	Unit	
MAXIMUM INPUT CLOCK RATE (f _{CLK})	DAC_1P2_x = 1.2 V ± 5%	T _{J_DAC_MAX} = 25°C			6.0	GHz
		T _{J_DAC_MAX} = 85°C			5.6	GHz
		T _{J_DAC_MAX} = 105°C			5.4	GHz
	DAC_1P2_x = 1.2 V ± 2%	T _{J_DAC_MAX} = 25°C			6.1	GHz
		T _{J_DAC_MAX} = 85°C			5.8	GHz
		T _{J_DAC_MAX} = 105°C			5.6	GHz
	DAC_1P2_x = 1.3 V ± 2%	T _{J_DAC_MAX} = 25°C			6.4	GHz
		T _{J_DAC_MAX} = 85°C			6.2	GHz
		T _{J_DAC_MAX} = 105°C			6.0	GHz
DAC UPDATE RATE (f _{DAC})	Minimum			1.5	GSPS	
	Maximum	DAC_1P2_x = 1.3 V ± 2%	6	6.4	GSPS	
		DAC_1P2_x = 1.3 V ± 2%, FIR85 (2× NRZ) enabled	12	12.8	GSPS	
	Adjusted ²	DAC_1P2_x = 1.3 V ± 2%	6	6.4	GSPS	

¹ T_{J_DAC_MAX} は DAC 温度センサーを使って測定した最大接合部温度。

² 調整後の DAC 更新レートは次のように計算します：FIR85 をディスエーブルした場合、f_{DAC} を最小必要インターポレーション係数で分周。AD9166 の最小インターポレーション係数は 1 です。したがって、f_{DAC} = 6.0GSPS の場合、調整後の f_{DAC} = 6.0GSPS。FIR85 をイネーブルするとデバイスは 2×NRZ モードになるので、f_{DAC} = 2 × f_{CLK} となり、最小インターポレーションは 2× となります (インターポレーション値)。したがって AD9166 では、FIR85 イネーブル、f_{CLK} = 6GHz の場合、f_{DAC} = 12.0GSPS、最小インターポレーションは 2× で、調整後の DAC 更新レートは 6.0GSPS となります。

JESD204B インターフェース仕様

特に指定のない限り、DAC_2P5_AN = 2.5V、DAC_1P2_AN = DAC_1P2_CLK = 1.2V、DAC_N1P2_AN = -1.2V、DAC_1P2_DIG = 1.2V、VDD_IO = 2.5V、DAC_1P2_SER = 1.2V、DAC_3P3_SYNC = 3.3V、AMP_5V_IN = 5.0V、AMP_3P3_OUT = 3.3V、AMP_3P3 = 3.3V、AMP_N5 = -5.0V、IOUTFS = 40mA、T_A = -40°C ~ +85°C。V_{TT} は終端電圧。

表 4.

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
SERIAL INTERFACE SPEED		レーンごとの保証動作範囲				
Half Rate			6		12.5	Gbps
Full Rate			3		6.25	Gbps
Oversampling			1.5		3.125	Gbps
2× Oversampling			0.750		1.5625	Gbps
JESD204B DATA INPUTS						
Input Leakage Current		T _A = 25°C				
Logic High		入力レベル = 1.2V ± 0.25V、V _{TT} = 1.2V		10		μA
Logic Low		入力レベル = 0V		-4		μA
Unit Interval			80		1333	ps
Common-Mode Voltage		AC カップリング、V _{TT} = DAC_1P2_SER ¹	-0.05		+1.85	V
Differential Voltage			110		1050	mV
V _{TT} Source Impedance		DC での値			30	Ω
Differential Impedance		DC での値	80	100	120	Ω
Differential Return Loss				8		dB
Common-Mode Return Loss				6		dB
SYSREF± INPUT						
Differential Impedance				121		Ω
DIFFERENTIAL OUTPUTS (SYNCOUT±) ²		100Ω 差動負荷を駆動				
Output Differential Voltage			350	420	450	mV
Output Offset Voltage			1.15	1.2	1.27	V

¹ AC カップリング・コンデンサの入力側で測定した値。

² IEEE 1596.3 LVDS 規格と互換。

入力データ・レートと帯域幅の仕様

特に指定のない限り、DAC_2P5_AN = 2.5V、DAC_1P2_AN = DAC_1P2_CLK = 1.2V、DAC_N1P2_AN = -1.2V、DAC_1P2_DIG = 1.2V、VDD_IO = 2.5V、DAC_1P2_SER = 1.2V、DAC_3P3_SYNC = 3.3V、AMP_5V_IN = 5.0V、AMP_3P3_OUT = 3.3V、AMP_3P3 = 3.3V、AMP_N5 = -5.0V、IOUTFS = 40mA、T_A = -40°C ~ +85°C。

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT DATA RATE					
Complex ¹	Interpolation > 1×	0.15		2.5	GSPS
Real	Interpolation = 1×	0.3		5.0	GSPS
INSTANTANEOUS SIGNAL BANDWIDTH ²					
Complex	f _{CLK} = 5 GHz, interpolation = 2×			2.25	GHz
	f _{CLK} = 6 GHz, interpolation = 3×			1.8	GHz
Real	f _{CLK} = 5 GHz, interpolation = 1×			2.5	GHz
ANALOG BANDWIDTH					
2x NRZ (FIR85 Enabled)	f _{DAC} = 12.0 GSPS				
Minimum			DC		GHz
Maximum			9.0		GHz
Mix Mode (FIR85 Disabled)	f _{DAC} = 6.0 GSPS				
Minimum			1.0		GHz
Maximum			8.0		GHz
NRZ (FIR85 Disabled)	f _{DAC} = 6.0 GSPS				
Minimum			DC		GHz
Maximum ³			4.5		GHz

¹ 複素データ・レートは I と Q の両方を組み合わせたレート。

² インターポレーション・フィルタの帯域幅を 90% に設定。

³ sinc ロールオフにより、使用可能な出力によって制限されます。詳細については図 88 を参照してください。

パイプライン遅延と遅延不確定性の仕様

特に指定のない限り、DAC_2P5_AN = 2.5V、DAC_1P2_AN = DAC_1P2_CLK = 1.2V、DAC_N1P2_AN = -1.2V、DAC_1P2_DIG = 1.2V、VDD_IO = 2.5V、DAC_1P2_SER = 1.2V、DAC_3P3_SYNC = 3.3V、AMP_5V_IN = 5.0V、AMP_3P3_OUT = 3.3V、AMP_3P3 = 3.3V、AMP_N5 = -5.0V、IOUTFS = 40mA、T_A = -40°C ~ +85°C。

表 6.

Parameter ¹	Test Conditions/Comments	Min	Typ	Max	Unit
JESD204B LINK LATENCY					
Fixed				12	PCLK ² cycles
Variable				2	PCLK ² cycles
JESD204B TO DATAPATH INTERFACE LATENCY			1		PCLK ² cycle
DATAPATH PIPELINE DELAY ³	NCO only, FIR85 off, inverse sinc off		48		f _{CLK} cycles
SYSREF± to LOCAL MULTIFRAME CLOCKS (LMFC) DELAY	JED204B Subclass 1		4		f _{CLK} cycles
DETERMINISTIC LATENCY UNCERTAINTY					
JED204B Subclass 0			32		f _{CLK} cycles
JED204B Subclass 1 ⁴				4	f _{CLK} cycles

¹ デバイス全体での合計遅延は以下のように計算します。

合計遅延 = 固定遅延 + 可変遅延 + インターフェース遅延 + データパス・パイプライン遅延

² PCLK は AD9166 の内部処理クロックで、値はレーン・レート ÷ 40 です。

³ 異なるデータパス構成でのパイプライン遅延値については、表 33 を参照してください。

⁴ SYSREF±信号入力は f_{CLK}/4 のレートでサンプリングされます。SYSREF±サンプリングのためのセットアップ時間とホールド時間が表 10 に従っている場合、確定的遅延には、最大で f_{CLK} サイクル 4 個分の不確実性が生じます。この確定的遅延の不確実性は、レジスタ 0x037 とレジスタ 0x038 を使って、SYSREF±のサンプリングに使われる正確なクロック・サイクルを読み出すことにより、改善することができます。詳細については、SYSREF±信号のセクションを参照してください。

AC仕様

DAC_2P5_AN = 2.5V、DAC_1P2_AN = DAC_1P2_CLK = 1.2V、DAC_N1P2_AN = -1.2V、DAC_1P2_DIG = 1.2V、VDD_IO = 2.5V、DAC_1P2_SER = 1.2V、DAC_3P3_SYNC = 3.3V、AMP_5V_IN = 5.0V、AMP_3P3_OUT = 3.3V、AMP_3P3 = 3.3V、AMP_N5 = -5.0V。

特に指定のない限り、I_{OUTFS} = 20mA、デジタル・スケール = 0dBFS、f_{DAC} = 12.0GSPS、FIR85 イネーブル、T_A = 25°C。f_{OUT} は出力周波数。

表 7.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SPURIOUS-FREE DYNAMIC RANGE (SFDR)¹					
Single Tone					
f _{OUT} = 51 MHz			-83		dBc
f _{OUT} = 451 MHz			-66		dBc
f _{OUT} = 1051 MHz			-54		dBc
f _{OUT} = 2051 MHz			-46		dBc
f _{OUT} = 4051 MHz			-38		dBc
f _{OUT} = 6051 MHz			-42		dBc
f _{OUT} = 9051 MHz			-35		dBc
Single Tone, I _{OUTFS} = 40 mA					
f _{OUT} = 51 MHz			-69		dBc
f _{OUT} = 451 MHz			-55		dBc
f _{OUT} = 1051 MHz			-43		dBc
f _{OUT} = 2051 MHz			-33		dBc
f _{OUT} = 4051 MHz			-25		dBc
f _{OUT} = 6051 MHz			-29		dBc
f _{OUT} = 9051 MHz			-20		dBc
ADJACENT CHANNEL LEAKAGE RATIO (ACLR)					
Single-Carrier Long-Term Evolution (LTE)					
f _{OUT} = 849 MHz	First adjacent channel, -6 dBFS		-70		dBc
f _{OUT} = 1865 MHz			-70		dBc
f _{OUT} = 2150 MHz			-71		dBc
f _{OUT} = 2680 MHz			-71		dBc
f _{OUT} = 3380 MHz			-69		dBc
f _{OUT} = 3680 MHz			-67		dBc
Single-Carrier IEEE 802.11AC					
f _{OUT} = 5160 MHz	First adjacent channel		-60		dBc
f _{OUT} = 5865 MHz			-59		dBc
INTERMODULATION DISTORTION (IMD)					
Two-Tone Test					
f _{OUT} = 51 MHz			-78		dBc
f _{OUT} = 451 MHz			-65		dBc
f _{OUT} = 1051 MHz			-59		dBc
f _{OUT} = 2051 MHz			-51		dBc
f _{OUT} = 4051 MHz			-37		dBc
f _{OUT} = 6051 MHz			-55		dBc
f _{OUT} = 9051 MHz			-43		dBc
Two-Tone Test, I _{OUTFS} = 40 mA					
f _{OUT} = 51 MHz			-75		dBc
f _{OUT} = 451 MHz			-60		dBc
f _{OUT} = 1051 MHz			-55		dBc
f _{OUT} = 2051 MHz			-49		dBc
f _{OUT} = 4051 MHz			-31		dBc
f _{OUT} = 6051 MHz			-38		dBc
f _{OUT} = 9051 MHz			-32		dBc

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
NOISE SPECTRAL DENSITY (NSD)	Single tone, $I_{OUTFS} = 40 \text{ mA}$				
$f_{OUT} = 537 \text{ MHz}$			-157		dBc/Hz
$f_{OUT} = 1044 \text{ MHz}$			-157		dBc/Hz
$f_{OUT} = 2062 \text{ MHz}$			-157		dBc/Hz
$f_{OUT} = 3791 \text{ MHz}$			-154		dBc/Hz
$f_{OUT} = 4095 \text{ MHz}$			-157		dBc/Hz
$f_{OUT} = 5011 \text{ MHz}$			-153		dBc/Hz
$f_{OUT} = 5926 \text{ MHz}$			-150		dBc/Hz
SINGLE SIDEBAND PHASE NOISE AT OFFSET	$f_{OUT} = 3600 \text{ MHz}$, $f_{DAC} = 12,042.24 \text{ MSPS}$				
1 kHz Offset			-110.2		dBc/Hz
10 kHz Offset			-134.8		dBc/Hz
100 kHz Offset			-140.4		dBc/Hz
1 MHz Offset			-149.0		dBc/Hz
10 MHz Offset			-154.0		dBc/Hz

¹ クロック入力調整による SFDR の最適化と基本信号のイメージ軽減の詳細については、[クロック入力](#)のセクションを参照してください。

CMOS ピン仕様

特に指定のない限り、 $DAC_2P5_AN = 2.5V$ 、 $DAC_1P2_AN = DAC_1P2_CLK = 1.2V$ 、 $DAC_N1P2_AN = -1.2V$ 、 $DAC_1P2_DIG = 1.2V$ 、 $VDD_IO = 2.5V$ 、 $DAC_1P2_SER = 1.2V$ 、 $DAC_3P3_SYNC = 3.3V$ 、 $AMP_5V_IN = 5.0V$ 、 $AMP_3P3_OUT = 3.3V$ 、 $AMP_3P3 = 3.3V$ 、 $AMP_N5 = -5.0V$ 、 $I_{OUTFS} = 40mA$ 、 $T_A = -40^\circ C \sim +85^\circ C$ 。CS_x CS_AMPと CS_DACを参照してください。

表 8.

Parameter	Symbol	Test Comments/Conditions	Min	Typ	Max	Unit
INPUTS (SDIO, SCLK, CS_x, RESET, TX_ENABLE)						
Voltage Input						
High	V_{IH}	$1.8 \text{ V} \leq VDD_IO \leq 2.5 \text{ V}$	$0.7 \times VDD_IO$			V
Low	V_{IL}	$1.8 \text{ V} \leq VDD_IO \leq 2.5 \text{ V}$			$0.3 \times VDD_IO$	V
Current Input						
High	I_{IH}				75	μA
Low	I_{IL}		-150			μA
OUTPUTS (SDIO, SDO)						
Voltage Output						
High	V_{OH}	$1.8 \text{ V} \leq VDD_IO \leq 3.3 \text{ V}$	$0.8 \times VDD_IO$			V
Low	V_{OL}	$1.8 \text{ V} \leq VDD_IO \leq 3.3 \text{ V}$			$0.2 \times VDD_IO$	V
Current Output						
High	I_{OH}			4		mA
Low	I_{OL}			4		mA

タイミング仕様

シリアル・ポート

特に指定のない限り、DAC_2P5_AN = 2.5V、DAC_1P2_AN = DAC_1P2_CLK = 1.2V、DAC_N1P2_AN = -1.2V、DAC_1P2_DIG = 1.2V、VDD_IO = 2.5V、DAC_1P2_SER = 1.2V、DAC_3P3_SYNC = 3.3V、AMP_5V_IN = 5.0V、AMP_3P3_OUT = 3.3V、AMP_3P3 = 3.3V、AMP_N5 = -5.0V、I_{OUTFS} = 40mA、T_A = -40°C ~ +85°C。CS_x CS_AMPとCS_DACを参照してください。

表 9.

Parameter	Symbol	Test Comments/Conditions	Min	Typ	Max	Unit
WRITE OPERATION						
Maximum SCLK Clock Rate	$f_{\text{SCLK}}, 1/t_{\text{SCLK}}$	See Figure 47	100			MHz
SCLK Clock High	t_{PWH}	SCLK = 20 MHz	2.1			ns
SCLK Clock Low	t_{PWL}	SCLK = 20 MHz	4.3			ns
SDIO to SCLK Setup Time	t_{DS}		2.6	2		ns
SCLK to SDIO Hold Time	t_{DH}		3.5	1.5		ns
CS_x to SCLK Setup Time	t_{S}		9	2.53		ns
SCLK to CS_x Hold Time	t_{H}		9	6.7		ns
READ OPERATION						
SCLK Clock Rate	$f_{\text{SCLK}}, 1/t_{\text{SCLK}}$	See Figure 46			20	MHz
SCLK Clock High	t_{PWH}	Not shown in Figure 46	20			ns
SCLK Clock Low	t_{PWL}	Not shown in Figure 46	20			ns
SDIO to SCLK Setup Time	t_{DS}	Not shown in Figure 46	10			ns
SCLK to SDIO Hold Time	t_{DH}	Not shown in Figure 46	5			ns
CS_x to SCLK Setup Time	t_{S}	Not shown in Figure 46	10			ns
SCLK to SDIO (or SDO) Data Valid Time	t_{DV}				12	ns
CS_x to SDIO (or SDO) Output Valid to High-Z		Not shown in Figure 46			21	ns

SYSREF±

特に指定のない限り、DAC_2P5_AN = 2.5V、DAC_1P2_AN = DAC_1P2_CLK = 1.2V、DAC_N1P2_AN = -1.2V、DAC_1P2_DIG = 1.2V、VDD_IO = 2.5V、DAC_1P2_SER = 1.2V、DAC_3P3_SYNC = 3.3V、AMP_5V_IN = 5.0V、AMP_3P3_OUT = 3.3V、AMP_3P3 = 3.3V、AMP_N5 = -5.0V、I_{OUTFS} = 40mA、T_A = -40°C ~ +85°C。

表 10.

Parameter	Test Conditions/Comments	Min	Typ	Max ¹	Unit
SYSREF± ²					
Differential Swing = 1.0 V					
Minimum Setup Time, t _{SYSS}	AC-coupled		65		ps
	DC-coupled, common-mode voltage = 0 V		45		ps
	DC-coupled, common-mode voltage = 1.25 V		68		ps
Minimum Hold Time, t _{SYSH}	AC-coupled		19		ps
	DC-coupled, common-mode voltage = 0 V		5		ps
	DC-coupled, common-mode voltage = 1.25 V		51		ps

¹ 最大セットアップ時間とホールド時間は、AD9164の11mm × 11mmバージョンのデータシートから推定できます。この推定は、AD9166とAD9164では、そのデバイス積層の違いによる差が最小限に抑えられるという前提で行われます。

² SYSREF±パルスの幅は、デバイスのサンプル&ホールド時間に4個のデバイス・クロック・サイクルを加えた時間より長くなければなりません。詳細についてはSYSREF±信号のセクションを参照してください。

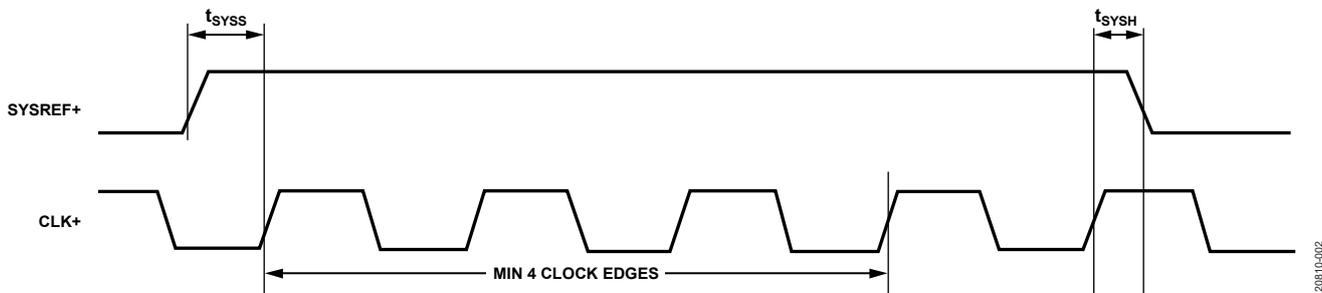


図 2. SYSREF±とデバイス・クロックのタイミング図 (SYSREF+と CLK+のみを表示)

絶対最大定格

表 11.

Parameter	Rating
Supply Pins	
DAC_1P2_AN, DAC_1P2_CLK, DAC_1P2_DIG, DAC_1P2_SER to GND	-0.3 V to +1.326 V
DAC_2P5_AN to GND	-0.3 V to +2.625 V
DAC_N1P2_AN to GND	-1.26 V to +0.3 V
VDD_IO, DAC_3P3_SYNC, AMP_3P3_OUT, AMP_3P3 to GND	-0.3 V to +3.465 V
AMP_5V_IN to GND	-0.3 V to +5.25 V
AMP_N5 to GND	-5.25 V to +0.3 V
Input/Output Pins	
RESET, IRQ, CS_AMP, CS_DAC, SCLK, SDIO, SDO to GND	-0.3 V to VDD_IO + 0.3 V
SYNCOUT±	-0.3 V to DAC_3P3_SYNC + 0.3 V
SERDINx±	-0.3 V to DAC_1P2_SER + 0.3 V
SYSREF±	-0.5 V to +2.5 V
CLK± to GND	-0.3 V to DAC_1P2_CLK + 0.3 V
ISSET, VREF to DAC_VBGNEG	-0.3 V to DAC_2P5_AN + 0.3 V
Junction Temperature ¹	
DAC Core (T _{J,DAC})	
f _{CLK} > 5.1 GHz	105°C
f _{CLK} ≤ 5.1 GHz	110°C
Amplifier (T _{J,AMP})	105°C
Peak Reflow	260°C
Storage Temperature Range	-65°C to +150°C

¹動作モードによっては、周囲温度が仕様値の範囲内であっても、デバイスの動作中にジャンクション温度が最大値近くまで上昇したり、最大値を超えたりすることがあります。このような場合は、デバイスの熱を放出させるために空冷ファンやヒートシンクなどの追加的な措置が必要になることがあります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

リフロー・プロファイル

AD9166のリフロー・プロファイルは、鉛フリー・デバイスに関する JEDEC JESD204B の基準に従っています。最大リフロー温度は 260°C です。

温度管理

AD9166は高出力デバイスで、ユーザ・アプリケーションや構成に応じて最大 4.88W の電力を消費します。AD9166は電力密度が高いので、表 11 に仕様規定する最大接合部温度を超えないように熱管理を行う必要があります。自然空冷で周囲温度が高い場合は、特に熱管理が重要です。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 12. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
BP-324-1 ¹	25.1	8.7	°C/W

¹仕様規定されている熱抵抗値は、JESD51-12 に準拠した JEDEC 仕様に基づいてシミュレートされています。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

TOP VIEW
(Not to Scale)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
A	GND	GND	GND	GND	GND	GND	GND	GND	RFOUT	GND	GND	GND	GND	GND	GND	GND	GND	GND
B	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	AMP_VBG	CS_AMP	GND	GND	GND	GND
C	GND	GND	DAC_N1P2_AN	DAC_N1P2_AN	DAC_2P5_AN	DAC_2P5_AN	DAC_2P5_AN	GND	GND	GND	AMP_1P8_BYPASS	GND	DAC_2P5_AN	DAC_2P5_AN	GND	ISET	VREF	GND
D	GND	GND	DAC_N1P2_AN	DAC_N1P2_AN	DAC_N1P2_AN	AMP_3P3	AMP_N5	AMP_N5	GND	GND	AMP_1P8_BYPASS	DAC_2P5_AN	DAC_2P5_AN	DAC_1P2_AN	DAC_1P2_AN	DAC_2P5_AN	DAC_N1P2_AN	GND
E	CLK+	GND	DAC_N1P2_AN	DAC_N1P2_AN	DAC_N1P2_AN	AMP_3P3_OUT	AMP_3P3_OUT	AMP_N5	AMP_N5	AMP_N5	VDD_IO	DAC_1P2_CLK	DAC_1P2_CLK	DAC_1P2_CLK	DAC_1P2_CLK	DAC_N1P2_AN	DAC_N1P2_AN	GND
F	CLK-	GND	GND	GND	DAC_1P2_CLK	DAC_1P2_CLK	AMP_5V_IN	AMP_5V_IN	AMP_5V_IN	GND	GND	DAC_1P2_CLK	DAC_1P2_CLK	DAC_1P2_CLK	DAC_1P2_CLK	DAC_1P2_CLK	GND	GND
G	GND	GND	GND	GND	GND	GND	GND	GND	DAC_2P5_AN	DAC_2P5_AN	DAC_2P5_AN	DAC_2P5_AN	DAC_2P5_AN	DAC_2P5_AN	DAC_2P5_AN	DAC_2P5_AN	GND	GND
H	SYS_REF+	GND	GND	GND	GND	GND	DNC	GND	GND	GND	DAC_2P5_AN	DAC_VBG_NEG	DAC_2P5_AN	GND	GND	GND	GND	GND
J	SYS_REF-	GND	GND	GND	GND	GND	DNC	DAC_2P5_AN	GND	GND	SDIO	SDO	SCLK	GND	GND	GND	GND	GND
K	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DNC	GND	GND	GND	GND	GND	GND
L	SERDIN_7+	GND	GND	DAC_1P2_SER	IRQ	GND	GND	GND	GND	GND	GND	GND	GND	GND	DAC_1P2_SER	GND	GND	SERDIN_0+
M	SERDIN_7-	GND	GND	DAC_1P2_SER	TX_ENABLE	RESET	VDD_IO	DAC_1P2_SER	GND	DAC_1P2_SER	DAC_1P2_SER	VDD_IO	CS_DAC	GND	DAC_1P2_SER	GND	GND	SERDIN_0-
N	GND	GND	DAC_1P2_SER	GND	DAC_1P2_DIG	DAC_1P2_DIG	DAC_1P2_DIG	DAC_1P2_DIG	DAC_1P2_DIG	DAC_1P2_DIG	DAC_1P2_DIG	DAC_1P2_DIG	DAC_1P2_DIG	DAC_1P2_DIG	DAC_1P2_SER	GND	GND	GND
P	SERDIN_6+	GND	GND	DAC_1P2_SER	DAC_1P2_SERDES	DAC_3P3_SYNC	DNC	GND	DAC_1P2_SER	GND	SYNC_OUT-	DAC_1P2_SER	DAC_1P2_SER	DAC_3P3_SYNC	GND	GND	SERDIN_1+	
R	SERDIN_6-	GND	GND	DAC_1P2_SER	DAC_1P2_SER	DAC_1P2_SER	GND	GND	SERPLL_LDO_BYPASS	GND	SYNC_OUT+	DAC_1P2_SER	DAC_1P2_SER	DAC_1P2_SER	GND	GND	SERDIN_1-	
T	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
U	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
V	GND	GND	GND	SERDIN_5+	SERDIN_5-	GND	SERDIN_4+	SERDIN_4-	GND	GND	SERDIN_3-	SERDIN_3+	GND	SERDIN_2-	SERDIN_2+	GND	GND	GND

DNC = DO NOT CONNECT. LEAVE THESE PINS FLOATING.

- 3.3V ANALOG SUPPLY, BUFFER OUTPUT
- 5V ANALOG SUPPLY, BUFFER REFERENCE
- 5V ANALOG SUPPLY, BUFFER INPUT
- 2.5V ANALOG SUPPLY, DAC OUTPUT
- 1.2V ANALOG SUPPLY, DAC OUTPUT
- 1.2V ANALOG SUPPLY, DAC CLOCK
- 1.2V ANALOG SUPPLY, DAC MIXED-SIGNAL
- CMOS I/O
- GND REFERENCE
- DNC
- 1.2V SERDES SUPPLY
- 1.2V DIGITAL SUPPLY
- I/O PINS SUPPLY (1.8V TO 3.3V)
- 3.3V SYNCOUT+/SYNCOUT- SUPPLY
- SERDES LANE x
- SYSTEM REFERENCE POSITIVE AND NEGATIVE
- RF SIGNALS
- BYPASS NODE
- REFERENCE NODE

図 3. ピン配置

表 13. ピン機能の説明

ピン番号	記号	説明
A1 to A8, A10 to A18, B1 to B12, B15 to B18, C1, C2, C8 to C10, C12, C15, C18, D1, D2, D9, D10, D18, E2, E18, F2 to F4, F10, F11, F17, F18, G1 to G9, G17, G18, H2 to H6, H8 to H10, H14 to H18, J2 to J7, J10, J11, J15 to J18, K1 to K12, K14 to K18, L2, L3, L6 to L14, L16, L17, M2, M3, M9, M14, M16, M17, N1 to N3, N5, N16 to N18, P2 to P4, P9, P11, P16, P17, R2 to R4, R8, R9, R11, R16, R17, T1 to T18, U1 to U18, V1 to V3, V6, V9, V10, V13, V16 to V18	GND	グラウンド。
A9	RFOUT	デバイス RF 出力。内部で 50Ω のシングルエンド負荷インピーダンスに整合。

ピン番号	記号	説明
B13	AMP_VBG	アンプのバンドギャップ電圧。ピン B13 は 0.1 μ F のコンデンサを介してグラウンドに接続し、更に 1 μ F のコンデンサに直列接続した 1k Ω の抵抗を介してグラウンドに接続。このピンで測定した電圧 (V_{BGA}) については、 アンプのジャンクション温度センサー のセクションを参照。
B14	CS_AMP	アンプのシリアル・ポート・チップ・セレクト (アクティブ・ロー) 入力。ピン B14 の CMOS レベルは VDD_IO を基準に決定されます。
C3, C4, D3 to D5, D17, E3 to E5, E15 to E17	DAC_N1P2_AN	-1.2V アナログ電源電圧。
C5 to C7, C13, C14, D12, D13, D16, G10 to G16, H11, H13, J9	DAC_2P5_AN	2.5V アナログ電源電圧。
C11, D11	AMP_1P8_BYPASS	内部 1.8V アナログ電源のバイパス・ノード。ピン C11 とピン D11 を短絡して、1 μ F のコンデンサを介してグラウンドに接続。
C16	ISET	DAC リファレンス電流。ピン C16 は 9.76k Ω (R_{SET}) の抵抗を介して DAC_N1P2_AN に接続。
C17	VREF	DAC 1.2V リファレンス電圧入力/出力。ピン C17 は 1 μ F のコンデンサを介してグラウンドに接続。
D6, E6	AMP_3P3	3.3V アナログ電源電圧。
D7, D8, E9, E10, E11	AMP_N5	-5V アナログ電源電圧。
D14, D15	DAC_1P2_AN	1.2V アナログ電源電圧。
E1, F1	CLK+, CLK-	正と負のデバイス・クロック入力。FIR85 がディスエーブルされている場合、これらのピンへの入力周波数 (f_{CLK}) は DAC クロック周波数 (f_{DAC})。FIR85 がイネーブルされている場合は $f_{DAC} = 2 \times f_{CLK}$ 。
E7, E8	AMP_3P3_OUT	アンプ出力段の 3.3V アナログ電源電圧。
E12, M7, M12	VDD_IO	CMOS 入出力および SPI の電源電圧。1.8V~3.3V に許容誤差を加えた範囲で動作 (詳細は表 1 を参照)。
E13, E14, F5, F6, F12 to F16	DAC_1P2_CLK	1.2V クロック電源電圧。
F7, F8, F9	AMP_5V_IN	アンプ入力段の 5V アナログ電源電圧。ピン F7~ピン F9 は、DAC 出力段にフルスケール電流を内部的に供給。
H1, J1	SYSREF+, SYSREF-	システム・リファレンスの正入力と負入力。H1 ピンと J1 ピンは AC カップリング用に自己バイアスされます。これらのピンは AC カップリングまたは DC カップリングが可能です。
H7, J8, K13, P8	DNC	接続なし。これらのピンは接続しないでください。DNC ピンはフロート状態のままにします。
H12	DAC_VBGNEG	DAC のバンドギャップ電圧。ピン H12 は 0.1 μ F のコンデンサを介して DAC_N1P2_AN に接続します。
J12	SDIO	シリアル・ポート・データ入出力。ピン J12 の CMOS レベルは VDD_IO を基準に決定されます。詳細については シリアル・データ I/O (SDIO) のセクションを参照してください。
J13	SDO	シリアル・ポート・データ出力。ピン J13 の CMOS レベルは VDD_IO を基準に決定されます。
J14	SCLK	シリアル・ポート・データ・クロック。ピン J14 の CMOS レベルは VDD_IO を基準に決定されます。詳細については シリアル・クロック (SCLK) のセクションを参照してください。
L1, M1	SERDIN7+, SERDIN7-	SERDES レーン 7 の正入力と負入力。
L4, L15, M4, M8, M10, M11, M15, N4, N15, P5, P6, P10, P13, P14, R5 to R7, R13 to R15	DAC_1P2_SER	1.2V SERDES デジタル電源。
L5	IRQ	割込み要求出力 (アクティブ・ロー、オープンドレイン)
L18, M18	SERDIN0+, SERDIN0-	SERDES レーン 1 の正入力と負入力。
M5	TX_ENABLE	送信イネーブル入力。M5 ピンは、レジスタ 0x040 の DAC 出力バイアス・パワーダウン・ビット (ビット [1:0]) の代わりに使用して、DAC 出力をイネーブルすることができます。CMOS レベルは VDD_IO を基準に決定されます。

ピン番号	記号	説明
M6	RESET	リセット (アクティブ・ロー) 入力。ピン M6 の CMOS レベルは VDD_IO を基準に決定されます。
M13	CS_DAC	DAC のシリアル・ポート・チップ・セレクト (アクティブ・ロー) 入力。ピン M13 の CMOS レベルは VDD_IO を基準に決定されます。
N6 to N14	DAC_1P2_DIG	DAC のデジタル信号処理 (DSP) ブロック用 1.2V デジタル電源電圧。
P1, R1	SERDIN6+, SERDIN6-	SERDES レーン 6 の正入力と負入力。
P7, P15	DAC_3P3_SYNC	3.3V SERDES 同期電源電圧。
P12, R12	SYNCOUT-, SYNCOUT+	負と正の LVDS 同期 (アクティブ・ロー) 出力信号。
P18, R18	SERDIN1+, SERDIN1-	SERDES レーン 1 の正入力と負入力。
R10	SERPLL_LDO_BYPASS	SERDES PLL 電源電圧バイパス。このピンは、1 μ F コンデンサに直列に接続した 1 Ω 抵抗を介してグラウンドに接続します。
V15, V14	SERDIN2+, SERDIN2-	SERDES レーン 2 の正入力と負入力。
V12, V11	SERDIN3+, SERDIN3-	SERDES レーン 3 の正入力と負入力。
V7, V8	SERDIN4+, SERDIN4-	SERDES レーン 4 の正入力と負入力。
V4, V5	SERDIN5+, SERDIN5-	SERDES レーン 5 の正入力と負入力。

代表的な性能特性

AC性能 (2×NRZ (FIR85) モード)

特に指定のない限り、 $I_{OUTFS} = 20\text{mA}$ 、 $f_{CLK} = 6.0\text{GHz}$ 、FIR85 イネーブル ($f_{DAC} = 2 \times f_{CLK}$)、インターポレーション = 4、公称電源、 $T_A = 25^\circ\text{C}$ 。JESD204B リンクを介してデータを送信する場合： $f_{CLK} \leq 5.0\text{GHz}$ の場合はインターポレーション = 2×、 $f_{CLK} > 5.0\text{GHz}$ の場合はインターポレーション = 4×。

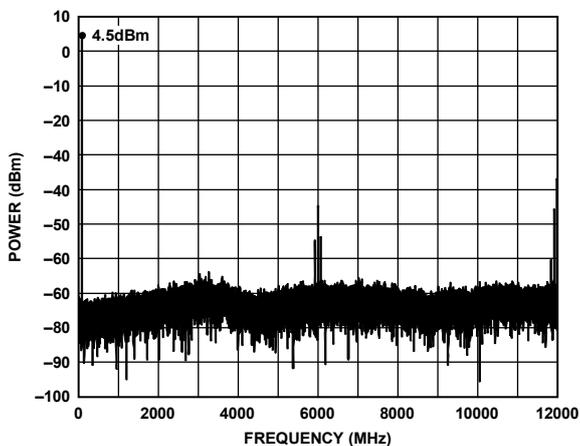


図 4. $f_{OUT} = 71\text{MHz}$ でのシングルトーン・スペクトル

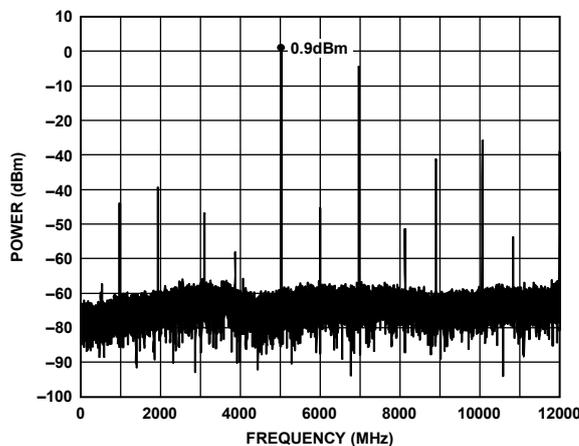


図 7. $f_{OUT} = 5032\text{MHz}$ でのシングルトーン・スペクトル

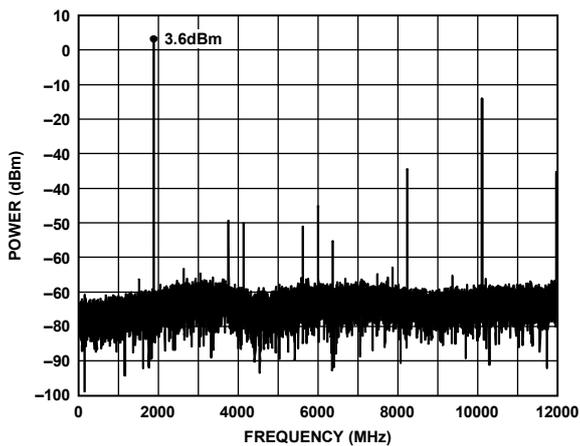


図 5. $f_{OUT} = 1875\text{MHz}$ でのシングルトーン・スペクトル

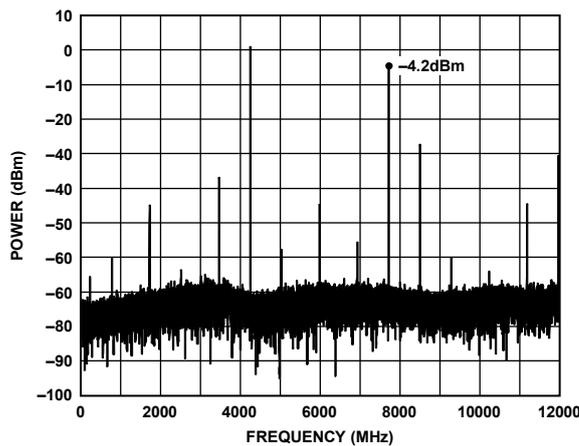


図 8. $f_{OUT} = 7738\text{MHz}$ でのシングルトーン・スペクトル

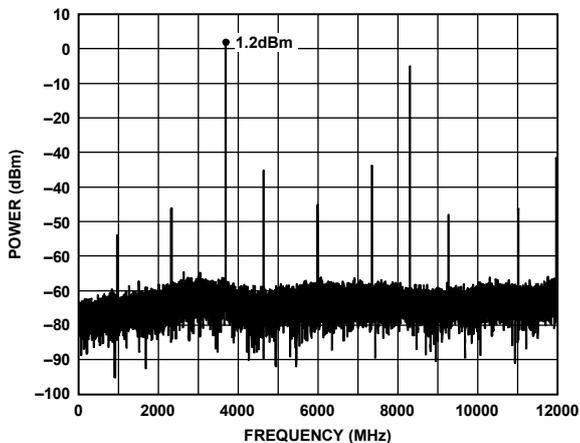


図 6. $f_{OUT} = 3679\text{MHz}$ でのシングルトーン・スペクトル

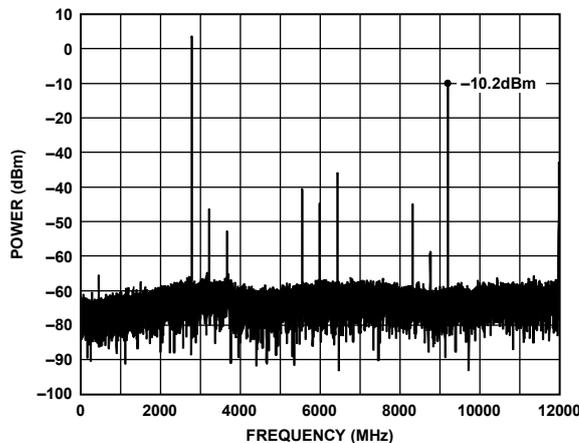


図 9. $f_{OUT} = 9222\text{MHz}$ でのシングルトーン・スペクトル

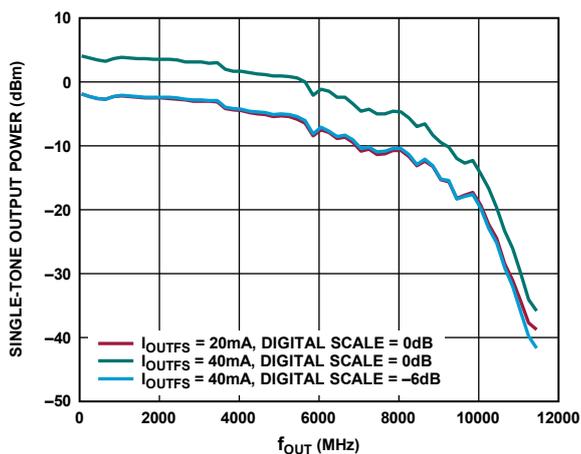


図 10. 異なるデジタル・スケールと I_{OUTFS} で評価したシングル・トーン出力電力と f_{OUT} の関係

20810-010

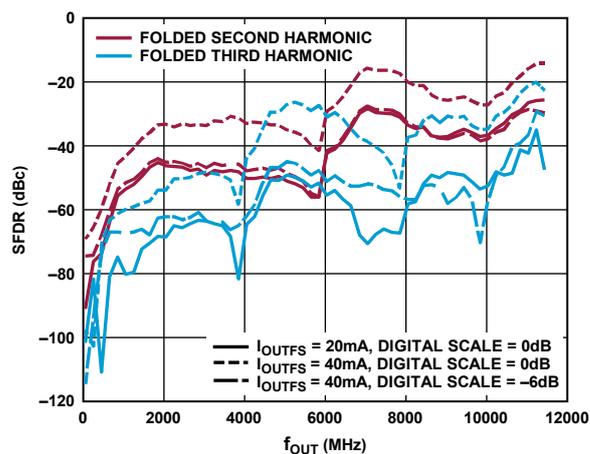


図 13. 異なるデジタル・スケールと I_{OUTFS} で評価した SFDR と f_{OUT} の関係 (畳み込みを行った第 2 高調波と第 3 高調波に対する値)

20810-012

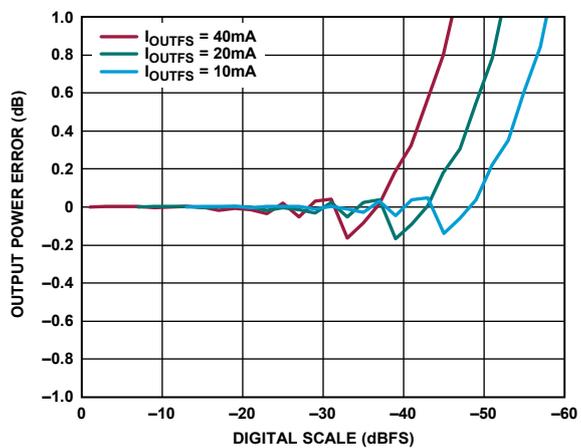


図 11. 異なる I_{OUTFS} で評価した出力電力誤差とデジタル・スケールの関係 ($f_{OUT} = 503\text{MHz}$)

20810-031

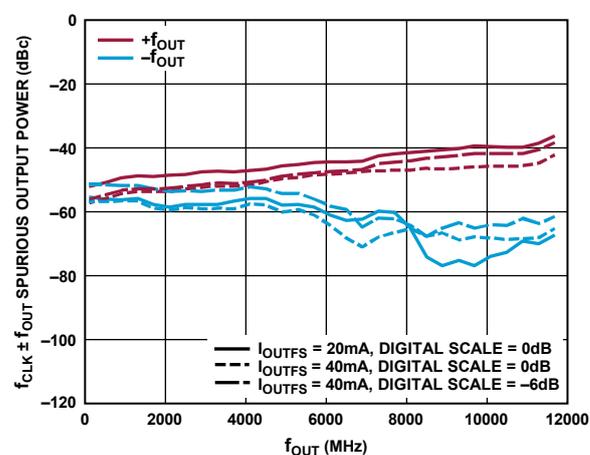


図 14. 異なるデジタル・スケールと I_{OUTFS} で評価した $f_{CLK} \pm f_{OUT}$ スプリアス出力電力と f_{OUT} の関係

20810-013

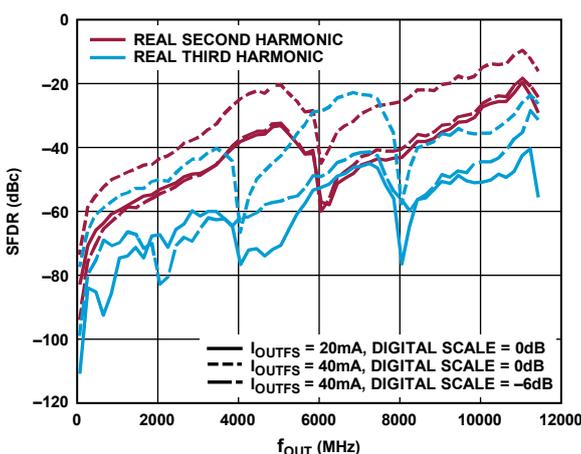


図 12. 異なるデジタル・スケールと I_{OUTFS} で評価した SFDR と f_{OUT} の関係 (実際の第 2 高調波と第 3 高調波に対する値)

20810-011

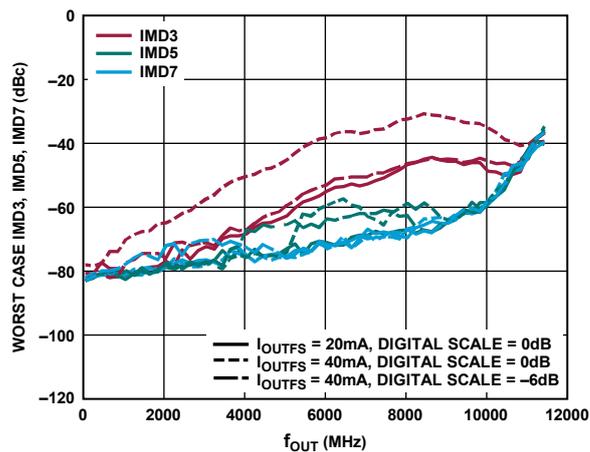


図 15. 異なるデジタル・スケールと I_{OUTFS} で評価した最も厳しい条件下での 3 次、5 次、7 次相互変調歪み (IMD3、IMD5、IMD7) と f_{OUT} の関係

20810-014

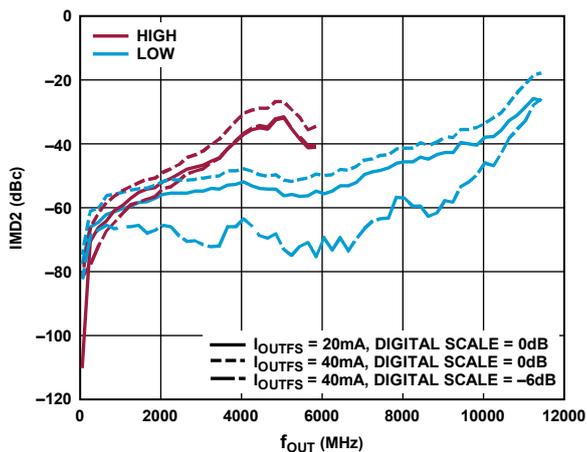


図 16. 異なるデジタル・スケールと I_{OUTFS} で評価した 2 次相互変調歪み (IMD2) と f_{OUT} の関係

20810-015

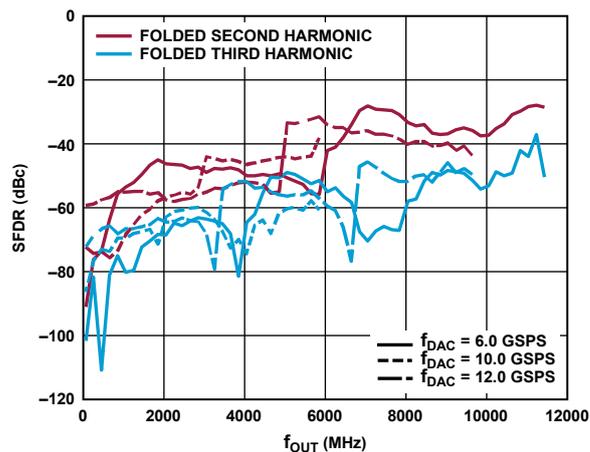


図 19. 異なる f_{DAC} で評価した SFDR と f_{OUT} の関係 (畳み込みを行った第 2 高調波と第 3 高調波に対する値)

20810-018

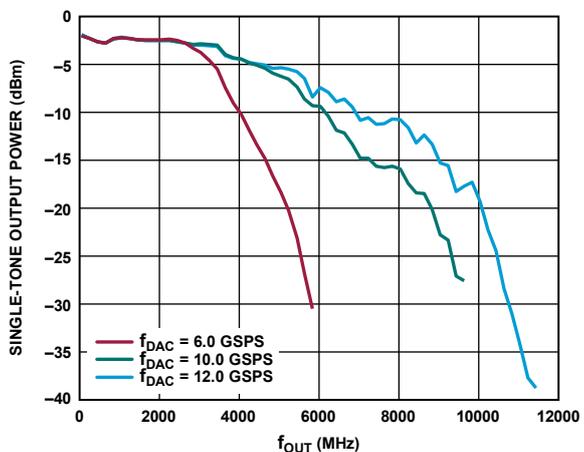


図 17. 異なる f_{DAC} で評価したシングルトーン出力電力と f_{OUT} の関係

20810-016

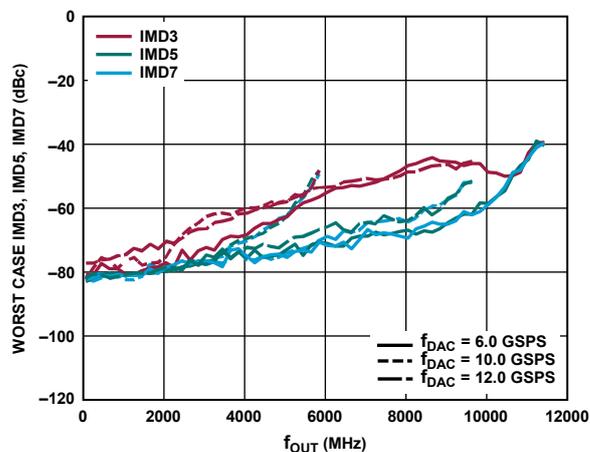


図 20. 異なる f_{DAC} で評価した最も厳しい条件下での IMD3、IMD5、IMD7 と f_{OUT} の関係

20810-019

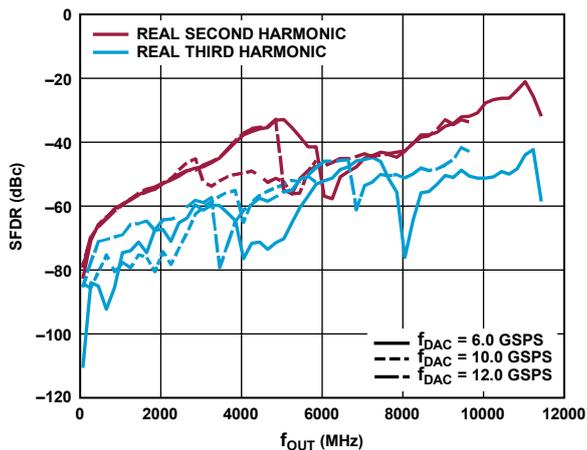


図 18. 異なる f_{DAC} で評価した SFDR と f_{OUT} の関係 (実際の第 2 高調波と第 3 高調波に対する値)

20810-017

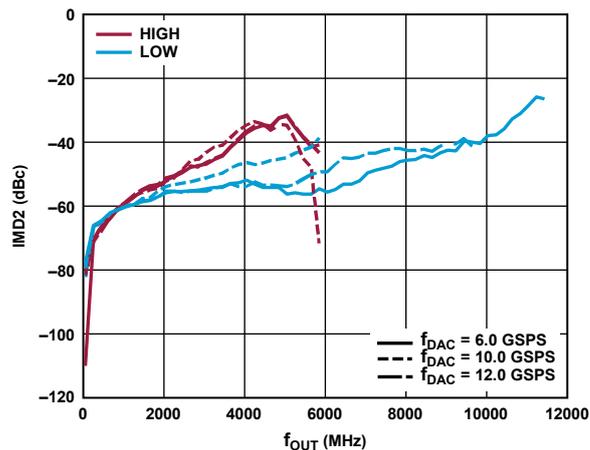


図 21. 異なる f_{DAC} で評価した IMD2 と f_{OUT} の関係

20810-020

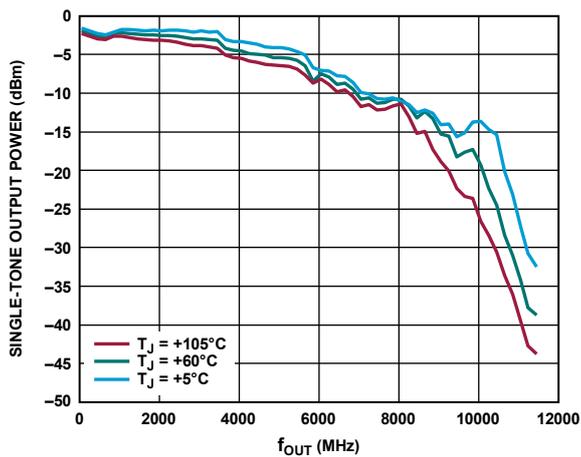


図 22. 異なる温度で評価したシングルトーン出力電力と f_{OUT} の関係

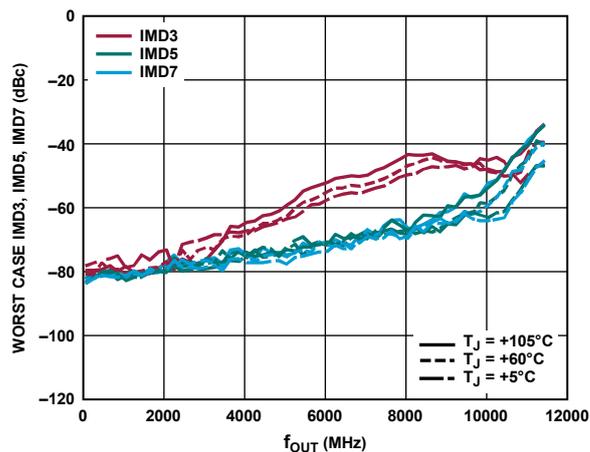


図 25. 異なる温度で評価した最も厳しい条件下での IMD3、IMD5、IMD7 と f_{OUT} の関係

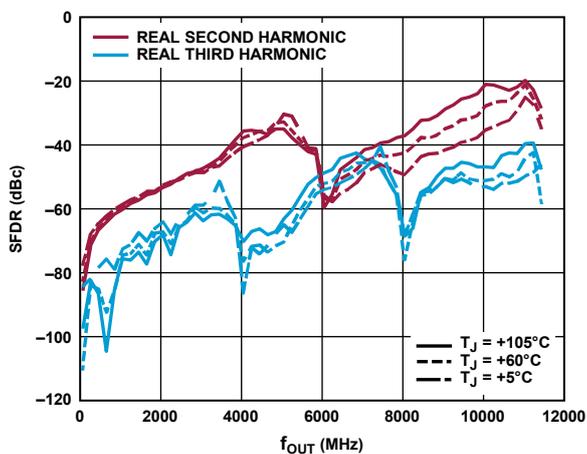


図 23. 異なる温度で評価した SFDR と f_{OUT} の関係 (実際の第 2 高調波と第 3 高調波に対する値)

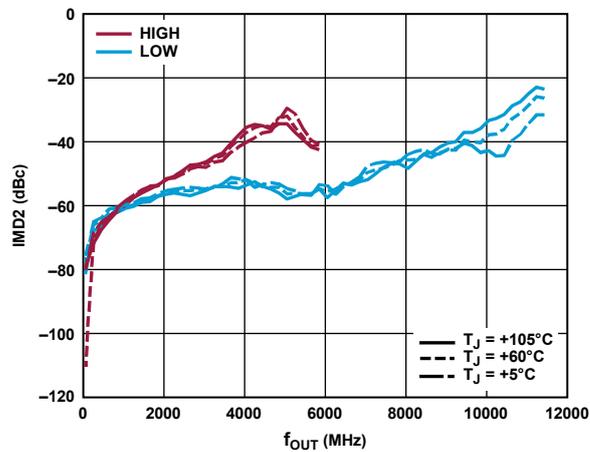


図 26. 異なる温度で評価した IMD2 と f_{OUT} の関係

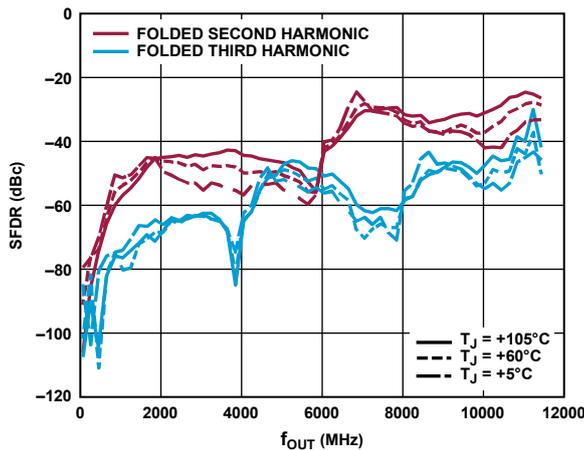


図 24. 異なる温度で評価した SFDR と f_{OUT} の関係 (畳み込みを行った第 2 高調波と第 3 高調波に対する値)

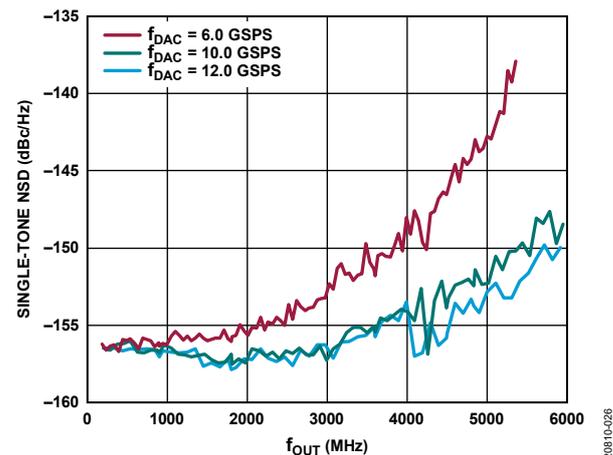


図 27. 異なる f_{CLK} で評価したシングルトーン NSD と f_{OUT} の関係 ($I_{OUTFS} = 40\text{mA}$ 、NSD は f_{OUT} から 10% のオフセット位置で測定)

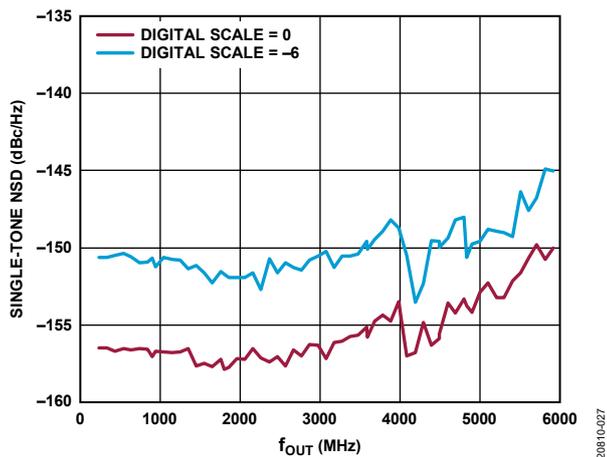


図 28. 異なるデジタル・スケールで評価したシングルトーン NSD と f_{OUT} の関係 ($I_{OUTFS} = 40\text{mA}$ 、NSD は f_{OUT} から 10% のオフセット位置で測定)

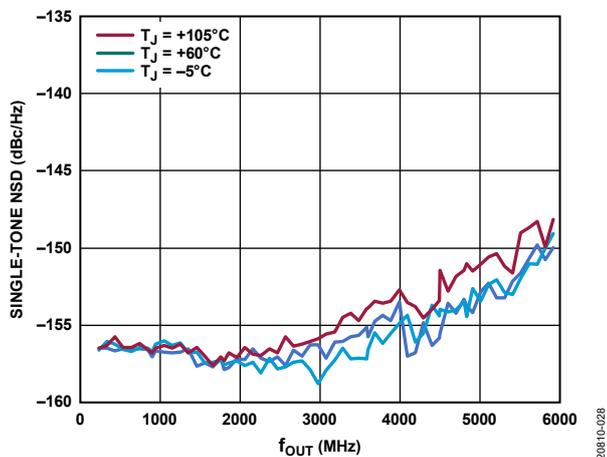


図 29. 異なる温度で評価したシングルトーン NSD と f_{OUT} の関係 ($I_{OUTFS} = 40\text{mA}$ 、NSD は f_{OUT} から 10% のオフセット位置で測定)

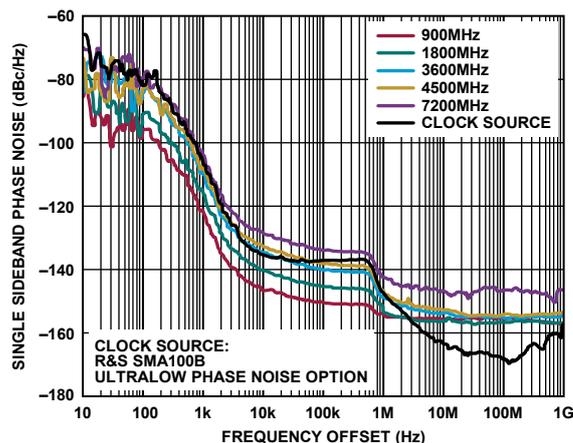


図 30. 異なる f_{OUT} で評価した単側波帯位相ノイズと周波数オフセットの関係 ($f_{DAC} = 12,042.24\text{MSPS}$)

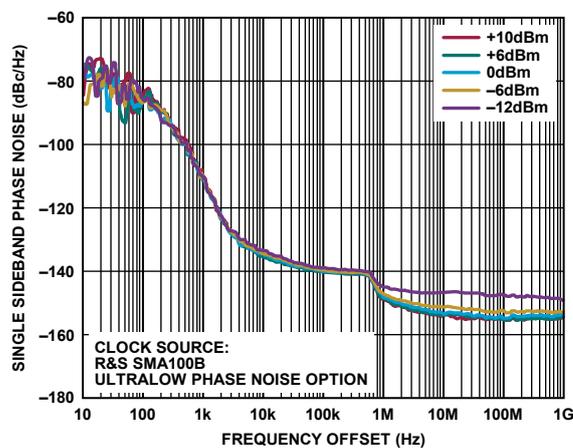


図 31. 異なるクロック電力で評価した単側波帯位相ノイズと周波数オフセットの関係 ($f_{DAC} = 12,042.24\text{MSPS}$ 、 $f_{OUT} = 3.6\text{GHz}$)

LTE 性能 (2×NRZ (FIR85) モード)

特に指定のない限り、 $I_{OUTFS} = 20\text{mA}$ 、 $f_{CLK} = 6021.12\text{MHz}$ 、FIR85 イネーブル ($f_{DAC} = 2 \times f_{CLK}$)、公称電源、 $T_A = 25^\circ\text{C}$ 。JESD204B リンクを介してデータを送信する場合： $f_{CLK} \leq 5.0\text{GHz}$ の場合はインターポレーション = 2×、 $f_{CLK} > 5.0\text{GHz}$ の場合はインターポレーション = 4×。

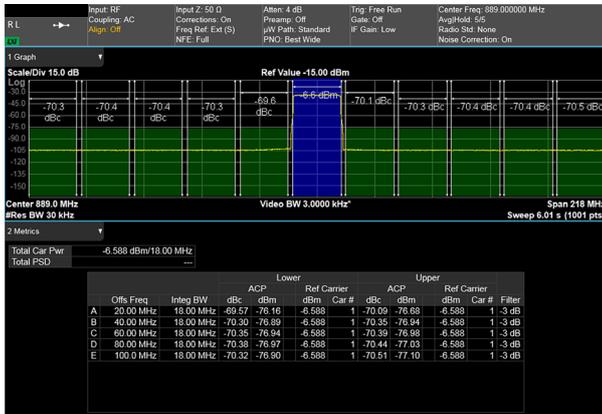


図 32. 889.0MHz での 20MHz LTE 搬送波 ACLR

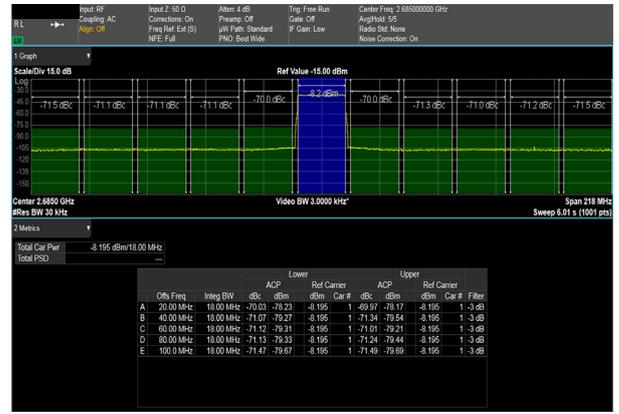


図 35. 2685.0MHz での 20MHz LTE 搬送波 ACLR

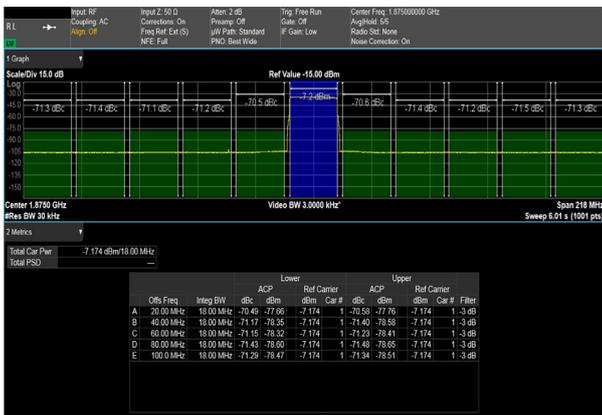


図 33. 1875.0MHz での 20MHz LTE 搬送波 ACLR



図 36. 3695.0MHz での 20MHz LTE 搬送波 ACLR

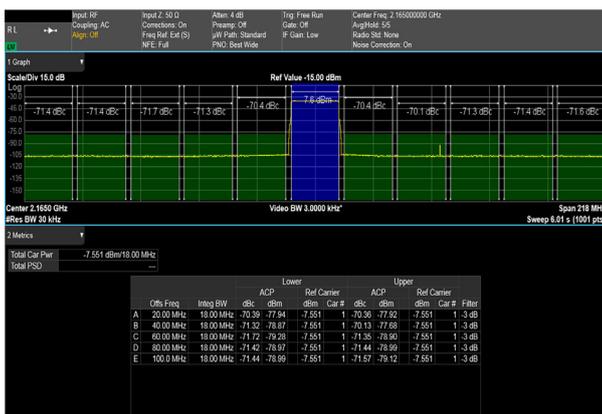


図 34. 2165.0MHz での 20MHz LTE 搬送波 ACLR

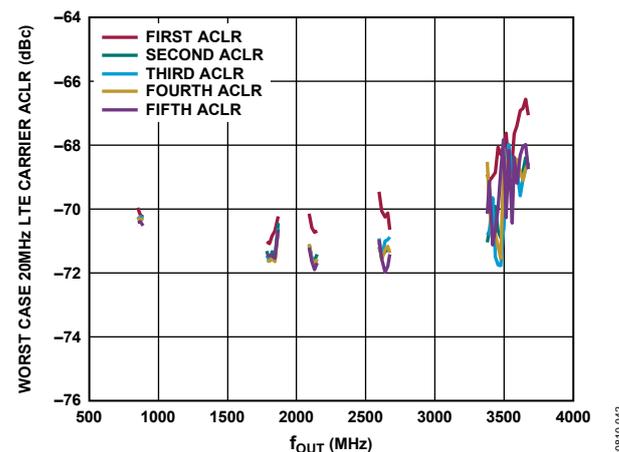


図 37. 最も厳しい条件下での 20MHz LTE 搬送波 ACLR と f_{OUT} の関係

802.11AC 性能 (2×NRZ (FIR85) モード)

特に指定のない限り、 $I_{OUTFS} = 20\text{mA}$ 、 $f_{CLK} = 6021.12\text{MHz}$ 、FIR85 イネーブル ($f_{DAC} = 2 \times f_{CLK}$)、公称電源、 $T_A = 25^\circ\text{C}$ 。JESD204B リンクを介してデータを送信する場合： $f_{CLK} \leq 5.0\text{GHz}$ の場合はインターポレーション = 2×、 $f_{CLK} > 5.0\text{GHz}$ の場合はインターポレーション = 4×。

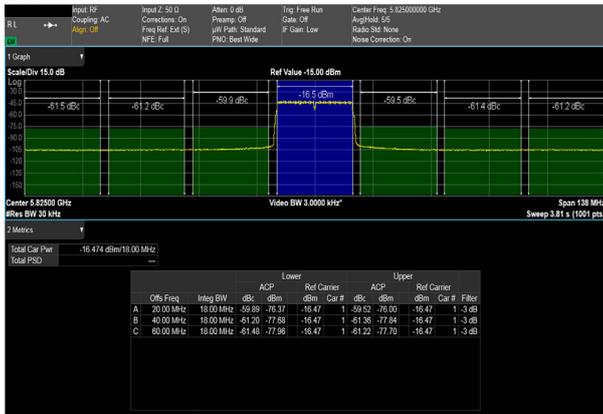


図 38. 5825.0MHz での 20MHz 802.11AC ACLR

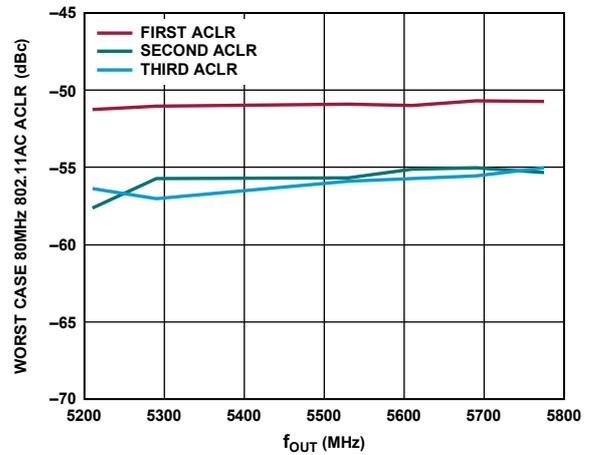


図 41. 最も厳しい条件下での 80MHz 802.11AC ACLR と f_{OUT} の関係

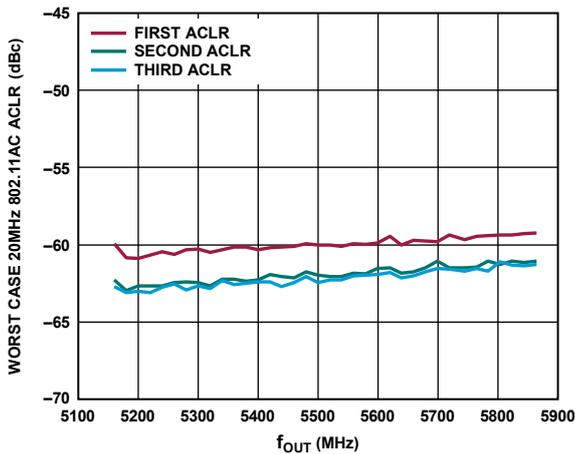


図 39. 最も厳しい条件下での 20MHz 802.11AC ACLR と f_{OUT} の関係

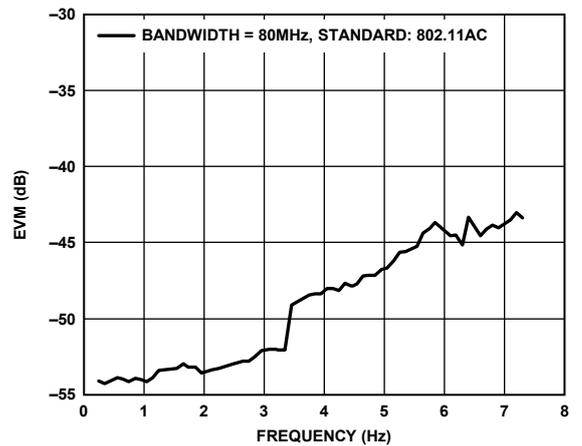


図 42. EVM と周波数の関係 (80MHz チャンネル、第 1/第 2/第 3 ナイキスト領域を掃引、 $f_{DAC} = 11796.48\text{MSPS}$)

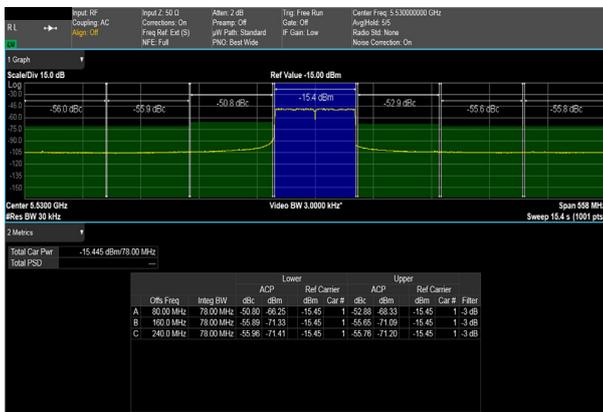


図 40. 5530.0MHz での 80MHz 802.11AC ACLR

用語の定義

オフセット誤差

オフセット誤差とは、DAC 出力電流と理論上の 0mA との差を言います。

ゲイン誤差

理論出力範囲と実際の出力範囲の差を言います。実際の幅は、入力がその最小コードにあるときの出力と、入力がその最大コードにあるときの出力の差によって決定されます。

温度ドリフト

温度ドリフトは、周囲温度 (25°C) 時の値から T_{MIN} または T_{MAX} 時の値までの最大変化として規定されます。オフセットとゲインのドリフトは、1°C あたりのフルスケール・レンジ (FSR) の ppm (百万分率) で表されます。リファレンスのドリフトは 1°C あたりの ppm で表されます。

セトリング時間

出力が最終値を中心とする規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、出力信号のピーク振幅と、DAC の DC からナイキスト周波数までの範囲におけるピーク・スプリアス信号との差を、搬送波を基準とするデシベル値 (dBc) で表した値です。通常、この帯域内のエネルギーはインターポレーション・フィルタによって除去されます。したがってこの仕様は、インターポレーション・フィルタの効果と、他の寄生カップリング経路が DAC 出力に及ぼす影響を定義します。

x 次相互変調歪み (IMD_x)

IMD_x (x は 2、3、5、または 7 で、それぞれ 2 次、3 次、5 次、または 7 次相互変調歪みを表す) は、出力信号のピーク振幅と、DC から DAC のナイキスト周波数までの範囲内にある特定次数のピーク相互変調積との差を、搬送波を基準とするデシベル値 (dBc) で表した値です。信号は 2 つの連続波トーンで構成されます。IMD_x 積が複数ある場合は、信号に最も近く電力の最も大きい IMD_x を選んで差を計算します。この仕様値によってアナログ出力段の直線性が決まります。

S/N 比 (SNR)

SNR は、第 6 高調波までと DC を除くナイキスト周波数未満のすべてのスペクトル成分の rms 総和に対する、測定出力信号 rms 実効値の比率です。S/N 比の単位はデシベルです。

エラー・ベクトル振幅 (EVM)

EVM は、決定境界内における変調シンボルの理論上の位置と実際の位置の平均偏差を定義します。通常、EVM は、所定の変調次数における受信シンボルの位置とその理論的位置の差を表す全エラー・ベクトル振幅の rms 平均として求めます。例えば、4 位相偏移変調 (QPSK) 信号の EVM は、4 つの決定境界の EVM を平均した値です。EVM は、統計的に有意な長さを持つ擬似ランダム・バイナリ・シーケンス (PRBS) であるベースバンド信号を使って測定されます。

インターポレーション・フィルタ

DAC へのデジタル入力をインターポレーション・レート (f_{DATA}) の倍数でサンプリングすると、 $f_{DATA}/2$ 付近に急峻な遷移帯域を持つデジタル・フィルタを構成できます。これにより、出力データ・レート (f_{DAC}) 付近に通常現れるイメージを大幅に抑制することができます。

隣接チャンネル漏れ率 (ACLR)

ACLR は、チャンネル内測定電力と隣接チャンネル測定電圧の比を搬送波基準のデシベル単位 (dBc) で表した値です。

調整 DAC 更新レート

調整 DAC 更新レートは、最小インターポレーション係数で除した DAC 更新レートです。複数のインターポレーション係数を持つ DAC では、明確化のために、それぞれのインターポレーション係数ごとに調整 DAC 更新レートを設定することができます。

物理レーン

物理レーン x は $SERDIN_x$ を表します。x は 0~7 の数値です。

論理レーン

論理レーン x (x は 0~7) とは、クロスバー・ブロック (レジスタ 0x308~レジスタ 0x30B) によりオプションでリマップされる物理レーンのことを言います。

リンク・レーン

リンク・レーン x とはリンク内で考慮対象とされる論理レーンを言い、x は 0~7 の数値を表します。

動作原理

AD9166 は高性能高帯域幅の送信サブシステムで、高速 JESD204B SERDES インターフェース、柔軟な 16 ビット・デジタル・データパス、I/Q DAC コアで構成され、DC~10GHz の範囲で 50Ω 負荷に整合された、差動入力シングルエンド出力のバッファ・アンプを内蔵しています。

AD9166 の DAC コアは、特許を取得したクラウドスイッチ・アーキテクチャを使用しており、ミックス・モード、RZ モード、および 2×NRZ モード (FIR85 をイネーブル) で、出力周波数範囲を第 2 および第 3 ナイキスト領域まで拡張できる DAC デコーダ設定が可能です。出力は、2×NRZ モード時で、0Hz から 9GHz 以上までの範囲をカバーできます。ミックス・モードは 1.5GHz から約 9GHz までの範囲にアクセスするために使用でき、デバイスの消費電力は 2×NRZ の場合より少なくなります。NCO は、瞬時帯域幅 1.8GHz までの信号を、目的の f_{OUT} にシフトできます。

AD9166 の機能ブロック図を図 1 に示します。8 つの高速シリアル・レーンは最大 12.5Gbps の速度でデータを伝送し、デジタル・データパスへのデータ・レートは実数入力で 5GSPS、複素入力で 2.5GSPS です。LVDS インターフェースや CMOS インターフェースと比べて、SERDES インターフェースを使用した場合は、ピン数、ボード・レイアウト、デバイスへの入力クロック条件などを簡素化することができます。

入力データ用のクロックは、(JESD204B 仕様により要求される) デバイス・クロックから得られます。このデバイス・クロックは、直接接続された高忠実度の外部 DAC サンプルング・クロックをソースにして生成されます。DAC コアの性能は、SPI ポートを通じてアクセスできるデバイス・クロック入力用のオンチップ調整機能を使うことによって最適化できます。SERDES インターフェースは、必要な入力データ・レートに応じて、1 レーン・モード、2 レーン・モード、3 レーン・モード、4 レーン・モード、6 レーン・モード、または 8 レーン・モードで動作するように構成できます。

AD9166 のデジタル・データパスは、80%または 90%に帯域幅をプログラム可能な最初の段のハーフバンド (2×) または 3 次バンド (3×) フィルタと、その後段にある最大 DAC コア・サンプル・レート 6.0GSPS の 3 つのハーフバンド・フィルタ (すべて 90%) を通じ、バイパス・モード (1×) と複数のインターポレーション・モード (2×、3×、4×、6×、8×、12×、16×、24×) で使用できます。また、sinc に関係するロールオフを補償するために、反転 sinc フィルタを 1 つ備えています。補助ハーフバンド・フィルタ (FIR85) は、クラウドスイッチ・アーキテクチャの利点を生かしてクロックの立下がりエッジで補間を行い、2×NRZ モードにおける DAC の更新レートを効果的に倍増させます。48 ビットのプログラム可能なモジュラス数値制御発振器 (NCO) を使用すると、ほぼ無限の精度で信号のデジタル周波数シフトを行うことができます。NCO は、NCO オンリー・モードで単独動作させるか、SERDES インターフェースと

デジタル・データパスからのデジタル・データを使って動作させることができます。100MHz の速度を備えた SPI 書き込みインターフェースは、NCO の周波数チューニング・ワード (FTW) の迅速な更新を可能にします。

メインの 48 ビット NCO に加えて、AD9166 は、特定 DDS アプリケーション用の FFH NCO も 1 つ備えています。この FFH NCO は 32 個の 32 ビット NCO で構成され、それぞれが専用の位相アキュムレータと、NCO を 1 つ選択するための FTW 選択レジスタを備えており、位相コヒーレント・ホッピング・モードを使用することができます。これらの要素を組み合わせることで、位相コヒーレントな FFH が可能です。また、FTW 選択レジスタと 100MHz SPI を使用することで、260ns という高速のドウェル時間を実現できます。

差動コア出力は、バッファされてシングルエンド出力に変換されます。このバッファは、高動作周波数におけるコアのスペクトル応答を大幅に改善する、アナログ・デバイス独自の BiCMOS プロセスを使って設計されています。スペクトル応答の改善は、極めて広い信号帯域幅やフラットなスペクトル特性とスペクトル純度が必要とされるアプリケーションに不可欠です。その出力は 10GHz まで 50Ω にインピーダンス整合されており、広帯域アプリケーションにおけるインピーダンス整合の問題を緩和します。差動入力シングルエンド出力のバッファは高価な広帯域バランを不要にし、完全な DC から 9GHz まで、DAC コアの全動作範囲をサポートします。DC カップリングはベースバンド波形の生成も可能にし、外部バイアス・ティーや同様の回路を不要にします。

AD9166 はマルチチップ同期が可能で、複数のサブシステムを同期すると同時に、サブシステム出力まで遅延が一定かつ確定的な (遅延ロック) パスを実現します。各サブシステムの遅延は、リンク確立から次のリンク確立までの間、デバイスのクロック・サイクル数個分の範囲内で一定に保たれます。外部アライメント (SYSREF+または SYSREF-) は、AD9166 をサブクラス 1 に準拠したデバイスにします。システム内では、いくつかの SYSREF±信号処理モードを使用できます。

SPI は様々な機能ブロックを構成して、それらのステータスをモニタします。デバイスを正常に動作させるには、様々な機能ブロックとデータ・インターフェースを特定のシーケンスでセットアップする必要があります (スタートアップ・シーケンスのセクションを参照)。JESD204B リンクは単純な SPI 初期化ルーチンによってセットアップされます。このルーチンは、評価用ボードのパッケージに含まれています。このデータシートでは、AD9166 の様々なブロックについて詳しく説明します。以下では、JESD204B インターフェース、制御パラメータ、およびデバイスのセットアップとモニタに使用する様々なレジスタについて説明します。推奨スタートアップ・ルーチンを実行すれば、信頼性の高いデータ・リンクが設定されます。

シリアル・ポートの動作

AD9166 は、DAC 用とアンプ用に、2つの独立した SPI コントローラを内蔵しています。DAC またはアンプのアドレス指定は、同じ SDIO ピン、DO ピン、および SCLK ピンを使い、対応するチップ・セレクト・ピン、CS_AMP または CS_DAC をアサートして行うことができます。CS_AMP と CS_DAC を同時にアサートして、同じ通信サイクル内で DAC とアンプの両方をアドレス指定することはできません。チップ・セレクト (CS_AMP と CS_DAC) のセクションを参照してください。

シリアル制御ポートは柔軟な同期シリアル通信ポートで、業界標準の様々なマイクロコントローラやマイクロプロセッサとのインターフェースを容易に形成することができます。シリアル入出力ポート (I/O) は、Motorola の SPI と Intel® SSR 両方のプロトコルを含め、ほとんどの同期転送フォーマットに使用できます。このインターフェースを使用すれば、AD9166 の構成に使用するすべてのレジスタへの読み出しアクセスと書き込みアクセスが可能で、MSB ファーストまたは LSB ファーストの転送フォーマットがサポートされています。シリアル・ポート・インターフェースは、4 線式または 3 線式のインターフェースとして構成可能で、入力と出力は 1 つのピンを共有して I/O を行います (SDIO)。

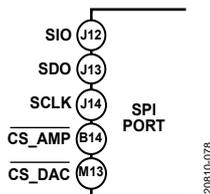


図 43. シリアル・ポート・インターフェース・ピン

AD9166 での通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクル (デバイスへの命令バイトの書き込み) で、最初の 16 個の SCLK 立上がりエッジに同期されます。命令ワードは、通信サイクルのフェーズ 2 である転送サイクルに関する情報を含む、シリアル・ポート・コントローラを提供します。フェーズ 1 の命令は、後に続くデータ転送が読み出しか書き込みかを、データ転送の開始レジスタ・アドレスと共に定義します。

ピンがロジック・ハイからロジック・ローに変わると、シリアル・ポート・タイミングが命令サイクルの初期状態にリセットされます。この状態から、次の 16 個の立上がり SCLK エッジが、現在の I/O 動作の命令ビットを表します。

残りの SCLK エッジは通信サイクルのフェーズ 2 用です。フェーズ 2 は、デバイスとシステム・コントローラ間における実際のデータ転送です。通信サイクルのフェーズ 2 では、1 つまたは複数のデータ・バイトが転送されます。転送サイクルで N バイトのデータを送信するには、 $8 \times N$ 個の SCLK サイクルが必要です。レジスタは各転送バイトの最後のビットが書き込まれると直ちに変わりますが、FTW と NCO 位相オフセットに関するものは別で、周波数チューニング・ワードの FTW_LOAD_REQ ビットがセットされた場合のみ変化します。

CS_AMP または CS_DAC がロジック・ハイからロジック・ローに変わると、シリアル・ポート・タイミングが命令サイクルの初期状態にリセットされます。この状態から、次の 16 個の立上がり SCLK エッジが、現在の I/O 動作の命令ビットを表します。

残りの SCLK エッジは通信サイクルのフェーズ 2 用です。フェーズ 2 は、デバイスとシステム・コントローラ間における実際のデータ転送です。通信サイクルのフェーズ 2 では、1 つまたは複数のデータ・バイトが転送されます。転送サイクルで N バイトのデータを送信するには、 $8 \times N$ 個の SCLK サイクルが必要です。レジスタは各転送バイトの最後のビットが書き込まれると直ちに変わりますが、FTW と NCO 位相オフセットに関するものは別で、周波数チューニング・ワードの FTW_LOAD_REQ ビットがセットされた場合のみ変化します。

データ・フォーマット

命令バイトには、表 14 にリストした情報が含まれています。

表 14. シリアル・ポート命令ワード

I15 (MSB)	I[14:0]
R/W	A[14:0]

命令ワードのビット I15 である R/W は、命令ワード書き込み後に読み出し転送を行うか書き込み転送を行うかを決定します。ロジック 1 は読み出し動作であることを示し、ロジック 0 は書き込み動作であることを示します。

命令ワードの A14~A0、つまりビット I14~ビット I0 は、通信サイクルのデータ転送部分でアクセスされるレジスタを決定します。マルチバイト転送の場合は A [14:0] が開始アドレスです。残りのレジスタ・アドレスは、アドレス・インクリメント・ビットに基づき、デバイスによって生成されます。アドレス・インクリメント・ビットがハイに設定されると (レジスタ 0x000、ビット 5 とビット 2)、A [14:0] でマルチバイト SPI 書き込みが開始されて、8 ビットの送信または受信ごとに 1 ずつインクリメントされます。アドレス加算ビットを 0 に設定すると、アドレスは 8 ビットごとに 1 ずつデクリメントされます。

シリアル・ポート・ピンの説明

シリアル・クロック (SCLK)

シリアル・クロック・ピンは、デバイスとやり取りするデータを同期して、内部ステート・マシンを実行します。SCLK の最大周波数は 100MHz です。すべてのデータ入力は、SCLK の立上がりエッジでレジスタに取り込まれます。すべてのデータは SCLK の立下がりエッジで出力されます。

チップ・セレクト (CS_AMP と CS_DAC)

AD9166 には 2 つのチップ・セレクト・ピンがあり、1 つが DAC 用 (CS_DAC)、もう 1 つはバッファ・アンプ用 (CS_AMP) です。以下では、これらを CS_x で表します。特定シリコン・ダイのアドレスを指定するには、正しい CS_x ピンをアサートする必要があります。CS_AMP と CS_DAC を同時にアサートすることはできません。

通信サイクルはアクティブ・ロー入力で開始され、制御されます。CS_x は、同じシリアル通信ライン上の複数のデバイスを使用することを可能にします。この入力がハイの時は、SDIO ピンが高インピーダンス状態になります。通信サイクル時は、チップ・セレクトはローになっていなければなりません。

シリアル・データ I/O (SDIO)

SDIO ピンは双方向データ・ラインです。4 線モードでは SDIO ピンがデータ入力として機能し、SDO ピンがデータ出力として機能します。

シリアル・ポート・オプション

シリアル・ポートは、MSB ファーストと LSB ファースト両方のフォーマットをサポートしています。この機能は、LSB ファースト・ビット（レジスタ 0x000 のビット 6 とビット 1）によって制御されます。デフォルトは MSB ファーストです（LSB ビット = 0）。

LSB ファースト・ビット = 0（MSB ファースト）の場合は、命令データ・ビットとデータ・ビットを MSB から LSB へ向かう方向で書き込む必要があります。書込み/読出し（R/W）の後には、命令ワード A [14:0] とデータワード D [7:0] が続きます。LSB ファースト・ビット = 1（LSB ファースト）の場合は、この逆になります。A [0:14] の後には R/W が続き、更にその後には D [0:7] が続きます。

シリアル・ポートは 3 線式または 4 線式のインターフェースをサポートしています。SDO アクティブ・ビット = 1（レジスタ 0x000、ビット 4 とビット 3）のときは、入力ピン（SDIO）と出力ピン（SDO）が別になっている 4 線式インターフェースが使われます。SDO アクティブ・ビット = 0 の場合は SDO ピンを使わず、SDIO ピンを入力と出力の両方に使用します。

マルチバイト・データ転送

マルチバイト転送は、命令サイクルに続く最初のデータ転送ワード後に、複数のデータ転送サイクル（8 SCLK サイクル）の間 CS_AMP または CS_DAC をローに保つことによって行うことができます。命令サイクルに続く最初の 8 個の SCLK サイクルは、命令サイクルで提供されたレジスタの読出しまたは書込みを行います。アドレスはその後の 8 SCLK サイクルごとにインクリメントまたはデクリメントされて、新しいレジスタの読出し/書込みが行われます。アドレスの方向は、ADDRINC または ADDRINC_M（レジスタ 0x000 のビット 5 とビット 2）を使用し

て設定します。ADDRINC または ADDRINC_M が 1 の場合、マルチサイクル・アドレスはインクリメントされます。ADDRINC または ADDRINC_M が 0 の場合、アドレスはデクリメントされます。新しい書込みサイクルは、CS_x を一度ハイにして再びローにすることによって、いつでも開始することができます。

混乱を避けるため、また、デバイス間の一貫性を確保するために、チップは、アドレス・フェーズ後の最初のニブルをテストして 2 番目のニブルを無視します。このテストは LSB ファースト・ビットとは関係なく行われ、ソフト・リセット・ビット（レジスタ 0x000 のビット 0 とビット 7）の後に追加的なクロック・サイクルが続いていることを確認します。最初のニブルに対するこのテストは、レジスタ 0x000 への書込み時にのみ行われます。

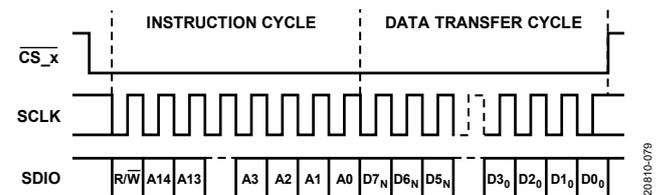


図 44. シリアル・レジスタ・インターフェースのタイミング - MSB ファースト、レジスタ 0x000 のビット 5 およびビット 2 = 0

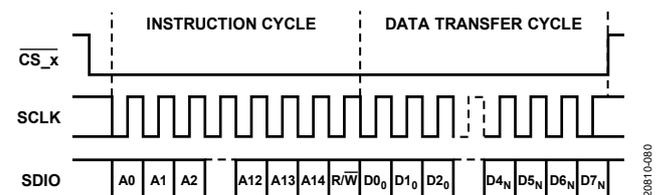


図 45. シリアル・レジスタ・インターフェースのタイミング - LSB ファースト、レジスタ 0x000 のビット 5 およびビット 2 = 1

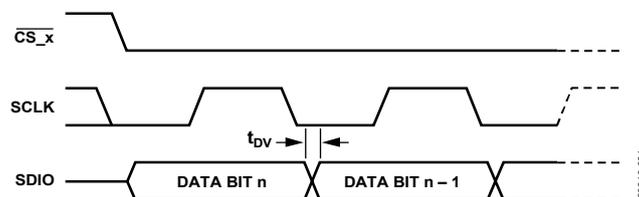


図 46. シリアル・ポート・レジスタの読出しタイミング図

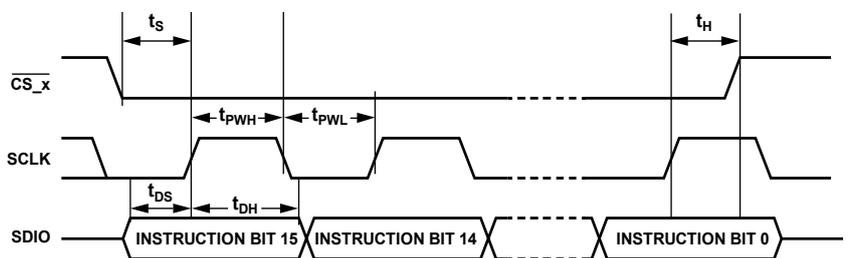


図 47. シリアル・ポート・レジスタの書込みタイミング図

JESD204B シリアル・データ・インターフェース

JESD204B の概要

AD9166には、データ受信用に8個のJESD204Bデータ・ポートがあります。8個あるJESD204Bポートは、1つのシステム・リファレンス (SYSREF±) とデバイス・クロック (CLK±) を使用するシングル JESD204B リンクの一部として構成できます。

JESD204Bシリアル・インターフェース・ハードウェアは、物理層、データ・リンク層、トランスポート層の3層で構成されています。以下のセクションでは、インターフェースのあらゆる側面を構成するための情報を含め、これらのハードウェア部分について説明します。AD9166のシリアル・データ・インターフェースに実装されている通信層を図48に示します。これらの部分はクロックを再生し、デバイスのデジタル信号処理セクションへデータを送る前に、それらデータのシリアル化解除、スクランプリング解除、およびフレーミング解除を行います。

物理層はトランスミッタとレシーバーの間に信頼できるチャンネルを確立し、データ・リンク層はデータのパッキングを解除してオクテットに戻し、更にスクランプリングを解除する役割を果たします。トランスポート層は、スクランプリングが解除されたJESD204Bフレームを受け取って、それをDACサンプルに変換します。

様々なJESD204Bパラメータ (L、F、K、M、N、NP、S、HD) がデータのパック方法を定義し、シリアル・データをサンプルに変える方法をデバイスに指示します。これらのパラメータの定義は、トランスポート層のセクションに示します。AD9166にはスクランプリング解除オプションもあります (詳細についてはデスクランブラのセクションを参照)。

サポートされているJESD204Bパラメータは様々な組み合わせで使用できますが、その組み合わせはレーン数のみに依存しま

す。したがって、使用するレーン数を選ぶことによって、それに対応する唯一のパラメータのセットを決定することができます。更に、インターポレーション・レートとレーン数を使用することで、AD9166のセットアップに必要な残りの構成を決定することができます。インターポレーション・レートとレーン数は、レジスタ0x110で選択します。

AD9166のDAC出力は1つです。しかし、オンチップでの複素信号処理のため、インターポレーションを行う場合のコンバータ数は常にM=2として定義されます。

特定のアプリケーションでは、使用するコンバータの数 (M) とデータ・レート変数 (DataRate) が分かっています。レーン・レート変数 (LaneRate) とレーン数 (L) は、以下のように入出力が可能です。

$$DataRate = (DACRate)/(InterpolationFactor)$$

$$LaneRate = (20 \times DataRate \times M)/L$$

ここで、LaneRateは750Mbps~12.5Gbpsの範囲でなければなりません。

レーン同期の実現と再生は重要です。トランスミッタへのインターフェースを簡素化するために、AD9166はそれぞれのJESD204Bリンクに対してマスター同期信号を指定します。SYNCOUT-ピンとSYNCOUT+ピンは、すべてのレーンのマスター信号として使用します。リンク内のいずれかのレーンで同期が失われた場合は、そのリンクの同期信号を介してトランスミッタに再同期要求が送られます。トランスミッタはデータの送信を停止し、代わりにそのリンク内のすべてのレーンに同期文字を送信します。送信は、再同期が確立されるまで続けられます。

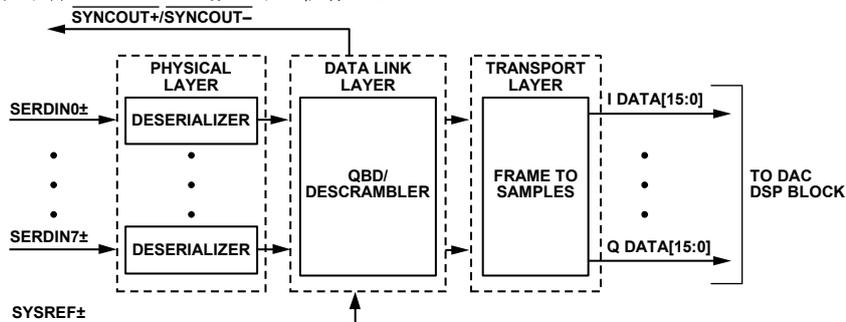


図 48. シリアル・リンク・レシーバーの機能ブロック図

表 15. シングルリンク JESD204B 動作モード

Parameter	Parametric Symbol	Number of Lanes (L)					
		1	2	3	4	6	8
Lane Count	L	1	2	3	4	6	8
Converter Count	M	2	2	2	2	2	1 (real), 2 (complex)
Octets per Frame per Lane	F	4	2	4	1	2	1
Samples per Converter per Frame	S	1	1	3	1	3	4 (real), 2 (complex)

表 16. JESD204B 動作モードにおけるレーンごとのデータ構造¹

JESD204B Operating Mode	Lane No.	Frame 0	Frame 1	Frame 2	Frame 3
L = 8, M = 1, F = 1, S = 4	Lane 0	M0S0[15:8]			
	Lane 1	M0S0[7:0]			
	Lane 2	M0S1[15:8]			
	Lane 3	M0S1[7:0]			
	Lane 4	M0S2[15:8]			
	Lane 5	M0S2[7:0]			
	Lane 6	M0S3[15:8]			
L = 8, M = 2, F = 1, S = 2	Lane 0	M0S0[15:8]			
	Lane 1	M0S0[7:0]			
	Lane 2	M0S1[15:8]			
	Lane 3	M0S1[7:0]			
	Lane 4	M1S0[15:8]			
	Lane 5	M1S0[7:0]			
	Lane 6	M1S1[15:8]			
L = 6, M = 2, F = 2, S = 3	Lane 0	M0S0[15:8]	M0S0[7:0]		
	Lane 1	M0S1[15:8]	M0S1[7:0]		
	Lane 2	M0S2[15:8]	M0S2[7:0]		
	Lane 3	M1S0[15:8]	M1S0[7:0]		
	Lane 4	M1S1[15:8]	M1S1[7:0]		
L = 4, M = 2, F = 1, S = 1	Lane 0	M0S0[15:8]			
	Lane 1	M0S0[7:0]			
	Lane 2	M1S0[15:8]			
L = 3, M = 2, F = 4, S = 3	Lane 0	M0S0[15:8]	M0S0[7:0]	M0S1[15:8]	M0S1[7:0]
	Lane 1	M0S2[15:8]	M0S2[7:0]	M1S0[15:8]	M1S0[7:0]
	Lane 2	M1S1[15:8]	M1S1[7:0]	M1S2[15:8]	M1S2[7:0]
L = 2, M = 2, F = 2, S = 1	Lane 0	M0S0[15:8]	M0S0[7:0]		
	Lane 1	M1S0[15:8]	M1S0[7:0]		
L = 1, M = 2, F = 4, S = 1	Lane 0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]

¹ Mx はコンバータ番号、Sy はサンプル番号。例えば、M0S0 はコンバータ 0、サンプル 0 を意味します。空白セルは該当なしを意味します。

物理層

JESD204B インターフェースの物理層（これ以降「デシリアライザ」と呼びます）には、8 個の同じチャンネルがあります。各チャンネルは、ターミネータ、イコライザ、クロック&データ再生（CDR）回路、および 1 : 40 のデマルチプレクス機能で構成されています（図 49 を参照）。

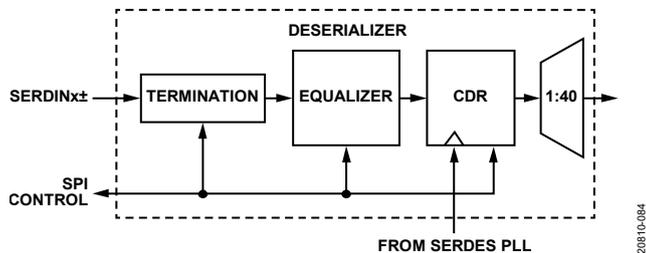


図 49. デシリアライザのブロック図

JESD204B データは、JESD204B 仕様に準拠した 1.2V の SERDINx 土差動入力ピンを介して AD9166 へ入力されます。

インターフェースの起動と入力の終端

JESD204B インターフェースを使用するには、レジスタ 0x200 のビット 0 を 0 に設定することによって、まずインターフェースを起動する必要があります。更に、それぞれの各物理レーン（PHY）で使用していないものがあれば（SERDINx±）、それを停止する必要があります。これは、以下に示すように、レジスタ 0x201 内の物理レーン x に対応するビット x を設定することによって行います。

- 物理レーンを使用するときはビットを 0 に設定します。
- 物理レーンを使用しないときはビットを 1 に設定します。

AD9166 は入力終端を 50Ω に自動キャリブレーションします。終端キャリブレーションを実行する前に、正しくキャリブレーションを行うために、表 17 の内容に従ってレジスタ 0x2A7 とレジスタ 0x2AE に書き込みを行う必要があります。終端キャリブレーションは、レジスタ 0x2A7 のビット 0 とレジスタ 0x2AE のビット 0 がローからハイに遷移すると開始されます。

- レジスタ 0x2A7 は、PHY 0、PHY 1、PHY 6、PHY 7 の自動キャリブレーションを制御します。
- レジスタ 0x2AE は、PHY 2、PHY 3、PHY 4、PHY 5 の自動キャリブレーションを制御します。

PHY x の終端自動キャリブレーションのルーチンを表 17 にリストします。

表 17. PHYx の終端自動キャリブレーション・ルーチン

アドレス	値	説明
0x2A7	0x01	PHY 0、PHY 1、PHY 6、PHY 7 の終端を自動キャリブレーション
0x2AE	0x01	PHY 2、PHY 3、PHY 4、PHY 5 の終端を自動キャリブレーション

DAC の入力終端電圧は、DAC_1P2_SER ピンを通じて外部的にソースされます。JESD204B 入力は、100nF のコンデンサを使って JESD204B 送信デバイスに AC カップリングすることを推奨します。

終端のキャリブレーション・コードは、レジスタ 0x2AC（PHY 0、PHY 1、PHY 6、PHY 7）のビット [3:0] とレジスタ 0x2B3（PHY 2、PHY 3、PHY 4、PHY 5）のビット [3:0] から読み出すことができます。必要な場合は、いくつかのレジスタを使って終端値を調整または設定することができます。自動キャリブレーションされた終端値をオーバーライドするには、TERM_BLKx_CTRLREG1 レジスタ（レジスタ 0x2A8 とレジスタ

0x2AF）を使用します。レジスタの設定は以下のように行います。

- デフォルト設定：0xXXX0XXXX に設定します。終端ブロックが終端値を自動キャリブレーションします。
- 上書き設定：自動キャリブレーション値をレジスタ 0x2A8 とレジスタ 0x2AF のビット [3:1] の終端値で上書きするには、0xXXX1XXXX に設定します。

各レーンの自動キャリブレーション値からの個別オフセットは、レジスタ 0x2BB からレジスタ 0x2C2 までのビット [3:0] に設定します。これは符号付きの値で、ビット 3 が符号ビットです。終端抵抗値の合計範囲は概ね 94Ω~120Ω で、インクリメント値はこの範囲全体を通じて約 3.5% です（例えば、ステップ幅は範囲の上側よりも下側の方が小さくなります）。

レシーバー・アイ・マスク

AD9166 はレシーバー・アイ・マスクに関して JESD204B 仕様に準拠しており、このマスクに適合するデータをキャプチャすることができます。図 50 に、V_{TT} 振幅 600mV のデータ・レート間隔に合わせて正規化したレシーバー・アイ・マスクを示します。アイ・マスクとレシーバーの許容アイ開口値の詳細については、JESD204B 仕様を参照してください。

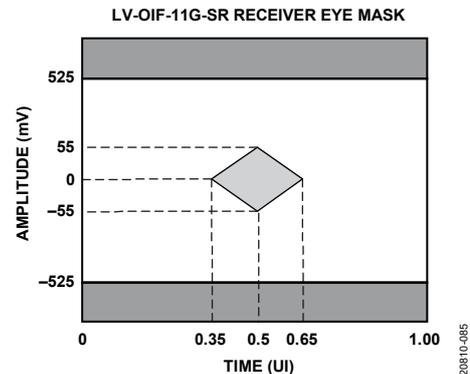


図 50. 600mV V_{TT} 振幅に対するレシーバー・アイ・マスク

クロック間の関係

この JESD204B シリアル・データ・インターフェースのセクションの残りの部分では、以下のクロック・レートを使用します。これらのクロック間の関係は、次式で求めることができます。

$$DataRate = (DACRate)/(InterpolationFactor)$$

$$LaneRate = (20 \times DataRate \times M)/L$$

$$ByteRate = LaneRate/10$$

ここで、M はリンクあたりのコンバータ数を表す JESD204B パラメータ、L はリンクごとのレーン数を表す JESD204B パラメータです。

この関係は 8 ビット/10 ビット・エンコーディングから来たもので、各バイトは 10 ビットで表されます。

$$PCLK\ Rate = ByteRate/4$$

処理クロックは 4 バイト・デコーダに使われます。

$$FrameRate = ByteRate/F$$

ここで、F は 1 レーンのフレームあたりオクテット数を表す JESD204B パラメータです。

$$PCLK\ Factor = FrameRate/PCLK\ Rate = 4/F$$

SERDES PLL

SERDES PLL の機能概要

個々の SERDES フェーズ・ロック・ループ (PLL) は、インテグラー法を使ってクロックを合成します。SERDES PLL は、電圧制御発振器 (VCO) とループ・フィルタを含めて、その全体がチップに組み込まれています。SERDES PLL VCO は 6GHz ~ 12.5GHz の周波数範囲で動作します。

SERDES PLL 内では、VCO 分周クロックが VCO クロックを 2 分周して、デシリアライザ・コア用に 3GHz ~ 6.25GHz の直交クロックを生成します。このクロックは CDR ブロックへ入力されます。CDR ブロックについての説明は、[クロック&データ再生](#)のセクションに示します。

SERDES PLL へのリファレンス・クロックは常に周波数 f_{REF} で動作します。この周波数はレーン・レート (PCLK レート) の 1/40 です。 f_{REF} 周波数は、位相周波数検出器 (PFD) ブロックにクロック (f_{PFD}) を供給するために、SERDES_PLL_DIV_FACTOR で設定される整数係数で分周されます。クロックの周波数範囲は 35MHz ~ 80MHz です。表 18 に、使用可能なそれぞれの PLL_REF_CLK_RATE オプションに対応する SERDES_PLL_DIV_FACTOR レジスタの設定を示します。

表 18. SERDES PLL 分周器の設定

Lane Rate (Gbps)	PLL_REF_CLK_RATE (Register 0x084, Bits[5:4])	SERDES_PLL_DIV_FACTOR (Register 0x289, Bits[1:0])
0.750 to 1.5625	0b01 = 2×	0b10 = ÷1
1.5 to 3.125	0b00 = 1×	0b10 = ÷1
3 to 6.25	0b00 = 1×	0b01 = ÷2
6 to 12.5	0b00 = 1×	0b00 = ÷4

SERDES PLL のイネーブルと再キャリブレーション

レジスタ 0x280 は、シンセサイザのイネーブル制御と再キャリブレーションを行います。

SERDES PLL をイネーブルするには、最初に PLL 分周器レジスタを設定します (表 18)。次に、レジスタ 0x280 のビット 0 に 1 を書き込むことによって、SERDES PLL をイネーブルします。再キャリブレーションが必要な場合は、レジスタ 0x280 のビット 2 に一度 0b1 を書き込み、その後同じビットを 0b0 にリセットします。再キャリブレーションはビットの立上がりエッジで開始されます。

レジスタ 0x281 を読み出すことによって、SERDES PLL が機能していることを確認してください。レジスタ 0x281 のビット 0 が 1 の場合、SERDES PLL はロック状態になります。レジスタ 0x281 のビット 3 が 1 の場合、SERDES PLL のキャリブレーションは完了しています。レジスタ 0x281 のビット 4 またはビット 5 がハイの場合、PLL はそのキャリブレーション範囲の上端または下端に達しているため、レジスタ 0x280 のビット 2 に 0 を書き込んでから改めて 1 を書き込むことにより、再キャリブレーションを行う必要があります。

クロック&データ再生 (CDR)

デシリアライザには CDR 回路が組み込まれています。CDR 回路は、JESD204B シリアル・レーンから直接クロックを再生するのではなく、各 SERDES レーンのサンプリング・クロックの位相を、JESD204B トランスミッタから送られてくるビット・ストリームの位相に継続的に整合します。サンプリング・クロックは、SERDES PLL から生成されます。図 54 に示すように、CDR への入力において、3GHz ~ 6.25GHz のサンプリング・クロックが SERDES PLL から生成されます。

デバイス内でレーン・レート・クロックを生成するには、以下の要領で CDR サンプリング・モードを選択する必要があります。

- レーン・レートが 6.25Gbps を超える場合は、ハーフ・レート CDR を使用します。
- レーン・レートが 3Gbps ~ 6.25Gbps の場合は、ハーフ・レート動作をディスエーブルします。
- レーン・レートが 3Gbps 未満の場合は、フル・レートをディスエーブルして 2×オーバーサンプリングをイネーブルし、適切なレーン・レート・クロックを再生します。

レーン・レート値に応じて設定が必要な CDR のサンプリング設定を表 19 に示します。

表 19. CDR の動作モード

Lane Rate (Gbps)	SPI_ENHALFRATE (Register 0x230, Bit 5)	SPI_DIVISION_RATE (Register 0x230, Bits[2:1])
0.750 to 1.5625	0 (full rate)	0b10 (divide by 4)
1.5 to 3.125	0 (full rate)	0b01 (divide by 2)
3 to 6.25	0 (full rate)	0b00 (no divide)
6 to 12.5	1 (half rate)	0b00 (no divide)

CDR 回路は、各シリアル・レーン上のデータをサンプリングするために使用する位相を個別に同期します。このシリアル・インターフェースごとの個別位相調整によって正確なデータ・サンプリングが確保され、PCB 上で複数のシリアル・インターフェースを容易に実装できるようになります。

CDR 回路の設定が完了したら、レジスタ 0x206 のビット 0 に一度 0 を書き込んでから改めて 1 を書き込むことにより、CDR 回路のリセットとリセット解除を行います。

クロック設定によっては、JESD204B トランスミッタが JESD204B シリアル・リンク確立の一部として K/文字の送信を開始した後に、CDR のリセットが必要になることがあります。これは、CDR が検索ループを再開して正しくクロックを整合できるようにするためです (JESD204B シリアル・リンクの確立のセクションを参照)。

未使用 PHY の停止

使わないレーンをイネーブルしたままにすると、不要な電力を消費します。使用しないレーン (SERDIN_x±) は、PHY_PD (レジスタ 0x201) の該当ビットに 1 を書き込むことにより、パワーオフする必要があります。

イコライゼーション

PCB のパターン長とインピーダンスによる信号の完全性の歪みを PHY チャンネルごとに補償するため、AD9166 は各 JESD204B チャンネルに、使いやすい低消費電力のイコライザを採用しています。AD9166 のイコライザは、JESD204B 仕様の要求値よりはるかに大きい挿入損失を補償できます。このイコライザには 2 つの動作モードがあります。このモードは、EQ_POWER_MODE レジスタ設定 (レジスタ 0x268 のビット [7:6]) で決定します。低消費電力モード (レジスタ 0x268 のビット [7:6] = 0b01) および最大レーン・レート 12.5Gbps での動作時、イコライザは最大 11.5dB の挿入損失を補償することができます。ノーマル・モード (レジスタ 0x268 のビット [7:6] = 0b00) では、イコライザは最大 17.2dB の挿入損失を補償することができます。この性能を、挿入損失に関する JESD204B 仕様に重ねる形で図 51 に示します。図 51 は、AD9166 の最大ボー・レートに近い 12.5Gbps でのイコライゼーション性能を示しています。

図 52 と図 53 はハードウェア設計者の基準点として示したもので、それぞれ適切にレイアウトされた様々な長さのストリップラインとマイクロストリップ伝送ラインの挿入損失が示されています。JESD204B の具体的な推奨レイアウトについては、[ハードウェアに関する考慮事項](#)のセクションを参照してください。

JESD204B PCB チャンネルの挿入損失が、低消費電力モードでサポートされているチャンネルの中で最も損失の大きいチャンネルの挿入損失より小さい場合は (図 51 を参照)、低消費電力モードを推奨します。挿入損失がこれより大きくても、ノーマル・モードでサポートされているチャンネルの中で最も損失の大きいチャンネルの挿入損失より小さい場合は (図 51 を参照)、ノーマル・モードを使用します。12.5Gbps での動作時、ノーマル・モードのイコライザは低消費電力イコライザ・モードの場合よりレーンあたりで約 4mW 多い電力を消費します。どちらのモードも、機能を保証したり電力を最適化したりするためにトランスミッタ・プリエンファシスと共に使用できます。

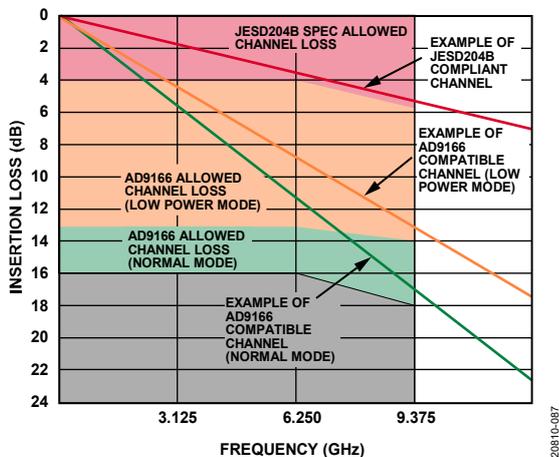


図 51. 許容挿入損失

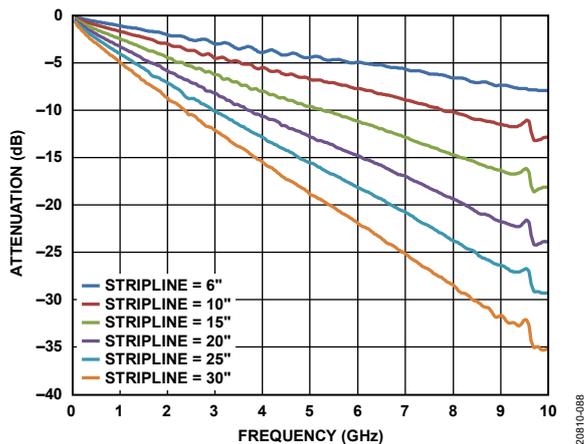


図 52. FR4 の 50Ω ストリップラインの挿入損失

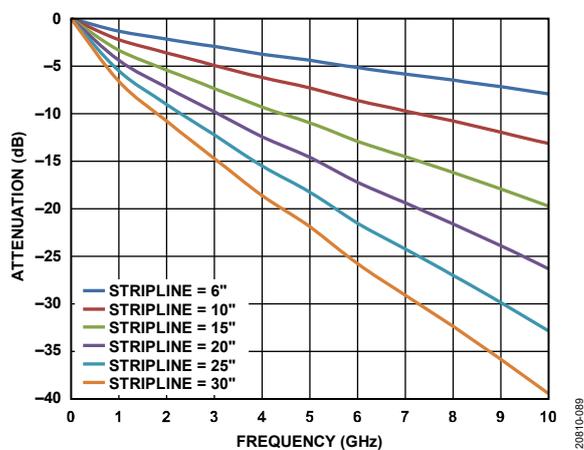


図 53. FR4 の 50Ω マイクロストリップの挿入損失

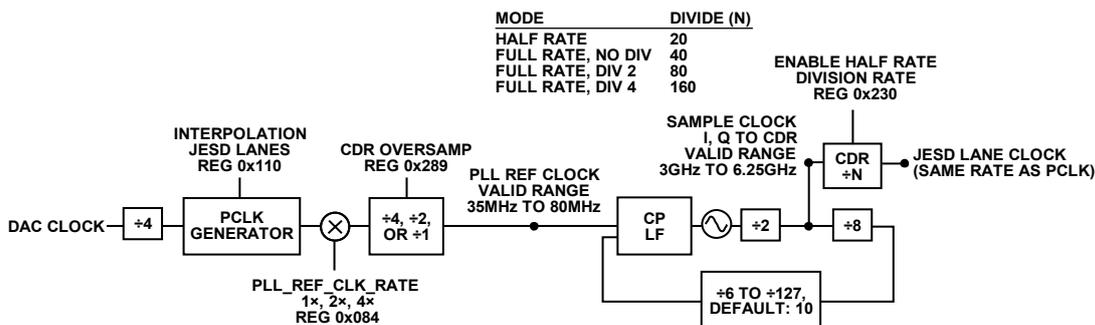


図 54. VCO 分周器ブロックを含む SERDES PLL シンセサイザのブロック図

データ・リンク層

AD9166 の JESD204B インターフェースのデータリンク層は、シリアル化が解除されたデータを PHY から受け入れてそれらのフレーミングとスクランプリングを解除し、トランスポート層にデータ・オクテットを提供して DAC サンプルとして使用できるようにします。データ・リンク層のアーキテクチャを **図 55** に示します。データ・リンク層は、各レーンの同期 FIFO、クロスバー・スイッチ、デフレーマ、デスクランブラで構成されています。

AD9166 は、シングルリンクの高速 JESD204B シリアル・データ・インターフェースとして動作させることができます。JESD204B インターフェースの 8 個のレーンは、すべて、コード・グループ同期 (CGS)、フレーム・アライメント、フレーム同期などのリンク層通信を扱います。

AD9166 は 8 ビット/10 ビットの制御文字をデコードして、フレームの開始と終了のマーキングや、シリアル・レーン間のア

イメントを可能にします。それぞれの AD9166 シリアル・インターフェースのリンクは、その SYNCOUT±信号をローに設定することによって同期要求を送出できます。同期プロトコルは、JESD204B 規格のセクション 4.9 に従っています。4 個の連続した K/シンボルのストリームが受信されると、AD9166 は、内部ローカル・マルチフレーム・クロック (LMFC) の次の立上がりエッジで SYNCOUT±信号をハイに設定することによって、同期要求を無効にします。更に AD9166 は、トランスミッタが初期レーン・アライメント・シーケンス (ILAS) を発行するのを待ちます。ILAS 内では、JESD204B シリアル・リンク確立のセクションに示すように、/A/から/R/への文字遷移を使ってすべてのレーンがアラインされます。エラスティック・バッファは、早期に到着したレーン・データを、最新レーンのアライメント文字が到着するまで保持します。この時点ですべてのレーンのバッファが解放されて、すべてのレーンがアラインされます (**図 56** を参照)。

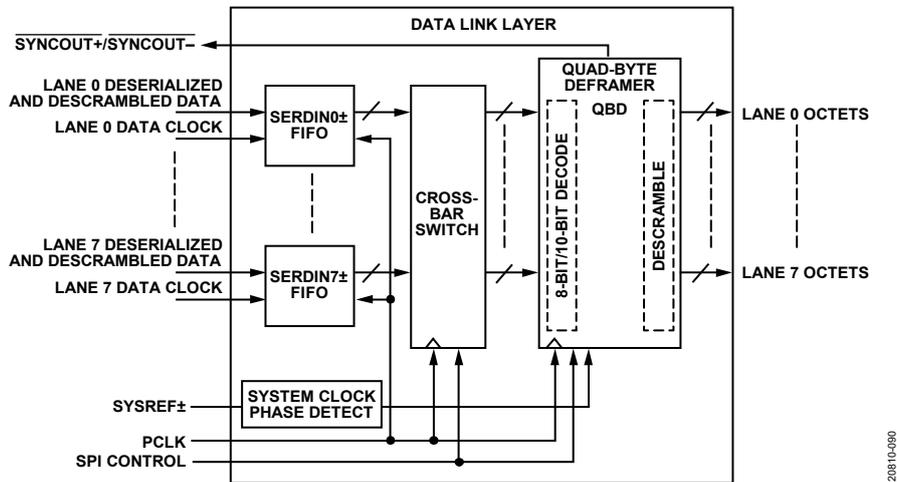


図 55. データ・リンク層のブロック図

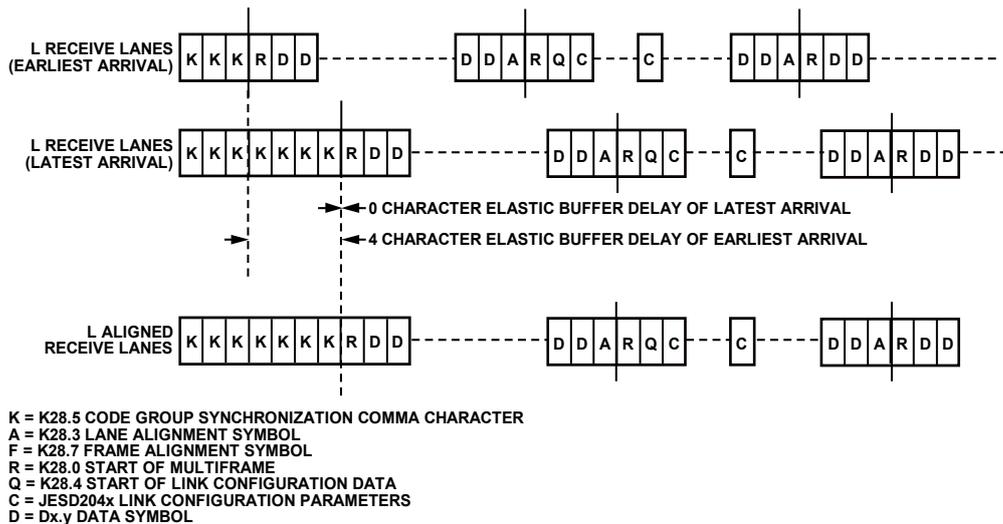


図 56. ILAS でのレーン・アライメント

JESD204B シリアル・リンクの確立

サブクラス 1 の高速シリアル・リンク確立プロセスの概要を示します。詳細については JESD204B 仕様のセクション 5.3.3 を参照してください。

ステップ 1: コード・グループ同期

各レーシーバーは、その入力ビット・ストリーム内にある /K/ (K28.5) 文字を特定する必要があります。レーシーバー・ブロックは、すべてのリンク・レーン上で 4 個の連続した /K/ 文字を検出すると、レーシーバーの LMFC エッジでトランスミッタ・ブロックへの SYNCOUT±信号のアサートを解除します。

トランスミッタは SYNCOUT±信号の変化をキャプチャして、その後の LMFC 立上がりエッジで ILAS を開始します。

ステップ 2: 初期レーン・アライメント・シーケンス

このフェーズの主な目的は、リンクのすべてのレーンをアラインすることと、リンクのパラメータを検証することです。

リンクが確立される前に、それぞれのリンク・パラメータをレーシーバー・デバイスに書き込んで、レーシーバー・ブロックにデータを送る方法を指定します。

ILAS は 4 個以上のマルチフレームで構成されています。各マルチフレームの最後の文字は、マルチフレーム・アライメント文字 /A/ です。最初と 3 番目、および 4 番目のマルチフレームには、予め決められた値が挿入されます。JESD204B 仕様文書のセクション 8.2 には、ILAS の予想データ・ランプが示されています。AD9166 にこのランプは不要です。デフレーマは各レーンの最後の /A/ を使用して、レーシーバー内のマルチフレームの最後をアラインします。2 番目のマルチフレームには、/R/ (K.28.0)、/Q/ (K.28.4)、およびリンク・パラメータに対応するデータが、この順番で含まれています。レーシーバーが必要とする場合、ILAS には更にマルチフレームを追加することができます。デフォルトでは、AD9166 は ILAS 内で 4 個のマルチフレームを使用します（これはレジスタ 0x478 で変更できます）。サブクラス 1 を使用する場合は、使用するマルチフレームの数をちょうど 4 個にする必要があります。

最後の ILAS の最後の /A/ 文字の後に、マルチフレーム・データのストリーミングが開始されます。レーシーバーは、この時点でレーシーバーの内部 LMFC とアラインできるように、/A/ 文字の位置を調整します。

ステップ 3: データ・ストリーミング

このフェーズで、トランスミッタ・ブロックからレーシーバー・ブロックへデータが送られます。データはオプションでスクランプリングできます。スクランプリングは、ILAS に続く最初のオクテットまで開始されません。

レーシーバー・ブロックは受信したデータを処理し、以下を含むエラーの有無をモニタします。

- ランニング・ディスパリティ異常 (8 ビット/10 ビット・エラー)
- テーブル不記載 (8 ビット/10 ビット・エラー)
- 予期しない制御文字
- ILAS 異常
- レーン間スキュー・エラー (文字置換による)

これらのエラーが存在する場合は、以下のいずれかの方法でトランスミッタにレポートされます (JESD204B のエラー・モニタリングのセクションを参照)。

- SYNCOUT±信号のアサート: 最後の 2 個のエラーのそれぞれにおいて再同期 (SYNCOUT±信号をローにする) が要求されます。最初の 3 つのエラーについては、エラー・カウンタが設定エラー閾値に達した時点でオプションの再同期要求をアサートできます。
- 最初の 3 つのエラーについては、マルチフレーム内にエラーがある場合、そのマルチフレームごとに SYNCOUT±に小さいパルスが発生します。
- エラー発生時は、オプションで割り込み要求 (IRQ) イベントをトリガして、トランスミッタに送ることができます。

リンクの完全性を検証するための様々なテスト方法については、JESD204B のテスト・モードのセクションを参照してください。

レーン FIFO

クロスバー・スイッチの前にある FIFO とデフレーマは、受け取ったデータの位相を調整することによって、高速シリアル・データ・インターフェースで送るサンプルをデフレーマ・クロックと同期します。FIFO は、データ・ソースとデフレーマの間のタイミング変動を吸収します。このため、トランスミッタからのドリフトは最大 2PCLK サイクルまで許容できます。FIFO_STATUS_REG_0 レジスタと FIFO_STATUS_REG_1 レジスタ (それぞれレジスタ 0x30C とレジスタ 0x30D) をモニタすれば、FIFO がフルかエンプティかを識別できます。

レーン FIFO 割り込み要求 (IRQ)

総合レーン FIFO オーバーフロー/アンダーフロー・エラー・ビットも、IRQ イベントとして使用できます。レジスタ 0x020 のビット 2 を使って FIFO オーバーフロー/アンダーフロー・エラー・ビットをイネーブルしてから、レジスタ 0x024 のビット 2 を使ってそのステータスをリードバックし、IRQ 信号をリセットします。詳細については、[割り込み要求動作](#)のセクションを参照してください。

クロスバー・スイッチ

レジスタ 0x308 ~ レジスタ 0x30B を使用すれば、物理レーン (SERDINx±) から、SERDES デフレーマが使用する論理レーンへ任意にマッピングを行うことができます。

表 20. クロスバー・レジスタ

Address	Bits	Logical Lane
0x308	[2:0]	SRC_LANE0
0x308	[5:3]	SRC_LANE1
0x309	[2:0]	SRC_LANE2
0x309	[5:3]	SRC_LANE3
0x30A	[2:0]	SRC_LANE4
0x30A	[5:3]	SRC_LANE5
0x30B	[2:0]	SRC_LANE6
0x30B	[5:3]	SRC_LANE7

それぞれの SRC_LANE_x に、データを取得する物理レーン (SERDIN_x±) の番号 (x) を書き込んでください。デフォルトでは、すべての論理レーンが、同じ番号の物理レーンをそのデータ・ソースとして使用します。例えば、デフォルトでは SRC_LANE0 = 0 です。したがって、論理レーン 0 は物理レーン

0 (SERDIN0±) からデータを取得します。デフォルトに代えて SERDIN4± を論理レーン 0 のソースとして使用するには、SRC_LANE0=4 (10 進値) を書き込む必要があります。

レーンの反転

レジスタ 0x334 を使用すると希望の論理レーンを反転させることができ、これによって SERDINx± 信号のルーティングを容易にすることができます。反転を行うには、それぞれの論理レーン x について、レジスタ 0x334 のビット x を 1 に設定します。

デフレーマ

AD9166 は、1 個の 4 バイト・デフレーマ (QBD) で構成されています。QBD は、(クロスバー・スイッチ経由で) デシリアライザから 8 ビット/10 ビット・エンコードのデータを受け取ってデコードし、更にスクランブルを解除して JESD204B フレームにしてから、トランスポート層へ渡して DAC サンプルに変換します。デフレーマは、処理クロック (PCLK) 1 サイクルごとに 4 個のシンボル (またはオクテット) を処理します。

デフレーマは、レジスタ・マップ内に設定された JESD204B パラメータを使用して、データのパック方法とパック解除方法を確認します。JESD204B パラメータの詳細な定義は、[トランスポート層](#)のセクションに示します。パラメータの多くは、JESD204B フレームをサンプルに変換するためにトランスポート層でも必要です。

デスクランブラ

AD9166 には、以下の多項式による自己同期スクランブラを使用するデスクランブラ・ブロックがあります (オプション)。

$$1 + x^{14} + x^{15}$$

データ・スクランプリングを有効にすると、フレーム間で同じデータ・オクテットが繰り返される時に発生するスペクトル・ピークが小さくなります。データ・スクランプリングはスペクトル・データが他の影響を受けないようにするので、電氣的インターフェースへの周波数選択性によるデータ依存エラーが発生しなくなります。データのスクランプリング解除は、SCR ビット (レジスタ 0x453 のビット 7) を 1 に設定することによって有効になります。

LMFC 信号の同期

複数のリンクやデバイスを同期するための最初のステップは、LMFC 信号を同期することです。サブクラス 0 では LMFC 信号は内部処理クロックに同期され、サブクラス 1 では外部 SYSREF± 信号に同期されます。

SYSREF± 信号

SYSREF± 信号は差動ソース同期入力であり、JESD204B サブクラス 1 システム内のトランスミッタとレシーバー両方の LMFC 信号を同期して、遅延を確定的なものにします。

SYSREF± 信号は、4 分周されたデバイス・クロック (f_{CLK}) によってサンプリングされます。信号間の位相アライメントを固定するには、HMC7044 クロック・ジェネレータなどの同じソースを使って、デバイス・クロックと SYSREF± 信号を生成します。最適な確定的遅延動作を設計するときは、マルチポイント・リンク・システム (マルチチップ) 内での SYSREF± 信号のタイミング分配スキューを考慮してください。

SYSREF± は $f_{CLK} \div 4$ でサンプリングを行うので、SYSREF± のエッジと f_{CLK} の間には、 f_{CLK} サイクル 4 個分の不確実性が生じます。SYSREF± のサンプリングに使用する $f_{CLK} \div 4$ クロックの位相は、レジスタ 0x037 のビット [7:0] とレジスタ 0x038 のビット [3:0] にサーモメータ・コードとして保存されます。この値は、どの f_{CLK} サイクルと SYSREF± エッジが対応するのかを決定し、サイクルのあいまいさを補償して確定的遅延の不確実性を改善するために使われます。この補償は、データ・サンプル (f_{CLK})、あるいはサンプリングする SYSREF± 信号を遅らせるか進ませるにより、AD9166 の外部で行う必要があります。補償後は、SYSREF± のサンプル&ホールド時間がデバイスの各種動作条件を通じて一致している限り、デバイス・リセットと次のデバイス・リセットの間における確定的遅延の不確実性を 0 f_{CLK} サイクルまで改善することができます。

SYSREF± のセットアップ時間とホールド時間が一致していたかどうかを示すものとして、SYSREF± エッジをサンプリングした後の SYNC_LMFC_STATx (レジスタ 0x034 とレジスタ 0x035) 内の値をモニタして、レジスタ 0x34 に 0x0 を書き込むことによってそれぞれの読出し前にレジスタをリセットします。SYNC_LMFC_STATx の値は、どの読出し時にも一定でなければなりません。詳細については[同期手順](#)のセクションを参照してください。

AD9166 は周期的 SYSREF± 信号をサポートしています。周期は連続型、ストローブ型、またはギャップ型とすることができます。SYSREF± 信号は常に DC カップリングできます (0V ~ 1.25V のコモンモード電圧を使用)。DC カップリングをすると、SYSREF± ピンから少量のコモンモード電流 (500 μ A 未満) が流れます。SYSREF± の内部回路については[図 57](#)を参照してください。

コモンモード電流の流出を避けるために、50% デューティ・サイクルの周期的 SYSREF± 信号と AC カップリング・コンデンサを使用します。AC カップリングする場合は、[図 57](#) に示す AC カップリング・コンデンサと抵抗の組み合わせが、RC 時定数 $\tau = RC$ のハイパス・フィルタを構成します。C は、 $\tau > (4/\text{SYSREF} \pm \text{周波数})$ となるように選択してください。更に、SYSREF± とデバイス・クロック (f_{CLK}) のキープ・アウト・ウィンドウ条件を満たすために、エッジ・レートは十分に大きくする必要があります。

AC カップリング・モードは、SYSREF± のヒステリシスを使用することにより (レジスタ 0x088 とレジスタ 0x089)、周波数と時定数に関する制約 ($\tau = RC$ 、および $\tau > 4/\text{SYSREF} \pm \text{周波数}$) を満たさずに使用できます。ただし、ヒステリシスを使用すると、 f_{CLK} のキープ・アウト・ウィンドウが広くなり ([表 10](#) のセットアップとホールドの仕様は適用されない)、その拡大量は SYSREF± の周波数、ヒステリシスのレベル、コンデンサの選択、およびエッジ・レートに依存します。

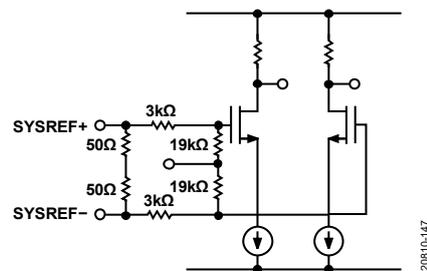


図 57. SYSREF± 入力回路

同期処理モードの概要

AD9166はいくつかのLMFC同期処理モードをサポートしています。これらはワンショット・モード、連続モード、およびモニタ・モードです。すべての同期処理モードは、LMFCの位相がアライメント・エッジにアラインされていることを確認するために、位相チェックを行います。サブクラス 1 では SYSREF±信号がアライメント・エッジとして機能し、サブクラス 0 では内部処理クロック (PCLK) がアライメント・エッジとして機能します。

以下のセクション (ワンショット同期モード (SYNC_MODE = レジスタ 0x03A、ビット [1:0] = 0b10)、連続同期モード (SYNC_MODE = レジスタ 0x03A、ビット [1:0] = 0b01)、モニタ同期モード (SYNC_MODE = レジスタ 0x03A、ビット [1:0] = 0b00)、および同期手順) では、これらの同期モードについて説明します。LMFC 信号同期手順の詳細については、[同期手順](#)のセクションを参照してください。

ワンショット同期モード (SYNC_MODE = レジスタ 0x03A、ビット [1:0] = 0b10)

ワンショット同期モードでは、同期機能が使用可能な状態になった後に受信された最初のアライメント・エッジについてのみ位相チェックが行われます。AD9166は、最初のエッジに位相がアラインされた後にモニタ・モードへ遷移します。LMFC 同期が行われるのは1回だけですが、SYSREF±信号はそのまま継続させることができます。この場合は位相がモニタされてレポートされますが、クロック位相の調整は行われません。

連続同期モード (SYNC_MODE = レジスタ 0x03A、ビット [1:0] = 0b01)

サブクラス 1 で連続同期モードを使用するのは、周期的な SYSREF±信号の場合に限る必要があります。連続同期モードでは、すべてのアライメント・エッジについて位相チェック/アライメントが行われます。

連続同期モードは、2つの点でワンショット同期モードと異なります。1つめは、デバイスを使用可能な状態にするのに SPI サイクルが不要なことです。連続同期モードをイネーブルした後に生じるアライメント・エッジで、位相チェックが行われます。2つめは、連続同期モードではすべてのアライメント・エッジについて位相チェックが行われることです。

モニタ同期モード (SYNC_MODE = レジスタ 0x03A、ビット [1:0] = 0b00)

モニタ同期モードでは、位相誤差をリアルタイムでモニタできます。この同期モードには周期的な SYSREF±信号を使用してください。このモードでは位相がモニタされてレポートされますが、クロック位相の調整は行われません。

アライメント要求 (SYSREF±エッジ) が行われると、最後の位相誤差のスナップショットが読出し可能なレジスタにリファレンスとして保存され (レジスタ 0x037 とレジスタ 0x038 のビット [3:0])、必要に応じて IRQ_SYSREF_JITTER 割込みがセットされます。

同期手順

同期を有効にする手順は次のとおりです。

1. DAC をセットアップします。SERDES PLL がこれをロックして、CDR をイネーブルします ([スタートアップ・シーケンス](#)のセクションを参照)。
2. レジスタ 0x039 (SYSREF±ジッタ・ウィンドウ) を設定します。少なくとも4つの f_{CLK} サイクルとすることを推奨します。設定については[表 22](#)を参照してください。

3. オプションで、SYSREF±カウンタをリード・バックして SYSREF±パルスを受信しているかどうかをチェックします。
 - a. レジスタ 0x036 = 0 に設定します。SYSREF_COUNT に何らかの値を書き込むと、カウンタがリセットされます。
 - b. レジスタ 0x034 = 0 に設定します。SYNC_LMFC_STAT0 に何らかの値を書き込むと、リードバックするデータが保存されてレジスタにカウンタが記録されます。
 - c. レジスタ 0x036 から SYSREF_COUNT の値を読み出します。
4. ワンショット同期を行います。
 - a. レジスタ 0x03A = 0x00 に設定します。ワンショット・モードが既にイネーブルされている場合はクリアします。
 - b. レジスタ 0x03A = 0x02 に設定します。ワンショット・モードを有効にします。同期が開始されると、ステート・マシンはモニタ・モードになります。
5. 必要に応じて、SYNC_LMFC_STATx レジスタをリード・バックして同期が正常に終了していることを確認します。
 - a. レジスタ 0x034 = 0 に設定します。値を読み出すにはレジスタ 0x034 に書き込みを行う必要があります。
 - b. レジスタ 0x035 とレジスタ 0x034 を読み出して、SYNC_LMFC_STATx の値を確認します。SYNC_LMFC_STATx は 0 に設定することを推奨しますが、ジッタがある場合はこれを 4、または f_{CLK} で表した LMFC 周期から 4 を減じた値に設定することができます。
6. 必要に応じて、SYSREF_PHASEx をリード・バックして、SYSREF±のサンプリングに4分周のどの位相が使われたかを確認してください。レジスタ 0x038 とレジスタ 0x037 をサーモメータ・コードとして読み出します。通常は、レジスタ 0x037 ビット [7:4] の MSB がサーモメータ・コードの値を示します。
7. リンクをオンにします (レジスタ 0x300 のビット 0 = 1)。
8. レジスタ 0x302 をリードバックします (ダイナミック・リンク遅延)。
9. リンクの再確立を数回繰り返して (ステップ 1 からステップ 7)、ダイナミック・リンクの遅延値を記録します。この記録した値に基づいて LMFC 遅延 (レジスタ 0x304) と LMFC 変数 (レジスタ 0x306) を設定し、リンクを再開します。

表 21. 同期処理モード

Sync Processing Mode	SYNC_MODE (Register 0x03A, Bits[1:0])
No synchronization	0b00
One shot	0b10
Continuous	0b01

表 22. SYSREF±ジッタ・ウィンドウ許容値

SYSREF± Jitter Window Tolerance (f _{CLK} Cycles)	SYSREF_JITTER_WINDOW (Register 0x039, Bits[5:0]) ¹
±½	0x00
±4	0x04
±8	0x08
±12	0x0C
±16	0x10
±20	0x14
±24	0x18
±28	0x1C

¹ SYSREF±信号は f_{CLK} を 4 分周した周波数でサンプリングされるので、下位 2 桁は無視されます。結果として、ジッタ・ウィンドウは f_{CLK} ではなく、f_{CLK} ÷ 4 のクロックで設定されます。SYSREF±ジッタ・ウィンドウは、少なくともデバイス・クロック 4 周期分とすることを推奨します。

確定的遅延

JESD204B システムには、システム全体を通じて様々なクロック領域が組み込まれています。1つのクロック領域から別のクロック領域へデータが渡されると、JESD204B リンクに複数の原因による遅延が生じる可能性があります。これらの不確実性は、電源を入れ直すごとに再現性のない不規則な遅延をリンクに発生させる元になります。JESD204B 仕様のセクション6は、サブクラス 1 およびサブクラス 2 として定義されているメカニズムに伴う確定的遅延の問題を扱っています。

AD9166 は、JESD204B サブクラス 0 とサブクラス 1 の動作をサポートしていますが、サブクラス 2 はサポートしていません。サブクラスは、レジスタ 0x458 のビット [7:5] に書き込みます。

サブクラス 0

サブクラス 0 モードの確定的遅延は、 $32 f_{CLK}$ サイクル以内です。このモードでは SYSREF±ピンに信号は不要で、未接続のままにすることができます。

サブクラス 0 では、すべてのレーンが同じ LMFC サイクル内に届くことが求められます。

サブクラス 1

サブクラス 1 モードでは確定的遅延が得られ、表 4 に示すように、同期イベント間の指定数のデバイス・クロック (f_{CLK}) 周期の範囲内で遅延の再現性を維持することができます。このモードでは、 f_{CLK} に正確に位相をアラインさせた外部 SYSREF±信号が必要です。

確定的遅延に関する条件

JESD204B サブクラス 1 システムで確定的遅延を実現するには、いくつかの重要な要素が必要になります。

- システム内での SYSREF±信号の分配スキューは、求められる不確実性より小さくなければなりません。
- SYSREF±のセットアップおよびホールド時間に関する条件を、システム内の各デバイスが満たす必要があります。
- すべてのレーン、リンク、およびデバイスに関わる合計遅延変動は 10 PCLK 周期以下でなければなりません。これには可変遅延と、システム内のレーンごと、リンクごと、およびデバイスごとの固定遅延の変動の両方を含みます。

リンク遅延

JESD204B システムのリンク遅延は、図 58 に示すようにトランスミッタ、チャンネル、およびレシーバーの固定遅延と可変遅延の合計です。

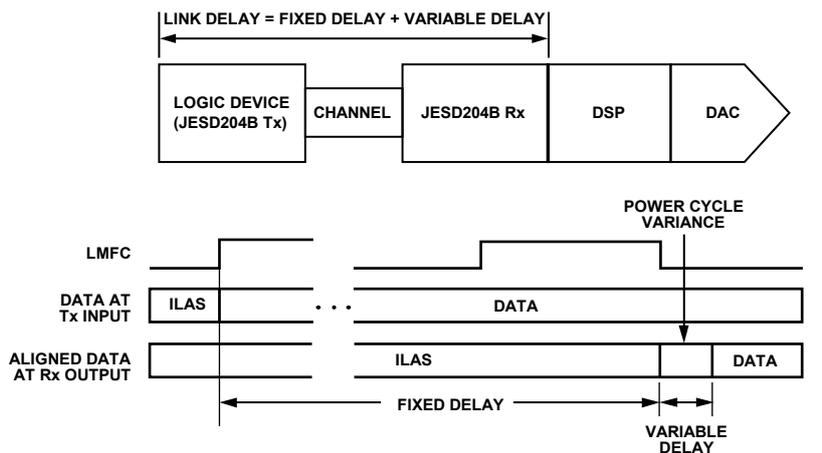


図 58. JESD204B のリンク遅延 = 固定遅延 + 可変遅延

正しく機能させるには、同じ LMFC 周期内にリンク上のすべてのレーンを正しく読み出す必要があります。JESD204B 仕様のセクション 6.1 には、LMFC 周期は最大リンク遅延より大きくなければならないと定められています。これは AD9166 には必ずしもあてはまりません。代わりに、AD9166 は各リンクにローカル LMFC (LMFC_{Rx}) を使用しており、これは SYSREF±によってアラインされた LMFC からの遅延が許容されます。

LMFC は周期的なので、この遅延には任意の量の固定遅延を含めることができます。結果として、LMFC 周期に関して求められることはリンク遅延の変動よりも大きくしなければならないということだけで、AD9166 は、より小さい合計遅延で必要な性能を実現することができます。

リンク遅延が LMFC の周期より大きい場合の例を図 59 と図 60 に示します。これは、LMFC_{Rx} を遅延させることによって対応できます。

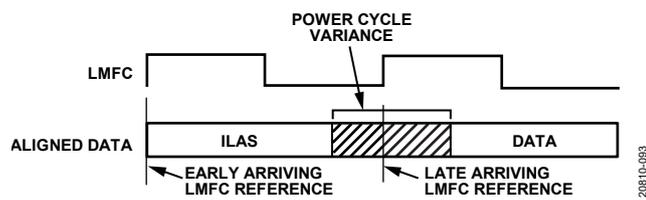


図 59. リンク遅延が LMFC 周期より大きい例

LMFCDel 変数 (レジスタ 0x304) と LMFCVar 変数 (レジスタ 0x306) を選択する方法を、[遅延情報が既知の場合のリンク遅延セットアップ例](#)のセクションに示します。

LMFCDel を適切に設定すれば、対応するすべてのデータ・サンプルが同じ LMFC 周期内に届くようにすることができます。その場合は LMFCVar が受信バッファ遅延に書き込まれて、すべてのリンク遅延変動が吸収されます。これにより、読出し前にすべてのデータ・サンプルが到着するようにすることができます。実行やデバイスの違いによらずこれらを固定値に設定することにより、確定的遅延が実現されます。

JESD204B 仕様に規定されている受信バッファ遅延は 1 フレーム・クロック・サイクルから K フレーム・クロック・サイクルまでの値をとり、AD9166 の受信バッファ遅延は 0 PCLK サイクルから 10 PCLK サイクルまでの値をとります。結果として、最大 10 PCLK サイクルの合計遅延変動を吸収することができます。LMFCVar と LMFCDel の単位は共に PCLK サイクル数です。PCLK 係数、つまり PCLK サイクルあたりのフレーム・クロック・サイクル数は 4/F です。この関係の詳細については、[クロック間の関係](#)のセクションを参照してください。

以下に示す 2 つの例で、LMFCVar と LMFCDel を決定する方法を示します。これらの変数を計算した後は、システム内のすべてのデバイスについて、LMFCDel をレジスタ 0x304 へ、LMFCVar をレジスタ 0x306 へ書き込みます。

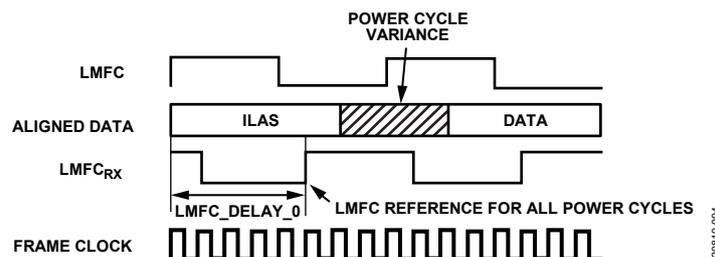


図 60. LMFC 周期より大きいリンク遅延を補償する LMFC_DELAY_0

遅延情報が既知の場合のセットアップ例

システムの既知の遅延すべてを使って LMFCVar と LMFCDel を計算することができます。図 61 に示す例を以下に説明します。

この例では確定的遅延を実現するためにサブクラス 1 とし、その PCLK 係数 (4/F) は PCLK サイクルあたり 2 フレーム・クロック・サイクルで、K = 32 (フレーム数/マルチフレーム) を使用します。PCBFixed は PCLK の周期よりはるかに小さいので、この例では PCBFixed を無視できます。したがって、この計算には含まれていません。

1. レシーバーの遅延値を表 6 から求めます。
 $RxFixed = 12$ PCLK サイクル
 $RxVar = 2$ PCLK サイクル
2. トランスミッタの遅延を求めます。JESD204B コア (Virtex-6 FPGA 上の GTH またはギガビット・トランシーバー (GTX) 上に実装) の例における同等の表には、遅延は 56 ± 2 バイト・クロック・サイクルと規定されています。
3. クロック間の関係のセクションに示したように、(PCLK レート) = (バイトレート/4)なので、PCLK サイクル数で表したトランスミッタの遅延は次のようになります。
 $TxFixed = 54/4 = 13.5$ PCLK サイクル
 $TxVar = 4/4 = 1$ PCLK サイクル

4. MinDelayLane は以下のように計算します。

$$\begin{aligned} MinDelayLane &= \text{floor} (RxFixed + TxFixed + PCBFixed) \\ &= \text{floor} (12 + 13.5 + 0) \\ &= \text{floor} (25.5) \\ MinDelayLane &= 25 \end{aligned}$$
5. MaxDelayLane は以下のように計算します。

$$\begin{aligned} MaxDelayLane &= \text{ceiling} (RxFixed + RxVar + TxFixed + TxVar + PCBFixed) \\ &= \text{ceiling} (12 + 2 + 13.5 + 1 + 0) \\ &= \text{ceiling} (28.5) \\ MaxDelayLane &= 29 \end{aligned}$$
6. LMFCVar は以下のように計算します。

$$\begin{aligned} LMFCVar &= (MaxDelay + 1) - (MinDelay - 1) \\ &= (29 + 1) - (25 - 1) = 30 - 24 \\ LMFCVar &= 6\text{PCLK サイクル} \end{aligned}$$
7. LMFCDel は以下のように計算します。

$$\begin{aligned} LMFCDel &= (MinDelay - 1) \% (K/PClockFactor) \\ &= ((30 - 1)) \% (32/2) \\ &= 29 \% 16 \\ LMFCDel &= 13 \text{ PCLK サイクル} \end{aligned}$$
8. システム内のすべてのデバイスのレジスタ 0x304 に LMFCDel を書き込みます。システム内のすべてのデバイスのレジスタ 0x306 に LMFCVar を書き込みます。

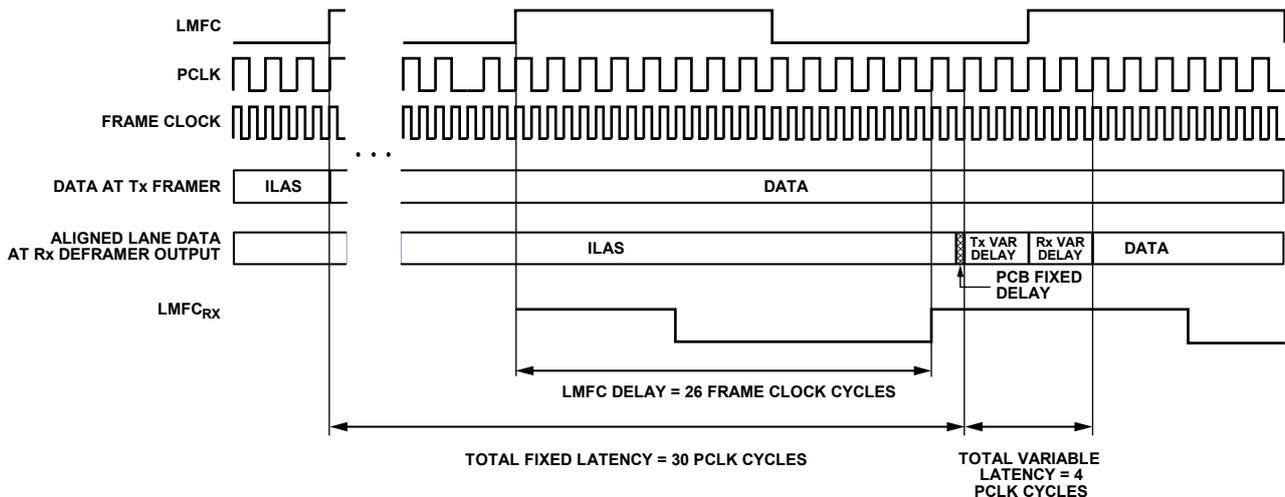


図 61. LMFC 遅延計算例

20810-086

遅延情報が未知の場合のセットアップ例

システム遅延が未知の場合、AD9166 は各リンクの LMFC_{RX} と、SYSREF にアラインした LMFC との間のリンク遅延をリードバックすることができます。この情報を使って LMFCVar と LMFCDel を計算します。LMFC_{RX} から ILAS が最初のデータ・サンプルへ遷移するまでの遅延 (PCLK サイクル数単位) を示すリードバック値を、DYN_LINK_LATENCY_0 (レジスタ 0x302) から得る方法を図 62 に示します。電源サイクルを繰り返してこの測定を行うことにより、各電源サイクルでの最小遅延と最大遅延を求めて、LMFCVar と LMFCDel を計算することができます。

図 62 に示す AD9166 は、同期手順のセクションに示す内容に従って設定されています。この例での目的は LMFCDel と LMFCVar を決定することなので、LMFCDel の値を 0 に設定し、DYN_LINK_LATENCY_0 の値はレジスタ 0x302 から読み出します。リンク A、リンク B、およびリンク C について、AD9166 を使用するシステム (トランスミッタを含む) の電源サイクルと設定を 20 回行います。

20 回の電源サイクルにおけるリンク遅延の変動を図 62 に示し、これについて以下に説明します。

- リンク A からは 6、7、0、1 のリードバック値が得られます。なお、記録された遅延値のセットは、K/PCLK 係数 = 8 の境界でマルチフレームのエッジをロールオーバーします。リードバック値 0 と 1 はマルチフレームのエッジをロールオーバーしているため、このリードバック値には 1 マルチフレームあたりの PCLK サイクル数 (= 8) を加算します。遅延値の範囲は 6~9 となります。

- リンク B から得られる遅延値は 5~7 です。
- リンク C から得られる遅延値は 4~7 です。

図 62 に示す例を以下に説明します。この例では確定的遅延を実現するためにサブクラス 1 とし、その PCLK 係数 (フレーム・レート ÷ PCLK レート) は 4 で、K = 32 です。したがって、1 マルチフレームあたりの PCLK サイクル数は 8 です。

- 次式に従い、すべての電源サイクル、リンク、およびデバイスで測定したすべての遅延値の最小値を計算します。

$$MinDelay = \min(\text{すべての遅延値}) = 4$$
- 次式に従い、すべての電源サイクル、リンク、およびデバイスで測定したすべての遅延値の最大値を計算します。

$$MaxDelay = \max(\text{すべての遅延値}) = 9$$
- すべての電源サイクル、リンク、およびデバイスを通じた合計遅延変動 (ガード・バンドを含む) は、次式で計算します。

$$LMFCVar = (MaxDelay + 1) - (MinDelay - 1)$$

$$= (9 + 1) - (4 - 1) = 10 - 3 = 7 \text{ PCLK サイクル}$$
- すべての電源サイクル、リンク、およびデバイスを通じた PCLK サイクル数単位の最小遅延 (ガード・バンドを含む) は、次式で計算します。

$$LMFCDel = (MinDelay - 1) \% (K/PCLK \text{ Factor})$$

$$= (4 - 1) \% 32/4$$

$$= 3 \% 8 = 3 \text{ PCLK サイクル}$$
- システム内のすべてのデバイスのレジスタ 0x304 に LMFCDel を書き込みます。
- システム内のすべてのデバイスのレジスタ 0x306 に LMFCVar を書き込みます。

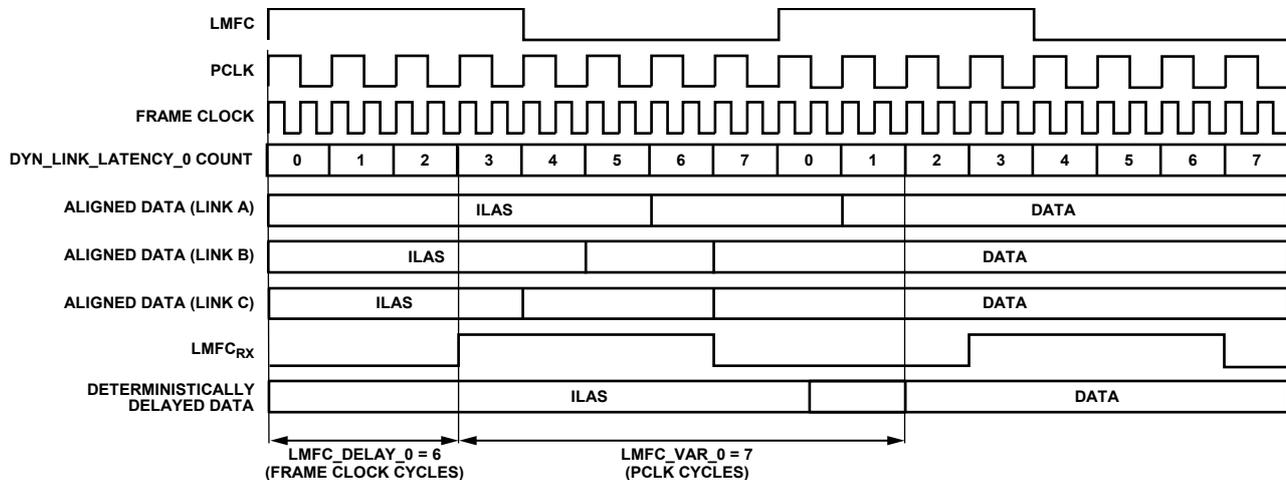


図 62. マルチリンク同期設定、導出方法の例

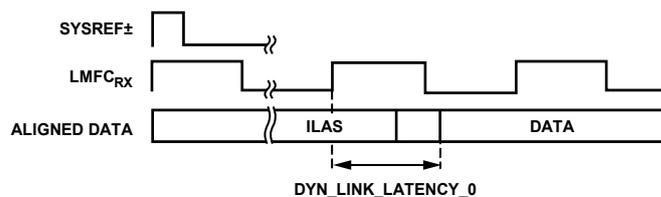
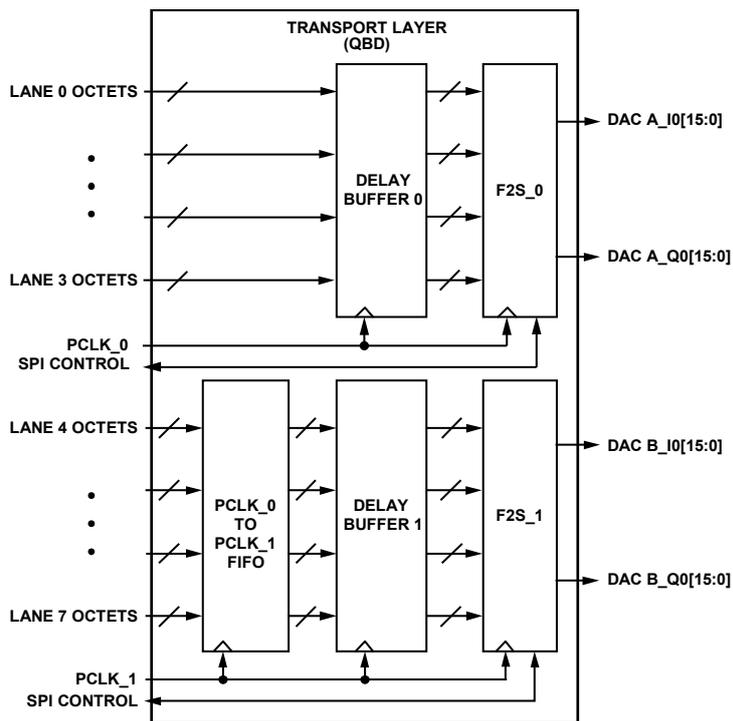


図 63. DYN_LINK_LATENCY_0

トランスポート層



NOTES
F2S_0 AND F2S_1 ARE FRAME TO SAMPLE CONVERSION BLOCK 0 AND BLOCK 1.

208 10-099

図 64. トランスポート層のブロック図

トランスポート層はスクランプリングが解除された JESD204B フレームを受け取り、設定された JESD204B パラメータ (表 23 参照) に基づいてそれを DAC サンプルに変換します。デバイス・パラメータの定義を表 24 に示します。

表 23. JESD204B トランスポート層パラメータ

パラメータ	説明
F	1 レーンのフレームあたりのオクテット数: 1、2、または 4
K	マルチフレームあたりのフレーム数: $K = 32$
L	(1 リンクの) コンバータ・デバイスあたりのレーン数: 4 または 8
M	(1 リンクの) デバイスあたりのコンバータ数: 1 または 2 (実数データ・モードには 1 を、複素数データ・モードには 2 を使用)
S	1 フレームのコンバータあたりのサンプル数: 1 または 2

表 24. JESD204B デバイス・パラメータ

パラメータ	説明
CF	1 リンクのデバイス・クロックあたりの制御ワード数。サポートされていません。0 にする必要があります。
CS	変換サンプルあたりの制御ビット数。サポートされていません。0 にする必要があります。
HD	高密度ユーザ・データ・フォーマット。サンプルを複数レーンに分割する必要があるときに使用します。F が 1 でないときも含め、常に 1 に設定してください。それ以外の場合、リンク設定エラーがトリガされて、IRQ_ILAS フラグがセットされます。
N	コンバータ分解能 = 16。
N' (or NP)	サンプルあたりの合計ビット数 = 16。

AD9166 は、表 26 (JESD204B インターポレーション・レートとレーン数)、表 25 (固定値)、および表 27 (サポートされているインターポレーション・レートとされていないインターポレーション・レート) に示すように、これら JESD204B パラメータの一定の組み合わせをサポートしています。

サポートされているインターポレーション・レートと、各レートに対してサポートされているレーン数のリストについては、表 26 を参照してください。表 26 に、それぞれのインターポレーションとレーン数の構成における JESD204B パラメータと、5GHz デバイス・クロック (f_{CLK}) におけるレーン・レートの例を示します。

表 25 には、固定値を持つ JESD204B パラメータを示します。

表 25. 固定値の JESD204B パラメータ

Parameter	Value
K	32
N	16
NP	16
CF	0
HD	1
CS	0

表 26. 異なるインターポレーション・レートとレーン数に対する JESD204B パラメータ

Interpolation Rate	No. of Lanes	M	F	S	PCLK Period (f_{CLK} Cycles)	LMFC Period (f_{CLK} Cycles)	Lane Rate at $f_{CLK} = 5$ GHz
1	8	1	1	4	16	128	12.5
2	6	2	2	3	12	192	16.66 ¹
2	8	2	1	2	16	128	12.5
3	6	2	2	3	18	288	11.11
3	8	2	1	2	24	192	8.33
4	3	2	4	3	12	384	16.66 ¹
4	4	2	1	1	16	128	12.5
4	6	2	2	3	24	384	8.33
4	8	2	1	2	32	256	6.25
6	3	2	4	3	18	576	11.11
6	4	2	1	1	24	192	8.33
6	6	2	2	3	36	576	5.55
6	8	2	1	2	48	384	4.16
8	2	2	2	1	16	256	12.5
8	3	2	4	3	24	768	8.33
8	4	2	1	1	32	256	6.25
8	6	2	2	3	48	768	4.16
8	8	2	1	2	64	512	3.12
12	2	2	2	1	24	384	8.33
12	3	2	4	3	36	1152	5.55
12	4	2	1	1	48	384	4.16
12	6	2	2	3	72	1152	2.77
12	8	2	1	2	96	768	2.08
16	1	2	4	1	16	512	12.5
16	2	2	2	1	32	512	6.25
16	3	2	4	3	48	1536	4.16
16	4	2	1	1	64	512	3.12
16	6	2	2	3	96	1536	2.08
16	8	2	1	2	128	1024	1.56
24	1	2	4	1	24	768	8.33
24	2	2	2	1	48	768	4.16
24	3	2	4	3	72	2304	2.77
24	4	2	1	1	96	768	2.08
24	6	2	2	3	144	2304	1.38
24	8	2	1	2	192	1536	1.04

¹ 最大レーン・レートは 12.5GHz です。これらのモードは 3.75GHz 未満の DAC レートで実行する必要があります。

表 27 における「Yes」は、表の各列に示すレーン数に対してその行のインターポレーション・レートがサポートされていることを意味します。何も表示されていないセルはサポートされていません。

表 27. インターポレーション・レートとレーン数

Interpolation	8	6	4	3	2	1
1×	Yes ¹					
2×	Yes	Yes ¹				
3×	Yes	Yes				
4×	Yes	Yes	Yes	Yes ¹		
6×	Yes	Yes	Yes	Yes		
8×	Yes	Yes	Yes	Yes	Yes	
12×	Yes	Yes	Yes	Yes	Yes	
16×	Yes	Yes	Yes	Yes	Yes	Yes
24×	Yes	Yes	Yes	Yes	Yes	Yes

¹ これらのモードは、デバイスの最大クロック・レートを 5GHz に制限します。

設定パラメータ

AD9166 のモードは、L、K、M、N、NP、S、F に関わるリンク設定パラメータによって決定されます。これらの設定の説明とアドレスを表 28 に示します。

表 28. 設定パラメータ

JESD204B の設定	説明	アドレス
L-1	レーン数-1。	レジスタ 0x453、ビット [4:0]
F-1	1 レーンのフレームあたりオクテット数-1。	レジスタ 0x454、ビット [7:0]
K-1	マルチフレームあたりのレーン数-1。	レジスタ 0x455、ビット [4:0]
M-1	コンバータ数-1。	レジスタ 0x456、ビット [7:0]
N-1	コンバータ・ビット分解能-1。	レジスタ 0x457、ビット [4:0]
NP-1	サンプルあたりのビット・パッキング数-1。	レジスタ 0x458、ビット [4:0]
S-1	1 フレームのコンバータあたりのサンプル数-1。	レジスタ 0x459、ビット [4:0]
HD	高密度フォーマット。F=1 の場合は 1 に設定。F ≠ 1 の場合は 0 のままにする。	レジスタ 0x45A、Bit 7
DID	デバイス ID。トランスミッタから送信されるデバイス ID と一致。	レジスタ 0x450、ビット [7:0]
BID	バンク ID。トランスミッタから送信されるバンク ID と一致。	レジスタ 0x451、ビット [7:0]
LID0	レーン 0 のレーン ID。論理レーン 0 のトランスミッタから送信されるレーン ID と一致。	レジスタ 0x452、ビット [4:0]
JESDV	JESD204x バージョン。トランスミッタから送信されるバージョンと一致 (0x0 = JESD204A、0x1 = JESD204B)。	レジスタ 0x459、ビット [7:5]

JESD204B レシーバーを通過するデータフロー

リンク設定パラメータは、JESD204B レシーバー・インターフェース上のシリアル・ビットのフレーミングを解除し、データ・サンプルとして DAC へ渡す方法を指定します。

論理レーンのスキュー除去とイネーブル

適切な構成を行えば、論理レーンのスキューは自動的に除去されます。すべての論理レーンがイネーブルされるか否かは、レジスタ 0x110 のビット [7:4] のレーン数設定で決まります。すべての物理レーンがデフォルトで起動されます。

使用しない物理レーンの電源をディスエーブルするには、レジスタ 0x201 のビット x を 1 に設定して物理レーン x をディスエーブルし、イネーブルするには 0 のままにします。

JESD204B のテスト・モード

PHY PRBS のテスト

AD9166 の JESD204B レシーバーは、その物理層のバックエンドに擬似ランダム・バイナリ・シーケンス (PRBS) パターン・チェッカーを内蔵しています。この機能を使用すると、JESD204B リンクの各物理レーンのビット・エラー・レート (BER) をテストすることができます。PHY PRBS パターン・チェッカーは、JESD204B リンクが確立されていなくても使用できます。また、PRBS7、PRBS15、または PRBS31 データ・パターンと同期できます。PRBS パターンは、複数レーン上で同時に検証することができます。不合格レーンのエラー・カウント数は、1 つの JESD204B レーンごとにレポートされます。

表 29. PHY PRBS パターンの選択

PHY_PRBS_PAT_SEL Setting (Register 0x316, Bits[3:2])	PRBS Pattern
0b00 (default)	PRBS7
0b01	PRBS15
0b10	PRBS31

AD9166 の PRBS テストは、表 29 を基準にして次のように行います。

- JESD204B トランスミッタから PRBS7、PRBS15、または PRBS31 パターンの送信を開始します。
- 表 29 に示すように、適切な PRBS パターンを選択してレジスタ 0x316 のビット [3:2] にそれを書き込みます。
- PHY_TEST_EN (レジスタ 0x315) に書き込みを行うことによって、テストするすべてのレーンの PHY テストをイネーブルします。レジスタ 0x315 の各ビットは、対応するレーンの PRBS テストをイネーブルします。例えばビット 0 に 1 を書き込むと、物理レーン 0 の PRBS テストが有効になります。
- PHY_TEST_RESET (レジスタ 0x316、ビット 0) を 0 から 1 に変更して、再度 0 に戻します。
- 必要に応じて PHY_PRBS_TEST_THRESHOLD_xBITS (レジスタ 0x319 ~ レジスタ 0x317 のビット [23:0]) を設定します。
- PHY_TEST_START (レジスタ 0x316、ビット 1) に 0 を書き込み、次に 1 を書き込みます。これで、PHY_TEST_START の立上がりエッジでテストが開始されます。
 - (オプション) 場合によっては、この時点でステップ 4 を繰り返す必要があります。PHY_TEST_RESET (レジスタ 0x316、ビット 0) を 0 から 1 に変更して、再度 0 に戻します。
- 500ms 待機します。
- PHY_TEST_START (レジスタ 0x316 のビット 1) に 0 を書き込んで、テストを停止します。

9. PRBS テストの結果を読み出します。
 - a. PHY_PRBS_PASS (レジスタ 0x31D) の各ビットは、1 つの SERDES レーンに対応しています (0 = 不合格、1 = 合格)。
 - b. 各不合格レーンに見られる PRBS エラーの数は、レーン番号 (0~7) を PHY_SRC_ERR_CNT (レジスタ 0x316、ビット [6:4]) に書き込み、PHY_PRBS_ERR_CNT_xBITS (レジスタ 0x31C~レジスタ 0x31A) を読み出すことによって得られます。最大エラー・カウント数は $2^{24}-1$ です。レジスタ 0x31C~レジスタ 0x31A の全ビットがハイの場合は、選択したレーンの最大エラー・カウント数を超えます。

トランスポート層のテスト

AD9166 の JESD204B レシーバーは、JESD204B 規格に定めるショート・トランスポート層テストをサポートしています。このテストは、JESD204B のトランスミッタとレシーバー間のデータ・マッピングを検証するために使用できます。ショート・トランスポート層テストを行うには、この機能が論理デバイスに実装され、なおかつイネーブルされている必要があります。また、レシーバー側でテストを実行する前に、リンクが確立され、エラーなく作動するようになっていなければなりません。

ショート・トランスポート層テストは、各コンバータからの各サンプルが、コンバータ数 (M) とコンバータあたりのサンプル数 (S) に従い、適切にマッピングされることを確認します。JESD204B 規格の仕様規定に従い、コンバータのメーカーは、どのテスト・サンプルを転送するかについての仕様を定めています。各サンプルは、それぞれ固有の値になっている必要があります。例えば、M=2、S=2 の場合は、固有の値を持つ 4 個のサンプルがテスト終了まで繰り返し転送されます。

デバイスには予想サンプルを設定しておく必要があります。このサンプルが、受信したサンプルと 1 個ずつ比較され、すべてのサンプルがテストされるまでそれが繰り返されます。AD9166 におけるこのテストの実行プロセスを以下に示します。

1. JESD204B リンクを同期します。
2. JESD204B トランスミッタのショート・トランスポート層テストをイネーブルします。
3. JESD204B のケースによっては最大 2 つの DAC を使用でき、それぞれのフレームに最大 4 個の DAC サンプルを含めることができます。SHORT_TPL_REF_SP_MSB ビット (レジスタ 0x32E) と SHORT_TPL_REF_SP_LSB ビット (レジスタ 0x32D) を、1 フレーム内の 1 つのコンバータのサンプルの 1 つに合わせて設定します。
4. 表 30 に従い、SHORT_TPL_SP_SEL (レジスタ 0x32C、ビット [7:4]) をセットして、選択したコンバータの 1 つのフレーム内にあるサンプルを選択します。
5. SHORT_TPL_TEST_EN (レジスタ 0x32C、ビット 0) を 1 に設定します。
6. SHORT_TPL_TEST_RESET (レジスタ 0x32C、ビット 1) を 1 に設定して、また 0 に戻します。
7. 必要な時間だけ待機します。この必要時間は $1 / (\text{サンプル・レート} \times \text{BER})$ として計算できます。例えば、エラーレートが $\text{BER} = 1 \times 10^{-10}$ で、サンプル・レートが 1GSPS の場合、必要時間は 10 秒です。次に、SHORT_TPL_TEST_EN を 0 に設定します。
8. SHORT_TPL_FAIL (レジスタ 0x32F、ビット 0) のテスト結果を読み出します。
9. 同じコンバータまたは別のコンバータに対して別のサンプルを選択し、1 つのフレーム内にある両方のコンバータのすべてのサンプルを検証できるまでテストを続けます。(コンバータ数は、複素数信号処理をイネーブルする AD9166 のすべてのインターポレータ・モードに対して、M=2 です)

テスト・サンプル・アライメントのガイドについては表 30 を参照してください。1×の 8 レーン・モードにおけるサンプル順は、サンプル 1 とサンプル 2 が入れ替わります。また、3 レーンおよび 6 レーン・オプションのショート・トランスポート層テストは機能せず、常に失敗に終わります。

表 30. ショート・トランスポート層テストのサンプル割り当て¹

JESD204x Mode	Required Samples from JESD204x Tx	Samples Assignment
1× Eight-Lane (L = 8, M = 1, F = 1, S = 4)	Send four samples: M0S0, M0S1, M0S2, M0S3, and repeat	SP0: M0S0, SP4: M0S0, SP8: M0S0, SP12: M0S0 SP1: M0S2, SP5: M0S2, SP9: M0S2, SP13: M0S2 SP2: M0S1, SP6: M0S1, SP10: M0S1, SP14: M0S1 SP3: M0S3, SP7: M0S3, SP11: M0S3, SP15: M0S3
2× Eight-Lane (L = 8, M = 2, F = 1, S = 2) 3× Eight-Lane (L = 8, M = 2, F = 1, S = 2) 4× Eight-Lane (L = 8, M = 2, F = 1, S = 2) 6× Eight-Lane (L = 8, M = 2, F = 1, S = 2) 8× Eight-Lane (L = 8, M = 2, F = 1, S = 2) 12× Eight-Lane (L = 8, M = 2, F = 1, S = 2) 16× Eight-Lane (L = 8, M = 2, F = 1, S = 2) 24× Eight-Lane (L = 8, M = 2, F = 1, S = 2)	Send four samples: M0S0, M0S1, M1S0, M1S1, and repeat	SP0: M0S0, SP4: M0S0, SP8: M0S0, SP12: M0S0 SP1: M1S0, SP5: M1S0, SP9: M1S0, SP13: M1S0 SP2: M0S1, SP6: M0S1, SP10: M0S1, SP14: M0S1 SP3: M1S1, SP7: M1S1, SP11: M1S1, SP15: M1S1
2× Six-Lane (L = 6, M = 2, F = 2, S = 3) 3× Six-Lane (L = 6, M = 2, F = 2, S = 3) 4× Six-Lane (L = 6, M = 2, F = 2, S = 3) 6× Six-Lane (L = 6, M = 2, F = 2, S = 3)	Send six samples: M0S0, M0S1, M0S2, M1S0, M1S1, M1S2, and repeat	Test hardware is not functional; short transport layer always fails

JESD204x Mode	Required Samples from JESD204x Tx	Samples Assignment
8× Six-Lane (L = 6, M = 2, F = 2, S = 3) 12× Six-Lane (L = 6, M = 2, F = 2, S = 3) 16× Six-Lane (L = 6, M = 2, F = 2, S = 3) 24× Six-Lane (L = 6, M = 2, F = 2, S = 3) 4× Three-Lane (L = 3, M = 2, F = 4, S = 3) 6× Three-Lane (L = 3, M = 2, F = 4, S = 3) 8× Three-Lane (L = 3, M = 2, F = 4, S = 3) 12× Three-Lane (L = 3, M = 2, F = 4, S = 3) 16× Three-Lane (L = 3, M = 2, F = 4, S = 3) 24× Three-Lane (L = 3, M = 2, F = 4, S = 3)		
4× Four-Lane (L = 4, M = 2, F = 1, S = 1) 6× Four-Lane (L = 4, M = 2, F = 1, S = 1) 8× Four-Lane (L = 4, M = 2, F = 1, S = 1) 12× Four-Lane (L = 4, M = 2, F = 1, S = 1) 16× Four-Lane (L = 4, M = 2, F = 1, S = 1) 24× Four-Lane (L = 4, M = 2, F = 1, S = 1) 8× Two-Lane (L = 2, M = 2, F = 2, S = 1) 12× Two-Lane (L = 2, M = 2, F = 2, S = 1) 16× Two-Lane (L = 2, M = 2, F = 2, S = 1) 24× Two-Lane (L = 2, M = 2, F = 2, S = 1) 16× One-Lane (L = 1, M = 2, F = 4, S = 1) 24× One-Lane (L = 1, M = 2, F = 4, S = 1)	Send two samples: M0S0, M1S0, repeat	SP0: M0S0, SP4: M0S0, SP8: M0S0, SP12: M0S0 SP1: M1S0, SP5: M1S0, SP9: M1S0, SP13: M1S0 SP2: M0S0, SP6: M0S0, SP10: M0S0, SP14: M0S0 SP3: M1S0, SP7: M1S0, SP11: M1S0, SP15: M1S0

¹ Mx はコンバータ番号、Sy はサンプル番号。例えば、M0S0 はコンバータ 0、サンプル 0 を意味します。SPx はサンプル・パターン・ワード番号で、例えば SP0 はサンプル・パターン・ワード 0 を意味します。

CGS と ILAS の繰返しテスト

AD9166 は、JESD204B 仕様のセクション 5.3.3.8.2 に従い、/K28.5/文字の固定ストリーム受信、または コード・グループ同期 (CGS) とその後続く ILAS の固定ストリーム受信をチェックすることができます。

繰返し CGS テストを実行するには、/K28.5/文字の固定ストリームを AD9166 の SERDES 入力へ送ります。次に、デバイスをセットアップしてリンクをイネーブルします。SYNCOUT±のアサートが解除されていることを確認して/K28.5/文字を受信中であることを確認し、レジスタ 0x470 を読み出すことによって、イネーブルされたすべてのリンク・レーンに CGS が受け入れられていることを確認します。

CGS とその後続く繰返し ILAS シーケンスのテストを行うには、以下の手順に従ってリンクをセットアップします。ただし、最後の書き込みを行う (リンクをイネーブルする) 前に、レジスタ 0x477 のビット 7 に 1 を書き込むことによって、ILAS テスト・モードをイネーブルします。その後、リンクを有効にします。デバイスが各ライン上で 4 個の CGS 文字を確認すると、そのデバイスは SYNCOUT±のアサートを解除します。この時点で、トランスミッタが繰返し ILAS シーケンスの送信を開始します。

レジスタ 0x473 を読み出し、イネーブルされたすべてのリンク・レーンについて、初期レーン同期が受け入れられていることを確認してください。

JESD204B のエラー・モニタリング

ディスペリティ、テーブル不記載、予期しない制御 (K) 文字によるエラー

JESD204B 仕様のセクション 7.6 に従い、AD9166 はディスペリティ・エラー、テーブル不記載 (NIT) エラー、および予期しない制御文字 (K) によるエラーを検出することができます。また、エラー発生時にオプションで同期要求を行い、リンクを初期化し直すこともできます。

ディスペリティ・エラー・カウンタは、8 ビットと 10 ビットどちらのデコーディング・テーブルに含まれるかに関わらず、無効なディスペリティの文字をすべてカウントします。このエラー・カウンタ方法は、8 ビットまたは 10 ビットのデコーディング・テーブルにあるディスペリティ・エラーだけをカウントする JESD204B 仕様とは少し異なります。

このセクションには、JESD204B 仕様に関するその他いくつかの解釈も示されています。1 つのレーンに 3 つの NIT エラーが送られ、なおかつ QUAL_RDERR (レジスタ 0x476、ビット 4) = 1 の場合、異常ディスペリティ・エラー (BDE) カウント・レジスタのリードバック値は 1 です。NIT エラーと同じ文字位置で発生する表示エラーのレポートは、ディスエーブルされます。NIT エラー発生後における文字のディスペリティ・エラーについては、このようなディスエーブル設定は行われません。したがって、NIT エラー発生によって BDE エラーが発生するのは想定内の動作です。

4 つの NIT エラーが送られると再同期がトリガされて、レジスタ 0x476 のビット 4 が 1 になります。このビットがセットされると、エラー・カウンタは、ランニング・ディスペリティが誤っているにも関わらず 8 ビット/10 ビット・デコーディング・テーブル内にある無効シンボルと、NIT エラーを区別しません。このように NIT エラーとディスペリティ・エラーが区別されなくなるので、4 つの NIT エラーが送られた時点で再同期をトリガすることができます。

エラー・カウンターのチェック

BDE、NIT エラー、および予期しない K (UEK) によるエラーについては、エラー・カウンタをチェックできます。エラーは、レーンごと、およびエラー・タイプごとにカウントされます。各エラー・タイプとレーンには専用のレジスタがあります。エラー・カウンタをチェックするには、以下のステップを実行する必要があります。

1. レジスタ 0x480 のビット [5:3] からレジスタ 0x487 のビット [5:3] までを使い、どのタイプのエラーをモニタするかを選択してイネーブルします。UEK、BDE、および NIT によるエラーのモニタリングは、レジスタ・マップに示すように、該当ビットに 1 を書き込むことによってレーンごとに選択できます。これらのビットは、デフォルトでイネーブルされます。
2. 対応するエラー・カウンタ・リセット・ビットは、レジスタ 0x480 のビット [2:0] からレジスタ 0x487 のビット [2:0] までです。そのエラー・カウンタをリセットするには、対応するビットに 0 を書き込んでください。
3. レジスタ 0x488 のビット [2:0] からレジスタ 0x48F のビット [2:0] には、各エラー・カウンタ用の最終カウント値保持インジケータがあります。このフラグをイネーブルすると、最終エラー・カウンタ値 0xFF に達した時点でカウンタがカウントを中止し、リセットされるまでその値を保持します。それ以外の場合は値が 0x00 にラップされて、カウントを継続します。レーンごとに希望の動作を選択して、対応するレジスタ・ビットを設定してください。

閾値を超えるエラー・カウンターのチェック

閾値を超えるエラー・カウンタをチェックするには、以下の手順に従ってください。

1. エラー・カウンタ閾値を定義します。エラー・カウンタ閾値はレジスタ 0x47C にユーザ定義値として設定するか、デフォルト値の 0xFF のままとすることができます。エラー閾値に達すると、マスク・レジスタの設定に応じて IRQ が生成されるか、SYNCOUT±がアサートされます。あるいは、その両方が実行されます。この 1 つのエラー閾値が、3 タイプのエラー (UEK、NIT、BDE) すべてに使われます。
2. SYNC_ASSERT_MASK ビットをセットします。SYNCOUT±のアサート動作はレジスタ 0x47D のビット [2:0] で設定します。デフォルトでは、いずれかのレーンのいずれかのエラー・カウンタが閾値に達すると、SYNCOUT±がアサートされます (レジスタ 0x47D のビット [2:0] = 0b111)。
3. インジケータの最終エラー・カウンタ値を読み出します。各エラー・カウンタには、レーンごとに最終カウント値に到達したことを知らせるインジケータがあります。このインジケータは、特定レーンのエラー・カウンタが最終カウント値に達すると 1 にセットされます。これらのステータス・ビットは、レジスタ 0x490 のビット [2:0] からレジスタ 0x497 のビット [2:0] までの間に置かれています。これらのレジスタは、ビット 3 を 0b1 に設定することによって、特定のレーンがアクティブかどうかを示します。

エラー・カウンタと割込み要求制御

エラー・カウンタと割込み要求制御については、以下のステップに従ってください。

1. 割込みをイネーブルします。JESD204B の割込みをイネーブルします。UEK、NIT、BDE エラー・カウンタの割込みは、レジスタ 0x4B8 のビット [7:5] で設定します。他にも、レーン間スキュー除去、初期レーン同期、正常チェックサム、フレーム同期、コード・グループ同期 (レジスタ 0x4B8 のビット [4:0]) や、構成ミスマッチ (レジスタ 0x4B9 のビット 0) など、リンクの確立時にモニタする割込みがあります。これらのビットはデフォルトではオフになっていますが、該当ビットに 0b1 を書き込むことによってイネーブルできます。
2. JESD204B 割込みステータスを読み出します。割込みステータス・ビットはレジスタ 0x4BA のビット [7:0] とレジスタ 0x4BB のビット 0 で、このステータス・ビット位置はイネーブル・ビット位置に対応しています。
3. 使用する予定のある割込みは、JESD204B リンクを確立する前にすべてイネーブルすることを推奨します。リンクが確立されたら、割込みをリセットしてリンク・ステータスをモニタするために使用できます。

SYNCOUT±によるエラー・モニタリング

JESD204B 仕様によれば、1 つ以上の BDE、NIT、または予期せぬ制御文字 (UEK を含む) によるエラーが発生すると、正確に 2 フレーム分の時間だけ SYNCOUT±信号をアサートすることによって、SYNCOUT±ピンにそのエラーがレポートされます。AD9166 では、SYNCOUT±パルスの幅を $\frac{1}{2}$ 、1、または 2PCLK サイクルに設定することができます。2 フレーム・クロック・サイクルの SYNCOUT±パルスを実現する設定を表 31 に示します。

表 31. SYNCOUT±エラー・パルス幅の設定

F ¹	PCLK Factor (Frames per PCLK)	SYNC_ERR_DUR (Register 0x312, Bits[7:4]) Setting ²
1	4	0 (default)
2	2	1
4	1	2

¹F はリンク設定パラメータ (表 28 参照)。

²これらのレジスタ設定は、2 フレーム・クロック・サイクルのパルス幅で SYNCOUT±信号をアサートします。

UEK、NIT、および BDE IRQ

UEK、NIT、および BDE によるエラーについては、閾値を超えるエラー・カウンタ・イベントを IRQ イベントとして使用できます。これらのイベントは、レジスタ 0x4B8 のビット [7:5] へ書き込みを行うことによってイネーブルします。IRQ をイネーブルすると、レジスタ 0x4BA のビット [7:5] から IRQ イベント・ステータスを読み出すことができます。

IRQ の詳細については 割込み要求動作 のセクションを、IRQ のリセットについては 割込み要求制御 のセクションを参照してください。

再初期化が必要なエラー

JESD204B 仕様に従って無効なデイスパリティ文字が 4 個受信されると、自動的にリンクの再初期化が行われます。リンクの再初期化が行われる場合、再同期要求の長さは 5 フレーム、9 オクテットになります。

デイスパリティ・エラー、NIT エラー、または UEK 文字エラーのエラー・カウントがユーザ設定によるエラー閾値に達したときは、オプションでリンクを再初期化することができます。特定のエラー・タイプに対して再初期化機能をイネーブルする手順は、以下のとおりです。

- レジスタ 0x480 のビット [5:3] からレジスタ 0x487 のビット [5:3] までを使い、どのエラーをモニタするかを選択します。UEK、BDE、および NIT によるエラーのモニタリングは、表 46 に示すように、該当ビットに 1 を書き込むことによってレーンごとに選択できます。これらのビットは、デフォルトでイネーブルされます。
- 表 32 に従って SYNC_ASSERT_MASK (レジスタ 0x47D のビット [2:0]) に書き込みを行うことにより、各タイプのエラーに対して同期アサーション・マスクをイネーブルします。
- 必要なエラー・カウンタ閾値を ERRORTHRES (レジスタ 0x47C) に設定します。
- SYNC_ASSERT_MASK レジスタでイネーブルされたエラー・タイプごとに、いずれかのレーン上のカウンタが設定閾値に達した場合は、SYNCOUT±がローになって同期要求が送信されます。リンクが再初期化されるとすべてのエラー・カウンタがリセットされますが、IRQ はリセットされないで手動でリセットする必要があります。

表 32. 同期アサーション・マスク (SYNC_ASSERT_MASK、アドレス 0x47D)

ビット番号	ビット名	説明
2	UEK	UEK エラー・カウントが閾値に達した場合に SYNCOUT±をアサートするには、1 に設定します。
1	NIT	NIT エラー・カウントが閾値に達した場合に SYNCOUT±をアサートするには、1 に設定します。
0	BDE	デイスパリティ・エラー・カウントが閾値に達した場合に SYNCOUT±をアサートするには、1 に設定します。

CGS、フレーム同期、チェックサム、ILAS のモニタリング

JESD204B リンク確立の各段階が実行されていることを検証するには、レジスタ 0x470 からレジスタ 0x473 をモニタします。

リンク・レーン x が少なくとも 4 個の K28.5 文字を受信して、CGS が正常に終了した場合は、CODE_GRP_SYNC (レジスタ 0x470) のビット x がハイになります。

リンク・レーン x が初期フレーム同期を完了した場合は、FRAME_SYNC (レジスタ 0x471) のビット x がハイになります。

リンク・レーン x の ILAS の間にレーン経由で送られたチェックサムが、そのレーン経由で送られた JESD204B パラメータの合計と一致した場合は、GOOD_CHECKSUM (レジスタ 0x472) のビット x がハイになります。パラメータは、レジスタ内の個々のフィールドを合計するか、パックされたレジスタを加算することによって追加できます。レジスタ 0x300 のビット 6 が 0 (デフォルト) の場合、チェックサムの計算値は以下に示すフィールドの合計値の下位 8 ビットです：DID、BID、LIDx、SCR、L-1、F-1、K-1、M-1、N-1、SUBCLASSV、NP-1、JESDV、S-1、および HD。レジスタ 0x300 のビット 6 が 1 の場合、チェックサムの計算値は、レジスタ 0x400 からレジスタ 0x40C、および LIDx (x はリンク・レーン x を表す) を合計した値の下位 8 ビットです。

リンク・レーン x の初期レーン・アライメント・シーケンスが正常に終了した場合は、INIT_LANE_SYNC (レジスタ 0x473) のビット x がハイになります。

CGS、フレーム同期、チェックサム、ILAS の IRQ

CGS、フレーム同期、チェックサム、ILAS のフェイル信号は IRQ イベントとして使用できます。これらは、レジスタ 0x4B8 のビット [3:0] に書き込みを行うことによってイネーブルします。IRQ イベント・ステータスは、IRQ をイネーブルした後に、レジスタ 0x4BA のビット [3:0] で読み出すことができます。

- CGS IRQ をリセットするには、レジスタ 0x4BA のビット 0 に 1 を書き込みます。
- フレーム同期 IRQ をリセットするには、レジスタ 0x4BA のビット 1 に 1 を書き込みます。
- チェックサム IRQ をリセットするには、レジスタ 0x4BA のビット 2 に 1 を書き込みます。
- ILAS IRQ をリセットするには、レジスタ 0x4BA のビット 3 に 1 を書き込みます。

詳細については、[割込み要求動作](#)のセクションを参照してください。

構成ミスマッチ IRQ

AD9166 には構成ミスマッチ・フラグがあり、IRQ イベントとして使用することができます。レジスタ 0x4B9 のビット 0 を使ってミスマッチ・フラグをイネーブルしてから (デフォルトでイネーブル)、レジスタ 0x4BB のビット 0 を使ってそのステータスをリードバックし、IRQ 信号をリセットします。詳細については、[割込み要求動作](#)のセクションを参照してください。

リンク構成設定 (レジスタ 0x450~レジスタ 0x45D) が、送信された JESD204B 設定 (レジスタ 0x400~レジスタ 0x40D) と一致しないときは、構成ミスマッチ・イベント・フラグがハイになります。

この機能は、レジスタ 0x472 の正常チェックサム・フラグとは異なります。正常チェックサム・フラグは、送信された設定に基づき、送信されたチェックサムと計算されたチェックサムが一致するようにします。構成ミスマッチ・イベントは、送信された設定が構成設定と一致するようにします。

ハードウェアに関する考慮事項

ハードウェアに関する考慮事項については、[アプリケーション情報](#)のセクションを参照してください。

メイン・デジタル・データパス

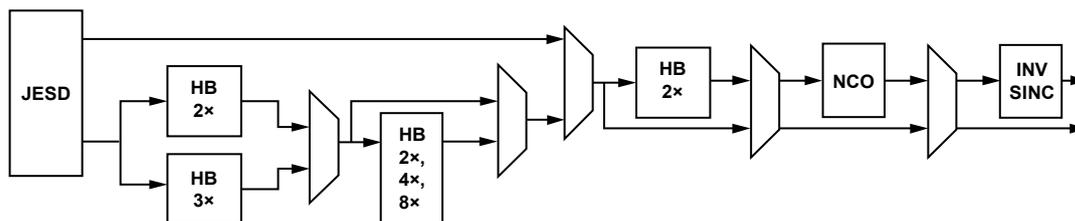


図 65. メイン・デジタル・データパスのブロック図

図 65 のブロック図は、メイン・デジタル・データパスの機能を示しています。デジタル処理部分には、1×、2×、または 3× インターポレーションのバイパスを選択可能な入力インターポレーション・ブロックが 1つ、追加の 2×ハーフバンド・インターポレーション・フィルタが 3つ、バイパス可能な 2×NRZ モードの最終インターポレーション・フィルタ (FIR85) が 1つ、および 48 ビット NCO と反転 sinc ブロックで構成された直交変調器が 1つ含まれています。

すべてのインターポレーション・フィルタは、I および Q データ・ストリームを複素数データ・ストリームとして受け入れます。同様に、直交変調器と反転 sinc 機能も入力データを複素数データ・ストリームとして受け入れます。したがって、どのデジタル・データパス機能を使用する場合でも、入力データは常に複素数データ・ストリームとする必要があります。

バイパス・モード (1×インターポレーション) では、入力データ・ストリームを実数データにします。

表 33. 様々なデータパス構成でのパイプライン遅延

Mode	FIR85 On	Filter Bandwidth	Inverse Sinc	NCO	Pipeline Delay ¹ (f _{CLK} Cycles)
NCO only	No	N/A ²	No	Yes	48
1× (Bypass)	No	N/A ²	No	No	113
1× (Bypass)	No	N/A ²	Yes	No	137
2×	No	80%	No	No	155
2×	No	90%	No	No	176
2×	Yes	80%	No	No	202
2×	No	80%	Yes	No	185
2×	Yes	80%	Yes	No	239
2×	Yes	80%	Yes	Yes	279
3×	No	80%	No	No	168
3×	No	90%	No	No	202
4×	No	80%	No	No	308
6×	No	80%	No	No	332
8×	No	80%	No	No	602
12×	No	80%	No	No	674
16×	No	80%	No	No	1188
24×	No	80%	No	No	1272

¹ ここに示すパイプライン遅延は代表値であり、スタートアップ時の内部的なハンドオフ・タイミング条件によって値が 1~2 サイクル異なることがあります。

² N/A は該当なし。

パイプライン遅延は、選択したデジタル・データパス機能に応じて変化します。ブロックごとのパイプライン遅延の例については、表 33 を参照してください。これらの遅延は JESD204B の遅延に加算されます。

データ・フォーマット

AD9166 のすべてのモードにおける入力データ・フォーマットは、16 ビットの 2 の補数です。デジタル・データパスと DAC デコーダは 2 の補数フォーマットで動作します。DAC は電流ステアリング DAC で、0 を表すことはできません。DAC は電流をソースまたはシンクする必要があります。結果として、2 の補数の 0 をこの DAC で表すと +1 になり、それ以降の正の値はすべて +1 シフトされます。このマッピング誤差は DAC 出力に ½ LSB のシフトを発生させます。NCO を使って合成時の周波数が 0Hz より高い信号や低い信号をシフトさせると、リークが明らかになることがあります。NCO 周波数は、NCO 周波数チューニング・ワードに小さいスプリアスとして現れます。

NCO 周波数のリークを回避するには、1 コードないし数コードのわずかなデジタル・バックオフで DAC を動作させ、その後でデータ・ストリーム内のすべての値に 1 を加えます。これらの措置は NCO 周波数のリークをなくしますが、½ LSB の DC オフセットを発生させます。DAC 出力は DC 阻止コンデンサを通じて AC カップリングされているので、この小さい DC オフセットは DAC にとって無害なものであり、ほとんどのアプリケーションは影響を受けません。

インターポレーション・フィルタ

メイン・デジタルパスには 5 個のハーフバンド・インターポレーション・フィルタと、2×NRZ モードで使用する最終ハーフバンド・インターポレーション・フィルタ・フィルタが含まれています。これらのフィルタは、図 65 に示すようにカスケード接続されています。

最初のフィルタ・ペアは 2× (HB2) または 3× (HB3) フィルタです。これらのフィルタには、それぞれ 2 つの帯域幅オプションがあります (80% または 90%)。80% フィルタでは、90% フィルタより消費電力が少なくなります。デフォルトのフィルタは消費電力の少ない 80% 帯域幅です。90% のフィルタ帯域幅を選択するには、DATAPATH_CFG レジスタの FILT_BW ビットを 1 に設定します (レジスタ 0x111、ビット 4 = 0b1)。

最初のフィルタ・ペアの後段には一連の 2×ハーフバンド・フィルタがあり、それぞれが前段の使用可能帯域幅を半分にします。HB4 の帯域幅は f_{DATA} の 45%、HB5 は 22.5%、HB6 は 11.25% です。

最終のハーフバンド・フィルタ (FIR85) は、2×NRZ モードで使用します。FIR85 は 2×f_{CLK} のレートでクロックされ、使用可能帯域幅は f_{CLK} のレートの 45% です。FIR85 フィルタは複素フィルタなので、帯域幅の中心は 0Hz です。FIR85 フィルタは、DAC の更新レートを 2 倍にし、更にそれによってイメージ・スプリアスを信号から遠ざけられるように、複素インターポレーション・モードと合わせて使われます。使用可能なそれぞれのインターポレーション・モード、その使用可能帯域幅、および

最大データ・レートを選択する方法を、表 34 に示します。使用可能な信号帯域幅 BW_{SIGNAL} は次式で計算します。

$$BW_{SIGNAL} = BW_{FILT} \times (f_{CLK}/InterpolationFactor)$$

ここで、 BW_{FILT} はインターポレータ・フィルタの帯域幅です。

フィルタの性能

インターポレーション・フィルタは、着信データの変化を最小限に抑えながら、インターポレーション・イメージの発生を抑制できるような形で既存データを補間します各フィルタに対応するこのデータパスを図 66 に示します。

有効帯域幅 (表 34 参照) は、フィルタが $\pm 0.001\text{dB}$ より小さい通過帯域リップルと 85dB を超えるイメージ除去比を持つ周波数帯域として定義されます。各フィルタの相対的な帯域幅を示す概念図を図 66 に示します。最大通過帯域振幅はすべてのフィルタで同じですが、図では理解しやすいように異なる大ききで描かれています。

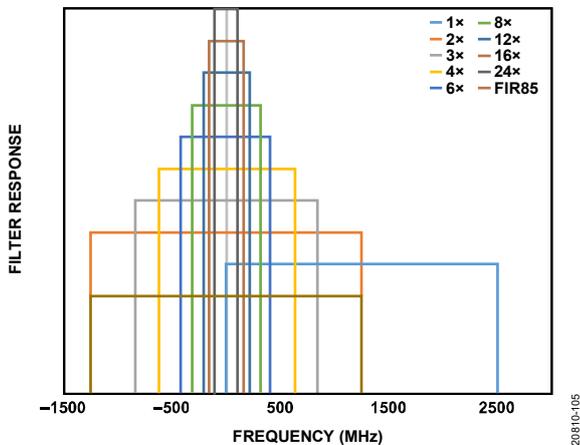


図 66. インターポレーション・フィルタのすべての帯域応答

仕様規定帯域幅外でのフィルタ性能

一部のインターポレーション・フィルタは、 $0.4 \times f_{DATA}$ (通過帯域を含む) に対して仕様規定されています。フィルタはこの比率よりわずかに高い比率で使用できますが、通過帯域リップルが大きくなり、インターポレーション・イメージ除去性能も低下します。

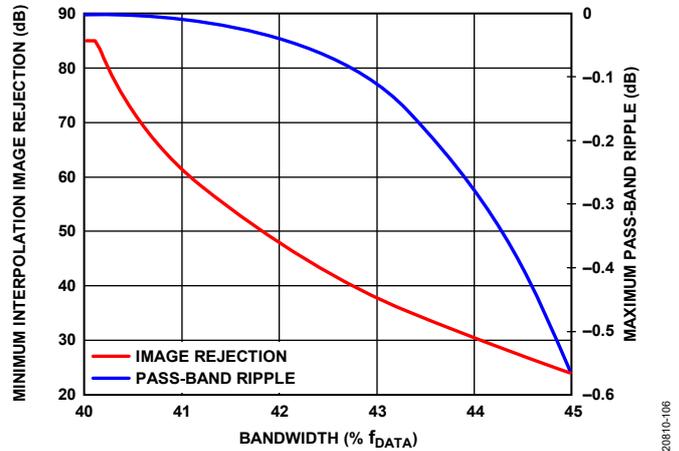


図 67. 80% フィルタに対して仕様規定された帯域幅より高い周波数でのインターポレーション・フィルタ性能

$0.4 \times f_{DATA}$ より高い周波数でのインターポレーション・フィルタの性能を図 67 に示します。リップルの増加率は、イメージ除去性能の低下率より緩慢です。これは、アプリケーションがインターポレーション・フィルタのイメージ除去性能低下を許容できる場合は、より広い帯域幅を使用できることを意味します。

ほとんどのフィルタは、 $0.45 \times f_{DATA}$ (通過帯域を含む) に対して仕様規定されています。AD9166 の各インターポレータ・フィルタの応答を図 68 から図 75 に示します。

表 34. インターポレーション・モードと使用可能な帯域幅

Interpolation Mode	INTERP_MODE, Register 0x110, Bits[3:0]	Available Signal Bandwidth ¹	Maximum f_{DATA} (MHz)
1× (Bypass)	0x00	$f_{DAC}/2$	f_{DAC}^2
2×	0x01	$Bandwidth \times f_{DATA}/2$	$f_{DAC}/2^2$
3×	0x02	$Bandwidth \times f_{DATA}/2$	$f_{DAC}/3$
4×	0x03	$Bandwidth \times f_{DATA}/2$	$f_{DAC}/4$
6×	0x04	$Bandwidth \times f_{DATA}/2$	$f_{DAC}/6$
8×	0x05	$Bandwidth \times f_{DATA}/2$	$f_{DAC}/8$
12×	0x06	$Bandwidth \times f_{DATA}/2$	$f_{DAC}/12$
16×	0x07	$Bandwidth \times f_{DATA}/2$	$f_{DAC}/16$
24×	0x08	$Bandwidth \times f_{DATA}/2$	$f_{DAC}/24$
2× NRZ (Register 0x111, Bit 0 = 1)	Any combination ³	$0.45 \times f_{CLK}^4$	f_{CLK} (real) or $f_{CLK}/2$ (complex) ²

¹ すべてのインターポレータ・モードのデータ・レート (f_{DATA}) は複素データ・レートで、これは I データと Q データの両方がそのレートで動作することを意味します。使用可能な信号帯域幅は、データ・レートに最初の 2× または 3× インターポレータ・フィルタの帯域幅を乗じた値で、このフィルタ帯域幅は 80% または 90% に設定できます。この帯域幅の中心は 0Hz です。

² 1× および 2× インターポレーションの最大速度は、JESD204B インターフェースによって制限されます。

³ 2× NRZ フィルタ (FIR85) は、インターポレータを任意に組み合わせ使用できます。

⁴ FIR85 フィルタの帯域幅の中心は 0Hz です。

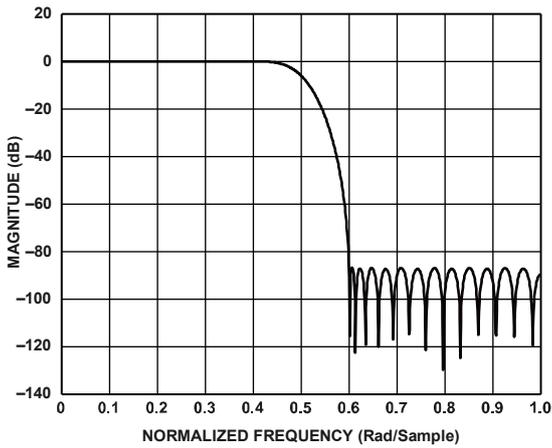


図 68. 最初の 2×ハーフバンド 80%フィルタの応答

20810-158

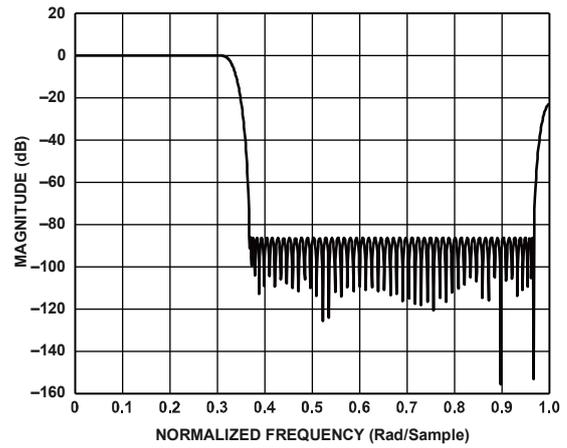


図 71. 3×ハーフバンド 90%フィルタの応答

20810-161

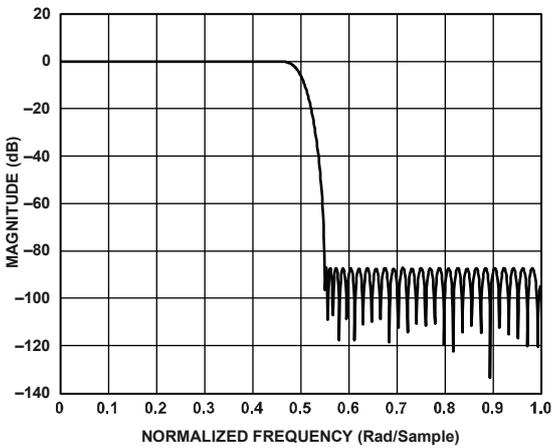


図 69. 最初の 2×ハーフバンド 90%フィルタの応答

20810-159

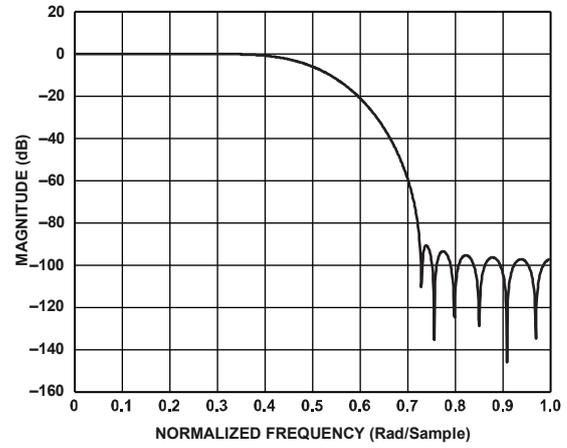


図 72. 2番目の 2×ハーフバンド 45%フィルタの応答

20810-162

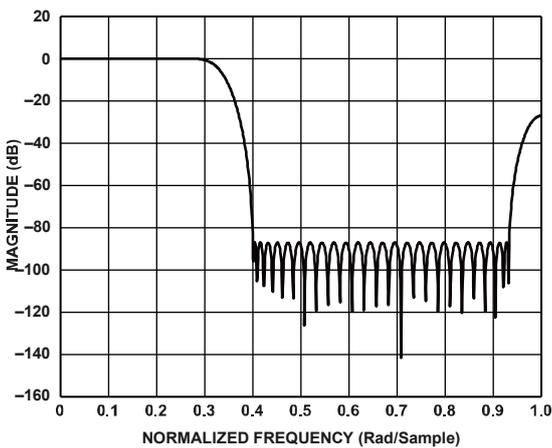


図 70. 3×3次バンド 80%フィルタの応答

20810-160

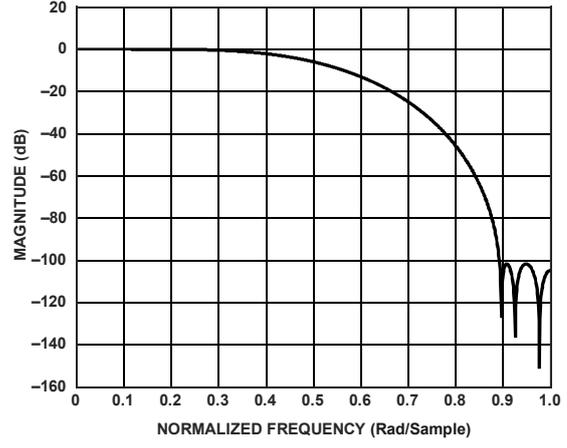


図 73. 3番目の 2×ハーフバンド 22.5%フィルタの応答

20810-163

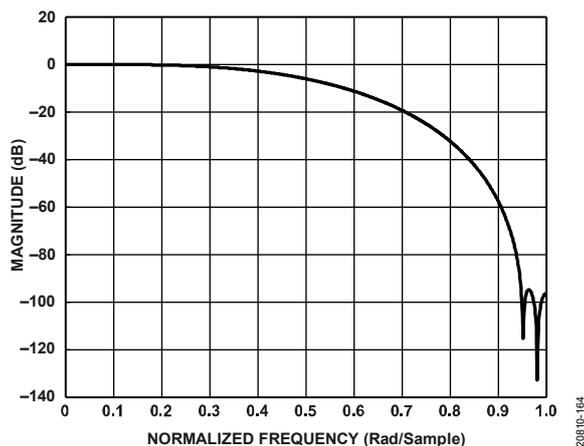


図 74. 4 番目の 2×ハーフバンド 11.25%フィルタの応答

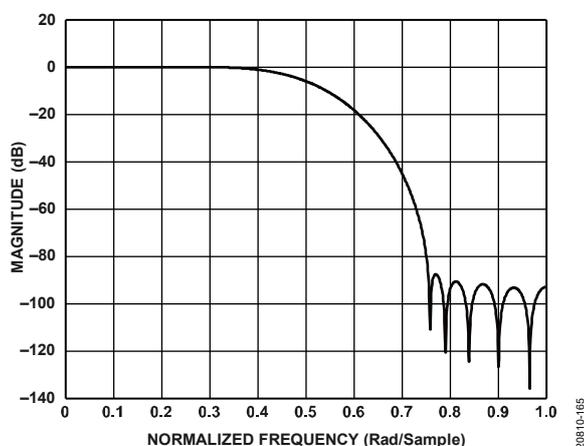


図 75. FIR85 2×ハーフバンド 45%フィルタの応答

デジタル変調

AD9166 は、ベースバンド直交信号を必要な DAC 出力周波数に変調するためのデジタル変調機能を備えています。

AD9166 にはいくつかの NCO モードがあります。デフォルトの NCO は 48 ビットのインテジャーNCO です。デュアル・モジュラス NCO の A/B の比により、極めて高い精度で出力周波数を合成することができます。NCO モードは表 35 に示すように選択します。

表 35. 変調モードの選択

Modulation Mode	Modulation Type	
	Register 0x111, Bit 6	Register 0x111, Bit 2
None	0b0	0b0
48-Bit Integer NCO	0b1	0b0
48-Bit Dual-Modulus NCO	0b1	0b1
32-Bit FFH NCO ¹	0b1	0b1

¹ FFH NCO は、メインの 48 ビット NCO がイネーブルされたときに、FFH NCO の周波数チューニング・ワード・レジスタにゼロ以外のワードを書き込むことによってイネーブルされます（高速周波数ホッピング (FFH) のセクションを参照）。モジュラス機能はイネーブルまたはディスエーブルすることができます。モジュラス機能をイネーブルすると、すべての NCO に同じモジュラス比が適用されます。

48 ビット・デュアル・モジュラス NCO

この変調モードは、図 76 に示すように、NCO、位相シフタ、複素変調器を使い、プログラマブル搬送波信号によって信号を変調します。この構成では、非常に高い周波数分解能で、出力スペクトル内の任意の位置に出力信号を配置することができます。

NCO は直交搬送波を生成して、入力信号を新しい中心周波数に変換します。直交搬送波は、同じ周波数で互いに 90° のオフセットを持つ正弦波のペアです。直交搬送波の周波数は FTW を介して設定します。図 76 に示すように、直交搬送波は I データおよび Q データとミックスされてから加算され、I データパスと Q データパスに出力されます。

インテジャーNCO モード

メインの 48 ビット NCO は、以下の式を使用して FTW を生成することにより、インテジャーNCO として使用できます。

$$-f_{CLK}/2 \leq f_{CARRIER} < +f_{CLK}/2$$

$$FTW = (f_{CARRIER}/f_{CLK}) \times 2^{48}$$

ここで、 $f_{CARRIER}$ は搬送波周波数、 FTW は 48 ビットの 2 の補数です。

2×NRZ モード (レジスタ 0x111 のビット 0 = 1 で FIR85 をイネーブル) の場合、周波数チューニング・ワードは次式で計算します。

$$0 \leq f_{CARRIER} < f_{CLK}$$

$$FTW = (f_{CARRIER}/f_{CLK}) \times 2^{48}$$

ここで、 FTW は 48 ビットの 2 の補数です。

この方法で 2×NRZ モードの FTW を計算すると、 FTW がインクリメントされたときに、トーンを 0Hz から f_{CLK} の方向へ正確に移動させることができます。この方法は 2×NRZ モードでのみ使用してください。必要なトーンが $f_{CLK}/2$ と f_{CLK} の間にあって、 FTW を調整せずに FIR85 イネーブル・ビットが 0b0 に設定された場合、そのトーンは新しい周波数位置へ移動します。

FTW は表 36 に示すように設定します。

表 36. NCO FTW レジスタ

アドレス	値	説明
0x114	FTW[7:0]	FTW の 8LSB
0x115	FTW[15:8]	FTW の次の 8 ビット
0x116	FTW[23:16]	FTW の次の 8 ビット
0x117	FTW[31:24]	FTW の次の 8 ビット
0x118	FTW[39:32]	FTW の次の 8 ビット
0x119	FTW[47:40]	FTW の 8 MSB

他のレジスタと異なり、FTW レジスタは書き込みを行ってもすぐには更新されません。FTW レジスタの更新は、FTW_LOAD_REQ (レジスタ 0x113、ビット 0) の立上がりエッジで行われます。更新要求後は、FTW_LOAD_ACK (レジスタ 0x113、ビット 1) をハイにして、周波数チューニング・ワードが更新されたことをアクノレッジする必要があります。

SEL_SIDE BAND ビット (レジスタ 0x111 のビット 1=0b1) は便利なビットで、下側サイドバンド変調の結果を使用するためにセットすることができます。これは周波数チューニング・ワードの符号を反転することと同じです。

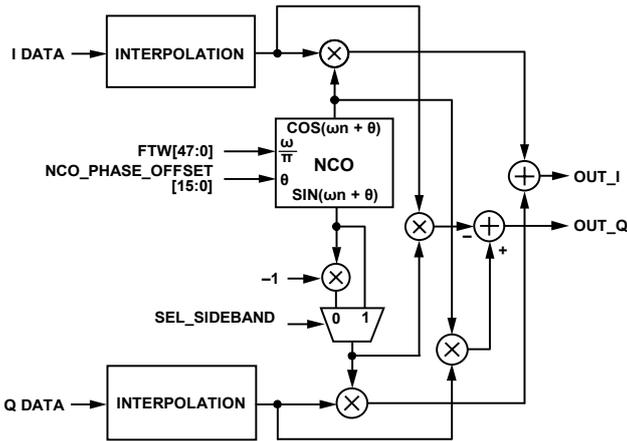


図 76. NCO 変調器のブロック図

20810-108

モジュラス NCO モード (ダイレクト・デジタル合成 (DDS))

メインの 48 ビット NCO は、48 ビット精度を超えるフラクショナル周波数を生成するために、デュアル・モジュラス・モードで使用することもできます。モジュラス・モードは、DATAPATH_CFG レジスタの MODULUS_EN ビットを 1 に設定することによってイネーブルします (レジスタ 0x111、ビット 2 = 0b1) 。

プログラマブル・モジュラス DDS の周波数比は、標準的なアキュムレータ・ベース DDS の周波数比に極めて近い値です。唯一の違いは、プログラマブル・モジュラスとするために N を 2 のべき乗とする必要がなく、任意の整数にできる点です。実際には、N の値の範囲はハードウェア的な制約によって制限されず。結果としてモジュラスは、正確に有理数型の周波数合成を必要とするアプリケーションにまで NCO の使用範囲を拡大します。プログラマブル・モジュラス技術の基礎となる機能は、加算器のモジュラスを変更することです。

AD9166 内のプログラマブル・モジュラス機能の実装は、下の式を使って分数 M/N を表せるようになっていました。この式の形は、X が整数部分を表し、A/B が分数部分を表す複合 FTW であることを示唆しています。

$$\frac{f_{CARRIER}}{f_{DAC}} = \frac{M}{N} = \frac{X + \frac{A}{B}}{2^{48}}$$

ここで、
 X はレジスタ 0x114~0x119、
 A はレジスタ 0x12A~0x12F、
 B はレジスタ 0x124~0x129 で設定します。

プログラマブル・モジュラスの例

f_{CLK} = 2500MHz で、必要とされる f_{CARRIER} の値が 250MHz の場合を考えます。このシナリオは、除数がサンプル・レートの 2 のべき乗ではない出力周波数を合成します。具体的には f_{CARRIER} = (1/10) f_{CLK} で、これは標準的な加算器ベースの DDS では合成できません。

周波数比 f_{CARRIER}/f_{CLK} は直接 M と N につながる値で、分数 (250,000,000/2,500,000,000) を最後まで約分することによって決定されます。つまり、

$$M/N = 250,000,000/2,500,000,000 = 1/10$$

したがって、M = 1、N = 10 です。

計算すると、X = 28,147,497,671,065、A = 3、B = 5 となります。これらの値を X、A、B のレジスタに設定すると (X はレジスタ 0x114~レジスタ 0x119 で設定し、B はレジスタ 0x124~レジスタ 0x129、A はレジスタ 0x12A~レジスタ 0x12F で設定)、2500MHz のサンプリング・クロックを使用した場合、NCO は正確に 250MHz の出力周波数を生成します。詳細については、アナログ・デバイスのウェブサイトに掲載されているアプリケーション・ノート AN-953 を参照してください。

NCO リセット

NCO のリセットは、NCO の開始時間と位相を決定するときに便利な場合があります。NCO は、TX_ENABLE ピンを使用した SPI 書き込みや、SYSREF±信号の使用を含め、いくつかの異なる方法でリセットすることができます。デバイスごとの内部タイミングのばらつきにより、これらの方法で実現される精度は ±6 f_{CLK} サイクルです。

SPI ポートへの書き込みを介して NCO を位相不連続スイッチング・モードに設定するには、レジスタ 0x800 のビット [7:6] を 0b01 に設定します。設定後は、周波数チューニング・ワードが更新されると NCO の位相アキュムレータがリセットされ、その新しい周波数チューニング・ワードで NCO がカウントを開始します。

高速周波数ホッピング (FFH)

高速周波数ホッピングをサポートするために、AD9166 は NCO ブロック内にいくつかの特色を備えています。NCO 機能としては 2 種類が実装されています。メインの 48 ビット NCO は汎用 NCO で、いくつかの高速周波数ホッピング・モードをサポートしています。これに対し高速周波数ホッピング NCO は、これとは異なるいくつかの高速周波数ホッピング・モードをサポートするように、特に設計されています。

メイン NCO 周波数ホッピング

メインの 48 ビット NCO では、周波数チューニング・ワードの更新モードを、FTW_LOAD_REQ ビット (レジスタ 0x113、ビット 0) への書き込みが必要なモードから自動更新モードへ変更できます。自動更新モードでは、選択された周波数チューニング・ワードが書き込まれると、すぐに周波数チューニング・ワードが更新されます。

自動周波数チューニング・ワードの更新モードを設定するには、FTW_REQ_MODE ビット (レジスタ 0x113、ビット [6:4]) に適切なワードを書き込んで、自動更新を実行する特定の周波数チューニング・ワードを選びます。

例えば、比較的粗い周波数ステップが必要とされる場合は、周波数チューニング・ワードの MSB バイトにシングル・ワードを書き込むだけで十分なので、FTW_REQ_MODE ビットを 110 に設定することができます（レジスタ 0x113 のビット [6:4] = 0b110）。これにより、最上位バイト（FTW5）に書き込みが行われるごとに、NCO 周波数チューニング・ワードが自動的に更新されます。

FTW_REQ_MODE ビットは、あらゆる周波数チューニング・ワードを自動更新トリガ・ワードとして使用するように設定できます。この設定は、FTW レジスタを設定する順番を選ぶときに便利です。

SPI ポート書き込み機能の速度は最小 100MHz です（表 9）を参照）。したがって NCO 周波数チューニング・ワードは、自動更新モードでレジスタ書き込みを 1 回行うことにより、わずか 240ns で更新できます。

FFH NCO

高速周波数ホッピング NCO は、メインの 48 ビット NCO に 31 個の 32 ビット NCO とそれに対応する 31 個の周波数チューニング・ワードのバンクを追加したものと実装されています。これらの周波数チューニング・ワードは、ホッピング周波数レジスタ・バンクに予めロードしておくことができます。HOPF_CTRL レジスタの HOPF_SEL ビット（レジスタ 0x800、ビット [4:0]）への 1 回のレジスタ書き込みで、32 個の周波数チューニング・ワードのいずれかを選択することができます。NCO が新しい周波数に遷移する方法は、ホッピング周波数変更モードによって決定されます。

高速周波数ホッピング NCO は、出力が新しい周波数にホップしたときの NCO 出力の位相遷移を行うためのモードをいくつかサポートしています。具体的には、位相連続スイッチング、位相不連続スイッチング、および位相コヒーレント・スイッチングです。NCO 周波数の変更モードを表 37 に示します。

表 37. NCO 周波数変更モード

レジスタ 0x800、 ビット [7:6]	説明
0b00	位相連続スイッチ
0b01	位相不連続スイッチ (NCO アキュムレータをリセット)
0b10	位相コヒーレント・スイッチ

位相連続スイッチングでは、NCO の周波数チューニング・ワードの更新後も、位相アキュムレータは新しい周波数まで蓄積を続けます。

位相不連続モードでは、NCO の周波数チューニング・ワードが更新され、位相アキュムレータがリセットされて直ちに新しい周波数へジャンプします。

位相コヒーレント・モードでは、追加された 31 個の位相アキュムレータのバンクがイネーブルされて、それぞれがホッピング周波数レジスタ・バンク内の各 FTW をシャドウします。

位相コヒーレント・スイッチング・モードをイネーブルすると（レジスタ 0x800、ビット [7:6] = 0b10）、32 個の NCO 位相アキュムレータすべてが同時にカウントを開始して、デジタル・データパス内で現在どの NCO 出力が使われているかに関わらず、すべてがカウントを続けます。このようにして、個々の NCO の周波数を選ぶことができます。これらの周波数は時間 0 に対して常に位相コヒーレントです。したがって、すべての周波数チューニング・ワードを予めロードしてから、位相コヒーレント・スイッチ・モードを選択してそれらを同時にスタートさせることを推奨します。

電力を節約するために、31 個の追加 NCO と位相アキュムレータのそれぞれは、周波数チューニング・ワードがそのレジスタ内に設定された場合のみイネーブルされます。特定の NCO と位相アキュムレータだけをパワー・ダウンするには、所定の NCO の FTW レジスタをすべてゼロに設定します。すべての NCO 周波数チューニング・ワードは、0x0 がデフォルト値です。メインの 48 ビット NCO（高速周波数ホッピング NCO では FTW0）は、DATAPATH_CFG レジスタの NCO_EN ビット（レジスタ 0x111 のビット 6 = 0b1）によってイネーブルします。

32 ビット NCO の 1 つを起動してから停止した場合に、残留消費電力や残留スプリアスが生じないようにするために推奨される追加 NCO のパワー・ダウン方法は、最初に周波数チューニング・ワードを 0x0001 に設定して、その後に 0x0000 に設定するやり方です。この手順に従えば、すべて 0 のワードを受け取る前に位相アキュムレータの残留値を一括消去できます。これによって出力がパワー・ダウンしますが、アキュムレータはパワー・ダウンしません。アキュムレータは、レジスタ 0x111 ビット 6 の NCO_EN ビットによってパワー・ダウンされます。

NCO オンリー・モード

AD9166 は、モジュラス NCO だけをイネーブルしたモードで動作させて、JESD204B リンクなしの DDS として機能させることができます。このモードでは NCO によってシングルトーン・サイン波を生成し、更にそれを DC データ・サンプルとミックスしてトーン振幅を設定し、DAC 出力へ送ります。したがって、NCO オンリー・モードを DC テスト・モードと呼ぶこともあります。DC データ・サンプルは内部的に生成されます。データ・サンプルを提供する有効な JESD204B リンクは必要ありません。NCO オンリー・モードでは、デジタル変調のセクションに示すすべての機能を使用できます。このモードで JESD204B リンクを確立する必要はありません。

NCO オンリー・モードは便利なオプションで、例えば、JESD204B トランスミッタのデジタル・データ・ソースを使用しなくても、トランスミッタ無線シグナル・チェーンをセットアップするためのサイン波を生成することができます。NCO オンリー・モードは、ミキシング段への局部発振器（LO）としての LO アプリケーションのように、サイン波だけが必要とされるアプリケーションにも使用できます。

NCO オンリー・モードをイネーブルするには、レジスタ 0x150 の DC_TEST_EN ビット（ビット 1）を 0b1 に設定します。次に、レジスタ 0x14E（MSB）とレジスタ 0x14F（LSB）内の 2 の補数の DC テスト・データ・ワードに、DC 値を設定します。デフォルト値は 0x0000（ゼロ振幅）で、代表的な設定値はフルスケール・トーンの 0x7FFF です。最終ステップでは、レジスタ 0x110 のビット [3:0] で INTERP_MODE = 0b0000 を選択することにより、インターポレーション値を 1×バイパス・モードに設定します。このステップが必要になる理由は、DC テスト値が使用できないからです。

DC_TEST_EN = 1 の場合、デジタル・データパスのデータ・ソースは DC テスト・データ・ワードです。これは、JESD204B リンクを確立し、そのリンク経由でデバイスにデータを転送することはできませんが、DC_TEST_EN = 1 のときは DAC にデータが送られないことを意味します。SERDES データ・ソースへの接続は、DC_TEST_EN = 0 の場合のみ実現されます。DC_TEST_EN ビットは、デバイスが信号を処理中に NCO 入力を SERDES データと DC データの間で切り替えるようにトグルできますが

(ホット・スイッチング)、通常、SERDES データパスへの切り替えには JESD204B リンクの同期やインターポレーション値の設定が必要になるので、DC_TEST_EN ビットのホット・スイッチングは現実的ではありません。

反転 sinc

AD9166 は、周波数に対する DAC ロールオフを補償するためのデジタル反転 sinc フィルタを備えています。このフィルタは、INVSINC_EN ビット (レジスタ 0x111、ビット 7) を設定することによってイネーブルします。デフォルトではディスエーブルされています。

反転 sinc (sinc^{-1}) フィルタは 7 タップ FIR フィルタです。 $\text{sin}(x)/x$ ロールオフおよび反転 sinc フィルタの周波数応答と、その複合応答を図 77 に示します。複合応答には、 $0.4 \times f_{\text{CLK}}$ の周波数まで、 $\pm 0.05\text{dB}$ 未満のパスバンド・リップルがあります。2x NRZ モードをイネーブルすると、反転 sinc フィルタは $0.4 \times 2 \times f_{\text{CLK}}$ まで動作します。

クリッピングのリスクなく通過帯域の上限で必要なピークを形成するために、反転 sinc フィルタは約 3.8dB の挿入損失を内包しています (図 77 を参照)。

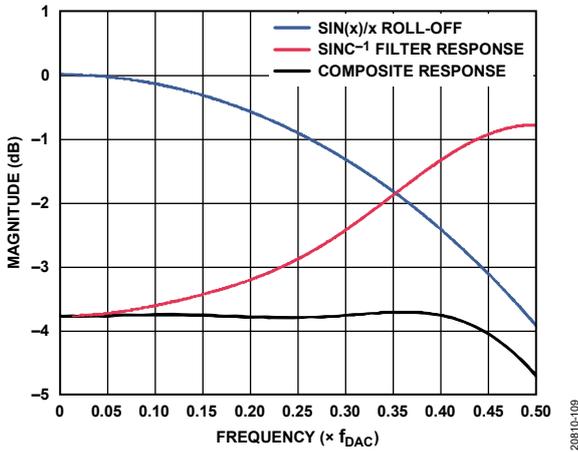


図 77. Sin(x)/x ロールオフと Sinc⁻¹ フィルタの応答、および両者の複合応答

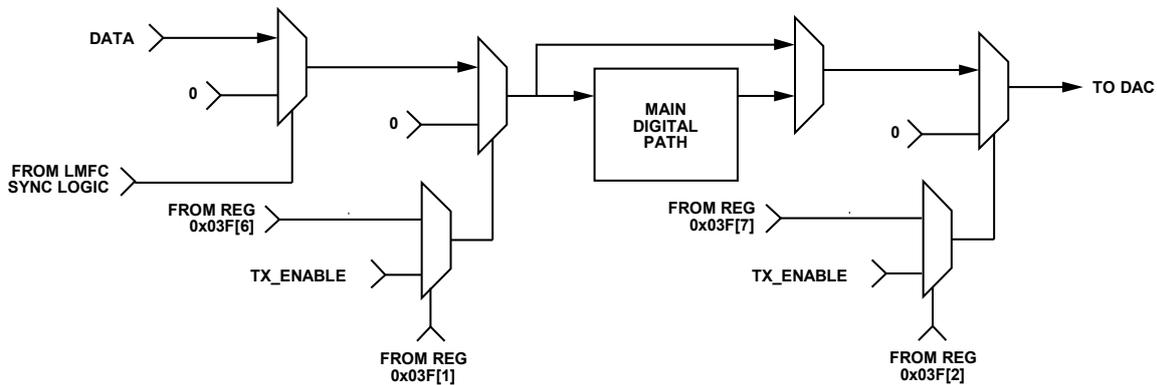


図 78. 下流側保護機能のブロック図

下流側の保護

AD9166 は、システムのパワー・アンプや、その他の下流側ブロックの保護のために設計された機能をいくつか備えています。これらの機能は、LMFC 同期ロジックからの制御信号と、送信イネーブル機能で構成されています。それぞれのケースで使われる保護メカニズムは、DAC デコーダに渡されるデータのブランキングです。違いは、データパス内の位置およびわずかに異なる機能にあります。

JESD204B シリアル・リンクには、シリアル・リンクがアクティブでエラーなく動作していることを示すためのフラグと品質基準がいくつかあります。これらの基準のどれかが問題となった場合は LMFC 同期ロジックからマルチプレクサへ信号が送られ、マルチプレクサが DAC デコーダへのデータの流れを停止して、すべて 0 に置き換えます。

データパス内の複数ポイントでデータをスケルチするために使用できる TX_ENABLE レジスタや、同様のことを行うための TX_ENABLE ピンの設定を含めて、転送イネーブル機能は複数あります。

転送イネーブル

転送イネーブル機能は SPI 制御機能またはピン制御機能として設定し、いくつかの異なる目的に使用することができます。SPI 制御機能はマイクロコントローラに依存して設定を行うので、タイミング精度が低くなります。したがって、通常は起動時やデバイス設定時の予防的手段として使われます。

SPI 制御による TX_ENABLE 機能は、図 78 に示すように、デジタル・データパスへの入力をゼロにしたり、デジタル・データパスからの出力をゼロにしたりするのに使用できます。デジタル・データパスへの入力をゼロにすると、どのようなフィルタリングを選択しても 0 信号がフィルタされて、デジタル・データパスのエネルギがランプダウンします。1x インターポレーション・モードのようにデジタル・データパスをバイパスすると、DAC への入力のデータが直ちにゼロまで低下します。

TX_ENABLE ピンは、より正確なタイミングで DAC 出力をイネーブルまたはディスエーブルするために使用できます。TX_ENABLE ピンの効果は、SPI 制御機能で使用した場合と同様に TX_ENABLE レジスタ (レジスタ 0x03F) によって設定でき、SPI 制御機能と同じ効果が得られるようにピンを設定できます。具体的には、デジタル・データバスへの入力をゼロにしたり、デジタル・データバスからの出力をゼロにしたりすることができます。更に、TX_ENABLE ピンは、DAC のフルスケール電流をランプダウン (またはアップ) させるように設定することもできます。このランプダウンは、DAC の出力をフルスケール出力電流から最小出力電流まで約 20dB 低下させます

TX_ENABLE ピンは、NCO 位相アキュムレータをリセットするように設定することもできます。TX_ENABLE レジスタ機能に使用できる設定については、表 38 を参照してください。

表 38. TX_ENABLE の設定

レジスタ 0x03F:	設定	説明
Bit 7	0	SPI 制御 : DAC へのデータをゼロ化
	1	SPI 制御 : DAC へのデータ通過を許可
Bit 6	0	SPI 制御 : データバス入力のデータをゼロ化
	1	SPI 制御 : データバスへのデータ入力を許可
Bits[5:4]	N/A ¹	予備
Bit 3	0	SPI 書込みを使用して NCO をリセット ²
	1	TX_ENABLE を使用して NCO をリセット
Bit 2	0	SPI 制御を使用して DAC へのデータをゼロ化
	1	TX_ENABLE ピンを使用して DAC へのデータをゼロ化
Bit 1	0	SPI 制御を使用してデータバス入力のデータをゼロ化
	1	TX_ENABLE ピンを使用してデータバス入力のデータをゼロ化
Bit 0	0	SPI レジスタを使用してフルスケール電流を制御
	1	TX_ENABLE ピンを使用してフルスケール電流を制御

¹ N/A は該当なし。

² NCO をリセットする必要がある場合は、SPI 書込みを使って NCO をリセット。レジスタ 0x800 のビット [7:6] が、NCO をリセットするかどうかを決定します。詳細については、表 37 を参照してください。

データバス PRBS

データバス PRBS を使用すれば、AD9166 のデータバスがデータを受信して正しくデコードしているかどうかを検証することができます。データバス PRBS は、トランスミッタとレシーバーの JESD204B パラメータが一致していること、レシーバーのレーンが正しくマップされていること、レーンが適切に反転されていること、および必要な場合はスタートアップ・ルーチンが正しく実行されていることを検証します。

データバス PRBS テストを実行するには、以下のステップに従ってください。

1. スタートアップ・シーケンスを使用して、デバイスを目的の動作モードに設定します。
2. PRBS7 または PRBS15 データを送信します。
3. レジスタ 0x14B に書込みを行います。PRBS7 の場合はビット 2=0、PRBS15 の場合はビット 2=1 としてください。
4. PRBS テストをイネーブルしてリセットするには、レジスタ 0x14B のビット [1:0] に 0b11 を書き込みます。
5. PRBS テストをイネーブルしてリセットを解除するには、レジスタ 0x14B のビット [1:0] に 0b01 を書き込みます。
6. 500ms 待機します。
7. [データバス PRBS IRQ](#) のセクションに示す説明に従い、I および Q バス PRBS の IRQ をチェックすることによって、PRBS のステータスをチェックします。
8. レジスタ 0x14B のビット [7:6] を読み出します。I チャンネルにエラーがある場合はビット 6 が 0 で、Q チャンネルにエラーがある場合はビット 7 が 0 です。
9. レジスタ 0x14C から I チャンネルのエラー・カウントを読み出し、
10. レジスタ 0x14D から Q チャンネルのエラー・カウントを読み出します。PRBS は 32 個のビットを一度に処理して、32 個の新しいビットと直前の 32 個のビットを比較します。PRBS は、それぞれの 32 ビットのグループ内のエラーを 1 つだけ検出してレポートします。したがって、エラー・カウントは、そのエラーがいつ確認されたかということに依存する部分もあります。

例えば以下のシーケンスを参照してください。

- ビット : 32 個が良好、31 個が良好で 1 個が不良、32 個が良好 (1 つのエラー)
- ビット : 32 個が良好、22 個が良好で 10 個が不良、32 個が良好 (1 つのエラー)
- ビット : 32 個が良好、31 個が良好で 1 個が不良、31 個が良好で 1 個が不良、32 個が良好 (2 つのエラー)

データバス PRBS IRQ

I および Q バスの PRBS フェイル信号は、IRQ イベントとして使用できます。レジスタ 0x020 のビット [1:0] を使ってフェイル信号をイネーブルしてからレジスタ 0x024 のビット [1:0] を使ってステータスをリードバックし、IRQ 信号をリセットします。詳細については、[割込み要求動作](#)のセクションを参照してください。

割込み要求動作

AD9166 は、ボール L5 に割込み要求信号 (IRQ) を出力できます。これは、重要なデバイス・イベントが発生したことを外部のホスト・プロセッサに知らせるために使用できます。割込みがアサートされた時点で、発生したイベントの詳しい内容をデバイスに問い合わせます。IRQピンはオープン・ドレインのアクティブ・ロー出力なので、IRQピンがハイ・レベルにプルアップされると外部と無関係になります。IRQピンは、オープン・ドレイン出力を持つ他のデバイスの割込みピンに接続できます。接続時は両方のピンにOR接続してください。

図 79 に、IRQ ブロックがどのように機能するかを示す簡略ブロック図を示します。IRQ_EN 信号がローの場合は、INTERRUPT_SOURCE信号が0に設定されます。IRQ_ENがハイの場合は、イベント信号の立上がりエッジでINTERRUPT_SOURCE信号がハイに設定されます。いずれかのINTERRUPT_SOURCE信号がハイの場合は、IRQピンがローにプルダウンされます。INTERRUPT_SOURCEは、IRQ_RESET信号またはDEVICE_RESET信号によって0にリセットできます。

STATUS_MODE信号に応じて、EVENT_STATUSビットはイベント信号またはINTERRUPT_SOURCE信号をリードバックします。AD9166には複数の割込みレジスタ・ブロック (IRQ) があります。これにより、デバイスの構成に応じて最大 75 個のイベントをモニタすることができます。表 39 に示すように、詳細はIRQレジスタ・ブロックにより部分的に異なります。図 79 のIRQ_EN、IRQ_RESET信号およびSTATUS_MODE信号のソース・レジスタと、EVENT_STATUSがリードバックされるアドレスを表 40 に示します。

表 39. IRQレジスタ・ブロックの詳細

レジスタ・ブロック	報告されるイベント	EVENT_STATUS
0x020, 0x024	チップごと	IRQがイネーブルの場合はINTERRUPT_SOURCE、IRQがディスエーブルの場合はIRQがイベント信号
0x4B8~0x4BB、0x470~0x473	リンクおよびレーンごと	IRQがイネーブルの場合はINTERRUPT_SOURCE、IRQがディスエーブルの場合は0

割込みサービス・ルーチン

割込み要求管理は、ホストの介入またはモニタリングを必要とするイベント・フラグのセットを選択することから始まります。ホストによる対応が必要なイベントをイネーブルして、そのイベントが発生した場合はホストに通知されるようにします。IRQ発生時にホストの介入が必要なイベントについては、以下のルーチンを実行して割込み要求をクリアします。

1. モニタするイベント・フラグ・ビットのステータスを読み出します。
2. IRQ_ENに0を書き込むことによって割込みをディスエーブルします。
3. イベント・ソースを読み出します。
4. イベントの原因を解消するために必要なアクションを実行します。多くの場合、特別な対応は必要ありません。
5. イベント・ソースが正常に機能していることを確認します。
6. IRQ_RESET信号に1を書き込むことによって割込みをクリアします。
7. IRQ_EN信号に1を書き込むことによって割込みをイネーブルします。

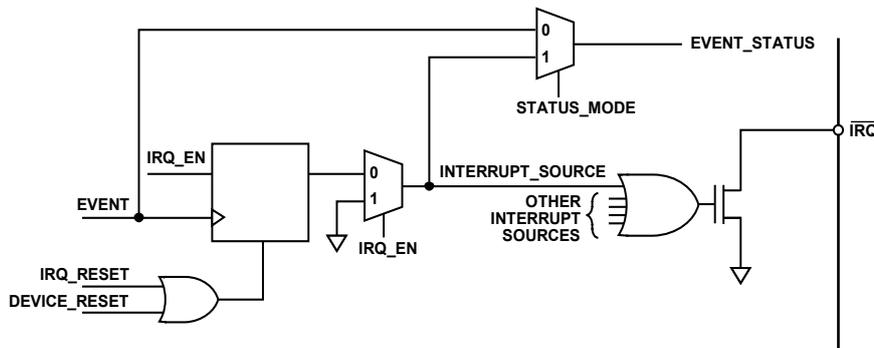


図 79. IRQ回路の簡略図

表 40. IRQ信号のIRQレジスタ・ブロック・アドレスの詳細

レジスタ・ブロック	IRQ信号のアドレス ¹			
	IRQ_EN	IRQ_RESET	STATUS_MODE ²	EVENT_STATUS
0x020, 0x024	0x020 : チップごとに R/W	0x024 : チップごとに W	STATUS_MODE = IRQ_EN	0x024 : チップごとに R
0x4B8~0x4BB	0x4B8, 0x4B9 : エラー・タイプごとに W	0x4BA, 0x4BB : エラー・タイプごとに W	N/A, STATUS_MODE = 1	0x4BA, 0x4BB : チップごとに R
0x470~0x473	0x470~0x473 : エラー・タイプごとに W	0x470~0x473 : リンクごとに W	N/A, STATUS_MODE = 1	0x470~0x473 : リンクごとに R

¹ Rは読み出し、Wは書き込み、R/Wは読み出し/書き込みを表します。

² N/Aは該当なしを意味します。

アプリケーション情報

ハードウェアに関する考慮事項

電源の推奨事項

AD9166 を最適な状態で動作させるには、すべての電源領域をできるだけノイズのない状態にする必要があります。電源ノイズには性能に悪影響を及ぼす可能性のある周波数成分が含まれており、その影響はデバイスの出力スペクトルに現れます。

ノイズを減衰させるには、電源出力にインダクタ/コンデンサ (LC) フィルタを使用することを推奨します。フィルタは、できるだけ AD9166 に近付けて配置する必要があります。

DAC_1P2_CLK 電源はデバイス上で最もノイズの影響を受けやすい電源であり、位相ノイズやその他のスペクトル成分が変調されて出力信号に直接現れます。その他のアナログ電源もノイズに敏感です。**DAC_2P5_AN** と **DAC_N1P2_AN** は DAC の出力レールで、そのノイズが変調されて DAC 出力やアンプ入力に現れます。**AMP_5V_IN**、**AMP_3P3_OUT**、**AMP_N5** はアンプの入出力用のアナログ・レールであり、これらのノイズも同様に変調されて出力に現れます。

DAC_1P2_CLK には、高い電源電圧変動除去比 (PSRR) 仕様を備えた **ADM7154** や **ADP1761** などの超低ノイズ・レギュレータを使用して単独でクロック供給を行い、不要なスイッチング電源ノイズを除去し、最大限の位相ノイズ性能が得られるようにすることを強く推奨します。

ノイズの多いレギュレータは、DAC 出力、アンプの入出力、そして最終的には RFOUT ピンの出力信号に位相ノイズを発生させます。

DAC_1P2_AN 電源は、別体のフィルタ回路を使ってデジタルの **DAC_1P2_DIG** 電源に接続できます。

JESD204B 回路用の 1.2V 電源である **DAC_1P2_SER** は、別体のレギュレータに接続します。

AMP_3P3 電源は、別体のフィルタ回路を使って **AMP_3P3_OUT** RF 出力電源に接続できます。

VDD_IO 電源は、別体のフィルタ回路を使って **AMP_3P3** または **AMP_3P3_OUT** 電源に接続できます。 **VDD_IO** は、1.8V~3.3V の電源をシステム・コントローラ (例えばマイクロコントローラ) から個別に取ることもできます。電源シーケンシングは条件に沿って行う必要があります。 **AMP_3P3** は、**VDD_IO** と同時か、それ以前に使用できるようにしなければなりません。

温度と IC プロセスに関わる大きな変動を許容できるような電源設計とするために、表 2 に示す最大消費電力値に注意してください。電流の量は選択した使用条件によって異なるので、仕様は複数の使用条件に基づいて規定され、個々のブロックの例と関与の度合いを示し、1 電源あたりの最大必要電流の計算の手助けとすることができるようになっていきます。

電源設計に関するもう 1 つの考慮事項は、ピーク電流の処理能力です。ピーク対平均電力比 (PAPR) の大きい変調信号のように振幅変動の大きい信号や、移動通信用グローバル・システム (GSM) の時分割多重アクセス (TDMA) のようなバースト信号、あるいはオンまたはオフ時間軸応答性を持つその他の信号を AD9166 で合成する場合は、より多くの電流がメイン・デジタル電源 (**DAC_1P2_DIG**) に流れます。したがって、電源は、バースト信号に対処するために高速で電流を供給する必要があります。電流変動の大きさは使用する信号に依存するので、

最初に実験室でテストを行って、その範囲を明らかにすることが推奨されます。変動が短時間のうちに数百ミリアンペアに達することは珍しくないため、220 μ F 以上の容量を持つ低 ESR のバルク・コンデンサが必要です。

電源シーケンス

AD9166 には、内部回路の損傷を防ぐために電源シーケンシングが必要です。AD9166 を使用するボード設計には、各領域を正しい順番で起動できるように、LTC2928 のような電源シーケンサ・チップを含める必要があります。パワーアップ時の電流トランジェントを最小限に抑えるために、シーケンス時には、あまり重要でない高出力の電源領域同士を分離します。

パワーアップ・シーケンスは以下の順番で実行し、各グループ内の電源が同時にパワーアップしてセトリングするようにします。

1. **DAC_1P2_DIG**、**AMP_3P3**、**AMP_3P3_OUT**、**VDD_IO**、**DAC_3P3_SYNC**、**AMP_N5**、**DAC_1P2_AN**、**DAC_1P2_CLK**
2. **DAC_N1P2_AN**、**DAC_1P2_SER**
3. **AMP_5V_IN**、**DAC_2P5_AN** (**AMP_5V_IN** から生成可能)

各グループ内でセトリング時間の最も長い電源をモニタして、次のグループのシーケンシングへ移る前にすべての電源がその目標電圧にセトリングするようにします。

パワーダウン・シーケンスに関する条件はありません。

電源プレーンとグラウンド・プレーン

グラウンド・ループを回避し、制御されたインピーダンスを必要とする高速伝送ラインに対して安定した切れ目のないグラウンド・リファレンス (基準電位) を提供するために、グラウンド・プレーンを採用することを推奨します。高周波数フィルタリングのために、電源プレーンはグラウンド層とグラウンド層の間に積層します。これにより、デカップリング・コンデンサに加えて、複数の電源領域間にフィルタリング効果と絶縁効果が追加されます。

電源プレーンが複数のセグメントに分割されている場合、制御インピーダンス・パターンの全長において、そのパターンの横切るセグメントが 1 つだけの場合を除き、電源プレーンを制御インピーダンスのリファレンスとして使用することはしないでください。高速伝送ラインに関するこれらのガイドラインおよびその他のガイドラインは、**JESD204B** のシリアル・インターフェース入力 (**SERDIN0 \pm** ~**SERDIN7 \pm**) のセクションに示されています。

最大限の性能と、より高い出力周波数が必要とされる一部のアプリケーションでは、PCB 材料の選択が結果に大きく影響します。例えば、ポリイミドや Rogers Corporation 製の材料を使用すれば、高温耐性を向上させて性能を改善することができます。

最上層（および場合によっては最下層）には、通常、RO43xx シリーズなどの Rogers 製材料や、Tachyon などの Isola 製材料が使われます。ボード設計によっては、最上層が 2 つのプレーン（差動パターン用とシングルエンド・パターン用）のどちらかを基準にできるように、3 つの層が使われます。この方法による場合は、パターン幅が、PCB ベンダの製造許容誤差範囲に十分入るような値に保たれます。しかし、設計によってはこれが実際のでないこともあります。

JESD204B シリアル・インターフェース入力 (SERDIN0±~SERDIN7±)

JESD204B シリアル・インターフェース伝送ラインのレイアウトを考える場合は、最大限のリンク性能を維持するために考慮すべき事項が数多くあります。これらの例としては、挿入損失、リターン損失、信号スキュー、差動パターンのトポロジなどが挙げられます。

挿入損失

JESD204B 仕様は、伝送チャンネルにおいて許容される挿入損失の量を制限しています（図 51 参照）。AD9166 のイコライザ回路では、JESD204B 仕様で要求されるチャンネル内損失よりも、かなり大きい損失が許容されます。しかしそれでも、PCB の設計者が次のガイドラインに従い、挿入損失量を小さくすることが重要です。

- AD9166 をできるだけ送信ロジック・デバイスの近くに配置すると共に、デバイス間のパターンができるだけ最短距離となるようにして、差動パターン長を短くします。
- ソリッド・グラウンド・プレーンをリファレンスとして使い、1 つのプレーン上に差動ペアを配置します。SERDES レーン内でビアが使われるのを避けるために、SERDES レーンは AD9166 と同じ層内に配置します。
- 可能な場合は、低誘電率（4 未満）の PCB 材料を使って損失を最小限に抑えます。

ストリップライン技術とマイクロストリップ技術のどちらかを選択する場合は、次の点に留意してください。すなわち、損失と EMI 放出はストリップライン構成の方が抑えられますが（図 52 と図 53 参照）、その場合はビアを使用する必要があります。マイクロストリップは実装が容易で（最上層での配線が可能な部品の配置と密度の場合）、インピーダンスの制御も容易です。

PCB 最上層の使用に問題がある場合、あるいはストリップラインの利点を生かしたい場合は、以下の推奨事項に従ってください。

- ビア数を最小限に抑えます。
- 可能であればブラインド・ビアを使ってビアのスタブ効果をなくし、マイクロ・ビアを使ってビアのインダクタンスを最小限に抑えてください。
- 標準ビアを使う場合は、ビアの最大長を使ってスタブ・サイズを小さくします。例えば、8 層ボードの場合は 7 層目をストリップライン・ペア用に使います（図 80 参照）。
- 各ビア・ペアには、インピーダンスの不連続性を最小限に抑えるために、その隣にグラウンド・ビアのペアを配置します（図 80 参照）。

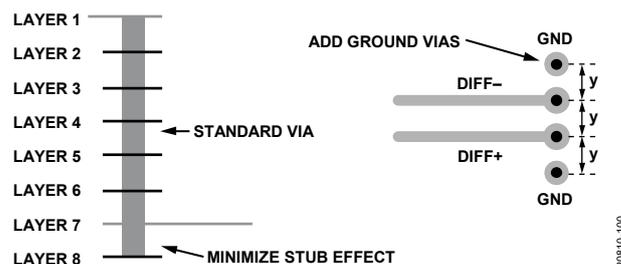


図 80. スタブ効果を最小限に抑え、差動ストリップライン・パターンにグラウンド・ビアを追加

リターン損失

JESD204B 仕様はコンバータ・デバイスとロジック・デバイスの許容リターン損失量を制限していますが、チャンネルのリターン損失は規定していません。それでも、送信ロジック・デバイスと AD9166 間の伝送ラインのインピーダンスの連続性を維持するために、あらゆる努力を払う必要があります。ビアの使用を最小限に止めることなくして、伝送ラインのインピーダンス・ミスマッチの主要原因の 1 つを緩和することができます（挿入損失のセクションを参照）。差動パターンの真下（マイクロストリップの場合）または上下（ストリップラインの場合）にソリッド・リファレンス・プレーンを維持して、伝送ラインのインピーダンスの連続性を維持します。ストリップライン技術を使用する場合は、挿入損失のセクションに示すガイドラインに従って、インピーダンス・ミスマッチとスタブ効果を最小限に抑えてください。

インピーダンス・ミスマッチのもう 1 つの主要原因は伝送ラインの両端にあり、ここでは、終端のインピーダンスと伝送ラインのインピーダンスを一致させるよう注意する必要があります。AD9166 は、ラインの受信端に対してキャリブレーション終端方式を使い、これを内部で処理します。この回路とキャリブレーション・ルーチンの詳細については、インターフェースの起動と入力の終端のセクションを参照してください。

信号スキュー

信号スキューには多くの原因がありますが、PCB のレイアウト時に考慮すべき 2 つの原因は、1 本の JESD204B リンク内のインターコネクト・スキューと、複数の JESD204B リンク間のスキューです。どちらの場合も、チャンネル長を 12.5mm 以内の差に揃えれば、最大 12.5Gbps の速度で十分に JESD204B リンクを作動させることができます。このチャンネル長マッチングの量は、AD9166 評価用ボード上では UI の約 85% に相当します。

1 つのリンク内のインターコネクト・スキューを管理することは極めて容易ですが、複数デバイス間の複数のリンクを管理することはもう少し複雑です。長さのマッチングについては 12.5mm のガイドラインに従ってください。AD9166 は、JESD204B レシーバー内の 6PCLK サイクル・バッファにより、85% UI より大きなスキューに対応できますが、それでもチャンネル長はできるだけ近い値に揃えることが推奨されます。

トポロジ

差動 SERDINx±ペアは、その片方のインピーダンスがグラウンドに対して 50Ω となるように構成します。ストリップラインとマイクロストリップのトレードオフについては、挿入損失のセクションに示されています。いずれの場合も、これらの伝送線をノイズ源（高速デジタル信号やノイズの多い電源など）から離すことが重要です。

ストリップラインの差動パターンを使用する場合はコプラナ法で配線を行い、両方のパターンを同一層内に配置します。この方法は、ブロードサイド配線法（パターンを隣接層に配置）よりノイズ耐性を向上させるわけではありませんが、インピーダンスの連続性を維持するように配線し製造することが容易になります。ブロードサイド法とコプラナ法の違いを図 81 に示します。

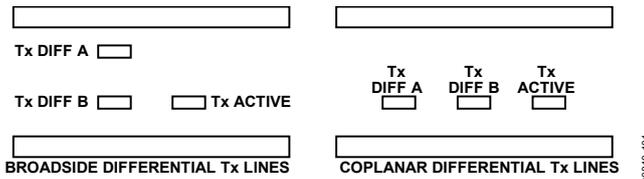


図 81. ブロードサイド法とコプラナ法による差動ストリップライン配線

パターン幅と銅の重量および厚さの関係を検討する場合は、インターフェース速度を考える必要があります。マルチギガビット・レベルの速度では、導体の表皮効果によって電流が導体表面に集中します。損失を小さくするために、パターン幅を広くして導体の表面積をできるだけ大きくしてください。更に、広いパターン幅に対応するために差動パターン同士の間隔を広くします。部品、ビア、コネクタ、またはその他の配線部品を配置するためにパターンを分離させる必要がある場合、このような配置は、クロストークを減らしインピーダンス・ミスマッチを小さくする働きをします。狭い間隔で配置した差動パターンと広い間隔で配置した差動パターンを図 82 に示します。

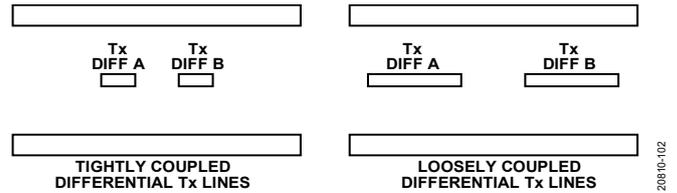


図 82. 狭い間隔で配置した差動パターンと広い間隔で配置した差動パターン

AC カップリング・コンデンサ

AD9166 では、JESD204B 入力信号を信号ソースに AC カップリングする必要があります。これらのコンデンサは 100nF とし、できるだけ送信ロジック・デバイスの近くに配置する必要があります。パッドでのインピーダンス・ミスマッチをできるだけ小さくするために、コンデンサのパッケージ・サイズは、PCB 上のパッド・サイズができるだけパターン幅に近くなるようなものを選択してください。

SYNCOUT±、SYSREF±、および CLK±信号

AD9166 の SYNCOUT±信号と SYSREF±信号は、低速の LVDS 差動信号です。これらの信号の経路を配置するときは、 100Ω の差動インピーダンスとグラウンドへの 50Ω 抵抗を配置した制御インピーダンス・パターンを使用します。SERDIN0±～SERDIN7±データ・ペア同様、これらの伝送線は、高速デジタル信号やノイズの多い電源のようなノイズ源から離すことが重要です。

SYNCOUT±信号上のノイズは $K/\text{文字}$ の要求として解釈されてしまうおそれがあるので、SYNCOUT±信号はノイズの多い他の信号から離してください。

CLK±信号と SYSREF±信号については、クロック源から JESD204B リンクの両端にある各デバイスまでのパターン長を同じ長さに保つことが重要です（図 83 参照）。CLK±と SYSREF±の位相を厳密に制御できるクロック・チップを使う場合、パターン長を揃えるというこの要求は大幅に緩和されます。

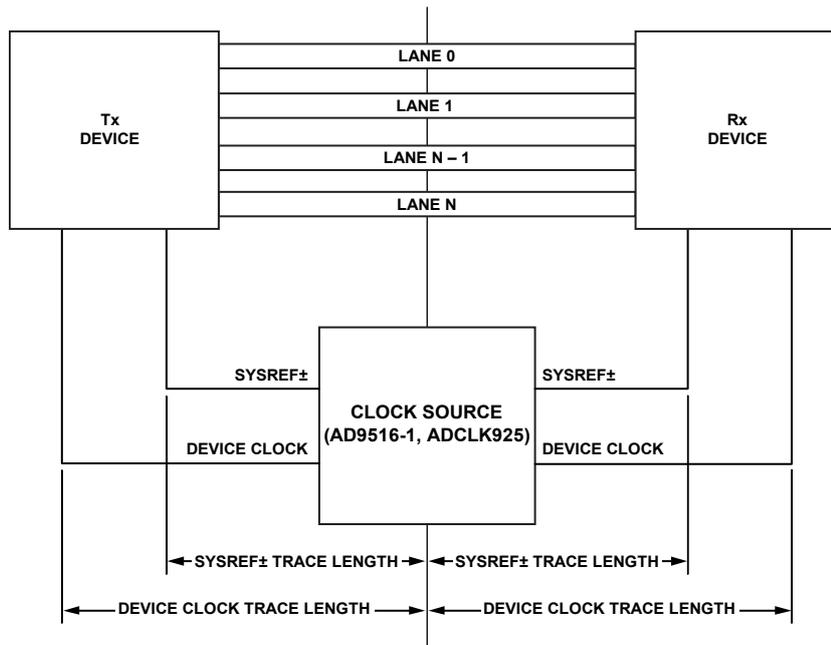
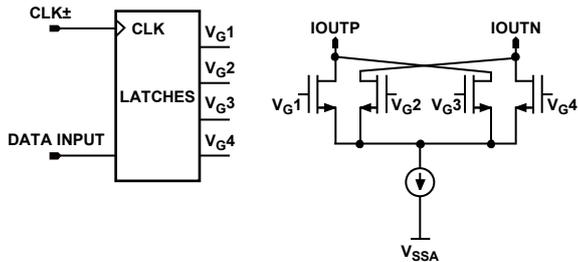


図 83. SYSREF±信号とデバイス・クロックのパターン長

アナログ・インターフェースに関する考慮事項

アナログ動作モード

AD9166 の DAC コアは、[図 84](#) に示すクワッドスイッチ・アーキテクチャを使用しています。クロックの半周期で 1 ペアのスイッチだけがイネーブルされるので、立上がりエッジと立下がりエッジのクロック・エッジを交互に使うことで各ペアをクロックする必要があります。クワッドスイッチ・アーキテクチャの主な利点は、従来の 2 スイッチ DAC アーキテクチャで生成されるコード依存のグリッチをマスクできることです。



NOTES
IOUTP AND IOUTN ARE THE POSITIVE AND NEGATIVE OUTPUT CURRENTS, V_{Gx} IS THE GATE VOLTAGE, AND V_{SSA} IS THE ANALOG SUPPLY VOLTAGE.

図 84. クワッドスイッチ・アーキテクチャ

デュアルスイッチ・アーキテクチャでは、スイッチが遷移したときにデータ 1 とデータ 2 ([図 85](#) の D_1 と D_2) が異なる状態にあると、グリッチが発生します。しかし、 D_1 と D_2 がたまたま同じ状態にあると、スイッチが遷移してもグリッチは発生しません。このコードに依存したグリッチの発生は、DAC コアの歪み量を増大させます。クワッドスイッチ・アーキテクチャでは (コードがどのようなものかに関わらず)、常に 2 つのスイッチがあってそれぞれがクロックの半周期ごとに遷移するので、コード依存のグリッチはなくなります。このため、コアの出力スペクトルには、 $2 \times f_{DAC}$ の位置に、かなりはっきりしたクロック・スプリアスが生じます。

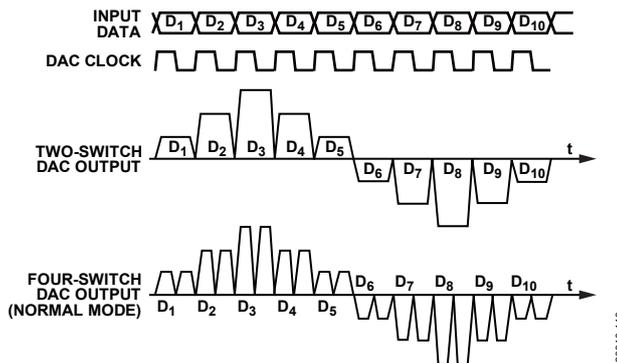


図 85. デュアルスイッチおよびクワッドスイッチ DAC の波形

クロック半周期ごとの更新を可能にするクワッドスイッチ・アーキテクチャの結果として、デバイス・クロック (f_{CLK}) の立上がりエッジと立下がりエッジの両方で新しいデータ・サンプルを DAC コアにラッチした場合は、予想される DAC 更新レート (f_s) の 2 倍のレートで DAC コアを作動させることができます。AD9166 をミックス・モード、RZ モード、または $2 \times NRZ$ モードで動作させる場合は、この概念が基礎としての役割を果たします。いずれのケースにおいても、DAC コアには各クロック・エッジで新しいデータ・サンプルが供給されます。RZ モードでは立上がりエッジでデータがクロック出力され、立下がりエッジでゼロがクロック出力されます。ミックス・モードにおける立下がりエッジ・サンプルは、立上がりエッジ・サンプル

の値を単純に補うものです。 $2 \times NRZ$ モードでは、立上がりエッジと立下がりエッジの両方が新しいデータ・サンプルをクロック出力します。詳細については [2 \$\times\$ NRZ モード](#) のセクションを参照してください。

ミックス・モードの使用時は、出力が DAC のサンプル・レートで効果的にチョッピングされます。このチョッピングには、基本信号の電力を低下させる一方で DAC サンプル・レート付近を中心とするイメージの電力を増大させるという効果があるので、これらのイメージのダイナミック・レンジが改善されます。

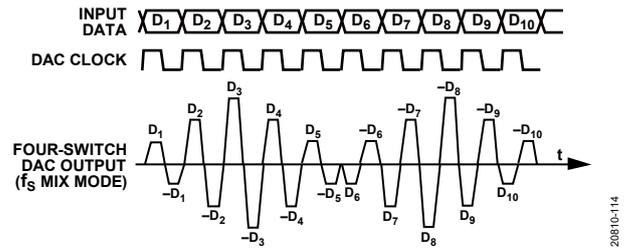


図 86. ミックス・モードの波形

このようにモードを変更することができるので、選択した動作モードに応じて、搬送波を最初の 3 つのナイキスト領域内の任意の位置にできるという柔軟性が得られます。ベースバンド・モードとミックス・モードの切り替えを行うと、DAC 出力に固有の sinc ロールオフ形状が変化します。ベースバンド・モードでは、クロックの立上がりエッジでラッチされたサンプルと同じサンプルが立下がりエッジで再びラッチされるので、 f_s に sinc ノルが現れます。これにより、従来の DAC と同様の sinc 応答が全体的に得られます。ミックス・モードでは、立上がりエッジの補完サンプルが立下がりエッジでラッチされるので、sinc ノルは $2 \times f_s$ へ移動します。[図 87](#) に、sinc ロールオフを含めた 3 つのモードの理論上の周波数応答を示します。

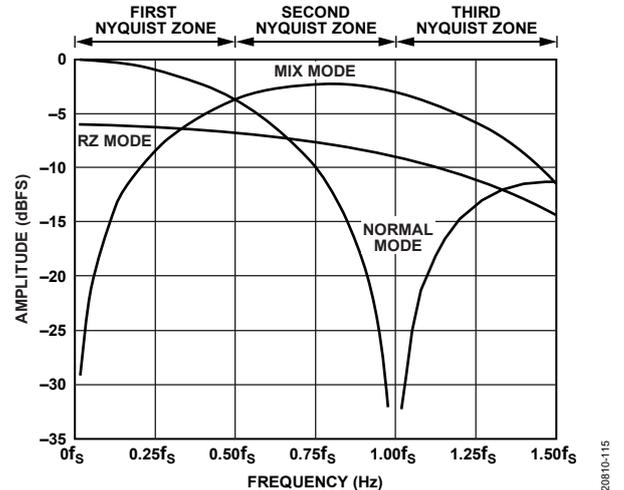


図 87. NRZ モード、RZ モード、およびミックス・モード動作の sinc ロールオフ

クワッドスイッチは、SPI (レジスタ 0x152、ビット [1:0]) を介して、NRZ モード (0b00)、RZ モード (0b10)、またはミックス・モード (0b01) のいずれかで動作するように設定できます。

2×NRZ モード

AD9166 には、DAC サンプル・レートを 2 倍にできる追加的なモードがあります。2×NRZ モードは FIR85 2×インターポレーション・フィルタを使って実装されており、デバイス・クロックの立上がりエッジと立下がりエッジの両方で DAC コアに新しいサンプルを提供します。結果として、図 88 に示すように、2×NRZ モードではアナログ帯域幅も NRZ モードの 2 倍になります。

以上から、DAC サンプル・レート (f_{DAC}) はデバイス・クロック (f_{CLK}) の 2 倍なので、 $f_{CLK} - f_{OUT}$ におけるイメージ周波数のエネルギーは $2 \times f_{CLK} - f_{OUT}$ に現れます。差動デバイス・クロックの位相と振幅のバランスが完璧に取られていると仮定すると、 $f_{CLK} - f_{OUT}$ におけるイメージを完全に除去できます。位相アンバランスは、AD9166 のデバイス・クロック・レシーバーで補償できます。詳細についてはクロック入力のセクションを参照してください。

FIR85 インターポレータは更に高いレートでサンプリングを行うので、同様の NRZ モード、RZ モード、あるいはミックス・モードと比較して消費電力も多くなります。

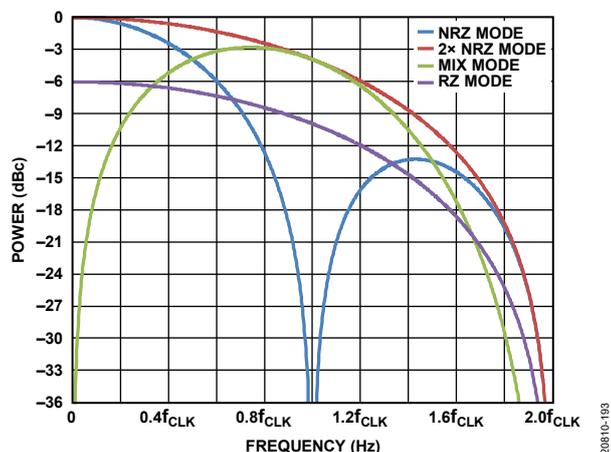


図 88. 2×NRZ モード、NRZ モード、RZ モード、およびミックス・モード動作の sinc ロールオフ

クロック入力

AD9166 は、差動クロック源やシングルエンド・クロック源と直接インターフェースを取ることのできる、低ジッタの差動クロック・レシーバーを内蔵しています。入力は 90Ω の公称インピーダンスで自己バイアスされているので、クロック源を $CLK\pm$ 入力ピンに AC カップリングすることを推奨します。公称差動入力は $1V_{p-p}$ ですが、クロック・レシーバーは $250mV_{p-p}$ から $2.0V_{p-p}$ までの範囲で動作可能です。

クロック入力レベルが高くなると位相ノイズ (位相ジッタ) 性能が向上します。これは、振幅が大きいほどスルー・レートが大きくなる (立上がり時間が短い) ためです。

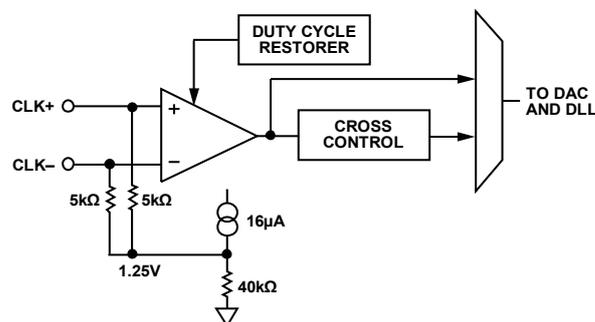


図 89. クロック入力

クロック源の品質と、その AD9166 クロック入力へのインターフェースは、AC 性能に直接影響します。クロック源の位相ノイズ特性とスプリアス特性は、ターゲット・アプリケーションの条件に合わせて選択してください。所定の周波数オフセットにおけるクロック源の位相ノイズとスプリアスは、出力信号に直接影響します。具体的には、再構成された出力サイン波の位相ノイズ特性とクロック源の関係は、デバイス内部のクロック・パスによる影響を無視できるとすると、 $20 \times \log_{10}(f_{OUT}/f_{DAC})$ で表すことができます。

図 90 に、ADF4372 低位相ノイズ/ジッタ PLL をベースとするクロック源を示します。ADF4372 は、RF16x ポート使用時で $62.5MHz \sim 16,000MHz$ 、RF8x または RFAUX8x ポート使用時で $62.5MHz \sim 8,000MHz$ の周波数を出力できます。

クロックのデューティ・サイクルと差動位相アンバランスの調整

レジスタ 0x082 ~ レジスタ 0x084 はクロック制御レジスタです。CLK_DUTY (レジスタ 0x082) は、デューティ・サイクル補正のイネーブル (ビット 7)、デューティ・サイクル・オフセット制御のイネーブル (ビット 6)、およびデューティ・サイクル・オフセットの設定 (ビット [4:0]) に使用できます。デューティ・サイクル・オフセット・ワードは符号付きの大きさを示すワードで、ビット 4 を符号ビット (1 が負)、ビット [3:0] を大きさとして使用します。デューティ・サイクルは約 $\pm 3\%$ の範囲に合わせます。このレジスタの推奨設定値については、スタートアップ・シーケンスのセクションを参照してください。

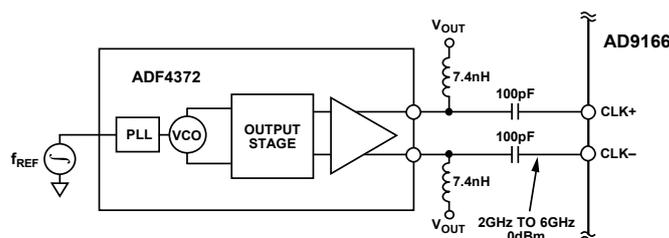


図 90. $CLK\pm$ 入力用シグナル・チェーンの例

クロック・レシーバーのCLK+入力とCLK-入力の位相アンバランスは、補償できます (アドレス 0x07F の CLK_PHASE_TUNE レジスタ)。レジスタの値は符号付きのバイナリ値で、MSB を符号ビットとして使用します。値を1つ増やすごとに、CLK+またはCLK-入力の容量が 20fF ずつ増加します。詳細については、表 41 を参照してください。位相アンバランスを補償すると、DAC のイメージ除去性能が向上します。

表 41. CLK+の位相調整値

Register 0x07F, Bits[5:0]	Capacitance at CLK+ (fF)	Capacitance at CLK- (fF)
000000	0	0
000001	1 × 20	0
000010	2 × 20	0
...
011111	31 × 20	0
100000	0	0
100001	0	1 × 20
100010	0	2 × 20
...
111111	0	31 × 20

性能の向上度合いは、外付け部品の位相バランスや内部クロック・パスによって異なります。プロセスにばらつきがあると、同じ構成のデバイスであっても、その全体を通じた位相バランスに差異が生じます。したがって、より高いレベルのイメージ除去性能が求められる場合は、各デバイスを個別に補正した上でターゲット・システムに取り付けることが望まれます。この補正によって性能が大幅に向上した例はいくつか確認されており、特に、比較的安価な balan を使用している場合は効果がありません。

クロック位相、デューティ・サイクル、および交差制御の調整が、CLK+ピンにおける位相と振幅のアンバランスの補正にどれだけ役立つかを、図 91 に示します。

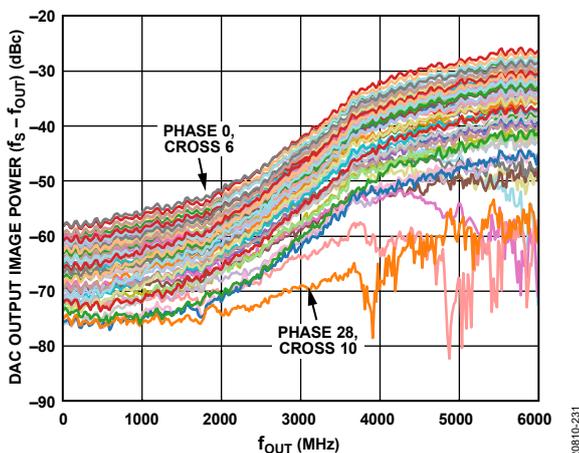


図 91. クロック入力のチューニングによる性能向上

遅延ロック・ループ (DLL)

CLK±入力は、内部 DAC サンプル・クロックを入力クロックに確実にロックできるように、高周波数 DLL へ送られます。DLL は、推奨スタートアップ・シーケンスの一部として設定され、イネーブルされます。DLL 制御レジスタは、レジスタ 0x090 ~ レジスタ 0x09B に置かれています。DLL の設定は製品の特性評価時に決定され、推奨スタートアップ・シーケンスに組み込まれています (スタートアップ・シーケンスのセクションを参照)。通常、これらの値を変更する必要はなく、製品の特性評価データは推奨設定においてのみ有効です。

シャッフル・モード

AD9166 のスプリアス性能は、シャッフル・モードと呼ばれる機能によって改善できます。シャッフル・モードは、アナログ・デバイス固有の技術を使用して、DAC 出力に生じるスプリアス信号のエネルギーをランダム・ノイズとして分散させます。シャッフル・モードは、レジスタ 0x151 のビット 2 を 0b1 に設定することによりイネーブルします。シャッフル・モードは DAC の MSB 電流源を使って実装されているので、0dBFS を基準に少量のデジタル・バックオフで DAC を動作させた時が最も効果的です。

シャッフル・モードによって生じる DAC コア出力でのノイズ増加量は、影響を受けるスプリアス信号の電力に直接関係しています。AD9166 は DAC コアの出力に広帯域バッファ・アンプを内蔵しているので、シャッフル・モード使用時も未使用時も、ノイズ・スペクトル密度の増加にそれほど明確な差はありません。

シャッフル・モードは、クロック・スプリアスとフォールドバック・スプリアスに関係するスプリアス性能を改善しますが、DAC 出力に生じる実際の高調波には影響を与えません。

電圧リファレンスとフルスケール電流 (FSC)

DAC 出力におけるフルスケール電流 I_{OUTFS} は、DAC から出力されてバッファ・アンプ入力へ送られる電流の最大振幅を制御します。 I_{OUTFS} の調整時は、バッファ・アンプの入力共通モード電流 I_{CM} を調整して、DAC の I_{OUTFS} の値に合わせる必要があります。

I_{CM} はデジタル制御ビット (AMP_ICM、アンプ・レジスタ 0x18) を使って設定しますが、これは I_{OUTFS} に最も近い対応値に設定する必要があります。詳細については I_{OUTFS} に合わせた I_{CM} の調整のセクションを参照してください。

I_{OUTFS} は、図 92 に示すように、デジタル制御ビットとリファレンス電流 I_{SET} の組み合わせを通じて設定します。

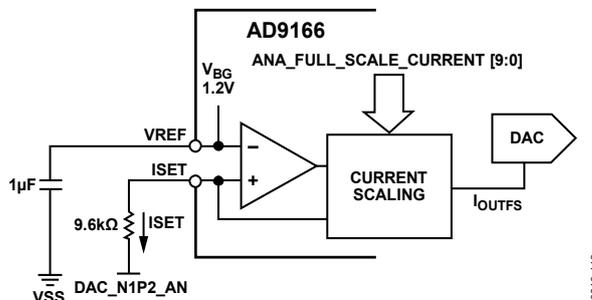


図 92. 電圧リファレンス回路

I_{SET} は、DAC のバンドギャップ電圧を、 I_{SET} ピンと DAC_NIP2_AN の間に置いた $9.76k\Omega$ の外付け抵抗 R_{SET} に強制することによって得られます。1.2V の公称バンドギャップ電圧 (V_{REF} の V_{BG}) の場合、 $9.76k\Omega$ の抵抗に流れるリファレンス電流 I_{SET} は $125\mu A$ になります。この I_{SET} は内部で増幅されて、 I_{OUTFS} の最大値 I_{OUTFS_MAX} を設定します。この値はデジタル的に制御できます。 R_{SET} の推奨値は $9.76k\Omega$ ですが、 I_{OUTFS_MAX} を制限するために、より高い値に調整することができます。 I_{OUTFS} に対するその他の調整は、デジタル的に行う必要があります。

I_{OUTFS_MAX} 設定と外付け抵抗の関係は次式で表されます。

$$I_{OUTFS_MAX} = 1.2 \text{ V} / R_{SET} \times 320$$

ここで、
1.2V は公称バンドギャップ電圧、
 R_{SET} は外付け抵抗の値 ($k\Omega$)、
320 はゲイン定数です。

電圧リファレンス回路の設定には以下の制約が適用されます。

- 正しく動作させるには、 $9.76k\Omega$ の抵抗と $1\mu F$ のバイパス・コンデンサが必要です。
- DAC 出力フルスケール電流 I_{OUTFS} をそのデフォルト値である $40mA$ と異なる値に調整する場合は、デジタル的に行う必要があります。
- AD9166 は乗算型 DAC ではありません。AC 信号によるリファレンス電流 I_{SET} の変調はサポートされていません。
- V_{REF} ピンは高インピーダンスなので、 V_{REF} ピンに現れるバンドギャップ電圧を外部回路で使用するにはバッファする必要があります。
- 外部リファレンスは、 V_{REF} ピンに接続することによって、内部リファレンスをオーバードライブするために使用できます。

I_{OUTFS} の値は、 $ANA_FULL_SCALE_CURRENT$ ビット [9:0] (レジスタ $0x042$ のビット [7:0] とレジスタ $0x041$ のビット [1:0]) により、 $8mA \sim 40mA$ の範囲でデジタル的に調整できます。 I_{OUTFS} と $ANA_FULL_SCALE_CURRENT$ ビット (0~1023 に設定可能) の関係を次式に示します。

$$I_{OUTFS} = 32mA \times (ANA_FULL_SCALE_CURRENT / 1023) + 8mA$$

デフォルト値の $0X3FF$ は $40mA$ フルスケールの電流を生成します。この値は、特に指定のない限り、このデータシートに示すほとんどの特性評価に使われています。

I_{OUTFS} に合わせた I_{CM} の調整

I_{OUTFS} の調整時は、バッファ・アンプの I_{CM} の値も I_{OUTFS} に合わせて調整する必要があります。これは、DAC の出力コモンモード電圧のオフセットを最小限に抑えて、性能を維持するために受け入れ得るレベル内に止める助けとなります。

I_{OUTFS} と理想 I_{CM} 値 I_{CM_IDEAL} の関係は、次式で表すことができます。

$$I_{CM_IDEAL} = I_{OUTFS} / 2 + 3.8mA$$

I_{CM_IDEAL} が得られたら、 I_{CM} と I_{CM_IDEAL} の誤差が最小限に抑えられるように、アンプ入力段の I_{CM} をできるだけ計算値に近い値に設定する必要があります。

I_{CM} の値は、レジスタ $0x18$ 内の AMP_ICM ビットにより、 $6.4mA \sim 30.4mA$ の範囲でデジタル的に調整できます。 I_{CM} と AMP_ICM ビットの間を次式に示します。

$$I_{CM} = 24mA \times (AMP_ICM / 15) + 6.4mA$$

DAC の出力段にストレスがかかる可能性を最小限に抑えるには、同じ SPI 書込みシーケンスの一環として I_{OUTFS} と I_{CM} を順番に調整します。

アナログ出力

AD9166 の出力は、 50Ω で内部終端されたシングルエンド出力で、広帯域 50Ω 環境とのインターフェースを容易にするためにバイポーラ出力段を備えています。等価出力回路を図 93 に、等価集中定数素子モデルを図 94 に示します。出力段は内部的にバイアスされ終端されているので、外付けのバイアス部品や終端部品は必要なく、 50Ω のグラウンド基準負荷を持つ下流側デバイスに直接接続することができます。最大出力電圧振幅は $+I_{OUTFS} \sim -I_{OUTFS}$ に対応し、DAC の I_{OUTFS} を変更することによって調整できます。それにより、 50Ω 負荷への最大出力は $4dBm$ 近くになります。

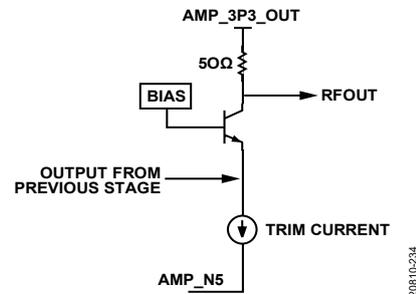
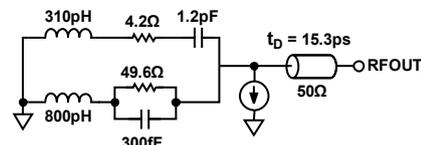


図 93. RFOUT ピンへの等価出力回路



NOTES
 t_D IS THE DELAY TIME.

図 94. RFOUT ピンにおける AD9166 出力の等価集中定数素子モデル

RFOUT ピンの出力 DC オフセット電圧 (V_{OS}) は、アンプ・レジスタ $0x19$ の V_{OUT_TRIM} ビットに書込みを行うことによって、その公称値とは異なる値に調整できます。 $V_{OUT_TRIM} = 0x6A$ 、オフセット電圧調整 (V_{OS_ADJ}) = $0.0V$ のときのフル調整範囲は、公称 V_{OS} 基準で $350mV \sim -250mV$ です。

V_{OS_ADJ} は以下で定義します。

$$V_{OS_ADJ} = 0.6V \times V_{OUT_TRIM} / 255 - 0.25$$

ここで、
 V_{OS_ADJ} は公称値からの電圧調整値、
 V_{OUT_TRIM} はアンプ・レジスタ $0x19$ に設定されたビット値です。

高周波 PCB 設計と AD9166 出力のインピーダンス・マッチングの助けとするために、アンプ出力の出力リターン損失 (S22) を

図 94 に示す等価集中素子モデルでシミュレートし、50Ω に正規化してスミス・チャートに表した結果を図 95 に示します。

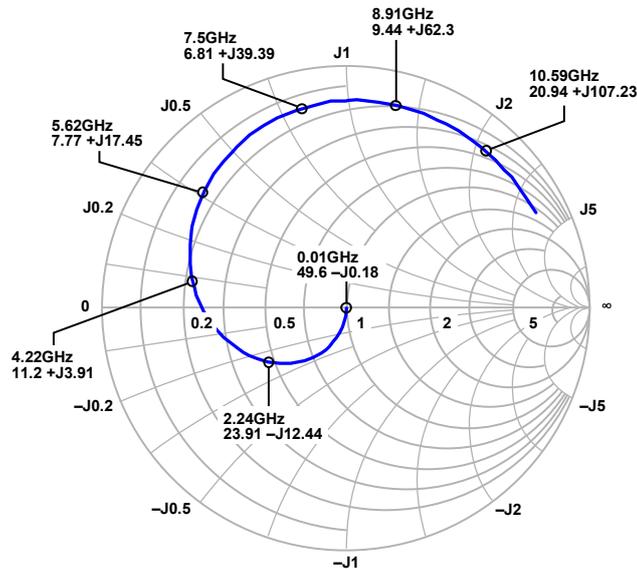


図 95. S22 と周波数の関係
($Z_0 = 50\Omega$ を基準に表した出力インピーダンス)

温度センサー

AD9166 はジャンクション温度センサーを 2 個、DAC センサーとアンプ・センサーを 1 個ずつ備えています。アンプ・センサーはアンプの温度変化をモニターするもので、バッファ・アンプのジャンクション近くに置かれ、アンプのジャンクション温度 (T_{J_AMP}) を示します。DAC センサーは、DAC コアおよび AD9166 内部のデジタル・インターフェースの温度変化をモニターする助けとなるもので、DAC コアの近くに置かれ、DAC のジャンクション温度 (T_{J_DAC}) を示します。

周囲温度が上昇すると、通常は DAC コアより先にアンプが温度限界に達します。したがって、 T_{J_AMP} は AD9166 内のアンプと DAC コア両方について、実際の最大安全動作温度を決定します。

アンプの損傷を避けるために、 T_{J_AMP} は、絶対最大定格のセクションに定める制限値を超えないようにする必要があります。

センサーは使用前にキャリブレーションを行って、バンドギャップや温度検出回路の個体差を補正する必要があります。温度は、既知の温度リファレンスに対して補正を行い、スロープまたはインターセプトを決定する必要があります。このタイプのキャリブレーションは、通常、1 点キャリブレーションと呼ばれます。

一般に、いずれかのセンサーの測定温度 T_{MEAS} と温度コードの関係は次式で表されます。

$$T_{MEAS} = M \times CODE_x + T_{OFFSET} \quad (1)$$

ここで、 $CODE_x$ は未知の温度 T_{MEAS} におけるリードバック・コードです。

キャリブレーション時の自己発熱による誤差を最小限に抑えるために、AD9166 は測定回路だけをパワー・オンにして、低消費電力状態に保つ必要があります。

アンプのジャンクション温度センサー

アンプのジャンクション温度センサーの指示値は、下に示す伝達関数から得られます。

$$V_{ADC} = V_{BGA} \times ((CODE_x + 4)/255) \quad (2)$$

$$T_{MEAS} = 318.75 \times V_{ADC} + T_{OS} \quad (3)$$

ここで、 V_{ADC} は温度センサーからサンプリングされた ADC 入力電圧の指示値、 V_{BGA} はアンプのバンドギャップ電圧 (公称値 1.09V)、 $CODE_x$ は未知の温度 T_{MEAS} における ADC リードバック・コード、 T_{OS} はキャリブレーションによって決定される伝達関数のオフセット、

T_{MEAS} はアンプのジャンクション温度 (T_{J_AMP}) に正比例する温度測定値です。

V_{BGA} はデバイス・ピン位置で測定でき、公称値は 1.09V、生産時のプロセスのばらつき、仕様規定された範囲における電源電圧変動、および動作温度範囲に対する不確実性は $\pm 30\text{mV}$ です。 V_{BGA} の不確実性による誤差は、プロセス、電圧、温度 (PVT)、および温度センサーのフル・レンジに対して $\pm 2.75\%$ です。ほとんどの誤差は製造プロセスの変化によるもので、電源電圧および動作温度に対する残りの変動は V_{BGA} の不確実性の 0.3% 程度に過ぎません。

T_{OS} は既知の温度 (T_{REF}) をデバイス・ケースに加えて、指示値が測定不確実性の範囲内で一定の値に安定した後にコード ($CODE_REF$) を記録することによって求められます。キャリブレーション時には、内部消費電力と自己発熱による誤差が最小限に抑えられるように、AD9166 を低消費電力状態に保つ必要があります。

キャリブレーション時の T_{REF} と $CODE_REF$ が得られれば、式 2 と式 3 をまとめて T_{OS} を求めることができます。

$$T_{REF} = 318.75 \times V_{BGA} \times ((CODE_REF + 4)/255) + T_{OS} \quad (4)$$

$$T_{OS} = T_{REF} - (318.75 \times V_{BGA} \times (CODE_REF + 4)/255) \quad (5)$$

ここで、 T_{REF} は温度センサー指示値を読み取る際の補正済み温度、 $CODE_REF$ は測定温度 T_{REF} におけるリードバック・コードです。

T_{OS} が分かれば、その後のリードバック・コード ($CODE_x$) から T_{J_AMP} を計算できます。

$$T_{MEAS} = 318.75 \times V_{BGA} \times ((CODE_x + 4)/255) + T_{OS} \quad (6)$$

$$T_{J_AMP} = T_{MEAS} + 5.5 \quad (7)$$

ここで、

T_{J_AMP} はアンプのジャンクション温度、

$CODE_x$ は未知の温度 T_{J_AMP} における ADC のリードバック・コードです。

式 7 は、温度センサーが正しく補正されている場合のみ有効です。センサーを補正するには、AD9166 の消費電力と内部消費電力による自己発熱を最小限に抑えることができるように、センサーをイネーブルする前に AD9166 をリセットします。

温度センサーをイネーブルするには、そのサンプリング ADC が起動していることを確認してください (アンプ・レジスタ 0x10 のビット 1 が 0b0)。ST_ADC_CLKF_0 = 0b1 に設定し (アンプ・レジスタ 0x1B のビット 0)、少なくとも 17 ADC クロック・サイクル待機します。ADC のサンプリング・クロック・レートは ST_ADC_CLKF_1 (アンプ・レジスタ 0x1B のビット 1) を使って調整できますが、デフォルトの 2MHz クロック・レートとすることを推奨します。ADC が測定値をサンプリングしている間、ADC_EOC ビットは変換が完了するまでローのまま、変換が完了すると ADC_EOC がハイになります (ADC_EOC = 0b1)。ADC コードは、ADC_CODE ビット (アンプ・レジスタ 0x1D) から読み出すことができます。ここで、ADC_CODE は式 6 の $CODE_x$ を表します。

DAC のジャンクション温度センサー

DAC 温度センサーの指示値は、下に示す伝達関数から得られます。

$$T_{MEAS} = M \times (CODE_x/1000) - 190 \quad (8)$$

ここで、

$CODE_x$ は未知の温度 T_{MEAS} におけるリードバック・コード、 M はキャリブレーションによって決定される伝達関数のオフセットです。

M は既知の温度 (T_{REF}) をセンサーに加えて、指示値が測定不確か性の範囲内で一定の値に安定した後にコード ($CODE_REF$) を記録することによって求められます。 M は次式で計算します。

$$T_{REF} = M \times (CODE_REF/1000) - 190 \quad (9)$$

$$M = (T_{REF} + 190)/(CODE_REF/1000)$$

ここで、

T_{REF} は温度センサー指示値を読み取る際の補正済み温度、 $CODE_REF$ は測定温度 T_{REF} におけるリードバック・コードです。

式 8 を変形して式 1 に代入すると、次に示すように、 $CODE_REF$ および T_{REF} とセンサー指示値の直接的な関係を示す伝達関数が得られます。

$$190 = M \times (CODE_REF/1000) - T_{REF}$$

$$T_{MEAS} = M \times (CODE_x - CODE_REF)/1000 + T_{REF}$$

ここで、

$CODE_x$ は未知の温度 T_{MEAS} におけるリードバック・コード、 $CODE_REF$ は補正した温度 T_{REF} におけるリードバック・コードです。

同様に、[温度センサー](#)のセクションに示す式 1 の 1 点キャリブレーション手順から M が得られれば、下に示すように式 2 を直接使うことができます。

$$T_{MEAS} = M \times (CODE_x/1000) - 190$$

$$T_{J_DAC} = T_{MEAS}$$

センサーを補正するには、AD9166 の消費電力と自己発熱を最小限に抑えられるように、センサーをイネーブルする前に AD9166 をリセットします。

センサーをイネーブルするには、レジスタ 0x135 を 0xA1 に設定します。レジスタ 0x132 (LSB) とレジスタ 0x133 (MSB) からダイ温度をリードバックする場合は、その前にレジスタ 0x134 のビット 0 に 0b1 を書き込む必要があります。

スタートアップ・シーケンス

推奨パワーアップ・シーケンス（電源シーケンスのセクションを参照）に従って AD9166 の電源を投入後、このデバイスを正しい動作状態に設定するには、いくつかのステップを踏む必要があります。

起動シーケンスはいくつかのステップに分割されており、その内容と各ステップの目的を表 42、表 43、および表 44 に示します。プライベート・レジスタは予約されていますが、デバイスを正しく動作させるには書き込みが必要です。表 42～表 44 の空白セルは、説明列に記述された結果によって値が異なることを意味しています。

AD9166 は、自動試験プログラムの一部として工場で補正されています。DAC 設定スタートアップ・シーケンスは、工場キャリブレーション係数をロードして、DAC とデバイス・クロック DLL の性能を最適化するいくつかのパラメータを設定します

表 42. 電源投入後の DAC 設定スタートアップ・シーケンス

レジスタ	値	説明	R/W
0x000	0x18	デバイスを 4 線式シリアル・ポート動作用に設定（オプション：デフォルトの 3 線式 SPI のままにする）。	W
0x0D2	0x52	内部キャリブレーション・レジスタをリセット（プライベート）。	W
0x0D2	0xD2	内部キャリブレーション・レジスタのリセット・ビットをクリア（プライベート）。	W
0x606	0x02	不揮発性ランダム・アクセス・メモリ（NVRAM）を設定（プライベート）。	W
0x607	0x00	NVRAM を設定（プライベート）。	W
0x604	0x01	NVRAM をロード。NVRAM から工場キャリブレーション係数をロードします（プライベート）。	W
0x003, 0x004, 0x005, 0x006	N/A ¹	オプション。レジスタ 0x003、レジスタ 0x004、レジスタ 0x005、およびレジスタ 0x006 から、CHIP_TYPE、PROD_ID、ビット [15:0]、PROD_GRADE、および DEV_REVISION を読み出します。	R
0x604, Bit 1	0b1	オプション。ブート・ローダ完了ビットを読み出して（レジスタ 0x604、ビット 1 = 0b1）、ブート・ロードが完了していることを確認します（プライベート）。	R
0x058	0x03	バンドギャップ・リファレンスをイネーブル（プライベート）。	W
0x090	0x1E	デバイス・クロック DLL をパワーアップ。	W
0x080	0x00	クロック・レシーバーをイネーブル。	W
0x040	0x00	DAC バイアス回路をイネーブル。	W
0x09E	0x85	DAC のアナログ・パラメータを設定（プライベート）。	W
0x091	0xE9	デバイス・クロック DLL をイネーブル。	W
0x092, Bit 0	0b1	DLL_STATUS をチェック。レジスタ 0x092 のビット 0 を 1 に設定して、DLL がデバイス・クロック入りにロックされていることを示します。	R
0x0E8	0x20	キャリブレーション係数をイネーブル（プライベート）。	W
0x152, Bits[1:0]		DAC デコード・モードを設定（0b00 = NRZ、0b01 = ミックス・モード、または 0b10 = RZ）。	W

¹ N/A は該当なしを意味します。

（表 42 参照）。DAC をパワー・ダウンまたはリセットした場合は、このシーケンスを実行してください。

JESD204B 設定シーケンスは、SERDES ブロックを設定してリンクを確立します（表 43 参照）。最初に DAC 設定スタートアップ・シーケンスを実行してから、JESD204B 設定シーケンスを実行します。

NCO を使用する場合は NCO 設定シーケンスに従ってください（表 44 を参照）。NCO は、NCO オンリー・モードで使用するか、SERDES データ・インターフェースから合成されたデータと共に使用することができます。同時に使用できるモードは 1 つだけで、このモードは表 44 の 2 番目のステップで選択されます。最初に DAC 設定スタートアップ・シーケンスを実行してから、NCO 設定シーケンスを実行します。

表 43. JESD204B 設定スタートアップ・シーケンス

レジスタ	値	説明	R/W
0x300	0x00	SERDES リンク設定前にリンクがディスエーブルされていることを確認。	W
0x480	0x38	SERDES エラー・カウンタをイネーブル。	W
0x481	0x38	SERDES エラー・カウンタをイネーブル。	W
0x482	0x38	SERDES エラー・カウンタをイネーブル。	W
0x483	0x38	SERDES エラー・カウンタをイネーブル。	W
0x484	0x38	SERDES エラー・カウンタをイネーブル。	W
0x485	0x38	SERDES エラー・カウンタをイネーブル。	W
0x486	0x38	SERDES エラー・カウンタをイネーブル。	W
0x487	0x38	SERDES エラー・カウンタをイネーブル。	W
0x110		レーン数 (ビット [7:4]) とインターポレーション・レート (ビット [3:0]) を設定。	W
0x111		ビット 7 (INVSINC_EN)、ビット 6 (NCO_EN)、ビット 4 (FILT_BW)、ビット 2 (MODULUS_EN)、ビット 1 (SEL_SIDE BAND)、およびビット 0 (FIR85_FILT_EN) のデータパス・オプションを設定。オプションの詳細については レジスタの一覧 のセクションを参照してください。予備ビット (ビット 5 とビット 3) を 0b0 に設定。	W
0x230		ハーフ・レート・イネーブルと分周器の両方について、 表 19 に従い CDR ブロックを設定。	W
0x289, Bits[1:0]		表 18 に示す条件に基づいて SERDES PLL 分周器をセットアップ。	W
0x084, Bits[5:4]		表 18 に示す条件に基づいて PLL リファレンス・クロック・レートをセットアップ。	W
0x200	0x00	JESD204B ブロックをイネーブル (マスターSERDES パワーダウンをディスエーブル)。	W
0x475	0x09	JESD204B 4 バイト・デフレーマをソフト・リセット。	W
0x453, Bit 7	0b1	オプション。SERDES レーンのスクランプリングをイネーブル。	W
0x458, Bits[7:5]		サブクラス・タイプを設定：0b000 = サブクラス 0、0b001 = サブクラス 1。	W
0x459, Bits[7:5]	0b1	JESD204x バージョンを JESD204B に設定。	W
0x45D		レジスタ 0x450 ~ レジスタ 0x45C の値からレーン 0 の計算チェックサム値を設定。	W
0x475	0x01	JESD204B 4 バイト・デフレーマのリセットを解除。	W
0x201, Bits[7:0]		該当する物理レーンをパワーダウンするには、このビットを 1 に設定。	W
0x2A7	0x01	オプション。SERDES PHY 終端ブロック 1 (PHY 0、PHY 1、PHY 6、PHY 7) を補正。	W
0x2AE	0x01	オプション。SERDES PHY 終端ブロック 2 (PHY 2、PHY 3、PHY 4、PHY 5) を補正。	W
0x29E	0x1F	SERDES PLL 設定のデフォルトをオーバーライド (プライベート)。	W
0x280	0x03	SERDES PLL をイネーブル。	W
0x281, Bit 0	0b1	ビット 0 が 1 になって SERDES PLL がロックされたことが分かるまで、レジスタ 0x281 をリードバック。 リンクをイネーブルする前に、JESD204B トランスミッタがイネーブルされてリンク同期を開始できる状態にあることを確認してください。	R
0x206	0x00	サンプリング・クロックと受信データを再アラインするために CDR をリセット。	W
0x206	0x01	CDR のリセットを解除。	W
0x300	0x01	リンク同期を開始するために JESD204B レシーバーをイネーブル。 $\overline{\text{SYNCOUT}}_{\pm}$ がアサートされると、JESD204B トランスミッタが、/K/文字を送信することによって CGS を開始します。	W
0x470	0xFF	すべてのレーンの CGS ステータスを読み出し。	R
0x471	0xFF	すべてのレーンのフレーム同期ステータスを読み出し。	R
0x472	0xFF	すべてのレーンの正常チェックサム・ステータスを読み出し。	R
0x473	0xFF	すべてのレーンの初期レーン同期ステータスを読み出し。	R
0x024	0x1F	データバス割込みをクリア。	W
0x4BA	0xFF	複数の SERDES 割込みをクリア。	W
0x4BB	0x01	SERDES 割込みをクリア。	W
0x020	0x0F	オプション。割込みをイネーブル。	W
0x4B8	0xFF	オプション。JESD204B 割込みをイネーブル。	W
0x4B9	0x01	オプション。JESD204B 割込みをイネーブル。	W

表 44. NCO 設定シーケンス

レジスタ	値	説明	R/W
0x110	0x80	(オプション) NCO オンリー・モードが必要なときはこの書き込みを実行。	W
0x111, Bit 6	0b1	NCO_EN (Bit 6) = 0b1 に設定。ビット 7 (INVSINC_EN)、ビット 4 (FILT_BW)、ビット 2 (MODULUS_EN)、ビット 1 (SEL_SIDE BAND)、およびビット 0 (FIR85_FILT_EN) については他のデータパス・オプションを設定します。オプションの詳細については レジスタの一覧 のセクションを参照してください。予備ビット (ビット 5 とビット 3) を 0b0 に設定。	W
0x150, Bit 1		DC_TEST_EN ビットを設定 : 0b0 = データ・インターフェースによる NCO 動作、0b1 = NCO オンリー・モード。	W
0x14E		NCO オンリー・モードにおけるトーン振幅の振幅値を書き込み (ビット [15:8]) 。	W
0x14F		NCO オンリー・モードにおけるトーン振幅の振幅値を書き込み (ビット [7:0]) 。	W
0x113	0x00	周波数チューニング・ワード書き込み要求がローであることを確認。	W
0x119		FTW、ビット [47:40] を書き込み。	W
0x118		FTW、ビット [39:32] を書き込み。	W
0x117		FTW、ビット [31:24] を書き込み。	W
0x116		FTW、ビット [23:16] を書き込み。	W
0x115		FTW、ビット [15:8] を書き込み。	W
0x114		FTW、ビット [7:0] を書き込み。	W
0x113	0x01	FTW を NCO にロード。	W

レジスタの一覧 : DAC

表 45. DAC レジスタの一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x000	SPI_INTFCONFA	[7:0]	SOFTRESET_M	LSBFIRST_M	ADDRINC_M	SDOACTIVE_M	SDOACTIVE	ADDRINC	LSBFIRST	SOFTRESET	0x00	R/W	
0x001	SPI_INTFCONFB	[7:0]	SINGLEINS	CSSTALL	Reserved			SOFTRESET1	SOFTRESET0	Reserved	0x00	R/W	
0x002	SPI_DEVCONF	[7:0]	DEVSTATUS				CUSTOPMODE		SYSOPMODE		0x00	R/W	
0x003	SPI_CHIPTYPE	[7:0]	CHIP_TYPE									0x00	R
0x004	SPI_PRODIDL	[7:0]	PROD_ID[7:0]									0x00	R
0x005	SPI_PRODIDH	[7:0]	PROD_ID[15:8]									0x00	R
0x006	SPI_CHIPGRADE	[7:0]	PROD_GRADE				DEV_REVISION				0x00	R	
0x020	IRQ_ENABLE	[7:0]	Reserved			EN_SYSREF_JITTER	EN_DATA_READY	EN_LANE_FIFO	EN_PRBSQ	EN_PRBSI	0x00	R/W	
0x024	IRQ_STATUS	[7:0]	Reserved			IRQ_SYSREF_JITTER	IRQ_DATA_READY	IRQ_LANE_FIFO	IRQ_PRBSQ	IRQ_PRBSI	0x00	R/W	
0x031	SYNC_LMFC_DELAY_FRAME	[7:0]	Reserved			SYNC_LMFC_DELAY_SET_FRM				0x00	R/W		
0x032	SYNC_LMFC_DELAY0	[7:0]	SYNC_LMFC_DELAY_SET[7:0]									0x00	R/W
0x033	SYNC_LMFC_DELAY1	[7:0]	Reserved				SYNC_LMFC_DELAY_SET[11:8]				0x00	R/W	
0x034	SYNC_LMFC_STAT0	[7:0]	SYNC_LMFC_DELAY_STAT[7:0]									0x00	R/W
0x035	SYNC_LMFC_STAT1	[7:0]	Reserved				SYNC_LMFC_DELAY_STAT[11:8]				0x00	R/W	
0x036	SYSREF_COUNT	[7:0]	SYSREF_COUNT									0x00	R/W
0x037	SYSREF_PHASE0	[7:0]	SYSREF_PHASE[7:0]									0x00	R/W
0x038	SYSREF_PHASE1	[7:0]	Reserved				SYSREF_PHASE[11:8]				0x00	R/W	
0x039	SYSREF_JITTER_WINDOW	[7:0]	Reserved			SYSREF_JITTER_WINDOW				0x00	R/W		
0x03A	SYNC_CTRL	[7:0]	Reserved						SYNC_MODE			0x00	R/W
0x03F	TX_ENABLE	[7:0]	SPI_DATAPATH_POST	SPI_DATAPATH_PRE	Reserved		TXEN_NCO_RESET	TXEN_DATAPATH_POST	TXEN_DATAPATH_PRE	TXEN_DAC_FSC	0xC0	R/W	
0x040	ANA_DAC_BIAS_PD	[7:0]	Reserved						ANA_DAC_BIAS_PD1	ANA_DAC_BIAS_PD0	0x03	R/W	
0x041	ANA_FSC0	[7:0]	Reserved						ANA_FULL_SCALE_CURRENT[1:0]			0x03	R/W
0x042	ANA_FSC1	[7:0]	ANA_FULL_SCALE_CURRENT[9:2]									0xFF	R/W
0x07F	CLK_PHASE_TUNE	[7:0]	Reserved			CLK_PHASE_TUNE				0x00	R/W		
0x080	CLK_PD	[7:0]	Reserved								DACCLK_PD	0x01	R/W
0x082	CLK_DUTY	[7:0]	CLK_DUTY_EN	CLK_DUTY_OFFSET_EN	CLK_DUTY_BOOST_EN	CLK_DUTY_PRG				0x80	R/W		
0x083	CLK_CRS_CTRL	[7:0]	CLK_CRS_EN	Reserved			CLK_CRS_ADJ				0x80	R/W	
0x084	PLL_REF_CLK_PD	[7:0]	Reserved			PLL_REF_CLK_RATE		Reserved		PLL_REF_CLK_PD	0x00	R/W	
0x088	SYSREF_CTRL0	[7:0]	Reserved				HYS_ON	SYSREF_RISE	HYS_CNTRL[9:8]			0x00	R/W
0x089	SYSREF_CTRL1	[7:0]	HYS_CNTRL[7:0]									0x00	R/W
0x090	DLL_PD	[7:0]	Reserved			DLL_FINE_DC_EN	DLL_FINE_XC_EN	DLL_COARSE_DC_EN	DLL_COARSE_XC_EN	DLL_CLK_PD	0x1F	R/W	
0x091	DLL_CTRL	[7:0]	DLL_TRACK_ERR	DLL_SEARCH_ERR	DLL_SLOPE	DLL_SEARCH		DLL_MODE		DLL_ENABLE	0xF0	R/W	
0x092	DLL_STATUS	[7:0]	Reserved				DLL_FAIL		DLL_LOST	DLL_LOCKED	0x00	R/W	
0x093	DLL_GB	[7:0]	Reserved				DLL_GUARD				0x00	R/W	
0x094	DLL_COARSE	[7:0]	Reserved			DLL_COARSE				0x00	R/W		

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x095	DLL_FINE	[7:0]	DLL_FINE									0x80	R/W
0x096	DLL_PHASE	[7:0]	Reserved				DLL_PHS					0x08	R/W
0x097	DLL_BW	[7:0]	Reserved				DLL_FILT_BW			DLL_WEIGHT		0x00	R/W
0x098	DLL_READ	[7:0]	Reserved								DLL_READ	0x00	R/W
0x099	DLL_COARSE_RB	[7:0]	Reserved			DLL_COARSE_RB						0x00	R
0x09A	DLL_FINE_RB	[7:0]	DLL_FINE_RB									0x00	R
0x09B	DLL_PHASE_RB	[7:0]	Reserved				DLL_PHS_RB					0x00	R
0x09D	DIG_CLK_INVERT	[7:0]	Reserved					INV_DIG_CLK	DIG_CLK_DC_EN	DIG_CLK_XC_EN	0x03	R/W	
0x0A0	DLL_CLK_DEBUG	[7:0]	DLL_TEST_EN	Reserved					DLL_TEST_DIV		0x00	R/W	
0x110	INTERP_MODE	[7:0]	JESD_LANES				INTERP_MODE					0x81	R/W
0x111	DATAPATH_CFG	[7:0]	INVSINC_EN	NCO_EN	Reserved	FILT_BW	Reserved	MODULUS_EN	SEL_SIDE BAND	FIR85_FILT_EN	0x00	R/W	
0x113	FTW_UPDATE	[7:0]	Reserved	FTW_REQ_MODE			Reserved	FTW_LOAD_SYSREF	FTW_LOAD_ACK	FTW_LOAD_REQ	0x00	R/W	
0x114	FTW0	[7:0]	FTW[7:0]									0x00	R/W
0x115	FTW1	[7:0]	FTW[15:8]									0x00	R/W
0x116	FTW2	[7:0]	FTW[23:16]									0x00	R/W
0x117	FTW3	[7:0]	FTW[31:24]									0x00	R/W
0x118	FTW4	[7:0]	FTW[39:32]									0x00	R/W
0x119	FTW5	[7:0]	FTW[47:40]									0x00	R/W
0x11C	PHASE_OFFSET0	[7:0]	NCO_PHASE_OFFSET[7:0]									0x00	R/W
0x11D	PHASE_OFFSET1	[7:0]	NCO_PHASE_OFFSET[15:8]									0x00	R/W
0x124	ACC_MODULUS0	[7:0]	ACC_MODULUS[7:0]									0x00	R/W
0x125	ACC_MODULUS1	[7:0]	ACC_MODULUS[15:8]									0x00	R/W
0x126	ACC_MODULUS2	[7:0]	ACC_MODULUS[23:16]									0x00	R/W
0x127	ACC_MODULUS3	[7:0]	ACC_MODULUS[31:24]									0x00	R/W
0x128	ACC_MODULUS4	[7:0]	ACC_MODULUS[39:32]									0x00	R/W
0x129	ACC_MODULUS5	[7:0]	ACC_MODULUS[47:40]									0x00	R/W
0x12A	ACC_DELTA0	[7:0]	ACC_DELTA[7:0]									0x00	R/W
0x12B	ACC_DELTA1	[7:0]	ACC_DELTA[15:8]									0x00	R/W
0x12C	ACC_DELTA2	[7:0]	ACC_DELTA[23:16]									0x00	R/W
0x12D	ACC_DELTA3	[7:0]	ACC_DELTA[31:24]									0x00	R/W
0x12E	ACC_DELTA4	[7:0]	ACC_DELTA[39:32]									0x00	R/W
0x12F	ACC_DELTA5	[7:0]	ACC_DELTA[47:40]									0x00	R/W
0x132	TEMP_SENS_LSB	[7:0]	TEMP_SENS_OUT[7:0]										R
0x133	TEMP_SENS_MSB	[7:0]	TEMP_SENS_OUT[15:8]										R
0x134	TEMP_SENS_UPDATE	[7:0]	Reserved								TEMP_SENS_UPDATE	0x00	R/W
0x135	TEMP_SENS_CTRL	[7:0]	TEMP_SENS_FAST	Reserved						TEMP_SENS_ENABLE		R/W	
0x14B	PRBS	[7:0]	PRBS_GOOD_Q	PRBS_GOOD_I	Reserved	PRBS_INV_Q	PRBS_INV_I	PRBS_MODE	PRBS_RESET	PRBS_EN	0x10	R/W	
0x14C	PRBS_ERROR_I	[7:0]	PRBS_COUNT_I									0x00	R
0x14D	PRBS_ERROR_Q	[7:0]	PRBS_COUNT_Q									0x00	R
0x14E	TEST_DC_DATA1	[7:0]	DC_TEST_DATA[15:8]									0x00	R/W
0x14F	TEST_DC_DATA0	[7:0]	DC_TEST_DATA[7:0]									0x00	R/W

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x150	DIG_TEST	[7:0]	Reserved						DC_TEST_EN	Reserved	0x00	R/W	
0x151	DECODE_CTRL	[7:0]	Reserved					Shuffle	Reserved		0x01	R/W	
0x152	DECODE_MODE	[7:0]	Reserved						DECODE_MODE		0x00	R/W	
0x1DF	SPI_STRENGTH	[7:0]	Reserved				SPIDRV				0x0F	R/W	
0x200	MASTER_PD	[7:0]	Reserved						SPI_PD_MASTER		0x01	R/W	
0x201	PHY_PD	[7:0]	SPI_PD_PHY									0x00	R/W
0x203	GENERIC_PD	[7:0]	Reserved						SPI_SYNC1_PD	Reserved	0x00	R/W	
0x206	CDR_RESET	[7:0]	Reserved						SPI_CDR_RESET		0x01	R/W	
0x230	CDR_OPERATING_MODE_REG_0	[7:0]	Reserved	SPI_ENHALFRATE	Reserved		SPI_DIVISION_RATE		Reserved	0x28	R/W		
0x250	EQ_CONFIG_PHY_0_1	[7:0]	SPI_EQ_CONFIG1				SPI_EQ_CONFIG0				0x88	R/W	
0x251	EQ_CONFIG_PHY_2_3	[7:0]	SPI_EQ_CONFIG3				SPI_EQ_CONFIG2				0x88	R/W	
0x252	EQ_CONFIG_PHY_4_5	[7:0]	SPI_EQ_CONFIG5				SPI_EQ_CONFIG4				0x88	R/W	
0x253	EQ_CONFIG_PHY_6_7	[7:0]	SPI_EQ_CONFIG7				SPI_EQ_CONFIG6				0x88	R/W	
0x268	EQ_BIAS_REG	[7:0]	EQ_POWER_MODE		Reserved						0x62	R/W	
0x280	SYNTH_ENABLE_CNTRL	[7:0]	Reserved				SPI_RECAL_SYNTH	Reserved	SPI_ENABLE_SYNTH	0x00	R/W		
0x281	PLL_STATUS	[7:0]	Reserved	SPI_CP_OVER_RANGE_HIGH_RB	SPI_CP_OVER_RANGE_LOW_RB	SPI_CP_CAL_VALID_RB	Reserved		SPI_PLL_LOCK_RB	0x00	R		
0x289	REF_CLK_DIVIDER_LDO	[7:0]	Reserved						SERDES_PLL_DIV_FACTOR	0x04	R/W		
0x2A7	TERM_BLK1_CTRLREG0	[7:0]	Reserved						SPI_I_TUNE_R_CAL_TERMBLK1		0x00	R/W	
0x2A8	TERM_BLK1_CTRLREG1	[7:0]	SPI_I_SERIALIZER_RTRIM_TERMBLK1									0x00	R/W
0x2AC	TERM_BLK1_RD_REG0	[7:0]	Reserved				SPI_O_RCAL_CODE_TERMBLK1				0x00	R	
0x2AE	TERM_BLK2_CTRLREG0	[7:0]	Reserved						SPI_I_TUNE_R_CAL_TERMBLK2		0x00	R/W	
0x2AF	TERM_BLK2_CTRLREG1	[7:0]	SPI_I_SERIALIZER_RTRIM_TERMBLK2									0x00	R/W
0x2B3	TERM_BLK2_RD_REG0	[7:0]	Reserved				SPI_O_RCAL_CODE_TERMBLK2				0x00	R	
0x2BB	TERM_OFFSET_0	[7:0]	Reserved				TERM_OFFSET_0				0x00	R/W	
0x2BC	TERM_OFFSET_1	[7:0]	Reserved				TERM_OFFSET_1				0x00	R/W	
0x2BD	TERM_OFFSET_2	[7:0]	Reserved				TERM_OFFSET_2				0x00	R/W	
0x2BE	TERM_OFFSET_3	[7:0]	Reserved				TERM_OFFSET_3				0x00	R/W	
0x2BF	TERM_OFFSET_4	[7:0]	Reserved				TERM_OFFSET_4				0x00	R/W	
0x2C0	TERM_OFFSET_5	[7:0]	Reserved				TERM_OFFSET_5				0x00	R/W	
0x2C1	TERM_OFFSET_6	[7:0]	Reserved				TERM_OFFSET_6				0x00	R/W	

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x2C2	TERM_OFFSET_7	[7:0]	Reserved				TERM_OFFSET_7				0x00	R/W
0x300	GENERAL_JRX_CTRL_0	[7:0]	Reserved	CHECKSUM_MODE	Reserved				LINK_EN	0x00	R/W	
0x302	DYN_LINK_LATENCY_0	[7:0]	Reserved			DYN_LINK_LATENCY_0				0x00	R	
0x304	LMFC_DELAY_0	[7:0]	Reserved			LMFC_DELAY_0				0x00	R/W	
0x306	LMFC_VAR_0	[7:0]	Reserved			LMFC_VAR_0				0x1F	R/W	
0x308	XBAR_LN_0_1	[7:0]	Reserved		SRC_LANE1		SRC_LANE0		0x08	R/W		
0x309	XBAR_LN_2_3	[7:0]	Reserved		SRC_LANE3		SRC_LANE2		0x1A	R/W		
0x30A	XBAR_LN_4_5	[7:0]	Reserved		SRC_LANES		SRC_LANE4		0x2C	R/W		
0x30B	XBAR_LN_6_7	[7:0]	Reserved		SRC_LANE7		SRC_LANE6		0x3E	R/W		
0x30C	FIFO_STATUS_REG_0	[7:0]	LANE_FIFO_FULL								0x00	R
0x30D	FIFO_STATUS_REG_1	[7:0]	LANE_FIFO_EMPTY								0x00	R
0x311	SYNC_GEN_0	[7:0]	Reserved				EOMF_MASK_0	Reserved	EOF_MASK_0	0x00	R/W	
0x312	SYNC_GEN_1	[7:0]	SYNC_ERR_DUR			SYNC_SYNCREQ_DUR				0x00	R/W	
0x313	SYNC_GEN_3	[7:0]	LMFC_PERIOD								0x00	R
0x315	PHY_PRBS_TEST_EN	[7:0]	PHY_TEST_EN								0x00	R/W
0x316	PHY_PRBS_TEST_CTRL	[7:0]	Reserved	PHY_SRC_ERR_CNT		PHY_PRBS_PAT_SEL		PHY_TEST_START	PHY_TEST_RESET	0x00	R/W	
0x317	PHY_PRBS_TEST_THRESHOLD_LOBITS	[7:0]	PHY_PRBS_THRESHOLD_LOBITS								0x00	R/W
0x318	PHY_PRBS_TEST_THRESHOLD_MIDBITS	[7:0]	PHY_PRBS_THRESHOLD_MIDBITS								0x00	R/W
0x319	PHY_PRBS_TEST_THRESHOLD_HIBITS	[7:0]	PHY_PRBS_THRESHOLD_HIBITS								0x00	R/W
0x31A	PHY_PRBS_TEST_ERRCNT_LOBITS	[7:0]	PHY_PRBS_ERR_CNT_LOBITS								0x00	R
0x31B	PHY_PRBS_TEST_ERRCNT_MIDBITS	[7:0]	PHY_PRBS_ERR_CNT_MIDBITS								0x00	R
0x31C	PHY_PRBS_TEST_ERRCNT_HIBITS	[7:0]	PHY_PRBS_ERR_CNT_HIBITS								0x00	R
0x31D	PHY_PRBS_TEST_STATUS	[7:0]	PHY_PRBS_PASS								0xFF	R
0x31E	PHY_DATA_SNAPSHOT_CTRL	[7:0]	Reserved			PHY_GRAB_LANE_SEL		PHY_GRAB_MODE	PHY_GRAB_DATA	0x00	R/W	
0x31F	PHY_SNAPSHOT_DATA_BYTE0	[7:0]	PHY_SNAPSHOT_DATA_BYTE0								0x00	R
0x320	PHY_SNAPSHOT_DATA_BYTE1	[7:0]	PHY_SNAPSHOT_DATA_BYTE1								0x00	R
0x321	PHY_SNAPSHOT_DATA_BYTE2	[7:0]	PHY_SNAPSHOT_DATA_BYTE2								0x00	R
0x322	PHY_SNAPSHOT_DATA_BYTE3	[7:0]	PHY_SNAPSHOT_DATA_BYTE3								0x00	R
0x323	PHY_SNAPSHOT_DATA_BYTE4	[7:0]	PHY_SNAPSHOT_DATA_BYTE4								0x00	R
0x32C	SHORT_TPL_TEST_0	[7:0]	SHORT_TPL_SP_SEL			SHORT_TPL_M_SEL		SHORT_TPL_TEST_RESET	SHORT_TPL_TEST_EN	0x00	R/W	

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW				
0x32D	SHORT_TPL_TEST_1	[7:0]	SHORT_TPL_REF_SP_LSB									0x00	R/W			
0x32E	SHORT_TPL_TEST_2	[7:0]	SHORT_TPL_REF_SP_MSB									0x00	R/W			
0x32F	SHORT_TPL_TEST_3	[7:0]	Reserved								SHORT_TPL_FAIL	0x00	R			
0x334	JESD_BIT_INVERSE_CTRL	[7:0]	JESD_BIT_INVERSE									0x00	R/W			
0x400	DID_REG	[7:0]	DID_RD									0x00	R			
0x401	BID_REG	[7:0]	BID_RD									0x00	R			
0x402	LID0_REG	[7:0]	Reserved	ADJDIR_RD	PHADJ_RD	LL_LID0						0x00	R			
0x403	SCR_L_REG	[7:0]	SCR_RD	Reserved			L_RD						0x00	R		
0x404	F_REG	[7:0]	F_RD									0x00	R			
0x405	K_REG	[7:0]	Reserved					K_RD							0x00	R
0x406	M_REG	[7:0]	M_RD									0x00	R			
0x407	CS_N_REG	[7:0]	CS_RD			Reserved			N_RD						0x00	R
0x408	NP_REG	[7:0]	SUBCLASSV_RD						NP_RD						0x00	R
0x409	S_REG	[7:0]	JESDV_RD									0x00	R			
0x40A	HD_CF_REG	[7:0]	HD_RD	Reserved				CF_RD						0x00	R	
0x40B	RES1_REG	[7:0]	RES1_RD									0x00	R			
0x40C	RES2_REG	[7:0]	RES2_RD									0x00	R			
0x40D	CHECKSUM0_REG	[7:0]	LL_FCHK0									0x00	R			
0x40E	COMPNUM0_REG	[7:0]	LL_FCMP0									0x00	R			
0x412	LID1_REG	[7:0]	Reserved					LL_LID1							0x00	R
0x415	CHECKSUM1_REG	[7:0]	LL_FCHK1									0x00	R			
0x416	COMPNUM1_REG	[7:0]	LL_FCMP1									0x00	R			
0x41A	LID2_REG	[7:0]	Reserved					LL_LID2							0x00	R
0x41D	CHECKSUM2_REG	[7:0]	LL_FCHK2									0x00	R			
0x41E	COMPNUM2_REG	[7:0]	LL_FCMP2									0x00	R			
0x422	LID3_REG	[7:0]	Reserved					LL_LID3							0x00	R
0x425	CHECKSUM3_REG	[7:0]	LL_FCHK3									0x00	R			
0x426	COMPNUM3_REG	[7:0]	LL_FCMP3									0x00	R			
0x42A	LID4_REG	[7:0]	Reserved					LL_LID4							0x00	R
0x42D	CHECKSUM4_REG	[7:0]	LL_FCHK4									0x00	R			
0x42E	COMPNUM4_REG	[7:0]	LL_FCMP4									0x00	R			
0x432	LID5_REG	[7:0]	Reserved					LL_LID5							0x00	R
0x435	CHECKSUM5_REG	[7:0]	LL_FCHK5									0x00	R			
0x436	COMPNUM5_REG	[7:0]	LL_FCMP5									0x00	R			
0x43A	LID6_REG	[7:0]	Reserved					LL_LID6							0x00	R
0x43D	CHECKSUM6_REG	[7:0]	LL_FCHK6									0x00	R			
0x43E	COMPNUM6_REG	[7:0]	LL_FCMP6									0x00	R			
0x442	LID7_REG	[7:0]	Reserved					LL_LID7							0x00	R
0x445	CHECKSUM7_REG	[7:0]	LL_FCHK7									0x00	R			
0x446	COMPNUM7_REG	[7:0]	LL_FCMP7									0x00	R			

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW			
0x450	ILS_DID	[7:0]	DID									0x00	R/W		
0x451	ILS_BID	[7:0]	BID									0x00	R/W		
0x452	ILS_LID0	[7:0]	Reserved	ADJDIR	PHADJ	Reserved			LID0	Reserved			0x00	R/W	
0x453	ILS_SCR_L	[7:0]	SCR	Reserved			Reserved			L	Reserved			0x87	R/W
0x454	ILS_F	[7:0]	F									0x00	R		
0x455	ILS_K	[7:0]	Reserved			Reserved			K			0x1F	R/W		
0x456	ILS_M	[7:0]	M									0x01	R		
0x457	ILS_CS_N	[7:0]	CS		Reserved		Reserved			N	Reserved			0x0F	R
0x458	ILS_NP	[7:0]	SUBCLASSV						NP			0x0F	R/W		
0x459	ILS_S	[7:0]	JESDV						S			0x01	R/W		
0x45A	ILS_HD_CF	[7:0]	HD	Reserved			Reserved			CF	Reserved			0x80	R
0x45B	ILS_RES1	[7:0]	RES1									0x00	R/W		
0x45C	ILS_RES2	[7:0]	RES2									0x00	R/W		
0x45D	ILS_CHECKSUM	[7:0]	FCHK0									0x00	R/W		
0x46C	LANE_DESKEW	[7:0]	ILD7	ILS6	ILD5	ILD4	ILD3	ILD2	ILD1	ILD0	0x00	R			
0x46D	BAD_DISPARITY	[7:0]	BDE7	BDE6	BDE5	BDE4	BDE3	BDE2	BDE1	BDE0	0x00	R			
0x46E	NOT_IN_TABLE	[7:0]	NIT7	NIT6	NIT5	NIT4	NIT3	NIT2	NIT1	NIT0	0x00	R			
0x46F	UNEXPECTED_KCHAR	[7:0]	UEK7	UEK6	UEK5	UEK4	UEK3	UEK2	UEK1	UEK0	0x00	R			
0x470	CODE_GRP_SYNC	[7:0]	CGS7	CGS6	CGS5	CGS4	CGS3	CGS2	CGS1	CGS0	0x00	R			
0x471	FRAME_SYNC	[7:0]	FS7	FS6	FS5	FS4	FS3	FS2	FS1	FS0	0x00	R			
0x472	GOOD_CHECKSUM	[7:0]	CKS7	CKS6	CKS5	CKS4	CKS3	CKS2	CKS1	CKS0	0x00	R			
0x473	INIT_LANE_SYNC	[7:0]	ILS7	ILS6	ILS5	ILS4	ILS3	ILS2	ILS1	ILS0	0x00	R			
0x475	CTRLREG0	[7:0]	RX_DIS	CHAR_REPL_DIS	Reserved		SOFRST	FORCESYNCREQ	Reserved	REPL_FRM_ENA	0x01	R/W			
0x476	CTRLREG1	[7:0]	Reserved			QUAL_RDERR	DEL_SCR	CGS_SEL	NO_ILAS	FCHK_N	0x14	R/W			
0x477	CTRLREG2	[7:0]	ILS_MODE	Reserved	REPDATATEST	QUETESTERR	AR_ECINTR	Reserved			0x00	R/W			
0x478	KVAL	[7:0]	KSYNC									0x01	R/W		
0x47C	ERRORTHRES	[7:0]	ETH									0xFF	R/W		
0x47D	SYNC_ASSERT_MASK	[7:0]	Reserved						SYNC_ASSERT_MASK			0x07	R/W		
0x480	ECNT_CTRL0	[7:0]	Reserved			ECNT_ENA0			ECNT_RST0			0x3F	R/W		
0x481	ECNT_CTRL1	[7:0]	Reserved			ECNT_ENA1			ECNT_RST1			0x3F	R/W		
0x482	ECNT_CTRL2	[7:0]	Reserved			ECNT_ENA2			ECNT_RST2			0x3F	R/W		
0x483	ECNT_CTRL3	[7:0]	Reserved			ECNT_ENA3			ECNT_RST3			0x3F	R/W		
0x484	ECNT_CTRL4	[7:0]	Reserved			ECNT_ENA4			ECNT_RST4			0x3F	R/W		
0x485	ECNT_CTRL5	[7:0]	Reserved			ECNT_ENA5			ECNT_RST5			0x3F	R/W		
0x486	ECNT_CTRL6	[7:0]	Reserved			ECNT_ENA6			ECNT_RST6			0x3F	R/W		
0x487	ECNT_CTRL7	[7:0]	Reserved			ECNT_ENA7			ECNT_RST7			0x3F	R/W		
0x488	ECNT_TCH0	[7:0]	Reserved						ECNT_TCH0			0x07	R/W		
0x489	ECNT_TCH1	[7:0]	Reserved						ECNT_TCH1			0x07	R/W		
0x48A	ECNT_TCH2	[7:0]	Reserved						ECNT_TCH2			0x07	R/W		
0x48B	ECNT_TCH3	[7:0]	Reserved						ECNT_TCH3			0x07	R/W		
0x48C	ECNT_TCH4	[7:0]	Reserved						ECNT_TCH4			0x07	R/W		
0x48D	ECNT_TCH5	[7:0]	Reserved						ECNT_TCH5			0x07	R/W		
0x48E	ECNT_TCH6	[7:0]	Reserved						ECNT_TCH6			0x07	R/W		
0x48F	ECNT_TCH7	[7:0]	Reserved						ECNT_TCH7			0x07	R/W		
0x490	ECNT_STAT0	[7:0]	Reserved			Reserved			LANE_ENA0	ECNT_TCR0			0x00	R	
0x491	ECNT_STAT1	[7:0]	Reserved			Reserved			LANE_ENA1	ECNT_TCR1			0x00	R	
0x492	ECNT_STAT2	[7:0]	Reserved			Reserved			LANE_ENA2	ECNT_TCR2			0x00	R	
0x493	ECNT_STAT3	[7:0]	Reserved			Reserved			LANE_ENA3	ECNT_TCR3			0x00	R	
0x494	ECNT_STAT4	[7:0]	Reserved			Reserved			LANE_ENA4	ECNT_TCR4			0x00	R	
0x495	ECNT_STAT5	[7:0]	Reserved			Reserved			LANE_ENA5	ECNT_TCR5			0x00	R	
0x496	ECNT_STAT6	[7:0]	Reserved			Reserved			LANE_ENA6	ECNT_TCR6			0x00	R	

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x497	ECNT_STAT7	[7:0]	Reserved				LANE_ENA7	ECNT_TCR7			0x00	R
0x498	BD_CNT0	[7:0]					BD_CNT0				0x00	R
0x499	BD_CNT1	[7:0]					BD_CNT1				0x00	R
0x49A	BD_CNT2	[7:0]					BD_CNT2				0x00	R
0x49B	BD_CNT3	[7:0]					BD_CNT3				0x00	R
0x49C	BD_CNT4	[7:0]					BD_CNT4				0x00	R
0x49D	BD_CNT5	[7:0]					BD_CNT5				0x00	R
0x49E	BD_CNT6	[7:0]					BD_CNT6				0x00	R
0x49F	BD_CNT7	[7:0]					BD_CNT7				0x00	R
0x4A0	NIT_CNT0	[7:0]					NIT_CNT0				0x00	R
0x4A1	NIT_CNT1	[7:0]					NIT_CNT1				0x00	R
0x4A2	NIT_CNT2	[7:0]					NIT_CNT2				0x00	R
0x4A3	NIT_CNT3	[7:0]					NIT_CNT3				0x00	R
0x4A4	NIT_CNT4	[7:0]					NIT_CNT4				0x00	R
0x4A5	NIT_CNT5	[7:0]					NIT_CNT5				0x00	R
0x4A6	NIT_CNT6	[7:0]					NIT_CNT6				0x00	R
0x4A7	NIT_CNT7	[7:0]					NIT_CNT7				0x00	R
0x4A8	UEK_CNT0	[7:0]					UEK_CNT0				0x00	R
0x4A9	UEK_CNT1	[7:0]					UEK_CNT1				0x00	R
0x4AA	UEK_CNT2	[7:0]					UEK_CNT2				0x00	R
0x4AB	UEK_CNT3	[7:0]					UEK_CNT3				0x00	R
0x4AC	UEK_CNT4	[7:0]					UEK_CNT4				0x00	R
0x4AD	UEK_CNT5	[7:0]					UEK_CNT5				0x00	R
0x4AE	UEK_CNT6	[7:0]					UEK_CNT6				0x00	R
0x4AF	UEK_CNT7	[7:0]					UEK_CNT7				0x00	R
0x4B0	LINK_STATUS0	[7:0]	BDE0	NIT0	UEK0	ILD0	ILS0	CKS0	FS0	CGS0	0x00	R
0x4B1	LINK_STATUS1	[7:0]	BDE1	NIT1	UEK1	ILD1	ILS1	CKS1	FS1	CGS1	0x00	R
0x4B2	LINK_STATUS2	[7:0]	BDE2	NIT2	UEK2	ILD2	ILS2	CKS2	FS2	CGS2	0x00	R
0x4B3	LINK_STATUS3	[7:0]	BDE3	NIT3	UEK3	ILD3	ILS3	CKS3	FS3	CGS3	0x00	R
0x4B4	LINK_STATUS4	[7:0]	BDE4	NIT4	UEK4	ILD4	ILS4	CKS4	FS4	CGS4	0x00	R
0x4B5	LINK_STATUS5	[7:0]	BDE5	NIT5	UEK5	ILD5	ILS5	CKS5	FS5	CGS5	0x00	R
0x4B6	LINK_STATUS6	[7:0]	BDE6	NIT6	UEK6	ILD6	ILS6	CKS6	FS6	CGS6	0x00	R
0x4B7	LINK_STATUS7	[7:0]	BDE7	NIT7	UEK7	ILD7	ILS7	CKS7	FS7	CGS7	0x00	R
0x4B8	JESD_IRQ_ENABLEA	[7:0]	EN_BDE	EN_NIT	EN_UEK	EN_ILD	EN_ILS	EN_CKS	EN_FS	EN_CGS	0x00	R/W
0x4B9	JESD_IRQ_ENABLEB	[7:0]	Reserved							EN_ILAS	0x00	R/W
0x4BA	JESD_IRQ_STATUSA	[7:0]	IRQ_BDE	IRQ_NIT	IRQ_UEK	IRQ_ILD	IRQ_ILS	IRQ_CKS	IRQ_FS	IRQ_CGS	0x00	R/W
0x4BB	JESD_IRQ_STATUSB	[7:0]	Reserved							IRQ_ILAS	0x00	R/W
0x800	HOPF_CTRL	[7:0]	HOPF_MODE		Reserved	HOPF_SEL					0x00	R/W
0x806	HOPF_FTW1_0	[7:0]					HOPF_FTW1[7:0]			0x00	R/W	
0x807	HOPF_FTW1_1	[7:0]					HOPF_FTW1[15:8]			0x00	R/W	
0x808	HOPF_FTW1_2	[7:0]					HOPF_FTW1[23:16]			0x00	R/W	
0x809	HOPF_FTW1_3	[7:0]					HOPF_FTW1[31:24]			0x00	R/W	
0x80A	HOPF_FTW2_0	[7:0]					HOPF_FTW2[7:0]			0x00	R/W	
0x80B	HOPF_FTW2_1	[7:0]					HOPF_FTW2[15:8]			0x00	R/W	
0x80C	HOPF_FTW2_2	[7:0]					HOPF_FTW2[23:16]			0x00	R/W	
0x80D	HOPF_FTW2_3	[7:0]					HOPF_FTW2[31:24]			0x00	R/W	
0x80E	HOPF_FTW3_0	[7:0]					HOPF_FTW3[7:0]			0x00	R/W	
0x80F	HOPF_FTW3_1	[7:0]					HOPF_FTW3[15:8]			0x00	R/W	
0x810	HOPF_FTW3_2	[7:0]					HOPF_FTW3[23:16]			0x00	R/W	
0x811	HOPF_FTW3_3	[7:0]					HOPF_FTW3[31:24]			0x00	R/W	
0x812	HOPF_FTW4_0	[7:0]					HOPF_FTW4[7:0]			0x00	R/W	
0x813	HOPF_FTW4_1	[7:0]					HOPF_FTW4[15:8]			0x00	R/W	
0x814	HOPF_FTW4_2	[7:0]					HOPF_FTW4[23:16]			0x00	R/W	

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x815	HOPF_FT_W4_3	[7:0]					HOPF_FT_W4[31:24]				0x00	R/W
0x816	HOPF_FT_W5_0	[7:0]					HOPF_FT_W5[7:0]				0x00	R/W
0x817	HOPF_FT_W5_1	[7:0]					HOPF_FT_W5[15:8]				0x00	R/W
0x818	HOPF_FT_W5_2	[7:0]					HOPF_FT_W5[23:16]				0x00	R/W
0x819	HOPF_FT_W5_3	[7:0]					HOPF_FT_W5[31:24]				0x00	R/W
0x81A	HOPF_FT_W6_0	[7:0]					HOPF_FT_W6[7:0]				0x00	R/W
0x81B	HOPF_FT_W6_1	[7:0]					HOPF_FT_W6[15:8]				0x00	R/W
0x81C	HOPF_FT_W6_2	[7:0]					HOPF_FT_W6[23:16]				0x00	R/W
0x81D	HOPF_FT_W6_3	[7:0]					HOPF_FT_W6[31:24]				0x00	R/W
0x81E	HOPF_FT_W7_0	[7:0]					HOPF_FT_W7[7:0]				0x00	R/W
0x81F	HOPF_FT_W7_1	[7:0]					HOPF_FT_W7[15:8]				0x00	R/W
0x820	HOPF_FT_W7_2	[7:0]					HOPF_FT_W7[23:16]				0x00	R/W
0x821	HOPF_FT_W7_3	[7:0]					HOPF_FT_W7[31:24]				0x00	R/W
0x822	HOPF_FT_W8_0	[7:0]					HOPF_FT_W8[7:0]				0x00	R/W
0x823	HOPF_FT_W8_1	[7:0]					HOPF_FT_W8[15:8]				0x00	R/W
0x824	HOPF_FT_W8_2	[7:0]					HOPF_FT_W8[23:16]				0x00	R/W
0x825	HOPF_FT_W8_3	[7:0]					HOPF_FT_W8[31:24]				0x00	R/W
0x826	HOPF_FT_W9_0	[7:0]					HOPF_FT_W9[7:0]				0x00	R/W
0x827	HOPF_FT_W9_1	[7:0]					HOPF_FT_W9[15:8]				0x00	R/W
0x828	HOPF_FT_W9_2	[7:0]					HOPF_FT_W9[23:16]				0x00	R/W
0x829	HOPF_FT_W9_3	[7:0]					HOPF_FT_W9[31:24]				0x00	R/W
0x82A	HOPF_FT_W10_0	[7:0]					HOPF_FT_W10[7:0]				0x00	R/W
0x82B	HOPF_FT_W10_1	[7:0]					HOPF_FT_W10[15:8]				0x00	R/W
0x82C	HOPF_FT_W10_2	[7:0]					HOPF_FT_W10[23:16]				0x00	R/W
0x82D	HOPF_FT_W10_3	[7:0]					HOPF_FT_W10[31:24]				0x00	R/W
0x82E	HOPF_FT_W11_0	[7:0]					HOPF_FT_W11[7:0]				0x00	R/W
0x82F	HOPF_FT_W11_1	[7:0]					HOPF_FT_W11[15:8]				0x00	R/W
0x830	HOPF_FT_W11_2	[7:0]					HOPF_FT_W11[23:16]				0x00	R/W
0x831	HOPF_FT_W11_3	[7:0]					HOPF_FT_W11[31:24]				0x00	R/W
0x832	HOPF_FT_W12_0	[7:0]					HOPF_FT_W12[7:0]				0x00	R/W
0x833	HOPF_FT_W12_1	[7:0]					HOPF_FT_W12[15:8]				0x00	R/W
0x834	HOPF_FT_W12_2	[7:0]					HOPF_FT_W12[23:16]				0x00	R/W
0x835	HOPF_FT_W12_3	[7:0]					HOPF_FT_W12[31:24]				0x00	R/W
0x836	HOPF_FT_W13_0	[7:0]					HOPF_FT_W13[7:0]				0x00	R/W
0x837	HOPF_FT_W13_1	[7:0]					HOPF_FT_W13[15:8]				0x00	R/W
0x838	HOPF_FT_W13_2	[7:0]					HOPF_FT_W13[23:16]				0x00	R/W
0x839	HOPF_FT_W13_3	[7:0]					HOPF_FT_W13[31:24]				0x00	R/W
0x83A	HOPF_FT_W14_0	[7:0]					HOPF_FT_W14[7:0]				0x00	R/W
0x83B	HOPF_FT_W14_1	[7:0]					HOPF_FT_W14[15:8]				0x00	R/W
0x83C	HOPF_FT_W14_2	[7:0]					HOPF_FT_W14[23:16]				0x00	R/W
0x83D	HOPF_FT_W14_3	[7:0]					HOPF_FT_W14[31:24]				0x00	R/W
0x83E	HOPF_FT_W15_0	[7:0]					HOPF_FT_W15[7:0]				0x00	R/W
0x83F	HOPF_FT_W15_1	[7:0]					HOPF_FT_W15[15:8]				0x00	R/W
0x840	HOPF_FT_W15_2	[7:0]					HOPF_FT_W15[23:16]				0x00	R/W
0x841	HOPF_FT_W15_3	[7:0]					HOPF_FT_W15[31:24]				0x00	R/W
0x842	HOPF_FT_W16_0	[7:0]					HOPF_FT_W16[7:0]				0x00	R/W
0x843	HOPF_FT_W16_1	[7:0]					HOPF_FT_W16[15:8]				0x00	R/W
0x844	HOPF_FT_W16_2	[7:0]					HOPF_FT_W16[23:16]				0x00	R/W
0x845	HOPF_FT_W16_3	[7:0]					HOPF_FT_W16[31:24]				0x00	R/W
0x846	HOPF_FT_W17_0	[7:0]					HOPF_FT_W17[7:0]				0x00	R/W
0x847	HOPF_FT_W17_1	[7:0]					HOPF_FT_W17[15:8]				0x00	R/W
0x848	HOPF_FT_W17_2	[7:0]					HOPF_FT_W17[23:16]				0x00	R/W
0x849	HOPF_FT_W17_3	[7:0]					HOPF_FT_W17[31:24]				0x00	R/W
0x84A	HOPF_FT_W18_0	[7:0]					HOPF_FT_W18[7:0]				0x00	R/W
0x84B	HOPF_FT_W18_1	[7:0]					HOPF_FT_W18[15:8]				0x00	R/W
0x84C	HOPF_FT_W18_2	[7:0]					HOPF_FT_W18[23:16]				0x00	R/W
0x84D	HOPF_FT_W18_3	[7:0]					HOPF_FT_W18[31:24]				0x00	R/W

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x84E	HOPF_FTW19_0	[7:0]					HOPF_FTW19[7:0]				0x00	R/W
0x84F	HOPF_FTW19_1	[7:0]					HOPF_FTW19[15:8]				0x00	R/W
0x850	HOPF_FTW19_2	[7:0]					HOPF_FTW19[23:16]				0x00	R/W
0x851	HOPF_FTW19_3	[7:0]					HOPF_FTW19[31:24]				0x00	R/W
0x852	HOPF_FTW20_0	[7:0]					HOPF_FTW20[7:0]				0x00	R/W
0x853	HOPF_FTW20_1	[7:0]					HOPF_FTW20[15:8]				0x00	R/W
0x854	HOPF_FTW20_2	[7:0]					HOPF_FTW20[23:16]				0x00	R/W
0x855	HOPF_FTW20_3	[7:0]					HOPF_FTW20[31:24]				0x00	R/W
0x856	HOPF_FTW21_0	[7:0]					HOPF_FTW21[7:0]				0x00	R/W
0x857	HOPF_FTW21_1	[7:0]					HOPF_FTW21[15:8]				0x00	R/W
0x858	HOPF_FTW21_2	[7:0]					HOPF_FTW21[23:16]				0x00	R/W
0x859	HOPF_FTW21_3	[7:0]					HOPF_FTW21[31:24]				0x00	R/W
0x85A	HOPF_FTW22_0	[7:0]					HOPF_FTW22[7:0]				0x00	R/W
0x85B	HOPF_FTW22_1	[7:0]					HOPF_FTW22[15:8]				0x00	R/W
0x85C	HOPF_FTW22_2	[7:0]					HOPF_FTW22[23:16]				0x00	R/W
0x85D	HOPF_FTW22_3	[7:0]					HOPF_FTW22[31:24]				0x00	R/W
0x85E	HOPF_FTW23_0	[7:0]					HOPF_FTW23[7:0]				0x00	R/W
0x85F	HOPF_FTW23_1	[7:0]					HOPF_FTW23[15:8]				0x00	R/W
0x860	HOPF_FTW23_2	[7:0]					HOPF_FTW23[23:16]				0x00	R/W
0x861	HOPF_FTW23_3	[7:0]					HOPF_FTW23[31:24]				0x00	R/W
0x862	HOPF_FTW24_0	[7:0]					HOPF_FTW24[7:0]				0x00	R/W
0x863	HOPF_FTW24_1	[7:0]					HOPF_FTW24[15:8]				0x00	R/W
0x864	HOPF_FTW24_2	[7:0]					HOPF_FTW24[23:16]				0x00	R/W
0x865	HOPF_FTW24_3	[7:0]					HOPF_FTW24[31:24]				0x00	R/W
0x866	HOPF_FTW25_0	[7:0]					HOPF_FTW25[7:0]				0x00	R/W
0x867	HOPF_FTW25_1	[7:0]					HOPF_FTW25[15:8]				0x00	R/W
0x868	HOPF_FTW25_2	[7:0]					HOPF_FTW25[23:16]				0x00	R/W
0x869	HOPF_FTW25_3	[7:0]					HOPF_FTW25[31:24]				0x00	R/W
0x86A	HOPF_FTW26_0	[7:0]					HOPF_FTW26[7:0]				0x00	R/W
0x86B	HOPF_FTW26_1	[7:0]					HOPF_FTW26[15:8]				0x00	R/W
0x86C	HOPF_FTW26_2	[7:0]					HOPF_FTW26[23:16]				0x00	R/W
0x86D	HOPF_FTW26_3	[7:0]					HOPF_FTW26[31:24]				0x00	R/W
0x86E	HOPF_FTW27_0	[7:0]					HOPF_FTW27[7:0]				0x00	R/W
0x86F	HOPF_FTW27_1	[7:0]					HOPF_FTW27[15:8]				0x00	R/W
0x870	HOPF_FTW27_2	[7:0]					HOPF_FTW27[23:16]				0x00	R/W
0x871	HOPF_FTW27_3	[7:0]					HOPF_FTW27[31:24]				0x00	R/W
0x872	HOPF_FTW28_0	[7:0]					HOPF_FTW28[7:0]				0x00	R/W
0x873	HOPF_FTW28_1	[7:0]					HOPF_FTW28[15:8]				0x00	R/W
0x874	HOPF_FTW28_2	[7:0]					HOPF_FTW28[23:16]				0x00	R/W
0x875	HOPF_FTW28_3	[7:0]					HOPF_FTW28[31:24]				0x00	R/W
0x876	HOPF_FTW29_0	[7:0]					HOPF_FTW29[7:0]				0x00	R/W
0x877	HOPF_FTW29_1	[7:0]					HOPF_FTW29[15:8]				0x00	R/W
0x878	HOPF_FTW29_2	[7:0]					HOPF_FTW29[23:16]				0x00	R/W
0x879	HOPF_FTW29_3	[7:0]					HOPF_FTW29[31:24]				0x00	R/W
0x87A	HOPF_FTW30_0	[7:0]					HOPF_FTW30[7:0]				0x00	R/W
0x87B	HOPF_FTW30_1	[7:0]					HOPF_FTW30[15:8]				0x00	R/W
0x87C	HOPF_FTW30_2	[7:0]					HOPF_FTW30[23:16]				0x00	R/W
0x87D	HOPF_FTW30_3	[7:0]					HOPF_FTW30[31:24]				0x00	R/W
0x87E	HOPF_FTW31_0	[7:0]					HOPF_FTW31[7:0]				0x00	R/W
0x87F	HOPF_FTW31_1	[7:0]					HOPF_FTW31[15:8]				0x00	R/W
0x880	HOPF_FTW31_2	[7:0]					HOPF_FTW31[23:16]				0x00	R/W
0x881	HOPF_FTW31_3	[7:0]					HOPF_FTW31[31:24]				0x00	R/W

レジスタの詳細 : DAC レジスタ・マップ

表 46. レジスタの詳細

16 進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x000	SPI_INTFCONFA	7	SOFTRESET_M		ソフト・リセット (ミラー)。ビット 0 をミラーするにはこのビットをセットします。	0x0	R
		6	LSBFIRST_M		LSB ファースト (ミラー)。ビット 1 をミラーするにはこのビットをセットします。	0x0	R
		5	ADDRINC_M		アドレスをインクリメント (ミラー)。ビット 2 をミラーするにはこのビットをセットします。	0x0	R
		4	SDOACTIVE_M		SDO アクティブ (ミラー)。ビット 3 をミラーするにはこのビットをセットします。	0x0	R
		3	SDOACTIVE		SDO アクティブ。4 線式 SPI パス・モードを有効にします。	0x0	R/W
		2	ADDRINC		アドレスをインクリメント。セットすると、ストリーミング・アドレスがインクリメントされます。セットしないと降順でアドレスが生成されます。 1 ストリーミング・アドレスをインクリメント。 0 ストリーミング・アドレスをデクリメント。	0x0	R/W
		1	LSBFIRST		LSB ファースト。セットすると、入力データと出力データが LSB ファーストで処理されます。このビットをクリアすると、データは MSB ファーストで処理されます。 1 LSB を最初にシフト。 0 MSB を最初にシフト。	0x0	R/W
		0	SOFTRESET		ソフト・リセット。リセット動作を実行すると、このビットが自動的に 0 にクリアされます。このビットをセットするとリセットが開始されます。このビットは、ソフト・リセットが完了すると自動的にクリアされます。 1 ソフト・リセット・ラインにパルスを出します。 0 ソフト・リセット・ラインをリセットします。	0x0	R/W
0x001	SPI_INTFCONFB	7	SINGLEINS		単一命令。 1 単一の転送を実行。 0 複数の転送を実行。	0x0	R/W
		6	CSSTALL		CS_x ストリーミング。 0 CS_x ストリーミングをディスエーブル。 1 CS_x ストリーミングをイネーブル。	0x0	R/W
		[5:3]	Reserved		予備。	0x0	R/W
		2	SOFTRESET1		ソフト・リセット 1。リセット動作を実行すると、このビットが自動的に 0 にクリアされます。 1 ソフト・リセット 1 ラインにパルスを出します。 0 ソフト・リセット 1 ラインにパルスを出します。	0x0	R/W
		1	SOFTRESET0		ソフト・リセット 0。リセット動作を実行すると、このビットが自動的に 0 にクリアされます。 1 ソフト・リセット 0 ラインにパルスを出します。 0 ソフト・リセット 0 ラインにパルスを出します。	0x0	R/W
		0	Reserved		予備。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x002	SPI_DEVCONF	[7:4]	DEVSTATUS		デバイス・ステータス。	0x0	R/W
		[3:2]	CUSTOPMODE		ユーザ動作モード。	0x0	R/W
		[1:0]	SYSPOMODE		システム動作モード。 0 通常動作。 1 低消費電力動作。 2 中消費電力スタンバイ。 3 低消費電力スリープ。	0x0	R/W
0x003	SPI_CHIPTYPE	[7:0]	CHIP_TYPE		チップ・タイプ。	0x0	R
0x004	SPI_PRODIDL	[7:0]	PROD_ID[7:0]		製品 ID。	0x0	R
0x005	SPI_PRODIDH	[7:0]	PROD_ID[15:8]		製品 ID。	0x0	R
0x006	SPI_CHIPGRADE	[7:4]	PROD_GRADE		製品グレード。	0x0	R
		[3:0]	DEV_REVISION		デバイスのリビジョン。	0x0	R
0x020	IRQ_ENABLE	[7:5]	Reserved		予備。	0x0	R
		4	EN_SYSREF_JITTER		SYSREF±ジッタ割込みをイネーブル。 0 割込みをディスエーブル。 1 割込みをイネーブル。	0x0	R/W
		3	EN_DATA_READY		JESD204x レンバー・レディ (JRX_DATA_READY) ロー割込みをイネーブル。 0 割込みをディスエーブル。 1 割込みをイネーブル。	0x0	R/W
		2	EN_LANE_FIFO		レーン FIFO オーバーフロー/アンダーフロー割込みをイネーブル。 0 割込みをディスエーブル。 1 割込みをイネーブル。	0x0	R/W
		1	EN_PRBSQ		PRBS 虚数エラー割込みをイネーブル。 0 割込みをディスエーブル。 1 割込みをイネーブル。	0x0	R/W
		0	EN_PRBSI		PRBS 実数エラー割込みをイネーブル。 0 割込みをディスエーブル。 1 割込みをイネーブル。	0x0	R/W
0x024	IRQ_STATUS	[7:5]	Reserved		予備。	0x0	R
		4	IRQ_SYSREF_JITTER		SYSREF±のジッタが過大。1を書き込むとステータスがクリアされます。	0x0	R/W
		3	IRQ_DATA_READY		JRX_DATA_READY がロー。1を書き込むとステータスがクリアされます。 0 警告なし。 1 警告を検出。	0x0	R/W
		2	IRQ_LANE_FIFO		レーン FIFO オーバーフロー/アンダーフロー。1を書き込むとステータスがクリアされます。 0 警告なし。 1 警告を検出。	0x0	R/W
		1	IRQ_PRBSQ		PRBS 虚数エラー。1を書き込むとステータスがクリアされます。 0 警告なし。 1 警告を検出。	0x0	R/W
		0	IRQ_PRBSI		PRBS 実数エラー。1を書き込むとステータスがクリアされます。 0 警告なし。 1 警告を検出。	0x0	R/W
0x031	SYNC_LMFC_DELAY_FRAME	[7:5]	Reserved		予備。	0x0	R
		[4:0]	SYNC_LMFC_DELAY_SET_FRM		SYSREF±入力の立上がりエッジから LMFC の立上がりエッジまでの必要遅延、フレーム数単位。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x032	SYNC_LMFC_DELAY0	[7:0]	SYNC_LMFC_DELAY_SET[7:0]		SYSREF±入力の立上がりエッジからLMFCの立上がりエッジまでの必要遅延、クロック数単位。	0x0	R/W
0x033	SYNC_LMFC_DELAY1	[7:4]	Reserved		予備。	0x0	R
		[3:0]	SYNC_LMFC_DELAY_SET[11:8]		SYSREF±入力の立上がりエッジからLMFCの立上がりエッジまでの必要遅延、クロック数単位。	0x0	R/W
0x034	SYNC_LMFC_STAT0	[7:0]	SYNC_LMFC_DELAY_STAT[7:0]		SYSREF±入力の立上がりエッジからLMFCの立上がりエッジまでの測定遅延、デバイス・クロック数単位 (2LSBは常にゼロ)。SYNC_LMFC_STATxまたはSYSREF_PHASExへ書き込みを行うと、リードバックの日付が保存されます。	0x0	R/W
0x035	SYNC_LMFC_STAT1	[7:4]	Reserved		予備。	0x0	R
		[3:0]	SYNC_LMFC_DELAY_STAT[11:8]		SYSREF±入力の立上がりエッジからLMFCの立上がりエッジまでの測定遅延、デバイス・クロック数単位 (2LSBは常にゼロ)。SYNC_LMFC_STATxまたはSYSREF_PHASExへ書き込みを行うと、リードバックの日付が保存されます。	0x0	R/W
0x036	SYSREF_COUNT	[7:0]	SYSREF_COUNT		受信したSYSREF±信号のカウンタ値。書き込みを行うとカウンタ値がリセットされます。SYNC_LMFC_STATxまたはSYSREF_PHASExへ書き込みを行うと、リードバックの日付が保存されます。	0x0	R/W
0x037	SYSREF_PHASE0	[7:0]	SYSREF_PHASE[7:0]		測定SYSREF±イベントの位相。サーモメータ・エンコード。SYNC_LMFC_STATxまたはSYSREF_PHASExへ書き込みを行うと、リードバックの日付が保存されます。	0x0	R/W
0x038	SYSREF_PHASE1	[7:4]	Reserved		予備。	0x0	R
		[3:0]	SYSREF_PHASE[11:8]		測定SYSREF±イベントの位相。サーモメータ・エンコード。SYNC_LMFC_STATxまたはSYSREF_PHASExへ書き込みを行うと、リードバックの日付が保存されます。	0x0	R/W
0x039	SYSREF_JITTER_WINDOW	[7:6]	Reserved		予備。	0x0	R
		[5:0]	SYSREF_JITTER_WINDOW		SYSREF±入力に許容されるジッタの量。SYSREF±ジッタの変動がこれより大きいと、割込みがトリガされず。デバイス・クロック・サイクル数単位。下位2ビットは無視されます。	0x0	R/W
0x03A	SYNC_CTRL	[7:2]	Reserved		予備。	0x0	R
		[1:0]	SYNC_MODE		同期モード。 00 同期を行わず、SYSREF±からLMFCまでの遅延モニタのみを行います。 01 SYSREF±ごとにLMFCの連続同期を行います。 10 次のSYSREF±で同期を1回行ってから、モニタ・モードに切り替えます。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x03F	TX_ENABLE	7	SPI_DATAPATH_POST		データバス出力におけるデータの SPI 制御。 0 データバスから DAC へのデータをディスエーブルまたはゼロ化。 1 データバスからデータを使用して DAC を駆動。	0x1	R/W
		6	SPI_DATAPATH_PRE		データバス入力におけるデータの SPI 制御。 0 データバスへ供給するデータをディスエーブルまたはゼロ化。 1 JESD204B レーンからのデータを使用してデータバスへ供給。	0x1	R/W
		[5:4]	Reserved		予備。	0x0	R
		3	TXEN_NCO_RESET		TX_ENABLE を使って DDS NCO リセットを制御。 0 SPI (HOPF_MODE ビット) を使って DDS NCO リセットを制御。 1 TX_ENABLE ピンを使って DDS NCO リセットを制御。	0x0	R/W
		2	TXEN_DATAPATH_POST		TX_ENABLE を使ってデータバス出力におけるデータを制御。 0 SPI (SPI_DATAPATH_POST ビット) を制御に使用。 1 TX_ENABLE ピンを制御に使用。	0x0	R/W
		1	TXEN_DATAPATH_PRE		TX_ENABLE を使ってデータバス入力におけるデータを制御。 0 制御に SPI (SPI_DATAPATH_PRE ビット) を使用。 1 TX_ENABLE ピンを制御に使用。	0x0	R/W
		0	TXEN_DAC_FSC		TX_ENABLE を使って DAC フルスケール電流を制御。 0 SPI レジスタ ANA_FSC0 と ANA_FSC1 を制御に使用。 1 TX_ENABLE ピンを制御に使用。	0x0	R/W
0x040	ANA_DAC_BIAS_PD	[7:2]	Reserved		予備。	0x0	R
		1	ANA_DAC_BIAS_PD1		DAC コアのバイアス回路をパワーダウン。1 は DAC コアのバイアス回路をパワーダウン。	0x1	R/W
		0	ANA_DAC_BIAS_PD0		DAC コアのバイアス回路をパワーダウン。1 は DAC コアのバイアス回路をパワーダウン。	0x1	R/W
0x041	ANA_FSC0	[7:2]	Reserved		予備。	0x0	R
		[1:0]	ANA_FULL_SCALE_CURRENT		DAC フルスケール電流。アナログ・フルスケール電流の調整 (I _{OUTFS}) $I_{OUTFS} = 32\text{mA} \times (ANA_FULL_SCALE_CURRENT/1023) + 8\text{mA}$	0x3	R/W
0x042	ANA_FSC1	[7:0]	ANA_FULL_SCALE_CURRENT[9:2]		DAC フルスケール電流。アナログ・フルスケール電流の調整 (I _{OUTFS}) $I_{OUTFS} = 32\text{mA} \times (ANA_FULL_SCALE_CURRENT/1023) + 8\text{mA}$	0xFF	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス																																		
0x07F	CLK_PHASE_TUNE	[7:6]	Reserved		予備。	0x0	R																																		
		[5:0]	CLK_PHASE_TUNE			クロック入力位相バランスの精密チューニング。CLK+の差動入力を位相シフトさせるには、CLK+入力またはCLK-入りに容量を追加します。レジスタは符号付きバイナリとしてコーディングされます。追加公称容量 = CLK_PHASE_TUNE × 20fF 追加公称容量 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>CLK+</th> <th>CLK-</th> </tr> </thead> <tbody> <tr><td>0x0</td><td>0</td><td>0</td></tr> <tr><td>0x1</td><td>20</td><td>0</td></tr> <tr><td>0x2</td><td>40</td><td>0</td></tr> <tr><td>...</td><td>...</td><td>...</td></tr> <tr><td>0x1F</td><td>620</td><td>0</td></tr> <tr><td>0x20</td><td>0</td><td>0</td></tr> <tr><td>0x21</td><td>0</td><td>20</td></tr> <tr><td>0x22</td><td>0</td><td>40</td></tr> <tr><td>...</td><td>...</td><td>...</td></tr> <tr><td>0x3F</td><td>0</td><td>620</td></tr> </tbody> </table>		CLK+	CLK-	0x0	0	0	0x1	20	0	0x2	40	0	0x1F	620	0	0x20	0	0	0x21	0	20	0x22	0	40	0x3F	0	620	0x0	R/W
								CLK+	CLK-																																
							0x0	0	0																																
							0x1	20	0																																
							0x2	40	0																																
																																						
							0x1F	620	0																																
							0x20	0	0																																
							0x21	0	20																																
0x22	0						40																																		
...																																							
0x3F	0	620																																							
0x080	CLK_PD	[7:1]	Reserved	予備。	0x0	R																																			
0x080	CLK_PD	0	DACCLK_PD		デバイス・クロックのパワーダウン。デバイス入力クロック回路をパワーダウンします。 0 パワーアップ。 1 パワーダウン。	0x1	R/W																																		
								0x082	CLK_DUTY	7	CLK_DUTY_EN		デューティ・サイクル制御をイネーブル。	0x1	R/W																										
0x082	CLK_DUTY	6	CLK_DUTY_OFFSET_EN		デューティ・サイクル・オフセットをイネーブル。	0x0	R/W																																		
								5	CLK_DUTY_BOOST_EN		デューティ・サイクル・レンジ・ブーストをイネーブル。レンジを±5%に拡大しますが、位相ノイズ性能が1dB~2dB悪化します。	0x0	R/W																												
														[4:0]	CLK_DUTY_PRG		デューティ・サイクル・オフセットを設定。5ビットの符号付き大きさフィールドで、MSBが符号ビット、4個のLSBが0~15の範囲で大きさを表します。値を大きくするとデューティ・サイクルのスキューも増大します。レンジは±3%です。	0x0	R/W																						
0x083	CLK_CRS_CTRL	7	CLK_CRS_EN		クロックの交差制御調整をイネーブル。	0x1	R/W																																		
								[6:4]	Reserved		予備。	0x0	R																												
								[3:0]	CLK_CRS_ADJ		クロックの交差点を設定。	0x0	R/W																												
0x084	PLL_REF_CLK_PD	[7:6]	Reserved		予備。	0x0	R																																		
								[5:4]	PLL_REF_CLK_RATE		PLL リファレンス・クロック・レート 連倍器。 00 通常レート (1×) PLL リファレンス・クロック。 01 2連倍レート (2×) PLL リファレンス・クロック。 10 4連倍レート (4×) PLL リファレンス・クロック。 11 PLL リファレンス・クロックをディスエーブル。	0x0	R/W																												
														[3:1]	Reserved		予備。	0x0	R																						

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		0	PLL_REF_CLK_PD		PLL リファレンス・クロックをパワー ダウン。 0 PLL リファレンス・クロックをイネー ブル。 1 PLL リファレンス・クロックをパワー ダウン。	0x0	R/W
0x088	SYSREF_CTRL0	[7:4]	Reserved		予備。	0x0	R
		3	HYS_ON		SYSREF±のヒステリシスをイネーブ ル。このビットは、SYSREF±レシー バーのプログラマブル・ヒステリシス 制御をイネーブします。	0x0	R/W
		2	SYSREF_RISE		SYSREF±の立上がりエッジを使用。	0x0	R/W
		[1:0]	HYS_CNTRL[9:8]		SYSREF±レシーバーのヒステリシス の大きさを制御。10 ビットことに 10mV の差動ヒステリシスがレシーバ ー入力に追加されます。	0x0	R/W
0x089	SYSREF_CTRL1	[7:0]	HYS_CNTRL[7:0]		SYSREF±レシーバーのヒステリシス の大きさを制御。10 ビットことに 10mV の差動ヒステリシスがレシーバ ー入力に追加されます。	0x0	R/W
0x090	DLL_PD	[7:5]	Reserved		予備。	0x0	R
		4	DLL_FINE_DC_EN		遅延ラインの精密デューティ・サイク ル修正をイネーブ。	0x1	R/W
		3	DLL_FINE_XC_EN		遅延ラインの精密交差制御をイネーブ ル。	0x1	R/W
		2	DLL_COARSE_DC_EN		遅延ラインの粗デューティ・サイク ル修正をイネーブ。	0x1	R/W
		1	DLL_COARSE_XC_EN		遅延ラインの粗交差制御をイネーブ ル。	0x1	R/W
		0	DLL_CLK_PD		DLL とデジタル・クロック・ジェネ レータをパワーダウン。 0 DLL コントローラをパワーアップ。 1 DLL コントローラをパワーダウン。	0x1	R/W
0x091	DLL_CTRL	7	DLL_TRACK_ERR		エラー・トラック動作。 0 エラー発生時も続行。 1 エラー発生時に再開。	0x1	R/W
		6	DLL_SEARCH_ERR		エラー検索動作。 0 エラー発生時に停止。 1 エラー発生時に再試行。	0x1	R/W
		5	DLL_SLOPE		必要なスロープ。 0 負のスロープ。 1 正のスロープ。	0x1	R/W
		[4:3]	DLL_SEARCH		検索方向。 00 開始点から降順のみで検索。 01 開始点から昇順のみで検索。 10 開始点から昇順と降順で検索。	0x2	R/W
		[2:1]	DLL_MODE		コントローラ・モード。 00 検索後にトラック。 01 トラックのみ。 10 検索のみ。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		0	DLL_ENABLE		コントローラのイネーブル。 0 DLL コントローラをディスエーブル：静的 SPI 設定を使用。 1 DLL コントローラをイネーブル：帰還ループ付きのコントローラを使用。	0x0	R/W
0x092	DLL_STATUS	[7:3]	Reserved		予備。	0x0	R
		2	DLL_FAIL		デバイス・クロック DLL がロックに失敗。	0x0	R
		1	DLL_LOST		デバイス・クロック DLL がロックを喪失。	0x0	R/W
		0	DLL_LOCKED		デバイス・クロック DLL がロックを完了。	0x0	R
0x093	DLL_GB	[7:4]	Reserved		予備。	0x0	R
		[3:0]	DLL_GUARD		ガード・バンドを検索。	0x0	R/W
0x094	DLL_COARSE	[7:6]	Reserved		予備。	0x0	R
		[5:0]	DLL_COARSE		遅延ラインの精密セットポイント。	0x0	R/W
0x095	DLL_FINE	[7:0]	DLL_FINE		遅延ラインの粗セットポイント。	0x80	R/W
0x096	DLL_PHASE	[7:5]	Reserved		予備。	0x0	R
		[4:0]	DLL_PHS		必要な位相。 0 最小許容位相。 16 最大許容位相。	0x8	R/W
0x097	DLL_BW	[7:5]	Reserved		予備。	0x0	R
		[4:2]	DLL_FILT_BW		位相測定フィルタの帯域幅。	0x0	R/W
		[1:0]	DLL_WEIGHT		トラッキング速度。	0x0	R/W
0x098	DLL_READ	[7:1]	Reserved		予備。	0x0	R
		0	DLL_READ		読出し要求：0 から 1 への遷移が、粗リードバック値、精密リードバック値、および位相リードバック値を更新。	0x0	R/W
0x099	DLL_COARSE_RB	[7:6]	Reserved		予備。	0x0	R
		[5:0]	DLL_COARSE_RB		遅延ラインの粗リードバック。	0x0	R
0x09A	DLL_FINE_RB	[7:0]	DLL_FINE_RB		遅延ラインの精密リードバック。	0x0	R
0x09B	DLL_PHASE_RB	[7:5]	Reserved		予備。	0x0	R
		[4:0]	DLL_PHS_RB		位相リードバック。	0x0	R
0x09D	DIG_CLK_INVERT	[7:3]	Reserved		予備。	0x0	R
		2	INV_DIG_CLK		DLL の反転デジタル・クロック。 0 通常極性。 1 反転極性。	0x0	R/W
		1	DIG_CLK_DC_EN		デジタル・クロックのデューティ・サイクル修正をイネーブル。	0x1	R/W
0x0A0	DLL_CLK_DEBUG	0	DIG_CLK_XC_EN		クロックの交差制御をイネーブル。	0x1	R/W
		7	DLL_TEST_EN		DLL クロックの出力テストをイネーブル	0x0	R/W
		[6:2]	Reserved		予備。	0x0	R
0x110	INTERP_MODE	[1:0]	DLL_TEST_DIV		DLL クロックの出力分周。	0x0	R/W
		[7:4]	JESD_LANES		JESD204B レーンの数。JESD204B データ・リンクを正しく動作させるには、QBD がソフト・リセット（レジスタ 0x475、ビット 3）に保持されている間にもこの信号を設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x8	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		[3:0]	INTERP_MODE		インターポレーション・モード JESD204B データ・リンクを正しく動作させるには、QBD がソフト・リセット (レジスタ 0x475、ビット 3) に保持されている間のみこの信号を設定し、なおかつ通常動作中は変更しないようにする必要があります。 0000 1× (バイパス) 0001 2× 0010 3× 0011 4× 0100 6× 0101 8× 0110 12× 0111 16× 1000 24×	0x1	R/W
0x111	DATAPATH_CFG	7	INVSINC_EN		反転 sinc フィルタのイネーブル。 0 反転 sinc フィルタをディスエーブル 1 反転 sinc フィルタをイネーブル	0x0	R/W
		6	NCO_EN		変調のイネーブル。 0 NCO をディスエーブル。 1 NCO をイネーブル。	0x0	R/W
		5	Reserved		予備。	0x0	R
		4	FILT_BW		データパス・フィルタの帯域幅。 0 フィルタ帯域幅は 80%。 1 フィルタ帯域幅は 90%。	0x0	R/W
		3	Reserved		予備。	0x0	R
		2	MODULUS_EN		モジュラス DDS のイネーブル。 0 モジュラス DDS をディスエーブル。 1 モジュラス DDS をイネーブル。	0x0	R/W
		1	SEL_SIDE BAND		変調結果から上側または下側サイドバンドを選択します。 0 上側サイドバンドを使用。 1 下側サイドバンドを使用 (スペクトル反転)。	0x0	R/W
		0	FIR85_FILT_EN		FIR85 フィルタをイネーブル。	0x0	R/W
0x113	FTW_UPDATE	7	Reserved		予備。	0x0	R
		[6:4]	FTW_REQ_MODE		周波数チューニング・ワード (FTW) 自動更新モード。 000 FTW レジスタへの書き込み時に自動要求を生成しない。 001 FTW0 を書き込んだ後に FTW_LOAD_REQ を自動的に生成。 010 FTW1 を書き込んだ後に FTW_LOAD_REQ を自動的に生成。 011 FTW2 を書き込んだ後に FTW_LOAD_REQ を自動的に生成。 100 FTW3 を書き込んだ後に FTW_LOAD_REQ を自動的に生成。 101 FTW4 を書き込んだ後に FTW_LOAD_REQ を自動的に生成。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
				110	FTW5を書き込んだ後に FTW_LOAD_REQを自動的に生成。		
		3	Reserved		予備。	0x0	R
		2	FTW_LOAD_SYSREF		SYSREF±の立上がりエッジから FTW をロードしてリセット。	0x0	R/W
		1	FTW_LOAD_ACK		周波数チューニング・ワード更新のア クノレッジ。 0 FTWはロードされませんでした。 1 FTWがロードされました。	0x0	R
		0	FTW_LOAD_REQ		SPIからの周波数チューニング・ワード 更新要求。 0 FTW_LOAD_ACKをクリア。 1 0から1への遷移時に FTWをロード。	0x0	R/W
0x114	FTW0	[7:0]	FTW[7:0]		NCO周波数チューニング・ワード。こ れは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times$ $((X + A/B)/2^{48})$ 内の X です。	0x0	R/W
0x115	FTW1	[7:0]	FTW[15:8]		NCO周波数チューニング・ワード。こ れは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times$ $((X + A/B)/2^{48})$ 内の X です。	0x0	R/W
0x116	FTW2	[7:0]	FTW[23:16]		NCO周波数チューニング・ワード。こ れは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times$ $((X + A/B)/2^{48})$ 内の X です。	0x0	R/W
0x117	FTW3	[7:0]	FTW[31:24]		NCO周波数チューニング・ワード。こ れは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times$ $((X + A/B)/2^{48})$ 内の X です。	0x0	R/W
0x118	FTW4	[7:0]	FTW[39:32]		NCO周波数チューニング・ワード。こ れは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times$ $((X + A/B)/2^{48})$ 内の X です。	0x0	R/W
0x119	FTW5	[7:0]	FTW[47:40]		NCO周波数チューニング・ワード。こ れは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times$ $((X + A/B)/2^{48})$ 内の X です。	0x0	R/W
0x11C	PHASE_OFFSET0	[7:0]	NCO_PHASE_OFFSET[7:0]		NCO位相オフセット。	0x0	R/W
0x11D	PHASE_OFFSET1	[7:0]	NCO_PHASE_OFFSET[15:8]		NCO位相オフセット。	0x0	R/W
0x124	ACC_MODULUS0	[7:0]	ACC_MODULUS[7:0]		DDSモジュラス。これは、式 $f_{OUT} =$ $f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の B です。このモジュラス値はすべて の NCO FTW に使われます。	0x0	R/W
0x125	ACC_MODULUS1	[7:0]	ACC_MODULUS[15:8]		DDSモジュラス。これは、式 $f_{OUT} =$ $f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の B です。このモジュラス値はすべて の NCO FTW に使われます。	0x0	R/W
0x126	ACC_MODULUS2	[7:0]	ACC_MODULUS[23:16]		DDSモジュラス。これは、式 $f_{OUT} =$ $f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の B です。このモジュラス値はすべて の NCO FTW に使われます。	0x0	R/W
0x127	ACC_MODULUS3	[7:0]	ACC_MODULUS[31:24]		DDSモジュラス。これは、式 $f_{OUT} =$ $f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の B です。このモジュラス値はすべて の NCO FTW に使われます。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x128	ACC_MODULUS4	[7:0]	ACC_MODULUS[39:32]		DDS モジュラス。これは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の B です。このモジュラス値はすべての NCO FTW に使われます。	0x0	R/W
0x129	ACC_MODULUS5	[7:0]	ACC_MODULUS[47:40]		DDS モジュラス。これは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の B です。このモジュラス値はすべての NCO FTW に使われます。	0x0	R/W
0x12A	ACC_DELTA0	[7:0]	ACC_DELTA[7:0]		DDS デルタ。これは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の A です。このモジュラス値はすべての NCO FTW に使われます。このデルタ値はすべての NCO FTW に使われます。	0x0	R/W
0x12B	ACC_DELTA1	[7:0]	ACC_DELTA[15:8]		DDS デルタ。これは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の A です。このモジュラス値はすべての NCO FTW に使われます。このデルタ値はすべての NCO FTW に使われます。	0x0	R/W
0x12C	ACC_DELTA2	[7:0]	ACC_DELTA[23:16]		DDS デルタ。これは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の A です。このモジュラス値はすべての NCO FTW に使われます。このデルタ値はすべての NCO FTW に使われます。	0x0	R/W
0x12D	ACC_DELTA3	[7:0]	ACC_DELTA[31:24]		DDS デルタ。これは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の A です。このデルタ値はすべての NCO FTW に使われます。	0x0	R/W
0x12E	ACC_DELTA4	[7:0]	ACC_DELTA[39:32]		DDS デルタ。これは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の A です。このモジュラス値はすべての NCO FTW に使われます。このデルタ値はすべての NCO FTW に使われます。	0x0	R/W
0x12F	ACC_DELTA5	[7:0]	ACC_DELTA[47:40]		DDS デルタ。これは、式 $f_{OUT} = f_{CLK} \times (M/N) = f_{CLK} \times ((X + A/B)/2^{48})$ 内の A です。このモジュラス値はすべての NCO FTW に使われます。このデルタ値はすべての NCO FTW に使われます。	0x0	R/W
0x132	TEMP_SENS_LSB	[7:0]	TEMP_SENS_OUT[7:0]		ADC 温度センサーの出力。	0x0	R
0x133	TEMP_SENS_MSB	[7:0]	TEMP_SENS_OUT[15:8]		ADC 温度センサーの出力。	0x0	R
0x134	TEMP_SENS_UPDATE	[7:1]	Reserved		予備。	0x0	R
		0	TEMP_SENS_UPDATE		温度センサーの指示値を新しい値に更新するには 1 に設定します。	0x0	R/W
0x135	TEMP_SENS_CTRL	7	TEMP_SENS_FAST		1 にすると温度センサーのデジタル・フィルタ帯域幅が広くなって、セトリグ時間が短くなります。	0x0	R/W
		[6:1]	Reserved		予備。	0x10	R/W
		0	TEMP_SENS_ENABLE		温度センサーをイネーブルするには 1 に設定します。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x14B	PRBS	7	PRBS_GOOD_Q		正常データ・インジケータ、虚数チャンネル。 0 正しくないシーケンスが検出されました。 1 正しい PRBS シーケンスが検出されました。	0x0	R
		6	PRBS_GOOD_I		正常データ・インジケータ、実数チャンネル。 0 正しくないシーケンスが検出されました。 1 正しい PRBS シーケンスが検出されました。	0x0	R
		5	Reserved		予備。	0x0	R
		4	PRBS_INV_Q		データ反転、虚数チャンネル。 0 通常データが使われます。 1 反転データが使われます。	0x1	R/W
		3	PRBS_INV_I		データ反転、実数チャンネル。 0 通常データが使われます。 1 反転データが使われます。	0x0	R/W
		2	PRBS_MODE		多項式の選択。 0 7ビット： $x^7 + x^6 + 1$ 。 1 15ビット： $x^{15} + x^{14} + 1$ 。	0x0	R/W
		1	PRBS_RESET		エラー・カウンタをリセット。 0 通常動作。 1 カウンタをリセット。	0x0	R/W
		0	PRBS_EN		PRBS チェッカーをイネーブル。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
0x14C	PRBS_ERROR_I	[7:0]	PRBS_COUNT_I		エラー・カウント値、実数チャンネル。	0x0	R
0x14D	PRBS_ERROR_Q	[7:0]	PRBS_COUNT_Q		エラー・カウント値、虚数チャンネル。	0x0	R
0x14E	TEST_DC_DATA1	[7:0]	DC_TEST_DATA[15:8]		DCテスト・データ。	0x0	R/W
0x14F	TEST_DC_DATA0	[7:0]	DC_TEST_DATA[7:0]		DCテスト・データ。	0x0	R/W
0x150	DIG_TEST	[7:2]	Reserved		予備。	0x0	R
		1	DC_TEST_EN		DCデータ・テスト・モードをイネーブル。 1 DCテスト・モードをイネーブル。 0 DCテスト・モードをディスエーブル。	0x0	R/W
		0	Reserved		予備。	0x0	R/W
0x151	DECODE_CTRL	[7:3]	Reserved		予備。	0x0	R/W
		2	Shuffle		シャッフル・モード。スプリアス性能改善のためシャッフル・モードをイネーブル。 0 MSB シャッフリングをディスエーブル（サーモメータ・エンコーディングを使用）。 1 MSB シャッフリングをイネーブル。	0x0	R/W
		[1:0]	Reserved		予備。	0x0	R/W
0x152	DECODE_MODE	[7:2]	Reserved		予備。	0x0	R
		[1:0]	DECODE_MODE		デコード・モード。 00 NRZモード（第1ナイキスト）。 01 ミックス・モード（第2ナイキスト）。 10 リターン・ゼロ（RZ）。 11 予備。	0x0	R/W
		[7:4]	Reserved		予備。	0x0	R
0x1DF	SPI_STRENGTH	[3:0]	SPIDRV		CMOS SPI 出力のスルーおよび駆動強度。スルー=ビット [1:0]、駆動=ビット [3:2]。	0xF	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x200	MASTER_PD	[7:1]	Reserved		予備。	0x0	R
		0	SPI_PD_MASTER		JESD204B Rx アナログ・フロント・エンド全体を停止 (8個のチャンネルすべてとバイアス)。	0x1	R/W
0x201	PHY_PD	[7:0]	SPI_PD_PHY		個々の PHY を停止するための SPI オーバーライド。 ビット0は SERDIN0±PHY を制御。 ビット1は SERDIN1±PHY を制御。 ビット2は SERDIN2±PHY を制御。 ビット3は SERDIN3±PHY を制御。 ビット4は SERDIN4±PHY を制御。 ビット5は SERDIN5±PHY を制御。 ビット6は SERDIN6±PHY を制御。 ビット7は SERDIN7±PHY を制御。	0x0	R/W
0x203	GENERIC_PD	[7:2]	Reserved		予備。	0x0	R
		1	SPI_SYNC1_PD		同期要求信号 (SYNCOUT±) 用の LVDS バッファをパワーダウン。	0x0	R/W
		0	Reserved		予備。	0x0	R/W
0x206	CDR_RESET	[7:1]	Reserved		予備。	0x0	R
		0	SPI_CDR_RESET		すべての PHY のデジタル制御ロジックをリセット。 0 CDR ロジックをリセット。 1 CDR ロジックが動作可能。	0x1	R/W
0x230	CDR_OPERATING_MODE_REG_0	[7:6]	Reserved		予備。	0x0	R/W
		5	SPI_ENHALFRATE		ハーフ・レート CDR 動作をイネーブル。6Gbps を超えるデータ・レートでイネーブルする必要があります。 0 CDR ハーフ・レート動作をディスエーブル、データ・レート ≤ 6Gbps。 1 CDR ハーフ・レート動作をイネーブル、データ・レート > 6Gbps。	0x1	R/W
		[4:3]	Reserved		予備。	0x1	R/W
		[2:1]	SPI_DIVISION_RATE		入力データのオーバーサンプリングをイネーブル。 00 分周なし。データ・レート > 3Gbps。 01 2分周。1.5Gbps < データ・レート ≤ 3Gbps。 10 4分周。750Mbps < データ・レート ≤ 1.5Gbps。	0x0	R/W
		0	Reserved		予備。	0x0	R/W
0x250	EQ_CONFIG_PHY_0_1	[7:4]	SPI_EQ_CONFIG1		イコライザのブースト・レベルを制御。 0000 手動モード (SPI 設定値を使用)。 0001 ブースト・レベル = 1。 0010 ブースト・レベル = 2。 0011 ブースト・レベル = 3。 0100 ブースト・レベル = 4。 0101 ブースト・レベル = 5。 0110 ブースト・レベル = 6。 0111 ブースト・レベル = 7。 1000 ブースト・レベル = 8。 1001 ブースト・レベル = 9。 1010 ブースト・レベル = 10。 1011 ブースト・レベル = 11。 1100 ブースト・レベル = 12。	0x8	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
				1101 1110 1111	ブースト・レベル=13。 ブースト・レベル=14。 ブースト・レベル=15。		
		[3:0]	SPI_EQ_CONFIG0	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	イコライザのブースト・レベルを制御。 手動モード (SPI 設定値を使用)。 ブースト・レベル=1。 ブースト・レベル=2。 ブースト・レベル=3。 ブースト・レベル=4。 ブースト・レベル=5。 ブースト・レベル=6。 ブースト・レベル=7。 ブースト・レベル=8。 ブースト・レベル=9。 ブースト・レベル=10。 ブースト・レベル=11。 ブースト・レベル=12。 ブースト・レベル=13。 ブースト・レベル=14。 ブースト・レベル=15。	0x8	R/W
0x251	EQ_CONFIG_PHY_2_3	[7:4]	SPI_EQ_CONFIG3	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	イコライザのブースト・レベルを制御。 手動モード (SPI 設定値を使用)。 ブースト・レベル=1。 ブースト・レベル=2。 ブースト・レベル=3。 ブースト・レベル=4。 ブースト・レベル=5。 ブースト・レベル=6。 ブースト・レベル=7。 ブースト・レベル=8。 ブースト・レベル=9。 ブースト・レベル=10。 ブースト・レベル=11。 ブースト・レベル=12。 ブースト・レベル=13。 ブースト・レベル=14。 ブースト・レベル=15。	0x8	R/W
		[3:0]	SPI_EQ_CONFIG2	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100	イコライザのブースト・レベルを制御。 手動モード (SPI 設定値を使用)。 ブースト・レベル=1。 ブースト・レベル=2。 ブースト・レベル=3。 ブースト・レベル=4。 ブースト・レベル=5。 ブースト・レベル=6。 ブースト・レベル=7。 ブースト・レベル=8。 ブースト・レベル=9。 ブースト・レベル=10。 ブースト・レベル=11。 ブースト・レベル=12。	0x8	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
				1101	ブースト・レベル=13。		
				1110	ブースト・レベル=14。		
				1111	ブースト・レベル=15。		
0x252	EQ_CONFIG_PHY_4_5	[7:4]	SPI_EQ_CONFIG5		イコライザのブースト・レベルを制御。 0000 手動モード (SPI 設定値を使用)。 0001 ブースト・レベル=1。 0010 ブースト・レベル=2。 0011 ブースト・レベル=3。 0100 ブースト・レベル=4。 0101 ブースト・レベル=5。 0110 ブースト・レベル=6。 0111 ブースト・レベル=7。 1000 ブースト・レベル=8。 1001 ブースト・レベル=9。 1010 ブースト・レベル=10。 1011 ブースト・レベル=11。 1100 ブースト・レベル=12。 1101 ブースト・レベル=13。 1110 ブースト・レベル=14。 1111 ブースト・レベル=15。	0x8	R/W
		[3:0]	SPI_EQ_CONFIG4		イコライザのブースト・レベルを制御。 0000 手動モード (SPI 設定値を使用)。 0001 ブースト・レベル=1。 0010 ブースト・レベル=2。 0011 ブースト・レベル=3。 0100 ブースト・レベル=4。 0101 ブースト・レベル=5。 0110 ブースト・レベル=6。 0111 ブースト・レベル=7。 1000 ブースト・レベル=8。 1001 ブースト・レベル=9。 1010 ブースト・レベル=10。 1011 ブースト・レベル=11。 1100 ブースト・レベル=12。 1101 ブースト・レベル=13。 1110 ブースト・レベル=14。 1111 ブースト・レベル=15。	0x8	R/W
0x253	EQ_CONFIG_PHY_6_7	[7:4]	SPI_EQ_CONFIG7		イコライザのブースト・レベルを制御。 0000 手動モード (SPI 設定値を使用)。 0001 ブースト・レベル=1。 0010 ブースト・レベル=2。 0011 ブースト・レベル=3。 0100 ブースト・レベル=4。 0101 ブースト・レベル=5。 0110 ブースト・レベル=6。 0111 ブースト・レベル=7。 1000 ブースト・レベル=8。 1001 ブースト・レベル=9。 1010 ブースト・レベル=10。 1011 ブースト・レベル=11。 1100 ブースト・レベル=12。	0x8	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
				1101	ブースト・レベル=13。		
				1110	ブースト・レベル=14。		
				1111	ブースト・レベル=15。		
		[3:0]	SPI_EQ_CONFIG6		イコライザのブースト・レベルを制御。 0000 手動モード (SPI 設定値を使用)。 0001 ブースト・レベル=1。 0010 ブースト・レベル=2。 0011 ブースト・レベル=3。 0100 ブースト・レベル=4。 0101 ブースト・レベル=5。 0110 ブースト・レベル=6。 0111 ブースト・レベル=7。 1000 ブースト・レベル=8。 1001 ブースト・レベル=9。 1010 ブースト・レベル=10。 1011 ブースト・レベル=11。 1100 ブースト・レベル=12。 1101 ブースト・レベル=13。 1110 ブースト・レベル=14。 1111 ブースト・レベル=15。	0x8	R/W
0x268	EQ_BIAS_REG	[7:6]	EQ_POWER_MODE		イコライザ消費電力モード/挿入損失能力を制御。 00 ノーマル・モード。 01 低消費電力モード	0x1	R/W
		[5:0]	Reserved		予備。	0x4	R/W
0x280	SYNTH_ENABLE_CNTRL	[7:3]	Reserved		予備。	0x0	R
		2	SPI_RECAL_SYNTH		すべての SERDES PLL キャリブレーション・ルーチンを再実行するには、このビットをハイに設定。追加の再キャリブレーションを可能にするには、このビットを再度ローに設定。立上がりエッジでキャリブレーションが行われます。	0x0	R/W
		1	Reserved		予備。	0x0	R/W
		0	SPI_ENABLE_SYNTH		SERDES PLL をイネーブル。このビットをセットするとすべての電流がオンになり、続いて PLL の補正が行われます。このビットをイネーブルする前に、リファレンス・クロックと分周比が正しいことを確認してください。	0x0	R/W
0x281	PLL_STATUS	[7:6]	Reserved		予備。	0x0	R
		5	SPI_CP_OVER_RANGE_HIGH_RB		セットされた場合は、SERDES PLL CP 出力が有効な動作範囲を超えています。 0 チャージ・ポンプ出力は動作範囲内です。 1 チャージ・ポンプ出力が動作範囲を超えています。	0x0	R
		4	SPI_CP_OVER_RANGE_LOW_RB		セットされた場合は、SERDES PLL CP 出力が有効な動作範囲に達していません。 0 チャージ・ポンプ出力は動作範囲内です。 1 チャージ・ポンプ出力が動作範囲に達していません。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		3	SPI_CP_CAL_VALID_RB		このビットは、チャージ・ポンプのキャリブレーションが完了して有効な状態になっているかどうかを示します。 0 チャージ・ポンプのキャリブレーションが無効。 1 チャージ・ポンプのキャリブレーションが有効。	0x0	R
		[2:1]	Reserved		予備。	0x0	R
		0	SPI_PLL_LOCK_RB		セットされた場合は、SERDES シンセサイザがロックされています。 0 PLL がロックされていません。 1 PLL がロックされています。	0x0	R
0x289	REF_CLK_DIVIDER_LDO	[7:2]	Reserved		予備。	0x0	R
		[1:0]	SERDES_PLL_DIV_FACTOR		SERDES PLL リファレンス・クロックの分周係数。このフィールドは、SERDES PLL リファレンス・クロックを SERDES PLL PFD に供給する前に、その分周を制御します。この値は、 $(f_{REF}/分周係数)$ が 35MHz~80MHz となるように設定する必要があります。 00 レーン・レートが 6Gbps~12.5Gbps の場合は 4 分周。 01 レーン・レートが 3Gbps~6Gbps の場合は 2 分周。 10 レーン・レートが 1.5Gbps~3Gbps の場合は 1 分周。	0x0	R/W
0x2A7	TERM_BLK1_CTRLREG0	[7:1]	Reserved		予備。	0x0	R
		0	SPI_I_TUNE_R_CAL_TERMBLK1		このビットの立上がりエッジによって終端キャリブレーション・ルーチンが開始されます。	0x0	R/W
0x2A8	TERM_BLK1_CTRLREG1	[7:0]	SPI_I_SERIALIZER_RTRIM_TERMBLK1		SPI は、PHY 0、PHY 1、PHY 6、PHY 7 の終端値をオーバーライドしません。値オプションは次のとおりです。 XXX0XXXX 終端値を自動的に補正。 XXX1000X 終端値を 000 に強制。 XXX1001X 終端値を 001 に強制。 XXX1010X 終端値を 010 に強制。 XXX1011X 終端値を 011 に強制。 XXX1100X 終端値を 100 に強制。 XXX1101X 終端値を 101 に強制。 XXX1110X 終端値を 110 に強制。 XXX1111X 終端値を 111 に強制。 XXX1000X 終端値を 000 に強制。	0x0	R/W
0x2AC	TERM_BLK1_RD_REG0	[7:4]	Reserved		予備。	0x0	R
		[3:0]	SPI_O_RCAL_CODE_TERMBLK1		PHY 0、PHY 1、PHY 6、PHY 7 のキャリブレーション・コードをリードバック。	0x0	R
0x2AE	TERM_BLK2_CTRLREG0	[7:1]	Reserved		予備。	0x0	R
		0	SPI_I_TUNE_R_CAL_TERMBLK2		このビットの立上がりエッジによって終端キャリブレーション・ルーチンが開始されます。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x2AF	TERM_BLK2_CTRLREG1	[7:0]	SPI_I_SERIALIZER_RTRIM_TERMBLK2	XXX0XXXX XXX1000X XXX1001X XXX1010X XXX1011X XXX1100X XXX1101X XXX1110X XXX1111X XXX1000X	SPIは、PHY 2、PHY 3、PHY 4、PHY 5の終端値をオーバーライドします。値オプションは次のとおりです。終端値を自動的に補正。 終端値を000に強制。 終端値を001に強制。 終端値を010に強制。 終端値を011に強制。 終端値を100に強制。 終端値を101に強制。 終端値を110に強制。 終端値を111に強制。 終端値を000に強制。	0x0	R/W
0x2B3	TERM_BLK2_RD_REG0	[7:4]	Reserved		予備。	0x0	R
		[3:0]	SPI_O_RCAL_CODE_TERMBLK2		PHY 2、PHY 3、PHY 4、PHY 5のキャリブレーション・コードをリードバック。	0x0	R
0x2BB	TERM_OFFSET_0	[7:4]	Reserved		予備。	0x0	R
		[3:0]	TERM_OFFSET_0		物理レーン0の終端キャリブレーション値に加算、またはキャリブレーション値から減算。大きさを表す符号付きの4ビット値。終端値に加算するか、終端値から減算します。ビット3は符号ビットで、ビット [2:0] が大きさを示します。	0x0	R/W
0x2BC	TERM_OFFSET_1	[7:4]	Reserved		予備。	0x0	R
		[3:0]	TERM_OFFSET_1		物理レーン1の終端キャリブレーション値に加算、またはキャリブレーション値から減算。大きさを表す符号付きの4ビット値。終端値に加算するか、終端値から減算します。ビット3は符号ビットで、ビット [2:0] が大きさを示します。	0x0	R/W
0x2BD	TERM_OFFSET_2	[7:4]	Reserved		予備。	0x0	R
		[3:0]	TERM_OFFSET_2		物理レーン2の終端キャリブレーション値に加算、またはキャリブレーション値から減算。大きさを表す符号付きの4ビット値。終端値に加算するか、終端値から減算します。ビット3は符号ビットで、ビット [2:0] が大きさを示します。	0x0	R/W
0x2BE	TERM_OFFSET_3	[7:4]	Reserved		予備。	0x0	R
		[3:0]	TERM_OFFSET_3		物理レーン3の終端キャリブレーション値に加算、またはキャリブレーション値から減算。大きさを表す符号付きの4ビット値。終端値に加算するか、終端値から減算します。ビット3は符号ビットで、ビット [2:0] が大きさを示します。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x2BF	TERM_OFFSET_4	[7:4]	Reserved		予備。	0x0	R
		[3:0]	TERM_OFFSET_4		物理レーン4の終端キャリブレーション値に加算、またはキャリブレーション値から減算。大きさを表す符号付きの4ビット値。終端値に加算するか、終端値から減算します。ビット3は符号ビットで、ビット [2:0] が大きさを示します。	0x0	R/W
0x2C0	TERM_OFFSET_5	[7:4]	Reserved		予備。	0x0	R
		[3:0]	TERM_OFFSET_5		物理レーン5の終端キャリブレーション値に加算、またはキャリブレーション値から減算。大きさを表す符号付きの4ビット値。終端値に加算するか、終端値から減算します。ビット3は符号ビットで、ビット [2:0] が大きさを示します。	0x0	R/W
0x2C1	TERM_OFFSET_6	[7:4]	Reserved		予備。	0x0	R
		[3:0]	TERM_OFFSET_6		物理レーン6の終端キャリブレーション値に加算、またはキャリブレーション値から減算。大きさを表す符号付きの4ビット値。終端値に加算するか、終端値から減算します。ビット3は符号ビットで、ビット [2:0] が大きさを示します。	0x0	R/W
0x2C2	TERM_OFFSET_7	[7:4]	Reserved		予備。	0x0	R
		[3:0]	TERM_OFFSET_7		物理レーン7の終端キャリブレーション値に加算、またはキャリブレーション値から減算。大きさを表す符号付きの4ビット値。終端値に加算するか、終端値から減算します。ビット3は符号ビットで、ビット [2:0] が大きさを示します。	0x0	R/W
0x300	GENERAL_JRX_CTRL_0	7	Reserved		予備。	0x0	R
		6	CHECKSUM_MODE		JESD204B リンク・パラメータのチェックサム計算方法。 0 チェックサムはフィールドの合計。 1 チェックサムはオクテットの合計。	0x0	R/W
		[5:1]	Reserved		予備。	0x0	R
		0	LINK_EN		すべてのリンク・パラメータが設定されてすべてのクロックが使用可能な状態になっているときは、このビットが JESD204B・レシーバーを起動します。	0x0	R/W
0x302	DYN_LINK_LATENCY_0	[7:5]	Reserved		予備。	0x0	R
		[4:0]	DYN_LINK_LATENCY_0		JESD204B リンク遅延の測定値 (PCLK 単位)。リンク0のダイナミック・リンク遅延。現在のデフレーマ LMFC とグローバル LMFC の間の遅延。	0x0	R
0x304	LMFC_DELAY_0	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LMFC_DELAY_0		JESD204B リンク遅延の固定部分 (PCLK 単位)。リンク0のグローバル LMFC の遅延 (フレーム・クロック・サイクル数単位)	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x306	LMFC_VAR_0	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LMFC_VAR_0		JESD204B リンク遅延の可変部分 (PCLK 単位)。パツファから JESD204B ワードを読み出す場合の Rx LMFC 内の位置。この設定は 10 PCLK を超えないようにする必要があります。	0x1F	R/W
0x308	XBAR_LN_0_1	[7:6]	Reserved		予備。	0x0	R
		[5:3]	SRC_LANE1		論理レーン 1 の SERDIN _x からデータを選択。 000 データを SERDIN0 から取得。 001 データを SERDIN1 から取得。 010 データを SERDIN2 から取得。 011 データを SERDIN3 から取得。 100 データを SERDIN4 から取得。 101 データを SERDIN5 から取得。 110 データを SERDIN6 から取得。 111 データを SERDIN7 から取得。	0x1	R/W
		[2:0]	SRC_LANE0		論理レーン 0 の SERDIN _x からデータを選択。 000 データを SERDIN0 から取得。 001 データを SERDIN1 から取得。 010 データを SERDIN2 から取得。 011 データを SERDIN3 から取得。 100 データを SERDIN4 から取得。 101 データを SERDIN5 から取得。 110 データを SERDIN6 から取得。 111 データを SERDIN7 から取得。	0x0	R/W
0x309	XBAR_LN_2_3	[7:6]	Reserved		予備。	0x0	R
		[5:3]	SRC_LANE3		論理レーン 3 の SERDIN _x からデータを選択。 000 データを SERDIN0 から取得。 001 データを SERDIN1 から取得。 010 データを SERDIN2 から取得。 011 データを SERDIN3 から取得。 100 データを SERDIN4 から取得。 101 データを SERDIN5 から取得。 110 データを SERDIN6 から取得。 111 データを SERDIN7 から取得。	0x3	R/W
		[2:0]	SRC_LANE2		論理レーン 2 の SERDIN _x からデータを選択。 000 データを SERDIN0 から取得。 001 データを SERDIN1 から取得。 010 データを SERDIN2 から取得。 011 データを SERDIN3 から取得。 100 データを SERDIN4 から取得。 101 データを SERDIN5 から取得。 110 データを SERDIN6 から取得。 111 データを SERDIN7 から取得。	0x2	R/W
0x30A	XBAR_LN_4_5	[7:6]	Reserved		予備。	0x0	R
		[5:3]	SRC_LANE5		論理レーン 5 の SERDIN _x からデータを選択。 000 データを SERDIN0 から取得。 001 データを SERDIN1 から取得。 010 データを SERDIN2 から取得。 011 データを SERDIN3 から取得。 100 データを SERDIN4 から取得。	0x5	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
					101 データを SERDIN5±から取得。 110 データを SERDIN6±から取得。 111 データを SERDIN7±から取得。		
		[2:0]	SRC_LANE4		論理レーン 4 の SERDINx±からデータ を選択。 000 データを SERDIN0±から取得。 001 データを SERDIN1±から取得。 010 データを SERDIN2±から取得。 011 データを SERDIN3±から取得。 100 データを SERDIN4±から取得。 101 データを SERDIN5±から取得。 110 データを SERDIN6±から取得。 111 データを SERDIN7±から取得。	0x4	R/W
0x30B	XBAR_LN_6_7	[7:6]	Reserved		予備。	0x0	R
		[5:3]	SRC_LANE7		論理レーン 7 の SERDINx±からデータ を選択。 000 データを SERDIN0±から取得。 001 データを SERDIN1±から取得。 010 データを SERDIN2±から取得。 011 データを SERDIN3±から取得。 100 データを SERDIN4±から取得。 101 データを SERDIN5±から取得。 110 データを SERDIN6±から取得。 111 データを SERDIN7±から取得。	0x7	R/W
		[2:0]	SRC_LANE6		論理レーン 6 の SERDINx±からデータ を選択。 000 データを SERDIN0±から取得。 001 データを SERDIN1±から取得。 010 データを SERDIN2±から取得。 011 データを SERDIN3±から取得。 100 データを SERDIN4±から取得。 101 データを SERDIN5±から取得。 110 データを SERDIN6±から取得。 111 データを SERDIN7±から取得。	0x6	R/W
0x30C	FIFO_STATUS_REG_0	[7:0]	LANE_FIFO_FULL		ビット 0 は SERDIN0±からのデータの FIFO フル・フラグに対応。 ビット 1 は SERDIN1±からのデータの FIFO フル・フラグに対応。 ビット 2 は SERDIN2±からのデータの FIFO フル・フラグに対応。 ビット 3 は SERDIN3±からのデータの FIFO フル・フラグに対応。 ビット 4 は SERDIN4±からのデータの FIFO フル・フラグに対応。 ビット 5 は SERDIN5±からのデータの FIFO フル・フラグに対応。 ビット 6 は SERDIN6±からのデータの FIFO フル・フラグに対応。 ビット 7 は SERDIN7±からのデータの FIFO フル・フラグに対応。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x30D	FIFO_STATUS_REG_1	[7:0]	LANE_FIFO_EMPTY		ビット0は SERDIN0±からのデータのFIFO空フラグに対応。 ビット1は SERDIN1±からのデータのFIFO空フラグに対応。 ビット2は SERDIN2±からのデータのFIFO空フラグに対応。 ビット3は SERDIN3±からのデータのFIFO空フラグに対応。 ビット4は SERDIN4±からのデータのFIFO空フラグに対応。 ビット5は SERDIN5±からのデータのFIFO空フラグに対応。 ビット6は SERDIN6±からのデータのFIFO空フラグに対応。 ビット7は SERDIN7±からのデータのFIFO空フラグに対応。	0x0	R
0x311	SYNC_GEN_0	[7:3]	Reserved		予備。	0x0	R
		2	EOMF_MASK_0		QBD レーン 0 からの出力に基づいてマルチフレームの最後 (EOMF) をマスクするかどうかに関するフラグ。マルチフレーム同期が失われた場合に SYNCOUT± をアサートするかどうかを制御します。 0 マルチフレーム同期喪失時に SYNCOUT± をアサートしない。 1 マルチフレーム同期喪失時に SYNCOUT± をアサートする。	0x0	R/W
		1	Reserved		予備。	0x0	R/W
		0	EOF_MASK_0		QBD レーン 0 からの出力に基づいてフレームの最後 (EOF) をマスクするかどうかに関するフラグ。フレーム同期が失われた場合に SYNCOUT± をアサートするかどうかを制御します。 0 フレーム同期喪失時に SYNCOUT± をアサートしない。 1 フレーム同期喪失時に SYNCOUT± をアサートする。	0x0	R/W
0x312	SYNC_GEN_1	[7:4]	SYNC_ERR_DUR		同期エラーをレポートするために SYNCOUT± 信号がローになっている時間。0 はハーフ PCLK サイクルを意味します。値のインクリメントごとに追加で PCLK = 4 オクテットを可算。	0x0	R/W
		[3:0]	SYNC_SYNCREQ_DUR		同期を要求するために SYNCOUT± 信号がローになっている時間。0 は (5 フレーム + 9 オクテット) を意味します。値のインクリメントごとに追加で PCLK = 4 オクテットを可算。	0x0	R/W
0x313	SYNC_GEN_3	[7:0]	LMFC_PERIOD		LMFC の周期 (PCLK サイクル数単位)。これは、PCLK に基づいてグローバル LMFC の周期をレポートするために使用します。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x315	PHY_PRBS_TEST_EN	[7:0]	PHY_TEST_EN		クロックのゲーティングを解除することによって PHY BER をイネーブル。 1 PHY テストをイネーブル。 0 PHY テストをディスエーブル。	0x0	R/W
0x316	PHY_PRBS_TEST_CTRL	7	Reserved		予備。	0x0	R
		[6:4]	PHY_SRC_ERR_CNT		000 レーン 0 のエラー・カウントをレポート。 001 レーン 1 のエラー・カウントをレポート。 010 レーン 2 のエラー・カウントをレポート。 011 レーン 3 のエラー・カウントをレポート。 100 レーン 4 のエラー・カウントをレポート。 101 レーン 5 のエラー・カウントをレポート。 110 レーン 6 のエラー・カウントをレポート。 111 レーン 7 のエラー・カウントをレポート。	0x0	R/W
		[3:2]	PHY_PRBS_PAT_SEL		PHY BER テスト用の PRBS パターンを選択。 00 PRBS7。 01 PRBS15。 10 PRBS31。 11 未使用。	0x0	R/W
		1	PHY_TEST_START		PHY PRBS テストの開始と停止。 0 テストを開始しない。 1 テストを開始する。	0x0	R/W
		0	PHY_TEST_RESET		PHY PRBS テスト・ステート・マシンとエラー・カウンタをリセット。 0 リセットしない。 1 リセットする。	0x0	R/W
0x317	PHY_PRBS_TEST_THRESHOLD_LOBITS	[7:0]	PHY_PRBS_THRESHOLD_LOBITS		24 ビット閾値のビット [7:0] は PHY PRBS テストのエラー・フラグをセット。	0x0	R/W
0x318	PHY_PRBS_TEST_THRESHOLD_MIDBITS	[7:0]	PHY_PRBS_THRESHOLD_MIDBITS		24 ビット閾値のビット [15:8] は PHY PRBS テストのエラー・フラグをセット。	0x0	R/W
0x319	PHY_PRBS_TEST_THRESHOLD_HIBITS	[7:0]	PHY_PRBS_THRESHOLD_HIBITS		24 ビット閾値のビット [23:16] は PHY PRBS テストのエラー・フラグをセット。	0x0	R/W
0x31A	PHY_PRBS_TEST_ERRCNT_LOBITS	[7:0]	PHY_PRBS_ERR_CNT_LOBITS		選択されたレーンから 24 ビットでレポートされた PHY BER テスト・エラー・カウンタのビット [7:0]。	0x0	R
0x31B	PHY_PRBS_TEST_ERRCNT_MIDBITS	[7:0]	PHY_PRBS_ERR_CNT_MIDBITS		選択されたレーンから 24 ビットでレポートされた PHY BER テスト・エラー・カウンタのビット [15:8]。	0x0	R
0x31C	PHY_PRBS_TEST_ERRCNT_HIBITS	[7:0]	PHY_PRBS_ERR_CNT_HIBITS		選択されたレーンから 24 ビットでレポートされた PHY BER テスト・エラー・カウンタのビット [23:16]。	0x0	R
0x31D	PHY_PRBS_TEST_STATUS	[7:0]	PHY_PRBS_PASS		各ビットが対応レーンを表す。各レーンの PHY BER テストの可否をレポートします。	0xFF	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x31E	PHY_DATA_SNAPSHOT_CTRL	[7:5]	Reserved		予備。	0x0	R
		[4:2]	PHY_GRAB_LANE_SEL		どの PHY レーンからデータを取得するかを選択。 000 レーン 0 からデータを取得。 001 レーン 1 からデータを取得。 010 レーン 2 からデータを取得。 011 レーン 3 からデータを取得。 100 レーン 4 からデータを取得。 101 レーン 5 からデータを取得。 110 レーン 6 からデータを取得。 111 レーン 7 からデータを取得。	0x0	R/W
		1	PHY_GRAB_MODE		エラー・トリガを使用してデータを取得。 0 PHY_GRAB_DATA がセットされたときにデータを取得。 1 ビット・エラー時にデータを取得。	0x0	R/W
		0	PHY_GRAB_DATA		0 から 1 に遷移させると、ロジックが 1 つのレーンから現在受信しているデータを保存。	0x0	R/W
0x31F	PHY_SNAPSHOT_DATA_BYTE0	[7:0]	PHY_SNAPSHOT_DATA_BYTE0		1 つの PHY レーンで受信した 40 ビット・スナップショット (PHY_SNAPSHOT_DATA、ビット [39:0]) の中の 1 バイト (PHY_SNAPSHOT_DATA のビット [7:0]) を保存。キャプチャするレーンとキャプチャ方法は、レジスタ 0x31E で定義します。	0x0	R
0x320	PHY_SNAPSHOT_DATA_BYTE1	[7:0]	PHY_SNAPSHOT_DATA_BYTE1		1 つの PHY レーンで受信した 40 ビット・スナップショット (PHY_SNAPSHOT_DATA、ビット [39:0]) の中の 1 バイト (PHY_SNAPSHOT_DATA のビット [15:8]) を保存。キャプチャするレーンとキャプチャ方法は、レジスタ 0x31E で定義します。	0x0	R
0x321	PHY_SNAPSHOT_DATA_BYTE2	[7:0]	PHY_SNAPSHOT_DATA_BYTE2		1 つの PHY レーンで受信した 40 ビット・スナップショット (PHY_SNAPSHOT_DATA、ビット [39:0]) の中の 1 バイト (PHY_SNAPSHOT_DATA のビット [23:16]) を保存。キャプチャするレーンとキャプチャ方法は、レジスタ 0x31E で定義します。	0x0	R
0x322	PHY_SNAPSHOT_DATA_BYTE3	[7:0]	PHY_SNAPSHOT_DATA_BYTE3		1 つの PHY レーンで受信した 40 ビット・スナップショット (PHY_SNAPSHOT_DATA、ビット [39:0]) の中の 1 バイト (PHY_SNAPSHOT_DATA のビット [31:24]) を保存。キャプチャするレーンとキャプチャ方法は、レジスタ 0x31E で定義します。	0x0	R
0x323	PHY_SNAPSHOT_DATA_BYTE4	[7:0]	PHY_SNAPSHOT_DATA_BYTE4		1 つの PHY レーンで受信した 40 ビット・スナップショット (PHY_SNAPSHOT_DATA、ビット [39:0]) の中の 1 バイト (PHY_SNAPSHOT_DATA のビット [39:32]) を保存。キャプチャするレーンとキャプチャ方法は、レジスタ 0x31E で定義します。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x32C	SHORT_TPL_TEST_0	[7:4]	SHORT_TPL_SP_SEL		ショート・トランスポート層サンプルの選択。特定 DAC のどのサンプルをチェックするかを選択します。 0000 サンプル 0。 0001 サンプル 1。 0010 サンプル 2。 0011 サンプル 3。 0100 サンプル 4。 0101 サンプル 5。 0110 サンプル 6。 0111 サンプル 7。 1000 サンプル 8。 1001 サンプル 9。 1010 サンプル 10。 1011 サンプル 11。 1100 サンプル 12。 1101 サンプル 13。 1110 サンプル 14。 1111 サンプル 15。	0x0	R/W
		[3:2]	SHORT_TPL_M_SEL		ショート・トランスポート層テスト DAC の選択。どの DAC をチェックするかを選択します。 00 DAC 0。 01 DAC 1。 10 DAC 2。 11 DAC 3。	0x0	R/W
		1	SHORT_TPL_TEST_RESET		ショート・トランスポート層テストのリセット。ショート・トランスポート層テストの結果をリセットします。 0 リセットしない。 1 リセットする。	0x0	R/W
		0	SHORT_TPL_TEST_EN		ショート・トランスポート層テストのイネーブル。ショート・トランスポート層テストをイネーブルします。 0 デイスエーブル。 1 イネーブル。	0x0	R/W
0x32D	SHORT_TPL_TEST_1	[7:0]	SHORT_TPL_REF_SP_LSB		ショート・トランスポート層リファレンス・サンプルの LSB。この LSB は予想 DAC サンプルの下位 8 ビットで、JESD204B Rx 出力における受信 DAC サンプルとの比較に使われます。	0x0	R/W
0x32E	SHORT_TPL_TEST_2	[7:0]	SHORT_TPL_REF_SP_MSB		ショート・トランスポート層テスト・リファレンス・サンプルの MSB。この LSB は、予想 DAC サンプルの上位 8 ビットで、JESD204B Rx 出力における受信サンプルとの比較に使われます。	0x0	R/W
0x32F	SHORT_TPL_TEST_3	[7:1]	Reserved		予備。	0x0	R
		0	SHORT_TPL_FAIL		ショート・トランスポート層テスト不合格。このビットは、選択した DAC サンプルがリファレンス・サンプルと一致するかどうかを示します。一致すれば、テストは合格です。一致しなければ、テストは不合格です。 0 テスト合格。 1 テスト不合格。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x334	JESD_BIT_INVERSE_CTRL	[7:0]	JESD_BIT_INVERSE		このバイトの各ビットは、1つの特定 JESD204B Rx PHY からの JESD204B シリアル化解除データを反転させます。ビットの順番は論理レーンの順番と一致します。例えば、ビット 0 はレーン 0 を制御し、ビット 1 はレーン 1 を制御します。	0x0	R/W
0x400	DID_REG	[7:0]	DID_RD		レーン 0 で受信した ILAS 設定。DID はデバイス ID 番号です。JESD204B のセクション 8.3 の規定に従いレーン 0 で受信されたリンク情報です。	0x0	R
0x401	BID_REG	[7:0]	BID_RD		レーン 0 で受信した ILAS 設定。BID はバンク ID で、DID の補足情報です。JESD204B のセクション 8.3 の規定に従いレーン 0 で受信されたリンク情報です。	0x0	R
0x402	LID0_REG	7	Reserved		予備。	0x0	R
		6	ADJDIR_RD		レーン 0 で受信した ILAS 設定。ADJDIR は DAC LMFC の調整方向。JESD204B のセクション 8.3 の規定に従いレーン 0 で受信されたリンク情報です。	0x0	R
		5	PHADJ_RD		レーン 0 で受信した ILAS 設定。PHADJ は DAC への位相調整要求。JESD204B のセクション 8.3 の規定に従いレーン 0 で受信されたリンク情報です。	0x0	R
		[4:0]	LL_LID0		レーン 0 で受信した ILAS LID 設定。LID0 はレーン 0 のレーン識別です。JESD204B のセクション 8.3 の規定に従いレーン 0 で受信されたリンク情報です。	0x0	R
0x403	SCR_L_REG	7	SCR_RD		レーン 0 で受信した ILAS 設定。SCR は Tx スキャンプリング・ステータスです。JESD204B のセクション 8.3 の規定に従いレーン 0 で受信されたリンク情報です。 0 スキャンプリングをディスエーブル。 1 スキャンプリングをイネーブル。	0x0	R
				[6:5]	Reserved		
		[4:0]	L_RD		レーン 0 で受信した ILAS 設定。L はコンバータ・デバイスあたりのレーン数です。JESD204B のセクション 8.3 の規定に従いレーン 0 で受信されたリンク情報です。 00000 コンバータ・デバイスあたり 1 レーン。 00001 コンバータ・デバイスあたり 2 レーン。 00011 コンバータ・デバイスあたり 4 レーン。 00111 コンバータ・デバイスあたり 8 レーン。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x404	F_REG	[7:0]	F_RD		レーン0で受信したILAS設定。Fはフレームあたりのオクテット数で、有効な設定値は1、2、および4です（レジスタ内の値はF-1）。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。 0 フレームあたり1オクテット。 1 フレームあたり2オクテット。 11 フレームあたり4オクテット。	0x0	R
0x405	K_REG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	K_RD		レーン0で受信したILAS設定。Kはマルチフレーム1つあたりのフレーム数で、有効な設定値は16または32です。このデバイスでは、すべてのモードでK=32です（レジスタ内の値はK-1）。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。 01111 マルチフレームあたり16フレーム。 11111 マルチフレームあたり32フレーム。	0x0	R
0x406	M_REG	[7:0]	M_RD		レーン0で受信したILAS設定。Mはデバイスあたりのコンバータ数です。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。実数インターフェースの場合のMは1で、複素数インターフェースの場合は2です（レジスタ内の値はM-1）。	0x0	R
0x407	CS_N_REG	[7:6]	CS_RD		レーン0で受信したILAS設定。CSはサンプルあたりの制御ビット数で、JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。このデバイスでは、CSは常に0です。	0x0	R
		5	Reserved		予備。	0x0	R
		[4:0]	N_RD		レーン0で受信したILAS設定。Nはコンバータの分解能で、レジスタ内の値はN-1です（例えば、16ビット=0b01111）。	0x0	R
0x408	NP_REG	[7:5]	SUBCLASSV_RD		レーン0で受信したILAS設定。SUBCLASSVはデバイスのサブクラス・バージョンです。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。 000 サブクラス0。 001 サブクラス1。	0x0	R
		[4:0]	NP_RD		レーン0で受信したILAS設定。NPはサンプルあたりの合計ビット数です。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。レジスタ内の値はNP-1で、例えばサンプルあたり16ビットの場合は0b01111です。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x409	S_REG	[7:5]	JESDV_RD		レーン0で受信したILAS設定。JESDVはJESD204xバージョンです。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。 000 JESD204A。 001 JESD204B。	0x0	R
		[4:0]	S_RD		レーン0で受信したILAS設定。Sは、1フレーム・サイクルにおけるコンバータあたりのサンプル数です。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。レジスタ内の値はS-1です。	0x0	R
0x40A	HD_CF_REG	7	HD_RD		レーン0で受信したILAS設定。HDは高密度フォーマットです。JESD204B規格のセクション5.1.3を参照してください。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。 0 低密度モード。 1 高密度モード。	0x0	R
		[6:5]	Reserved		予備。	0x0	R
		[4:0]	CF_RD		レーン0で受信したILAS設定。CFは、1つのリンクのフレーム・クロック周期あたりの制御ワード数です。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。このデバイスでは、CFは常に0です。	0x0	R
0x40B	RES1_REG	[7:0]	RES1_RD		レーン0で受信したILAS設定。予備フィールド1。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。	0x0	R
0x40C	RES2_REG	[7:0]	RES2_RD		レーン0で受信したILAS設定。予備フィールド2。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。	0x0	R
0x40D	CHECKSUM0_REG	[7:0]	LL_FCHK0		レーン0におけるILAS時の受信チェックサム。レーン0のチェックサム。リンク情報は、JESD204Bのセクション8.3の規定に従いレーン0で受信されます。	0x0	R
0x40E	COMP0_REG	[7:0]	LL_FCMP0		レーン0の計算チェックサム。レーン0の計算チェックサムです。JESD204B Rxは、JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報のチェックサムを計算します。計算方法はCHECKSUM_MODEビット（レジスタ0x300、ビット6）によって設定し、レジスタ0x40D内の同様に計算されたチェックサムと一致する必要があります。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x412	LID1_REG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LL_LID1		レーン1におけるILAS時の受信レーンID (LID)。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。	0x0	R
0x415	CHECKSUM1_REG	[7:0]	LL_FCHK1		レーン1におけるILAS時の受信チェックサム。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。	0x0	R
0x416	COMPNUM1_REG	[7:0]	LL_FCMP1		レーン1の計算チェックサム (レジスタ 0x40Eの説明を参照)。	0x0	R
0x41A	LID2_REG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LL_LID2		レーン2におけるILAS時の受信レーンID (LID)。	0x0	R
0x41D	CHECKSUM2_REG	[7:0]	LL_FCHK2		レーン2におけるILAS時の受信チェックサム	0x0	R
0x41E	COMPNUM2_REG	[7:0]	LL_FCMP2		レーン2の計算チェックサム (レジスタ 0x40Eの説明を参照)。	0x0	R
0x422	LID3_REG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LL_LID3		レーン3におけるILAS時の受信レーンID (LID)。	0x0	R
0x425	CHECKSUM3_REG	[7:0]	LL_FCHK3		レーン3におけるILAS時の受信チェックサム	0x0	R
0x426	COMPNUM3_REG	[7:0]	LL_FCMP3		レーン3の計算チェックサム (レジスタ 0x40Eの説明を参照)。	0x0	R
0x42A	LID4_REG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LL_LID4		レーン4におけるILAS時の受信LID。	0x0	R
0x42D	CHECKSUM4_REG	[7:0]	LL_FCHK4		レーン4におけるILAS時の受信チェックサム	0x0	R
0x42E	COMPNUM4_REG	[7:0]	LL_FCMP4		レーン4の計算チェックサム (レジスタ 0x40Eの説明を参照)。	0x0	R
0x432	LID5_REG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LL_LID5		レーン5におけるILAS時の受信LID。	0x0	R
0x435	CHECKSUM5_REG	[7:0]	LL_FCHK5		レーン5におけるILAS時の受信チェックサム	0x0	R
0x436	COMPNUM5_REG	[7:0]	LL_FCMP5		レーン5の計算チェックサム (レジスタ 0x40Eの説明を参照)。	0x0	R
0x43A	LID6_REG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LL_LID6		レーン6におけるILAS時の受信LID。	0x0	R
0x43D	CHECKSUM6_REG	[7:0]	LL_FCHK6		レーン6におけるILAS時の受信チェックサム	0x0	R
0x43E	COMPNUM6_REG	[7:0]	LL_FCMP6		レーン6の計算チェックサム (レジスタ 0x40Eの説明を参照)。	0x0	R
0x442	LID7_REG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LL_LID7		レーン7におけるILAS時の受信LID。	0x0	R
0x445	CHECKSUM7_REG	[7:0]	LL_FCHK7		レーン7におけるILAS時の受信チェックサム。	0x0	R
0x446	COMPNUM7_REG	[7:0]	LL_FCMP7		レーン7の計算チェックサム (レジスタ 0x40Eの説明を参照)。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x450	ILS_DID	[7:0]	DID		デバイス（リンク）識別番号（DID）。DIDはデバイスID番号です。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。レジスタ0x400に読み込んだ値に設定する必要があります。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
0x451	ILS_BID	[7:0]	BID		バンクID、DIDの拡張子。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
0x452	ILS_LID0	7	Reserved		予備。	0x0	R
		6	ADJDIR		DAC LMFCの調整方向（サブクラス2のみ）。ADJDIRはDAC LMFCの調整方向です。リンク情報は、JESD204Bのセクション8.3の規定に従いレーン0で受信されます。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
		5	PHADJ		DACの位相調整（サブクラス2のみ）。PHADJはDACへの位相調整要求です。JESD204Bのセクション8.3の規定に従いレーン0で受信されたリンク情報です。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
		[4:0]	LID0		レーン識別番号（リンク内）。LID0はレーン0のレーン識別です。リンク情報は、JESD204Bのセクション8.3の規定に従いレーン0で受信されます。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
0x453	ILS_SCR_L	7	SCR		スクランブルをイネーブル。SCRはRxのスクランプリング解除のイネーブルです。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 0 スクランプリング解除をディスエーブル。 1 スクランプリング解除をイネーブル。	0x1	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		[6:5]	Reserved		予備。	0x0	R
		[4:0]	L		コンバータあたりのレーン数（マイナス1）。Lはコンバータ・デバイスあたりのレーン数です。有効な設定値は1、2、3、4、6、および8です。表15と表16を参照してください。	0x7	R
0x454	ILS_F	[7:0]	F		1フレームあたりのオクテット数：（マイナス1）。このFの値はQBDのソフト設定には使用しません。QBDのソフト設定にはレジスタ CTRLREG1を使用します。	0x0	R
0x455	ILS_K	[7:5]	Reserved		予備。	0x0	R
		[4:0]	K		マルチフレームあたりのフレーム数（マイナス1）。Kはマルチフレーム1つあたりのフレーム数で、このデバイスでは、すべてのモードでK=32です（レジスタ内の値はK-1）。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 01111 マルチフレームあたり 16 フレーム。 11111 マルチフレームあたり 32 フレーム。	0x1F	R/W
0x456	ILS_M	[7:0]	M		1デバイスあたりのコンバータ数（マイナス1）。Mはデバイスあたりのコンバータ数です。有効な設定値は1と2です。表15と表16を参照してください。	0x1	R
0x457	ILS_CS_N	[7:6]	CS		サンプルあたりの制御ビット数。CSはサンプルあたりの制御ビット数で、0に設定する必要があります。制御ビットはサポートされていません。	0x0	R
		5	Reserved		予備。	0x0	R
		[4:0]	N		コンバータ分解能（マイナス1）。Nはコンバータの分解能で、16（0x0F）に設定する必要があります。	0xF	R
0x458	ILS_NP	[7:5]	SUBCLASSV		デバイスのサブクラス・バージョン。SUBCLASSVはデバイスのサブクラス・バージョンです。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 000 サブクラス 0。 001 サブクラス 1。 010 サブクラス 2（サポートされていません）。	0x0	R/W
		[4:0]	NP		サンプルあたりの合計ビット数（マイナス1）。NPはサンプルあたりの合計ビット数です。16（0x0F）に設定する必要があります。表15と表16を参照してください。	0xF	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x459	ILS_S	[7:5]	JESDV		JESD204xバージョン。JESDVはJESD204xバージョンです。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 000 JESD204A。 001 JESD204B。	0x0	R/W
		[4:0]	S		1フレーム・サイクルのコンバータあたりサンプル数：（マイナス1）。Sは、1フレーム・サイクルにおけるコンバータあたりのサンプル数です。有効な設定値は1と2です。表15と表16を参照してください。	0x1	R
0x45A	ILS_HD_CF	7	HD		高密度フォーマット。HDは高密度モードです。JESD204B規格のセクション5.1.3を参照してください。 0 低密度モード。 1 高密度モード。	0x1	R
		[6:5]	Reserved		予備。	0x0	R
		[4:0]	CF		サンプルあたりの制御ビット数。CFは、1つのリンクのフレーム・クロック周期あたりの制御ワード数です。0に設定する必要があります。制御ビットはサポートされていません。	0x0	R
0x45B	ILS_RES1	[7:0]	RES1		予備。予備フィールド1。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
0x45C	ILS_RES2	[7:0]	RES2		予備。予備フィールド2。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
0x45D	ILS_CHECKSUM	[7:0]	FCHK0		リンク設定チェックサム。レーン0のチェックサム。レジスタ0x450～レジスタ0x45Cに設定する値のチェックサムは、JESD204B仕様のセクション8.3に従って計算してこのレジスタに書き込む必要があります（SUM（レジスタ0x450～レジスタ0x45C）%256）。この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x46C	LANE_DESKEW	7	ILD7		レーン7のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		6	ILS6		レーン6の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		5	ILD5		レーン5のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		4	ILD4		レーン4のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		3	ILD3		レーン3のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		2	ILD2		レーン2のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		1	ILD1		レーン1のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		0	ILD0		レーン0のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
0x46D	BAD_DISPARITY	7	BDE7		レーン7の BDE ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント \geq ETH [7:0] の値。	0x0	R
		6	BDE6		レーン6の BDE ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント \geq ETH [7:0] の値。	0x0	R
		5	BDE5		レーン5の BDE ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント \geq ETH [7:0] の値。	0x0	R
		4	BDE4		レーン4の BDE ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント \geq ETH [7:0] の値。	0x0	R
		3	BDE3		レーン3の BDE ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント \geq ETH [7:0] の値。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		2	BDE2		レーン2のBDEステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		1	BDE1		レーン1のBDEステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		0	BDE0		レーン0のBDEステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
0x46E	NOT_IN_TABLE	7	NIT7		レーン7のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		6	NIT6		レーン6のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	NIT5		レーン5のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		4	NIT4		レーン4のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		3	NIT3		レーン3のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		2	NIT2		レーン2のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		1	NIT1		レーン1のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		0	NIT0		レーン0のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
0x46F	UNEXPECTED_KCHAR	7	UEK7		レーン7のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		6	UEK6		レーン6のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	UEK5		レーン5のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		4	UEK4		レーン4のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		3	UEK3		レーン3のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		2	UEK2		レーン2のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R
		1	UEK1		レーン1のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R
		0	UEK0		レーン0のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R
0x470	CODE_GRP_SYNC	7	CGS7		レーン7のCGSステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		6	CGS6		レーン6のCGSステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		5	CGS5		レーン5のCGSステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		4	CGS4		レーン4のCGSステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		3	CGS3		レーン3のCGSステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		2	CGS2		レーン2のCGSステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		1	CGS1		レーン1のCGSステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	CGS0		レーン0のCGSステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
0x471	FRAME_SYNC	7	FS7		レーン7のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		6	FS6		レーン6のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		5	FS5		レーン5のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		4	FS4		レーン4のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		3	FS3		レーン3のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		2	FS2		レーン2のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		1	FS1		レーン1のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	FS0		レーン0のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
0x472	GOOD_CHECKSUM	7	CKS7		レーン7の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		6	CKS6		レーン6の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		5	CKS5		レーン5の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		4	CKS4		レーン4の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		3	CKS3		レーン3の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		2	CKS2		レーン2の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		1	CKS1		レーン1の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		0	CKS0		レーン0の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
0x473	INIT_LANE_SYNC	7	ILS7		レーン7の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		6	ILS6		レーン6の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		5	ILS5		レーン5の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		4	ILS4		レーン4の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		3	ILS3		レーン3の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		2	ILS2		レーン2の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		1	ILS1		レーン1の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	ILS0		レーン0の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
0x475	CTRLREG0	7	RX_DIS		レベル入力：この入力が1のときはデフレーマ・レシーバーをディスエーブル。この信号はQBDがソフト・リセット (レジスタ 0x475、ビット3) に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 1 受信フレームおよびマルチフレーム終了時の/A/制御文字と/F/制御文字の文字置換をディスエーブル。 0 置換をイネーブル。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		6	CHAR_REPL_DIS		この入力が1のときは、フレーム/マルチフレーム終了時の文字置換をディセーブル。この信号はQBDがソフト・リセット（レジスタ 0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
		[5:4]	Reserved		予備。	0x0	R
		3	SOFTRST		ソフト・リセット。アクティブ・ハイ同期リセット。すべてのハードウェアをパワー・オン状態にリセットします。 1 デフレーマの受信をディセーブル。 0 デフレーマのロジックをイネーブル。	0x0	R/W
		2	FORCESYNCREQ		同期要求（SYNCOUT±）をアサートするためのアプリケーションからのコマンド。アクティブ・ハイ。	0x0	R/W
		1	Reserved		予備。	0x0	R
		0	REPL_FRM_ENA		このレベル入力を設定すると、エラー時に受信されるフレームの置換がイネーブルされます。この信号はQBDがソフト・リセット（レジスタ 0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x1	R/W
0x476	CTRLREG1	[7:5]	Reserved		予備。	0x0	R
		4	QUAL_RDERR		NITエラーとランニング・ディスパリティ（RD）エラーが同時に発生したときのエラー・レポート動作。この信号はQBDがソフト・リセット（レジスタ 0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 0 NITはRDエラーに影響しません。 1 NITエラーは同時に発生したRDエラーをマスクします。	0x1	R/W
		3	DEL_SCR		代替デスクランブラをイネーブル。（JESD204Bセクション5.2.4を参照）この信号はQBDがソフト・リセット（レジスタ 0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 1 ユーザ・データのオクテット2からスクランプリングが解除されます。 0 ユーザ・データのオクテット0からスクランプリングが解除されます。通常はこちらが使われます。	0x0	R/W
		2	CGS_SEL		コード・グループ同期の完了後にQBD動作を決定。この信号はQBDがソフト・リセット（レジスタ 0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x1	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
					0 コード・グループ同期の完了後、QBDは、JESD204B規格によるディスパリティ・エラーの数が十分な場合のみ SYNCOUT±をアサートします。 1 コード・グループ同期の完了後、QBDは、/K/文字の後に/R/以外の文字またはもう1つの/K/文字が続く場合に SYNCOUT±をアサートします		
		1	NO_ILAS		この信号はQBDがソフト・リセット（レジスタ 0x475、ビット 3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 1 シングルレール動作の場合 ILAS は省略され、コード・グループ同期の後はユーザ・データが続きます。 0 コード・グループ同期の後に ILAS が続きます。マルチレール動作では、NO_ILAS を 0 にセットする必要があります。	0x0	R/W
		0	FCHK_N		チェックサム計算方法。この信号はQBDがソフト・リセット（レジスタ 0x475、レジスタ 3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 0 個々のフィールドを合計することによってチェックサムを計算します（これは、JESD204B規格におけるチェックサム・フィールドの定義に、より近くなります）。 1 パックされたフィールドを含むレジスタを合計することによってチェックサムを計算します（これは、別ページのフレームがこの方法で計算を行っている場合のための設定です）。	0x0	R/W
0x477	CTRLREG2	7	ILS_MODE		データ・リンク層テスト・モード。この信号はQBDがソフト・リセット（レジスタ 0x475、ビット 3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 0 ノーマル・モード。 1 コード・グループ同期パターンの後はずっと ILAS シーケンスが続きます。	0x0	R/W
		6	Reserved		予備。	0x0	R
		5	REPDATATEST		JTSPATパターンを使用する繰返しデータ・テストをイネーブル。このテストをイネーブルするには、ILS_MODE を 0 にする必要があります。この信号はQBDがソフト・リセット（レジスタ 0x475、ビット 3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		4	QUETESTERR		<p>キュー・テストのエラー・モード。この信号は QBD がソフト・リセット（レジスタ 0x475、ビット 3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。</p> <p>0 複数レーン上で同時に発生した複数エラーは、1つのエラーとしてレポートされます。</p> <p>1 すべてのレーンから検出されたエラーがカウンタにトラップされて、<u>SYNCOUT±SYNCOUT±</u>上に順番に信号出力されます。</p>	0x0	R/W
		3	AR_ECNTN		<p>エラー・カウンタの自動リセット。<u>AR_ECNTN = 1</u>の場合、<u>SYNCOUT±</u>をアサートするエラー・カウンタは自動的に 0 にリセットされます。他のカウンタはいずれも影響を受けません。この信号は QBD がソフト・リセット（レジスタ 0x475、ビット 3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。</p>	0x0	R/W
		[2:0]	Reserved		予備。	0x0	R
0x478	KVAL	[7:0]	KSYNC		<p>ILS 時の 4 × K マルチフレーム数。F はフレームあたりのオクテット数で、有効な設定値は 1、2、および 4 です。表 15 と 表 16 を参照してください。この信号は QBD がソフト・リセット（レジスタ 0x475、ビット 3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。</p>	0x1	R/W
0x47C	ERRORTHRES	[7:0]	ETH		<p>エラー閾値。異常ディスパリティ・エラー、NIT ディスパリティ・エラー、および予期しない K 文字エラーがカウントされてエラー閾値と比較されます。カウント数が等しい場合は、マスク・レジスタの設定に応じて IRQ が生成されるか、<u>SYNCOUT±</u>がアサートされます。あるいは、その両方が実行されます。この機能はすべてのレーンで実行されます。この信号は QBD がソフト・リセット（レジスタ 0x475、ビット 3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。</p>	0xFF	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x47D	SYNC_ASSERT_MASK	[7:3]	Reserved		予備。	0x0	R
		[2:0]	SYNC_ASSERT_MASK		BD、NIT、およびUEKエラー状態のSYNCOUTアサーション・イネーブル・マスク。BD、NIT、およびUEKエラー状態のSYNCOUTアサーション・イネーブル・マスクで、いずれの場合もアクティブ・ハイです。任意のレーンのエラー・カウンタがエラー閾値カウンタ数ETH [7:0]に達し、なおかつ対応するSYNC_ASSERT_MASKビットがセットされている場合は、SYNCOUTがアサートされます。マスク・ビットは以下のとおりです。他のエラー・カウンタ制御とエラー・カウンタに関しては、ビット・シーケンスが反転されます。 ビット2=UEK文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
0x480	ECNT_CTRL0	[7:6]	Reserved		予備。	0x0	R
		[5:3]	ECNT_ENA0		レーン0のエラー・カウンタをイネーブル。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
		[2:0]	ECNT_RST0		レーン0のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
0x481	ECNT_CTRL1	[7:6]	Reserved		予備。	0x0	R
		[5:3]	ECNT_ENA1		レーン1のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
		[2:0]	ECNT_RST1		レーン1のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
0x482	ECNT_CTRL2	[7:6]	Reserved		予備。	0x0	R
		[5:3]	ECNT_ENA2		レーン2のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK文字エラー ビット1=NIT ビット0=BDE	0x7	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		[2:0]	ECNT_RST2		レーン2のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
0x483	ECNT_CTRL3	[7:6]	Reserved		予備。	0x0	R
		[5:3]	ECNT_ENA3		レーン3のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
		[2:0]	ECNT_RST3		レーン3のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
0x484	ECNT_CTRL4	[7:6]	Reserved		予備。	0x0	R
		[5:3]	ECNT_ENA4		レーン4のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
		[2:0]	ECNT_RST4		レーン4のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
0x485	ECNT_CTRL5	[7:6]	Reserved		予備。	0x0	R
		[5:3]	ECNT_ENA5		レーン5のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x7	R/W
		[2:0]	ECNT_RST5		レーン5のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x7	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x486	ECNT_CTRL6	[7:6]	Reserved		予備。	0x0	R
		[5:3]	ECNT_ENA6		レーン6のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE	0x7	R/W
		[2:0]	ECNT_RST6		レーン6のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE	0x7	R/W
0x487	ECNT_CTRL7	[7:6]	Reserved		予備。	0x0	R
		[5:3]	ECNT_ENA7		レーン7のエラー・カウンタをイネーブル、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE	0x7	R/W
		[2:0]	ECNT_RST7		レーン7のエラー・カウンタをリセット、アクティブ・ハイ。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE	0x7	R/W
0x488	ECNT_TCH0	[7:3]	Reserved		予備。	0x0	R
		[2:0]	ECNT_TCH0		レーン0のエラー・カウンタの最終カウント数保持をイネーブル。セットした場合、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値0xFFを保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x489	ECNT_TCH1	[7:3]	Reserved		予備。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		[2:0]	ECNT_TCH1		レーン1のエラー・カウンタの最終カウント数保持をイネーブル。セットした場合、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値0xFFを保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x48A	ECNT_TCH2	[7:3]	Reserved		予備。	0x0	R
		[2:0]	ECNT_TCH2		レーン2のエラー・カウンタの最終カウント数保持をイネーブル。セットした場合、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値0xFFを保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x48B	ECNT_TCH3	[7:3]	Reserved		予備。	0x0	R
		[2:0]	ECNT_TCH3		レーン3のエラー・カウンタの最終カウント数保持をイネーブル。セットした場合、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値0xFFを保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x48C	ECNT_TCH4	[7:3]	Reserved		予備。	0x0	R
		[2:0]	ECNT_TCH4		レーン4のエラー・カウンタの最終カウント数保持をイネーブル。セットした場合、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値0xFFを保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x48D	ECNT_TCH5	[7:3]	Reserved		予備。	0x0	R
		[2:0]	ECNT_TCH5		レーン5のエラー・カウンタの最終カウント数保持をイネーブル。セットした場合、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値0xFFを保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x48E	ECNT_TCH6	[7:3]	Reserved		予備。	0x0	R
		[2:0]	ECNT_TCH6		レーン6のエラー・カウンタの最終カウント数保持をイネーブル。セットした場合、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値0xFFを保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE この信号はQBDがソフト・リセット（レジスタ0x475、ビット3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x48F	ECNT_TCH7	[7:3]	Reserved		予備。	0x0	R
		[2:0]	ECNT_TCH7		レーン7のエラー・カウンタの最終カウント数保持をイネーブル。セットした場合、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値0xFFを保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE この信号は QBD がソフト・リセット（レジスタ 0x475、ビット 3）に保持されている間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x490	ECNT_STAT0	[7:4]	Reserved		予備。	0x0	R
		3	LANE_ENA0		この出力は、レーン0がイネーブルされているかどうかを示します。 0 レーン0はソフト・リセットに保持されます。 1 レーン0がイネーブルされます。	0x0	R
		[2:0]	ECNT_TCR0		レーン0のエラー・カウンタの最終カウント値到達インジケータ。対応するカウンタが最終カウント値0xFFに達したら、1に設定します。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE	0x0	R
0x491	ECNT_STAT1	[7:4]	Reserved		予備。	0x0	R
		3	LANE_ENA1		この出力は、レーン1がイネーブルされているかどうかを示します。 0 レーン1はソフト・リセットに保持されます。 1 レーン1がイネーブルされます。	0x0	R
		[2:0]	ECNT_TCR1		レーン1のエラー・カウンタの最終カウント値到達インジケータ。対応するカウンタが最終カウント値0xFFに達したら、1に設定します。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = UEK 文字エラー ビット1 = NIT ビット0 = BDE	0x0	R
0x492	ECNT_STAT2	[7:4]	Reserved		予備。	0x0	R
		3	LANE_ENA2		この出力は、レーン2がイネーブルされているかどうかを示します。 0 レーン2はソフト・リセットに保持されます。 1 レーン2がイネーブルされます。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		[2:0]	ECNT_TCR2		レーン2のエラー・カウンタの最終カウント値到達インジケータ。対応するカウンタが最終カウント値 0xFF に達したら、1に設定します。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x0	R
0x493	ECNT_STAT3	[7:4]	Reserved		予備。	0x0	R
		3	LANE_ENA3		この出力は、レーン3がイネーブルされているかどうかを示します。 0 レーン3はソフト・リセットに保持されます。 1 レーン3がイネーブルされます。	0x0	R
		[2:0]	ECNT_TCR3		レーン3のエラー・カウンタの最終カウント値到達インジケータ。対応するカウンタが最終カウント値 0xFF に達したら、1に設定します。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x0	R
0x494	ECNT_STAT4	[7:4]	Reserved		予備。	0x0	R
		3	LANE_ENA4		この出力は、レーン4がイネーブルされているかどうかを示します。 0 レーン4はソフト・リセットに保持されます。 1 レーン4がイネーブルされます。	0x0	R
		[2:0]	ECNT_TCR4		レーン4のエラー・カウンタの最終カウント値到達インジケータ。対応するカウンタが最終カウント値 0xFF に達したら、1に設定します。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x0	R
0x495	ECNT_STAT5	[7:4]	Reserved		予備。	0x0	R
		3	LANE_ENA5		この出力は、レーン5がイネーブルされているかどうかを示します。 0 レーン5はソフト・リセットに保持されます。 1 レーン5がイネーブルされます。	0x0	R
		[2:0]	ECNT_TCR5		レーン5のエラー・カウンタの最終カウント値到達インジケータ。対応するカウンタが最終カウント値 0xFF に達したら、1に設定します。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x496	ECNT_STAT6	[7:4]	Reserved		予備。	0x0	R
		3	LANE_ENA6		この出力は、レーン6がイネーブルされているかどうかを示します。 0 レーン6はソフト・リセットに保持されます。 1 レーン6がイネーブルされます。	0x0	R
		[2:0]	ECNT_TCR6		レーン6のエラー・カウンタの最終カウント値到達インジケータ。対応するカウンタが最終カウント値0xFFに達したら、1に設定します。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x0	R
0x497	ECNT_STAT7	[7:4]	Reserved		予備。	0x0	R
		3	LANE_ENA7		この出力は、レーン7がイネーブルされているかどうかを示します。 0 レーン7はソフト・リセットに保持されます。 1 レーン7がイネーブルされます。	0x0	R
		[2:0]	ECNT_TCR7		レーン7のエラー・カウンタの最終カウント値到達インジケータ。対応するカウンタが最終カウント値0xFFに達したら、1に設定します。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=UEK 文字エラー ビット1=NIT ビット0=BDE	0x0	R
0x498	BD_CNT0	[7:0]	BD_CNT0		レーン0の異常ディスパリティ8ビット・エラー・カウンタ。	0x0	R
0x499	BD_CNT1	[7:0]	BD_CNT1		レーン1の異常ディスパリティ8ビット・エラー・カウンタ。	0x0	R
0x49A	BD_CNT2	[7:0]	BD_CNT2		レーン2の異常ディスパリティ8ビット・エラー・カウンタ。	0x0	R
0x49B	BD_CNT3	[7:0]	BD_CNT3		レーン3の異常ディスパリティ8ビット・エラー・カウンタ。	0x0	R
0x49C	BD_CNT4	[7:0]	BD_CNT4		レーン4の異常ディスパリティ8ビット・エラー・カウンタ。	0x0	R
0x49D	BD_CNT5	[7:0]	BD_CNT5		レーン5の異常ディスパリティ8ビット・エラー・カウンタ。	0x0	R
0x49E	BD_CNT6	[7:0]	BD_CNT6		レーン6の異常ディスパリティ8ビット・エラー・カウンタ。	0x0	R
0x49F	BD_CNT7	[7:0]	BD_CNT7		レーン7の異常ディスパリティ8ビット・エラー・カウンタ。	0x0	R
0x4A0	NIT_CNT0	[7:0]	NIT_CNT0		レーン0の異常ディスパリティ8ビット・エラー・カウンタ。	0x0	R
0x4A1	NIT_CNT1	[7:0]	NIT_CNT1		レーン1のNIT8ビット・エラー・カウンタ。	0x0	R
0x4A2	NIT_CNT2	[7:0]	NIT_CNT2		レーン2のNIT8ビット・エラー・カウンタ。	0x0	R
0x4A3	NIT_CNT3	[7:0]	NIT_CNT3		レーン3のNIT8ビット・エラー・カウンタ。	0x0	R
0x4A4	NIT_CNT4	[7:0]	NIT_CNT4		レーン4のNIT8ビット・エラー・カウンタ。	0x0	R
0x4A5	NIT_CNT5	[7:0]	NIT_CNT5		レーン5のNIT8ビット・エラー・カウンタ。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x4A6	NIT_CNT6	[7:0]	NIT_CNT6		レーン6のNIT 8ビット・エラー・カウンタ。	0x0	R
0x4A7	NIT_CNT7	[7:0]	NIT_CNT7		レーン7のNIT 8ビット・エラー・カウンタ。	0x0	R
0x4A8	UEK_CNT0	[7:0]	UEK_CNT0		レーン0のUEK 文字 8ビット・エラー・カウンタ。	0x0	R
0x4A9	UEK_CNT1	[7:0]	UEK_CNT1		レーン1のUEK 文字 8ビット・エラー・カウンタ。	0x0	R
0x4AA	UEK_CNT2	[7:0]	UEK_CNT2		レーン2のUEK 文字 8ビット・エラー・カウンタ。	0x0	R
0x4AB	UEK_CNT3	[7:0]	UEK_CNT3		レーン3のUEK 文字 8ビット・エラー・カウンタ。	0x0	R
0x4AC	UEK_CNT4	[7:0]	UEK_CNT4		レーン4のUEK 文字 8ビット・エラー・カウンタ。	0x0	R
0x4AD	UEK_CNT5	[7:0]	UEK_CNT5		レーン5のUEK 文字 8ビット・エラー・カウンタ。	0x0	R
0x4AE	UEK_CNT6	[7:0]	UEK_CNT6		レーン6のUEK 文字 8ビット・エラー・カウンタ。	0x0	R
0x4AF	UEK_CNT7	[7:0]	UEK_CNT7		レーン7のUEK 文字 8ビット・エラー・カウンタ。	0x0	R
0x4B0	LINK_STATUS0	7	BDE0		レーン0のBDEステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		6	NIT0		レーン0のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	UEK0		レーン0のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		4	ILD0		レーン0のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		3	ILS0		レーン0の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		2	CKS0		レーン0の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		1	FS0		レーン0のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	CGS0		レーン0のコード・グループ同期ステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
0x4B1	LINK_STATUS1	7	BDE1		レーン1のBDEステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		6	NIT1		レーン1のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	UEK1		レーン1のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		4	ILD1		レーン1のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		3	ILS1		レーン1の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		2	CKS1		レーン1の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		1	FS1		レーン1のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	CGS1		レーン1のコード・グループ同期ステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
0x4B2	LINK_STATUS2	7	BDE2		レーン2のBDEステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		6	NIT2		レーン2のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	UEK2		レーン2のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		4	ILD2		レーン2のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		3	ILS2		レーン2の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		2	CKS2		レーン2の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		1	FS2		レーン2のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	CGS2		レーン2のコード・グループ同期ステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
0x4B3	LINK_STATUS3	7	BDE3		レーン3のBDEステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R
		6	NIT3		レーン3のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R
		5	UEK3		レーン3のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R
		4	ILD3		レーン3のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		3	ILS3		レーン3の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		2	CKS3		レーン3の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		1	FS3		レーン3のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	CGS3		レーン3のコード・グループ同期ステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
0x4B4	LINK_STATUS4	7	BDE4		レーン4のBDEステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R
		6	NIT4		レーン4のテーブル不記載エラー・ステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R
		5	UEK4		レーン4のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		4	ILD4		レーン4のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		3	ILS4		レーン4の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		2	CKS4		レーン4の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		1	FS4		レーン4のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	CGS4		レーン4のコード・グループ同期ステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0x4B5	LINK_STATUS5	7	BDE5		レーン5のBDEステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。
		6	NIT5		レーン5のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R
		5	UEK5		レーン5のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0]の値。 1 エラー・カウント≥ETH [7:0]の値。	0x0	R
		4	ILD5		レーン5のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		3	ILS5		レーン5の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		2	CKS5		レーン5の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		1	FS5		レーン5のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	CGS5		レーン5のコード・グループ同期ステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x4B6	LINK_STATUS6	7	BDE6		レーン6のBDEステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		6	NIT6		レーン6のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	UEK6		レーン6のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		4	ILD6		レーン6のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		3	ILS6		レーン6の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		2	CKS6		レーン6の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		1	FS6		レーン6のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	CGS6		レーン6のコード・グループ同期ステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
0x4B7	LINK_STATUS7	7	BDE7		レーン7のBDEステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		6	NIT7		レーン7のNITエラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	UEK7		レーン7のUEK文字エラー・ステータス。 0 エラー・カウント<ETH [7:0] の値。 1 エラー・カウント≥ETH [7:0] の値。	0x0	R
		4	ILD7		レーン7のレーン間スキュー除去ステータス (NO_ILAS=1のときはこの出力を無視)。 0 スキュー除去に失敗しました。 1 スキューが除去されました。	0x0	R
		3	ILS7		レーン7の初期レーン同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
		2	CKS7		レーン7の計算チェックサム・ステータス (NO_ILAS=1のときはこの出力を無視)。 0 チェックサムが正しくありません。 1 チェックサムは正常です。	0x0	R
		1	FS7		レーン7のフレーム同期ステータス (NO_ILAS=1のときはこの出力を無視)。 0 同期が失われました。 1 同期が確立されました。	0x0	R
		0	CGS7		レーン7のコード・グループ同期ステータス。 0 同期が失われました。 1 同期が確立されました。	0x0	R
0x4B8	JESD_IRQ_ENABLEA	7	EN_BDE		BDEカウンタ。	0x0	R/W
		6	EN_NIT		NITエラー・カウンタ。	0x0	R/W
		5	EN_UEK		UEKエラー・カウンタ。	0x0	R/W
		4	EN_ILD		レーン間スキュー除去。	0x0	R/W
		3	EN_ILS		初期レーン同期。	0x0	R/W
		2	EN_CKS		正常チェックサム。これは2個のチェックサムを比較する割込みです。すなわち、トランスミッタがILAS時にリンクを介して送信するチェックサムと、トランスミッタがリンクを介して送信したILASデータからレシーバーが計算するチェックサムを比較します。チェックサムIRQは、いかなる場合も、SPIを介してレジスタ0x45Dに設定されたチェックサムを確認しません。チェックサムIRQが確認するデータはトランスミッタが送信するデータだけで、SPIを介して設定されたチェックサムは確認しません。	0x0	R/W
		1	EN_FS		フレーム同期。	0x0	R/W
0x4B9	JESD_IRQ_ENABLEB	0	EN_CGS		コード・グループ同期。	0x0	R/W
		[7:1]	Reserved		予備。	0x0	R
0x4BA	JESD_IRQ_ENABLEB	0	EN_ILAS		構成ミスマッチ (レーン0のみをチェック)。ILAS IRQは、レシーバーにある2セットのILASデータを比較します。すなわち、トランスミッタがJESD204Bリンクで送ったILASデータと、SPIを介してレシーバーに設定されたILASデータ (レジスタ0x450~レジスタ0x45D) です。これらのデータに違いがあると、IRQがトリガされます。すべてのILASデータ (チェックサムを含む) が比較されます。	0x0	R/W
0x4BA	JESD_IRQ_STATUSA	7	IRQ_BDE		BDEカウンタ。	0x0	R/W
		6	IRQ_NIT		NITエラー・カウンタ。	0x0	R/W
		5	IRQ_UEK		UEKエラー・カウンタ。	0x0	R/W
		4	IRQ_ILD		レーン間スキュー除去。	0x0	R/W
		3	IRQ_ILS		初期レーン同期。	0x0	R/W
		2	IRQ_CKS		正常チェックサム。	0x0	R/W
		1	IRQ_FS		フレーム同期。	0x0	R/W
		0	IRQ_CGS		コード・グループ同期。	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x4BB	JESD_IRQ_STATUSB	[7:1]	Reserved		予備。	0x0	R
		0	IRQ_ILAS		構成ミスマッチ（レーン0のみをチェック）。	0x0	R/W
0x800	HOPF_CTRL	[7:6]	HOPF_MODE		周波数スイッチ（ホップ）モード。新しい周波数へホップするときの位相関係を定義します。 00 位相連続スイッチ。周波数チューニング・ワードを変更します。そして、位相アキュムレータは新しいFTWに蓄積し続けます。 01 位相不連続スイッチ。周波数チューニング・ワードを変更して、位相アキュムレータをリセットします。 10 位相コヒーレント・スイッチ。32個のホッピングFTWの1つからFTWが選択されます。周波数が増える場合は位相が不連続となりますが、1つ前の周波数へ戻る場合は前の周波数の位相積算値が維持されます。	0x0	R/W
		5	Reserved		予備。	0x0	R
		[4:0]	HOPF_SEL		ホッピング周波数選択制御。FTWの番号を入力して、そのNCOの出力を選択します。	0x0	R/W
0x806	HOPF_FTW1_0	[7:0]	HOPF_FTW1[7:0]		ホッピング周波数 FTW1。	0x0	R/W
0x807	HOPF_FTW1_1	[7:0]	HOPF_FTW1[15:8]		ホッピング周波数 FTW1。	0x0	R/W
0x808	HOPF_FTW1_2	[7:0]	HOPF_FTW1[23:16]		ホッピング周波数 FTW1	0x0	R/W
0x809	HOPF_FTW1_3	[7:0]	HOPF_FTW1[31:24]		ホッピング周波数 FTW1	0x0	R/W
0x80A	HOPF_FTW2_0	[7:0]	HOPF_FTW2[7:0]		ホッピング周波数 FTW2	0x0	R/W
0x80B	HOPF_FTW2_1	[7:0]	HOPF_FTW2[15:8]		ホッピング周波数 FTW2	0x0	R/W
0x80C	HOPF_FTW2_2	[7:0]	HOPF_FTW2[23:16]		ホッピング周波数 FTW2	0x0	R/W
0x80D	HOPF_FTW2_3	[7:0]	HOPF_FTW2[31:24]		ホッピング周波数 FTW2	0x0	R/W
0x80E	HOPF_FTW3_0	[7:0]	HOPF_FTW3[7:0]		ホッピング周波数 FTW3	0x0	R/W
0x80F	HOPF_FTW3_1	[7:0]	HOPF_FTW3[15:8]		ホッピング周波数 FTW3	0x0	R/W
0x810	HOPF_FTW3_2	[7:0]	HOPF_FTW3[23:16]		ホッピング周波数 FTW3	0x0	R/W
0x811	HOPF_FTW3_3	[7:0]	HOPF_FTW3[31:24]		ホッピング周波数 FTW3	0x0	R/W
0x812	HOPF_FTW4_0	[7:0]	HOPF_FTW4[7:0]		ホッピング周波数 FTW4	0x0	R/W
0x813	HOPF_FTW4_1	[7:0]	HOPF_FTW4[15:8]		ホッピング周波数 FTW4	0x0	R/W
0x814	HOPF_FTW4_2	[7:0]	HOPF_FTW4[23:16]		ホッピング周波数 FTW4	0x0	R/W
0x815	HOPF_FTW4_3	[7:0]	HOPF_FTW4[31:24]		ホッピング周波数 FTW4	0x0	R/W
0x816	HOPF_FTW5_0	[7:0]	HOPF_FTW5[7:0]		ホッピング周波数 FTW5	0x0	R/W
0x817	HOPF_FTW5_1	[7:0]	HOPF_FTW5[15:8]		ホッピング周波数 FTW5	0x0	R/W
0x818	HOPF_FTW5_2	[7:0]	HOPF_FTW5[23:16]		ホッピング周波数 FTW5	0x0	R/W
0x819	HOPF_FTW5_3	[7:0]	HOPF_FTW5[31:24]		ホッピング周波数 FTW5	0x0	R/W
0x81A	HOPF_FTW6_0	[7:0]	HOPF_FTW6[7:0]		ホッピング周波数 FTW6	0x0	R/W
0x81B	HOPF_FTW6_1	[7:0]	HOPF_FTW6[15:8]		ホッピング周波数 FTW6	0x0	R/W
0x81C	HOPF_FTW6_2	[7:0]	HOPF_FTW6[23:16]		ホッピング周波数 FTW6	0x0	R/W
0x81D	HOPF_FTW6_3	[7:0]	HOPF_FTW6[31:24]		ホッピング周波数 FTW6	0x0	R/W
0x81E	HOPF_FTW7_0	[7:0]	HOPF_FTW7[7:0]		ホッピング周波数 FTW7	0x0	R/W
0x81F	HOPF_FTW7_1	[7:0]	HOPF_FTW7[15:8]		ホッピング周波数 FTW7	0x0	R/W
0x820	HOPF_FTW7_2	[7:0]	HOPF_FTW7[23:16]		ホッピング周波数 FTW7	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x821	HOPF_FTW7_3	[7:0]	HOPF_FTW7[31:24]		ホッピング周波数 FTW7	0x0	R/W
0x822	HOPF_FTW8_0	[7:0]	HOPF_FTW8[7:0]		ホッピング周波数 FTW8	0x0	R/W
0x823	HOPF_FTW8_1	[7:0]	HOPF_FTW8[15:8]		ホッピング周波数 FTW8	0x0	R/W
0x824	HOPF_FTW8_2	[7:0]	HOPF_FTW8[23:16]		ホッピング周波数 FTW8	0x0	R/W
0x825	HOPF_FTW8_3	[7:0]	HOPF_FTW8[31:24]		ホッピング周波数 FTW8	0x0	R/W
0x826	HOPF_FTW9_0	[7:0]	HOPF_FTW9[7:0]		ホッピング周波数 FTW9	0x0	R/W
0x827	HOPF_FTW9_1	[7:0]	HOPF_FTW9[15:8]		ホッピング周波数 FTW9	0x0	R/W
0x828	HOPF_FTW9_2	[7:0]	HOPF_FTW9[23:16]		ホッピング周波数 FTW9	0x0	R/W
0x829	HOPF_FTW9_3	[7:0]	HOPF_FTW9[31:24]		ホッピング周波数 FTW9	0x0	R/W
0x82A	HOPF_FTW10_0	[7:0]	HOPF_FTW10[7:0]		ホッピング周波数 FTW10	0x0	R/W
0x82B	HOPF_FTW10_1	[7:0]	HOPF_FTW10[15:8]		ホッピング周波数 FTW10	0x0	R/W
0x82C	HOPF_FTW10_2	[7:0]	HOPF_FTW10[23:16]		ホッピング周波数 FTW10	0x0	R/W
0x82D	HOPF_FTW10_3	[7:0]	HOPF_FTW10[31:24]		ホッピング周波数 FTW10	0x0	R/W
0x82E	HOPF_FTW11_0	[7:0]	HOPF_FTW11[7:0]		ホッピング周波数 FTW11	0x0	R/W
0x82F	HOPF_FTW11_1	[7:0]	HOPF_FTW11[15:8]		ホッピング周波数 FTW11	0x0	R/W
0x830	HOPF_FTW11_2	[7:0]	HOPF_FTW11[23:16]		ホッピング周波数 FTW11	0x0	R/W
0x831	HOPF_FTW11_3	[7:0]	HOPF_FTW11[31:24]		ホッピング周波数 FTW11	0x0	R/W
0x832	HOPF_FTW12_0	[7:0]	HOPF_FTW12[7:0]		ホッピング周波数 FTW12	0x0	R/W
0x833	HOPF_FTW12_1	[7:0]	HOPF_FTW12[15:8]		ホッピング周波数 FTW12	0x0	R/W
0x834	HOPF_FTW12_2	[7:0]	HOPF_FTW12[23:16]		ホッピング周波数 FTW12	0x0	R/W
0x835	HOPF_FTW12_3	[7:0]	HOPF_FTW12[31:24]		ホッピング周波数 FTW12	0x0	R/W
0x836	HOPF_FTW13_0	[7:0]	HOPF_FTW13[7:0]		ホッピング周波数 FTW13	0x0	R/W
0x837	HOPF_FTW13_1	[7:0]	HOPF_FTW13[15:8]		ホッピング周波数 FTW13	0x0	R/W
0x838	HOPF_FTW13_2	[7:0]	HOPF_FTW13[23:16]		ホッピング周波数 FTW13	0x0	R/W
0x839	HOPF_FTW13_3	[7:0]	HOPF_FTW13[31:24]		ホッピング周波数 FTW13	0x0	R/W
0x83A	HOPF_FTW14_0	[7:0]	HOPF_FTW14[7:0]		ホッピング周波数 FTW14	0x0	R/W
0x83B	HOPF_FTW14_1	[7:0]	HOPF_FTW14[15:8]		ホッピング周波数 FTW14	0x0	R/W
0x83C	HOPF_FTW14_2	[7:0]	HOPF_FTW14[23:16]		ホッピング周波数 FTW14	0x0	R/W
0x83D	HOPF_FTW14_3	[7:0]	HOPF_FTW14[31:24]		ホッピング周波数 FTW14	0x0	R/W
0x83E	HOPF_FTW15_0	[7:0]	HOPF_FTW15[7:0]		ホッピング周波数 FTW15	0x0	R/W
0x83F	HOPF_FTW15_1	[7:0]	HOPF_FTW15[15:8]		ホッピング周波数 FTW15	0x0	R/W
0x840	HOPF_FTW15_2	[7:0]	HOPF_FTW15[23:16]		ホッピング周波数 FTW15	0x0	R/W
0x841	HOPF_FTW15_3	[7:0]	HOPF_FTW15[31:24]		ホッピング周波数 FTW15	0x0	R/W
0x842	HOPF_FTW16_0	[7:0]	HOPF_FTW16[7:0]		ホッピング周波数 FTW16	0x0	R/W
0x843	HOPF_FTW16_1	[7:0]	HOPF_FTW16[15:8]		ホッピング周波数 FTW16	0x0	R/W
0x844	HOPF_FTW16_2	[7:0]	HOPF_FTW16[23:16]		ホッピング周波数 FTW16	0x0	R/W
0x845	HOPF_FTW16_3	[7:0]	HOPF_FTW16[31:24]		ホッピング周波数 FTW16	0x0	R/W
0x846	HOPF_FTW17_0	[7:0]	HOPF_FTW17[7:0]		ホッピング周波数 FTW17	0x0	R/W
0x847	HOPF_FTW17_1	[7:0]	HOPF_FTW17[15:8]		ホッピング周波数 FTW17	0x0	R/W
0x848	HOPF_FTW17_2	[7:0]	HOPF_FTW17[23:16]		ホッピング周波数 FTW17	0x0	R/W
0x849	HOPF_FTW17_3	[7:0]	HOPF_FTW17[31:24]		ホッピング周波数 FTW17	0x0	R/W
0x84A	HOPF_FTW18_0	[7:0]	HOPF_FTW18[7:0]		ホッピング周波数 FTW18	0x0	R/W
0x84B	HOPF_FTW18_1	[7:0]	HOPF_FTW18[15:8]		ホッピング周波数 FTW18	0x0	R/W
0x84C	HOPF_FTW18_2	[7:0]	HOPF_FTW18[23:16]		ホッピング周波数 FTW18	0x0	R/W
0x84D	HOPF_FTW18_3	[7:0]	HOPF_FTW18[31:24]		ホッピング周波数 FTW18	0x0	R/W
0x84E	HOPF_FTW19_0	[7:0]	HOPF_FTW19[7:0]		ホッピング周波数 FTW19	0x0	R/W
0x84F	HOPF_FTW19_1	[7:0]	HOPF_FTW19[15:8]		ホッピング周波数 FTW19	0x0	R/W
0x850	HOPF_FTW19_2	[7:0]	HOPF_FTW19[23:16]		ホッピング周波数 FTW19	0x0	R/W
0x851	HOPF_FTW19_3	[7:0]	HOPF_FTW19[31:24]		ホッピング周波数 FTW19	0x0	R/W
0x852	HOPF_FTW20_0	[7:0]	HOPF_FTW20[7:0]		ホッピング周波数 FTW20	0x0	R/W
0x853	HOPF_FTW20_1	[7:0]	HOPF_FTW20[15:8]		ホッピング周波数 FTW20	0x0	R/W
0x854	HOPF_FTW20_2	[7:0]	HOPF_FTW20[23:16]		ホッピング周波数 FTW20	0x0	R/W
0x855	HOPF_FTW20_3	[7:0]	HOPF_FTW20[31:24]		ホッピング周波数 FTW20	0x0	R/W

16進 アドレス	レジスタ名	ビット 番号	ビット名	設定	説明	リセット	アクセス
0x856	HOPF_FT21_0	[7:0]	HOPF_FT21[7:0]		ホッピング周波数 FTW21	0x0	R/W
0x857	HOPF_FT21_1	[7:0]	HOPF_FT21[15:8]		ホッピング周波数 FTW21	0x0	R/W
0x858	HOPF_FT21_2	[7:0]	HOPF_FT21[23:16]		ホッピング周波数 FTW21	0x0	R/W
0x859	HOPF_FT21_3	[7:0]	HOPF_FT21[31:24]		ホッピング周波数 FTW21	0x0	R/W
0x85A	HOPF_FT22_0	[7:0]	HOPF_FT22[7:0]		ホッピング周波数 FTW22	0x0	R/W
0x85B	HOPF_FT22_1	[7:0]	HOPF_FT22[15:8]		ホッピング周波数 FTW22	0x0	R/W
0x85C	HOPF_FT22_2	[7:0]	HOPF_FT22[23:16]		ホッピング周波数 FTW22	0x0	R/W
0x85D	HOPF_FT22_3	[7:0]	HOPF_FT22[31:24]		ホッピング周波数 FTW22	0x0	R/W
0x85E	HOPF_FT23_0	[7:0]	HOPF_FT23[7:0]		ホッピング周波数 FTW23	0x0	R/W
0x85F	HOPF_FT23_1	[7:0]	HOPF_FT23[15:8]		ホッピング周波数 FTW23	0x0	R/W
0x860	HOPF_FT23_2	[7:0]	HOPF_FT23[23:16]		ホッピング周波数 FTW23	0x0	R/W
0x861	HOPF_FT23_3	[7:0]	HOPF_FT23[31:24]		ホッピング周波数 FTW23	0x0	R/W
0x862	HOPF_FT24_0	[7:0]	HOPF_FT24[7:0]		ホッピング周波数 FTW24	0x0	R/W
0x863	HOPF_FT24_1	[7:0]	HOPF_FT24[15:8]		ホッピング周波数 FTW24	0x0	R/W
0x864	HOPF_FT24_2	[7:0]	HOPF_FT24[23:16]		ホッピング周波数 FTW24	0x0	R/W
0x865	HOPF_FT24_3	[7:0]	HOPF_FT24[31:24]		ホッピング周波数 FTW24	0x0	R/W
0x866	HOPF_FT25_0	[7:0]	HOPF_FT25[7:0]		ホッピング周波数 FTW25	0x0	R/W
0x867	HOPF_FT25_1	[7:0]	HOPF_FT25[15:8]		ホッピング周波数 FTW25	0x0	R/W
0x868	HOPF_FT25_2	[7:0]	HOPF_FT25[23:16]		ホッピング周波数 FTW25	0x0	R/W
0x869	HOPF_FT25_3	[7:0]	HOPF_FT25[31:24]		ホッピング周波数 FTW25	0x0	R/W
0x86A	HOPF_FT26_0	[7:0]	HOPF_FT26[7:0]		ホッピング周波数 FTW26	0x0	R/W
0x86B	HOPF_FT26_1	[7:0]	HOPF_FT26[15:8]		ホッピング周波数 FTW26	0x0	R/W
0x86C	HOPF_FT26_2	[7:0]	HOPF_FT26[23:16]		ホッピング周波数 FTW26	0x0	R/W
0x86D	HOPF_FT26_3	[7:0]	HOPF_FT26[31:24]		ホッピング周波数 FTW26	0x0	R/W
0x86E	HOPF_FT27_0	[7:0]	HOPF_FT27[7:0]		ホッピング周波数 FTW27	0x0	R/W
0x86F	HOPF_FT27_1	[7:0]	HOPF_FT27[15:8]		ホッピング周波数 FTW27	0x0	R/W
0x870	HOPF_FT27_2	[7:0]	HOPF_FT27[23:16]		ホッピング周波数 FTW27	0x0	R/W
0x871	HOPF_FT27_3	[7:0]	HOPF_FT27[31:24]		ホッピング周波数 FTW27	0x0	R/W
0x872	HOPF_FT28_0	[7:0]	HOPF_FT28[7:0]		ホッピング周波数 FTW28	0x0	R/W
0x873	HOPF_FT28_1	[7:0]	HOPF_FT28[15:8]		ホッピング周波数 FTW28	0x0	R/W
0x874	HOPF_FT28_2	[7:0]	HOPF_FT28[23:16]		ホッピング周波数 FTW28	0x0	R/W
0x875	HOPF_FT28_3	[7:0]	HOPF_FT28[31:24]		ホッピング周波数 FTW28	0x0	R/W
0x876	HOPF_FT29_0	[7:0]	HOPF_FT29[7:0]		ホッピング周波数 FTW29	0x0	R/W
0x877	HOPF_FT29_1	[7:0]	HOPF_FT29[15:8]		ホッピング周波数 FTW29	0x0	R/W
0x878	HOPF_FT29_2	[7:0]	HOPF_FT29[23:16]		ホッピング周波数 FTW29	0x0	R/W
0x879	HOPF_FT29_3	[7:0]	HOPF_FT29[31:24]		ホッピング周波数 FTW29	0x0	R/W
0x87A	HOPF_FT30_0	[7:0]	HOPF_FT30[7:0]		ホッピング周波数 FTW30	0x0	R/W
0x87B	HOPF_FT30_1	[7:0]	HOPF_FT30[15:8]		ホッピング周波数 FTW30	0x0	R/W
0x87C	HOPF_FT30_2	[7:0]	HOPF_FT30[23:16]		ホッピング周波数 FTW30	0x0	R/W
0x87D	HOPF_FT30_3	[7:0]	HOPF_FT30[31:24]		ホッピング周波数 FTW30	0x0	R/W
0x87E	HOPF_FT31_0	[7:0]	HOPF_FT31[7:0]		ホッピング周波数 FTW31	0x0	R/W
0x87F	HOPF_FT31_1	[7:0]	HOPF_FT31[15:8]		ホッピング周波数 FTW31	0x0	R/W
0x880	HOPF_FT31_2	[7:0]	HOPF_FT31[23:16]		ホッピング周波数 FTW31	0x0	R/W
0x881	HOPF_FT31_3	[7:0]	HOPF_FT31[31:24]		ホッピング周波数 FTW31	0x0	R/W

レジスタの一覧：アンプ

表 47. アンプ・レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	SPI_INTFCONFA	[7:0]	SOFTRESET_M	LSBFIRST_M	ADDRINC_M	SDOACTIVE_M	SDOACTIVE	ADDRINC	LSBFIRST	SOFTRESET	0x00	R/W	
0x01	SPI_INTFCONFB	[7:0]	SINGLEINS	CSSTALL	RESERVED			SOFTRESET1	SOFTRESET0	RESERVED	0x00	R/W	
0x03	SPI_CHIPTYPE	[7:0]	CHIP_TYPE									0x01	R
0x04	SPI_PRODVariant0	[7:0]	PROD_VARIANT0									0x33	R
0x05	SPI_PRODVariant1	[7:0]	PROD_VARIANT1									0xD5	R
0x06	SPI_PRODREV	[7:0]	PROD_REV									0x8C	R
0x0A	SPI_SCRATCHPAD	[7:0]	SCRATCHPAD									0x00	R/W
0x10	POWERDOWN	[7:0]	RESERVED	PD_NMIRROR	PD_PMIRROR	PD_CMDACCURRENT	RESERVED	PD_BG	PD_ADCLOCK		0x39	R/W	
0x18	TRIM_CM	[7:0]	RESERVED				AMP_ICM				0x00	R/W	
0x19	DCOUTPUTVOLTAGE	[7:0]	VOUT_TRIM									0xA0	R/W
0x1B	ADC_START	[7:0]	RESERVED						ST_ADC_CLKF_1	ST_ADC_CLKF_0		0x00	R/W
0x1C	ADC_EOC	[7:0]	RESERVED						ADC_EOC			0x01	R
0x1D	ADC_RESULTS	[7:0]	ADC_CODE									0xBD	R

レジスタの詳細 : アンプ・レジスタ・マップ

表 48. アンプ・レジスタの詳細

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
0x00	SPI_INTFCONFA	7	SOFTRESET_M		ソフト・リセット (ミラー)。ビット 0 をミラーするにはこのビットをセットします。	0x0	R
		6	LSBFIRST_M		LSB ファースト (ミラー)。ビット 1 をミラーするにはこのビットをセットします。	0x0	R
		5	ADDRINC_M		アドレスをインクリメント (ミラー)。ビット 2 をミラーするにはこのビットをセットします。	0x0	R
		4	SDOACTIVE_M		SDO アクティブ (ミラー)。ビット 3 をミラーするにはこのビットをセットします。	0x0	R
		3	SDOACTIVE		SDO アクティブ。4 線式 SPI バス・モードを有効にします。	0x0	R/W
		2	ADDRINC		アドレスをインクリメント。セットすると、ストリーミング・アドレスがインクリメントされます。セットしないと降順でアドレスが生成されます。 1 ストリーミング・アドレスをインクリメント。 0 ストリーミング・アドレスをデクリメント。	0x0	R/W
		1	LSBFIRST		LSB ファースト。セットすると、入力データと出力データが LSB ファーストで処理されます。このビットをクリアすると、データは MSB ファーストで処理されます。 1 LSB を最初にシフト。 0 MSB を最初にシフト。	0x0	R/W
		0	SOFTRESET		ソフト・リセット。リセット動作を実行すると、このビットが自動的に 0 にクリアされます。このビットをセットするとリセットが開始されます。このビットは、ソフト・リセットが完了すると自動的にクリアされます。 1 ソフト・リセット・ラインにパルスを出力します。 0 ソフト・リセット・ラインをリセットします。	0x0	R/W
0x01	SPI_INTFCONFB	7	SINGLEINS		単一命令。 1 単一の転送を実行。 0 複数の転送を実行。	0x0	R/W
		6	CSSTALL		CS _x ストリーミング。 0 CS _x ストリーミングをディスエーブル。 1 CS _x ストリーミングをイネーブル。	0x0	R/W
		[5:3]	RESERVED		予備。	0x0	R
		2	SOFTRESET1		ソフト・リセット 1。リセット動作を実行すると、このビットが自動的に 0 にクリアされます。 1 ソフト・リセット 1 ラインにパルスを出力します。 0 ソフト・リセット 1 ラインにパルスを出力します。	0x0	R/W
		1	SOFTRESET0		ソフト・リセット 0。リセット動作を実行すると、このビットが自動的に 0 にクリアされます。 1 ソフト・リセット 0 ラインにパルスを出力します。 0 ソフト・リセット 0 ラインにパルスを出力します。	0x0	R/W
		0	RESERVED		予備。	0x0	R
0x03	SPI_CHIPTYPE	[7:0]	CHIP_TYPE		チップ・タイプ。	0x01	R
0x04	SPI_PROD VARIANT0	[7:0]	PROD_VARIANT0		製品タイプ。	0x33	R
0x05	SPI_PROD VARIANT1	[7:0]	PROD_VARIANT1		製品タイプ。	0xD5	R
0x06	SPI_PRODREV	[7:0]	PROD_REV		製品タイプのリビジョン。	0x8C	R
0x0A	SPI_SCRATCHPAD	[7:0]	SCRATCHPAD		スクラッチパッド R/W レジスタ。	0x0	R/W
0x10	POWERDOWN	[7:6]	RESERVED		予備。	0x0	R/W
		5	PD_NMIRROR		出力段に 1/10 公称バイアス電流を強制。 1 パワーダウン。 0 通常機能。	0x1	R/W
		4	PD_PMIRROR		入力段に 1/10 公称バイアス電流を強制。 1 パワーダウン。 0 通常機能。	0x1	R/W

アドレス	名前	ビット	ビット名	設定	説明	リセット	アクセス
		3	PD_CMDACCURRENT		DAC コモンモード電流を最小限に強制。 1 パワーダウン。 0 通常機能。	0x1	R/W
		2	RESERVED		予備。	0x0	R/W
		1	PD_BG		バンドギャップとアンプ・バイアスをパワーダウン。ADC、入力段、および出力段へのバイアスを除去。 1 パワーダウン。 0 通常機能。	0x0	R/W
		0	PD_ADCCLOCK		ADC クロックをパワーダウン。 1 パワーダウン。 0 通常機能。	0x1	R/W
0x18	TRIM_CM	[7:4]	RESERVED		予備。	0x0	R
		[3:0]	AMP_ICM		アンプの入力コモンモード電流 (I_{CM}) を設定。DAC 出力におけるコモンモード電圧 (V_{CM}) オフセットを最小限に抑えるには、 I_{CM} を、DAC のフルスケール電流設定値 (ANA_FULL_SCALE_CURRENT、ビット [9:0]、レジスタ 0x42 とレジスタ 0x41) に最も近い値に設定します (AMP_ICM、ビット [3:0])。 $I_{CM} = (30.4 - 6.4) \times AMP_ICM / 15 + 6.4\text{mA}$	0x0	R/W
0x19	DCOUTPUTVOLTAGE	[7:0]	VOUT_TRIM		RF 出力の DC オフセットを調整 (V_{OS_ADI})。 $V_{OS_ADI} = 0.6V \times VOUT_TRIM / 255 - 0.25$	0xA0	R/W
0x1B	ADC_START	[7:2]	RESERVED		予備。	0x0	R
		1	ST_ADC_CLKF_1		ADC クロック周波数 (f_s) を選択。 0 2MHz 1 250kHz	0x0	
		0	ST_ADC_CLKF_0		ADC 変換を開始するにはハイに設定します。変換には約 17ADC クロック・サイクルかかります。変換終了は ADC_EOC のビット 0 によって示されます。	0x0	R/W
0x1C	ADC_EOC	[7:1]	RESERVED		予備。	0x0	R
		0	ADC_EOC		ADC 変換終了フラグ。ADC_START のビット 0 をセットすることによって ADC の変換が既にトリガされている場合、0 は ADC の変換が進行中であることを示します。 0 ADC の変換が進行中。 1 ADC の変換が終了。	0x1	R
0x1D	ADC_RESULTS	[7:0]	ADC_CODE		ADC 変換サイクル終了時の ADC 出力コード (サンプル)。 ADC 変換サイクルは、ADC_START のビット 0 をハイに設定することによって開始できます。ADC コードは、変換サイクルの終了時 (ADC_EOC のビット 0 = ハイで示されます) に読み出すことができます。 ADC はジャンクション温度センサーに接続されたアナログ・マルチプレクサの出力で測定した入力電圧 (V_{ADC}) をサンプリングします。 $V_{ADC} = V_{BGA} \times ADC_CODE / 255$ ここで、 $V_{BGA} = 1.09V$ (公称値)。 V_{BG} はデバイスごとに異なり、これは測定に不確実性が生じる原因となります。変動値は、プロセス、電圧 (電源)、および温度 (PVT) に対して $\pm 30mV$ です。 V_{BGA} は AMP_VBG ピンで測定できます。	0xBD	R

外形寸法

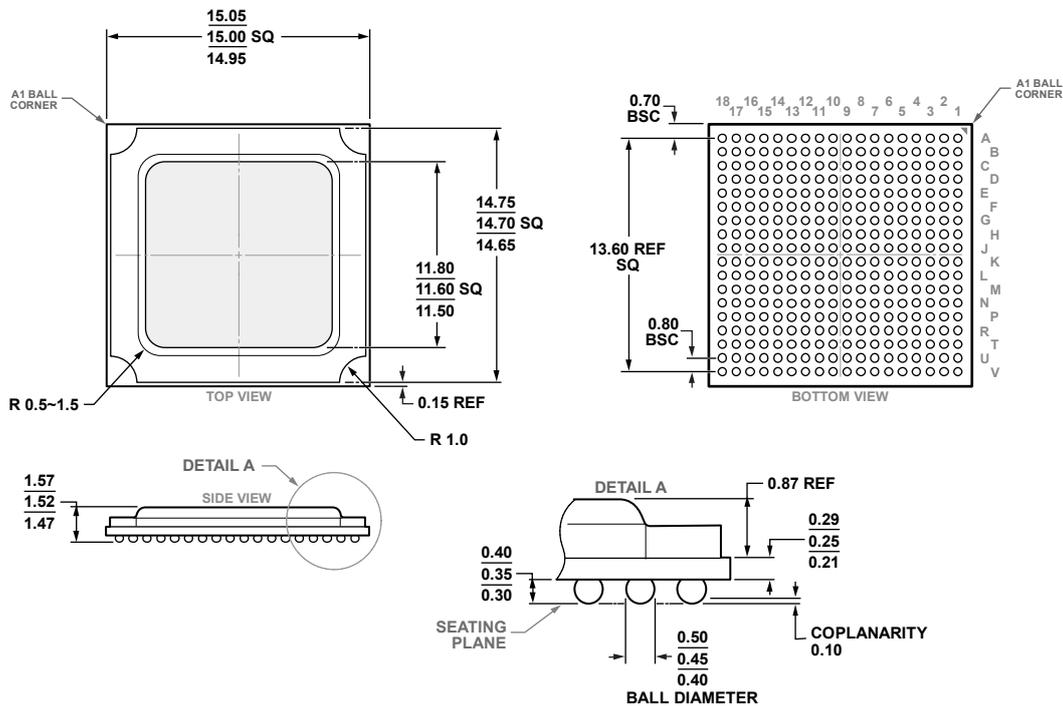


図 96. 324 ボールのボール・グリッド・アレイ、熱強化型 [BGA_ED]
(BP-324-1)
寸法表示：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9166BBPZ	-40°C to +85°C	324-Ball Ball Grid Array, Thermally Enhanced [BGA_ED]	BP-324-1
AD9166BBPZRL	-40°C to +85°C	324-Ball Ball Grid Array, Thermally Enhanced [BGA_ED]	BP-324-1
AD9166-FMC-EBZ		Evaluation Board	

¹ Z = RoHS 準拠製品