

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021年3月24日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年3月24日

製品名：AD9083

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

38 ページ 右の段 上から 9 行目

【誤】

「表 12 に・・・」

【正】

「表 20 に・・・」



16 チャンネル、125MHz 帯域幅 JESD204B A/D コンバータ

データシート

AD9083

特長

- 1.0V および 1.8V の電源動作
- 使用可能アナログ入力帯域幅：125MHz
- サンプリング・レート：最大 2GSPS
- 100MHz の帯域幅でのノイズ・スペクトル密度：
 - 145dBFS/Hz、2.0GSPS エンコード
- 100MHz の帯域幅、2.0GSPS エンコードでの S/N 比：66dBFS
- 15.625MHz の帯域幅、2.0GSPS エンコードでの S/N 比：
 - 82dBFS
- 100MHz の帯域幅、2.0GSPS エンコードでの SFDR：60dBc
- 15.625MHz の帯域幅、2.0GSPS エンコードでの SFDR：
 - 80dBc
- 2.0GSPS でのチャンネルあたりの全電力：90mW (デフォルト設定)
- 柔軟な入力範囲：0.5Vp-p~2Vp-p 差動
- 2.0GSPS エンコードでのチャンネル・クロストーク：90dB
- デジタル・プロセッサ
 - CIC デシメーション・フィルタ
 - プログラマブル DDC
 - データ・ゲート
- JESD204B サブクラス 1 エンコード出力
 - 最大 16Gbps/レーンをサポート
 - 柔軟なサンプル・データ処理
 - 柔軟な JESD204B レーン構成
- 大信号ディザ
- シリアル・ポート制御

アプリケーション

- ミリ波イメージング
- 電子ビーム・フォーミングおよびフェーズド・アレイ
- マルチチャンネル広帯域レシーバー
- 電子支援手段

製品のハイライト

- 連続時間 Σ - Δ A/D コンバータ (ADC) は、低消費電力で最小限のフィルタ処理により最大 125MHz の信号帯域幅をサポートします。
- 内蔵されたデジタル処理ブロックが、データ・ペイロードを低減し、全体的なシステム・コストを削減します。
- 設定可能な JESD204B インターフェースが、プリント回路基板 (PCB) の複雑さを軽減します。
- 柔軟なパワーダウン・オプションが用意されています。
- 特定のシステム条件を満たすように製品の各種特性と機能を SPI インターフェースで制御できます。
- 小型の 9mm × 9mm、100 ボール CSP_BGA パッケージ、シンプルなインターフェース、および内蔵されたデジタル処理により、PCB スペースを節約できます。

機能ブロック図

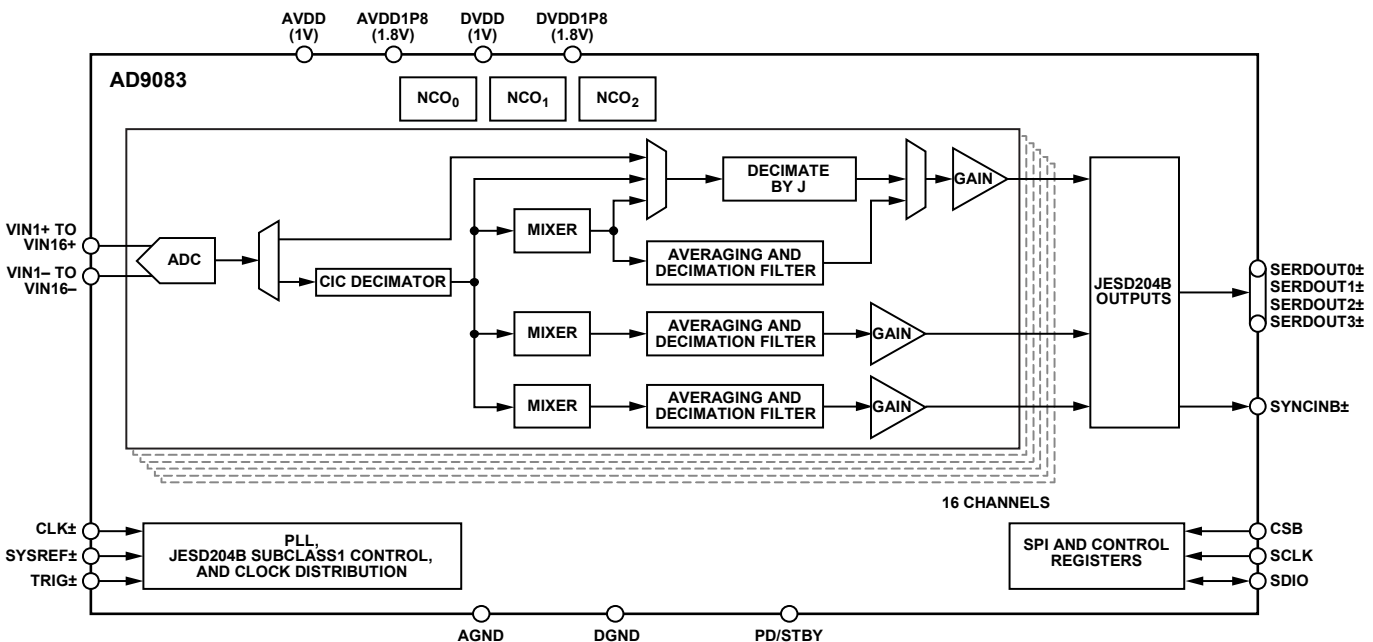


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	非バースト・モードのデータパス	37
アプリケーション	1	バースト・モードのデータパス	41
製品のハイライト	1	平均化フィルタ	42
機能ブロック図	1	ミキサー	43
改訂履歴	2	NCO FTW の概要	43
概要	3	デジタル出力	45
仕様	4	JESD204B の概要	45
DC 仕様	4	機能の概要	46
AC 仕様	5	JESD204B リンクの確立	46
デジタル仕様	10	物理層（ドライバ）出力	48
スイッチング仕様	11	AD9083 のデジタル・インターフェースのセットアップ	49
タイミング仕様	12	JESD204B トランスポート層の設定	49
絶対最大定格	13	確定的遅延	51
熱抵抗	13	マルチチップ同期	51
ESD に関する注意	13	サンプルド SYSREF モード	51
ピン配置およびピン機能の説明	14	シリアル・ポート・インターフェース（SPI）	53
代表的な性能特性	17	SPI を使用する構成設定	53
等価回路	25	ハードウェア・インターフェース	53
用語の定義	27	プログラミング・ガイド	54
動作原理	28	プログラミング・シーケンス	54
ADC のアーキテクチャ	28	メモリ・マップ	60
ローパス、CTSD ADC の概要	29	ロジック・レベル	60
ローパス Σ - Δ ADC	29	メモリ・マップ・レジスタの詳細	61
アナログ入力	30	アプリケーション情報	90
クロック入力	32	評価用ボードの情報	90
電力モード	33	電源供給方法	90
温度ダイオード	33	レイアウトのガイドライン	90
デジタル信号処理の概要	33	外形寸法	93
信号処理タイル	35	オーダー・ガイド	93
カスケード・インテグレータ・コーム（CIC）フィルタ	36		

改訂履歴

1/2021—Revision 0: Initial Version

概要

AD9083 は、16 チャンネル、125MHz 帯域幅の連続時間 Σ - Δ (CTSD) ADC です。小型・低消費電力で使いやすいものとなるよう設計された、プログラマブルな単極アンチエイリアシング (折返し誤差防止) フィルタおよび終端抵抗を内蔵したデバイスです。

16 個の ADC コアは、1 次 CTSD 変調器アーキテクチャを備え、バックグラウンド非直線性補正ロジックと自己キャンセリング・ディザが組み込まれています。各 ADC の入力は広帯域幅になっており、サポートされている多様な入力範囲から選択できます。また、電圧リファレンスを内蔵しているため設計が容易になります。

アナログ入力とクロック信号は差動入力です。各 ADC には、信号処理タイルがあり、帯域外にシェーピングされたノイズを Σ - Δ ADC からフィルタ除去し、サンプリング・レートを低下させます。各タイルには、カスケード積分器コーム (CIC) フィルタ、有限入力応答 (FIR) デシメーション・フィルタ (J ブロックによるデシメーション) を備えた直交デジタル・ダウン・コ

ンバータ (DDC)、またはデータ・ゲート・アプリケーション用の平均化デシメーション・フィルタを備えた最大 3 つの直交 DDC チャンネルが内蔵されています。

JESD204B サブクラス 1 に基づく高速シリアル出力は、DDC の構成と受信ロジック・デバイスの許容レーン・レートに応じて、多様なレーン構成 (最大 4 つ) にすることができます。複数デバイスの同期は、SYSREF \pm 、TRIG \pm 、および SYNCINB \pm 入力ピンを通じてサポートされています。

AD9083 には、必要に応じて大幅な省電力を可能にする柔軟なパワーダウン・オプションがあります。これらの機能はすべて、1.8V 対応の 3 線式シリアル・ポート・インターフェース (SPI) を使ってプログラムできます。

AD9083 は鉛フリーの 100 ボール CSP_BGA パッケージで提供され、 -40°C ~ $+85^{\circ}\text{C}$ の工業用温度範囲で仕様規定されています。この製品は米国の特許によって保護されています。

仕様

表 1 は、仕様を得るのに使用された AD9083 の広帯域幅実数出力のセットアップを示しています。AD9083 は高度にプログラマブルなデバイスであり、多くの使用事例をサポートしています。詳細については、AD9083 のデジタル・インターフェースのセットアップのセクションとプログラミング・ガイドのセクションを参照してください。

表 1.

f _{SAMPLE} (GSPS)	CIC Decimation	J Decimation	Output Data Rate (MSPS)	JESD204B Link Setup Parameters					
				Number of Lanes (L)	Number of Converters (M)	Number of Octets per Frame (F)	Number of Samples (S)	N'	K
2	1	8	250	4	16	6	1	12	32
1	1	4	250	4	16	6	1	12	32

DC 仕様

特に指定のない限り、AVDD = 1.0V、AVDD1P8 = 1.8V、DVDD = 1.0V、DVDD1P8 = 1.8V、プログラマブルな最大 ADC 入力電圧範囲 (V_{MAX}) = 1.8V、アナログ入力 (A_{IN}) = -2.0dBFS、-40°C ≤ T_J ≤ +115°C¹、表 1 に示すモードの詳細²、バックオフ = 0³、EN_HP = 0⁴。代表的な仕様は、T_J = 45°C (TA = 25°C) での性能を表しています。

表 2.

Parameter ⁵	1.0 GSPS			2.0 GSPS			Unit
	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	12		16	12		16	Bits
ACCURACY							
Offset Error		0.33		-0.86	+0.33	+1.55	%FS
Offset Matching		0.75			+0.75	+1.66	%FS
Gain Error		5.2		-10	+5.2	+20	%FS
Gain Matching		1.1			+1.1	+3.7	%FS
TEMPERATURE DRIFT							
Offset Stability Error		14.1			14.1		ppm/°C
Gain Stability Error		0.2			0.2		ppm/°C
Voltage Reference		0.1			0.1		ppm/°C
ANALOG INPUTS							
Differential Input Voltage Range	0.5	1.0	2.0	0.5	1.0	2.0	V p-p
Common-Mode Voltage (V _{CM})	0.5	0.7	1.0	0.5	0.7	1.0	V
Common-Mode Input Series Resistance (R _{IN} ⁶)		R _{IN}			R _{IN}		Ω
Differential Input Termination Resistance (R _{TERM})	100	200	2 × R _{IN}	100	200	2 × R _{IN}	Ω
Differential Input Capacitance		0.35			0.35		pF
Analog Full-Power Bandwidth		125			125		MHz
POWER SUPPLY							
AVDD	0.95	1.0	1.05	0.95	1.0	1.05	V
AVDD1P8	1.7	1.8	1.9	1.7	1.8	1.9	V
DVDD	0.95	1.0	1.05	0.95	1.0	1.05	V
DVDD1P8	1.7	1.8	1.9	1.7	1.8	1.9	V
AVDD Current (I _{AVDD})		208			397	471	mA
AVDD1P8 Current (I _{AVDD1P8})		65			95	102	mA
DVDD Current (I _{DVDD})		592			797	971	mA
DVDD1P8 (I _{DVDD1P8})		40			41	48	mA

Parameter ⁵	1.0 GSPS			2.0 GSPS			Unit
	Min	Typ	Max	Min	Typ	Max	
POWER CONSUMPTION							
Total Power Dissipation (Including Output Drivers) ⁷		1.0			1.4		W
Power-Down Dissipation		56			86		mW
Standby ⁸		676			802		mW
Power per Channel		63			90		mW

¹ -40°C~+115°C の T_J 範囲は、-40°C~+85°C の T_A 範囲に換算されます。

² 16 チャンネル、125MSPS 実数出力モード。

³ バックオフは、直線性を高めるためのフロント・エンド・ゲインの減少分です。

⁴ EN_HP は、消費電力の増加により S/N 比を 2.5dB 増加させます。

⁵ これらのテストの定義と詳しい実施方法については、AN-835 を参照してください。

⁶ R_{IN} = 8kΩ/Kv_{ti}。ここで、Kv_{ti} は ADC フロント・エンド・ゲイン係数に比例します。f_s = 1GSPS の場合は R_{IN} = 1000Ω、f_s = 2GSPS の場合は R_{IN} = 381Ω です。

⁷ セットアップの詳細については、表 1 を参照してください。消費電力は、サンプリング・レート、選択するデシメーション・オプション、および JESD204B のセットアップの関数として変化することに注意してください。

⁸ SPI で制御できます (ADC が低消費電力モードの場合)。

AC 仕様

特に指定のない限り、AVDD = 1.0V、AVDD1P8 = 1.8V、DVDD = 1.0V、DVDD1P8 = 1.8V、V_{MAX} = 1.8V、-40°C ≤ T_J ≤ +115°C、-40°C ~ +115°C の T_J 範囲は -65°C ~ +85°C の T_A 範囲に換算されます。モードの詳細は表 1 (16 チャンネル、125MSPS、実数出力モード) に示しています。代表的な仕様は、T_J = 45°C (T_A = 25°C) での性能を表しています。

表 3.

Parameter ¹	Test Conditions/Comments	1.0 GSPS			2.0 GSPS			Unit
		Min	Typ	Max	Min	Typ	Max	
NOISE SPECTRAL DENSITY (NSD)								
Flicker Noise Corner			1			1		MHz
NSD at 22 MHz	Backoff = 0, EN_HP = 0		-141		-146	-144		dBFS/Hz
A _{IN} = -3.0 dBFS, frequency (f) = 22 MHz	Backoff = 3, EN_HP = 0		-138		-145			dBFS/Hz
	Backoff = 6, EN_HP = 0		-136		-142			dBFS/Hz
	Backoff = 0, EN_HP = 1		-144		-149	-146		dBFS/Hz
SIGNAL-TO-NOISE RATIO (SNR)								
SNR at 22 MHz	Backoff = 0, EN_HP = 0		60		62	65		dBFS
A _{IN} = -3.0 dBFS, f = 22 MHz	Backoff = 3, EN_HP = 0		57		64			dBFS
	Backoff = 6, EN_HP = 0		55		61			dBFS
	Backoff = 0, EN_HP = 1		63		65	67		dBFS
SPURIOUS-FREE DYNAMIC RANGE (SFDR)/ THIRD-ORDER HARMONIC DISTORTION (HD3)								
HD3 at 22 MHz	Backoff = 0, EN_HP = 0		-68		-69	-64		dBc
A _{IN} = -3.0 dBFS, f = 22 MHz	Backoff = 3, EN_HP = 0		-76		-71			dBc
	Backoff = 6, EN_HP = 0		-74		-75			dBc
	Backoff = 0, EN_HP = 1		-66		-69	-63		dBc
THIRD-ORDER INTERMODULATION DISTORTION (IMD3)								
SFDR/HD3 at 22 MHz	Backoff = 0, EN_HP = 0		-83		-85			dBFS
A _{IN} = -9.0 dBFS, f = 22 MHz	Backoff = 3, EN_HP = 0		-86		-86			dBFS
	Backoff = 6, EN_HP = 0		-93		-86			dBFS
	Backoff = 0, EN_HP = 1		-87		-85			dBFS
Delete blank line								
In-Band Gain Flatness ²	25°C		0.3		0.5			dB
CROSSTALK ³	25°C		90		90			dB
ANALOG INPUT BANDWIDTH, FULL POWER ⁴	25°C		62.5		125			MHz

¹ これらのテストの定義と詳しい実施方法については、AN-835 を参照してください。

² ゲインの平坦度は、データバスでのデジタル・フィルタの選択によって異なる場合があります。

³ クロストークは、30.3MHz、-2.0dBFS アナログ入力 (1 チャンネル)、隣接チャンネルの入力なしの状態にて測定。

⁴ f_s/16 のフル・パワー帯域幅は、CIC デシメーション = 4 を使用している場合にのみ実現されます。

様々な変数設定での AC 仕様

このセクションに示されているテストの定義と詳細については、AN-835 を参照してください。f_s はコンバータ・コアのサンプリング・クロックです。バックオフは、直線性を高めるためのフロント・エンド・ゲインの減少分です。EN_HP は、消費電力の増加により S/N 比を 2.5dB 増加させます。

表 4. 変数設定：f_s = 2.0GSPS、バックオフ = 0、EN_HP = 0

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
NSD					
Flicker Noise Corner			1		MHz
At 15.625 MHz (f _s /128)	A _{IN} = -2.0 dBFS		-155		dBFS/Hz
At 31.25 MHz (f _s /64)	A _{IN} = -2.0 dBFS		-153		dBFS/Hz
At 100 MHz (f _s /20)	A _{IN} = -2.0 dBFS		-145		dBFS/Hz
SNR	A _{IN} = -2.0 dBFS				
7.8 MHz to 23.4 MHz (15.625 MHz Bandwidth)			82		dBFS
23.4 MHz to 39 MHz (15.625 MHz Bandwidth)			80		dBFS
92.2 MHz to 107.8 MHz (15.625 MHz Bandwidth)			71		dBFS
DC to 15.625 MHz			82		dBFS
DC to 31.25 MHz			76		dBFS
DC to 100 MHz			66		dBFS
SFDR/HD3	A _{IN} = -2.0 dBFS				
At f _s /128			-80		dBc
At f _s /64			-75		dBc
At f _s /20			-60		dBc
IMD3	A _{IN} = -8.0 dBFS				
At f _s /128			-80		dBc
At f _s /64			-75		dBc
At f _s /20			-60		dBc

表 5. 変数設定：f_s = 2.0GSPS、バックオフ = 3、EN_HP = 0

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
NSD					
Flicker Noise Corner			1		MHz
At 15.625 MHz (f _s /128)	A _{IN} = -2.0 dBFS		-153		dBFS/Hz
At 31.25 MHz (f _s /64)	A _{IN} = -2.0 dBFS		-151		dBFS/Hz
At 100 MHz (f _s /20)	A _{IN} = -2.0 dBFS		-143		dBFS/Hz
SNR	A _{IN} = -2.0 dBFS				
7.8 MHz to 23.4 MHz (15.625 MHz Bandwidth)			80		dBFS
23.4 MHz to 39 MHz (15.625 MHz Bandwidth)			74		dBFS
92.2 MHz to 107.8 MHz (15.625 MHz Bandwidth)			64		dBFS
DC to 15.625 MHz			80		dBFS
DC to 31.25 MHz			74		dBFS
DC to 100 MHz			64		dBFS
SFDR/HD3	A _{IN} = -2.0 dBFS				
At f _s /128			-81		dBc
At f _s /64			-78		dBc
At f _s /20			-63		dBc
IMD3	A _{IN} = -8.0 dBFS				
At f _s /128			-81		dBc
At f _s /64			-77		dBc
At f _s /20			-63		dBc

表 6. 変数設定 : $f_s = 2.0\text{GSPS}$ 、バックオフ = 6、 $\text{EN_HP} = 0$

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
NSD					
Flicker Noise Corner			1		MHz
At 15.625 MHz ($f_s/128$)	$A_{IN} = -2.0\text{ dBFS}$		-150		dBFS/Hz
At 31.25 MHz ($f_s/64$)	$A_{IN} = -2.0\text{ dBFS}$		-148		dBFS/Hz
At 100 MHz ($f_s/20$)	$A_{IN} = -2.0\text{ dBFS}$		-140		dBFS/Hz
SNR	$A_{IN} = -2.0\text{ dBFS}$				
7.8 MHz to 23.4 MHz (15.625 MHz Bandwidth)			77		dBFS
23.4 MHz to 39 MHz (15.625 MHz Bandwidth)			71		dBFS
92.2 MHz to 107.8 MHz (15.625 MHz Bandwidth)			61		dBFS
DC to 15.625 MHz			77		dBFS
DC to 31.25 MHz			71		dBFS
DC to 100 MHz			61		dBFS
SFDR/HD3	$A_{IN} = -2.0\text{ dBFS}$				
At $f_s/128$			-82		dBc
At $f_s/64$			-81		dBc
At $f_s/20$			-66		dBc
IMD3	$A_{IN} = -8.0\text{ dBFS}$				
At $f_s/128$			-82		dBc
At $f_s/64$			-80		dBc
At $f_s/20$			-66		dBc

表 7. 変数設定 : $f_s = 2.0\text{GSPS}$ 、バックオフ = 0、 $\text{EN_HP} = 1$

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
NSD					
Flicker Noise Corner			1		MHz
At 15.625 MHz ($f_s/128$)	$A_{IN} = -2.0\text{ dBFS}$		-157		dBFS/Hz
At 31.25 MHz ($f_s/64$)	$A_{IN} = -2.0\text{ dBFS}$		-155		dBFS/Hz
At 100 MHz ($f_s/20$)	$A_{IN} = -2.0\text{ dBFS}$		-147		dBFS/Hz
SNR	$A_{IN} = -2.0\text{ dBFS}$				
7.8 MHz to 23.4 MHz (15.625 MHz Bandwidth)			85		dBFS
23.4 MHz to 39 MHz (15.625 MHz Bandwidth)			79		dBFS
92.2 MHz to 107.8 MHz (15.625 MHz Bandwidth)			69		dBFS
DC to 15.625 MHz			85		dBFS
DC to 31.25 MHz			79		dBFS
DC to 100 MHz			69		dBFS
SFDR/HD3	$A_{IN} = -2.0\text{ dBFS}$				
At $f_s/128$			-80		dBc
At $f_s/64$			-75		dBc
At $f_s/20$			-60		dBc
IMD3	$A_{IN} = -8.0\text{ dBFS}$				
At $f_s/128$			-80		dBc
At $f_s/64$			-75		dBc
At $f_s/20$			-60		dBc

表 8. 変数設定 : $f_s = 1.0\text{GSPS}$ 、バックオフ = 0、 $\text{EN_HP} = 0$

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
NSD					
Flicker Noise Corner			1		MHz
At 7.8125 MHz ($f_s/128$)	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-152		dBFS/Hz
At 15.625 MHz ($f_s/64$)	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-151		dBFS/Hz
At 50 MHz ($f_s/20$)	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-144		dBFS/Hz
SNR	$A_{\text{IN}} = -2.0 \text{ dBFS}$				
3.9 MHz to 11.7 MHz (7.8125 MHz Bandwidth)			82		dBFS
11.7 MHz to 19.5 MHz (7.8125 MHz Bandwidth)			80		dBFS
46.1 MHz to 53.9 MHz (7.8125 MHz Bandwidth)			71		dBFS
DC to 7.8125 MHz			82		dBFS
DC to 15.625 MHz			76		dBFS
DC to 50 MHz			66		dBFS
SFDR/HD3					
At $f_s/128$	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-80		dBc
HD3 at $f_s/64$	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-75		dBc
HD3 at $f_s/20$	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-60		dBc
SFDR/IMD3					
At $f_s/128$	$A_{\text{IN}} = -8.0 \text{ dBFS}$		-80		dBc
At $f_s/64$	$A_{\text{IN}} = -8.0 \text{ dBFS}$		-75		dBc
At $f_s/20$	$A_{\text{IN}} = -8.0 \text{ dBFS}$		-60		dBc

表 9. 変数設定 : $f_s = 1.0\text{GSPS}$ 、バックオフ = 3、 $\text{EN_HP} = 0$

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
NSD					
Flicker Noise Corner			1		MHz
At 7.8125 MHz ($f_s/128$)	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-150		dBFS/Hz
At 15.625 MHz ($f_s/64$)	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-149		dBFS/Hz
At 50 MHz ($f_s/20$)	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-142		dBFS/Hz
SNR	$A_{\text{IN}} = -2.0 \text{ dBFS}$				
3.9 MHz to 11.7 MHz (7.8125 MHz Bandwidth)			80		dBFS
11.7 MHz to 19.5 MHz (7.8125 MHz Bandwidth)			74		dBFS
46.1 MHz to 53.9 MHz (7.8125 MHz Bandwidth)			64		dBFS
DC to 7.8125 MHz			80		dBFS
DC to 15.625 MHz			74		dBFS
DC to 50 MHz			64		dBFS
SFDR/HD3					
At $f_s/128$	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-81		dBc
HD3 at $f_s/64$	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-78		dBc
HD3 at $f_s/20$	$A_{\text{IN}} = -2.0 \text{ dBFS}$		-63		dBc
SFDR/IMD3					
At $f_s/128$	$A_{\text{IN}} = -8.0 \text{ dBFS}$		-81		dBc
At $f_s/64$	$A_{\text{IN}} = -8.0 \text{ dBFS}$		-77		dBc
At $f_s/20$	$A_{\text{IN}} = -8.0 \text{ dBFS}$		-63		dBc

表 10. 変数設定 : $f_s = 1.0\text{GSPS}$ 、バックオフ = 6、 $EN_HP = 0$

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
NSD					
Flicker Noise Corner			1		MHz
At 7.8125 MHz ($f_s/128$)	$A_{IN} = -2.0\text{ dBFS}$		-147		dBFS/Hz
At 15.625 MHz ($f_s/64$)	$A_{IN} = -2.0\text{ dBFS}$		-146		dBFS/Hz
At 50 MHz ($f_s/20$)	$A_{IN} = -2.0\text{ dBFS}$		-139		dBFS/Hz
SNR	$A_{IN} = -2.0\text{ dBFS}$				
3.9 MHz to 11.7 MHz (7.8125 MHz Bandwidth)			77		dBFS
11.7 MHz to 19.5 MHz (7.8125 MHz Bandwidth)			71		dBFS
46.1 MHz to 53.9 MHz (7.8125 MHz Bandwidth)			61		dBFS
DC to 7.8125 MHz			77		dBFS
DC to 15.625 MHz			71		dBFS
DC to 50 MHz			61		dBFS
SFDR/HD3					
At $f_s/128$	$A_{IN} = -2.0\text{ dBFS}$		-82		dBc
HD3 at $f_s/64$	$A_{IN} = -2.0\text{ dBFS}$		-81		dBc
HD3 at $f_s/20$	$A_{IN} = -2.0\text{ dBFS}$		-66		dBc
SFDR/IMD3					
At $f_s/128$	$A_{IN} = -8.0\text{ dBFS}$		-82		dBc
At $f_s/64$	$A_{IN} = -8.0\text{ dBFS}$		-80		dBc
At $f_s/20$	$A_{IN} = -8.0\text{ dBFS}$		-66		dBc

表 11. 変数設定 : $f_s = 1.0\text{GSPS}$ 、バックオフ = 0、 $EN_HP = 1$

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
NSD					
Flicker Noise Corner			1		MHz
At 7.8125 MHz ($f_s/128$)	$A_{IN} = -2.0\text{ dBFS}$		-154		dBFS/Hz
At 15.625 MHz ($f_s/64$)	$A_{IN} = -2.0\text{ dBFS}$		-153		dBFS/Hz
At 50 MHz ($f_s/20$)	$A_{IN} = -2.0\text{ dBFS}$		-146		dBFS/Hz
SNR	$A_{IN} = -2.0\text{ dBFS}$				
3.9 MHz to 11.7 MHz (7.8125 MHz Bandwidth)			85		dBFS
11.7 MHz to 19.5 MHz (7.8125 MHz Bandwidth)			79		dBFS
46.1 MHz to 53.9 MHz (7.8125 MHz Bandwidth)			69		dBFS
DC to 7.8125 MHz			85		dBFS
DC to 15.625 MHz			70		dBFS
DC to 50 MHz			69		dBFS
SFDR/HD3					
At $f_s/128$	$A_{IN} = -2.0\text{ dBFS}$		-80		dBc
HD3 at $f_s/64$	$A_{IN} = -2.0\text{ dBFS}$		-75		dBc
HD3 at $f_s/20$	$A_{IN} = -2.0\text{ dBFS}$		-60		dBc
SFDR/IMD3					
At $f_s/128$	$A_{IN} = -8.0\text{ dBFS}$		-80		dBc
At $f_s/64$	$A_{IN} = -8.0\text{ dBFS}$		-75		dBc
At $f_s/20$	$A_{IN} = -8.0\text{ dBFS}$		-60		dBc

デジタル仕様

特に指定のない限り、AVDD = 1.0V、AVDD1P8 = 1.8V、DVDD = 1.0V、DVDD1P8 = 1.8V、V_{MAX} = 1.8V¹、A_{IN} = -2.0dBFS、-40°C ≤ T_J ≤ +115°C²、モードの詳細は表 1 に示します³。代表的な仕様は、T_J = 45°C (T_A = 25°C) での性能を表しています。

表 12.

Parameter	Min	Typ	Max	Unit
CLOCK INPUTS (CLK+, CLK-)				
Differential Input Voltage	300	800	1800	mV p-p
Input Common-Mode Voltage		0.5		V
Input Resistance (Differential)		100		Ω
Input Capacitance		1		pF
SYSREF and TRIG INPUTS (SYSREF+, SYSREF-, TRIG+, AND TRIG-)				
Logic Compliance		LVDS		
Differential Input Voltage		700	1100	mV p-p
Input Common-Mode Voltage		0.5		V
Input Resistance (Differential)		100		Ω
Input Capacitance (Differential)		1		pF
LOGIC INPUT (SDIO, SCLK, CSB, PD/STBY, AND RSTB)				
Logic Compliance		CMOS		
Logic 1 Voltage	0.7 × DVDD1P8			V
Logic 0 Voltage			0.3 × DVDD1P8	V
Input Resistance		High impedance		
LOGIC OUTPUT (SDIO)				
Logic Compliance		CMOS		
Logic 1 Voltage (High Output Current (I _{OH}) = 800 μA)	DVDD1P8 - 0.45			V
Logic 0 Voltage (Low Output Current (I _{OL}) = 50 μA)			0.45	V
SYNCINB INPUT (SYNCINB+/SYNCINB-)				
Logic Compliance		LVDS		
Differential Input Voltage		700	1900	mV p-p
Input Common-Mode Voltage		0.45		V
Input Resistance (Differential)		100		kΩ
Input Capacitance		1		pF
SYNCINB+ INPUT				
Logic Compliance		CMOS		
Logic 1 Voltage	0.7 × DVDD1P8			V
Logic 0 Voltage			0.3 × DVDD1P8	V
Input Resistance		High impedance		
DIGITAL OUTPUTS (SERDOUTx±, x = 0 TO 3)				
Standards Compliance		JESD204B		
Differential Output Voltage		675		mV p-p
Differential Termination Impedance	80	108	120	Ω

¹ V_{MAX} は、プログラマブルな最大 ADC 入力電圧範囲です。

² -40°C ~ +115°C の T_J 範囲は、-65°C ~ +85°C の T_A 範囲に換算されます。

³ 16 チャンネル、125MSPS 実数出力モード。

スイッチング仕様

特に指定のない限り、AVDD = 1.0V、AVDD1P8 = 1.8V、DVDD = 1.0V、DVDD1P8 = 1.8V、 $V_{MAX} = 1.8V^1$ 、 $-40^{\circ}C \leq T_J \leq +115^{\circ}C^2$ 、モードの詳細は表 1 に示します³。代表的な仕様は、 $T_J = 45^{\circ}C$ ($T_A = 25^{\circ}C$) での性能を表しています。

表 13.

Parameter	Min	Typ	Max	Unit
CLOCK				
Clock Rate (at CLK+/CLK- Pins) ⁴	50	250	500	MHz
ADC Sample Rate ⁵	1		2	GSPS
Clock Pulse Width	1		10	ns
OUTPUT PARAMETERS				
Unit Interval (UI) ⁶	62.5		4000	ps
Rise Time (t_R) (20% to 80% into 100 Ω Load)		30		ps
Fall Time (t_F) (20% to 80% into 100 Ω Load)		30		ps
Phase-Locked Loop (PLL) Lock Time ⁷		5		ms
Data Rate per Channel (NRZ) ⁸	0.25		16	Gbps

¹ V_{MAX} は、プログラマブルな最大 ADC 入力電圧範囲です。

² $-40^{\circ}C \sim +115^{\circ}C$ の T_J 範囲は、 $-65^{\circ}C \sim +85^{\circ}C$ の T_A 範囲に換算されます。

³ 16 チャンネル、125MSPS 実数出力モード。

⁴ オンチップ PLL (ピン K3 およびピン J3) への入力クロック。

⁵ コンバータ・コアの ADC サンプリング・クロック。

⁶ ボー・レート = $1/UI$ 。この範囲のサブセットに対応できます。

⁷ ロック時間は、JESD204B リンクの設定によって異なる場合があります。

⁸ デフォルト $L=4$ 。この値は、サンプリング・レートとデシメーション・レシオに基づいて変更できます。

タイミング仕様

表 14.

パラメータ	説明	Min	Typ	Max	単位
SPI TIMING REQUIREMENTS					
t_{DS}	データと SCLK 立上がりエッジの間のセットアップ・タイム	4			ns
t_{DH}	データと SCLK 立上がりエッジの間のホールド・タイム	4			ns
t_{CLK}	SCLK の周期。	10			ns
t_s	CSB と SCLK の間のセットアップ・タイム	2			ns
t_H	CSB と SCLK の間のホールド・タイム	2			ns
t_{HIGH}	SCLK をロジック・ハイ・ステートに保持する必要がある最小時間	4			ns
t_{LOW}	SCLK をロジック・ロー・ステートに保持する必要がある最小時間	4			ns
t_{ACCESS}	SCLK の立下がりエッジから出力データが読出し可能となるまでの最大時間遅延		2	4	ns
t_{DIS_SDIO}	SCLK の立上がりエッジを基準にして、SDIO ピンが出力から入力に切り替わるのに必要な時間	6			ns

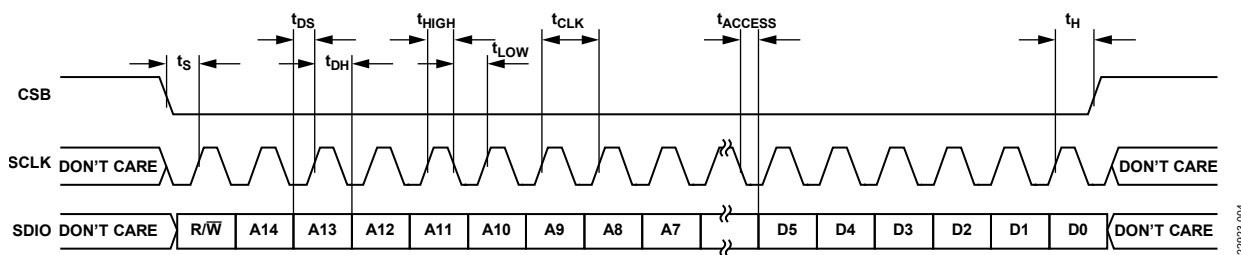


図 2. シリアル・ポート・インターフェースのタイミング図

22923-004

絶対最大定格

表 15.

Parameter	Rating
Electrical	
AVDD to AGND	1.05 V
AVDD1P8 to AGND	2.0 V
DVDD to DGND	1.05 V
DVDD1P8 to DGND	2.0 V
AGND to DGND	-0.3 V to +0.3 V
VINx± to AGND	AGND - 0.3 V to AVDD1P8 + 0.3 V
CLK± to AGND	AGND - 0.3 V to AVDD + 0.3 V
SCLK, SDIO, CSB, RSTB, PD/STBY to DGND	DGND - 0.3 V to DVDD1P8 + 0.3 V
SYSREF±, TRIG± to AGND	AGND - 0.3 V to AVDD + 0.3 V
SYNCINB± to DGND	DGND - 0.3 V to DVDD1P8 + 0.3 V
Temperature	
Junction Range	-40°C to +125°C
Storage Range (Ambient)	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最も厳しい条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

表 16. 熱抵抗

Package Type	θ_{JA}	θ_{JC_TOP}	θ_{JB}	Ψ_{JB}	Ψ_{JT}	Unit
BC-100-8 ¹	23.4	10.3	8.9	9.0	1.2	°C/W

¹テスト条件 1：熱抵抗のシミュレーション値は、190 個のサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

AD9083

	1	2	3	4	5	6	7	8	9	10
A	DGND	SYNCINB+	SYNCINB-	CSB	VIN1+	VIN2+	VIN3+	VIN4+	VIN5+	DNC
B	DVDD1P8	DVDD1P8	DVDD	SCLK	VIN1-	VIN2-	VIN3-	VIN4-	VIN5-	TD
C	DGND	DGND	DVDD	SDIO	PD/STDBY	AGND	AGND	AVDD1P8	VIN6-	VIN6+
D	SEROUT0-	SEROUT0+	DVDD	DGND	RSTB	AVDD	AGND	AVDD1P8	VIN7-	VIN7+
E	SEROUT1-	SEROUT1+	DVDD	DGND	AGND	AVDD	AVDD	AGND	VIN8-	VIN8+
F	SEROUT2-	SEROUT2+	DVDD	DGND	AVDD	AVDD	AVDD	AGND	VIN9-	VIN9+
G	SEROUT3-	SEROUT3+	DVDD	DGND	VCOARSE_VCO	AVDD	AGND	AVDD1P8	VIN10-	VIN10+
H	TRIG+	DGND	DVDD	REF_VCO	AGND	AVDD1P8	AGND	AVDD1P8	VIN11-	VIN11+
J	TRIG-	SYSREF-	CLK-	AVDD	VIN16-	VIN15-	VIN14-	VIN13-	VIN12-	RBIAS
K	DNC	SYSREF+	CLK+	AGND	VIN16+	VIN15+	VIN14+	VIN13+	VIN12+	AGND

LEGEND:









	1.0V SUPPLY		DIGITAL INPUT
	1.8V SUPPLY		SERDES OUTPUT
	GROUND RETURN		DIGITAL CONTROLS
	ANALOG INPUT		STATIC CONTROLS

図 3. ピン配置

22923-005

表 17. ピン機能の説明

ピン番号	記号	タイプ	説明
Power Supplies			
D6, E6, E7, F6, F7, G6	AVDD	Power	アナログ電源 (公称 1.0V)。
F5	AVDD	Power	クロック用アナログ電源 (公称 1.0V)。
J4	AVDD	Power	内部 PLL 用アナログ電源 (公称 1.0V)。
C8, D8, G8, H6, H8	AVDD1P8	Power	アナログ電源 (公称 1.8V)。
D3, E3, F3, G3	DVDD	Power	デジタル電源 (公称 1.0V)。
B3, C3, H3	DVDD	Power	デジタル・ドライバ電源 (公称 1.0V)。
B1	DVDD1P8	Power	デジタル・ドライバ電源 (公称 1.8V)。
B2	DVDD1P8	Power	I/O および SPI 用デジタル電源 (公称 1.8V)。

ピン番号	記号	タイプ	説明
C6, C7, D7, E8, F8, G7, H5, H7, K10	AGND	Ground	アナログ・グラウンド。これらの AGND ピンはアナログ・グラウンド・プレーンに接続します。
E5	AGND	Ground	AVDD 用グラウンド・リファレンス。
K4	AGND	Ground	AVDD 用グラウンド・リファレンス。
D4, E4, F4, G4	DGND	Ground	デジタル・グラウンド。これらの DGND ピンはデジタル・グラウンド・プレーンに接続します。
A1, C1, C2, H2	DGND	Ground	デジタル・ドライバ・グラウンド。これらの DGND ピンはデジタル・ドライバ・グラウンド・プレーンに接続します。
Analog			
A5, B5	VIN1+, VIN1-	Input	ADC 1 アナログ差動入力の+/-。
A6, B6	VIN2+, VIN2-	Input	ADC 2 アナログ差動入力の+/-。
A7, B7	VIN3+, VIN3-	Input	ADC 3 アナログ差動入力の+/-。
A8, B8	VIN4+, VIN4-	Input	ADC 4 アナログ差動入力の+/-。
A9, B9	VIN5+, VIN5-	Input	ADC 5 アナログ差動入力の+/-。
C9, C10	VIN6-, VIN6+	Input	ADC 6 アナログ差動入力の-/+。
D9, D10	VIN7-, VIN7+	Input	ADC 7 アナログ差動入力の-/+。
E9, E10	VIN8-, VIN8+	Input	ADC 8 アナログ差動入力の-/+。
F9, F10	VIN9-, VIN9+	Input	ADC 9 アナログ差動入力の-/+。
G9, G10	VIN10-, VIN10+	Input	ADC 10 アナログ差動入力の-/+。
H9, H10	VIN11-, VIN11+	Input	ADC 11 アナログ差動入力の-/+。
J9, K9	VIN12-, VIN12+	Input	ADC 12 アナログ差動入力の-/+。
J8, K8	VIN13-, VIN13+	Input	ADC 13 アナログ差動入力の-/+。
J7, K7	VIN14-, VIN14+	Input	ADC 14 アナログ差動入力の-/+。
J6, K6	VIN15-, VIN15+	Input	ADC 15 アナログ差動入力の-/+。
J5, K5	VIN16-, VIN16+	Input	ADC 16 アナログ差動入力の-/+。
J3, K3	CLK-, CLK+	Input	クロック差動入力の-/+。
Digital Inputs			
J2, K2	SYSREF-, SYSREF+	Input	アクティブ・ハイの JESD204B 低電圧差動伝送/CML システム・リファレンス差動入力の-/+。
A2, A3	SYNCINB+, SYNCINB-	Input	アクティブ・ローの JESD204B 低電圧差動伝送同期差動入力の+/-。
H1, J1	TRIG+, TRIG-	Input	トリガ入力低電圧差動伝送。これらの TRIG±ピンは、無効化した場合フロート状態にすることができます。
Data Outputs			
D1, D2	SERDOUT0-, SERDOUT0+	Output	レーン 0 の差動出力データの-/+。
E1, E2	SERDOUT1-, SERDOUT1+	Output	レーン 1 の差動出力データの-/+。
F1, F2	SERDOUT2-, SERDOUT2+	Output	レーン 2 の差動出力データの-/+。
G1, G2	SERDOUT3-, SERDOUT3+	Output	レーン 3 の差動出力データの-/+。
Digital Controls			
C5	PD/STBY	Input	パワーダウン入力 (アクティブ・ハイ)。PD/STBY ピンの動作は SPI モードによって異なり、パワーダウンまたはスタンバイとして設定できます。
D5	RSTB	Input	デバイス・リセット用アクティブ・ロー入力。
A4	CSB	Input	SPI チップ・セレクト (アクティブ・ロー)。
B4	SCLK	Input	SPI シリアル・クロック。
C4	SDIO	Input/output	SPI シリアル・データ入出力。

ピン番号	記号	タイプ	説明
Static Control			
B10	TD		温度ダイオード・ピン。
J10	RBIAS		電流リファレンス抵抗、5kΩを AGND へ。
H4	REG_VCO		クロック通倍器 PLL 電圧レギュレータのバイパス・コンデンサ。低等価直列抵抗 (ESR)、低等価直列インダクタンス (ESL) の 2.2μF コンデンサを AGND へ。パッケージとコンデンサの間のインダクタンス □ <1nH。
G5	VCOARSE_VCO		クロック通倍器 PLL 粗調整ループ・フィルタ、33nF コンデンサを AGND へ。
A10, K1	DNC		接続なし。DNC ピンはフローティングのままにします。

代表的な性能特性

特に指定のない限り、公称電源電圧、 $A_{IN} = -2.0\text{dBFS}$ 、 $T_J = 45^\circ\text{C}$ 、 128kFFT 。

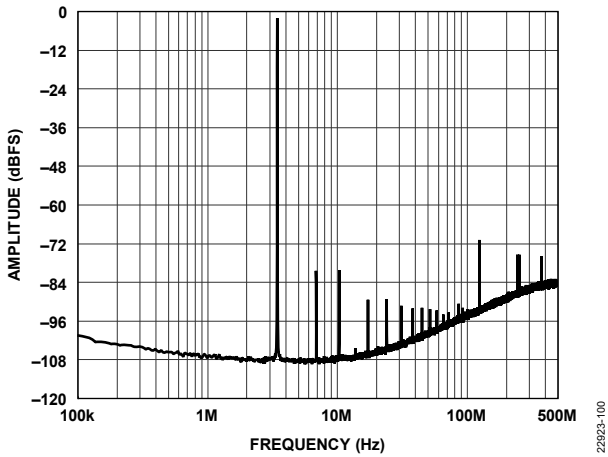


図 4. バックオフ = 3dB での ADC ノイズ・フロア、1GSps

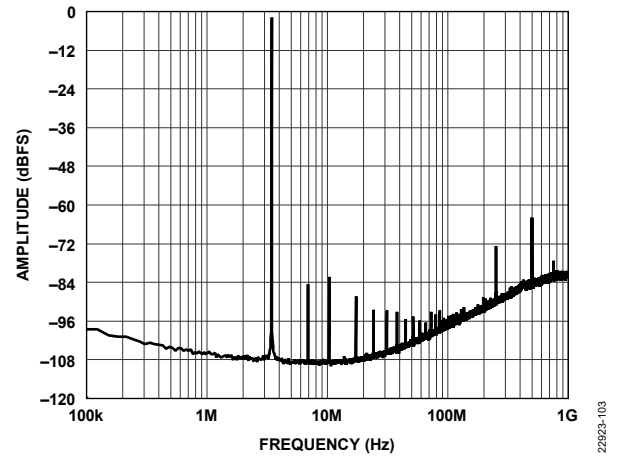


図 7. バックオフ = 3dB での ADC ノイズ・フロア、2GSps

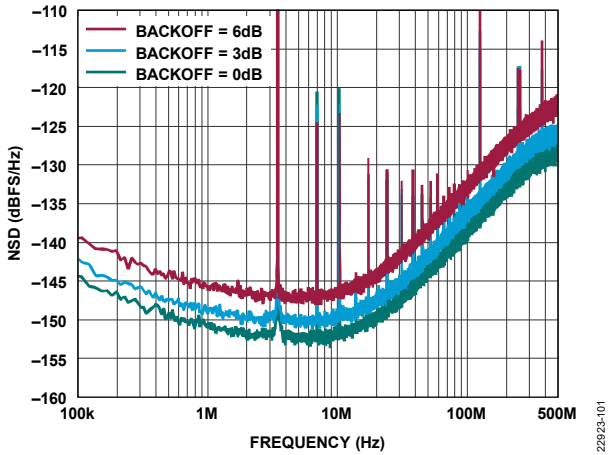


図 5. 様々なバックオフ値での ADC の NSD、1GSps

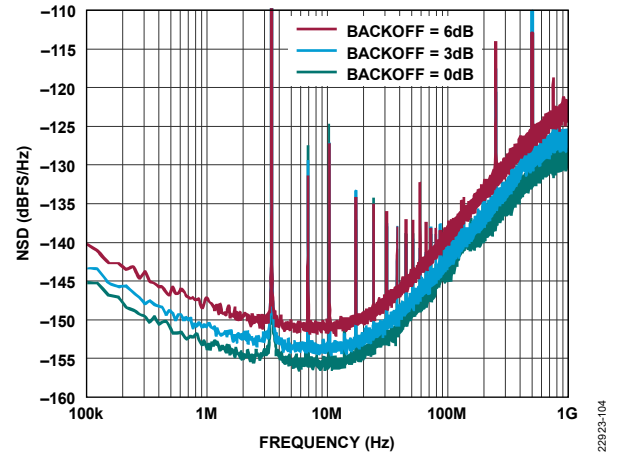


図 8. 様々なバックオフ値での ADC の NSD、2GSps

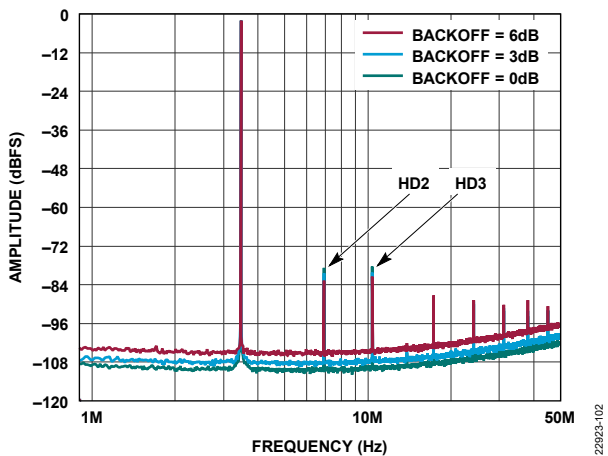


図 6. 様々なバックオフ値での高調波歪み 2 (HD2) および高調波歪み 3 (HD3)、1GSps

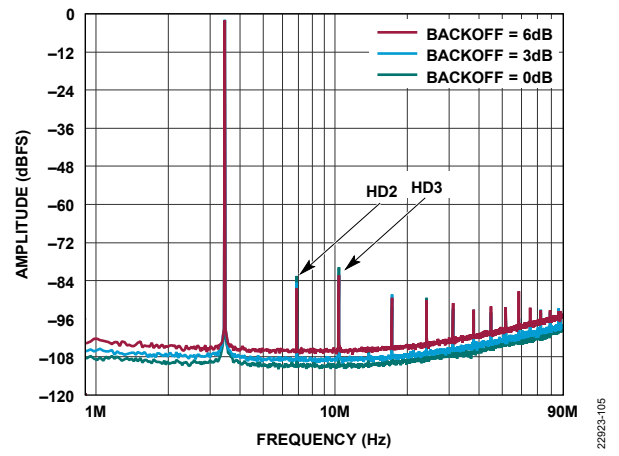


図 9. 様々なバックオフ値での HD2 および HD3、2GSps

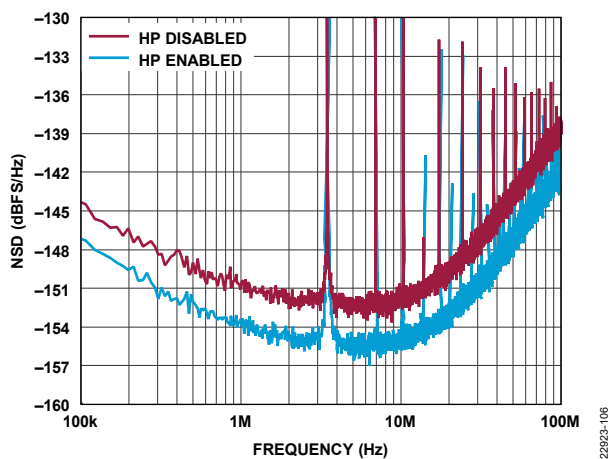


図 10. EN_HP が 1 の場合と 0 の場合の ADC の NSD、1GSPS

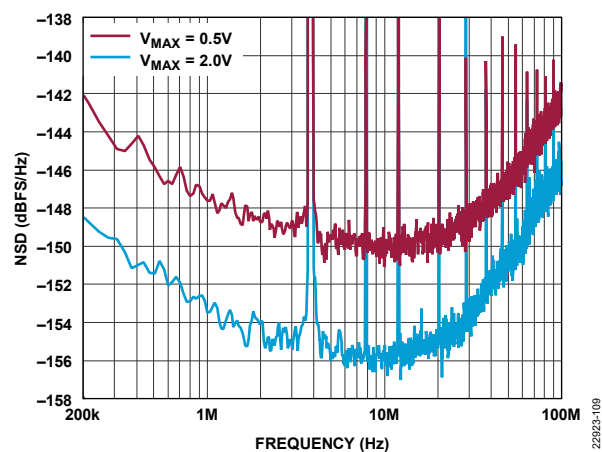


図 13. 最小および最大の V_{MAX} 値での ADC NSD、2GSPS

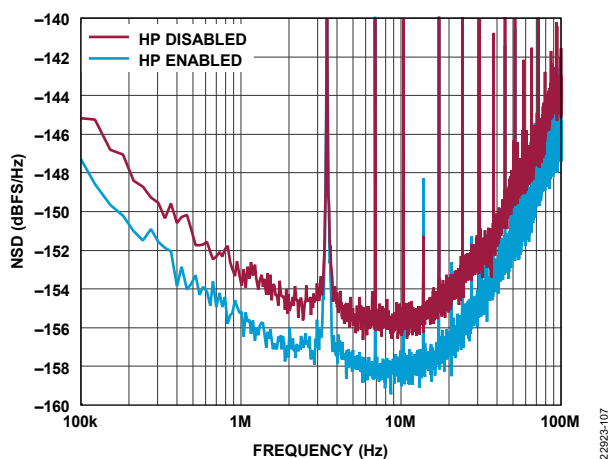


図 11. EN_HP が 1 の場合と 0 の場合の ADC の NSD、2GSPS

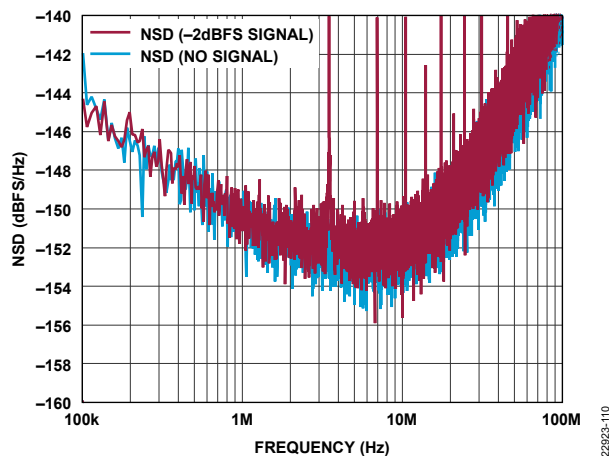


図 14. フルスケール入力信号がある場合とない場合の ADC の NSD、1GSPS

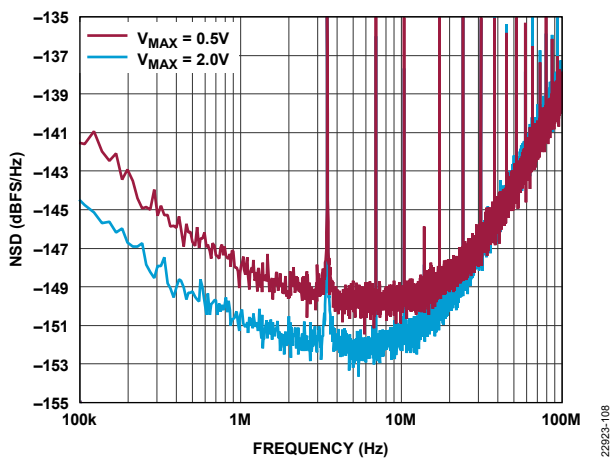


図 12. 最小および最大の V_{MAX} 値での ADC の NSD、1GSPS

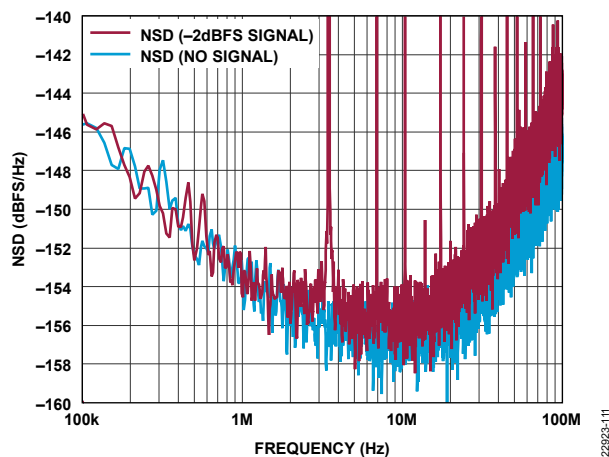


図 15. フルスケール入力信号がある場合とない場合の ADC の NSD、2GSPS

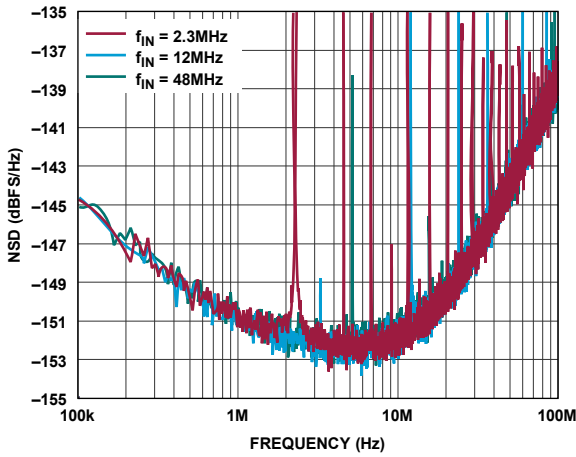


図 16. 異なる入力周波数での ADC の NSD、1GSPS

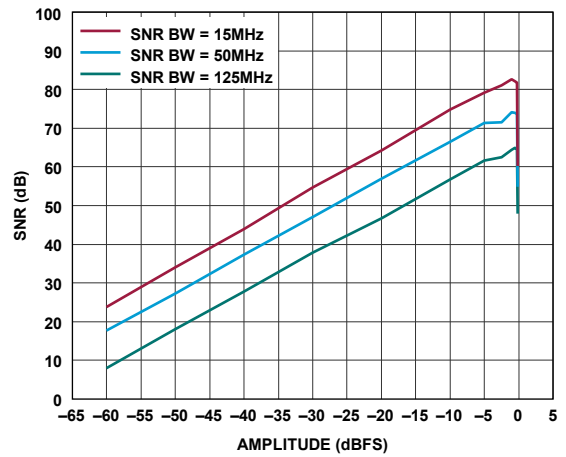


図 19. ADC S/N 比と入力振幅の関係、2GSPS

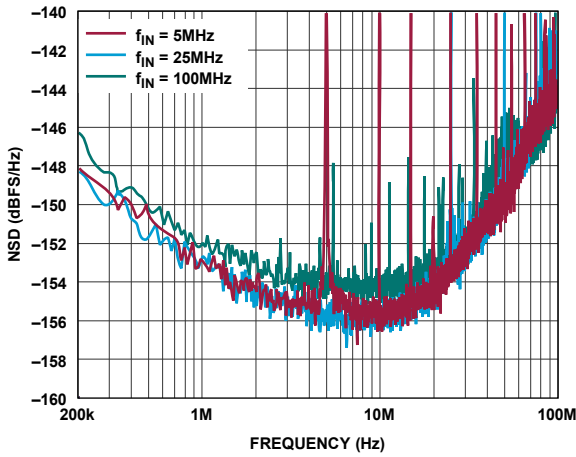


図 17. 異なる入力周波数での ADC NSD、2GSPS

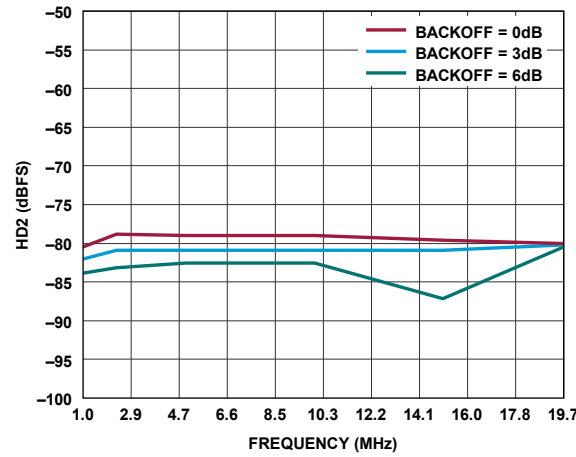


図 20. ADC の HD2 の周波数特性、様々なバックオフ値および $A_{IN} = -2dB$ 、1GSPS

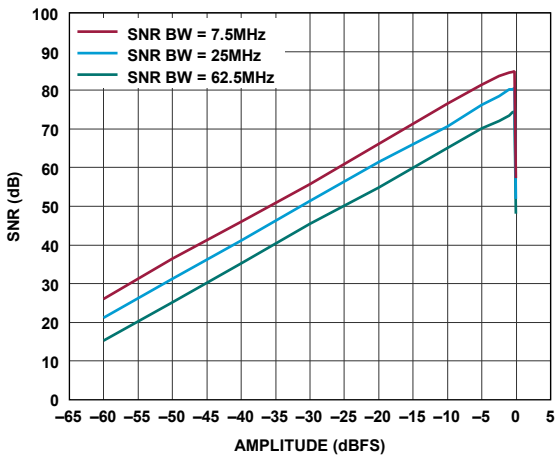


図 18. ADC の S/N 比と入力振幅の関係、1GSPS

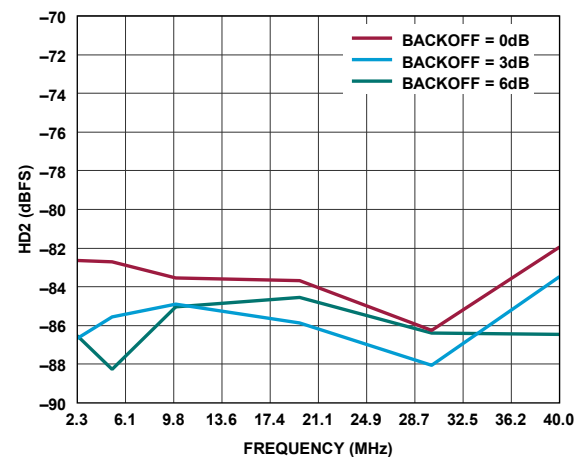


図 21. ADC HD2 の周波数特性、様々なバックオフ値および $A_{IN} = -2dB$ 、2GSPS

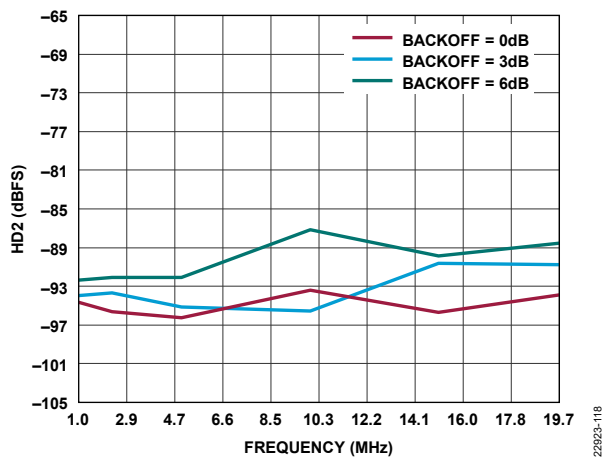


図 22. ADC HD2 の周波数特性、様々なバックオフ値および $A_{IN} = -10\text{dB}$ 、1GSPS

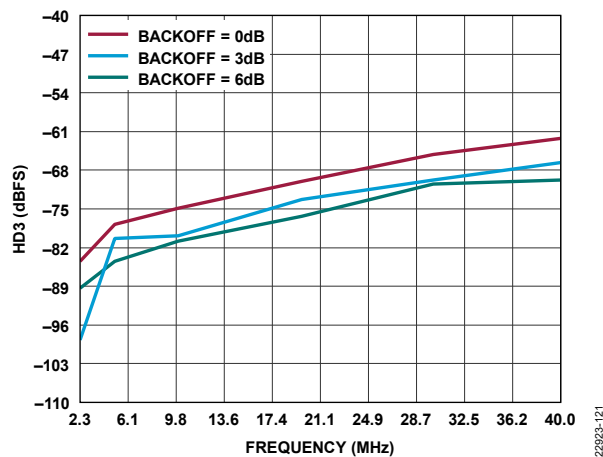


図 25. ADC HD3 の周波数特性、様々なバックオフ値および $A_{IN} = -2\text{dB}$ 、2GSPS

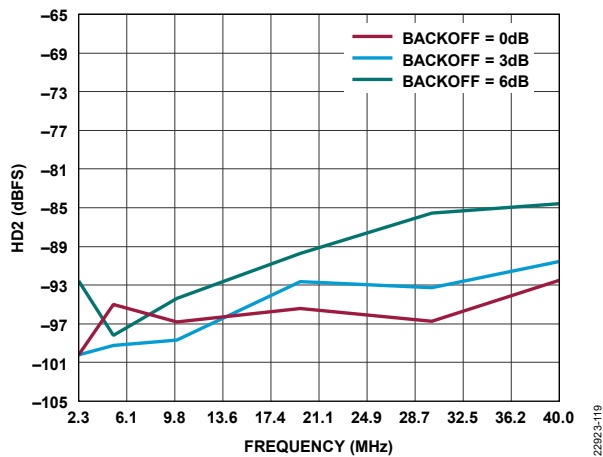


図 23. ADC HD2 の周波数特性、様々なバックオフ値および $A_{IN} = -10\text{dB}$ 、2GSPS

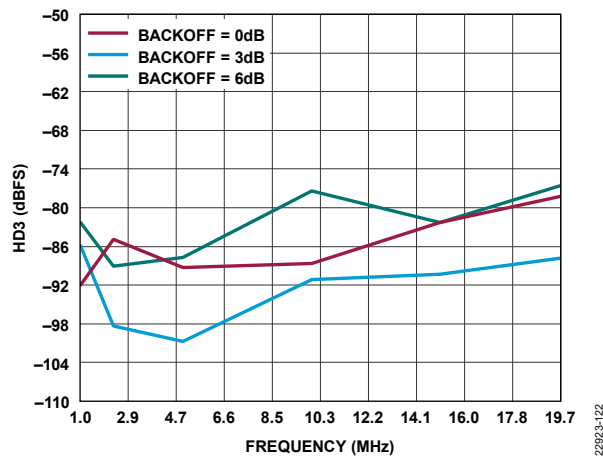


図 26. ADC HD3 の周波数特性、様々なバックオフ値および $A_{IN} = -10\text{dB}$ 、1GSPS

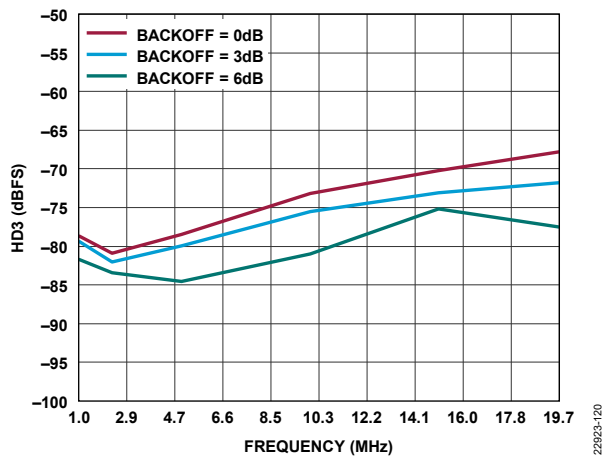


図 24. ADC HD3 の周波数特性、様々なバックオフ値および $A_{IN} = -2\text{dB}$ 、1GSPS

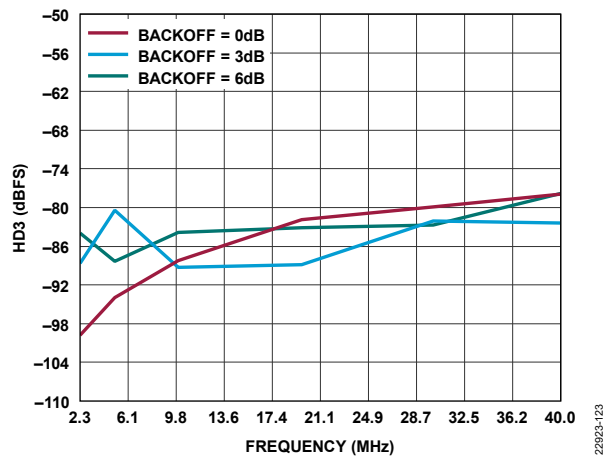


図 27. ADC HD3 の周波数特性、様々なバックオフ値および $A_{IN} = -10\text{dB}$ 、2GSPS

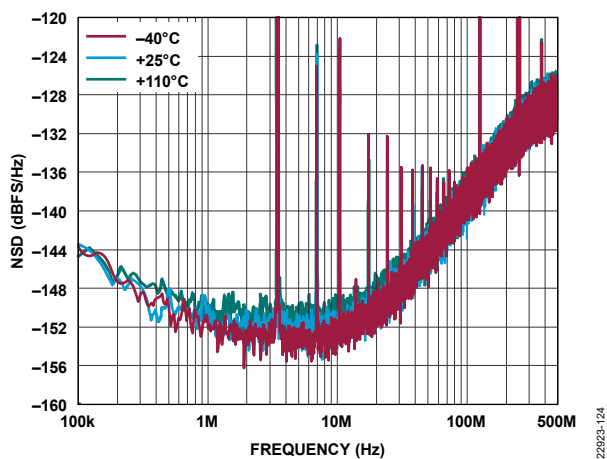


図 28. ADC の NSD とジャンクション温度の関係、1GSPS

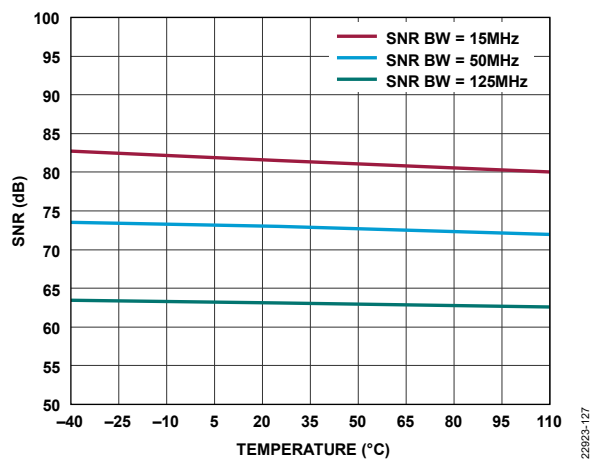


図 31. ADC S/N 比とジャンクション温度の関係、2GSPS

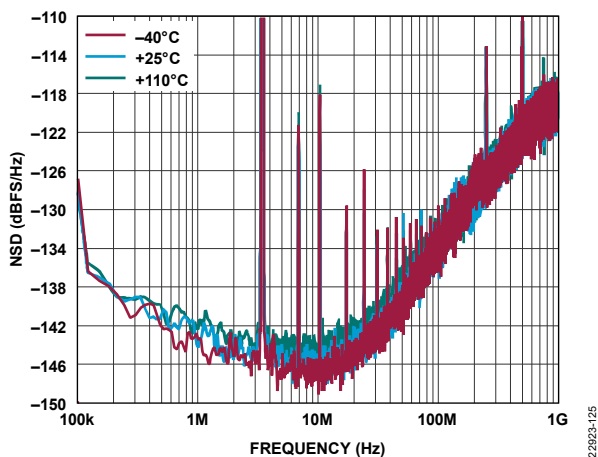


図 29. ADC NSD とジャンクション温度の関係、2GSPS

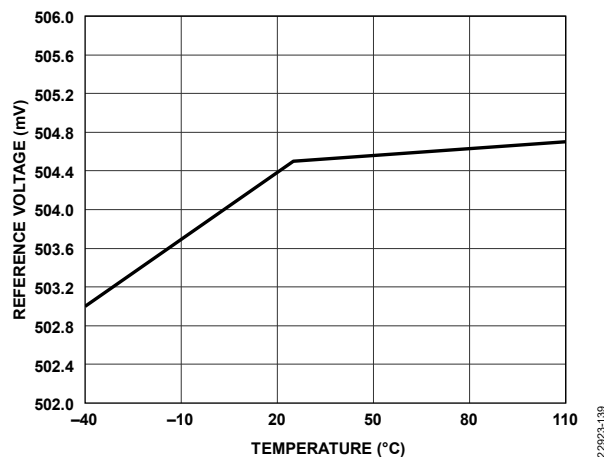


図 32. リファレンス電圧とジャンクション温度の関係

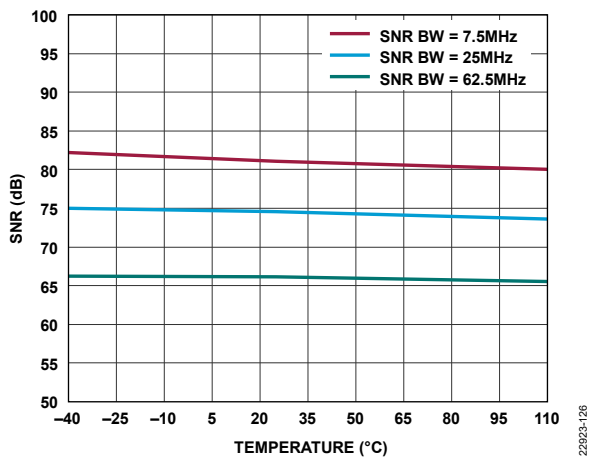


図 30. ADC S/N 比とジャンクション温度の関係、1GSPS

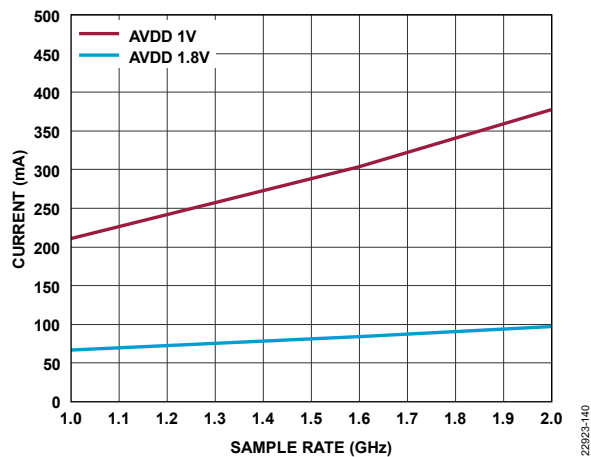


図 33. 電源電流とサンプリング・レートの関係
(デジタル・ドメイン電流は DSP および JESD204B の
セットアップによって変化します)

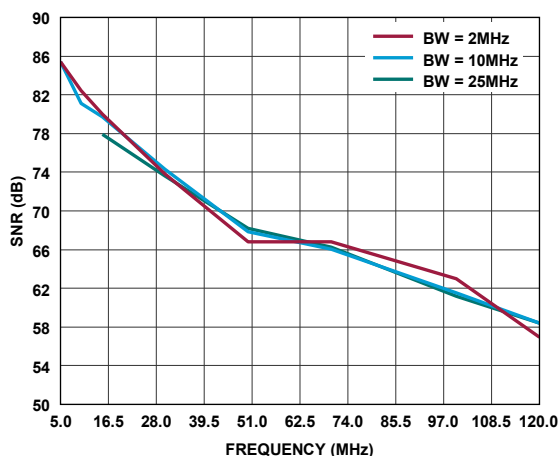


図 34. S/N 比とスライディング IF の関係

22923-142

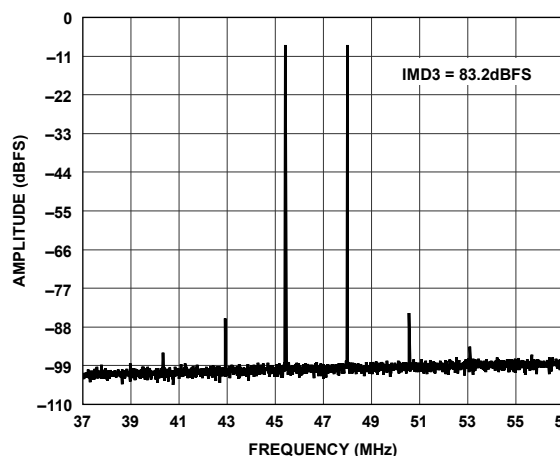


図 37. ツートーン FFT、バックオフ = 6、 $f_{IN1} = 45.4\text{MHz}$ 、 $f_{IN2} = 48\text{MHz}$ 、AIN1 および AIN2 = -8dBFS、1GSPS

22923-203

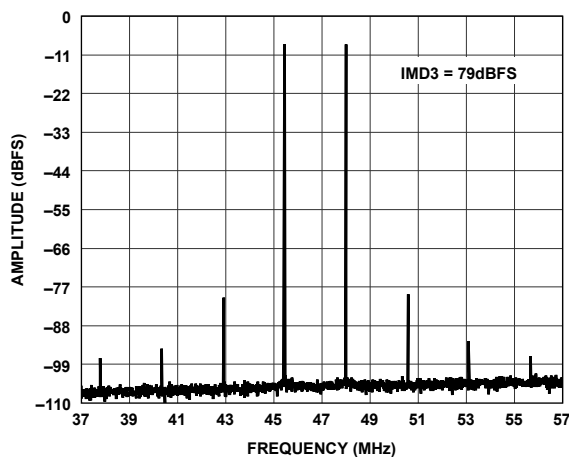


図 35. ツートーン FFT、バックオフ = 0、 $f_{IN1} = 45.4\text{MHz}$ 、 $f_{IN2} = 48\text{MHz}$ 、AIN1 および AIN2 = -8dBFS、1GSPS

22923-201

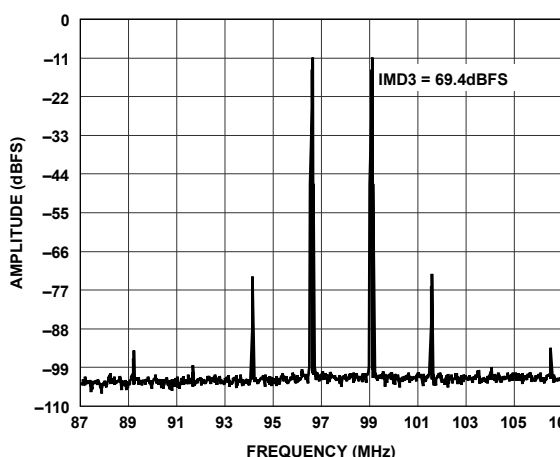


図 38. ツートーン FFT、バックオフ = 0、 $f_{IN1} = 96.6\text{MHz}$ 、 $f_{IN2} = 99\text{MHz}$ 、AIN1 および AIN2 = -8dBFS、2GSPS

22923-204

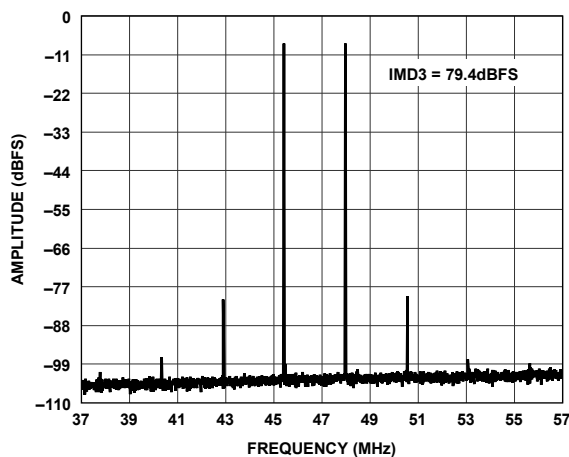


図 36. ツートーン FFT、バックオフ = 3、 $f_{IN1} = 45.4\text{MHz}$ 、 $f_{IN2} = 48\text{MHz}$ 、AIN1 および AIN2 = -8dBFS、1GSPS

22923-202

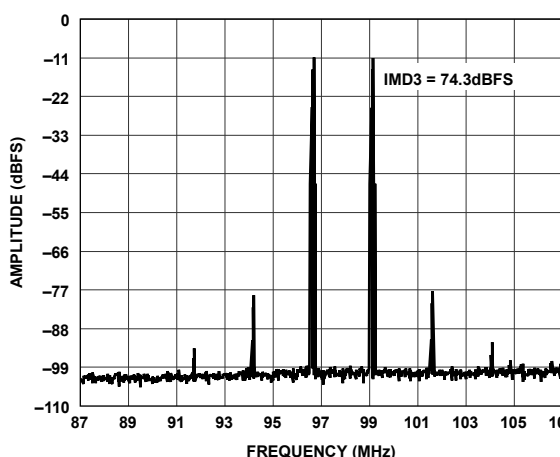
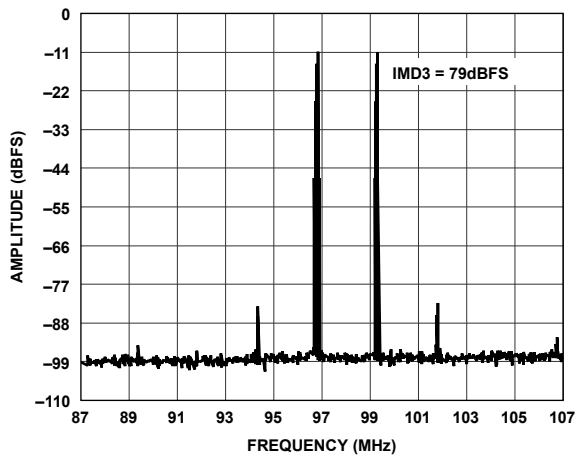


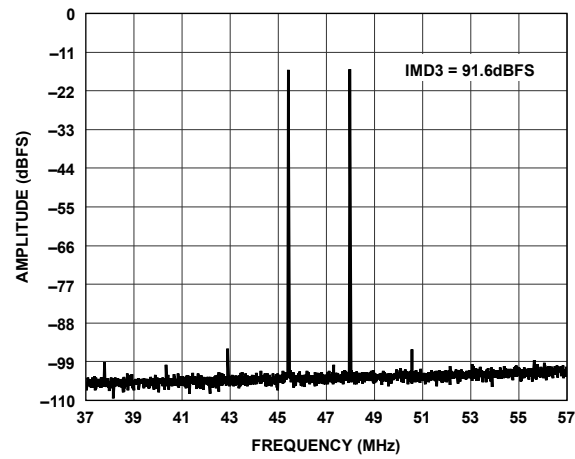
図 39. ツートーン FFT、バックオフ = 3、 $f_{IN1} = 96.6\text{MHz}$ 、 $f_{IN2} = 99\text{MHz}$ 、AIN1 および AIN2 = -8dBFS、2GSPS

22923-205



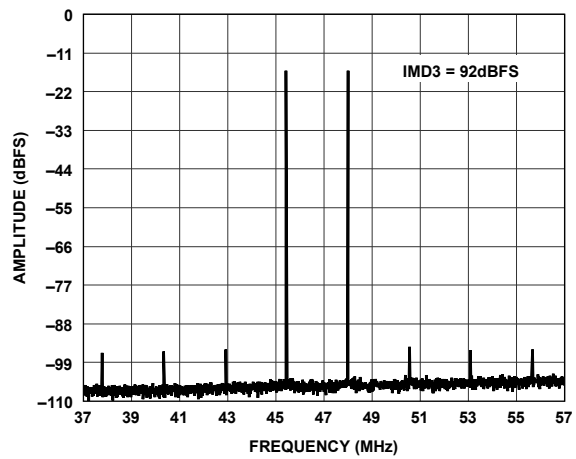
22923-208

図 40. ツートーン FFT、バックオフ = 6、 $f_{IN1} = 96.6\text{MHz}$ 、 $f_{IN2} = 99\text{MHz}$ 、AIN1 および AIN2 = -8dBFS、2GSPS



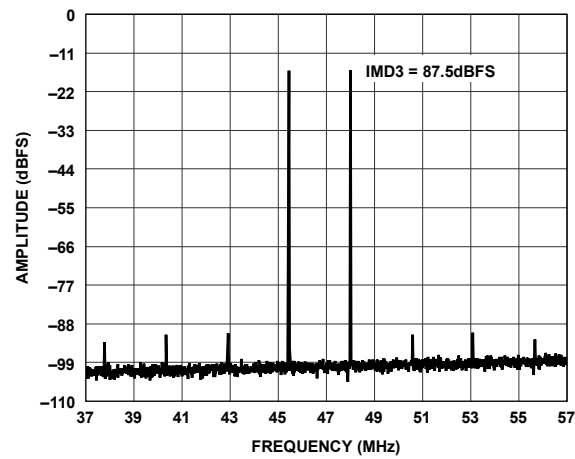
22923-208

図 42. ツートーン FFT、バックオフ = 3、 $f_{IN1} = 45.4\text{MHz}$ 、 $f_{IN2} = 48\text{MHz}$ 、AIN1 および AIN2 = -16dBFS、1GSPS



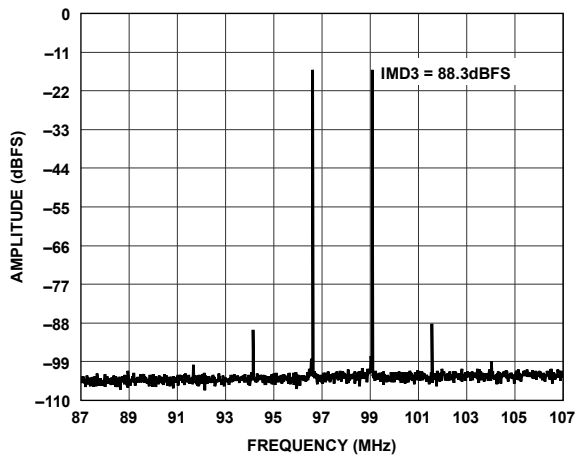
22923-207

図 41. ツートーン FFT、バックオフ = 0、 $f_{IN1} = 45.4\text{MHz}$ 、 $f_{IN2} = 48\text{MHz}$ 、AIN1 および AIN2 = -16dBFS、1GSPS



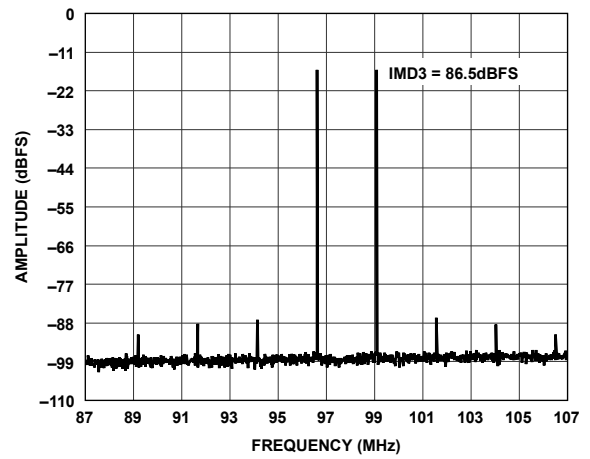
22923-209

図 43. ツートーン FFT、バックオフ = 6、 $f_{IN1} = 45.4\text{MHz}$ 、 $f_{IN2} = 48\text{MHz}$ 、AIN1 および AIN2 = -16dBFS、1GSPS



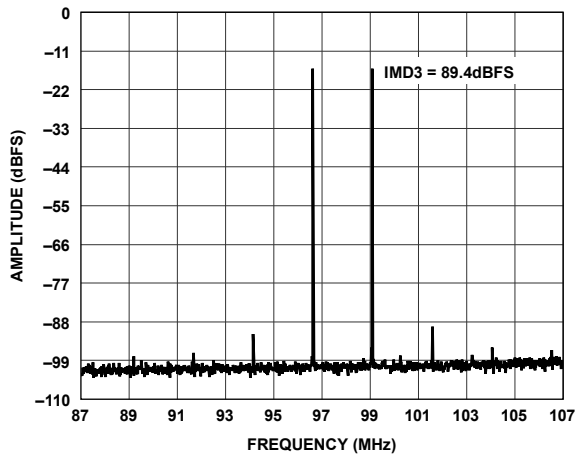
22923-210

図 44. ツートーン FFT、バックオフ = 0、 $f_{IN1} = 96.6\text{MHz}$ 、 $f_{IN2} = 99\text{MHz}$ 、AIN1 および AIN2 = -16dBFS、2GSPS



22923-212

図 46. ツートーン FFT、バックオフ = 6、 $f_{IN1} = 96.6\text{MHz}$ 、 $f_{IN2} = 99\text{MHz}$ 、AIN1 および AIN2 = -16dBFS、2GSPS



22923-211

図 45. ツートーン FFT、バックオフ = 3、 $f_{IN1} = 96.6\text{MHz}$ 、 $f_{IN2} = 99\text{MHz}$ 、AIN1 および AIN2 = -16dBFS、2GSPS

等価回路

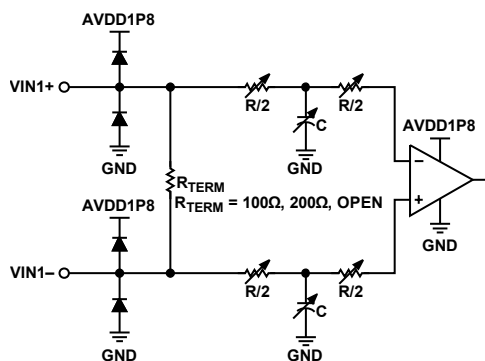


図 47. アナログ入力

22923-011

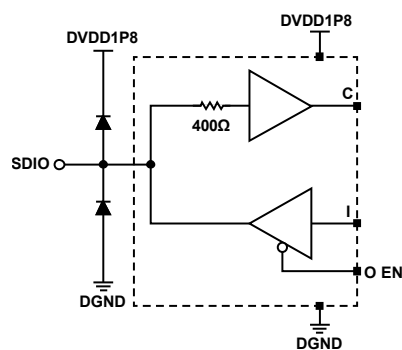


図 50. SDIO 入出力

22923-014

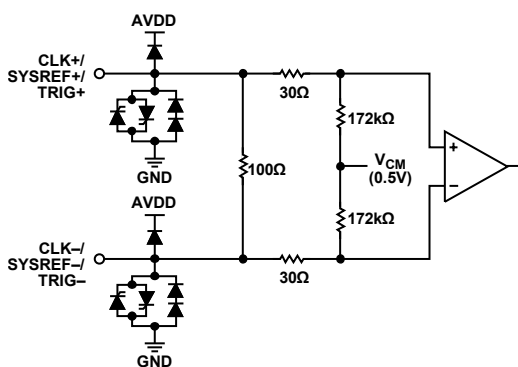


図 48. CLK±, SYSREF±, および TRIG±入力

22923-012

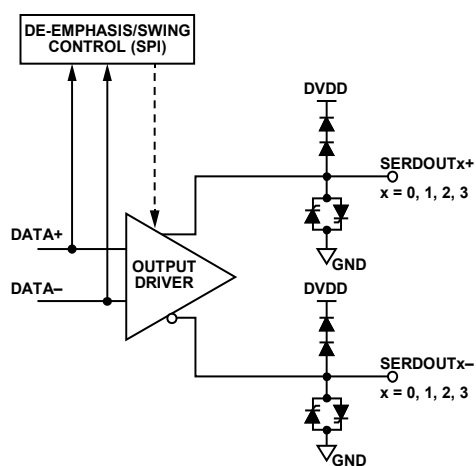


図 51. デジタル出力

22923-015

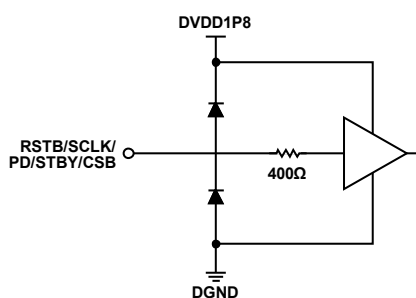


図 49. RSTB、SCLK、PD/STBY、および CSB 入力

22923-013

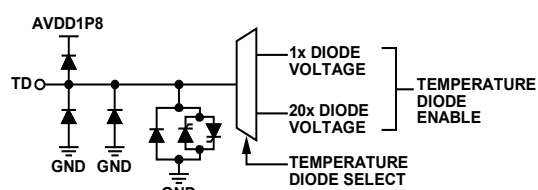
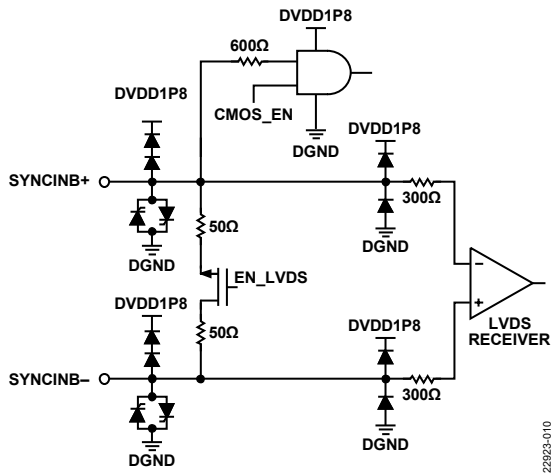


図 52. TD (温度ダイオード) ピン

22923-016



23923-010

図 53. SYNCINB±入力

用語の定義

ノイズ・スペクトル密度 (NSD)

NSDは、ADCのフルスケール (dBFS) を基準にして (特定の周波数で) 1Hz の帯域幅に正規化されたノイズ電力です。NSD の単位は dBFS/Hz です。離散時間フラッシュ型の ADC とは異なり、 Σ - Δ ADC は、DC \sim f_s のスペクトルにわたって不均一な NSD を示します。様々な変曲点での代表的な NSD が仕様を示されています。総合的な S/N 比の計算は必ずしも簡単ではなく、S/N 比ではなくノイズ密度の観点から考えると役立つことがよくあります。S/N 比を良好にするには、広帯域 CTSD ADC の量子化ノイズを除去する必要があります。

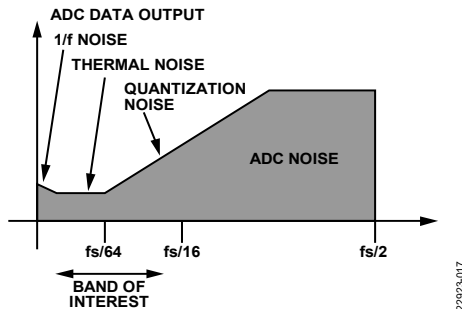


図 54. Σ - Δ ADC のノイズ領域

インバンド・ノイズ

インバンド・ノイズは、ADC のフルスケールを基準にしてユーザ定義の帯域幅で測定された積分ノイズ電力です (単位: dBFS)。この帯域幅は通常、中間周波数 (IF) の通過帯域に等しくなります。

3 次相互変調歪み (IMD3)

IMD3 は、コンポーネントまたはシステムの線形性を定量化するのに使用される性能指数です。3 次の非線形性を示す非線形システムに注入された 2 つの指定周波数 (f_1 および f_2) の振幅が等しい非変調キャリアは、 $2f_1 - f_2$ および $2f_2 - f_1$ で IMD 成分を生成します。ADC の IMD3 性能は、RF/IF の線形デバイスに一般的な 3:1 の法則に必ずしも従わないことに注意してください。IMD3 の性能は、デュアル・トーン周波数、信号入力レベル、および ADC クロック・レートに依存します。

高調波歪み (HD2、HD3、SFDR)

シングル・トーンがユーザ定義の周波数範囲で掃引された際に、対象の IF 帯域内に入る高調波音です。

信号伝達関数 (STF)

STF は、ADC 入力に掃引されたシングル・トーンに対する ADC 出力信号の周波数応答です。代表的な性能特性のセクションでは、通過帯域の平坦性を強調するために、IF 通過帯域での STF を示しています。STF は、 f_s 付近の不要な信号のエリアシングにも影響します。

動作原理

ADC のアーキテクチャ

AD9083 は、幅広いアプリケーション向けの高度に統合されたプログラマブルな 16 チャンネル・フロント・エンド・デジタイザです。

AD9083 ADC は 1 次 CTSD 変調器アーキテクチャを使用し、1 次量子化ノイズ・シェーピングと固有の 1 次 sinc シェーピングのアンチエイリアシング・フィルタ処理を提供します。このオーバーサンプリングは、固有のアンチエイリアシング・フィルタ処理と組み合わせて、対象帯域への熱ノイズの折返しを除去します。この機能により、折返しノイズの除去に高度に選択的なアンチエイリアシング・フィルタを必要とするナイキスト・レート・コンバータのセトリング時間と比較して、高速の信号セトリング時間が可能になります。一次 Σ - Δ モジュレータは、デシメーション前の量子化ノイズ除去に 2 次 CIC デシメーション・フィルタだけで済むため、高次変調器よりも利点があります。この低次デシメーション・フィルタは、高次フィルタと比較して信号のセトリング時間が短くなっています。ADC フロント・エンドには、プログラマブルな終端抵抗、プログラマブルなゲイン調整、およびプログラマブルな単極ローパス・フィルタ (LPF) が組み込まれています。

バックグラウンド・キャリブレーションは、信号パスのゲイン誤差と非直線性をデジタルで補正します。ADC のノイズ密度はシェーピングされて平坦ではなく、低帯域幅ほど低下しています。2GHz のサンプリング・レートと 100MHz のオフセットという最も厳しい条件での ADC ノイズ密度は、 -147dBFS/Hz です。2GSPS のサンプリング・レートと 100MHz の帯域幅の場合、入力換算ノイズ指数はわずか 0.1dB で、フロント・エンド・ゲインは 40dB です。

このアーキテクチャではフリッカ・ノイズが高くなる可能性があります。同様に、ゼロ IF よりも IF アプリケーションで性能が向上します。同様に、入力換算オフセットは、信号コンバータのダイナミック・レンジ全体を使用する場合を除いて、IF アプリケーションに影響を与えません。低電力モードが用意されており、ノイズ密度が 3dB 増加しますがコンバータの消費電力を半分にできます。

AD9083 の ADC は、特定の使用事例に基づいて初期化および設定する必要があります。図 55 に、AD9083 で使用されている ADC のブロック図を示します。AD9083 の ADC には、アプリケーションで指定された使用事例で ADC を設定するためのユーザ定義変数のセットが必要です。これらの変数は次のとおりです。

- f_s 、コンバータ・コアのサンプリング・クロック (1.0GSPS ~ 2.0GSPS)。
- V_{MAX} 、差動ピーク to ピークの入力フルスケール (0.5Vp-p 差動 ~ 2.0Vp-p 差動)。
- f_c 、LPF のカットオフ周波数 (125MHz ~ 800MHz)。
- R_{TERM} 、差動入力終端抵抗。
- f_{INMAX} 、最大入力信号周波数。
- バックオフ、直線性を高めるためのフロント・エンド・ゲインの減少。
- EN_{HP} 、ADC の消費電力を 2 倍にすることで S/N 比を 2.5dB 増加。

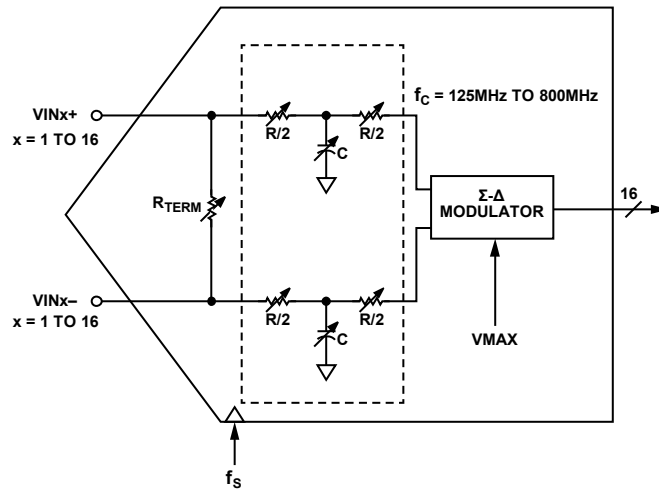


図 55. AD9083 の ADC ブロック図

22923-016

ローパス、CTSD ADC の概要

AD9083 は、電圧制御発振器 (VCO) ベースの CTSD 変調器 ADC を用いて、アナログ入力をデジタル・ワードに変換します。次に、デジタル・ワードは、デシメーション・フィルタ処理、レート調整、DDC 周波数シフト、および FIR フィルタ処理を提供するデジタル・バックエンドによって処理されます。ADC は、1GSPS~2GSPS のレート (f_s) でサンプリングします。 $f_s/16$ までの使用可能な帯域幅の場合、代表的な最大オーバーサンプリング比 (OSR) は 8 です。

ローパス Σ - Δ ADC

図 56 は、低消費電力 Σ - Δ ADC 変調器のシングルエンドの簡略図を示しています。ADC は一次の単段変調器です。NTF は一次です。したがって、対象の信号帯域のノイズを低減するには、比較的高い OSR が必要です。変調器の詳細については、IEEE JSSC2010 および IEEE JSSC2013 を参照してください。

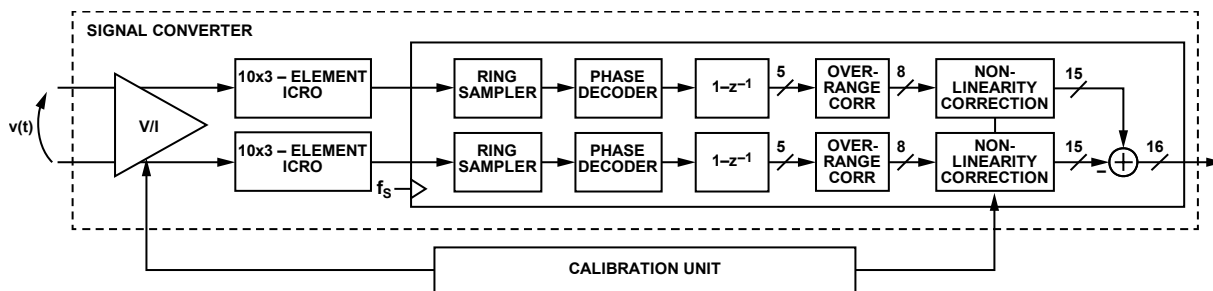


図 56. シングルエンド、低消費電力、 Σ - Δ ADC 変調器の簡略図

22923-019

$f_s/64$ 未満の信号周波数では、主要なノイズ源は白色熱ノイズです。この周波数を超えると、ノイズは 6dB/オクターブで上昇するシェーピングされた量子化ノイズによって支配されます。 $f_s/16$ の最大信号帯域幅では、量子化ノイズが主要なノイズ源です (図 54 を参照)。AC 性能表は、様々な周波数と ADC 設定での NSD の測定値を示しています。

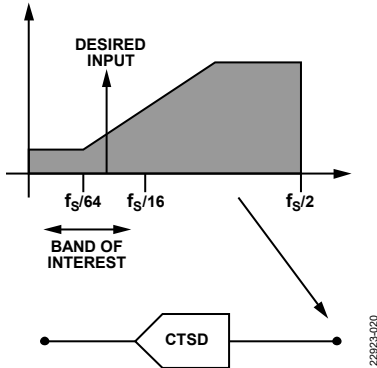


図 57. Σ - Δ ADC のノイズ・シェーピング特性

変調器の後段にあるデジタル・デシメーション・フィルタが、大きな帯域外量子化ノイズを除去し (図 57 参照)、データ・レートも低下させます。

アナログ入力

AD9083 へのアナログ入力は差動バッファ式です。AC カップリング時のバッファの内部共通モード電圧は 1.1V です。DC カップリングの場合、許容レベルは 0.5V~1.0V です。ADC の公称 V_{MAX} レベルは 1.8Vp-p (差動) です。この V_{MAX} レベルは、0.5Vp-p~2.0Vp-p で設定可能です。

AD9083 の入力は、プログラマブルな差動抵抗を用いて終端されます。この差動抵抗は、100 Ω 、200 Ω に設定することも、オープンにしたままにすることもできます。終端抵抗の後段には、プログラマブルな単極 LPF があります。AD9083 の最大信号帯域幅は 2GHz の ADC f_s に対し 125MHz ($f_s/16$) です。LPF の f_c は、ADC への入力ノイズを低減するために 125MHz~800MHz に設定できます。特に、このノイズには f_s 付近に不要な信号が含まれ、対象帯域に折返し誤差が生じる可能性があります。

不要な信号が存在しないアプリケーションの場合、このフィルタのカットオフ周波数を上げると、ADC に必要な信号帯域幅まで信号の平坦性が向上します。最高の ADC ノイズ性能を得るには、IF を $f_s/20$ 未満に設定します。ここで、 f_s は ADC のサンプリング・レートです。

差動入力に関する考慮事項

AD9083 ADC は 1 次 CTSD 変調器アーキテクチャを使用し、1 次量子化ノイズ・シェーピングと固有の 1 次 sinc シェーピングのアンチエイリアシング・フィルタ処理を提供します。このオーバーサンプリングは、固有のアンチエイリアシング・フィルタ処理と組み合わせて、対象帯域への熱ノイズの折返しを除去します。したがって、フロント・エンドにアンチエイリアシング・フィルタは必要ありません。入力は、バラン/トランスまたはアンプを用いて差動結合できます。入力は、AC または DC のいずれのカップリングも可能です。更に、AD9083 入力は抵抗終端されているため、アンプは AD9083 アナログ入力を容易に駆動できます。図 58、図 59、図 60、図 61 は、AD9083 に入力を提供するための一般的に適用可能ないくつかの方法を示しています。

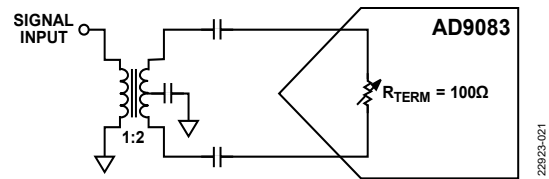


図 58. トランスを用いた AD9083 への AC カップリング入力

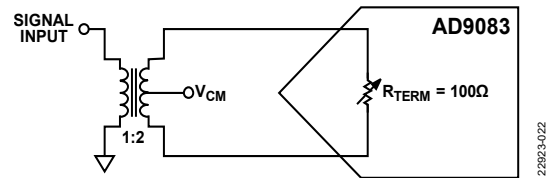


図 59. トランスを用いた AD9083 への DC カップリング入力 (共通モード電圧を供給するセンター・タップ接続に注意)

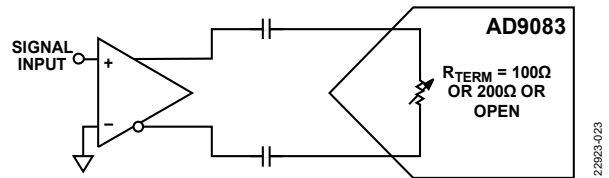


図 60. アンプを用いた AD9083 への AC カップリング入力

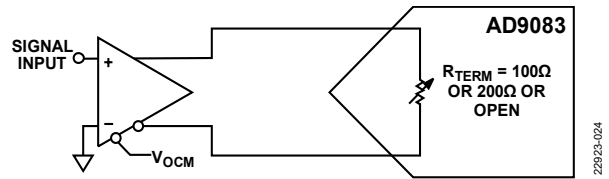


図 61. アンプを用いた AD9083 への DC カップリング入力 (共通モード電圧を供給する V_{OCM} ピンに注意)

Σ-Δ アナログ入力に関する考慮事項

離散時間 ADC は、サンプリング・クロック周波数付近の信号とそれに対応する通倍波を、対象帯域エイリアシングします (図 62 を参照)。したがって、これらの信号を除去するには、外部アンチエイリアシング・フィルタが必要です。

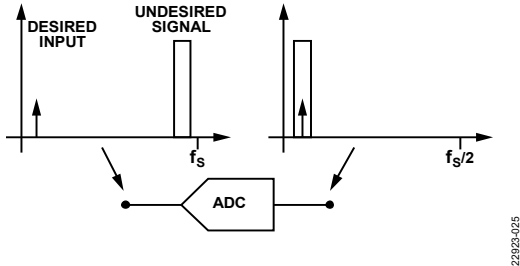


図 62. 離散時間 ADC でのエイリアシング

対照的に、AD9083 で使用されている CTSD 変調器には、アンチエイリアシング・フィルタ処理の条件を軽減する固有のアンチエイリアシングがいくつかあります。アンチエイリアシング特性は、ADC アーキテクチャに固有の信号処理に起因します。ADC に固有の STF は、1 次 sinc フィルタのものです。

更に、単極、1 次のプログラマブルな LPF が ADC に前置されています。このフィルタは、125MHz~800MHz の帯域幅で SPI プログラマブルです。

フロント・エンドでの STF + LPF フィルタ処理により、サンプリング・レート fs 付近の不要な信号のエイリアシングが減少します (図 63 を参照)。

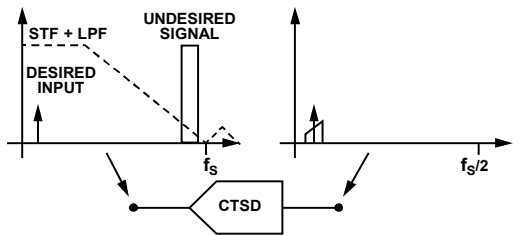


図 63. Σ-Δ ADC のエイリアス除去

入力コモンモード

AD9083 のアナログ入力は、内部で 1.1V に DC バイアスされたプログラマブルな抵抗です。デバイスは通常、公称電圧 0.7V で 0.5V~1.0V のコモンモード入力を想定しています。内部リファレンス・ループは、入力コモンモードを自動的に検出し、入力抵抗ネットワーク端間に電流を供給して、各 R_{IN} 端に適切なコモンモード・レベル・シフトを生成します (図 64 を参照)。AD9083 を駆動する回路は、このコモンモード電流をシンクできる必要があります。電流の値を設定するには、次式を使用します。

$$I_{SINK} = (1.1\text{ V} - V_{CM}) / (R_{IN})$$

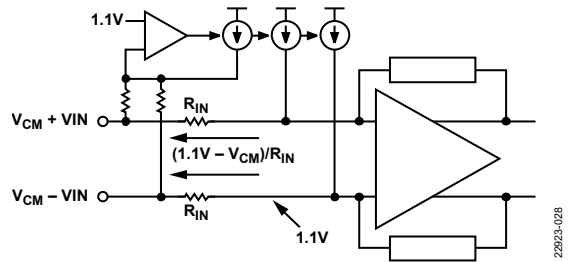


図 64. コモンモード電圧生成を示す AD9083 の入力段

AD9083 は、AC カップリングのアプリケーション用に構成することもできます。この場合、AC カップリング・コンデンサの出力は入力回路によって 1.1V にバイアスされます (図 65 を参照)。

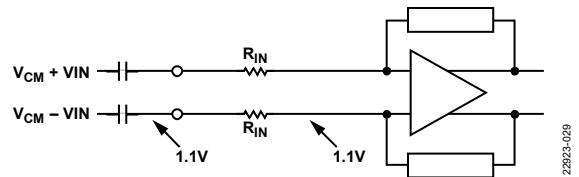


図 65. AD9083 を使用した AC カップリング・アプリケーション

最適な性能を得るには、V_{CM} = 0.7V になるようにデバイスを設定することを推奨します。ただし、このデバイスは、穏当な性能でより広い範囲で機能できます。

入力終端

差動入力終端は、SPI レジスタを介して有効化できます。この終端値は、100Ω、200Ω、またはハイ・インピーダンスのいずれかです。オンチップのフォアグラウンド・キャリブレーションがスタートアップ後に実行され、デバイス・プロセスに関連した許容誤差による抵抗とコンデンサの値のデバイス間での変動を低減します。このキャリブレーションにより、終端値の許容誤差と、前述の LPF の許容誤差が改善されます。

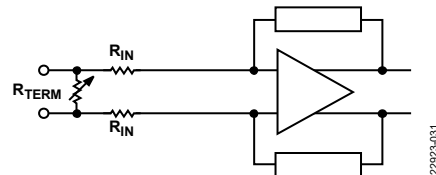


図 66. AD9083 のプログラマブルな入力終端

入力信号の過負荷

従来の CTSD ADC とは異なり、AD9083 の ADC はフラッシュ・コンバータのように飽和します。ADC は (従来の CTSD ADC のように) 不安定になることはなく、回復時間は 1 クロック・サイクルです。

クロック入力

AD9083 ADC のサンプリング・クロックは、CLK±差動入力（ピン K3 およびピン J3）にリファレンス・クロック信号を与えることにより、オンチップの統合化されたインテジャ-PLL VCO で生成されます。クロック通倍にはオンチップ ADC PLL が使われますが、この PLL は、目的の ADC サンプリング・レートの分周値で動作するリファレンス・クロックを使用します。クロック通倍器のリファレンス入力の動作範囲は 50MHz～500MHz です。次に、PLL はリファレンス・クロックを目的の ADC サンプリング・クロック周波数まで通倍して、AD9083 内のすべてのクロックを生成します。オンチップ PLL のブロック図を図 68 に示します。

AD9083 は、差動クロック源に直接インターフェースすることのできる低ジッタの差動クロック・レシーバーを内蔵しています。入力は、100Ω の公称インピーダンスで自己バイアスされます。クロック源を CLK±入力ピンに AC カップリングすることを推奨します。クロック入力レベルを上げることで、位相ノイズ性能を改善できます。クロック源の品質、および AD9083 クロック入力へのインターフェースは、AC 性能に直接影響します。クロック源の位相ノイズ特性とスプリアス特性は、ターゲット・アプリケーションの条件に合わせて選択してください。AD9083 を 2GHz のサンプリング・レートでクロックする場合のオンチップ PLL の代表的な位相ノイズ性能を図 67 に示します。

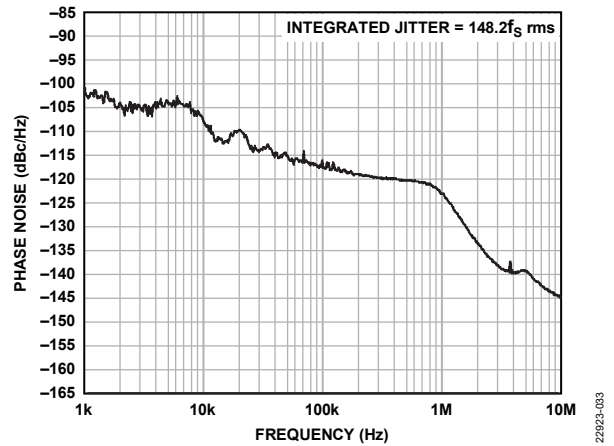


図 67. AD9083 オンチップ PLL の位相ノイズと周波数オフセットの関係、2GHz ADC サンプリング・レート、オンチップ DDC を有効化

オンチップ PLL で最適な性能を得るには、低 ESR、低 ESL、X7R 誘電体の 2.2μF コンデンサを REG_VCO ピンと GND の間に接続します。更に、VCOARSE_VCO ピンと GND の間に C0G または NP0 誘電体の 33nF コンデンサを接続します。これらのコンデンサは、外部ノイズの結合を避けるために、AD9083 チップのできるだけ近くに配置します。

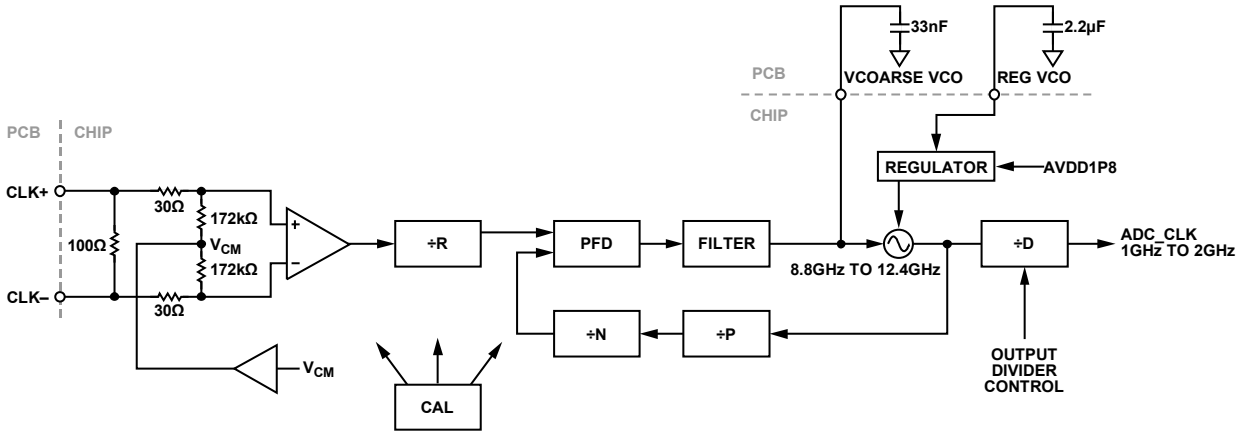


図 68. AD9083 クロック・パスのブロック図

電力モード

AD9083 は、達成される省電力とフル・パワーオンまでのウェイクアップ時間の間のトレードオフに基づいて、AD9083 の特定のブロックまたはチップ全体のパワーダウンを可能にする、低消費電力モードを備えています。以下のセクションでは、AD9083 内で使用可能なパワーダウン・モードについて説明します。すべてのモードは SPI を介して制御します。

フル・パワーダウン・モード

フル・パワーダウン・モードでは、AD9083 内のほとんどすべてのブロックが低消費電力モードに保持されるため、最大の省電力が実現されます。ただし、この省電力により、ウェイクアップ時間が遅くなります。ADC の内部リファレンス、オンチップ・クロック PLL、および JESD204B PLL の電源はオンになります。このモードの解除時に、ADC は再度キャリブレーションを実行する必要があります。オンチップ・クロック PLL と JESD204B PLL は、通常の性能を実現するために再ロックする必要があります。

スタンバイ・モード

スタンバイ・モードでは、一部のブロックは動作を維持しながら、他のブロックはクロック・ゲート・モードで保持されるため中程度の省電力になりますが、フル・パワーダウン・モードに比べてウェイクアップ時間が短縮されます。ADC コア、オンチップ・クロック PLL、JESD204B PLL、およびデジタル出力はオンのままです。デジタルおよび JESD204B フレーム・ブロックはクロック・ゲートされます。JESD204B リンクは、このモードの解除時に再初期化する必要があります。

パワーオン・モード

パワーオン・モードは、AD9083 の通常の動作モードです。AD9083 内のすべてのブロックの電源がオンになり、定格周波数で実行されます。ただし、通常の動作時に電力を更に削減するために、実行する必要のないデジタル部分を選択的にクロック・ゲートできます。例えば、アプリケーションで数値制御発振器 (NCO) / ミキサーが 1 つだけ必要な場合は、他の 2 つの NCO / ミキサーを無効化できます。JESD204B レーンについても同様のことが当てはまります。未使用のレーン電源をオフにできます。

温度ダイオード

AD9083 には、ダイオード・ベースの温度センサーが備わっています。これらのダイオードの出力電圧は、シリコンの温度に対応しています。ダイオードが対をなしており、一方のサイズは他方の 20 倍になっています。ダイ温度の予測は、正確を期すために、2 個のダイオードを両方とも使用して行うことを推奨します。詳細については、アプリケーション・ノート AN-1432 *ハイパワー IC の実用的な熱モデリングと測定* を参照してください。温度ダイオードの電圧は、SPI を使って TD ピンにエクスポートできます (図 69 を参照)。

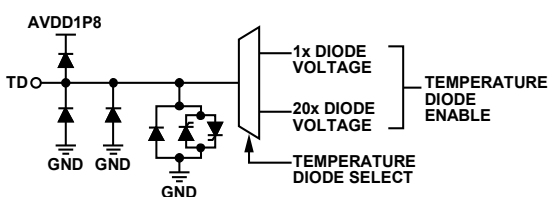


図 69. SPI を使用した TD ピン

デジタル信号処理の概要

CTSD ADC では、CTSD ADC 出力と JESD204 トランスミッタ・コアの間にデジタル処理ブロックが配置されています。デジタル信号処理ブロックは、ダイナミック・レンジの損失なしに、IF 信号をフィルタ処理して、ホストによる後処理に適したゼロ IF 信号に変換できます。このブロックには、プログラマブルな CIC デシメーション・フィルタ、NCO を備えたミキサー、および高度にプログラマブルな多段デシメーション FIR フィルタが含まれています。図 70 に、デジタル機能ブロックの簡略図を示します。わかりやすくするために、図 70 には、**信号処理タイル**のセクションで説明されているデジタル・データパス・ルーティング・オプションは示されていません。

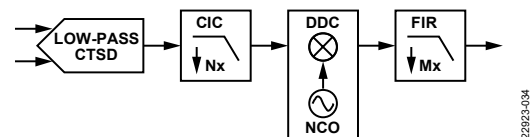


図 70. デジタル機能ブロックの簡略図

CTSD ADC は、目的の IF 信号通過帯域と帯域外にシェーピングしたノイズを含む、大きくオーバーサンプリングされたデジタル出力を供給します。図 71 に、処理前の ADC 出力のスペクトルを示します。

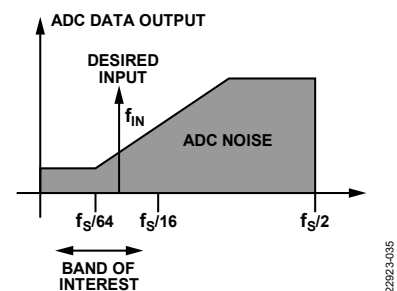


図 71. 処理前の ADC 出力のスペクトル

デジタル信号パスは、最初に ADC 出力データをフィルタ処理し、 N_x でデシメーションします。クロック・レートの削減や周波数変換の前に、帯域外の量子化ノイズの大部分を除去する必要があります。図 72 に、デシメータ出力の周波数スペクトルを示します。

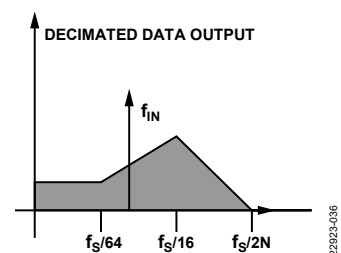


図 72. デシメータ出力の周波数スペクトル

次に、DDC を有効化すると周波数変換を実行できます。通常、この周波数変換は、中間 IF からゼロ IF または非常に低い IF までの変換です。図 73 は、DDC 出力の出力スペクトルの代表的なものを示しています。

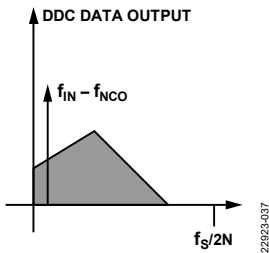


図 73. DDC 出力の出力スペクトル

最後に、FIR では、ベースバンド信号をフィルタ処理して、JESD204B インターフェースを介した転送に適したはるかに低いデータ・レートにダウン・サンプリングできます。図 74 は、ベースバンド信号の FIR フィルタ出力での出力スペクトルの代表例を示しています。

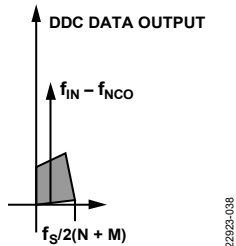


図 74. ベースバンド信号の FIR フィルタ出力での出力スペクトル

JESD204B の出力データ・フォーマットを選択するときは注意が必要です。12 ビットと 16 ビットの両方のデータ・モードが利用可能ですが、ベースバンド信号に重大な切り捨てノイズを付加しないようなワード長を慎重に選択する必要があります。非常に狭帯域のベースバンド・アプリケーションでは、FIR 出力データで S/N 比値が高くなる場合があります。どんな場合でも、切り捨てノイズ密度はベースバンドの NSD をはるかに下回ります。

次式は、切り捨て誤差の量子化ノイズ密度を示しています。

$$NSD_{TRUNCATION} = 20\log_{10}(2^{BITS}) + 10\log_{10}(BW_{BASEBAND})$$

例えば、12 ビットの JESD204B データと 2MHz のベースバンド帯域幅の場合、切り捨て誤差の NSD はわずかに -135dBFS ですが、ADC のノイズ・フロアをはるかに上回っています。この狭帯域の例では、切り捨て誤差を、すべての IF 条件で ADC ノイズ・レベルを大幅に下回る値である -159dBFS に減らすためには 16 ビットが必要です。

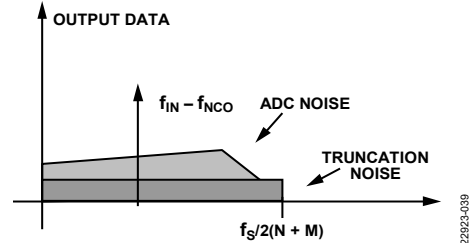


図 75. 切り捨て誤差の影響を受けない ADC ノイズを示す例

ADC ノイズ・フロアをはるかに超える切り捨て誤差は、ノイズ・フロアに付加されるだけでなく、切り捨てノイズが入力信号と相関している場合には、この誤差によってスプリアス成分が付加される可能性があります。

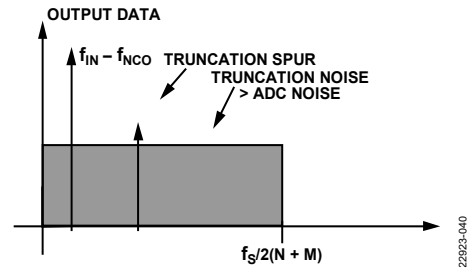


図 76. 切り捨て誤差の影響を受ける ADC ノイズを示す例

信号処理タイル

各 ADC には、帯域外にシェーピングされた Σ - Δ ADC からのノイズをフィルタで除去し、サンプリング・レートを低下させるための信号処理タイルがあり、合計すると 16 個のタイルとなります (図 77 を参照)。

各タイルには、CIC フィルタと、複数の FIR デシメーション・フィルタ (J フィルタ・ブロックによるデシメーションと呼ばれる) を備えた DDC が含まれています。J フィルタ・ブロックによるデシメーションは、直交ミキサー/NCO の有無にかかわらず使用できます。データ・ゲーティング・アプリケーションの場合、平均化フィルタ G (データを選択してデシメーションする) を使用する最大 3 つの直交 DDC チャンネルがあります。

これらの処理ブロックはそれぞれ複数の制御ラインを備えており、個別に有効化または無効化して、必要な処理機能を提供することができます。アプリケーションの使用例に適したデータを送信するために、処理タイル内でマルチプレクサを有効化します。マルチプレクサによるデータパスの選択を行うためのレジスタ・ビットを図 67 に示します。

信号処理タイルに使用できる NCO は 3 つ (NCO₀~NCO₂) あり、ミキサーごとに 1 つずつあります。NCO₀ および NCO₃ は、デバイスがデータ・ゲーティング用に構成されている場合にのみ使用されます。同じ 3 つの NCO が、16 個の信号処理タイルすべてで使用されます。

信号処理タイルは、実数データまたは複素データのいずれかを出力するように構成可能です。ミキサーを使用すると、出力は複素データになります。信号処理タイルは 16 ビット・ストリー

ムを出力します。この動作を有効化するには、コンバータのビット数 N をデフォルト値の 16 に設定します。

一般的な高性能 RF アプリケーションの場合、ADC はゼロ IF 入力用の実数出力または低 IF 入力用の直交出力のいずれかを出力できます。信号処理タイルを通るデータパスは、J フィルタによる複数の FIR デシメーションを使用し、オプションでミキサー/NCO₀ ブロックを用いた周波数変換が可能です。このデータパスは、非バースト・モード・データパスと呼ばれます。

ステップ周波数変調バースト (SFCW) を使用するアプリケーションの場合、セトリングに時間を要します。データ・ゲーティングは、デシメーション前に平均化を行うためのパルス・バーストの有効サンプル数 (G) を選択するために使用されます。デシメーションにより、データ・サンプル数が 1/H 減少します。このデータパスはバースト・モードと呼ばれます。バースト・モードでは、各入力チャンネルに 3 つの直交 DDC が提供されます。すべてのチャンネルは同様に設定しますが、チャンネル内の個々の DDC と平均化 FIR フィルタは異なる周波数に設定できます。

JESD204B の出力ライン・レート制限 (16Gbps/レーン) と使用可能なレーン数 (4) により、16 個の信号処理タイルすべてからの合計スループットが最大許容ライン・レートを超えないように注意する必要があります。したがって、CIC フィルタ・デシメーション、J デシメーション、または平均化 (H) デシメーションのすべての組み合わせがサポートされているわけではありません。

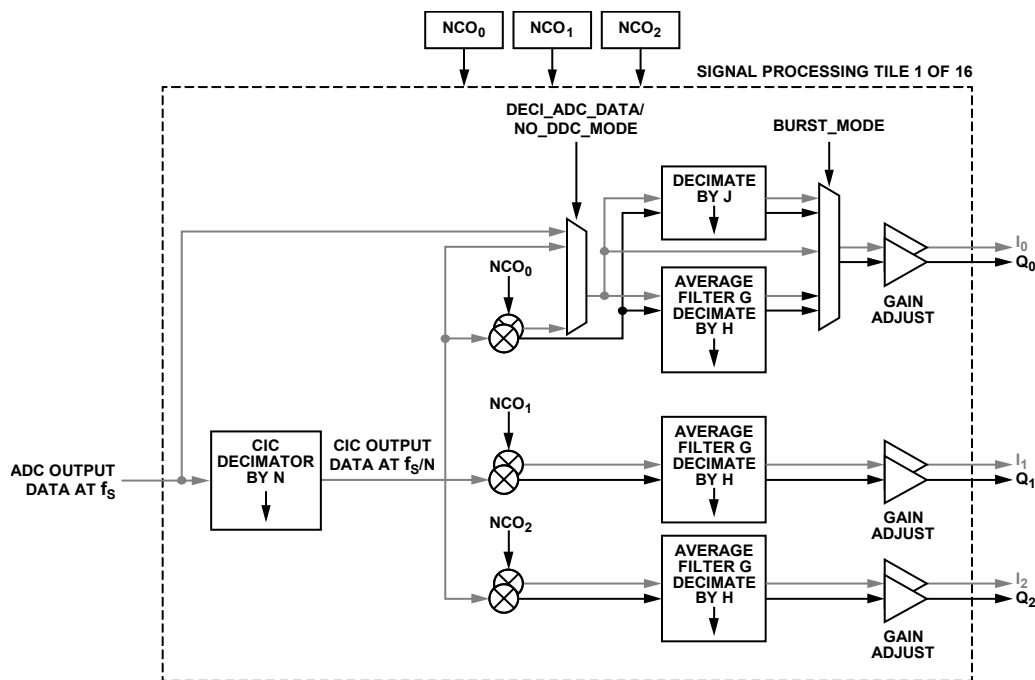


図 77. 各 ADC チャンネルの後段にある信号処理タイル (16 個のうちの一つ)

22923-041

カスケード・インテグレータ・コーム (CIC) フィルタ

各 ADC からのデータは CIC フィルタに送られます。CIC フィルタはバイパスすることが可能で、ADC データを DDC に送ってデータをデシメーションできます。これは、DP_CTRL レジスタの DECI_ADC_DATA ビット (DB4 ビット) に 1 を書き込むことで有効化されます。このモードでは、ミキサーはバイパスされます。そのため、周波数シフトは利用できません。

AD9083 に組み込まれている CIC フィルタの周波数応答は、長さ N の 2 次移動平均化フィルタの周波数応答と同じです。ここで、N はデシメーション・レシオです。許可されるデシメーション・レシオは、設定に応じて 4 倍、8 倍、または 16 倍です。CIC フィルタの出力は、 f_s/N のレートでの単一 16 ビット・データ・サンプルです。ここで、 f_s は ADC サンプルング・レート、N は CIC デシメーション・レシオの設定です。

様々なデシメーション設定での CIC フィルタの応答を図 78 に示します。応答は ADC サンプルング周波数 (f_s) に正規化されています。この正規化は、エンドユーザが周波数を計画するのに役立ちます。例えば、ADC の f_s が 2GSPS で、基本周波数を 100MHz に設定した場合、CIC デシメーション・レシオが 4 倍では 1.09dB、8 倍では 4.77dB、16 倍では 25.17dB の CIC 損失が発生します。したがって、このアプリケーションの使用例では、4 倍の CIC デシメーション・レシオを選択し、DDC デシメーションに依存してデータを更にデシメーションするのが最善です。

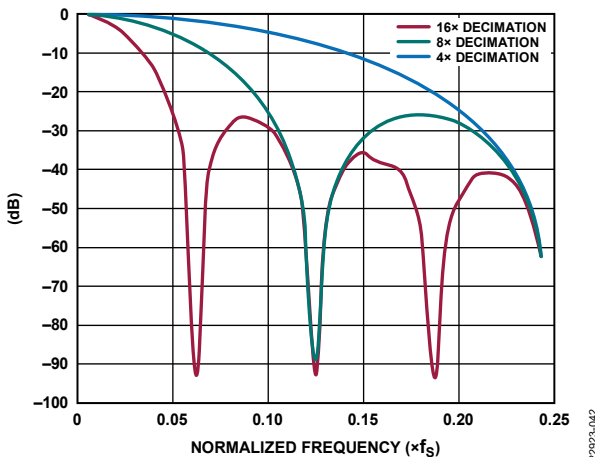


図 78. デシメーション・レシオ = 4 倍、8 倍、16 倍の CIC フィルタ 応答。 f_s に正規化

プログラマブルなゲイン調整で CIC ドロップを調整します。 サンプルング周波数ごとに、トーンは異なる周波数値となるため、 必要なドロップ補正の値は異なります。図 79 は、ドロップ特性 をより詳細に示しています。

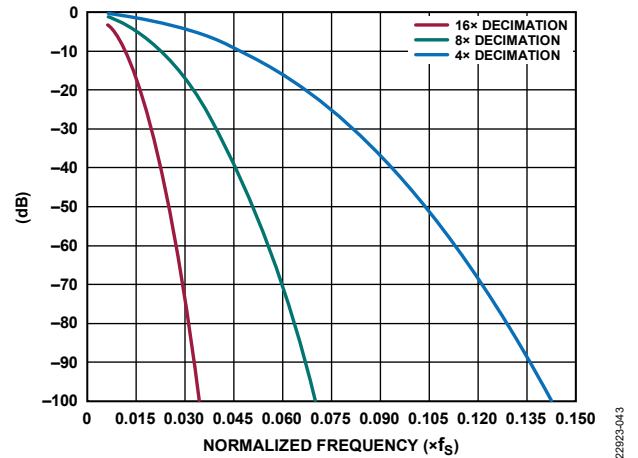


図 79. 図 78 に示す CIC フィルタ応答の拡大画像。 f_s に正規化

AD9083 のデジタル・データパスには、ドロップ補償のためにゲインを設定可能なブロックがあります。アプリケーションと入力周波数に基づいて適切なゲインを設定し、CIC フィルタを介して損失を補償することができます。損失補償のためのゲイン設定は、次のように計算します。

$$\text{フラクショナル・ビットの計算} \geq \text{frac}(10^{-(\text{Droop}/20)}) \times 2^{10}$$

例えば、入力周波数が 25MHz の場合、異なる周波数の異なる CIC デシメーション・レシオでのドロップ補償に必要なゲイン設定を表 18 に示します。図 79 に示すように、システムで AD9083 を設計する際は、CIC のロールオフを考慮する必要があります。原則として、IF は出力データ・レートの 20%以内に抑えます。例えば、システムの最高周波数が 100MHz の場合、4 倍の CIC デシメーションを推奨します。逆に、16 倍の CIC デシメーションを選択する場合は、IF を 25MHz 未満に保ちます。

CIC ゲインは、符号なし 4.10 ワードとして設定します。最初の 4 ビットはゲインのインテジャー部分を表し、次の 10 ビットはゲインのフラクショナル部分を表します。

表 18. 様々な CIC フィルタのロールオフ値に対するゲイン補償の設定例。 $f_s = 2\text{GHz}$

Frequency (MHz)	4x Decimation		8x Decimation	
	CIC Droop (dB)	Gain Compensation (Unsigned 4.10)	CIC Droop (dB)	Gain Compensation (Unsigned 4.10)
25	-0.0669177	0001_00_0000_1000	-0.28	0001_00_0010_0010
50	-0.2687053	0001_00_0010_0000	-1.14	0001_00_1001_0000

非バースト・モードのデータパス

図 80 は、非バースト・モードのデータパスでの信号処理構成を示しています。入力データは、ADC から直接、または CIC フィルタの出力を介して入力できます。データパスは、DP_CTRL レジスタ (レジスタ 0x116) で設定可能なマルチプレクサを用いて、データを適切にルーティングします。マルチプレクサの制御ビットを図 80 に示します。

- DP_CTRL レジスタの NO_DDC_MODE ビット (レジスタ 0x0116 のビット 1) は、NCO/ミキサーをバイパスします (周波数変換が不要な場合)。
- DP_CTRL レジスタの BURST_MODE ビット (レジスタ 0x0116 のビット 2) は、J フィルタ・ブロックによるデシメーションを選択します。

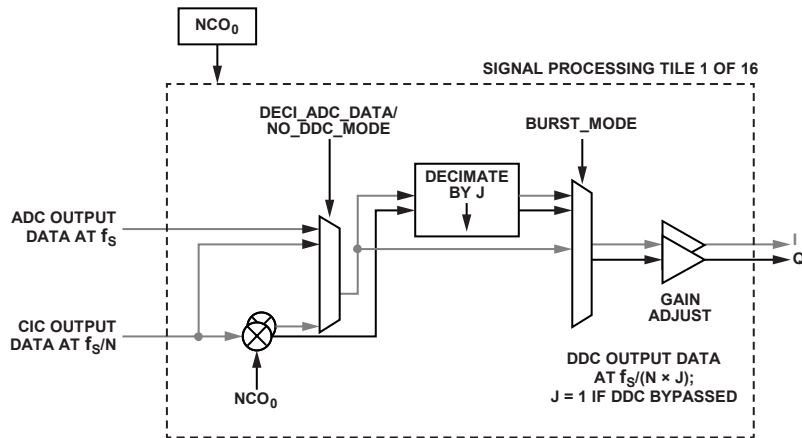


図 80. 各 ADC チャンネルの後段にある信号処理タイル内の非バースト・モード・データパス (16個のうちの1つ)

J フィルタによるデシメーション

周波数変換段の後には、出力データ・レートを低下させる複数のデシメーション・フィルタ段があります。対象となる搬送波を DC までチューン・ダウンした後は（搬送波周波数 = 0Hz）、これらのフィルタがサンプリング・レートを効果的に低下させると同時に、対象帯域幅付近の不要な隣接搬送波から十分にエイリアスを除去します。

J ブロックによるデシメーションに ADC から直接データが供給される場合、ミキシング・オプションはありません。デシメーションのみが行われます。有効な J デシメーション・オプションは、J ブロックによるデシメーションの前のパスによって決定されます。表 19 に、入力データパスによって決定される利用可能な J デシメーションのオプションを示します。

表 19 に示すように、J ブロックによるデシメーションは、1、4、8、10、12、16、20、24、30、40、60 のデシメーション・レシオをサポートします。

1、4、10、30 のデシメーション・レシオは、CIC をバイパスしていない場合にのみ有効です（例えば、DECI_ADC_DATA が 0 の場合）。

図 81 に、J フィルタによるデシメーションの詳細なブロック図を示します。

表 12 に、様々な FIR フィルタ・ブロックのフィルタ特性を示します。

表 21 には、異なるフィルタを組み込むことによって選択できる、様々なフィルタ構成を示しています。いずれの場合も、J フィルタ処理ステージによるデシメーションは、利用可能な出力帯域幅の 81.4%、±0.005dB 未満の通過帯域リップル、および 100dB を超えるストップ・バンドでのエイリアス除去を実現します。表 22 に、AD9083 で使用されている様々な有限インパルス応答 (FIR) フィルタの係数を示します。

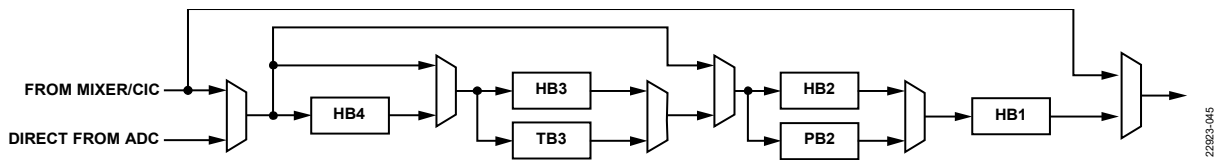


図 81. J フィルタによるデシメーションのブロック図

表 19. J デシメーション・レート

CIC Filter and NCO0/Mixer Bypassed (DECI_ADC_DATA = 1 and NO_DDC_MODE = 1)	CIC Filter Enabled and NCO0/Mixer Bypassed (DECI_ADC_DATA = 0 and NO_DDC_MODE = 1)	CIC Filter and NCO0/Mixer Enabled (DECI_ADC_DATA = 0 and NO_DDC_MODE = 0)
Invalid	1 (bypass mode)	1 (bypass mode)
Invalid	4	4
8	8	8
Invalid	10	Invalid
12	12	Invalid
16	16	16
20	20	Invalid
24	24	Invalid
40	40	Invalid
Invalid	30	Invalid
60	60	Invalid

表 20. デシメーション・フィルタの特性

Filter Name	Decimation Ratio	Pass Band (rad/sec)	Stop Band (rad/sec)	Pass-Band Ripple (dB)	Stop Band Rejection (dB)
HB4	2	$0.1 \times \pi/2$	$\pi/2 \times 1.9$	<±0.001	>100
HB3	2	$0.2 \times \pi/2$	$\pi/2 \times 1.8$	<±0.001	>100
HB2	2	$0.4 \times \pi/2$	$\pi/2 \times 1.6$	<±0.001	>100
HB1	2	$0.8 \times \pi/2$	$\pi/2 \times 1.2$	<±0.001	>100
TB3	3	$0.3 \times \pi/3$	$\pi/3 \times 1.8$	<±0.001	>100
PB2	5	$0.4 \times \pi/5$	$\pi/5 \times 1.6$	<±0.001	>100

表 21. DDC フィルタの構成

DDC Input Sample Rate ¹	DDC Filter Configuration	Decimation Ratio	Output Bandwidth
f_{IN}	Not applicable	1	$-f_{IN}$ to $+f_{IN}$
	HB1 + HB2	4	$0.814 \times (-f_{IN}/4$ to $+f_{IN}/4)$
	HB1 + HB2 + HB3	8	$0.814 \times (-f_{IN}/8$ to $+f_{IN}/8)$
	HB1 + PB2	10	$0.814 \times (-f_{IN}/10$ to $+f_{IN}/10)$
	HB1 + HB2 + TB3	12	$0.814 \times (-f_{IN}/12$ to $+f_{IN}/12)$
	HB1 + HB2 + HB3 + HB4	16	$0.814 \times (-f_{IN}/16$ to $+f_{IN}/16)$
	HB1 + PB2 + HB3	20	$0.814 \times (-f_{IN}/20$ to $+f_{IN}/20)$
	HB1 + HB2 + TB3 + HB4	24	$0.814 \times (-f_{IN}/24$ to $+f_{IN}/24)$
	HB1 + PB2 + TB3	30	$0.814 \times (-f_{IN}/30$ to $+f_{IN}/30)$
	HB1 + PB2 + HB3 + HB4	40	$0.814 \times (-f_{IN}/40$ to $+f_{IN}/40)$
	HB1 + PB2 + TB3 + HB4	60	$0.814 \times (-f_{IN}/60$ to $+f_{IN}/60)$

¹ $f_{IN} = f_s/CIC_DEC_RATIO$ 、ここで f_s は ADC のサンプリング・レートです。

表 22. AD9083 の様々な FIR フィルタの DDC フィルタ係数

Coefficient Number	HB1	HB2	HB3	HB4	TB3	PB2
1	21'h1FFFF4	19'h000B4	17'h1FF91	19'h006D2	17'h00000	20'h00000
2	21'h00000	19'h00000	17'h00000	19'h00000	17'h00000	20'hFFFF9
3	21'h00002C	19'h7FA7E	17'h0039C	19'h7CBA8	17'h1FFE4	20'hFFFEE
4	21'h00000	19'h00000	17'h00000	19'h00000	17'h1FFA8	20'hFFFE6
5	21'h1FFF8C	19'h01766	17'h1EFC4	19'h12D86	17'h00000	20'h00000
6	21'h00000	19'h00000	17'h00000	19'h20000	17'h001F8	20'h0005A
7	21'h000102	19'h7B3EB	17'h04D0F	19'h12D86	17'h003F0	20'h000F6
8	21'h00000	19'h00000	17'h08000	19'h00000	17'h00000	20'h0018A
9	21'h1FFDFC	19'h1397E	17'h04D0F	19'h7CBA8	17'h1F352	20'h00178
10	21'h00000	19'h20000	17'h00000	19'h00000	17'h1EAB6	20'h00000
11	21'h0003B4	19'h1397E	17'h1EFC4	19'h006D2	17'h00000	20'hFFCD0
12	21'h00000	19'h00000	17'h00000		17'h03E55	20'hFF8B0
13	21'h1FF9A0	19'h7B3EB	17'h0039C		17'h088D8	20'hFF5DC
14	21'h00000	19'h00000	17'h00000		17'h0AAAA	20'hFF77C
15	21'h000A6E	19'h01766	17'h1FF91		17'h088D8	20'h00000
16	21'h00000	19'h00000			17'h03E55	20'h00F00
17	21'h1FEFA7	19'h7FA7E			17'h00000	20'h01F90
18	21'h00000	19'h00000			17'h1EAB6	20'h02894
19	21'h0018C0	19'h000B4			17'h1F352	20'h01FF2
20	21'h00000				17'h00000	20'h00000
21	21'h1FDB90				17'h003F0	20'hFCD26
22	21'h00000				17'h001F8	20'hF98A4
23	21'h003492				17'h00000	20'hF7DEE
24	21'h00000				17'h1FFA8	20'hF9A1E
25	21'h1FB50C				17'h1FFE4	20'h00000
26	21'h00000				17'h00000	20'h0AD60
27	21'h006AD4				17'h00000	20'h186CA
28	21'h00000					20'h25CC0
29	21'h1F64EC					20'h2F99B
30	21'h00000					20'h33330
31	21'h00ED96					20'h2F99B
32	21'h00000					20'h25CC0
33	21'h1E5BAE					20'h186CA
34	21'h00000					20'h0AD60
35	21'h0512F9					20'h00000

Coefficient Number	HB1	HB2	HB3	HB4	TB3	PB2
36	21'h080000					20'hF9A1E
37	21'h0512F9					20'hF7DEE
38	21'h000000					20'hF98A4
39	21'h1E5BAE					20'hFCD26
40	21'h000000					20'h000000
41	21'h00ED96					20'h01FF2
42	21'h000000					20'h02894
43	21'h1F64EC					20'h01F90
44	21'h000000					20'h00F00
45	21'h006AD4					20'h000000
46	21'h000000					20'hFF77C
47	21'h1FB50C					20'hFF5DC
48	21'h000000					20'hFF8B0
49	21'h003492					20'hFFCD0
50	21'h000000					20'h000000
51	21'h1FDB90					20'h00178
52	21'h000000					20'h0018A
53	21'h0018C0					20'h000F6
54	21'h000000					20'h0005A
55	21'h1FEFA7					20'h000000
56	21'h000000					20'hFFFE6
57	21'h000A6E					20'hFFFEE
58	21'h000000					20'hFFF9
59	21'h1FF9A0					20'h000000
60	21'h000000					
61	21'h0003B4					
62	21'h000000					
63	21'h1FFDFC					
64	21'h000000					
65	21'h000102					
66	21'h000000					
67	21'h1FFF8C					
68	21'h000000					
69	21'h00002C					
70	21'h000000					
71	21'h1FFFF4					

バースト・モードのデータパス

図 82 に、AD9083 の 1 つの信号処理タイルのバースト・モード・データパスのブロック図を示します。CIC フィルタからのデータは、 f_s/N ($N = 4, 8, 16$) のレートで 3 つの DDC チャンネルに同時に送ることができます。各 DDC には、出力を DC に調整するための 7 ビット NCO が供給されるミキサーがあります。使用する DDC の数は設定可能です。NCO は様々な周波数に設定でき、最大 3 つのトーンの周波数変換が可能です。トーン数は、DP_CTRL レジスタ (レジスタ 0x116) の NUM_TONES ビット

(ビット [DB6:5]) で定義します。平均化フィルタでは、プログラマブルなパルス・バーストの最後の有効サンプル数が G に、プログラマブルなデシメーション値が H になります。バーストのタイミングは、TRIG 入力または SYSREF のいずれかによります。

バースト・モードでは、J フィルタ・ブロックによるデシメーションはバイパスされます。このバイパスは、DP_CTRL レジスタの BURST_MODE ビット (ビット DB2) によって有効化します。

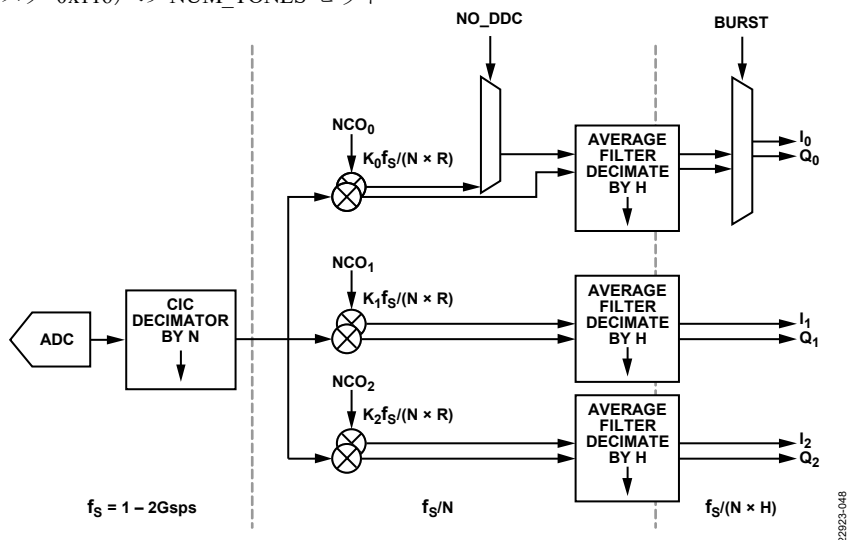


図 82. データパスを示す平均化フィルタの例

平均化フィルタ

平均化フィルタは、バースト・モードのデータパスで使用されます。従来のデシメーション・フィルタとは対照的に、平均化フィルタは、既知の周波数の単一連続波 (CW) トーンの位相と振幅を決定するように設計されています。すべての H ウィンドウ内でデータが安定している場合、フィルタは G サンプルを平均化します。

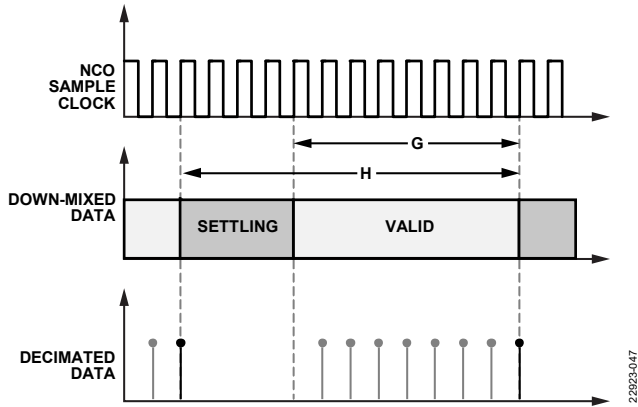


図 83. フィルタの平均化

平均化フィルタには、最大 3 つの異なる CW トーンを提供するオプションがあります。各信号処理タイルのフィルタは、最大 3 つの NCO を使用できます。3 つの NCO は、各チャンネルで共有されます。例えば、チャンネル 15 はチャンネル 2 と同じ 3 つの周波数を使用する必要があります。

複数の CW トーンと共にバースト・モード・データパスを使用する場合、トーンの周波数 (f_k) は次式で計算する必要があります。

$$f_k = K \times \frac{f_s}{N \times G}$$

ここで、

f_s は、サンプリング周波数。

N は、CIC の N デシメーション。

G は、G 値。

周波数 1 では $K=1$ 、周波数 2 では $K=2$ 、周波数 3 では $K=3$ 。

サポートされている G の値は 8 と 16 です。G が 8 の場合、サポートされている H の値は 12、14、16、18 です。G が 16 の場合、サポートされている H の値は 24、28、32、36 です。

フィルタ平均化の例

この例では、サンプリング・レートは 1.6GSPS、N デシメーション = 4、G = 16 です。

- $f_{NCO1} = 1 \times (1.6e9 / (4 \times 16)) = 25\text{MHz}$
- $f_{NCO2} = 2 \times (1.6e9 / (4 \times 16)) = 50\text{MHz}$
- $f_{NCO3} = 3 \times (1.6e9 / (4 \times 16)) = 75\text{MHz}$

選択した NCO 周波数のフィルタ・ヌルに 2 つの不要な周波数を配置して除去されるように、周波数をこのように設定することが必要です。この例では、 NCO_0 は 25MHz トーンのみを許可し、50MHz および 75MHz トーンを除去します。同様に、 NCO_1 は 50MHz トーンのみを許可し、25MHz および 75MHz トーンを除去します。データパスの各ステージでの平均化フィルタ周波数の応答については、[図 84](#) を参照してください。

- $f_s = 1.6\text{GSPS}$ 、CIC デシメーション = 8、G = 16、

H デシメーション = 24。

いずれの場合も、観測される入力周波数は NCO 周波数と同じでなければなりません。つまり、ADC の出力は DC のようになります。I 出力と Q 出力の DC 値を調べることで、元の CW トーンの位相と振幅を決定できます。

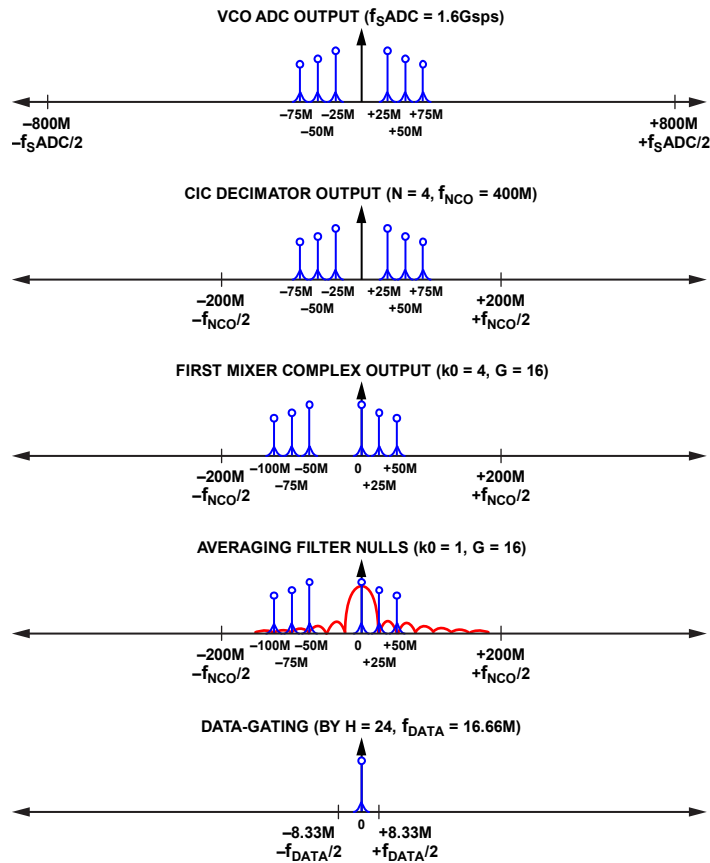


図 84. 平均化フィルタ例の周波数応答

ミキサー

非バースト・モードの RF アプリケーションの場合、周波数変換に NCO_0 /ミキサーを使用する DDC_0 を選択できます。実数データ出力が必要なアプリケーションでは、ミキサーをバイパスできます。

バースト・モードを使用するデータ・ゲーティング・アプリケーションの場合、3つのミキサーを使用できます。これらのミキサーは、3つの異なる周波数に設定可能な NCO によって提供され、複数の周波数変換が可能です（平均化フィルタのセクションを参照）。

NCO FTW の概要

AD9083 には、 $NCO_0 \sim NCO_2$ という同一の 3つの NCO があります。各 NCO は、複素指数周波数 ($e^{-j\omega t}$) を生成することで周波数変換プロセスを可能とします。この周波数を入力スペクトルと混合して目的の周波数帯域を DC に変換し、エイリアシングを防止するために後続の LPF ブロックでフィルタ処理できます。 NCO 周波数のチューニング・ワード (FTW) は 7ビット幅です。 NCO 出力は 12ビットです。16個の信号処理タイルはすべて、同じ 3つの NCO ($NCO_0 \sim NCO_2$) からの出力を使用します。

次式によって NCO の FTW を計算できます。

$$NCO_FTW = \text{floor} \left(2^7 \frac{\text{mod}(f_C, f_{IN})}{f_{IN}} \right)$$

ここで、

NCO_FTW は、 NCO の FTW を表す 7ビットの 2の補数。

f_C は、目的の搬送周波数。

f_{IN} は、 DDC への入力周波数。

$$f_{IN} = \frac{f_s}{CIC_DEC_RATIO}$$

ここで、 CIC_DEC_RATIO は CIC デシメーション・レシオで、1、4、8、または 16 を選択できます。

$\text{mod}(x)$ は剰余関数です。（例： $\text{mod}(110,100)=10$ 、負数の場合は $\text{mod}(-32,10)=-2$ ）。

$\text{floor}(x)$ は x 以下で最も大きい整数として定義されます。（例： $\text{floor}(3.6)=3$ ）。

FTW の計算例

この例では、ADC サンプルング・レート (f_s) は 2GHz です。 CIC_DEC_RATIO は 4 に設定しています。目的の f_C は 100MHz です。この値を上式に代入すると、 NCO_FTW 値は 26 になります。

FTW からの f_c 計算

上記の例の実際の f_c は、次のように計算できます。

$$Actual_f_c = \frac{NCO_FTW \times f_{IN}}{2^7}$$

上記の例では、実際のチューニング周波数は次のとおりです。

$$Actual_f_c = \frac{26 \times \left(\frac{2 \text{ GHz}}{4} \right)}{2^7} = 101.5625 \text{ MHz}$$

このセクションの例では、必要な周波数が 100MHz であるにもかかわらず、実際のチューニング周波数が約 1.5% ずれているこ

とがわかります。システム設計者はこの現象を認識し、ロジック・デバイスの周波数プランを調整することが重要です。この分解能を上げる 1 つの方法は、CIC デシメーション・レシオを増やすことです。前の例で、CIC デシメーション・レシオを (4 ではなく) 8 に増やすと、NCO_FTW の値は 51 になり、99.6094MHz と計算されます。この周波数は、実際に必要な 100MHz の周波数から約 0.4% ずれているだけです。ただし、この周波数プランを選択すると、[図 78](#) に示すように、CIC フィルタのドループが増加します。したがって、適切な ADC サンプルング・レート、CIC デシメーション・レシオ、および NCO 周波数チューニング・ワードを選択するように注意する必要があります。

デジタル出力

AD9083 のデジタル出力は、データ・コンバータ用のシリアル・インターフェース規格として JEDEC が制定した JESD204B に合わせて設計されています。JESD204B は、シリアル・インターフェースを経由し、最大 16Gbps のレーン・レートで AD9083 をデジタル処理デバイスへリンクするためのプロトコルです。LVDS における JESD204B インターフェースの利点には、データ・インターフェース・ルーティングのために必要なボード面積を減らせることや、コンバータやロジック・デバイスのパッケージを小型化できることなどがあります。

JESD204B の概要

JESD204B データ送信ブロックでは、ADC からのパラレル・データがフレーム化され、8 ビット/10 ビット・エンコーディングとオプションのスクランプリング機能を使用してシリアル出力データが形成されます。レーン同期は、最初のリンク確立時に、特別な制御文字を使用することでサポートされています。データ・ストリームには、その後も同期を維持するために、追加的な制御文字が組み込まれます。シリアル・リンクを完了させるには、JESD204B レシーバーが必要です。JESD204B インターフェースのその他の詳細については、JESD204B 規格を参照してください。

AD9083 の JESD204B データ送信ブロックは、リンクを介して最大 16 個の物理的 ADC、または最大 96 個の仮想コンバータ（すべての DDC をイネーブルしている場合）をマッピングします。リンクは、1、2、または 4 本の JESD204B レーンを使用するように構成できます。JESD204B 仕様ではいくつかのパラメータを使ってリンクを定義しますが、これらのパラメータは、JESD204B トランスミッタ（AD9083 の出力）と JESD204B レシーバー（ロジック・デバイスの入力）の間で一致している必要があります。

JESD204B リンクは、以下のパラメータに従って記述されます。

- L は、コンバータ・デバイスあたりのレーン数（レーン数/リンク）で、AD9083 では 1、2、3、または 4 です。
- M は、コンバータ・デバイスあたりのコンバータ数（仮想コンバータ数/リンク）で、AD9083 では 16、32、96 です。
- F は、フレームあたりのオクテット数で、AD9083 では 2、3、4、6、8、12、16、24、32、48、64、72、または 96 です。
- N' は、サンプルあたりのビット数で（JESD204B のワード・サイズ）、AD9083 では 12 または 16 です。
- N は、コンバータの分解能です。
- CS は、サンプルあたりの制御ビット数で、AD9083 では 0、1、2、または 3 です。

- K は、マルチフレームあたりのフレーム数で、AD9083 では 8、16、または 32 です。
- S は、1 つのコンバータのフレーム・サイクルにつき送信されるサンプルの数で、AD9083 では L、M、F、および N' に基づいて自動的に設定されます。
- HD は高密度モードで、AD9083 のモードは L、M、F、および N' に基づいて自動的に設定されます。
- CF は、1 つのコンバータ・デバイスのフレーム・クロック・サイクルあたりの制御ワード数で、AD9083 では 0 です。

図 85 に、AD9083 における JESD204B リンクの簡略ブロック図を示します。AD9083 は、16 個のコンバータと 4 つのレーンを使用するように構成できます。16 個すべてのコンバータからのデータが SERDOUT0±、SERDOUT1±、SERDOUT2±、および SERDOUT3± に出力されます。AD9083 では、すべてのコンバータの出力を 1 つのレーンに結合するなど、他の構成も可能です。これらのモードはカスタマイズ可能で、SPI を使用して設定できます。

AD9083 では、N' = 16 の場合、各コンバータからの N ビット・コンバータ・ワードは 2 つのオクテット（8 ビット・データ）に分割されます。ビット N-1 (MSB) からビット N-8 までが最初のオクテットを構成します。2 番目のオクテットには、ビット N-9 からビット 0 (LSB) まで、CS 制御ビット（CS パラメータは制御ビットの数を定義）、それに必要に応じてテール・ビットが LSB に追加されて JESD ワードの N' 個のビット数を形成します。テール・ビットが必要な場合は、ゼロまたは疑似乱数シーケンスとして構成できます。制御ビットは、オーバーレンジ、SYSREF±、または高速検出出力を示すために使用できます。

N' = 12 のモードの場合、レーン上の各 M/L サンプルは、レーン 0 のサンプル 0 から連結されていき、各レーンに F オクテットが生成されます。制御ビットが必要な場合、N は N' - CS と等しくなければなりません。

得られたオクテットは、スクランプリングが可能です。スクランプリングはオプションですが、似たようなデジタル・データ・パターンを送信する場合は、スペクトル・ピークを避けることを推奨します。スクランブラは、式 $1 + x^{14} + x^{15}$ で定義される、自己同期機能を備えた多項式ベースのアルゴリズムを使用します。レシーバーのデスクランブラは、スクランブラ多項式の自己同期バージョンです。

次に、8 ビット/10 ビット・エンコーダによって、このオクテットがエンコードされます。8 ビット/10 ビット・エンコーダは、8 ビットのデータ（1 つのオクテット）を使い、それらのデータを 10 ビット・シンボルにエンコードします。

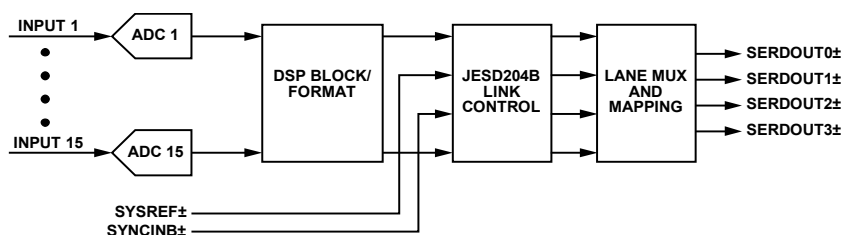


図 85. 送信リンクの簡略ブロック図

22923-000

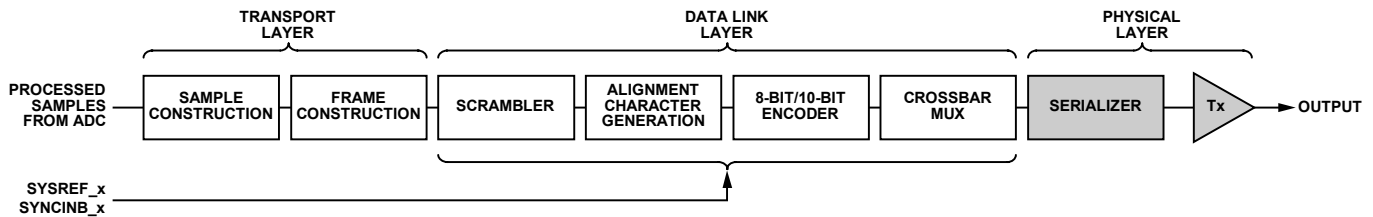


図 86. データ・フロー

22925-078

機能の概要

図 86 のブロック図は、サンプル入力から JESD204B ハードウェアを通過して、物理出力へ至るデータの流れを示したものです。処理は、通信システムの抽象化層を記述するために広く使われている開放型システム間相互接続 (OSI) モデルに定める複数の層に分けることができます。これらの層は、トランスポート層、データ・リンク層、および物理層 (シリアルライザと出力ドライバ) です。

トランスポート層

トランスポート層は、8 ビット・オクテットにマップされる JESD204B フレームへのデータ (サンプルとオプションの制御ビットから構成される) のパッキングを扱います。サンプルのフレームへのパッキングは、レーン数 (L)、コンバータ数 (M)、1 フレームのレーンあたりのオクテット数 (F)、1 フレームのコンバータあたりのサンプル数 (S)、ニブル・グループのビット数 (JESD204 のワード・サイズ- N で表されることもあります) からなる、JESD204B の構成パラメータによって決まります。

サンプルは、コンバータ 0、コンバータ 1 の順に、コンバータ $M - 1$ までマッピングされます。 $S > 1$ の場合、そのコンバータの各サンプルをマッピングしてから、次のコンバータのサンプルがマッピングされます。各サンプルは、コンバータ制御ビットを各サンプルの LSB にアペンドすることで作成されるワードにマッピングされます (イネーブルされている場合)。次に、このワードは必要に応じてテール・ビットを付加され、 N パラメータで決まる適切なサイズのニブル・グループ (NG) を形成します。ニブル・グループ (JESD204B ワード) 内のテール・ビット数は、次の式を使って求められます。

$$T = N - N - CS$$

データ・リンク層

データ・リンク層は、リンクを介してデータを渡すという低レベル機能を受け持ちます。この機能には、データをスクランブルすること、初期レーン・アライメント・シーケンス (ILAS) の間にフレームとマルチフレーム同期モニタリングのために制御文字を挿入すること、8 ビットのオクテットを 10 ビットのシンボルにエンコードすること、などがあります。データ・リンク層は、ILAS の送信も行います。このシーケンスには、トランスポート層の設定を確認するためにレシーバーが使用する、リンク構成データが含まれています。

データ・リンク層の実装については、[JESD204B リンクの確立](#)のセクションで説明します。

物理層

物理層は、シリアル・クロック・レートでクロックされる高速回路で構成されます。この層内では、パラレル・データが、1、2、または 4 レーンの高速差動シリアル・データに変換されます。物理層の実装については、[物理層 \(ドライバ\) 出力](#)のセクションで説明します。

JESD204B リンクの確立

AD9083 の JESD204B トランスミッタ (Tx) インターフェースは、JEDEC 規格 JESD204B に定義されているサブクラス 0 またはサブクラス 1 で動作します (2011 年 7 月の仕様)。リンク確立プロセスは、以下のステップに分けて行われます。すなわち、コード・グループ同期、初期レーン・アライメント・シーケンス、およびユーザ・データとエラーの修正です。

コード・グループ同期 (CGS)

CGS は、JESD204B レシーバーがデータ・ストリーム内の 10 ビット・シンボルの境界を確認するプロセスです。CGS フェーズでは、JESD204B 送信ブロックが K /文字 ($K28.5$ /シンボル) を送信します。レシーバーは、クロック & データ再生 (CDR) の手法を使って、入力データ・ストリーム内にある K /文字の位置を特定する必要があります。

レシーバーは、AD9083 の SYNCINB±ピンをローにアサートすることによって、同期リクエストを送信します。続いて JESD204B Tx が K /文字の送信を開始します。レシーバーは、同期後に少なくとも 4 個の K /シンボルが連続して正しく受信されるのを待ち、受信後に SYNCINB±をアサート解除します。更に、AD9083 は次のローカル・マルチフレーム・クロック (LMFC) の境界に ILAS を送信します。

コード・グループ同期フェーズの詳細については、2011 年 7 月付け JEDEC 規格 JESD204B の 5.3.3.1 項を参照してください。

SYNCINB±ピンの動作は、SPI で制御することもできます。SYNCINB±信号は、デフォルトでは差動 DC カップリング LVDS モード信号ですが、シングルエンドで駆動することも可能です。

SYNCINB±ピンは、レジスタ 0x447 のビット 0 をセットすることによって、CMOS (シングルエンド) モードで動作するように構成することもできます。SYNCINB±を CMOS モードで使用するには、CMOS SYNCINB 信号をピン 21 (SYNCINB+) に接続し、ピン 20 (SYNCINB-) は未接続のままにします。

初期レーン・アライメント・シーケンス (ILAS)

ILAS フェーズは CGS フェーズの後に続くフェーズで、SYNCINB±のデアサート後、次の LMFC 境界で開始されます。ILAS は 4 つのマルチフレームで構成され、/R/文字が開始位置、/A/文字が終了位置を示します。ILAS は、/R/文字の後に 1 マルチフレームあたり 0~255 のランプ・データを送ることによって始まります。2 つ目のマルチフレームでは、3 番目の文字から始まるリンク構成データが送られます。2 番目の文字は/Q/で、これは、その後にリンク構成データが続くことを示します。すべての未定義データ・スロットには、ランプ・データが埋め込まれます。ILAS シーケンスがスクランプリングされることはありません。

ILAS シーケンスの構成を図 87 に示します。4 つのマルチフレームには以下の特徴があります。

- マルチフレーム 1 は/R/文字 (/K28.0/) で始まり、/A/文字 (/K28.3/) で終わります。
- マルチフレーム 2 は/R/文字で始まり、その後に/Q/文字 (/K28.4/) と 14 個の構成オクテットからなるリンク構成パラメータが続く (表 23 参照)、/A/文字で終わります。パラメータ値の多くは「値-1」で表記されます。
- マルチフレーム 3 は/R/文字 (/K28.0/) で始まり、/A/文字 (/K28.3/) で終わります。
- マルチフレーム 4 は/R/文字 (/K28.0/) で始まり、/A/文字 (/K28.3/) で終わります。

ユーザ・データとエラー検出

最初のレーン・アライメント・シーケンスの完了後、ユーザ・データ (ADC サンプル) が送られます。ユーザ・データの送信の間、文字置換と呼ばれるメカニズムがフレーム・クロックとマルチフレーム・クロック・アライメントをモニタします。このメカニズムによって、データが一定の条件を満たした場合、フレームまたはマルチフレームの最後のオクテットが/F/または/A/アライメント文字で置き換えられます。これらの条件は、ス

クランプリングされたデータとされていないデータで異なります。スクランプリング動作はデフォルトでイネーブルされていますが、SPI を使ってディスエーブルすることができます。

スクランプリングされたデータでは、フレームの最後にある 0xFC 文字はすべて/F/に置き換えられ、マルチフレームの最後にある 0x7C 文字はすべて/A/に置き換えられます。JESD204B レシーバー (Rx) は受信したデータ・ストリーム内にある/F/文字と/A/文字をチェックして、それらが所定の位置にあることを確認します。予期しない/F/または/A/文字が見つかった場合、レシーバーは、ダイナミック・リアライメントを使用するか 4 フレーム以上に対して SYNCINB±信号をアサートして再同期を開始することにより、これに対処します。スクランプリングされていないデータでは、連続する 2 つのフレームの最終オクテットが同じ場合、それが 1 フレームの最後である場合は 2 番目のオクテットが/F/シンボルに置き換えられ、マルチフレームの最後である場合は/A/シンボルに置き換えられます。

アライメント文字の挿入は SPI を使用して修正できます。フレーム・アライメント文字挿入 (FACI) は、デフォルトでイネーブルされています。

8 ビット/10 ビット・エンコーダ

8 ビット/10 ビット・エンコーダは、8 ビット・オクテットを 10 ビット・シンボルに変換し、必要に応じてストリームに制御文字を挿入します。JESD204B で使われる制御文字を表 23 に示します。8 ビット/10 ビット・エンコーディングは、複数のシンボルに同じ数の 1 と 0 を使うことによって、信号を直流平衡信号にします。

8 ビット/10 ビット・インターフェースには、SPI 経由の制御を可能にするオプションがあります。これらのオプションにはバイパスと反転があります。これらは、デジタル・フロント・エンド (DFE) を検証するためのトラブルシューティング・ツールです。8 ビット/10 ビット・エンコーダを構成する方法については、メモリ・マップのセクションにあるレジスタ 0x2A3 (JTX_DL_204B_CONFIG0) を参照してください。

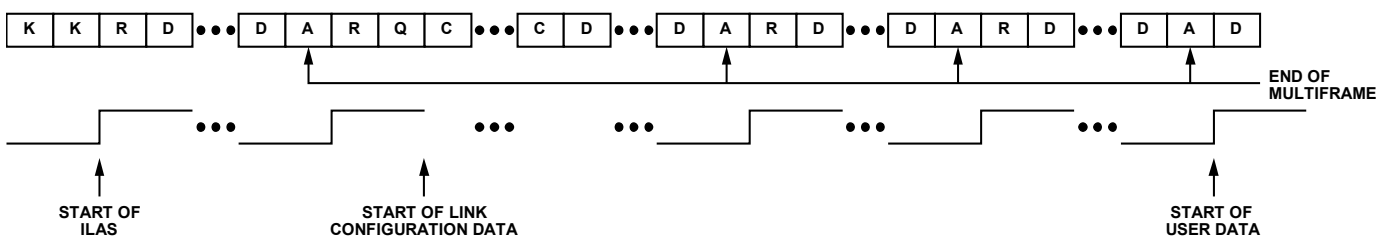


図 87. 初期レーン・アライメント・シーケンス

表 23. JESD204B で使用する AD9083 の制御文字

略語	制御記号	8 ビット値	10 ビット値、 RD ¹ = -1	10 ビット値、 RD ¹ = +1	説明
/R/	/K28.0/	000 11100	001111 0100	110000 1011	マルチフレームの開始
/A/	/K28.3/	011 11100	001111 0011	110000 1100	レーン・アライメント
/Q/	/K28.4/	100 11100	001111 0100	110000 1101	リンク構成データの開始
/K/	/K28.5/	101 11100	001111 1010	110000 0101	グループ同期
/F/	/K28.7/	111 11100	001111 1000	110000 0111	フレーム・アライメント

¹ RD はランニング・ディスパリティ (Running Disparity) を意味します。

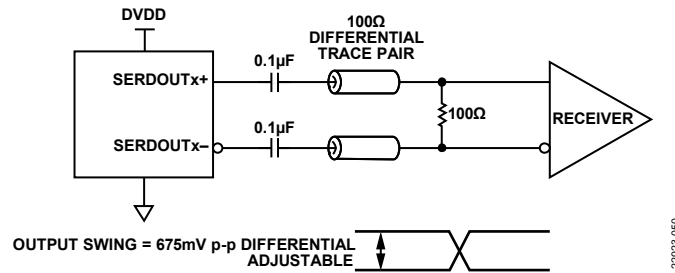


図 88. AC カップリング・デジタル出力の終端例

物理層（ドライバ）出力

デジタル出力、タイミング、制御

AD9083 の物理層は、JEDEC 規格 JESD204B（2011 年 7 月）に定義されたドライバで構成されています。差動デジタル出力は、デフォルトで起動されます。ドライバは、動的な 100Ω 内部終端を使用して不要な反射を減らしています。

レシーバーの各入力に 100Ω の差動終端抵抗を配置することにより、公称値で $0.85 \times DVDD$ V_{p-p} の振幅が実現されます（図 88）。振幅は SPI レジスタを通じて調整可能です。レシーバーへの接続時には、AC カップリングの使用を推奨します。詳細についてはメモリ・マップのセクションを参照してください（レジスタ 0x402～レジスタ 0x409）。

AD9083 のデジタル出力はカスタム ASIC や FPGA（フィールド・プログラマブル・ゲート・アレイ）のレシーバーにインターフェース接続が可能で、ノイズの多い環境でも優れたスイッチング性能を提供します。レシーバー入力にできるだけ近い位置に単一の差動 100Ω 終端抵抗を配置した、1 対 1 のポイント・ツー・ポイント・ネットワーク・トポロジを推奨します。

相手側のレシーバーに終端がなかったり、差動パターンのルーティングが適切でなかったりした場合は、タイミング誤差が生じることがあります。このようなタイミング誤差を避けるために、パターン長を 6 インチ未満とし、差動出力パターン同士をできるだけ近づけて、同じ長さとすることを推奨します。

出力データのフォーマットは、2 の補数がデフォルトです。出力データ・フォーマットを変更する方法については、メモリ・マップのセクションを参照してください（レジスタ 0x18A（OUT_FORMAT_SEL））。

ディエンファシス

ディエンファシスは、相互接続挿入損失が JESD204B の仕様を満たさないような条件下で、レシーバーのアイ・ダイアグラム・マスクに関する要求を満たすことを可能にします。ディエンファシス機能は、挿入損失が大きいためレシーバーがクロックを回復できない場合にのみ使用してください。通常の条件下では、省電力のためにディスエーブルされています。更に、短いリンクに対してディエンファシスをイネーブルして高すぎる値に設定すると、レシーバーのアイ・ダイアグラムを正しく表示できなくなることがあります。ディエンファシスは電磁干渉（EMI）を増大させることがあるので、設定時には注意してください。詳細については、メモリ・マップのセクションを参照してください（メモリ・マップのレジスタ 0x413～レジスタ 0x422）。

JTX PLL

JTX PLL は、JESD204B のレーン・レートで動作するシリアルライザ・クロック（f_{LR}）を生成します。PLL ロックのステータスは、PLL_STATUS レジスタ（レジスタ 0x301）のビット 7（JTX_PLL_LOCKED）で確認できます。この読出し専用ビットは、特定のセットアップに対して PLL がロックされた場合、それをユーザに通知します。

AD9083 のデジタル・インターフェースのセットアップ

AD9083 は JESD204B リンクを備えています。シリアル出力 (SERDOUT0±~SERDOUT3±) またはレーンは、1つの JESD204B リンクの一部と見なされます。AD9083 で許容される最大レーン・レートは 16Gbps です。

リンク・セットアップを決定する基本パラメータは以下のとおりです。

- AD9083 のデータパス (非バーストまたはバースト・モード)
- リンクあたりのコンバータ数 (M)。
- リンクあたりのレーン数 (L)。
- N' は、サンプルあたりのビット数で (JESD204B のワード・サイズ)、AD9083 では 12 または 16 です。

レーンのライン・レートは、次式を使って JESD204B のパラメータに関連付けられます。

$$\text{レーン・レート} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_{OUT}}{L}$$

ここで、

$$f_{OUT} = fs / DECTOTAL。$$

fs は ADC のサンプリング・レート。

DECTOTAL は、信号処理タイルの合計デシメーション・レシオ。

表 24 に、非バースト・モードのデータパスでサポートされている JESD204B の出力構成を示します。表 25 に、バースト・モードのデータパスでサポートされている JESD204B の出力構成を示します。所定の構成におけるシリアル・ライン・レートが 0.25Gbps~16Gbps のサポート範囲内に収まるように注意してください。

JESD204B トランスポート層の設定

表 24 および表 25 にリストされているトランスポート層情報の詳細については、JESD204B の概要のセクションを参照してください。

表 24. 非バースト・モード・データでの JESD2048 の出力構成

No. of Virtual Converters Supported (Same Value as M)	JESD2048 Serial Lane Rate	CIC N	NCO/Mixer	Decimate by J	L	M	F	S	N'	K
8	160 × f _{OUT}	4	Bypassed	4, 8, 16	1	8	16	1	16	32
		8		4, 8, 16						
		16		1, 4, 8, 16						
	120 × f _{OUT}	4,	Bypassed	4, 8, 16	1	8	12	1	12	32
		8		4, 8, 16						
		16		1, 4, 8, 16						
	80 × f _{OUT}	4	Bypassed	4	2	8	8	1	16	32
		8		1						
		16		1						
	60 × f _{OUT}	4	Bypassed	4	2	8	6	1	12	32
		8		1						
		16		1						
40 × f _{OUT}	4	Bypassed	1	4	8	4	1	16	32	
	8		1							
	16		1							
30 × f _{OUT}	4	Bypassed	1	4	8	3	1	12	32	
	8		1							
	8		1							
16	320 × f _{OUT}	4	Bypassed	8, 12, 16, 20, 24, 30, 40, 60	1	16	32	1	16	32
		8		4, 8, 10, 12, 16, 20, 24, 30, 40, 60						
		16		4, 8, 10, 12, 16, 20, 24, 30, 40, 60						
		1		20, 40, 60						
		4		10, 12, 20, 24, 30, 40, 60						
		8		10, 12, 16, 20, 24, 30, 40, 60						
	240 × f _{OUT}	16	Bypassed	8, 10, 12, 16, 20, 24, 30, 40, 60	1	16	24	1	12	32
		1		16, 20, 40, 60						
		4		4, 8,						
		8		4						
		16		1						
		1		20						
160 × f _{OUT}	4	Bypassed	4, 8,	2	16	16	1	16	32	
	8		4							
	16		1							
	1		20							

No. of Virtual Converters Supported (Same Value as M)	JESD2048 Serial Lane Rate	CIC N	NCO/Mixer	Decimate by J	L	M	F	S	N'	K
32	$120 \times f_{OUT}$	1	Bypassed	16, 20	2	16	12	1	12	32
		4	Bypassed	4	3	16	8	1	12	32
		8		1						
		16		1						
	$80 \times f_{OUT}$	1			8, 12, 16, 24					
		4	Bypassed	4	4	16	8	1	16	32
		8		1						
		16		1						
	$60 \times f_{OUT}$	1			8, 12, 16, 24					
		8	Bypassed	1	4	16	6	1	12	32
		16								
		1			4, 8, 12, 16, 24					
32	$640 \times f_{OUT}$	4	Enabled	16	1	32	64	1	16	16
		8		8, 16						
		16		4, 8, 16,						
		16	Enabled	16	1	32	48	1	12	16
	$480 \times f_{OUT}$	4	Enabled	8, 16	2	32	32	1	16	32
		8		4, 8						
		16		4						
		16	Enabled	4, 8, 16,	3	32	16	1	12	32
	$320 \times f_{OUT}$	8		4, 8, 16,						
		16		1, 4, 8, 16						
		4	Enabled	4, 8	4	32	16	1	16	32
		8		4						
	$160 \times f_{OUT}$	16		1						
		4	Enabled	4	4	32	12	1	12	32
		8								
		16								
$120 \times f_{OUT}$	4	Enabled	4	4	32	12	1	12	32	
	8									
	16									
	16									

表 25. JESD2048 の出力構成のバースト・モード・データパス

No. of Virtual Converters Supported (Same Value as M)	JESD2048 Lane Rate	CIC N	NCO/Mixer	Dec H	L	M	F	S	N'	K
32	$640 \times f_{OUT}$	4	Enabled	24, 28, 32, 36	1	32	64	1	16	16
	$640 \times f_{OUT}$	8	Enabled	12, 14, 16, 18	1	32	64	1	16	16
	$480 \times f_{OUT}$	4	Enabled	24	1	32	48	1	12	16
	$480 \times f_{OUT}$	8	Enabled	12, 16	1	32	48	1	12	16
64	$640 \times f_{OUT}$	4	Enabled	24, 28, 32	2	64	64	1	16	16
	$640 \times f_{OUT}$	8	Enabled	12, 14, 16	2	64	64	1	16	16
	$480 \times f_{OUT}$	4	Enabled	24	2	64	48	1	12	16
	$480 \times f_{OUT}$	8	Enabled	12	2	64	48	1	12	16
96	$640 \times f_{OUT}$	4	Enabled	32, 36	3	96	64	1	16	16
	$640 \times f_{OUT}$	8	Enabled	18	3	96	64	1	16	16
	$480 \times f_{OUT}$	4	Enabled	24, 28, 32, 36	3	96	48	1	12	16
	$480 \times f_{OUT}$	8	Enabled	14, 18	3	96	48	1	12	16
	$480 \times f_{OUT}$	4	Enabled	24, 28	4	96	48	1	16	16
	480	8	Enabled	12, 14	4	96	48	1	16	16

確定的遅延

JESD204B リンクの両端には、各システムに分散した様々なクロック領域が含まれています。1つのクロック領域から別のクロック領域へデータが渡されると、JESD204B リンクに複数の原因による遅延が生じる可能性があります。これらの遅延は、電源を入れ直すごとに、あるいはリンクのリセットごとに再現性のない不規則な遅延を生じさせる元になります。AD9083 は、JESD204B サブクラス 0 とサブクラス 1 の動作に対応しています。確定的遅延がシステムの条件でない場合は、サブクラス 0 動作が推奨されます。SYSREF 信号は必要ありません。サブクラス 0 モードであっても、複数の AD9083 デバイスを互いに同期させる必要のあるアプリケーションでは、SYSREF 信号が必要になる場合があります。

サブクラス 0

サブクラス 0 モードでの動作にマルチチップ同期に関する条件がない場合は、SYSREF 入力を未接続のままにすることができます。このモードでは、JESD204B のトランスミッタとレシーバーの JESD204B クロック同士の関係が一定しませんが、レシーバーがリンク内のレーンを取得してアラインする能力に影響を与えることはありません。

サブクラス 1

このデータシートの [トランスポート層](#) のセクションに示すように、JESD204B プロトコルは、データ・サンプルをオクテット、フレーム、およびマルチフレームに構成します。LMFC は、これらのマルチフレームの開始と同期します。サブクラス 1 動作では、1 リンク内の各デバイスまたは複数リンク内の各デバイスに関し、SYSREF 信号を使用して LMFC を同期させます (AD9083 内では、SYSREF 信号は内部サンプル分周器も同期させます)。JESD204B レシーバーは、マルチフレームの境界とバッファリングを使用して、レーン間 (または複数デバイス間) の遅延が一定になるようにする他、電源のオン/オフやリンク・リセットなどの場合も遅延値が変わらないようにします。AD9083 は、JESD204B サブクラス 1 動作のサンプルド SYSREF モードを備えています。詳細については、[マルチチップ同期 \(MCS\)](#) のセクションを参照してください。

マルチチップ同期

AD9083 には JESD204B サブクラス 1 対応の SYSREF 入力があり、AD9083 の内部ブロックを同期するための柔軟なオプションを提供しています。SYSREF 入力は、AD9083 LMFC のアライメントに使用されるソース同期のシステム・リファレンス信号で、複数の AD9083 間のマルチチップ同期を可能にします。入力クロック分周器、信号処理タイル、信号モニタ・ブロック、および JESD204B リンクは、SYSREF 入力を用いて同期できます。

サンプルド SYSREF モード

サンプルド SYSREF モードでは、SYSREF は標準の JESD204B サブクラス 1 信号として動作します。

サンプルド SYSREF 同期の特性には次のものがあります。

- SYSREF の同期サンプリング。
- 信頼性の高い同期を実現するには、セットアップ/ホールド・タイムの条件を満たす必要があります。これは、サンプリング・レートが増加するにつれてますます困難になります。

- SYSREF ジッタは、1 サンプリング・クロック周期よりはるかに小さくする必要があります。ASIC または FPGA からの SYSREF には、大きなジッタが発生する場合があります。

SYSREF 関連の機能

AD9083 は、複数の AD9083 デバイス間だけでなく、内部クロックと NCO の再同期もサポートします。AD9083 への SYSREF 入力およびトリガ信号入力は、以下をサポートする同期トリガ・メカニズムを提供するのに使用されます。

- JESD サブクラス 1 モードでの確定的遅延。
- NCO リセット用のマルチチップ同期。

SYSREF_RESYNC_MODE ビット (レジスタ 0x1C0 のビット 2 = 1) による再同期モードでは、AD9083 はすべての内部クロックを SYSREF 信号にアライメントします (サブクラス 1 同期と確定的遅延の場合)。周期的な SYSREF の場合、アライメントが実現された後、更に周期的な SYSREF 入力が自動的に内部クロックにアライメントされます。SYSREF 入力フェーズが変化すると、データパス・クロックが新しい SYSREF 入力フェーズへ再アライメントされます。

レジスタ 0x1C0 のビット 3 で NCORESET_ALL_SYSREF ビット・フィールドを 0 (デフォルト) に設定すると、NCO は、クロックを再同期した SYSREF パルスにตอบสนองしてリセット・パルスのみを受信するようになります。レジスタ 0x1C4 のビット [1:0] で DDC_SYNC_NEXT=0 および DDC_SYNC_EN=1 を設定して、NCO を連続同期モードに設定します。

DDC は、レジスタ 0x284 (JTX_TPL_SYSREF_N_SHOT) により、受信した周期的な SYSREF パルスまたは N 番目の SYSREF パルスにตอบสนองして NCO をリセットするように設定されます。

マルチチップ同期と NCO リセット・オプション

マルチチップ同期には次の 2 つの側面があります。

- 複数のデバイス間でクロックをアライメントする。
- 複数のデバイス間で NCO をアライメントする。

複数デバイス間でのクロックのアライメント

複数デバイス間でのクロックのアライメントは、再同期モードでの SYSREF 信号によって行われます。AD9083 のすべてのクロックのアライメントに SYSREF 信号が使用されます。SYSREF が複数デバイスによって確定的にサンプリングされている場合、クロックが複数デバイス間でアライメントされていることを意味します。

複数デバイス間での NCO のアライメント

NCO リセットは、AD9083 信号処理タイルの NCO アキュムレータのリセットによって処理されます。NCO がデバイス間で確定的にリセットされるようにするには、再同期モードを使用することが重要です。

外部コントローラ (例えば、クロック・ジェネレータ・チップ) は、SYSREF 入力に対して周期的な SYSREF パルスまたはワンショット SYSREF パルスを生成します。

再同期モードに関する主な機能と注意事項

SYSREF 再同期モードでは、すべてのクロックがシャットダウンし、SYSREF パルスと同相で再起動します。

JESD LMFC は、SYSREF パルスからの確定的位相／遅延でアライメントします。

NCO は、SYSREF パルスを受信後の確定した時間でリセットされます。NCO のリセットは、データパス・クロックが新しい SYSREF にアライメントされた後に行われます。

SYSREF LMFC の遅延、SYSREF から NCO へのリセット遅延などの遅延数は、使用する構成によって異なります。

SYSREF から NCO リセットまでの遅延は、すべての周期的な SYSREF パルスに対して一定です。SYSREF 周期を変更すると、再同期の後に NCO リセットがトリガされます。

どんなモードでも、SYSREF 周期はマルチフレーム・クロック周期の倍数でなければなりません。デシメーション・モードにより、追加の制限が必要になる場合があります。

SYSREF 入力による再アライメントの開始後、内部 LMFC が安定するために 8LMFC の LMFC セトリング期間が必要です。

シリアル・ポート・インターフェース (SPI)

AD9083 の SPI を使用すると、ADC 内部にある構造化されたレジスタ空間を使用して、特定の機能や動作に合わせてコンバータを構成することができます。SPI は、アプリケーションに応じて、追加的な柔軟性とカスタマイズ能力をユーザに提供します。アドレスにはシリアル・ポートを介してアクセスし、書込みや読出しを行うことができます。メモリはバイト単位で構成され、更にいくつかのフィールドに分割することができます。これらのフィールドについては、[メモリ・マップ](#)のセクションに記述されています。動作の詳細については、[Serial Control Interface Standard \(Rev. 1.0\)](#) を参照してください。

SPI を使用する構成設定

AD9083 ADC の SPI を定義するピンは、SCLK ピン、SDIO ピン、CSB ピンの 3 つです ([表 26](#) を参照)。SCLK (シリアル・クロック) ピンは、ADC との間でやりとりするデータの読出しと書込みを同期するために使用します。SDIO (シリアル・データ入出力) ピンは 2 つの機能を兼ね備えたピンで、内部 ADC メモリ・マップ・レジスタからのデータの送信と読出しに使用します。CSB (チップ・セレクト) ピンはアクティブ・ローの制御信号で、読出しサイクルと書込みサイクルをイネーブルまたはディスエーブルします。CSB の立下がりエッジと SCLK の立上がりエッジの関係によって、フレーミングの開始を決定します。シリアル・タイミングの例とその定義は、[図 2](#) と [表 14](#) に示されています。

CSB ピンに関するその他のモードも使用可能です。CSB ピンはローに保持したままにすることが可能で、その間デバイスはイネーブル状態に維持されます。これをストリーミングと言います。CSB は複数のバイト間でハイを保持して、外部タイミングを追加することができます。CSB をハイに接続すると、SPI 機能が高インピーダンス・モードに置かれます。このモードは SPI の 2 つ目の機能をオンにします。

すべてのデータは、8 ビット・ワードで構成されます。シリアル・データの個々のバイトの最初のビットは、読出しコマンドと書込みコマンドのどちらが送られたのかを示し、これによって SDIO ピンは入力から出力へ方向を変えることができます。

ワード長に加えて、命令フェーズはシリアル・フレームが読出し動作か書込み動作かを決定して、チップのプログラムとオンチップ・メモリの内容読出しの両方にシリアル・ポートを使用できるようにします。命令がリードバック動作の場合は、リードバックを実行すると、SDIO ピンが、シリアル・フレーム内の適切な位置で入力から出力に方向を変えます。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信できます。MSB ファーストはパワーアップ時のデフォルトですが、SPI ポート構成レジスタを介して変更できます。この機能および他の機能の詳細については、[Serial Control Interface Standard \(Rev. 1.0\)](#) を参照してください。

ハードウェア・インターフェース

[表 26](#) に示すピンは、ユーザ・プログラミング・デバイスと AD9083 のシリアル・ポート間の物理的インターフェースを構成します。SCLK ピンと CSB ピンは、SPI インターフェース使用時の入力として機能します。SDIO ピンは双方向で、書込み時には入力として、読出し時には出力として機能します。

SPI インターフェースは十分な柔軟性を備えており、FPGA またはマイクロコントローラによって制御することができます。アプリケーション・ノート [AN-812 Microcontroller-Based Serial Port Interface \(SPI\) Boot Circuit](#) には、SPI の構成方法の 1 つが詳しく示されています。

コンバータのすべての動的性能が必要な区間では、SPI ポートをアクティブにしないでください。一般に、SCLK 信号、CSB 信号、SDIO 信号は ADC クロックに同期していないため、これらの信号からのノイズによってコンバータの性能が低下することがあります。内蔵 SPI バスを他のデバイスに使用する場合は、このバスと AD9083 の間にバッファを設けて、重要なサンプリング期間にコンバータ入力でこれらの信号が変化するのを防止する必要があります。

表 26. シリアル・ポート・インターフェース・ピン

ピン	機能
SCLK	シリアル・クロック。シリアル・インターフェース、読出し、および書込みの同期に使用するシリアル・シフト・クロック入力。
SDIO	シリアル・データ入出力。2 つの機能を兼ね備えたピンで、一般に、送信される命令とタイミング・フレーム内の相対的位置に応じて、入力または出力として機能します。
CSB	チップ・セレクト・バー。読出しおよび書込みサイクルをゲーティングするアクティブ・ローの制御信号。

プログラミング・ガイド

AD9083 は高度に再構成可能であり、SPI インターフェースを介して設定できます。

AD9083 製品ページのソフトウェア & システムのセクションには、デバイスのアプリケーション・プログラミング・インターフェース (API) 用 C コード・ドライバのリクエスト手順が記載されています。これらのドライバは、アプリケーション API と呼ばれる高レベルの関数呼び出しを用いて AD90803 を素早く構成するためのリファレンス・コードです。アナログ・デバイセズは、これらの高レベルの関数呼び出しの完全なソース・コードを提供しています。

プログラミング・シーケンス

パワーオンになると、AD9083 内の様々なブロックが無効化された状態でパワーアップします。AD9083 を特定のモードでセットアップするには、一連の SPI 操作が必要です。デバイスの完全なプログラミングを開始する前に、以下のシーケンスを完了させます。

1. 電源を立ち上げます。電源のシーケンスに条件はありません。POR 回路は、すべての電源が適切な閾値に達するまで、AD9083 をリセット状態に保ちます。
2. SPI レジスタ 0x000 = 81h により、または RSTB ピンをトグルすることで、ソフト・リセットを実行します。

3. 最小 200 μ s の遅延を設けます。あるいは、POR 回路がアサート解除されるのを待ちます。PORB_STAT レジスタ (レジスタ 0x0020) をリードバックすると、PORb 信号の状態を確認できます。レジスタ 0x0020 = 7Fh は、AD9083 を設定する準備ができており、電源が最適なレベルにあることを意味します。
4. AD9083 へのサポート回路を構成します。例えば、AD9083 のセットアップを開始する前に、AD9083 オンチップ PLL へのリファレンス・クロックが安定するように、必要なクロック・コンポーネントをセットアップします。
5. AD9083 が完全に構成された後、システム内の FPGA が JESD204B データを受信するのに必要なセットアップを構成します。

プラットフォームとシステムに依存するセットアップが完了して安定したら、AD9083 を目的の構成に設定できます。AD9083 の構成に必要な設定の詳細を簡素化するために、高レベルの API 関数呼び出しの短いリストを提供しています。これらの高レベルの API 呼び出しは、サポートされている目的の状態にデバイスを完全に構成します。AD9083 を適切にセットアップするための設定シーケンスを表 27 に示します。

表 27. AD9083 をセットアップするための設定シーケンス

ステップ番号	API 機能	入力パラメータ	説明
1	adi_ad9083_device_reset()	&ad9083_dev: (デバイス構造ポインタ) ad9083_soft_reset	AD9083 のソフト・リセットを実行します。
2	adi_ad9083_device_init()	&ad9083_dev: (デバイス構造ポインタ)	API リビジョンの出力、ホスト CPU のエンディアン・モードの取得、ホスト CPU タイプの取得、SPI モードの構成、SPI 読書きテストの実行、および電源ステータスの確認を行います。
3	adi_ad9083_device_clock_config_set()	ad9083_dev : (デバイス構造ポインタ) adc_clk_hz : ADC サンプルング・レート ref_clk_hz : PLL リファレンス・クロック	目的の ADC サンプルング・レートのユーザ入力と CLK \pm ピンに供給される PLL リファレンス・クロックに基づいて、オンチップ PLL を適切な設定値で構成します。
4	adi_ad9083_rx_adc_config_set()	&ad9083_dev (デバイス構造ポインタ) fc : -3dB LPF カットオフ周波数 vmax : 差動ピーク to ピーク入力のフルスケール rterm : 終端抵抗 en_hp : 高性能モードを有効化 backoff : ノイズを基準とした dB バックオフ (dB 値 \times 100) finmax : 最大入力周波数。fADC/20 に設定する必要があります。	各パラメータに必要な入力設定に従って、VCO ADC 設定を構成します。

ステップ番号	API 機能	入力パラメータ	説明
5	adi_ad9083_rx_datapath_config_set()	&ad9083_dev: (デバイス構造ポインタ) mode: データパス・フローを指定します。詳細については、列挙型 <code>adi_ad9083_datapath_mode_e</code> を参照してください。 dec: CIC デシメーション、J デシメーション、G 平均化値、H デシメーションなどのデシメーション値の選択肢の配列。 nco_freq_hz: 目的の NCO シフト周波数	目的の信号パス・フロー (モード入力パラメータによって決定される)、選択したデシメーション・レシオ、および NCO 周波数シフト (使用する場合) に基づいて、ADC のデジタル・データパスを構成します。有効な <code>adi_ad9083_datapath_mode_e</code> 列挙値は次のとおりです。 AD9083_DATAPATH_ADC_CIC: ADC → CIC → JESD204B 出力 AD9083_DATAPATH_ADC_CIC_NCO_J: ADC → CIC → NCO → J デシメーション → JESD204B 出力 AD9083_DATAPATH_ADC_CIC_J: ADC → CIC → NCO → J デシメーション → JESD204B 出力 AD9083_DATAPATH_ADC_J: ADC → J デシメーション → JESD204B 出力 AD9083_DATAPATH_ADC_CIC_NCO_G: ADC → CIC → NCO → G 平均化サンプル → JESD204B 出力 AD9083_DATAPATH_ADC_CIC_NCO_G_H: ADC → CIC → NCO → G 平均化サンプル → H デシメーション → JESD204B 出力
6	adi_ad9083_jtx_startup()	&ad9083_dev: (デバイス構造ポインタ) &jtx_param: 目的のモード動作の JESD204B パラメータ設定の配列へのポインタ。	目的の構成用の SERDES パラメータを用いて JESD204B インターフェースを構成します。配列入力は次のとおりです。 {L, F, M, S, HD, K, N, NP, CF, CS, DID, BID, LID, SC, SCR}, ここで、SC = サブクラス

デバイスのセットアップに必要な API 関数呼び出しは、上記ですべてです。すべての低レベルの SPI 書込みは、これらの高レベルの呼び出しの下にある API 関数呼び出しによって処理され、ユーザによる構成を容易にするために抽象化されています。これらの各 API 関数呼び出しおよびソース・コードに含まれている低レベルの SPI 構成に関する詳細情報は、API ソース・コードと共に提供される AD9083 API 仕様書に記載されています。このソース・コードのパッケージは、AD9083 製品ページに記載されている手順でリクエストできます。

例 1 : 広帯域幅の実数出力モード

デバイスのパワーアップ後、このセクションにリストされているターゲット・アプリケーションの条件に従って API シーケンスを実行します。このシーケンスは、データパスで周波数変換を行わずに広帯域幅モードで動作するように AD9083 を構成します。このモードでの総消費電力は約 1.42W です。これは、データシートの仕様表に記載されているパラメータを測定するのに使用されている動作モードです。(表 1 を参照)。

- サンプルング・レート = 2GSPS。
- オンチップ PLL リファレンス = 250MHz。
- $f_{INMAX} = 100\text{MHz}$ (サンプルング・レート/20)。

- ローパス・フィルタのカットオフ周波数 (f_c) = 800MHz。
- $V_{MAX} = 2.0\text{V}$ 。
- $R_{TERM} = 100\Omega$ 。
- $EN_{HP} = 0$ 。
- バックオフ = 0dB。
- ミキサーをバイパス (実数データ)。
- CIC デシメータをバイパス。
- J によるデシメーション = 8。
- 出力帯域幅 = 100MHz。
- トランスポート・パラメータ L、M、F、S、N'、K = 4、16、6、1、12、32。
- 各レーン = 15Gbps。

広帯域幅動作モードでデバイスを完全に構成するには、特定の入力パラメータを使用した以下の API シーケンスが必要です。

```
// デバイス構造を定義し、インスタンス化
```

```
adi_ad9083_device_t ad9083_dev;
```

```
// ソフト・リセットを実行
```

```
adi_ad9083_device_reset(&ad9083_dev, 0);
```

```
// API リビジョン、CPU 情報などを取得
```

```
adi_ad9083_device_init(&ad9083_dev);
```

```
// クロッキング構成をセットアップし、オンチップ PLL をロック
```

```
// ADC サンプルング・レート = 2GSPS (adc_clk_hz、単位: Hz)
```

```
// PLL リファレンス・クロック = 250MHz (ref_clk_hz、単位: Hz)
```

```
adi_ad9083_device_clock_config_set(&ad9083_dev, adc_clk_hz = 2000000000, ref_clk_hz = 250000000);
```

```
// VCO ADC 設定をセットアップ
```

```
// LPF 帯域幅  $F_c = 800\text{MHz}$  ( $f_c$ 、単位: Hz)、 $V_{max} = 2.0\text{V}$  ( $v_{max}$ 、単位: mV)
```

```
//  $R_{term} = 100\Omega$  (100 $\Omega$  の場合は rterm ビット・フィールド = 2)、 $EN_{hp} = 0$ 
```

```
// Backoff = 0dB (ノイズを基準としたバックオフ、dB * 100)
```

```
//  $F_{inmax} = 100\text{MHz}$  ( $f_{inmax}$ 、単位: Hz)
```

```
adi_ad9083_adc_term_res_e rterm = AD9083_ADC_TERM_RES_100; // (enum value = 2)
```

```
adi_ad9083_rx_adc_config_set(&ad9083_dev, fc = 800000000, vmax = 2000, rterm = term, en_hp = 0, backoff = 0, finmax = 100000000);
```

```
// データパスのセットアップ
```

```
// データパス: ADC -> J -> JESD204B 出力
```

```
// デシメーション: CIC をバイパス (/1)、J デシメーション = 8、G 値をバイパス、H 値をバイパス
```

```
// NCO 周波数シフト: NCO0、NCO1、NCO2 をバイパス
```

```
adi_ad9083_datapath_mode_e datapath_mode = AD9083_DATAPATH_ADC_J;
```

```
uint8_t dec[] = {0, AD9083_J_DEC_8, 0, 0};
```

```
uint64_t nco_freq_hz = {0, 0, 0};
```

```
adi_ad9083_rx_datapath_config_set(&ad9083_dev, datapath_mode, dec, nco_freq_hz);
```

```
// JESD204B のセットアップ
// L、M、F、S、N、K = 4、16、6、1、12、32
adi_cms_jesd_param_t jtx_param[] =
    /*L F M S HD K N ' CF CS DID BID LID SC SCR */
    { 4, 6, 16, 1, 1, 32, 12, 12, 0, 0, 0, 0, 0, 0, 1 };
adi_ad9083_jtx_startup(&ad9083_dev, &jtx_param);
```

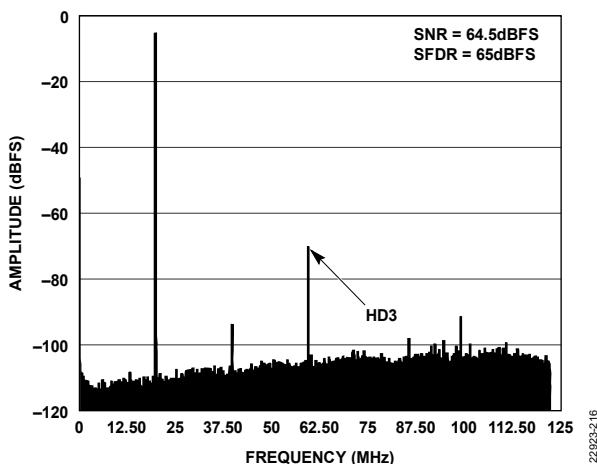


図 89. FFT 広帯域幅の実数出力モード

表 28. 消費電力、広帯域幅

Domain	Voltage (V)	Current (A)	Power (W)
AVDD	1	0.397	0.397
AVDD1P8	1.8	0.096	0.1728
DVDD	1	0.774	0.774
DVDD1P8	1.8	0.041	0.0738
		Total	1.4176
Power per Channel (W)			0.089

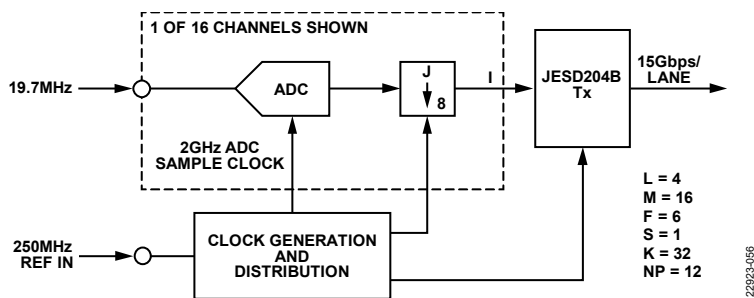


図 90. 広帯域幅実数出力モードのブロック図。表 1 を参照。

例 2 : 狭帯域幅の複素出力モード

デバイスのパワーアップ後、このセクションにリストされているターゲット・アプリケーションの条件に従って API シーケンスを実行します。このシーケンスは、データパスで周波数変換を行い、狭帯域幅モードで動作するように AD9083 を構成します。このモードでの合計消費電力は約 1.17W です。

- サンプルング・レート = 2GSPS。
- オンチップ PLL リファレンス = 250MHz。
- $f_{INMAX} = 100\text{MHz}$ (サンプルング・レート/20)。
- $f_c = 800\text{MHz}$ 。
- $V_{MAX} = 2.0\text{V}$ 。
- $R_{TERM} = 100\Omega$ 。
- $EN_{HP} = 0$ 。

- バックオフ = 0
- NCO₀/ミキサ (複素データ)、FTW = 70.3125MHz。
- CIC デシメータ = 4。
- J によるデシメーション = 16。
- 出力帯域幅 = $\pm 12.7187\text{MHz}$ 。
- トランスポート・パラメータ L、M、F、S、N'、K = 2、32、32、1、16、32。
- 各レーン = 10Gbps。

広帯域幅動作モードでデバイスを完全に構成するには、特定の入力パラメータを使用した以下の API シーケンスが必要です。

```
// デバイス構造を定義し、インスタンス化
```

```
adi_ad9083_device_t ad9083_dev;
```

```
// ソフト・リセットを実行
```

```
adi_ad9083_device_reset(&ad9083_dev, 0);
```

```
// API リビジョン、CPU 情報などを取得
```

```
adi_ad9083_device_init(&ad9083_dev);
```

```
// クロッキング構成をセットアップし、オンチップ PLL をロック
```

```
// ADC サンプルング・レート = 2GSPS (adc_clk_hz、単位: Hz)
```

```
// PLL リファレンス・クロック = 250MHz (ref_clk_hz、単位: Hz)
```

```
adi_ad9083_device_clock_config_set(&ad9083_dev, adc_clk_hz = 2000000000, ref_clk_hz = 250000000);
```

```
// VCO ADC 設定をセットアップ
```

```
// LPF 帯域幅  $f_c = 800\text{MHz}$  ( $f_c$ 、単位: Hz)、 $V_{max} = 2.0\text{V}$  ( $v_{max}$ 、単位: mV)
```

```
//  $R_{term} = 100\Omega$  (100 $\Omega$  の場合は  $r_{term}$  ビット・フィールド = 2)、 $En_{hp} = 0$ 
```

```
// Backoff = 0dB (ノイズを基準としたバックオフ、dB * 100)
```

```
//  $f_{inmax} = 100\text{MHz}$  ( $f_{inmax}$ 、単位: Hz)
```

```
adi_ad9083_adc_term_res_e rterm = AD9083_ADC_TERM_RES_100; // (enum value = 2)
```

```
adi_ad9083_rx_adc_config_set(&ad9083_dev, fc = 800000000, vmax = 2000, rterm = term, en_hp = 0, backoff = 0, finmax = 100000000);
```

```
// データパスのセットアップ
```

```
// データパス: ADC -> CIC -> NCO -> J -> JESD204B 出力
```

```
// デシメーション: CIC = 4、J デシメーション = 16、G 値をバイパス、H 値をバイパス
```

```
// NCO 周波数シフト: NCO0 = 70.3125MHz、NCO1 および NCO2 をバイパス
```

```
adi_ad9083_datapath_mode_e datapath_mode = AD9083_DATAPATH_ADC_CIC_NCO_J;
```

```
uint8_t dec[] = {AD9083_CIC_DEC_4, AD9083_J_DEC_16, 0, 0};
```

```
uint64_t nco_freq_hz = { 70312500, 0, 0};
```

```
adi_ad9083_rx_datapath_config_set(&ad9083_dev, datapath_mode, dec, nco_freq_hz);
```

```
// JESD204B のセットアップ
// L、M、F、S、N'、K = 2、32、32、1、16、32
adi_cms_jesd_param_t jtx_param[] =
    /*L F M S HD K N ' CF CS DID BID LID SC SCR */
    { 2, 32, 32, 1, 1, 32, 16, 16, 0, 0, 0, 0, 0, 0, 1 };
adi_ad9083_jtx_startup(&ad9083_dev, &jtx_param);
```

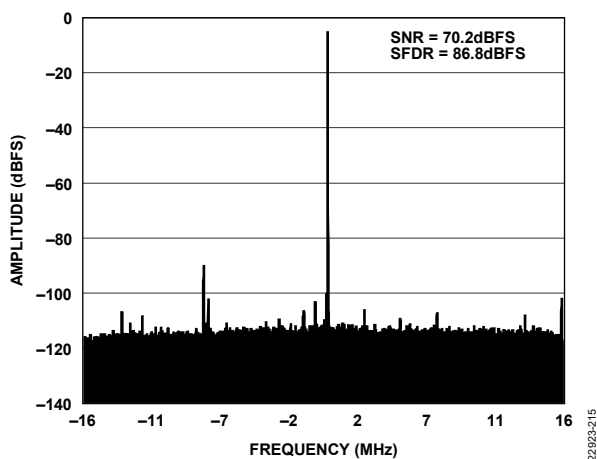


図 91. FFT 狭帯域幅の複素出力モード

表 29. 消費電力、狭帯域幅

Domain	Voltage (V)	Current (A)	Power (W)
AVDD	1	0.396	0.396
AVDD1P8	1.8	0.096	0.1728
DVDD	1	0.532	0.532
DVDD1P8	1.8	0.041	0.0738
		Total	1.1746
Power per Channel (W)			0.073

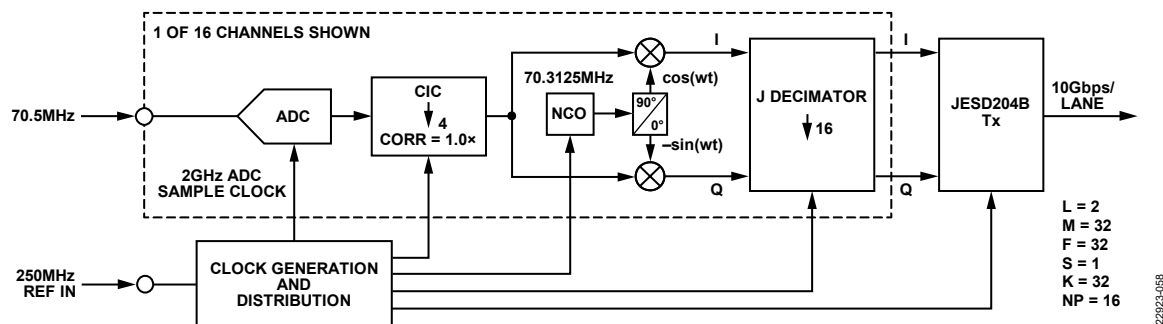


図 92. 狭帯域幅複素出力モードのブロック図

メモリ・マップ

メモリ・マップに含まれていないアドレス・ロケーションは、現時点ではこのデバイスでサポートされていません。表にないロケーションへの書込みは行わないでください。

ロジック・レベル

ロジック・レベルに関する用語を以下に説明します。

- 「ビットをセットする」というのは、「ビットをロジック 1 に設定する」、または「そのビットにロジック 1 を書き込む」ということと同義です。
- 「ビットをクリアする」というのは、「ビットをロジック 0 に設定する」、または「そのビットにロジック 0 を書き込む」ということと同義です。
- X はドント・ケア・ビットを表します。

メモリ・マップ・レジスタの詳細

表 30. AD9083 メモリ・マップ・レジスタの詳細

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
アナログ・デバイセズ SPI レジスタ						
0x000	SPI_INTERFACE_CONFIG_A	7	SOFT_RESET_7	ハード・リセットと同等のリセットを開始。ソフト・リセット始動後は、他のレジスタへの書き込みまで最低 200 μ s 待機する必要があります。これによって、デバイスのリセット動作が完了するための十分な時間を得ることができます。 0：何もしません。 1：SPI とレジスタをリセットします（自動クリア）。	0x0	R/W
		6	LSB_FIRST_6	LSB/MSB ビット・シフト・ファースト。 1：すべての SPI 動作に対し、最下位ビットが最初にシフトされます。 0：すべての SPI 動作に対し、最上位ビットが最初にシフトされます。	0x0	R/W
		5	ADDR_ASCENSION_5	マルチ・バイト SPI 動作のアドレス・インクリメント。 0：マルチバイト SPI 動作が行われると、アドレスが自動的にデクリメントされます。 1：マルチバイト SPI 動作が行われると、アドレスが自動的にインクリメントされます。	0x0	R/W
		[4:3]	RESERVED	予備。	0x0	R/W
		2	ADDR_ASCENSION_2	0x000 [5] のミラー。 0：マルチバイト SPI 動作が行われると、アドレスが自動的にデクリメントされます。 1：マルチバイト SPI 動作が行われると、アドレスが自動的にインクリメントされます。	0x0	R/W
		1	LSB_FIRST_1	0x000 [6] のミラー。 1：すべての SPI 動作に対し、最下位ビットが最初にシフトされます。 0：すべての SPI 動作に対し、最上位ビットが最初にシフトされます。	0x0	R/W
		0	SOFT_RESET_0	0x000 [7] のミラー。 0：何もしません。 1：SPI とレジスタをリセットします（自動クリア）。	0x0	R/W
0x001	SPI_INTERFACE_CONFIG_B	7	SINGLE_INSTRUCTION	SPI ストリーム・モード。 0：ストリームを有効化します。 1：ストリームを無効化します。CSB ラインの状態に関係なく、1 回の読書き動作のみが実行されます。	0x0	R/W
		[6:0]	RESERVED	予備。	0x0	R/W
0x002	DEVICE_CONFIG	[7:2]	RESERVED	予備。	0x0	R
		[1:0]	OP_MODE	動作モード。 00：通常動作。 01：消費電力を減じた通常動作。 10：スタンバイ。 11：スリープ。	0x0	R/W
0x003	CHIP_TYPE	[7:0]	CHIP_TYPE	高速 ADC。	0x3	R
0x004	PROD_ID_LSB	[7:0]	PROD_ID[7:0]	チップ ID。AD9083	0xEA	R
0x005	PROD_ID_MSB	[7:0]	PROD_ID[15:8]	チップ ID。AD9083	0x0	R
0x006	CHIP_GRADE	[7:4]	CHIP_SPEED_GRADE	チップの速度グレード。	0x0	R
		[3:0]	RESERVED	予備。	0x0	R
0x008	DEVICE_INDEX1	[7:0]	DEV_INDEX1	デバイス・インデックス・レジスタのオフセット・ポインタまたは LSB。	0x0	R/W
0x009	DEVICE_INDEX2	[7:0]	DEV_INDEX2	デバイス・インデックス・レジスタのオフセット・ポインタまたは LSB。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x0A	CHIP_SCRATCH	[7:0]	CHIP_SCRATCH	チップ・スクラッチパッド・レジスタ。このレジスタは、ソフトウェア・デバッグ用の一貫したメモリ・ロケーションを提供するために使用します。	0x0	R/W
0x0C	VENDOR_ID_LSB	[7:0]	CHIP_VENDOR_ID[7:0]	ベンダ ID。	0x56	R
0x0D	VENDOR_ID_MSB	[7:0]	CHIP_VENDOR_ID[15:8]	ベンダ ID。	0x4	R
0x20	PORB_STAT	7	RESERVED	予備。	0x0	R
		6	PORB_VDDSYNTH_JTX_PLL_IP0	JESD PLL 1.0V V _{DD} の PORb ステータス。	0x0	R
		5	PORB_VDDPHY_SER_IP0	JESD SER PHY 1.0V V _{DD} の PORb ステータス。	0x0	R
		4	PORB_VDDLDO_JTX_PLL_IP8	JESD PLL (LDO) 1.8V V _{DD} の PORb ステータス。	0x0	R
		3	PORB_VDDCP_JTX_PLL_IP0	JESD PLL 1.0V V _{DD} の PORb ステータス。	0x0	R
		2	PORB_VDD_SYNCRX_IP8	SYNCRX I/O V _{DD} 1.8V の PORb ステータス。	0x0	R
		1	PORB_VDD_DIG_IP0	デジタル 1.0V V _{DD} およびデジタル I/O 1.8V V _{DD} の PORb ステータス。	0x0	R
		0	PORB_VDD_ANA	ADC、CLKTOP、オンチップ PLL、TOPREF での V _{DD} ドメインのステータス。	0x0	R
0x21	PORB_MASK_RESET	[7:1]	RESERVED	予備。	0x0	R
		0	PORB_IGNORE	内部リセットを PORb でゲートするかどうかを制御。	0x0	R/W
0x24	BLOCK_RESET	[7:6]	RESERVED	予備。	0x0	R
		5	DIG_DP_JTX_RESET	DIG データバスと JTX のリセット。 1: リセットをアサート。 0: リセットをアサート解除。	0x0	R/W
		4	JTX_PLL_RESET	JTX_PLL のリセット。 1: リセットをアサート。 0: リセットをアサート解除。	0x0	R/W
		3	JTXPHY_RESET	SER PHY のリセット。 1: リセットをアサート。 0: リセットをアサート解除。	0x0	R/W
		2	TOPREF_RESET	TOP REF のリセット。 1: リセットをアサート。 0: リセットをアサート解除。	0x0	R/W
		1	CLKTOP_RESET	CLK TOP のリセット。 1: リセットをアサート。 0: リセットをアサート解除。	0x0	R/W
		0	ADC_RESET	ADC のリセット。 1: リセットをアサート。 0: リセットをアサート解除。	0x0	R/W
		0x30	LOW_PWR_PIN_CTRL	[7:6]	RESERVED	予備。
5	JTXPHY_PIN_CTRL			JTXPHY 用。 1: PD ビンと MASK ビットの制御 0: CONFIG ビットのプログラミング制御	0x0	R/W
4	JTX_PIN_CTRL			JTX 用。 1: PD ビンと MASK ビットの制御 0: CONFIG ビットのプログラミング制御	0x0	R/W
3	DIG_DP_PIN_CTRL			DIG DP 用。 1: PD ビンと MASK ビットの制御 0: CONFIG ビットのプログラミング制御	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
		2	TOPREF_PIN_CTRL	TOP REF 用。 1: PD ビンと MASK ビットの制御 0: CONFIG ビットのプログラミング制御	0x0	R/W
		1	CLKTOP_PIN_CTRL	CLKTOP のパワーダウン。 1: PD ビンと MASK ビットの制御 0: CONFIG ビットのプログラミング制御	0x0	R/W
		0	ADC_PIN_CTRL	16 個すべての ADC 用。 1: PD ビンと MASK ビットの制御 0: CONFIG ビットのプログラミング制御	0x0	R/W
0x31	LOW_PWR_PIN_POLARITY	[7:2]	RESERVED	予備。	0x0	R
		[1:0]	POL	PD ビンの極性。 0: アクティブ・ハイ。 1: アクティブ・ロー。	0x0	R/W
0x32	LOW_PWR_CONFIG	[7:6]	RESERVED	予備。	0x0	R
		5	JTXPHY_LP_MODE	JTXPHY の低消費電力モード。 0: 通常動作モード。 1: 低消費電力モード。	0x0	R/W
		4	JTX_LP_MODE	JTX の低消費電力モード。 0: 通常動作モード 1: 低消費電力モード	0x0	R/W
		3	DIG_DP_LP_MODE	デジタル・データバスの低消費電力モード。 0: 通常動作モード 1: 低消費電力モード	0x0	R/W
		2	TOPREF_LP_MODE	トップ・リファレンスの低消費電力モード。1 の場合、オンチップ PLL、ADC、クロック・バッファ、およびマスタ・バイアスからのモニタ・マルチプレクサへのバイアス電流は無効化されます。BG はアクティブのままです。 0: 通常動作モード 1: 低消費電力モード	0x0	R/W
		1	CLKTOP_LP_MODE	クロック・トップの低消費電力モード。 0: 通常動作モード 1: 低消費電力モード	0x0	R/W
		0	ADC_LP_MODE	16 個すべての ADC の低消費電力モード。 0: 通常動作モード 1: 低消費電力モード	0x0	R/W
0x33	LOW_PWR_PIN_MASK	[7:6]	RESERVED	予備。	0x0	R
		5	JTXPHY_LP_PIN_MASK	PD を JTXPHY にマスク。 0: マスク 1: マスクを解除	0x0	R/W
		4	JTX_LP_PIN_MASK	PD を JTX にマスク。 0: マスク 1: マスクを解除	0x0	R/W
		3	DIG_DP_LP_PIN_MASK	PD を DIG_DP にマスク。 0: マスク 1: マスクを解除	0x0	R/W
		2	TOPREF_LP_PIN_MASK	PD を TOP REF にマスク。 0: マスク 1: マスクを解除	0x0	R/W
		1	CLKTOP_LP_PIN_MASK	PD を CLKTOP にマスク。 0: マスク 1: マスクを解除	0x0	R/W
		0	ADC_LP_PIN_MASK	PD を ADC にマスク。 0: マスク 1: マスクを解除	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
デジタル・データベース・セットアップ・レジスタ						
0x100	NCO0_CONTROL	[7:1]	RESERVED	予備。	0x0	R
		0	ADITHER_EN0	NCO0の振幅ディザ・イネーブル。 1: 振幅ディザを有効化します。 0: 振幅ディザを無効化します。	0x1	R/W
0x105	NCO0_FTW	7	RESERVED	予備。	0x0	R
		[6:0]	NCO0_FTW	NCO0のNCO周波数チューニング・ワード。NCO0の周波数チューニング・ワードを指定します。ビット [6:0] のみが有効です。	0x0	R/W
0x106	NCO0_PHOFF	7	RESERVED	予備。	0x0	R
		[6:0]	NCO0_PHOFF	NCO0のNCO位相オフセット。NCO0の位相オフセットを指定します。ビット [6:0] のみが有効です。	0x0	R/W
0x107	NCO1_CONTROL	[7:1]	RESERVED	予備。	0x0	R
		0	ADITHER_EN1	NCO1の振幅ディザ・イネーブル。 1: 振幅ディザを有効化します。 0: 振幅ディザを無効化します。	0x1	R/W
0x10C	NCO1_FTW	7	RESERVED	予備。	0x0	R
		[6:0]	NCO1_FTW	NCO1のNCO周波数チューニング・ワード。NCO1の周波数チューニング・ワードを指定します。ビット [6:0] のみが有効です。	0x0	R/W
0x10D	NCO1_PHOFF	7	RESERVED	予備。	0x0	R
		[6:0]	NCO1_PHOFF	NCO1のNCO位相オフセット。NCO1の位相オフセットを指定します。ビット [6:0] のみが有効です。	0x0	R/W
0x10E	NCO2_CONTROL	[7:1]	RESERVED	予備。	0x0	R
		0	ADITHER_EN2	NCO2の振幅ディザ・イネーブル。 1: 振幅ディザを有効化します。 0: 振幅ディザを無効化します。	0x1	R/W
0x113	NCO2_FTW	7	RESERVED	予備。	0x0	R
		[6:0]	NCO2_FTW	NCO2のNCO周波数チューニング・ワード。NCO2の周波数チューニング・ワードを指定します。ビット [6:0] のみが有効です。	0x0	R/W
0x114	NCO2_PHOFF	7	RESERVED	予備。	0x0	R
		[6:0]	NCO2_PHOFF	NCO2のNCO位相オフセット。NCO2の位相オフセットを指定します。ビット [6:0] のみが有効です。	0x0	R/W
0x115	MIXER_CTRL	[7:2]	RESERVED	予備。	0x0	R
		[1:0]	MIXER_MODE	ミキサー・モード。 00: 通常動作モード: 出力は入力にNCOデータを掛けただけになります。 01: NCOバイパス・モード: 出力は入力と同じです。 10: 予備。 11: NCOテスト・モード: 出力は、NCOデータを定数倍したことになります。	0x0	R/W
0x116	DP_CTRL	7	RESERVED	予備。	0x0	R
		[6:5]	NUM_TONES	トーンの数。バースト・モードでのADCあたりのトーン数を定義します。このフィールドは、BURST_MODE = 1の場合にのみ有効です。 00: 無効。 01: 1 トーン。 10: 2 トーン。 11: 3 トーン。	0x3	R/W
		4	DECI_ADC_DATA	Jデシメータ入力をADC出力から。 1: ADC出力をJデシメータへ。 0: CIC出力をJデシメータへ。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
		3	NCO_6DB_GAIN	ゲイン 6dB のイネーブル。 1: データパスで NCO を使用する場合、6dB のゲインを有効化します。 0: すべてのモードで 6dB のゲインを無効化します。	0x0	R/W
		2	BURST_MODE	バースト・モード。 1: バースト・モードを選択します。G/H パスを選択します。 0: 非バースト・モード。J パスによるデシメーションを選択します。	0x1	R/W
		1	NO_DDC_MODE	NCO バイパス。このビットは非バースト・モードでのみ有効であることに注意してください。 1: NCO/ミキサー（実数データ）をバイパスします。 0: NCO/ミキサーを有効化します。	0x0	R/W
		0	DATAPATH_EN	データパス・イネーブル。 1: 16 個のデータパスすべてを有効化します。 0: 16 個のデータパスすべてを無効化します。	0x0	R/W
0x117	CIC_CTRL	[7:3]	RESERVED	予備。	0x0	R
		2	CIC_ACC_CLR	CIC アキュムレータ・クリア。 1: 16 個のデータパスすべての CIC アキュムレータをクリアします。 0: 何もしません。	0x0	R/W
		[1:0]	CIC_DEC_RATE	CIC デシメーション・レート。 00: デシメーション・レシオ 4 01: デシメーション・レシオ 8 10: デシメーション・レシオ 16 これは 16 個のデータパスすべてに共通です。 00: デシメーション・レシオ 4。 01: デシメーション・レシオ 8。 10: デシメーション・レシオ 16。	0x0	R/W
0x118	DECIMATE_H	[7:0]	H_VALUE	"H" の値。バースト・モードでのデシメーションの "H" 値を指定します。(G/H) 例えば、`h04` => デシメーション・レシオ 4 000001: 1。 001100: 12。 001110: 14。 010000: 16。 010010: 18。 011000: 24。 011100: 28。 100000: 32。 100100: 36。	0x10	R/W
0x119	DECIMATE_G	[7:0]	G_VALUE	"G" の値。バースト・モードでの "G" 値を指定します。(G/H) 多くのサンプルの平均化を行う場合に指定します。 000000: N/A。 010000: 8。 100000: 16。	0x8	R/W
0x11A	DECIMATE_J	[7:4]	RESERVED	予備。	0x0	R
		[3:0]	DEC_J	J デシメータのビット。 0000: バイパス（デシメーションなし）。 0001: デシメーション・レシオ 4。 0010: デシメーション・レシオ 8。 0011: デシメーション・レシオ 16。 0100: 無効。 0101: 無効。 0110: デシメーション・レシオ 12。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
				0111 : デシメーション・レシオ 24。 1000 : 無効。 1001 : デシメーション・レシオ 10 (CIC データに対してのみ有効。ADC データのデシメーションには無効)。 1010 : デシメーション・レシオ 20。 1011 : デシメーション・レシオ 40。 1100 : 無効。 1101 : 無効。 1110 : 無効。 1111 : デシメーション・レシオ 60。		
0x11B	DECIMATE_H_EFF	[7:0]	H_EFF_VALUE	"H_EFF"の値。バースト・モードでのデシメーションの"H"値を指定します。(G/H) 例えば、'h04 => デシメーション・レシオ 4	0x10	R
0x152	CIC_GAIN_ADJ_VALUE_0	[7:0]	CIC_GAIN_ADJ_VAL_0[7:0]	CIC ゲイン調整 0。インテジャー-4。フラクション-10。	0x7	R/W
0x153	CIC_GAIN_ADJ_VALUE_1	[7:2]	RESERVED	予備。	0x0	R
		[1:0]	CIC_GAIN_ADJ_VAL_0[9:8]	CIC ゲイン調整 0。インテジャー-4。フラクション-10。	0x0	R/W
0x154	CIC_GAIN_ADJ_VALUE_2	[7:4]	RESERVED	予備。	0x0	R
		[3:0]	CIC_GAIN_ADJ_VAL_0[13:10]	CIC ゲイン調整 0。インテジャー-4。フラクション-10。	0x1	R/W
0x155	CIC_GAIN_ADJ_VALUE_3	[7:0]	CIC_GAIN_ADJ_VAL_1[7:0]	CIC ゲイン調整 1。インテジャー-4。フラクション-10。	0x20	R/W
0x156	CIC_GAIN_ADJ_VALUE_4	[7:2]	RESERVED	予備。	0x0	R
		[1:0]	CIC_GAIN_ADJ_VAL_1[9:8]	CIC ゲイン調整 1。インテジャー-4。フラクション-10。	0x0	R/W
0x157	CIC_GAIN_ADJ_VALUE_5	[7:4]	RESERVED	予備。	0x0	R
		[3:0]	CIC_GAIN_ADJ_VAL_1[13:10]	CIC ゲイン調整 1。インテジャー-4。フラクション-10。	0x1	R/W
0x158	CIC_GAIN_ADJ_VALUE_6	[7:0]	CIC_GAIN_ADJ_VAL_2[7:0]	CIC ゲイン調整 2。インテジャー-4。フラクション-10。	0x4A	R/W
0x159	CIC_GAIN_ADJ_VALUE_7	[7:2]	RESERVED	予備。	0x0	R
		[1:0]	CIC_GAIN_ADJ_VAL_2[9:8]	CIC ゲイン調整 2。インテジャー-4。フラクション-10。	0x0	R/W
0x170	CIC_GAIN_ADJ_VALUE_8	[7:4]	RESERVED	予備。	0x0	R
		[3:0]	CIC_GAIN_ADJ_VAL_2[13:10]	CIC ゲイン調整 2。インテジャー-4。フラクション-10。	0x1	R/W
0x189	OUT_RES	[7:6]	RESERVED	予備。	0x0	R
		5	DFORMAT_DDC_DITHER_EN	0 : 無効化 1 : 有効化	0x0	R/W
		[3:0]	DFORMAT_RES	データ出力の分解能。 0000 : 16 ビット分解能。 0001 : 15 ビット分解能。 0010 : 14 ビット分解能。 0011 : 13 ビット分解能。 0100 : 12 ビット分解能。 0101 : 11 ビット分解能。 0110 : 10 ビット分解能。 0111 : 9 ビット分解能。 1000 : 8 ビット分解能。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x18A	OUT_FORMAT_SEL	[7:3]	RESERVED	予備。	0x0	R
		2	DFORMAT_INV	出力データ反転イネーブル。デジタル ADC サンプルの反転。 0 : ADC サンプル・データを反転しません。 1 : ADC サンプル・データを反転します。	0x0	R/W
		[1:0]	DFORMAT_SEL	出力データ・フォーマットの選択。 00 : 2 の補数。 01 : オフセット・バイナリ。 10 : グレイ・コード。	0x0	R/W
0x18B	CTRL_0_1_SEL	[7:4]	DFORMAT_CTRL_BIT_1_SEL	制御ビット 1 マルチプレクサの選択。 00 : オーバーレンジ・ビット。 01 : SYSREF。	0x0	R/W
		[3:0]	DFORMAT_CTRL_BIT_0_SEL	制御ビット 0 マルチプレクサの選択。 00 : オーバーレンジ・ビット。 01 : SYSREF。	0x0	R/W
0x18C	CTRL_2_SEL	[7:4]	RESERVED	予備。	0x0	R
		[3:0]	DFORMAT_CTRL_BIT_2_SEL	制御ビット 2 マルチプレクサの選択。 00 : オーバーレンジ・ビット。 01 : SYSREF。	0x0	R/W
0x18D	OVR_CLR_0	[7:0]	DFORMAT_OVR_CLR[7:0]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット (アクティブ・ハイ)。 オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W
0x18E	OVR_CLR_1	[7:0]	DFORMAT_OVR_CLR[15:8]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット (アクティブ・ハイ)。 オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W
0x18F	OVR_CLR_2	[7:0]	DFORMAT_OVR_CLR[23:16]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット (アクティブ・ハイ)。 オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x190	OVR_CLR_3	[7:0]	DFORMAT_OVR_CLR[31:24]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット（アクティブ・ハイ）。オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W
0x191	OVR_CLR_4	[7:0]	DFORMAT_OVR_CLR[39:32]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット（アクティブ・ハイ）。オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W
0x192	OVR_CLR_5	[7:0]	DFORMAT_OVR_CLR[47:40]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット（アクティブ・ハイ）。オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W
0x193	OVR_CLR_6	[7:0]	DFORMAT_OVR_CLR[55:48]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット（アクティブ・ハイ）。オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W
0x194	OVR_CLR_7	[7:0]	DFORMAT_OVR_CLR[63:56]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット（アクティブ・ハイ）。オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x195	OVR_CLR_8	[7:0]	DFORMAT_OVR_CLR[71:64]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット（アクティブ・ハイ）。 オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W
0x196	OVR_CLR_9	[7:0]	DFORMAT_OVR_CLR[79:72]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット（アクティブ・ハイ）。 オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W
0x197	OVR_CLR_10	[7:0]	DFORMAT_OVR_CLR[87:80]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット（アクティブ・ハイ）。 オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W
0x198	OVR_CLR_11	[7:0]	DFORMAT_OVR_CLR[95:88]	オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジ・クリア・ビット（アクティブ・ハイ）。 オーバーレンジ・スティッキー・ビットのセット後は、対応する DFORMAT_OVR_CLR ビットに 1 を書き込むことによって明示的にクリアするまで、セットされたままになります。更にオーバーレンジが通知されるようにするには、DFORMAT_OVR_CLEAR [95:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット・クリア [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット・クリア [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット・クリア 以下同様。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x199	OVR_STATUS_0	[7:0]	DFORMAT_OVR_STATUS[7:0]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R
0x19A	OVR_STATUS_1	[7:0]	DFORMAT_OVR_STATUS[15:8]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R
0x19B	OVR_STATUS_2	[7:0]	DFORMAT_OVR_STATUS[23:16]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x19C	OVR_STATUS_3	[7:0]	DFORMAT_OVR_STATUS[31:24]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R
0x19D	OVR_STATUS_4	[7:0]	DFORMAT_OVR_STATUS[39:32]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R
0x19E	OVR_STATUS_5	[7:0]	DFORMAT_OVR_STATUS[47:40]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x19F	OVR_STATUS_6	[7:0]	DFORMAT_OVR_STATUS[55:48]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R
0x1A0	OVR_STATUS_7	[7:0]	DFORMAT_OVR_STATUS[63:56]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R
0x1A1	OVR_STATUS_8	[7:0]	DFORMAT_OVR_STATUS[71:64]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x1A2	OVR_STATUS_9	[7:0]	DFORMAT_OVR_STATUS[79:72]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R
0x1A3	OVR_STATUS_10	[7:0]	DFORMAT_OVR_STATUS[87:80]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R
0x1A4	OVR_STATUS_11	[7:0]	DFORMAT_OVR_STATUS[95:88]	出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ・インジケーション・スティッキー・ビット（アクティブ・ハイ）。仮想コンバータごとに1ビット。 0：オーバーレンジは発生していません。 1：オーバーレンジが発生しました。 仕様規定されている入力範囲を超えてコンバータが駆動された場合、このビットは1に設定されます。これはスティッキーです。つまり、該当する DFORMAT_OVR_CLEAR [15:0] ビットに1を書き込むことによって明示的にクリアされるまで、セットされたままになります。更にオーバーフローが通知されるようにするには、該当する DFORMAT_OVR_CLEAR [15:0] ビットをクリアする必要があります。 [0] = コンバータ 0 のオーバーレンジ・スティッキー・ビット [1] = コンバータ 1 のオーバーレンジ・スティッキー・ビット [2] = コンバータ 2 のオーバーレンジ・スティッキー・ビット 以下同様。	0x0	R
0x1B0	DATA_PATTERN_OVERRIDE	[7:4]	RESERVED	予備。	0x0	R
		[3:2]	RESERVED	予備。	0x0	R
		1	DATA_PATTERN_OVERRIDE	このビットは、Dformat の Dformat_tmode_sel[*] をオーバーライドします。 0：データ・パターンをオーバーライドしません（デフォルト）。 1：データ・パターンをオーバーライドします。	0x0	R/W
		0	RESERVED	予備。	0x0	R

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x1C0	SYNC_CTRL1	[7:4]	RESERVED	予備。	0x1	R
		3	NCORESET_ALL_SYSREF	SYSREF による NCO のリセット制御。再同期モードでのみ適用できます。 0: NCO リセットは、クロックの再同期を起動した SYSREF でのみ実行されます。 1: NCO リセットは、すべての SYSREF パルスで実行されず (SYSREF 周期が LMFC 周期よりはるかに長い場合を除いて推奨されません)。	0x1	R/W
		2	SYSREF_RESYNC_MODE	SYSREF 再同期モード。 0: SYSREF は再同期に使用されません。 1: SYSREF は再同期に使用されます。	0x0	R/W
		1	RISEDGE_SYSREF	SYSREF の立上がりエッジ。 0: SYSREF ピンで立上がりエッジは検出されません。入力 SYSREF はそのまま使用されます。 1: 入力 SYSREF で立上がりエッジが検出され、エッジとして使用されます。	0x0	R/W
		0	DP_CLK_FORCEN	予備。	0x0	R/W
0x1C1	TRIG_PROG_DELAY	[7:0]	TRIG_PROG_DELAY	$f_s/4$ クロック・サイクルを単位とした入力トリガのプログラマブルな遅延。	0x0	R/W
0x1C2	SYSREF_PROG_DELAY	[7:0]	SYSREF_PROG_DELAY	$f_s/2$ クロック・サイクルを単位とした入力 SYSREF のプログラマブルな遅延。	0x0	R/W
0x1C3	TRIG_CTRL	[7:6]	TRIG_EDGE_CTRL	トリガ・エッジ検出の制御。 00: エッジを検出ししない。 01: 立上がりエッジ。 10: 立下がりエッジ。	0x0	R/W
		[5:0]	RESERVED	予備。	0x10	R/W
0x1C4	DDC_SYNC_CTRL	[7:5]	RESERVED	予備。	0x0	R/W
		4	DDC_SOFT_RESET	デジタル・ダウン・コンバータのソフト・リセット。デジタル・ダウン・コンバータのソフト・リセット。 0: 通常動作。 1: リセット中 DDC を保持。 注: このビットは、DDC ブロック内のすべての NCO を同期するのに使用できます。	0x0	R/W
		[3:2]	RESERVED	予備。	0x0	R
		1	DDC_SYNC_NEXT	DDC の次の同期モード。DDC の次の同期モード。 0: 連続モード 1: 次の同期モード。SYSREF ピンの次の有効なエッジのみが DDC ブロック内の NCO 同期に使用されます。SYSREF ピンのそれ以降のエッジは無視されます。 注: この機能を連続モードで正しく動作させるには、SYSREF ピンを NCO 周波数の整数倍とする必要があります。	0x1	R/W
		0	DDC_SYNC_EN	DDC 同期イネーブル。DDC 同期イネーブル。 0: 同期を無効化。 1: 同期を有効化。DDC_SYNC_NEXT = 1 の場合、この SYSREF ピンの次の有効なエッジのみが DDC ブロック内の NCO 同期に使用されます。SYSREF ピンのそれ以降のエッジは無視されます。次の SYSREF を受信した後、更に後続の SYSREF を使用するためには、これをクリアする必要があります。 注: DDC を同期化するには、SYSREF 土入力ピンをイネーブルする必要があります。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x1C5	DDC_SYNC_STATUS	[7:1]	RESERVED	予備。	0x0	R
		0	DDC_SYNC_EN_CLEAR	DDC 同期イネーブル・クリア・ステータス。DDC 同期イネーブル・クリア・ステータス。	0x0	R
JESD204B トランスミッタ (JTX) コントロール・レジスタ						
0x200 to 0x25F by 1	JTX_CORE_SAMPLE_XBARn	7	JTX_CONV_DISABLE	コンバータ・サンプル・マスクを 0 にする。	0x0	R/W
		[6:0]	JTX_CONV_SEL	コンバータ・サンプル・クロスバーの選択。	0x0	R/W
0x260	JTX_CORE_CONFIG	7	JTX_SYSREF_FOR_RELINK	SYNC-がアサートされている場合、別の SYSREF パルスを受信するまでレーン・データを 0 にマスク。JESD204B 動作にのみ適用。	0x0	R/W
		6	JTX_SYSREF_FOR_STARTUP	リセット後、最初の SYSREF パルスを受信するまでレーン・データを 0 にマスク。	0x0	R/W
		[5:4]	RESERVED	予備。	0x0	R
		3	JTX_CHKSUM_LSB_ALG	0 : チェックサム用に L0 設定の全オクテットを加算。1 : チェックサム用に個別にフィールドを加算。	0x0	R/W
		2	JTX_CHKSUM_DISABLE	チェックサムは常に 0。	0x0	R/W
		[1:0]	JTX_LINK_TYPE	リンク・レイヤー・タイプの選択 : 0 : 204B。1 : 204C。2 : 204H。	0x0	R/W
0x261 to 0x264 by 1	JTX_CORE_LANE_XBARn	7	JTX_LANE_PD	リンクとクロスバーの設定に基づく使用中の物理レーン。	0x0	R
		6	JTX_FORCE_LANE_PD	0 を送信し jtx_lane_pd をアクティブ化。	0x0	R/W
		5	JTX_LANE_INV	反転ロジック・レーン・データ (クロスバー前)。	0x0	R/W
		[4:0]	JTX_LANE_SEL	レーン・クロスバーの選択。ここでの設定により物理・レーンにフィードする論理レーンが選択されます。	0x0	R/W
0x271	JTX_CORE_TEST_CONFIG	7	JTX_TEST_USER_GO	USER_SINGLE テスト・モードをアクティブ化。	0x0	R/W
		6	JTX_TEST_MIRROR	テスト・データの逆ビット順。	0x0	R/W
		[5:4]	JTX_TEST_GEN_SEL	テスト挿入ポイント。	0x0	R/W
		[3:0]	JTX_TEST_GEN_MODE	テスト・モードの選択。 0 : TEST_GEN_SEL = 0 の場合無効化、TEST_GEN_SEL = 1 の場合レーン・ループバック。 1 : CHECKER_BOARD 2 : WORD_TOGGLE 3 : PN31 5 : PN15 7 : PN7 8 : RAMP 14 : USER_REPEAT 15 : USER_SINGLE.	0x0	R/W
0x272	JTX_TEST_USER_DATA0	[7:0]	JTX_TEST_USER_DATA[7:0]	LSB でのユーザ定義テスト・データ。	0x0	R/W
0x273	JTX_TEST_USER_DATA1	[7:0]	JTX_TEST_USER_DATA[15:8]	LSB でのユーザ定義テスト・データ。	0x0	R/W
0x274	JTX_TEST_USER_DATA2	[7:0]	JTX_TEST_USER_DATA[23:16]	LSB でのユーザ定義テスト・データ。	0x0	R/W
0x275	JTX_TEST_USER_DATA3	[7:0]	JTX_TEST_USER_DATA[31:24]	LSB でのユーザ定義テスト・データ。	0x0	R/W
0x276	JTX_TEST_USER_DATA4	[7:0]	JTX_TEST_USER_DATA[39:32]	LSB でのユーザ定義テスト・データ。	0x0	R/W
0x277	JTX_TEST_USER_DATA5	[7:0]	JTX_TEST_USER_DATA[47:40]	LSB でのユーザ定義テスト・データ。	0x0	R/W
0x278	JTX_TEST_USER_DATA6	[7:0]	JTX_TEST_USER_DATA[55:48]	LSB でのユーザ定義テスト・データ。	0x0	R/W
0x279	JTX_TEST_USER_DATA7	[7:0]	JTX_TEST_USER_DATA[63:56]	LSB でのユーザ定義テスト・データ。	0x0	R/W
0x27A	JTX_TEST_USER_DATA8	[7:2]	RESERVED	予備。	0x0	R
		[1:0]	JTX_TEST_USER_DATA[65:64]	LSB でのユーザ定義テスト・データ。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x27B	JTX_CORE_SYNC_N_SEL	[7:3]	RESERVED	予備。	0x0	R
		[2:0]	JTX_SYNC_N_SEL	物理的な sync_n ソース・ピンを選択する 10 進数値。 JTX_NUM_LINKS = 1 の場合は無視します。	0x0	R/W
0x27C	JTX_CORE_13	[7:1]	RESERVED	予備。	0x0	R
		0	JTX_LINK_EN	JTX の技術文書を参照。	0x0	R/W
0x27D	JTX_TPL_CONFIG0	[7:3]	JTX_NS_CFG	conv_sample のコンバータあたりの固有サンプル数。	0x0	R/W
		2	JTX_TPL_CONV_ASYNCRONOUS	link_pclk が conv_clk に同期することを仮定。これにより、固定レイテンシー・モードでのドメイン・ハンドオフ・バッファの遅延が増加します。遅延を増加するには JTX_TPL_ASYNC_SUPPORT パラメータを設定することが必要な場合があります。	0x0	R/W
		1	JTX_TPL_TEST_ENABLE	ロング・トランスポート層のテストをイネーブル。	0x0	R/W
		0	JTX_TPL_ADAPTIVE_LATENCY	適応型レイテンシー・モードを有効化。デフォルトは 0 であることが可能です。	0x0	R/W
0x27E	JTX_TPL_CONFIG1	7	JTX_TPL_SYSREF_IGNORE_WHEN_LINKED	SYNC-がアサート解除された場合に受信する SYSREF をマスク。204B 動作にのみ適用。	0x0	R/W
		6	JTX_TPL_SYSREF_CLR_PHASE_ERR	jtx_tpl_sysref_phase_err をクリア。	0x0	R/W
		5	JTX_TPL_SYSREF_MASK	任意の受信 SYSREF を 0 にマスク。	0x0	R/W
		[4:3]	RESERVED	予備。	0x0	R
		2	JTX_TPL_SYSREF_PHASE_ERR	以前に確立された SYSREF フェーズ以降の予期せぬ時間に受信 SYSREF が登録された。	0x0	R
		1	JTX_TPL_SYSREF_RCVD	SYSREF フェーズが確立された。	0x0	R
0	RESERVED	予備。	0x0	R		
0x27F	JTX_TPL_LATENCY_ADJUST	[7:0]	JTX_TPL_LATENCY_ADJUST	レイテンシーの付加 conv_clk サイクルを追加（両方のレイテンシー・モード）。適応型レイテンシー・モードが適応範囲を広げるのに便利です。	0x0	R/W
0x280	JTX_TPL_PHASE_ADJUST0	[7:0]	JTX_TPL_PHASE_ADJUST[7:0]	conv_clk の出力 LMFC 位相調整。最大値は k*s/ns-1 です。	0x0	R/W
0x281	JTX_TPL_PHASE_ADJUST1	[7:0]	JTX_TPL_PHASE_ADJUST[15:8]	conv_clk の出力 LMFC 位相調整。最大値は k*s/ns-1 です。	0x0	R/W
0x282	JTX_TPL_TEST_NUM_FRAMES0	[7:0]	JTX_TPL_TEST_NUM_FRAMES_M0[7:0]	ロング・トランスポート層テスト・パターンのフレーム数 (-1)。	0x0	R/W
0x283	JTX_TPL_TEST_NUM_FRAMES1	[7:0]	JTX_TPL_TEST_NUM_FRAMES_M1[15:8]	ロング・トランスポート層テスト・パターンのフレーム数 (-1)。	0x0	R/W
0x284	JTX_TPL_SYSREF_N_SHOT	[7:5]	RESERVED	予備。	0x0	R
		4	JTX_TPL_SYSREF_N_SHOT_ENABLE	n_shot_count で指定された N 番目のパルス以外のすべての受信 SYSREF パルスをマスク。これを無効にするとすべての SYSREF パルスがサンプリングされ（連続モード）、n_shot カウントはリセットされます。	0x0	R/W
		[3:0]	JTX_TPL_SYSREF_N_SHOT_COUNT	N 番目のパルス（N はプログラムされた値+1）以外のすべての受信 SYSREF パルスをマスク。n_shot_enable がロジック・ハイの場合のみ使用されます。	0x0	R/W
0x285	JTX_TPL_BUF_FRAMES	[7:0]	JTX_TPL_BUF_FRAMES	トランスポート層のバッファを通じたフレーム遅延。	0x0	R
0x286	JTX_L0_DID	[7:0]	JTX_DID_CFG	デバイス（=リンク）識別番号。	0x0	R/W
0x287	JTX_L0_ADJCNT_BID	[7:4]	JTX_ADJCNT_CFG	DAC LMFC を調整するための調整分解能ステップ数。サブクラス 2 の動作にのみ適用。	0x0	R/W
		[3:0]	JTX_BID_CFG	バンク ID。DID への拡張。	0x0	R/W
		[4:0]	RESERVED	予備。	0x0	R

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x289	JTX_L0_SCR_L	7	JTX_SCR_CFG	JTx スクランプラ 0 = ディスエーブル 1 = イネーブル	0x0	R/W
		[6:5]	RESERVED	予備。	0x0	R
		[4:0]	JTX_L_CFG	コンバータ・デバイス（リンク）あたりのレーン数。 0 : L = 1 1 : L = 2 2 : L = 3 3 : L = 4 3を超える値はサポートされていません	0x0	R/W
0x28A	JTX_L0_F	[7:0]	JTX_F_CFG	1レーンのフレームあたりオクテット数。 $F = N/16 \times M \times N / L_0$	0x0	R/W
0x28B	JTX_L0_K	[7:0]	JTX_K_CFG	複数フレーム/ブロックのフレーム数。	0x0	R/W
0x28C	JTX_L0_M	[7:0]	JTX_M_CFG	1デバイスあたりのコンバータ数。 1リンクあたりの仮想コンバータの JTx 数 (M=JTX M 設定 + 1)。0 = 1 仮想コンバータ、1 = 2 仮想コンバータ、2 = 3 仮想コンバータ、3 = 4 仮想コンバータ、5 = 6 仮想コンバータ、7 = 8 仮想コンバータ、11 = 12 仮想コンバータ、15 = 16 仮想コンバータ。それ以外のすべての値は無効。	0x0	R/W
0x28D	JTX_L0_CS_N	[7:6]	JTX_CS_CFG	1サンプルあたりの制御ビット数。	0x0	R/W
		5	RESERVED	予備。	0x0	R
		[4:0]	JTX_N_CFG	コンバータの分解能。	0x0	R/W
0x28E	JTX_L0_SUBCLASSV_NP	[7:5]	JTX_SUBCLASSV_CFG	デバイスのサブクラスのバージョン。2 : 送信と LMFC 境界を SYNC に整合。1 : 送信と LMFC 境界を SYSREF に整合。0 : 送信と LMFC 境界は任意。	0x0	R/W
		[4:0]	JTX_NP_CFG	1サンプルあたりの合計ビット数。	0x0	R/W
0x28F	JTX_L0_JESDV_S	[7:5]	JTX_JESDV_CFG	JESD204 のバージョン 001 : JESD204B	0x0	R/W
		[4:0]	JTX_S_CFG	1フレームのコンバータあたりのサンプル。	0x0	R/W
0x290	JTX_L0_HD	7	JTX_HD_CFG	高密度フォーマットをイネーブル。	0x0	R/W
		[6:0]	RESERVED	予備。	0x0	R
0x293 to 0x296 by 1	JTX_L0_CHKSUMn	[7:0]	JTX_CHKSUM_CFG	チェックサム計算出力（レーンあたり）。	0x0	R
0x297 to 0x29A by 1	JTX_L0_LIDn	[7:5]	RESERVED	予備。	0x0	R
		[4:0]	JTX_LID_CFG	レーン識別番号（リンク内）	0x0	R/W
0x2A3	JTX_DL_204B_CONFIG0	[7:4]	JTX_DL_204B_ILAS_DELAY_CFG	0LMFC 周期から 15LMFC 周期まで ILAS を遅延。	0x0	R/W
		3	JTX_DL_204B_BYB_ILAS_CFG	初期レーン・アライメント・シーケンスをバイパス。	0x0	R/W
		2	JTX_DL_204B_ILAS_TEST_EN_CFG	ILAS の繰り返しパターンを送出する 1 LAS テスト・モードを有効化。Sync_n が有効化されていない場合、16 K の文字が送出されその後に ILAS の繰り返しが続きます。	0x0	R/W
		1	JTX_DL_204B_BYB_8B10B_CFG	8 ビット / 10 ビット・エンコーダをバイパス。	0x0	R/W
		0	JTX_DL_204B_BYB_ACG_CFG	アライメント文字生成をバイパス。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x2A4	JTX_DL_204B_CONFIG1	[7:3]	RESERVED	予備。	0x0	R
		2	JTX_DL_204B_LSYNC_EN_CFG	両側がイネーブル時にレーン同期。	0x0	R/W
		1	JTX_DL_204B_DEL_SCR_CFG	代替スクランブラをイネーブル (JESD204B セクション 5.2.4 を参照)。1 = ユーザ・データのオクテット 2 でスクランブル開始。0 = ユーザ・データのオクテット 0 でスクランブル開始。通常はこちらが使われます。	0x0	R/W
		0	JTX_DL_204B_10B_MIRROR	204B リンク層データからの逆順の 10 ビット・シンボル。	0x0	R/W
0x2A5	JTX_DL_204B_CONFIG2	[7:6]	RESERVED	予備。	0x0	R
		5	JTX_DL_204B_TESTMODE_IGNORE_SYNCN_CFG	D21.5 および RPAT モード時に sync_n 入力を無視。	0x0	R/W
		4	JTX_DL_204B_TPL_TEST_EN_CFG	JESD パターン・シーケンスをテスト・モードにする。	0x0	R/W
		3	RESERVED	予備。	0x0	R
		[2:1]	JTX_DL_204B_RJSPAT_SEL_CFG	高周波数パターン・テスト・モード。11 = 不使用、10 = JTSPAT シーケンス、01 = JSPAT シーケンス、00 = RPAT シーケンス。	0x0	R/W
0	JTX_DL_204B_RJSPAT_EN_CFG	RPAT/JSPAT/JTSPAT ジェネレータをイネーブル。1 = オン (注: phy_data_sel[n] = 1 にセットする必要もあります) 0 = オフ。	0x0	R/W		
0x2A6	JTX_DL_204B_KF_ILAS	[7:0]	JTX_DL_204B_KF_ILAS_CFG	初期化シーケンス中の送信マルチフレーム数 = $4*(kf_ilas_cfg+1)$ 。	0x0	R/W
0x2A8	JTX_DL_204B_SYNC_N	7	JTX_DL_204B_SYNC_N	JESD204 フレーム同期。アクティブ・ロー。PCLK の立上がりエッジに同期。0 = 送信コード・グループ同期 (K 文字)。サブクラス 1: sync_n の立上がりエッジにより 1PCLK の間内部 LMFC がリセット。サブクラス 0: sync_n=0 により内部 LFMC がリセットを維持。	0x0	R
		[6:2]	RESERVED	予備。	0x0	R
		1	JTX_DL_204B_SYNC_N_FORCE_EN	SYNC~信号を指定値に強制的に設定。	0x0	R/W
		0	JTX_DL_204B_SYNC_N_FORCE_VAL	強制がイネーブルの場合 SYNC~を強制的に設定する値。	0x0	R/W
0x2A9	JTX_DL_204B_CLEAR_SYNC_NE_COUNT	[7:1]	RESERVED	予備。	0x0	R
		0	JTX_DL_204B_CLEAR_SYNC_NE_COUNT	SYNC~立下がりエッジのカウントをクリア。	0x0	R/W
0x2AA	JTX_DL_204B_SYNC_NE_COUNT	[7:0]	JTX_DL_204B_SYNC_NE_COUNT	SYNC~の立下がりエッジのカウント。	0x0	R
0x2AB to 0x2AE by 1	JTX_DL_204B_LANE_CONFIGn	[7:5]	RESERVED	予備。	0x0	R
		4	JTX_DL_204B_SCR_IN_CTRL_CFG	test_data[39:0]をレーン n のスクランブラ入力に接続。	0x0	R/W
		3	JTX_DL_204B_SCR_DATA_SEL_CFG	レーン境界のスクランブラ入力 JESD データ。scr_data_sel_cfg[n]: 1 = レーン[n]の連続する D21.5 データ。scr_data_sel_cfg[n]: 0 = レーン[n]の JESD フレーム・メモリまたは ILAS データ。	0x0	R/W
		2	JTX_DL_204B_PHY_DATA_SEL_CFG	レーン境界[n]の PHY への JESD データ: 1 = RPAT/JSPAT/JTSPAT ジェネレータ・データ[n]: 0 = 8 ビット/10 ビット・エンコーダ出力データ。	0x0	R/W
		1	RESERVED	予備。	0x0	R
		0	RESERVED	予備。	0x0	R/W
0x2C9 to 0x2CC by 1	JTX_PHY_IFX_LANE_CONFIGn	[7:4]	JTX_LANE_FIFO_WR_ENTRIES	書き込みポインタに同期した FIFO のエントリ数。	0x0	R
		[3:0]	JTX_BR_LOG2_RATIO	Log(ビット繰り返し比)/Log(2)、レーンあたり。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x301	PLL_STATUS	7	JTX_PLL_LOCKED	PLL ロック・ステータス・ビット。	0x0	R
		[6:0]	RESERVED	予備。	0x0	R
0x309	SYSREF_DELAY_REG	7	SYSREF_PULSE_DELAY_ENABLE	Regmap からのリンクの強制リセット。	0x0	R/W
		[6:0]	SYSREF_PULSE_DELAY_CYCLES	Regmap からのリンクの強制リセット。	0x0	R/W
0x30A	RESET_CTRL_REG	7	FORCE_JTX_PLL_RST_RELEASE_EN	JTX_PLL リセットの強制リリースをイネーブル。	0x0	R/W
		6	FORCE_JTX_PLL_RST_RELEASE	JTX_PLL リセットの強制リリース。	0x0	R/W
		5	RESERVED	予備。	0x0	R
		4	FORCE_JTX_DIGITAL_RESET_ON_SYSREF	SYSREF によるリンクの強制リセットをイネーブル。	0x0	R/W
		[3:1]	RESERVED	予備。	0x0	R
		0	FORCE_JTX_DIGITAL_RESET_ON_RSTEN_FORCE_EN	SYREF の早期検出によるリンクの強制リセットをイネーブル。	0x0	R/W
0x30B	SER_PARITY_RESET_EN1	[7:0]	SER_PARITY_RESET_EN	パリティ・リセットをイネーブル。	0x0	R/W
0x30C	LCM_DIV_FORCE_EN	[7:1]	RESERVED	予備。	0x0	R
		0	LCM_DIV_FORCE_EN	LCM 分周比の値を強制的に有効化。	0x0	R/W
0x30D	LCM_DIV1	[7:0]	LCM_DIV[7:0]	LCM 分周比の値。	0x0	R/W
0x30E	LCM_DIV2	[7:0]	LCM_DIV[15:8]	LCM 分周比の値。	0x0	R/W
0x30F	LMFC_CTL	7	LMFC_OUT_SEL	LMFC または分周された LMFC の選択。	0x0	R/W
		[6:5]	RESERVED	予備。	0x0	R
		4	LMFC_DIV_EDGE	LMFC のエッジの選択。GPIO に送出する前に分周に使用する LMFC のエッジを選択します。立ち上がりエッジの場合は 0。	0x0	R/W
		3	RESERVED	予備。	0x0	R
		[2:0]	LMFC_OUT_DIV	GPIO から LMFC を渡す前の分周比の値。	0x0	R/W
0x310	FORCE_LINK_RESET_REG	[7:5]	RESERVED	予備。	0x0	R
		4	FORCE_LINK_DIGITAL_RESET	Regmap からのリンクの強制リセット。	0x0	R/W
		[3:1]	RESERVED	予備。	0x0	R
		0	FORCE_LINK_RESET	Regmap からのリンクの強制リセット。	0x1	R/W
0x313	PHASE_ESTABLISH_STATUS	[7:1]	RESERVED	予備。	0x0	R
		0	JTX_PHASE_ESTABLISHED	位相の確定したリードバック。	0x0	R
0x315	CLKGEN_ALIGN_FALL_RST_DEASSERT	[7:1]	RESERVED	予備。	0x0	R
		0	CLKGEN_ALIGN_FALL_FOR_RST_DEASSERT	clkgen_align を rst のアサート解除に使用。	0x0	R/W
0x317	PLL_REF_CLK_DIV1_REG	[7:4]	RESERVED	予備。	0x0	R
		[3:0]	DIVM_JTX_PLL_RC_RX	出力の分周比を選択。出力の分周比を選択。 0 : pd 1 : 分周なし 2 : 2 で分周 3 : 4 で分周	0x2	R/W
0x319	PCLK_SYNC_DIV_REG1	[7:0]	PCLK_SYNC_DIV_VAL[7:0]	JESD 同期 PCLK 分周比の値。	0x4	R/W
0x31A	PCLK_SYNC_DIV_REG2	[7:1]	RESERVED	予備。	0x0	R
		0	PCLK_SYNC_DIV_VAL[8]	JESD 同期 PCLK 分周比の値。	0x0	R/W
0x31B	PCLK_ASYNC_DIV_REG1	[7:0]	PCLK_ASYNC_DIV_VAL[7:0]	JESD 非同期 PCLK 分周比の値。	0x4	R/W
0x31C	PCLK_ASYNC_DIV_REG2	[7:1]	RESERVED	予備。	0x0	R
		0	PCLK_ASYNC_DIV_VAL[8]	JESD 非同期 PCLK 分周比の値。	0x0	R/W
0x31D	CONV_CLK_DIV_REG1	[7:0]	CONV_CLK_DIV_VAL[7:0]	LES D コンバータ・クロック分周比の値。	0x4	R/W
0x31E	CONV_CLK_DIV_REG2	[7:2]	RESERVED	予備。	0x0	R
		[1:0]	CONV_CLK_DIV_VAL[9:8]	LES D コンバータ・クロック分周比の値。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x31F	JTX_CLK_CTRL_REG	[7:4]	RESERVED	予備。	0x0	R
		3	JTX_ASYNC_PCLK_EN	非同期コンバータ・クロック分周器をイネーブル。	0x1	R/W
		2	JTX_IFX_CLK_EN	IFX クロック分周器をイネーブル。	0x1	R/W
		1	JTX_CONV_CLK_EN	コンバータ・クロック分周器をイネーブル。	0x1	R/W
		0	JTX_SYNC_PCLK_EN	同期 PCLK 分周器をイネーブル。	0x1	R/W
0x320	JTX_CLK_CTRL_REG2	[7:4]	RESERVED	予備。	0x0	R
		3	JTX_CONV_CLK_DIV_OVERRIDE	Regmap 値で非同期コンバータ・クロック分周比の値をオーバーライド。	0x0	R/W
		2	JTX_IFX_CLK_DIV_OVERRIDE	Regmap 値で非同期コンバータ・クロック分周比の値をオーバーライド。	0x0	R/W
		1	JTX_SYNC_PCLK_DIV_OVERRIDE	Regmap 値で非同期コンバータ・クロック分周比の値をオーバーライド。	0x0	R/W
		0	JTX_ASYNC_PCLK_DIV_OVERRIDE	Regmap 値で非同期コンバータ・クロック分周比の値をオーバーライド。	0x0	R/W
0x321	IFX_CLK_DIV_REG1	[7:0]	IFX_CLK_DIV_VAL[7:0]	JESD IFX クロック分周比の値。	0x4	R/W
0x322	IFX_CLK_DIV_REG2	[7:1]	RESERVED	予備。	0x0	R
		0	IFX_CLK_DIV_VAL[8]	JESD IFX クロック分周比の値。	0x0	R/W
0x323	ASYNC_PCLK_CTRL	7	TESTMUX_CLK_SEL	Testmux_clk[0]を非同期クロックに選択。	0x0	R/W
		6	TESTMUX_CLK_EN	Testmux_clk[0]の選択を有効化。	0x0	R/W
		[5:4]	RESERVED	予備。	0x0	R
		3	ASYNC_LANE_DOUT_SEL	非同期レーン・データを選択。	0x0	R/W
		2	ASYNC_LINK_PCLK_SEL	非同期リンク PCLK を選択。	0x0	R/W
		1	ASYNC_LANE_CLK_SEL	非同期レーン・クロックを選択。	0x0	R/W
		0	ASYNC_IFX_PCLK_SEL	非同期 IFX PCLK を選択。	0x0	R/W
0x325	JTX_PCLK_DIV_INTEGER1	[7:0]	JTX_PCLK_DIV_INTEGER[7:0]	PCLK 分周器のインテジャー部。	0x0	R/W
0x326	JTX_PCLK_DIV_INTEGER2	[7:1]	RESERVED	予備。	0x0	R
		0	JTX_PCLK_DIV_INTEGER[8]	PCLK 分周器のインテジャー部。	0x0	R/W
0x327	JTX_PCLK_DIV_FRAC_NUM	[7:5]	RESERVED	予備。	0x0	R
		[4:0]	JTX_PCLK_DIV_FRAC_NUM	PCLK 分周器のフラクショナル分子。	0x0	R/W
0x328	JTX_PCLK_DIV_FRAC_DEN	[7:5]	RESERVED	予備。	0x0	R
		[4:0]	JTX_PCLK_DIV_FRAC_DEN	PCLK 分周器のフラクショナル分母。	0x0	R/W
0x329	JTX_IFX_PCLK_DIV_INTEGER1	[7:0]	JTX_IFX_PCLK_DIV_INTEGER[7:0]	PCLK 分周器のインテジャー部。	0x0	R/W
0x32A	JTX_IFX_PCLK_DIV_INTEGER2	[7:1]	RESERVED	予備。	0x0	R
		0	JTX_IFX_PCLK_DIV_INTEGER[8]	PCLK 分周器のインテジャー部。	0x0	R/W
0x32B	JTX_IFX_PCLK_DIV_FRAC_NUM	[7:5]	RESERVED	予備。	0x0	R
		[4:0]	JTX_IFX_PCLK_DIV_FRAC_NUM	PCLK 分周器のフラクショナル分子。	0x0	R/W
0x32C	JTX_IFX_PCLK_DIV_FRAC_DEN	[7:5]	RESERVED	予備。	0x0	R
		[4:0]	JTX_IFX_PCLK_DIV_FRAC_DEN	PCLK 分周器のフラクショナル分母。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x402	JTX_SWING	7	RESERVED	予備。	0x0	R
		[6:4]	DRVSWING_CH1_SER_RC	SERDOUT1 出力のスイング・レベル。 0 = 1.00 × DVDD 1 = 0.85 × DVDD 2 = 0.75 × DVDD 3 = 0.50 × DVDD	0x1	R/W
		3	RESERVED	予備。	0x0	R
		[2:0]	DRVSWING_CH0_SER_RC	SERDOUT0 出力のスイング・レベル。 0 = 1.00 × DVDD 1 = 0.85 × DVDD 2 = 0.75 × DVDD 3 = 0.50 × DVDD	0x1	R/W
0x403	JTX_SWING2	7	RESERVED	予備。	0x0	R
		[6:4]	DRVSWING_CH3_SER_RC	SERDOUT3 出力のスイング・レベル。 0 = 1.00 × DVDD 1 = 0.85 × DVDD 2 = 0.75 × DVDD 3 = 0.50 × DVDD	0x1	R/W
		3	RESERVED	予備。	0x0	R
		[2:0]	DRVSWING_CH2_SER_RC	SERDOUT2 出力のスイング・レベル。 0 = 1.00 × DVDD 1 = 0.85 × DVDD 2 = 0.75 × DVDD 3 = 0.50 × DVDD	0x1	R/W
0x40A	POST_TAP_LEVEL1	7	RESERVED	予備。	0x0	R
		[6:4]	DRVPOSTEM_CH1_SER_RC	SERDOUT1 のポスト・タップ・レベルを設定します。 0 = 0dB, 1 = 3dB, 2 = 6dB, 3 = 9dB, 4 = 12dB, 5~7 = 該当なし。	0x0	R/W
		3	RESERVED	予備。	0x0	R
		[2:0]	DRVPOSTEM_CH0_SER_RC	SERDOUT0 のポスト・タップ・レベルを設定します。 0 = 0dB, 1 = 3dB, 2 = 6dB, 3 = 9dB, 4 = 12dB, 5~7 = 該当なし。	0x0	R/W
0x40B	POST_TAP_LEVEL2	7	RESERVED	予備。	0x0	R
		[6:4]	DRVPOSTEM_CH3_SER_RC	SERDOUT3 のポスト・タップ・レベルを設定します。 0 = 0dB, 1 = 3dB, 2 = 6dB, 3 = 9dB, 4 = 12dB, 5~7 = 該当なし。	0x0	R/W
		3	RESERVED	予備。	0x0	R
		[2:0]	DRVPOSTEM_CH2_SER_RC	SERDOUT2 のポスト・タップ・レベルを設定します。 0 = 0dB, 1 = 3dB, 2 = 6dB, 3 = 9dB, 4 = 12dB, 5~7 = 該当なし。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x413	PRE_TAP_LEVEL_CH0	[7:0]	DRVPREEM_CH0_SER_RC	SERDOUT0のプレ・タップ・レベルを設定します。 0 = 0dB, 1 = 3dB, 2 = 6dB, 3 = 該当なし。	0x0	R/W
0x414	PRE_TAP_LEVEL_CH1	[7:0]	DRVPREEM_CH1_SER_RC	SERDOUT1のプレ・タップ・レベルを設定します。 0 = 0dB, 1 = 3dB, 2 = 6dB, 3 = 該当なし。	0x0	R/W
0x415	PRE_TAP_LEVEL_CH2	[7:0]	DRVPREEM_CH2_SER_RC	SERDOUT2のプレ・タップ・レベルを設定します。 0 = 0dB, 1 = 3dB, 2 = 6dB, 3 = 該当なし。	0x0	R/W
0x416	PRE_TAP_LEVEL_CH3	[7:0]	DRVPREEM_CH3_SER_RC	SERDOUT3のプレ・タップ・レベルを設定します。 0 = 0dB, 1 = 3dB, 2 = 6dB, 3 = 該当なし。	0x0	R/W
0x425	PARITY_ERROR	[7:0]	PARITY_ERROR_SER[7:0]	JTxパリティ出力エラー・フラグ、<0> = ch0、<1> = ch1	0x0	R
0x426	PARITY_ERROR2	[7:0]	PARITY_ERROR_SER[15:8]	JTxパリティ出力エラー・フラグ、<0> = ch0、<1> = ch1	0x0	R
0x427	PARITY_RST_N	[7:0]	SER_PARITY_RST_N[7:0]	JTxパリティ・クリア・ビット、各ビットはチャンネルです。JTxパリティ・クリア・ビット、各ビットはチャンネルです。=><3> = chan_3, <2> = chan_2	0x0	R/W
0x428	PARITY_RST_N2	[7:0]	SER_PARITY_RST_N[15:8]	JTxパリティ・クリア・ビット、各ビットはチャンネルです。JTxパリティ・クリア・ビット、各ビットはチャンネルです。=><3> = chan_3, <2> = chan_2	0x0	R/W
0x439	MAIN_DATA_INV	[7:4]	RESERVED	予備	0x0	R/W
		3	OUTPUTDATAINVERT_CH3	JTx、SERDOUT3データの反転。 0 = 通常。 1 = 反転。	0x0	R/W
		2	OUTPUTDATAINVERT_CH2	JTx、SERDOUT2データの反転。 0 = 通常。 1 = 反転。	0x0	R/W
		1	OUTPUTDATAINVERT_CH1	JTx、SERDOUT1データの反転。 0 = 通常。 1 = 反転。	0x0	R/W
		0	OUTPUTDATAINVERT_CH0	JTx、SERDOUT0データの反転。 0 = 通常。 1 = 反転。	0x0	R/W
0x447	SYNCINB_CTRL	[7:4]	RESERVED	予備。	0x0	R
		3	PD_SYNCINB_RX_RC	SYNCINB レシーバの電力制御ビット。 0 = 通常動作 1 = パワーダウン	0x1	R/W
		2	SYNCINB_RX_PN_INV_RC	SYNCINBの極性制御ビット。 0 = 通常極性 1 = 反転極性	0x0	R/W
		1	SYNCINB_RX_ONCHIP_TERM_RC	SYNCINBのオンチップ終端制御ビット。 0 = 無効化 (0x447[0] = 0の場合に使用) 1 = 有効化 (100Ω差動)	0x0	R/W
		0	SYNCINB_RX_MODE_RC	SYNCINBのモード制御ビット。 0 = CMOSモード (シングルエンド) 1 = LVDSモード (差動)	0x0	R/W
0x449	JTX_CTRL	[7:1]	RESERVED	予備。	0x0	R
		0	JTAG_EN_SER_TESTMODE_RC	SYNC制御ビット。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x500	JTX_PLL_RST	[7:1]	RESERVED	予備。	0x0	R
		0	RSTB_JTX_PLL_RC	REGMAPからのリンクの強制リセット。	0x0	R/W
0x501	PLL_ENABLE_CTRL	7	PLL_LOCKED_BYPASS_VAL	PLL_LOCKED_BYPASSが1の場合でのPLL_LOCKED出力のバイパス値。PLLロック信号生成とタイマー・ベースのロック信号生成のどちらかを選択します。	0x0	R/W
		6	PLL_LOCKED_BYPASS	PLL_LOCKED出力のバイパス制御。 0: ステート・マシン値を使用します。 1: PLL_LOCKED_BYPASS_VALを使用します。PLLロック信号生成とタイマー・ベースのロック信号生成のどちらかを選択します。	0x0	R/W
		5	JTX_PLL_BYPASS_LOCK	PLLロック入力のバイパス。	0x0	R/W
		4	RESERVED	予備。	0x0	R
		3	L0LSTICKYCLEAR_FORCE_JTX_PLL_RC	ロック喪失ビットをクリア。	0x0	R/W
		2	RESERVED	予備。	0x0	R
		1	LDSYNTH_FORCE_JTX_PLL_ADC	キャリブレーションを開始。短い"1"パルスでVCOキャリブレーションが開始します。パルス幅は、少なくとも1リファレンス・クロック周期なければなりません。ユーザが自由にキャリブレーションを実行できます。	0x0	R/W
		0	PWRUP_JTX_PLL	PLLのパワーアップ。PLLのパワーアップ、LDOの起動、キャリブレーションの開始を実行し、完了したらPLLロックを送信します。「大きな緑色のボタン」は強制的にパワーアップしますが、PLLが内部でパワーアップされた場合は正しくリードバックされません。	0x0	R/W
0x502	PLL_STATUS	[7:5]	RESERVED	予備。	0x0	R
		4	LOSSLOCK_JTX_PLL_RS	PLLのロック喪失。周波数アキュイジション間の任意の時点でPLLがロックを喪失したことを示すビット。	0x0	R
		3	RFPLLLOCK_JTX_PLL_RS	このビットがハイのときはPLLがロックされています。	0x0	R
		2	VCOCALINPROG_JTX_PLL_RS	0: 最後のALCの終了時(VCOキャリブレーション・ステート・マシンはALC_CAL_LSB状態にあります)。1: ld_synthによりinit_cal_redge=1となったとき	0x0	R
		1	REGULATORRDY_JTX_PLL_RS	ハイ=レギュレータ電圧が少なくともcnt変換の閾値を超えていることを示します。	0x0	R
		0	JTX_PLLLOCK_JTX_PLL_RS	このビットがハイのときはPLLがロックされています。	0x0	R
0x506	PLL_ENCAL	[7:5]	RESERVED	予備。	0x0	R
		4	PD_TXCLK_DIST_RC	txclk_dist rc。シリアライザ1□SERへの出力クロックをイネーブル。	0x0	R/W
		3	PD_RXCLK_DIST_RC	txclk_dist rc。シリアライザ1□SERへの出力クロックをイネーブル。	0x0	R/W
		2	RESERVED	予備。	0x0	R
		1	EN_TX_ONLY_JTX_PLL_RC	シリアライザへの出力クロックをイネーブル。 1□SERのみ	0x0	R/W
		0	EN_OCTAVECAL_JTX_PLL_RC	PLLオクターブ・キャリブレーションを有効化するかどうかを指定。	0x0	R/W
0x507	JTX_PLL_REF_CLK_DIV1_REG	7	REFCK_DIV40BDIV120_JTX_PLL	リファレンス・クロック出力(1/40または1/120)。	0x0	R/W
		6	DIVP_JTX_PLL_RC	Bの乗数を6にするか8にするかを選択。出力の分周比を選択。0->pd、1->分周なし、2->2で分周、3->4で分周。	0x0	R/W
		[5:4]	DIVM_JTX_PLL_RC	出力の分周比を選択。出力の分周比を選択。0->1、1->2。ビット[1]は使用しません。	0x2	R/W
		3	RESERVED	予備。	0x0	R
		[2:0]	REFINDIV_JTX_PLL_RC	入力分周比を設定。入力分周比を設定。0->1、1->2、2->4、3->8、4以上16。	0x2	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x508	PLL_DIV2	[7:0]	B_JTX_PLL_RC	PLL フィードバック分周器の選択。インテジャータ分周比を $N = 8 * B$ として設定します。ここで、 $B = 5$ はその最小値です。(divb)	0x5	R/W
0x50A	PLL_DIVOVD	[7:4]	RESERVED	予備。	0x0	R
		3	RXDIVRATEOVD_JTX_PLL_RC	rxdivrate をオーバーライド。	0x0	R/W
		2	REFINDIVOVD_JTX_PLL_RC	refindiv をオーバーライド。	0x1	R/W
		1	DIVMOVD_JTX_PLL_RC	divm コントロールをオーバーライド。	0x1	R/W
		0	BOVD_JTX_PLL_RC	オクターブ・キャリブレーションからバイパス (b JTX_PLL_rc を使用)。	0x1	R/W
0x50B	PLL_RXDIVRATE	[7:4]	RESERVED	予備。	0x0	R
		[3:0]	RXDIVRATE_JTX_PLL_RC	refindivod が 1 の場合、rx_divrate の値を設定。	0x8	R/W
0x50C	PLL_VCO_TRIM	[7:6]	RESERVED	予備。	0x0	R
		[5:0]	VCORTRIM_JTX_PLL_RC	スレープ化されたコードをバンドギャップで 6 ビットにトリム。	0x0	R/W
0x50D	PLL_REFCLK_CPL	[7:2]	RESERVED	予備。	0x0	R
		1	SEL_REFINDIV3_JTX_PLL_RC	PLL への入力リファレンス・クロックで追加の/3 を有効化。	0x0	R/W
		0	SEL_REFCKDCACB_JTX_PLL_RC	リファレンス・クロック入力を DC カップリング (1) にするか AC カップリング (0) にするかを指定。	0x1	R/W
0x50E	CBUS_REN_JTX_PLL	[7:1]	RESERVED	予備。	0x0	R
		0	CBUS_REN_JTX_PLL_RC	JTX_PLL レジスタの読出しイネーブル。	0x0	R/W
0x50F	CBUS_WSTROBE_JTX_PLL	[7:1]	RESERVED	予備。	0x0	R
		0	CBUS_WSTROBE_JTX_PLL_RC	JTX_PLL レジスタの書き込みストロブ。	0x0	R/W
0x510	CKDIST_PD	[7:2]	RESERVED	予備。	0x0	R
		1	IDIST_PD_RC	シリアルライザへの出力クロックをイネーブル。 1:有効化	0x0	R/W
		0	PD_PPF_DES_RC	シリアルライザへの出力クロックをイネーブル。 1:有効化	0x0	R/W
0x511	POLYPHASE_CTRL	[7:0]	TRIM_POLYPHASE_DES_RC	DESIGNER DEBUG: 多相制御。DESIGNER DEBUG: 多相制御: <6:5>: ppf_divm_od<1:0>; <4>: en_ppf_divm_od, <3:1>: inv_str_od<2:0>; <0>: en_inv_str_od.	0x2F	R/W
0x512	PLL_READ_FREQ4	[7:0]	VCOFREQBAND_JTX_PLL_RS[7:0]	VCO 周波数を設定する VCO 周波数制御ワード、00: 最大 VCO 周波数、7FF: 最小 VCO 周波数。	0x0	R
0x513	PLL_READ_FREQ5	[7:3]	RESERVED	予備。	0x0	R
		[2:0]	VCOFREQBAND_JTX_PLL_RS[10:8]	VCO 周波数を設定する VCO 周波数制御ワード、00: 最大 VCO 周波数、7FF: 最小 VCO 周波数。	0x0	R
0x514	PLL_PTAT_STARTUP	[7:0]	PTAT_STARTUP_JTX_PLL_RC	PTAT スタートアップ制御。	0x0	R/W
0x515	PLL_PTAT_STARTUP_STATUS1	[7:1]	RESERVED	予備。	0x0	R
		0	PTAT_STARTUP_STATUS_RS1	PTAT スタートアップ・ステータス。	0x0	R
0x516	PLL_PTAT_STARTUP_STATUS2	[7:1]	RESERVED	予備。	0x0	R
		0	PTAT_STARTUP_STATUS_RS2	PTAT スタートアップ・ステータス。	0x0	R
0x517	PLL_TEMP	[7:1]	RESERVED	予備。	0x0	R
		0	TDEGCINIT_JTX_PLL_RC	ローからハイへの遷移により、オンチップ温度測定がアクティブになります。	0x0	R/W
0x51E	PLL_LOCK_CTL1	[7:4]	JTX_PLL_LOCK_DIVIDER[3:0]	PLL ロック・カウンタ。	0x0	R/W
		[3:1]	RESERVED	予備。	0x0	R
		0	JTX_PLL_LOCK_SEL	PLL ロックかタイマー・ベース・ロックかの選択。PLL ロック信号生成とタイマー・ベースのロック信号生成のどちらかを選択します。	0x0	R/W
0x51F	PLL_LOCK_CTL2	[7:6]	RESERVED	予備。	0x0	R
		[5:0]	JTX_PLL_LOCK_DIVIDER[9:4]	PLL ロック・カウンタ。	0x0	R/W
0x520	CBUS_ADDR	[7:0]	CBUS_ADDR_JTX_PLL_RC	制御バスのアドレス選択。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0x521	CBUS_WDATA	[7:0]	CBUS_WDATA_JTX_PLL_RC	制御バス・データ。制御バス・データ、cbus_wstrobe_ser信号で選択されたチャンネル。	0x0	R/W
0x522	CBUS_RDATA	[7:0]	CBUS_RDATA_JTX_PLL_RS	リードバック・バス、cbus_ren_serで選択されたチャンネル。	0x0	R
0x523	REFCLK_CTRL	7	RESERVED	予備。	0x0	R
		[6:3]	SEL_REFCLK_RCVR_CM_CTRL	refclk用のSynca。	0x0	R/W
		2	SEL_REFCLK_RCVR_LP_MODE_RC	refclk用のSynca。	0x0	R/W
		1	SEL_SYNCA_FOR_REFCLK_RC	refclk用のSynca。	0x0	R/W
		0	EN_REFCLK_RCVR_RC	refclk用のSynca。	0x1	R/W
0x524	JTX_PLL_REV_ID_RS	[7:0]	JTX_PLL_REV_ID_RS	リードバック・バス、cbus_ren_serで選択されたチャンネル。	0x0	R
0xB90	POWER_DOWN_REG	7	EN_CAL_ANA	キャリブレーション・アナログ・ブロックのイネーブル。パワーダウンの場合は0に設定します。	0x0	R/W
		6	EN_CAL_CLK	キャリブレーション・クロックとデジタル・ブロックのイネーブル。パワーダウンの場合は0に設定します。	0x0	R/W
		5	EN_34	3dBのノイズ改善のために追加の2つの信号チャンネルをイネーブル。	0x0	R/W
		[4:3]	PIN_PD_MODE	パワーダウン・モード。 00: パワーダウン・ピンをディスエーブル。 01: パワーダウン・ピンをディスエーブル。クロック・バスのみ。 10: パワーダウン・ピンをディスエーブル。ADCクロックとVTIバイアス。 11: パワーダウン・ピンをディスエーブル。ADCクロック、VTIバイアス、およびADCマスタバイアス・ブロック。	0x0	R/W
		2	EN_BIAS	ADCバイアス・ブロックをイネーブル。パワーダウンの場合は0に設定。	0x0	R/W
		1	EN_ADCCLK	チャンネル1のADCクロックをイネーブル。パワーダウンの場合は0に設定。	0x0	R/W
		0	EN_VTI	チャンネル1のアナログ・フロント・エンドをイネーブル。パワーダウンの場合は0に設定。	0x0	R/W
0xB91	ENABLE_CH7_0_REG	7	EN_ADC7	チャンネル7のADCクロックをイネーブル。	0x0	R/W
		6	EN_ADC6	チャンネル6のADCクロックをイネーブル。	0x0	R/W
		5	EN_ADC5	チャンネル5のADCクロックをイネーブル。	0x0	R/W
		4	EN_ADC4	チャンネル4のADCクロックをイネーブル。	0x0	R/W
		3	EN_ADC3	チャンネル3のADCクロックをイネーブル。	0x0	R/W
		2	EN_ADC2	チャンネル2のADCクロックをイネーブル。	0x0	R/W
		1	EN_ADC1	チャンネル1のADCクロックをイネーブル。	0x0	R/W
		0	EN_ADC0	チャンネル0のADCクロックをイネーブル。	0x0	R/W
		0xB92	ENABLE_CH15_8_REG	7	EN_ADC15	チャンネル15のADCクロックをイネーブル。
6	EN_ADC14			チャンネル14のADCクロックをイネーブル。	0x0	R/W
5	EN_ADC13			チャンネル13のADCクロックをイネーブル。	0x0	R/W
4	EN_ADC12			チャンネル12のADCクロックをイネーブル。	0x0	R/W
3	EN_ADC11			チャンネル11のADCクロックをイネーブル。	0x0	R/W
2	EN_ADC10			チャンネル10のADCクロックをイネーブル。	0x0	R/W
1	EN_ADC9			チャンネル9のADCクロックをイネーブル。	0x0	R/W
0	EN_ADC8			チャンネル8のADCクロックをイネーブル。	0x0	R/W
0xB94	VTI_GAIN_REG	[7:6]	RESERVED	予備	0x0	R
		[5:0]	BGAIN	Bgain調整	0x0	R/W
0xB95	VTI_LPF_CAP_REG	[7:6]	RESERVED	予備	0x0	R
		[5:0]	BCAP	Bcap調整	0x0	R/W
0xB99	DITHER_DAC_CURRENT1_REG	[7:0]	BDITHDAC1	Bdither DAC1。	0x0	R/W
0xB9A	DITHER_DAC_CURRENT2_REG	[7:0]	BDITHDAC2	Bdither DAC2。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0xBA2	VTI_SHIFT_CURRENT_MSB_REG	7	SPARE_REG_12_7	(vti_force_cm) : 0 = VTI ノーマル・モード、1 = VTI 入力コモンモードを入力により強制。	0x0	R/W
		6	SPARE_REG_12_6	(vti_high_imp) : 0 = VTI ノーマル・モード、1 = VTI 入力コモンモードは高インピーダンス。	0x0	R/W
		[5:4]	RTERM	終端抵抗。 00 : オープン。 01 : 200Ω。 10 : 100Ω。	0x0	R/W
		[3:0]	RESERVED	予備。	0x0	R/W
0xBB3	CAL_EN	7	ENABLE_CLOCK	VCO ADC デジタルのクロック・イネーブル。	0x0	R/W
		[6:0]	RESERVED	予備。	0x0	R/W
0xBBA	KGAIN_VAL0	[7:0]	KGAIN_VAL[7:0]	$\text{floor}(\text{kgain}) - (2^8) * \text{Kgain1} - (2^{16}) * \text{Kgain2}$	0x0	R/W
0xBBB	KGAIN_VAL1	[7:0]	KGAIN_VAL[15:8]	$\text{floor}(\text{kgain}/2^8) - (2^8) * \text{Kgain2}$	0x0	R/W
0xBBC	KGAIN_VAL2	[7:6]	RESERVED	予備。	0x0	R
		[5:0]	KGAIN_VAL[21:16]	$\text{floor}(\text{kgain}/2^{16})$	0x0	R/W
0xBC3	BCENTER_1	[7:2]	BCENTER_OFFSET	Bcenter のオフセット値。	0x0	R/W
		[1:0]	RESERVED[9:8]	予備。	0x0	R
0xBC8	DIVM_RC	[7:0]	DIVM_RC	C 測定の待機時間。有効範囲は 125~255。これに fs/8 クロック周期を掛けると、C ランプの C_RESET の立下がりエッジから C_CLK の立下がりエッジまでの時間が求まります。	0x0	R/W
温度ダイオード・コントロール・レジスタ						
0xC01	TRM_TEMP_DIODE	[7:0]	TRM_TEMP_DIODE	00 : デフォルト。 11 : 温度センサー : センス 1x および 20x ダイオード電圧のイネーブル。	0x0	R/W
0xC04	TOP_REF_MONITOR	[7:4]	RESERVED	予備。	0x0	R
		[3:2]	SPI_SEL_MON_TEMP	00 : デフォルト。 01 : 温度センサー : 1x ダイオードを測定 (trm_temp_diode[7:0] = 3 も設定)。 10 : 温度センサー : 20x ダイオードを測定 (trm_temp_diode[7:0] = 3 も設定)。 11 : 温度センサー : GND を測定。	0x0	R/W
		[1:0]	RESERVED	予備。	0x0	R/W
オンチップ PLL 設定レジスタ						
0xD02	RESET_REG	[7:2]	RESERVED	予備。	0x0	R
		1	D_CAL_RESET	VCO キャリブレーションをリセット。立上がりエッジで VCO momcap キャリブレーションが開始します。	0x0	R/W
		0	RESERVED	予備。	0x0	R/W
0xD03	INPUT_MISC_REG	[7:2]	RESERVED	予備。	0x4	R
		[1:0]	D_REFIN_DIV	プログラマブルな前置分周器の値 (1,2,3,4) (技術文書によっては/Rとも呼ばれます)。 00 : /1。 01 : /2。 10 : /3。 11 : /4。	0x0	R/W
0xD04	CHARGEUMP_REG_0	[7:6]	RESERVED	予備。	0x0	R/W
		[5:0]	D_CP_CURRENT	チャージ・ポンプ電流	0x13	R/W
0xD09	DIVIDER_REG	[7:6]	RESERVED	予備。	0x0	R/W
		[5:0]	D_DIVIDE_CONTROL	分周値は N 値 (2~50 の範囲) で設定可能。	0x6	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
0xD0C	VCO_CAL_LOCK_REG	[7:6]	RESERVED	予備。	0x0	R
		[5:4]	D_CONTROL_HS_FB_DIV	Hs 帰還分周器 (P) 00 : /5。 01 : /7。 10 : /8。 11 : /11。	0x2	R/W
		[3:0]	RESERVED	予備。	0x6	R
0xD21	FILT_MAIN_0	[7:6]	RESERVED	予備。	0x0	R
		[5:0]	D_FILT_CBIG	フィルタ内の大きなコンデンサ : .5pF + 9.5pF*N (0<N<63)。	0x20	R/W
0xD22	FILT_MAIN_1	[7:0]	D_FILT_R	フィルタの抵抗制御：非線形。 R = 31kΩ/(1+!<0>+2*!<1>+4*!<2>+8*!<3>+16*!<4>+32*!<5>+64*!<6>+128*!<7>)、または Resistor_code = 256 - 31k/R (123 < R < 31k)。	0xFA	R/W
0xD23	FILT_MAIN_2	[7:6]	RESERVED	予備。	0x0	R
		[5:0]	D_FILT_CSMALL	フィルタ内の小さなコンデンサ : .83pF+.87pF*M (0<M<63)。	0x22	R/W
0xD40	CLOCK_PD	[7:4]	RESERVED	予備。	0x0	R
		3	SPI_PLL_BYP	オンチップ PLL をバイパス。	0x0	R/W
		[2:0]	RESERVED	予備。	0x0	R/W
0xD41	CLOCK_DIVIDER_CNTRL	[7:5]	RESERVED	予備。	0x0	R
		[4:3]	SPI_CNTRL_HS_DIV	VCO 出力に分周器を選択。 00 : /6。 01 : /8。 10 : /10。 11 : 無効。	0x0	R/W
		[2:0]	RESERVED	予備。	0x7	R/W
0xD44	Clock_PLL_READY_CNTRL	[7:5]	RESERVED	予備。	0x0	R
		4	SPI_OUTOFLOCK_RST	スロー・ロックのロック喪失用に F/F をリセット。	0x0	R/W
		3	SPI_LOCK_VALID_RST	スロー・ロック有効信号用に F/F をリセット。	0x0	R/W
		2	PLL_OUTOFLOCK	1 : ロック・スロー・トランジション・ロー (PLL がロック喪失)。PLL がロック状態になると、PLL がロック喪失 (出力 "pll_lock_slow" がローに遷移) した場合には、pll_outflock がハイに遷移し、spi_outflock_rst をハイに設定してからローに設定するまでハイのままになります。	0x0	R
		1	PLL_LOCK_VALID	1 : ロック・スロー・トランジション・ハイ (PLL がロック)。PLL がロック状態になると (出力 "pll_lock_slow" がハイに遷移)、pll_lock_valid がハイに遷移し、spi_lock_valid_rst をハイに設定してからローに設定するまでハイのままになります。	0x0	R
0xD4A	JTX_PLL_REFCLK_DIV	[7:6]	RESERVED	予備。	0x0	R
		[5:0]	SPI_DIV_JTX_PLL	JTX_PLL への Refclk の分周器の調整。 00000 : NC。 00001 : NC。 00010 : /2。 00011 : /3。 00100 : /4。 00101 : /5。 00110 : /6。 00111 : /7。 01000 : /8。 01001 : /9。	0x2	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
				01010 : /10。 01011 : /11。 01100 : /12。 01101 : /13。 01110 : /14。 01111 : /15。 10000 : /16。 10001 : /17。 10010 : /18。 10011 : /19。 10100 : /20。 10101 : /21。 10110 : /22。 10111 : /23。 11000 : /24。 11001 : /25。 11010 : /26。 11011 : /27。 11100 : /28。 11101 : /29。 11110 : /30。 11111 : /31。		
0xD4D	SYSREF_IGNORE	7	RESERVED	予備。	0x0	R
		6	SPI_SYSREF_IGNORE_START	sysrefの無視を開始。このビットは、カウントが満了するとセルフ・クリアされます。開始後、sysrefの最初の立上がり後、無視カウントが満了するまでマスクされます。マスクングが終了すると、このビットはセルフ・クリアされます。	0x0	R/W
		5	SPI_SYSREF_IGNORE_ENABLE	sysref_ignoreブロックのマスタ・イネーブル。これは、ブロック内のFFのクロック・ゲート信号としても機能します。	0x0	R/W
		[4:1]	SPI_SYSREF_IGNORE_COUNT	無視する sysref の数。設定する値は N-1 です。例：0 は 1 個の sysref を無視し、0xF は 16 個の sysref を無視します。	0x0	R/W
		0	SPI_SYSREF_DISABLE	sysref のマスタ・ディスエーブル。非同期 - ビット遷移に最も近い sysref エッジのデューティ・サイクルに影響を与える可能性があります。	0x0	R/W
G/H 同期モード・コントロール・レジスタ						
0xE20	TRIGGER_DELAY_VAL_0	[7:0]	TRIGGER_DELAY	cic_clk サイクルを単位としたトリガ・パルスの遅延。この遅延は、すべてのバスに共通の遅延です。	0x0	R/W
0xE21	TRIGGER_DELAY_VAL_1	[7:0]	I_TRIGGER_DELAY	cic_clk サイクルを単位としたトリガ・パルス遅延のハードウェア計算値。この遅延は、すべてのバスに共通の遅延です。	0x0	R
0xE24	G_H_SYNC_MODE_VAL	[7:5]	RESERVED	予備。	0x0	R
		4	TRIG_NCO_RESET_EN	G/H トリガに基づく NCO リセットの有効化/無効化。1 : G/H トリガに基づいて、NCO の周期的なリセットを有効化します。G/H トリガの到着時、"H" の周期で NCO リセットが周期的に生成されます。 0 : G/H トリガに基づく NCO のリセットを無効化します。	0x0	R/W
		3	RESERVED	予備。	0x0	R
		2	DELAY_AUTO_INCR	キャリブレーションの目的での各トリガ後の自動インクリメント・トリガ遅延。	0x0	R/W

アドレス	名前	ビット	ビット名	説明	リセット	アクセス
		[1:0]	G_H_SYNC_MODE	G/H同期のモード選択。 00: Sysrefベースの同期。 01: 排他的トリガによるトリガ・ベースの同期。 10: sysrefを再利用したトリガ・ベースの同期。 11: ダイレクト・パルス・モード。	0x0	R/W
0xE25	G_H_SYNC_SYSREF_FUNC_VAL	[7:1]	RESERVED	予備。	0x0	R
		0	SYSREF_FUNC	sysrefを再利用するモード2用のSysref関数のフラグ。	0x0	R/W
0xE26	TRIG_AVG_DELAY_VAL	[7:0]	AVERAGER_DELAY	cic_clkのクロック・サイクル数を単位とした移動平均化ストロープ遅延。移動平均化のストロープで発生する遅延の量を示します。 ストロープはG/Hトリガによって開始され、このレジスタはそのストロープの遅延量を示します。	0xE	R/W
0xE27	TRIG_AVG_DELAY_G_VAL	[7:0]	AVERAGER_G_DELAY	cic_clkサイクルを単位としたG値に占める移動平均化ストロープ遅延。	0x0	R/W
0xE28	TRIG_NCO_DELAY_VAL	[7:0]	NCO_DELAY	cic_clkサイクルを単位としたNCOのストロープ/リセット遅延。NCOのストロープ/リセットで発生する遅延の量を示します。 ストロープはG/Hトリガによって開始され、このレジスタはNCOでのそのストロープの遅延量を示します。	0x0	R/W
0xE30	TRIG_DELAY_OVERWRITE	[7:4]	RESERVED	予備。	0x0	R
		3	OVERWRITE_TRIGGER_DELAY	1: TRIGGER遅延を上書きします。0: 遅延値を上書きしません。	0x0	R/W
		2	OVERWRITE_NCO_DELAY	1: NCO遅延を上書きします。0: 遅延値を上書きしません。	0x0	R/W
		1	OVERWRITE_AVERAGER_DELAY	1: 平均化遅延を上書きします。0: 遅延値を上書きしません。	0x0	R/W
		0	OVERWRITE_AVERAGER_G_DELAY	1: 平均化G遅延を上書きします。0: 遅延値を上書きしません。	0x0	R/W

アプリケーション情報

評価用ボードの情報

AD9083 評価ボードの詳細については、次を参照してください。

<https://wiki.analog.com/resources/eval/ad9083>。

電源供給方法

AD9083 に必要な電源を表 31 に示します。

表 31. AD9083 の代表的電源

Domain	Voltage (V)	Tolerance (%)
AVDD	1.0	±5
AVDD1P8	1.8	±5
DVDD	1.0	±5
DVDD1P8	1.8	±5

評価ボードは、図 93 に示す電力供給回路を使用します。各電源ドメインを分離するのにフェライト・ビーズを使用します。フェライト・ビーズは、±5%のレギュレーション仕様を維持できるように、オーミック・ドロップを制限するサイズになっています。DVDD 電源は電流が大きいため、フェライトは使用しません。

AD9083 は、DC-DC コンバータから直接駆動できます。ただし、この方法には、ADC の電源ドメインに入り込む電源ノイズが大きくなるというリスクが伴います。ノイズを最小限に抑えるには、DC/DC コンバータのレイアウトのガイドラインに従ってください。

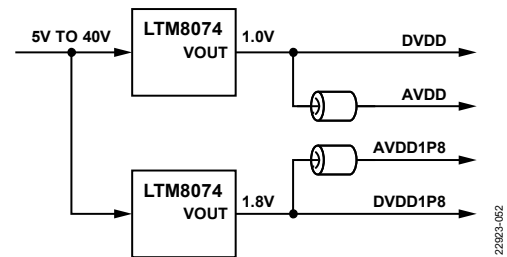


図 93. AD9083 用の簡略化した電源ソリューション

いくつかの異なるデカップリング・コンデンサを組み込むことで、低周波数域と高周波数域の両方をカバーすることができます。これらのコンデンサは、PCB への接続点とデバイスにできるだけ近い位置に配置して、トレース長を最小限に抑える必要があります。

レイアウトのガイドライン

ADC 評価用ボードは、適切なレイアウト方法に従うためのガイドとして使用することができます。評価用ボードのレイアウトは、以下を実現できるように構成されています。

- アナログ入力間のカップリングを最小限に抑える。
- アナログ入力へのクロック・カップリングを最小限に抑える。
- クロス・カップリングを減らしながら、様々な電源領域用に十分な電力とグラウンド・プレーンを確保する。
- ADC に十分な熱対策を施す。

AD9083 評価用ボードのレイアウト全体を図 94 に示します。

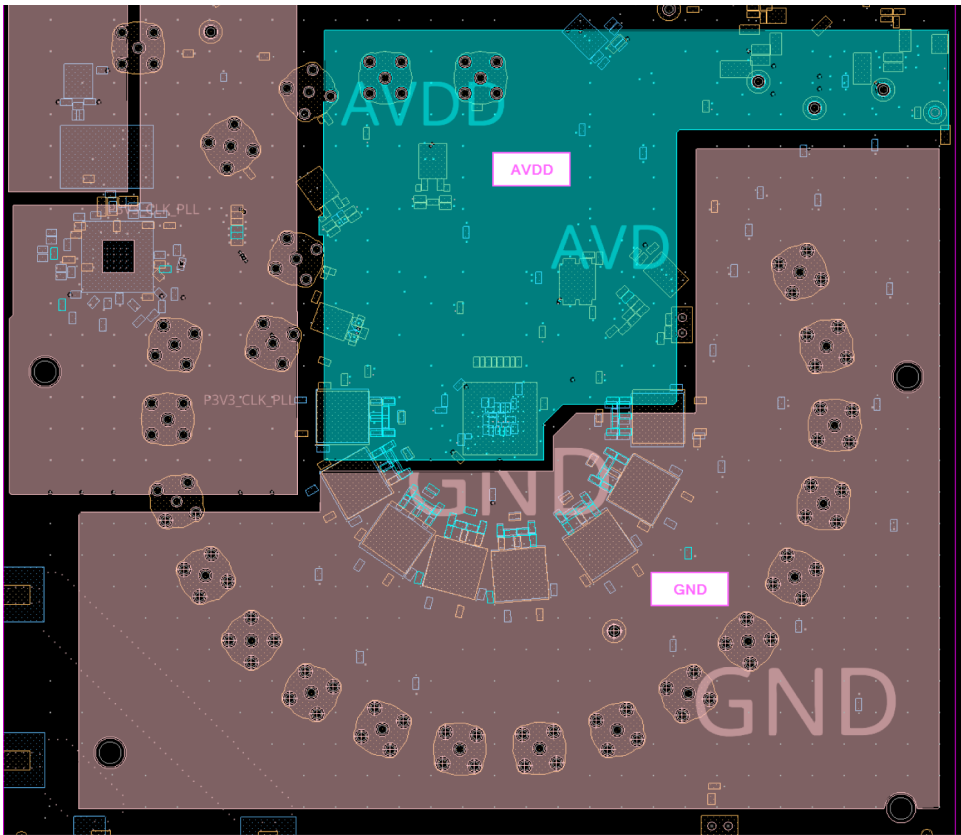


図 94. AVDD プレーンを示す AD9083EBZ のレイアウト (レイヤ 3)

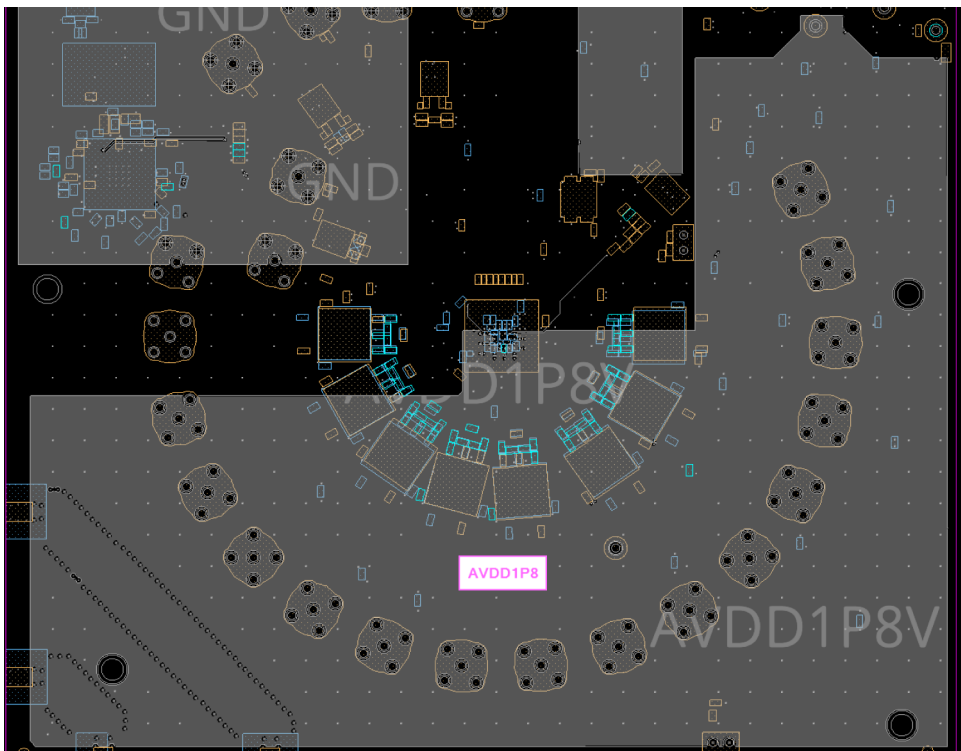


図 95. AVDD1P8 プレーンを示す AD9083EBZ のレイアウト (レイヤ 4)

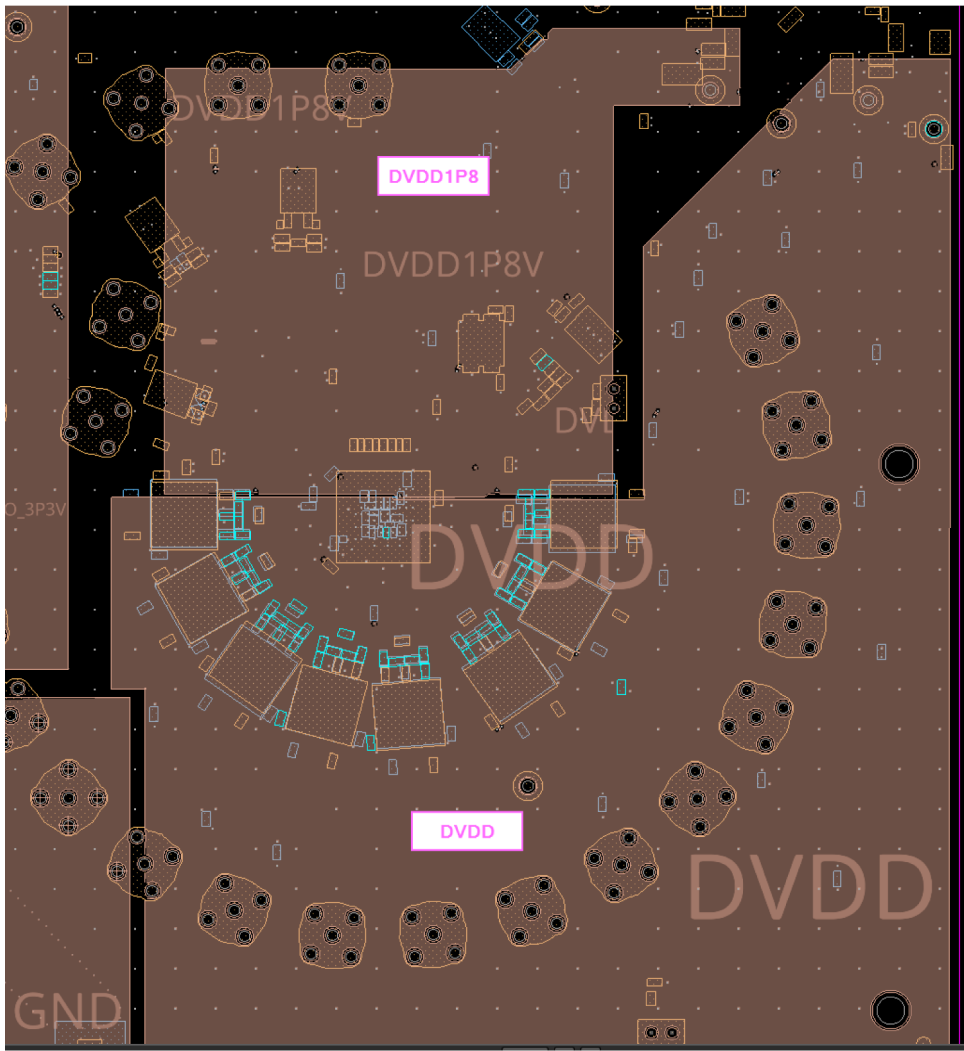


図 96. DVDD および DVDD1P8 プレーンを示す AD9083EBZ のレイアウト（レイヤ 6）

外形寸法

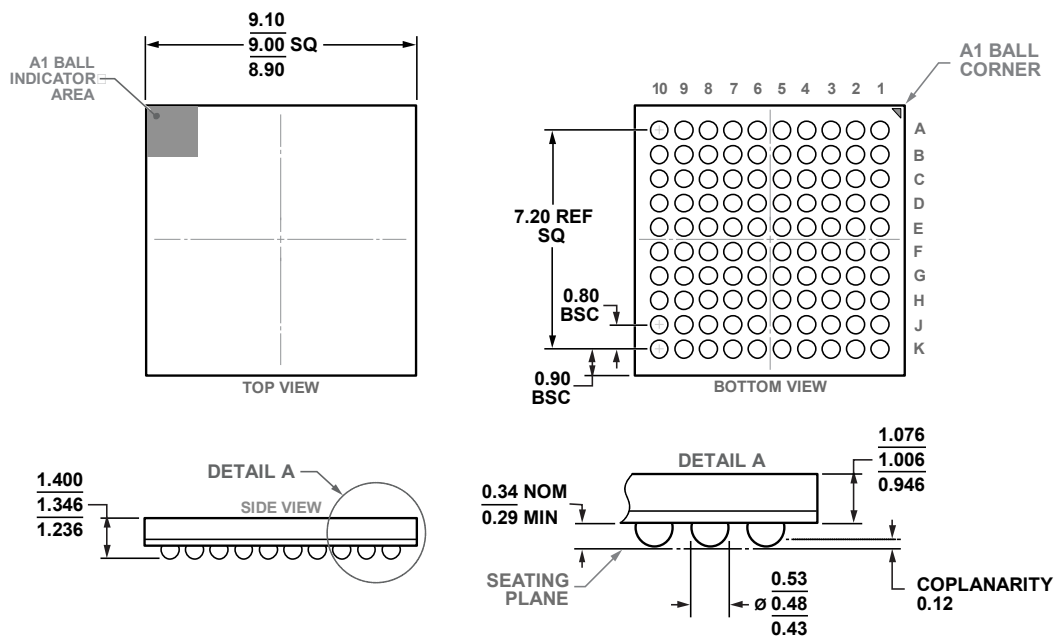


図 97. 100 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA] (BC-100-8)
寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range ²	Package Description	Package Option
AD9083BBCZ	-40°C to +115°C	100-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-100-8
AD9083BBCZ-RL7	-40°C to +115°C	100-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-100-8
AD9083EBZ		Evaluation board for AD9083	

¹ Z = RoHS 準拠製品

² 仕様規定された T_J。T_J = 40°C でのスタートアップが確保されています。