



# ミックスド・シグナル・フロント エンド、クワッド 16 ビット 12GSPS RF DAC およびデュアル 12 ビット 6GSPS RF ADC

データシート

AD9082

## 特長

柔軟性の高い再構成可能な共通プラットフォーム設計  
4 つの DAC および 2 つの ADC (4D2A)  
シングル、デュアル、クワッド・バンドをサポート  
最大 12GSPS の DAC および最大 6GSPS の ADC サンプル・レート  
DAC 対 ADC サンプル・レート比は 1、2、3、4 から選択可能  
ADC および DAC データバスはオプションでバイパス可能  
8GHz までのアナログ帯域幅  
フルスケール出力電流範囲、AC カップリング：  
7mA~40mA  
マルチチップ同期機能搭載のオンチップ PLL  
外部 RFCLK 入力オプション

ADC の AC 性能 (6GSPS 時)  
フルスケール入力電圧：1.475V p-p  
フルスケール・サイン波入力電力：4.4dBm  
ノイズ密度：-153dBFS/Hz  
ノイズ指数：25.3dB  
HD2：2.7GHz で-65.2dBFS  
HD3：2.7GHz で-70.8dBFS  
その他の最大高調波歪み (HD2 と HD3 を除く)：2.7GHz で  
-68.5dBFS

DAC の AC 性能 (3.7GHz 出力時)  
2 トーン IMD3 (トーンあたり-7dBFS)：-78.9dBc  
NSD、シングル・トーン、 $f_{DAC} = 12\text{GSPS}$ ：-155.1dBc/Hz  
SDFR、シングル・トーン、 $f_{DAC} = 12\text{GSPS}$ ：-70dBc

汎用デジタル機能  
実数または複素数のデジタル・データ (8、12、16、または  
24 ビット) に対応  
インターポレーション・フィルタとデシメーション・  
フィルタを選択可能  
設定可能な DDC と DUC  
8 つの微調整・複素 DUC と 4 つの粗調整・複素 DUC  
8 つの微調整・複素 DDC と 4 つの粗調整・複素 DDC  
DUC/DDC のそれぞれに 48 ビット NCO を内蔵  
オプションで微調整および粗調整 DUC/DDC をバイパス  
可能  
レシーバーのイコライゼーション用にプログラマブルな  
192 タップ PFIR フィルタ  
GPIO を介して 4 つの異なるプロファイル設定をロード  
可能  
データバスごとに遅延の設定が可能  
AGC 対応レシーバー  
高速 AGC 制御用の低遅延・高速検出  
低速 AGC 制御用の信号検出  
専用の AGC 対応ピン  
DPD 対応トランスミッタ  
DUC チャンネル・ゲインの微調整および遅延調整  
DPD オブザーベーション・パスの DDC 遅延粗調整

## 補助機能

高速周波数ホッピング  
ダイレクト・デジタル合成 (DDS)  
低遅延デジタル・ループバック・モード (ADC から DAC)  
分周比を選択可能な ADC クロック・ドライバ  
パワー・アンプ後段の保護回路  
温度モニタリング・ユニット内蔵  
柔軟性に優れた GPIOx ピン  
TDD 省電力オプション  
SERDES JESD204B/JESD204C インターフェース、  
16 レーン、最大 16.22Gbps  
DAC と ADC でそれぞれ 8 レーンずつ  
JESD204B 互換の最大 15.5Gbps レーン・レート  
JESD204C 互換の最大 16.22Gbps レーン・レート  
レーン・レート・マッチング用のサンプルおよび  
ビット繰り返しモード  
総消費電力：11.45W (代表値)  
15mm × 15mm、0.8mm ピッチ、324 ボール BGA

## アプリケーション

ワイヤレス通信インフラストラクチャ  
マイクロ波のポイント to ポイント、E バンド、および  
5G ミリ波  
広帯域通信システム  
DOCSIS 3.1 および 4.0 CMTS  
フェーズド・アレイ・レーダーおよび電子戦  
電子テストおよび計測システム

## 概要

このミックスド・シグナル・フロント・エンド (MxFE<sup>®</sup>) は、  
16 ビットで最大サンプル・レートが 12GSPS の RF D/A コンバー  
タ (DAC) コア、および 12 ビットで 6GSPS のレートの RF A/D  
コンバータ (ADC) コアを内蔵した高集積デバイスです。  
AD9082 は、4 つのトランスミッタ・チャンネルと 2 つのレシー  
バー・チャンネルをサポートしており、広範な瞬時帯域幅の信  
号を処理するために広帯域の ADC と DAC が必要なアプリケー  
ションに最適です。このデバイスは、16 レーンの 16.22Gbps  
JESD204C または 15.5Gbps JESD204B データ・トランシーバー・  
ポート、オンチップ・クロック乗倍器、およびデジタル・シグ  
ナル・プロセッサ (DSP) 機能を搭載し、広帯域またはマルチ  
バンドの DC~RF アプリケーションを対象としています。また、  
DSP データバスをバイパスして ADC または DAC コアの全帯域  
幅を使用できるバイパス・モードを備えています。更に、フェ  
ーズド・アレイ・レーダー・システムと電子戦アプリケーション  
を対象とした低遅延ループバック・モードと周波数ホッピング  
モードも備えています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区西牛島町 6-1 名古屋ルーセントタワー 38F  
電話 052 (569) 6300

## 目次

特長 .....	1	DAC の AC 仕様 .....	9
アプリケーション .....	1	ADC の AC 仕様 .....	12
概要 .....	1	タイミング仕様 .....	13
改訂履歴 .....	2	絶対最大定格 .....	15
機能ブロック図 .....	3	リフロー・プロファイル .....	15
仕様 .....	4	熱抵抗 .....	15
推奨動作条件 .....	4	ESD に関する注意 .....	15
DC 仕様 .....	4	ピン配置およびピン機能の説明 .....	16
DAC と ADC のサンプリング仕様 .....	5	代表的な性能特性 .....	21
消費電力 .....	6	DAC .....	21
クロック入力とフェーズ・ロック・ループ (PLL) の周波数仕様 .....	6	ADC .....	26
入力出力データ・レートと信号帯域幅の仕様 .....	7	動作原理 .....	32
JESD204B および JESD204C インターフェースの電氣的仕様と速度仕様 .....	8	外形寸法 .....	33
CMOS ピンの仕様 .....	9	オーダー・ガイド .....	33

## 改訂履歴

6/2020—Revision 0: Initial Version

機能ブロック図

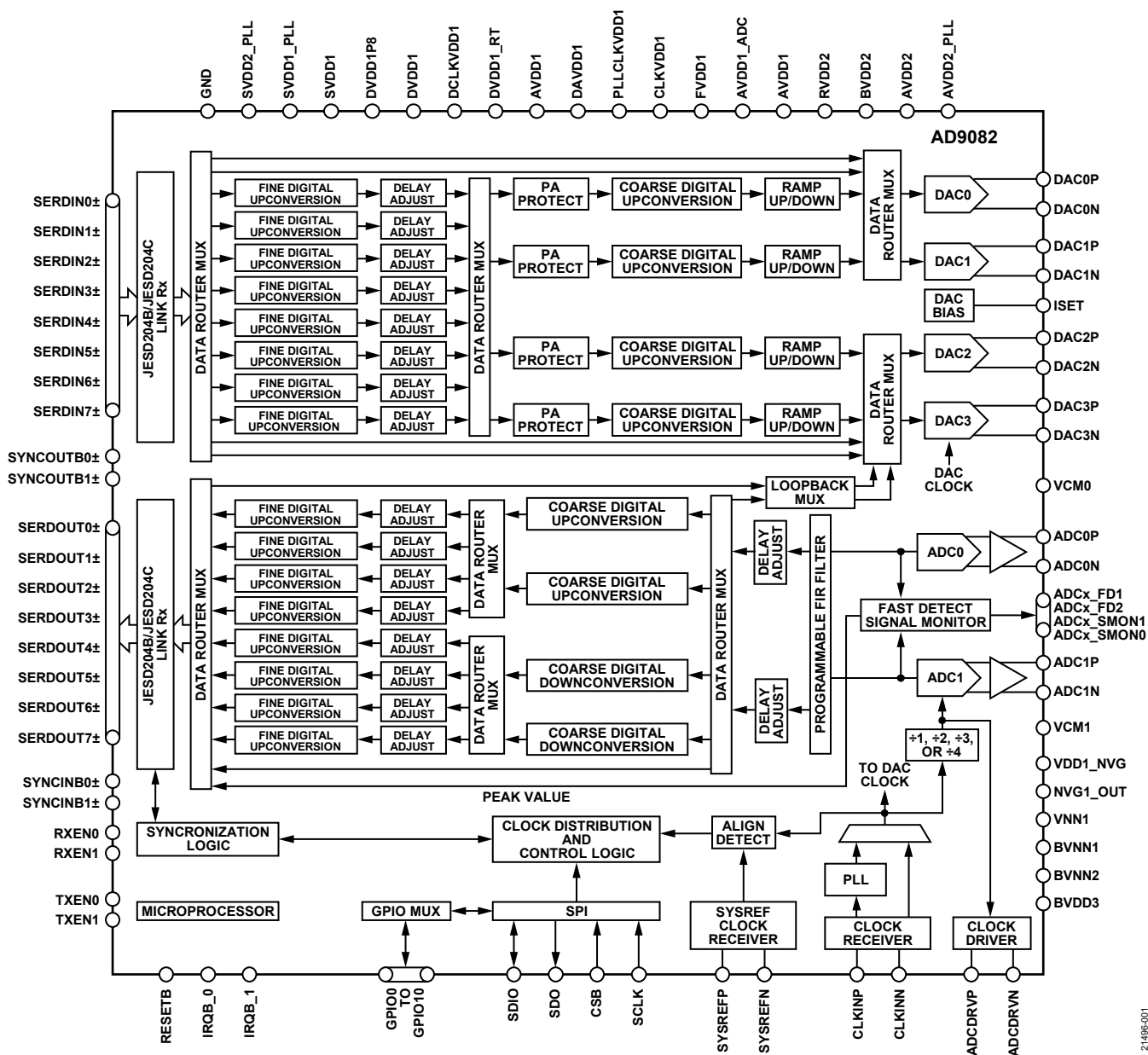


図 1.

21496-001

## 仕様

## 推奨動作条件

DAC コア回路の信頼性を長期的に維持するには、パワーアップ後すぐに開始されるデバイス初期化フェーズで DAC を適切にキャリブレーションする必要があります。デバイスの初期化の詳細については、デバイスのユーザ・ガイド UG-1578 を参照してください。

表 1.

Parameter	Min	Typ	Max	Unit
OPERATING JUNCTION TEMPERATURE ( $T_j$ )			120	°C
ANALOG SUPPLY VOLTAGE RANGE				
AVDD2, BVDD2, RVDD2	1.9	2.0	2.1	V
AVDD1, AVDD1_ADC, CLKVDD1, FVDD1, VDD1_NVG1	0.95	1.0	1.05	V
DIGITAL SUPPLY VOLTAGE RANGE				
DVDD1, DVDD1_RT, DCLKVDD1, DAVDD1	0.95	1.0	1.05	V
DVDD1P8	1.7	1.8	2.1	V
SERIALIZER/DESERIALIZER (SERDES) SUPPLY VOLTAGE RANGE				
SVDD2_PLL	1.9	2.0	2.1	V
SVDD1, SVDD1_PLL	0.95	1.0	1.05	V

## DC 仕様

特に指定のない限り、公称電源、DAC 出力フルスケール電流 ( $I_{OUTFS}$ ) = 26mA、最小値と最大値は  $T_j = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$  での値、代表値は  $T_A = 25^{\circ}\text{C}$  での値。

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
DAC RESOLUTION		16			Bit
ADC RESOLUTION		12			Bit
DAC ACCURACY					
Gain Error			1.5		%FSR
Gain Matching			0.1		%FSR
Integral Nonlinearity (INL)	シャッフリングを無効		8.0		LSB
Differential Nonlinearity (DNL)	シャッフリングを無効		3.5		LSB
ADC ACCURACY					
No Missing Codes			Guaranteed		
Offset Error			0.57		%FSR
Offset Matching			0.26		%FSR
Gain Error			5.34		%FSR
Gain Matching			1.06		%FSR
DNL	ディザリングを有効		0.32		LSB
INL	ディザリングを有効		1.38		LSB
DAC ANALOG OUTPUTS	DACxP および DACxN				
Full-Scale Output Current Range	AC カップリング、設定抵抗 ( $R_{SET}$ ) = 5k $\Omega$				
AC Coupling	出力コモンモード電圧 ( $V_{CM}$ ) = 0V	7	26	40	mA
DC Coupling	$V_{CM} = 0.3\text{V}$		20		mA
Full-Scale Sinewave Output Power with AC Coupling <sup>1</sup>	50 $\Omega$ とのインターフェースに理想的な 2:1 のバランを使用				
$I_{OUTFS} = 26\text{ mA}$			3.3		dBm
$I_{OUTFS} = 40\text{ mA}$			7		dBm
Common-Mode Output Voltage ( $V_{CMOUT}$ )			0		V
Differential Impedance			100		$\Omega$

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
ADC ANALOG INPUTS	ADCxP および ADCxN				
Differential Input Voltage			1.475		V p-p
Full-Scale Sine Wave Input Power	高速フーリエ変換 (FFT) で 0dBFS トーン・レベルになる入力パワー・レベル		4.4		dBm
Common-Mode Input Voltage (VCM <sub>IN</sub> )	AC カップリングされた値、ADCx 入力に対する VCM <sub>X</sub> 電圧に等しい値		1		V
Differential Input Resistance			100		Ω
Capacitance			0.4		pF
Return Loss	<2.7GHz		-4.3		dB
	2.7GHz~3.8GHz		-3.6		dB
	3.8GHz~5.4GHz		-2.9		dB
CLOCK INPUTS	CLKINP および CLKINN				
Differential Input Power					
Direct RF Clock			0		dBm
CLK Synchronization Enabled			0		dBm
Differential Input Impedance <sup>1</sup>			100//0.3		Ω//pF
Common-Mode Voltage	AC カップリングされた値		0.5		V
ADC CLOCK OUTPUTS	ADCDRVP および ADCDRVN				
Differential Output Voltage Magnitude <sup>2</sup>	1.5GHz		740		mV p-p
	2.0GHz		690		mV p-p
	3GHz		640		mV p-p
	6GHz		490		mV p-p
Differential Output Resistance			100		Ω
Common-Mode Voltage	AC カップリングされた値		0.5		V

<sup>1</sup> DAC の sinc 応答、インピーダンス・ミスマッチによる損失、およびバランの挿入損失のため、実際に測定されるフルスケール電力には周波数依存性があります。

<sup>2</sup> 差動の 100Ω 負荷を使用し、プリント回路基板 (PCB) のパターンがパッケージのボールから 2mm 以内の位置で測定しています。

## DAC と ADC のサンプリング仕様

特に指定のない限り、公称電源、最小値と最大値は T<sub>J</sub> = -40°C ~ +120°C、公称電源の ±5% での値、代表値は T<sub>A</sub> = 25°C での値。

表 3.

Parameter	Min	Typ	Max	Unit
DAC UPDATE RATE <sup>1</sup>				
Minimum			2.9	GSPS
Maximum	12			GSPS
ADC SAMPLE RATE <sup>1</sup>				
Minimum			1.45	GSPS
Maximum	6			GSPS
Aperture Jitter <sup>2</sup>		65		fs rms

<sup>1</sup> DAC コアおよび ADC コアの更新レートで、データパスおよび JESD モード設定には依存しません。

<sup>2</sup> DAC をディスエーブルし、クロック分周器 = 1、ADC 周波数 (f<sub>ADC</sub>) = 6GSPS、および入力周波数 (f<sub>IN</sub>) = 5.55GHz に設定して S/N 比を低下させて測定。

## 消費電力

特に指定のない限り、代表値は公称電源での値、最大値は電源の5%での値、DACデータバスは、複素I/Qデータ・レート周波数 ( $f_{IQ\_DATA}$ ) = 375MSPS、DAC周波数 ( $f_{DAC}$ ) = 12GSPS、32×のインターポレーション、JRxモード 16B (L = 8, M = 16)、ADCデータバスは、 $f_{IQ\_DATA}$  = 375MSPS、 $f_{ADC}$  = 6GSPS、16×のデシメーション、JT<sub>x</sub>モード 17B (L = 8, M = 16)、最小値と最大値は  $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$  での値、代表値は  $T_A = 25^{\circ}\text{C}$  での値。

JESDBおよびJESDCモード設定の詳細については、UG-1578 ユーザ・ガイドを参照してください。また設定の詳細はこのデータシートで説明します。

表 4.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
<b>CURRENTS</b>					
AVDD2 ( $I_{AVDD2}$ )	2.0V 電源		190		
BVDD2 ( $I_{BVDD2}$ ) + RVDD2 ( $I_{RVDD2}$ )	2.0V 電源		292		mA
AVDD2_PLL ( $I_{AVDD2\_PLL}$ ) + SVDD2_PLL ( $I_{SVDD2\_PLL}$ )	2.0V 電源		44		mA
Power Dissipation for 2 V Supplies	2.0V 電源での総消費電力		1.05		W
PLLCLKVDD1 ( $I_{PLLCLKVDD1}$ )	1.0V 電源		43		mA
AVDD1 ( $I_{AVDD1}$ ) + DCLKVDD1 ( $I_{DCLKVDD1}$ )	1.0V 電源		1541		mA
AVDD1_ADC ( $I_{AVDD1\_ADC}$ )	1.0V 電源		1700		mA
CLKVDD1 ( $I_{CLKVDD1}$ )	1.0V 電源		96		mA
FVDD1 ( $I_{FVDD1}$ )	1.0V 電源		72.5		mA
VDD1_NVG ( $I_{VDD1\_NVG}$ )	1.0V 電源		290		mA
DAVDD1 ( $I_{DAVDD1}$ )	1.0V 電源		985		mA
DVDD1 ( $I_{DVDD1}$ )	1.0V 電源		3555		mA
DVDD1_RT ( $I_{DVDD1\_RT}$ )	1.0V 電源		461		mA
SVDD1 ( $I_{SVDD1}$ ) + SVDD1_PLL ( $I_{SVDD1\_PLL}$ )	1.0V 電源		1626		mA
Power Dissipation for 1 V Supplies	1.0V 電源での総消費電力		10.4		W
DVDD1P8 ( $I_{DVDD1P8}$ )	1.8V 電源		6.8		mA
Total Power Dissipation	2V 電源と 1V 電源での総消費電力		11.45		W

## クロック入力とフェーズ・ロック・ループ (PLL) の周波数仕様

特に指定のない限り、最小値と最大値は  $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の±5%での値。

表 5.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
<b>PLL VOLTAGE CONTROLLED OSCILLATOR (VCO) FREQUENCY RANGES</b>					
VCO Output					
Divide by 1		6		12	GSPS
Divide by 2		3		6	GSPS
Divide by 4		1.5		3	GSPS
<b>PHASE FREQUENCY DETECT INPUT FREQUENCY RANGES</b>					
		25		750	MHz
<b>CLOCK INPUTS (CLKINP, CLKINN) FREQUENCY RANGES</b>					
PLL Off		1.45		12	GHz
PLL On	M 分周器を 1 分周に設定	25		750	MHz
	M 分周器を 2 分周に設定	50		1500	MHz
	M 分周器を 3 分周に設定	75		2250	MHz
	M 分周器を 4 分周に設定	100		3000	MHz

## 入力出力データ・レートと信号帯域幅の仕様

特に指定のない限り、最小値と最大値は  $T_j = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の  $\pm 5\%$  での値。

表 6.

パラメータ <sup>1</sup>	テスト条件/コメント	Min	Typ	Max	単位
DATA RATE PER INPUT CHANNEL	チャンネル・データパスをバイパス (インターポレーション 1×)、シングル DAC モードのみ、16 ビットの分解能 (JR モード = 19C)			12,000	MSPS
	チャンネル・データパスをバイパス (インターポレーション 1×)、デュアル DAC またはデュアル ADC モード、16 ビットの分解能 (JR <sub>x</sub> モード = 18C および JT <sub>x</sub> モード = 28C)			6000	MSPS
	チャンネル・データパスをバイパス (インターポレーション 1×)、クワッド DAC モード、12 ビットの分解能 (JR <sub>x</sub> モード = 35C)			4000	MSPS
	1つの複素チャンネルをイネーブル、16 ビットの分解能 (JR <sub>x</sub> モード = 18C および JT <sub>x</sub> モード = 19C)			6000	MSPS
	2つの複素チャンネルをイネーブル、12 ビットの分解能 (JR <sub>x</sub> モード = 23C および JT <sub>x</sub> モード = 27C)			4000	MSPS
	4つの複素チャンネルをイネーブル、12 ビットの分解能 (JR <sub>x</sub> モード = 24C および JT <sub>x</sub> モード = 26C)			2000	MSPS
	8つの複素チャンネルをイネーブル、16 ビットの分解能 (JR <sub>x</sub> モード = 16C および JT <sub>x</sub> モード = 16C)			750	MSPS
COMPLEX SIGNAL BANDWIDTH PER CHANNEL	1つの複素チャンネルをイネーブル ( $0.8 \times f_{\text{DATA}}$ )			4800	MHz
	2つの複素チャンネルをイネーブル ( $0.8 \times f_{\text{DATA}}$ )			3200	MHz
	4つの複素チャンネルをイネーブル ( $0.8 \times f_{\text{DATA}}$ )			1600	MHz
	8つの複素チャンネルをイネーブル ( $0.8 \times f_{\text{DATA}}$ )			600	MHz
MAXIMUM NUMERICALLY CONTROLLED OSCILLATOR (NCO) CLOCK RATE	Channel NCO			1500	MHz
	Main DAC NCO			12	GHz
	Main ADC NCO			6	GHz
MAXIMUM NCO SHIFT FREQUENCY RANGE	Channel NCO	-750		+750	MHz
	Main DAC NCO	-6		+6	GHz
	Main ADC NCO	-3		+3	GHz
MAXIMUM FREQUENCY SPACING ACROSS INPUT CHANNELS	最大 NCO 出力周波数 $\times 0.8$			1200	MHz

<sup>1</sup> これらのパラメータの値は、すべての JESD204B 動作モードを通じて取り得る最大値です。一部のモードでは、他のパラメータのために更に値が制限されます。

## JESD204B および JESD204C インターフェースの電氣的仕様と速度仕様

特に指定のない限り、公称電源、最小値と最大値は  $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の  $\pm 5\%$  での値、代表値は  $T_A = 25^{\circ}\text{C}$  での値。

表 7.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
JESD204B SERIAL INTERFACE RATE	シリアル・レーン・レート (ビット繰り返しオプションはディスエーブル)	8.11		15.5	Gbps
Unit Interval		168.35		64.5	ps
JESD204C SERIAL INTERFACE RATE	シリアル・レーン・レート (ビット繰り返しオプションはディスエーブル)	8.11		16.22	Gbps
Unit Interval		123.3		61.65	ps
JESD204x DATA INPUTS	SERDIN $x_{\pm}$ 、 $x = 0 \sim 7$				
Differential Voltage, $R_{VDIFF}$			800		mV p-p
Differential Impedance, $Z_{RDIFF}$	DC での値		98		$\Omega$
Termination Voltage, $V_{TT}$	AC カップリングされた値		0.97		V
JESD204x DATA OUTPUTS	SERDOUT $x_{\pm}$ 、ここで $x = 0 \sim 7$				
Logic Compliance			JESD204B/JESD204C compliant		
Differential Output Voltage	最大強度		675		mV p-p
Differential Termination Impedance		80	108	120	$\Omega$
Rise Time, $t_R$	100 $\Omega$ 負荷へ 20%~80%		18		ps
Fall Time, $t_F$	100 $\Omega$ 負荷へ 20%~80%		18		ps
SYSREFP AND SYSREFN INPUTS					
Logic Compliance			LVDS/LVPECL <sup>1</sup>		
Differential Input Voltage			0.7	1.9	V p-p
Input Common-Mode Voltage Range	DC カップリングされた値		0.675	2	V
Input Reference, $R_{IN}$ (Differential)			100		$\Omega$
Input Capacitance (Differential)			1		pF
SYNC $x$ OUTB $\pm$ OUTPUTS <sup>2</sup>	$x = 0$ または 1				
Output Differential Voltage, $V_{OD}$	100 $\Omega$ の差動負荷を駆動		400		mV
Output Offset Voltage, $V_{OS}$			DVDD1P8/2		V
SYNC $x$ OUTB+	CMOS 出力オプション		Refer to CMOS pin specification		
SYNC $x$ INB $\pm$ INPUT <sup>2</sup>	$x = 0$ または 1				
Logic Compliance			LVDS		
Differential Input Voltage			0.7	1.9	mV p-p
Input Common-Mode Voltage	DC カップリングされた値		0.675	2	V
$R_{IN}$ (Differential)			18		k $\Omega$
Input Capacitance (Differential)			1		pF
SYNC $x$ INB+ INPUT	CMOS 入力オプション		Refer to CMOS pin specification		

<sup>1</sup> LVDS は低電圧差動伝送、LVPECL は低電圧ポジティブ/擬似エミッタ結合ロジックを表します。

<sup>2</sup> IEEE 1596.3 規格の LVDS と互換。



## CMOS ピンの仕様

特に指定のない限り、公称電源、最小値と最大値は  $T_j = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、 $\text{DVDD1P8} = 2.0\text{V} \pm 5\%$ での値、代表値は  $T_A = 25^{\circ}\text{C}$  での値。

表 8.

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
INPUTS		SDIO、SCLK、CSB、RESETB、RXEN0、RXEN1、TXEN0、TXEN1、SYNC0INB±、SYNC1INB±、および GPIOx				
Logic 1 Voltage	$V_{IH}$		$0.70 \times \text{DVDD1P8}$			V
Logic 0 Voltage	$V_{IL}$				$0.3 \times \text{DVDD1P8}$	V
Input Resistance				30		k $\Omega$
OUTPUTS		SDIO、SDO、GPIOx、ADCx_FD <sub>x</sub> 、SYNC0INB±、および SYNC1INB±、4mA の負荷				
Logic 1 Voltage	$V_{OH}$		$\text{DVDD1P8} - 0.45$			V
Logic 0 Voltage	$V_{OL}$				0.45	V
INTERRUPT OUTPUTS		IRQB_0 と IRQB_1、5k $\Omega$ のプルアップ抵抗				
Logic 1 Voltage	$V_{OH}$		1.45			V
Logic 0 Voltage	$V_{OL}$				0.35	V

## DAC の AC 仕様

特に指定のない限り、公称電源、 $T_A = 25^{\circ}\text{C}$ 、 $f_{IQ\_DATA} = 1500\text{MSPS}$ 。仕様値は、DAC の  $I_{OUTFS} = 26\text{mA}$ 、ADC をパワーダウンした状態での 4 つの DAC チャンネルすべての平均値を記載しています。

表 9.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
SPURIOUS-FREE DYNAMIC RANGE (SFDR)					
Single-Tone, $f_{DAC} = 12\text{GSPS}$	-7dBFS、シャッフリングを有効				
Output Frequency ( $f_{OUT}$ ) = 100 MHz			-70.7		dBc
$f_{OUT} = 500\text{MHz}$			-69.2		dBc
$f_{OUT} = 900\text{MHz}$			-69.7		dBc
$f_{OUT} = 1900\text{MHz}$			-68.5		dBc
$f_{OUT} = 2600\text{MHz}$			-73.1		dBc
$f_{OUT} = 3700\text{MHz}$			-70		dBc
$f_{OUT} = 4500\text{MHz}$			-66.5		dBc
Single-Tone, $f_{DAC} = 9\text{GSPS}$	-7dBFS、シャッフリングを有効				
$f_{OUT} = 100\text{MHz}$			-74.4		dBc
$f_{OUT} = 500\text{MHz}$			-72.5		dBc
$f_{OUT} = 900\text{MHz}$			-72.50		dBc
$f_{OUT} = 1900\text{MHz}$			-71.0		dBc
$f_{OUT} = 2600\text{MHz}$			-71.5		dBc
$f_{OUT} = 3700\text{MHz}$			-69.1		dBc
Single-Tone, $f_{DAC} = 6\text{GSPS}$	-7dBFS、シャッフリングを有効				
$f_{OUT} = 100\text{MHz}$			-77		dBc
$f_{OUT} = 500\text{MHz}$			-75.8		dBc
$f_{OUT} = 900\text{MHz}$			-75.3		dBc
$f_{OUT} = 1900\text{MHz}$			-75.3		dBc
SINGLE-BAND APPLICATION, BAND 3	$f_{DAC} = 9\text{GSPS}$ 、500MHz のリファレンス・クロック				
Windowed SFDR Nonharmonics	-7dBFS、シャッフリングを有効				
In Band	1842.5MHz $\pm$ 37.5MHz の通過帯域幅		-95.5		dBc
DPD Band	1842.5MHz $\pm$ 200MHz の通過帯域幅		-80.3		dBc

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
ADJACENT CHANNEL LEAKAGE RATIO Single Carrier 20 MHz LTE Downlink Test Vector $f_{DAC} = 12$ GSPS  $f_{DAC} = 9$ GSPS  $f_{DAC} = 6$ GSPS	-1dBFS のデジタル・バック・オフ、256QAM $f_{OUT} = 1840$ MHz $f_{OUT} = 2650$ MHz $f_{OUT} = 3500$ MHz $f_{OUT} = 1900$ MHz $f_{OUT} = 2650$ MHz $f_{OUT} = 750$ MHz $f_{OUT} = 1840$ MHz		77.3 76.3 73.3 77.0 77.1 78.8 77.3		dBc dBc dBc dBc dBc dBc dBc
THIRD-ORDER INTERMODULATION DISTORTION (IMD3)  $f_{DAC} = 12$ GSPS  $f_{DAC} = 9$ GSPS  $f_{DAC} = 6$ GSPS	ツー・トーン・テスト、トーン当たり -6dBFS、1MHz 間隔 $f_{OUT} = 1900$ MHz $f_{OUT} = 2600$ MHz $f_{OUT} = 3700$ MHz $f_{OUT} = 1900$ MHz $f_{OUT} = 2600$ MHz $f_{OUT} = 900$ MHz $f_{OUT} = 1900$ MHz		-74.5 -75.5 -77 -83 -86 -88.4 -86.3		dBc dBc dBc dBc dBc dBc dBc
NOISE SPECTRAL DENSITY (NSD)  Single-Tone, $f_{DAC} = 12$ GSPS $f_{OUT} = 150$ MHz $f_{OUT} = 500$ MHz $f_{OUT} = 950$ MHz $f_{OUT} = 1840$ MHz $f_{OUT} = 2650$ MHz $f_{OUT} = 3700$ MHz $f_{OUT} = 4500$ MHz Single-Tone, $f_{DAC} = 9$ GSPS $f_{OUT} = 150$ MHz $f_{OUT} = 500$ MHz $f_{OUT} = 950$ MHz $f_{OUT} = 1840$ MHz $f_{OUT} = 2650$ MHz $f_{OUT} = 3700$ MHz Single-Tone, $f_{DAC} = 6$ GSPS $f_{OUT} = 150$ MHz $f_{OUT} = 500$ MHz $f_{OUT} = 950$ MHz $f_{OUT} = 1840$ MHz $f_{OUT} = 2650$ MHz	0dBFS、NSD は $f_{OUT}$ から 10% 離れた周波数で測定、シャッフリング・オフ		-168 -166.7 -164.8 -161.6 -160 -155.1 -154.2 -168 -166 -164 -160.2 -158.4 -153.5 -168 -165 -163 -159 -156.8		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz
SINGLE SIDEBAND PHASE NOISE OFFSET (PLL DISABLED) $f_{OUT} = 3$ GHz, $f_{DAC} = 12$ GSPS, CLKINx Frequency ( $f_{CLKIN}$ ) = 12 GHz 1 kHz 10 kHz 100 kHz 600 kHz 1.2 MHz 1.8 MHz 6 MHz	7dBm でダイレクト RF クロック入力  R&S SMA100B の B711 オプションを使用		-119 -129 -136 -146 -148 -150 -154		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
SINGLE SIDEBAND PHASE NOISE OFFSET (PLL ENABLED)	ループ・フィルタ部品には、C1 = 22nF、R1 = 226Ω、C2 = 2.2nF、C3 = 33nF の値のものを使用、位相検出器の周波数 (PFD) = 500MHz				
$f_{OUT} = 1.8 \text{ GHz}$ , $f_{DAC} = 12 \text{ GSPS}$ , $f_{CLKIN} = 0.5 \text{ GHz}$					
1 kHz			-103		dBc/Hz
10 kHz			-111		dBc/Hz
100 kHz			-119		dBc/Hz
600 kHz			-127		dBc/Hz
1.2 MHz			-132		dBc/Hz
1.8 MHz			-137		dBc/Hz
6 MHz			-148		dBc/Hz

## ADC の AC 仕様

公称電源、 $T_A = 25^\circ\text{C}$ 、入力振幅 ( $A_{IN}$ ) = -1dBFS、デュアル・リンクの JT<sub>x</sub> モード (13C) でフル帯域幅 (デシメーションなし)。仕様値は、DAC をパワーダウンした状態で測定した ADC チャンネルの最も厳しい値です。このテストの実施条件と詳細については、アプリケーション・ノート AN-835 高速 A/D コンバータ (ADC) のテストと評価についてを参照してください。

表 10.

Parameter	Min	Typ	Max	Unit
NOISE DENSITY <sup>1</sup>		-153		dBFS/Hz
NOISE FIGURE <sup>2</sup>		25.3		dB
SIGNAL-TO-NOISE RATIO (SNR)				
$f_{IN} = 253 \text{ MHz}$		56.7		dBFS
$f_{IN} = 450 \text{ MHz}$		56.9		dBFS
$f_{IN} = 900 \text{ MHz}$		56.2		dBFS
$f_{IN} = 1800 \text{ MHz}$		54.7		dBFS
$f_{IN} = 2700 \text{ MHz}$		52.4		dBFS
$f_{IN} = 3600 \text{ MHz}$		51.8		dBFS
$f_{IN} = 4500 \text{ MHz}$		50.4		dBFS
$f_{IN} = 5400 \text{ MHz}$		51.0		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION (SINAD) RATIO				
$f_{IN} = 253 \text{ MHz}$		56.6		dBFS
$f_{IN} = 450 \text{ MHz}$		56.6		dBFS
$f_{IN} = 900 \text{ MHz}$		55.7		dBFS
$f_{IN} = 1800 \text{ MHz}$		53.9		dBFS
$f_{IN} = 2700 \text{ MHz}$		52.0		dBFS
$f_{IN} = 3600 \text{ MHz}$		51.3		dBFS
$f_{IN} = 4500 \text{ MHz}$		49.6		dBFS
$f_{IN} = 5400 \text{ MHz}$		48.9		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)				
$f_{IN} = 253 \text{ MHz}$		9.1		Bits
$f_{IN} = 450 \text{ MHz}$		9.1		Bits
$f_{IN} = 900 \text{ MHz}$		9		Bits
$f_{IN} = 1800 \text{ MHz}$		8.7		Bits
$f_{IN} = 2700 \text{ MHz}$		8.3		Bits
$f_{IN} = 3600 \text{ MHz}$		8.2		Bits
$f_{IN} = 4500 \text{ MHz}$		7.9		Bits
$f_{IN} = 5400 \text{ MHz}$		7.8		Bits
WORST HD <sub>2</sub>				
$f_{IN} = 253 \text{ MHz}$		-72.1		dBFS
$f_{IN} = 450 \text{ MHz}$		-68.9		dBFS
$f_{IN} = 900 \text{ MHz}$		-67.1		dBFS
$f_{IN} = 1800 \text{ MHz}$		-64.6		dBFS
$f_{IN} = 2700 \text{ MHz}$		-65.2		dBFS
$f_{IN} = 3600 \text{ MHz}$		-58.1		dBFS
$f_{IN} = 4500 \text{ MHz}$		-65		dBFS
$f_{IN} = 5400 \text{ MHz}$		-54.1		dBFS

Parameter	Min	Typ	Max	Unit
<b>WORST HD3</b>				
$f_{IN} = 253 \text{ MHz}$		-80.0		dBFS
$f_{IN} = 450 \text{ MHz}$		-78.3		dBFS
$f_{IN} = 900 \text{ MHz}$		-70.8		dBFS
$f_{IN} = 1800 \text{ MHz}$		-66		dBFS
$f_{IN} = 2700 \text{ MHz}$		-70.8		dBFS
$f_{IN} = 3600 \text{ MHz}$		-69.2		dBFS
$f_{IN} = 4500 \text{ MHz}$		-64.3		dBFS
$f_{IN} = 5400 \text{ MHz}$		-62		dBFS
<b>WORST OTHER, EXCLUDING HD2 OR HD3 HARMONIC</b>				
$f_{IN} = 253 \text{ MHz}$		-85.3		dBFS
$f_{IN} = 450 \text{ MHz}$		-81.4		dBFS
$f_{IN} = 900 \text{ MHz}$		-76.5		dBFS
$f_{IN} = 1800 \text{ MHz}$		-72.1		dBFS
$f_{IN} = 2700 \text{ MHz}$		-68.5		dBFS
$f_{IN} = 3600 \text{ MHz}$		-65.9		dBFS
$f_{IN} = 4500 \text{ MHz}$		-64.2		dBFS
$f_{IN} = 5400 \text{ MHz}$		-62.7		dBFS
<b>TWO-TONE IMD3, Input Amplitude 1 (<math>A_{IN1}</math>) = Input Amplitude 2 (<math>A_{IN2}</math>) = -7 dBFS</b>				
Input Frequency 1 ( $f_{IN1}$ ) = 890 MHz, Input Frequency 2 ( $f_{IN2}$ ) = 910 MHz				
$f_{IN1} = 1780 \text{ MHz}, f_{IN2} = 1820 \text{ MHz}$		-78.9		dBFS
$f_{IN1} = 2680 \text{ MHz}, f_{IN2} = 2720 \text{ MHz}$		-75		dBFS
$f_{IN1} = 3560 \text{ MHz}, f_{IN2} = 3640 \text{ MHz}$		-73.2		dBFS
$f_{IN1} = 5360 \text{ MHz}, f_{IN2} = 5440 \text{ MHz}$		-64.2		dBFS
<b>ANALOG BANDWIDTH<sup>3</sup></b>		8		GHz

<sup>1</sup> ノイズ密度は、低アナログ振幅、またはタイミング・ジッタがノイズ・フロアを低下させない周波数で測定しています。

<sup>2</sup> ノイズ指数は、1.5V p-p の入力スパンと  $R_{IN} = 100\Omega$  を使用した 4.5dBm の公称フルスケール入力電力に基づいています。

<sup>3</sup> アナログ入力帯域幅は、評価用ボードで測定した周波数応答から ADC を取り除いた除去モデルに基づいて、フルスケール入力周波数応答を -3dB ロールオフした動作帯域幅です。この帯域幅には、マッチング回路を最適化してこの上側帯域幅まで確保できていることが要求されます。

## タイミング仕様

特に指定のない限り、最小値と最大値は  $T_J = -40^\circ\text{C} \sim +120^\circ\text{C}$ 、公称電源の  $\pm 5\%$  の値。

表 11.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>SERIAL PORT INTERFACE (SPI) WRITE OPERATION</b>						
Maximum SCLK Clock Rate	$f_{SCLK}, 1/t_{SCLK}$		33			MHz
SCLK Clock High	$t_{PWH}$	SCLK = 33 MHz	5			ns
SCLK Clock Low	$t_{PWL}$	SCLK = 33 MHz	5			ns
SDIO to SCLK Setup Time	$t_{DS}$		4			ns
SCLK to SDIO Hold Time	$t_{DH}$		4			ns
CSB to SCLK Setup Time	$t_S$		4			ns
SCLK to CSB Hold Time	$t_H$		4			ps

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>SPI READ OPERATION</b>						
Maximum SCLK Clock Rate	$f_{SCLK}, 1/t_{SCLK}$		8			MHz
SCLK Clock High	$t_{PWH}$		50			ns
SCLK Clock Low	$t_{PWL}$		50			ns
SDIO to SCLK Setup Time	$t_{DS}$		4			ns
SCLK to SDIO Hold Time	$t_{DH}$		4			ns
CSB to SCLK Setup Time	$t_s$		4			ns
SCLK to SDIO Data Valid Time	$t_{DV}$		20			ns
SCLK to SDO Data Valid Time	$t_{DV\_SDO}$		20			ns
CSB to SDIO Output Valid to High-Z	$t_z$		20			ns
CSB to SDO Output Valid to High-Z	$t_{z\_SDO}$		20			ns

## タイミング図

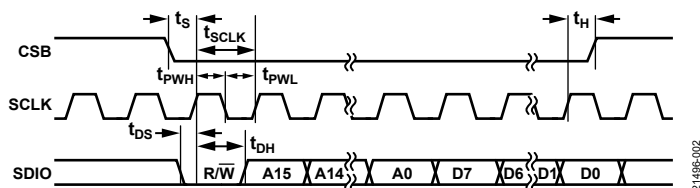


図 2. 3 線での書き込み動作のタイミング図

21496-002

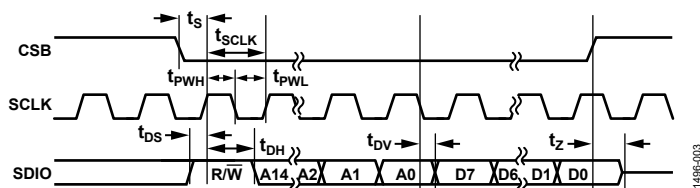


図 3. 3 線での読み出し動作のタイミング図

21496-003

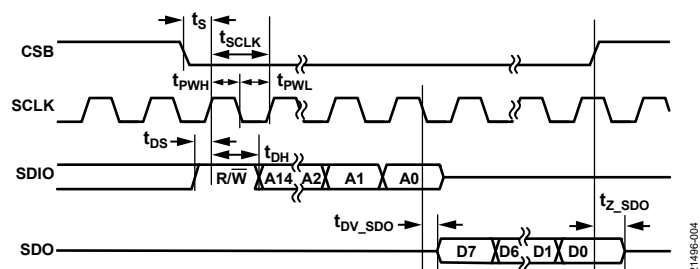


図 4. 4 線での読み出し動作のタイミング図

21496-004

## 絶対最大定格

表 12.

Parameter	Rating
ISET, DACxP, DACxN, TDP, TDN	-0.3 V to AVDD2 + 0.3 V
VCO_COARSE, VCO_FINE, VCO_VCM, VCO_VREG	-0.3 V to AVDD2_PLL + 0.3 V
ADC0P, ADC0N, ADC1P, ADC1N	-0.3 V to BVDD2 + 0.3 V
VCM0, VCM1	-0.3 V to RVDD2 + 0.3 V
CLKINP, CLKINN	-0.2 V to PLLCLKVDD1 + 0.2 V
ADCDRVN, ADCDRVp	-0.2 V to CLKVDD1 + 0.2 V
SERDINx±, SERDOUTx±	-0.2 V to SVDD1 + 0.2 V
SYSREFP, SYSREFN, and SYNCxINB±	-0.2 V to +2.5 V
SYNCxOUTB±, SYNCxINB±, RESETB, TXENx, RXENx, IRQB_x, CSB, SCLK, SDIO, SDO, TMU_REFN, TMU_REFP, ADCx_SMON0, ADCx_SMON1, ADCx_FD0, ADCx_FD1, GPIOx	-0.3 V to DVDD1P8 + 0.3 V
AVDD2, AVDD2_PLL, BVDD2, RVDD2, SVDD2_PLL, DVDD1P8	-0.3 V to +2.2 V
PLLCLKVDD1, AVDD1, AVDD1_ADC, CLKVDD1, FVDD1, DAVDD1, DVDD1_RT, DCLKVDD1, SVDD1	-0.2 V to +1.2 V
VNN1	-1.1 V to +0.2 V
Temperature Junction (T <sub>J</sub> ) <sup>1</sup>	125°C
Storage Range	-40°C to +150°C

<sup>1</sup> デバイスに電源が供給されている間は、決してこの温度を超えてはなりません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### リフロー・プロファイル

AD9082 のリフロー・プロファイルは、鉛フリー・デバイスに関する JEDEC JESD 20 の基準に従っています。最大リフロー温度は 260°C です。

### 熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。温度管理を適切に行って、T<sub>J</sub> の最大値が表 12 に示す制限値を超えないようにすることを推奨します。

θ<sub>JA</sub> は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ<sub>JC\_TOP</sub> は、ジャンクションとケースの間の熱抵抗です。

θ<sub>JB</sub> は、ジャンクションとボードの間の熱抵抗です。

表 13. 熱抵抗の計算値<sup>1</sup>

PCB Type	Airflow Velocity (m/sec)	θ <sub>JA</sub>	θ <sub>JC_TOP</sub>	θ <sub>JB</sub>	Unit
JEDEC 2s2p Board	0.0	14.9	0.70	1.8	°C/W

<sup>1</sup> 仕様規定されている熱抵抗値は、JEDEC 仕様の JESD51-12 に基づき、デバイスの消費電力を 9W として計算しています。

### ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明

AD9082  
TOP VIEW  
(Not to Scale)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
A	GND	AVDD2	GND	GND	NC	NC	GND	GND	ADC0N	ADC0P	GND	SYNC1INB-	SYNC0INB-	SERDOUT0-	SERDOUT0+	SVDD1	GND	GND
B	DAC0P	GND	GND	GND	GND	GND	DNC	VCM0	GND	GND	RVDD2	SYNC1INB+	SYNC0INB+	GND	GND	SVDD1	SERDOUT7-	SERDOUT7+
C	DAC0N	GND	ADCDRVN	ADCDRVP	GND	GND	GND	GND	BVNN2	BVDD3	GND	RESETB	DVDD1P8	SERDOUT1-	SERDOUT1+	SVDD1	GND	GND
D	GND	AVDD1	AVDD1	AVDD1	GND	FVDD1	BVDD2	VNN1	GND	VDD1_NVG	AGC0_SMON1	AGC0_SMON0	RXEN1	GND	GND	SVDD1	SERDOUT6-	SERDOUT6+
E	GND	AVDD2	AVDD1	GND	DAVDD1	GND	BVDD2	VNN1	NVG1_OUT	VNN1	AGC1_SMON1	AGC1_SMON0	RXEN0	SERDOUT2-	SERDOUT2+	SVDD1	GND	GND
F	DAC1N	GND	AVDD1	GND	DAVDD1	GND	GND	GND	DVDD1P8	DVDD1	ADC0_FD1	ADC0_FD0	SDIO	GND	GND	SVDD1	SERDOUT5-	SERDOUT5+
G	DAC1P	GND	GND	GND	GND	CLKVDD1	AVDD1_ADC	AVDD1_ADC	TMU_REFN	TMU_REFP	ADC1_FD1	ADC1_FD0	CSB	SERDOUT3-	SERDOUT3+	SVDD1	GND	GND
H	GND	AVDD2	ISET	DNC	GND	GND	GND	GND	DVDD1	GND	DVDD1	GND	SCLK	GND	GND	SVDD1	SERDOUT4-	SERDOUT4+
J	CLKINP	GND	VCO_FINE	VCO_COARSE	PLLCLKVDD1	DVDD1_RT	DVDD1_RT	GND	DVDD1	GND	DVDD1	GND	SDO	GND	GND	SVDD1_PLL	GND	GND
K	CLKINN	GND	VCO_VREG	VCO_VCM	DCLKVDD1	DVDD1_RT	DVDD1_RT	GND	DVDD1	GND	DVDD1	GND	GPIO9	GND	SVDD2_PLL	SVDD1_PLL	GND	GND
L	GND	AVDD2	AVDD2_PLL	DNC	GND	GND	GND	GND	DVDD1	GND	DVDD1	GND	GPIO8	GND	DNC	DNC	SERDIN0-	SERDIN0+
M	DAC2P	GND	GND	GND	GND	CLKVDD1	AVDD1_ADC	AVDD1_ADC	DVDD1	GND	GPIO3	GPIO1	GPIO7	SERDIN4-	SERDIN4+	SVDD1	GND	GND
N	DAC2N	GND	AVDD1	GND	DAVDD1	GND	GND	GND	TDP	TDN	GPIO2	GPIO0	GPIO6	GND	GND	SVDD1	SERDIN1-	SERDIN1+
P	GND	AVDD2	AVDD1	GND	DAVDD1	GND	BVDD2	VNN1	NVG1_OUT	VNN1	GPIO4	IRQB_0	TXEN0	SERDIN7-	SERDIN7+	SVDD1	GND	GND
R	GND	AVDD1	AVDD1	AVDD1	GND	FVDD1	BVDD2	VNN1	GND	VDD1_NVG	GPIO5	IRQB_1	TXEN1	GND	GND	SVDD1	SERDIN2-	SERDIN2+
T	DAC3N	GND	SYSREFN	SYSREFP	GND	GND	GND	GND	BVNN2	BVDD3	GND	GPIO10	DVDD1P8	SERDIN6-	SERDIN6+	SVDD1	GND	GND
U	DAC3P	GND	GND	GND	GND	GND	DNC	VCM1	GND	GND	RVDD2	SYNC1OUTB+	SYNC0OUTB+	GND	GND	SVDD1	SERDIN3-	SERDIN3+
V	GND	AVDD2	GND	GND	NC	NC	GND	GND	ADC1N	ADC1P	GND	SYNC1OUTB-	SYNC0OUTB-	SERDIN5-	SERDIN5+	SVDD1	GND	GND

GND ANALOG GROUND   
 GND DIGITAL GROUND   
 GND SERDES GROUND

図 5. 324 ボールのピン配置

21486-002



表 14. ピン機能の説明

ピン番号	記号	タイプ	説明
POWER SUPPLIES			
A2, E2, H2, L2, P2, V2	AVDD2	Input	DAC のアナログ 2.0V 電源入力。
L3	AVDD2_PLL	Input	クロック PLL リニア・ドロップアウト・レギュレータ (LDO) のアナログ 2.0V 電源入力。
D7, E7, P7, R7	BVDD2	Input	ADC バッファのアナログ 2.0V 電源入力。
B11, U11	RVDD2	Input	ADC リファレンスのアナログ 2.0V 電源入力。
J5	PLLCLKVDD1	Input	クロック PLL のアナログ 1.0V 電源入力。
D2 to D4, E3, F3, N3, P3, R2 to R4	AVDD1	Input	DAC クロックのアナログ 1.0V 電源入力。
G7, G8, M7, M8	AVDD1_ADC	Input	ADC のアナログ 1.0V 電源入力。
G6, M6	CLKVDD1	Input	ADC クロックのアナログ 1.0V 電源入力。
D6, R6	FVDD1	Input	ADC リファレンスのアナログ 1.0V 電源入力。
D10, R10	VDD1_NVG	Input	-1V 出力生成用の負電圧発生器 (NVG) のアナログ 1.0V 電源入力。
E9, P9	NVG1_OUT	Output	NVG からのアナログ-1V 電源出力。NVG1_OUT は、0.1 $\mu$ F のコンデンサを使用して GND からデカップリングします。
D8, E8, E10, P8, R8, P10	VNN1	Input	ADC バッファおよびリファレンスのアナログ-1V 電源入力。これらのピンは、隣接する NVG1_OUT ピンに接続します。
C9, T9,	BVNN2	Output	ADC バッファのアナログ-2V 電源出力。BVNN2 は、0.1 $\mu$ F のコンデンサを使用して GND からデカップリングします。
C10, T10	BVDD3	Output	ADC バッファのアナログ 3V 電源出力。BVDD3 は、0.1 $\mu$ F のコンデンサを使用して GND からデカップリングします。
E5, F5, N5, P5	DAVDD1	Input	デジタル・アナログ 1.0V 電源入力。
F10, H9, H11, J9, J11, K9, K11, L9, L11, M9	DVDD1	Input	デジタル 1.0V 電源入力。
J6, J7, K6, K7	DVDD1_RT	Input	リタイマー・ブロックのデジタル 1.0V 電源入力。
K5	DCLKVDD1	Input	デジタル 1.0V クロック生成用電源。
A16, B16, C16, D16, E16, F16, G16, H16, M16, N16, O16, P16, Q16, R16, S16, T16, U16, V16	SVDD1	Input	SERDES シリアライザ/デシリアライザのデジタル 1.0V 電源入力。
K15	SVDD2_PLL	Input	SERDES LDO のデジタル 2.0V 電源入力。
J16, K16	SVDD1_PLL	Input	SERDES クロック生成および PLL のデジタル 1.0V 電源入力。
C13, F9, T13	DVDD1P8	Input	デジタル・インターフェースおよび温度モニタリング・ユニット (TMU) の電源入力 (公称 1.8V)。
A1, A3, A4, A7, A8, A11, A17, A18, B2 to B6, B9, B10, B14, B15, C2, C5 to C8, C11, C17, C18, D1, D5, D9, D14, D15, E1, E4, E6, E17, E18, F2, F4, F6 to F8, F14, F15, G2 to G5, G17, G18, H1, H5 to H8, H10, H12, H14, H15, J2, J8, J10, J12, J14, J15, J17, J18, K2, K8, K10, K12, K14, K17, K18, L1, L5 to L8, L10, L12, L14, M2 to M5, M10, M17, M18, N2, N4, N6 to N8, N14, N15, P1, P4, P6, P17, P18, R1, R5, R9, R14, R15, T2, T5 to T8, T11, T17, T18, U2 to U6, U9, U10, U14, U15, V1, V3, V4, V7, V8, V11, V17, V18	GND	Input/output	グラウンド・リファレンス。

ピン番号	記号	タイプ	説明
<b>ANALOG OUTPUTS</b>			
B1, C1	DAC0P, DAC0N	Output	DAC0 出力電流、グラウンドを基準。
G1, F1	DAC1P, DAC1N	Output	DAC1 出力電流、グラウンドを基準。
M1, N1	DAC2P, DAC2N	Output	DAC2 出力電流、グラウンドを基準。
U1, T1	DAC3P, DAC3N	Output	DAC3 出力電流、グラウンドを基準。
H3	ISET	Output	DAC バイアス電流設定ピン。5k $\Omega$ 抵抗を使用して、このピンを GND に接続します。
C4, C3	ADCDRV <sub>P</sub> , ADCDRV <sub>N</sub>	Output	ADC クロック出力オプション。これらのピンは、デフォルトでディスエーブルされています。
B8, U8	VCM0, VCM1	Output	ADC バッファのコモンモード出力電圧。このピンは、0.1 $\mu$ F のコンデンサを使用して GND からデカップリングします。
K3	VCO_VREG	Output	PLL LDO レギュレータ出力。このピンは、2.2 $\mu$ F のコンデンサを使用して GND からデカップリングします。
G9	TMU_REFN	Output	TMU ADC の負のリファレンス。このピンは GND に接続します。
G10	TMU_REFP	Output	TMU ADC の正のリファレンス。このピンは DVDD1P8 に接続します。
<b>ANALOG INPUTS</b>			
A10, A9	ADC0P, ADC0N	Input	ADC0 差動入力、内部で 100 $\Omega$ の差動抵抗を使用。
V10, V9	ADC1P, ADC1N	Input	ADC1 差動入力、内部で 100 $\Omega$ の差動抵抗を使用。
J3	VCO_FINE	Input	オンチップ・クロック通倍器と PLL 精密ループ・フィルタの入力。
J4	VCO_COARSE	Input	オンチップ DAC クロック通倍器と PLL 粗ループ・フィルタの入力。
K4	VCO_VCM	Input	オンチップ・クロック通倍器と VCO コモンモードの入力。
N9, N10	TDP, TDN	Input	温度ダイオードのアノードとカソード。この機能には対応していません。TDP と TDN は GND に接続します。
J1, K1	CLKIN <sub>P</sub> , CLKIN <sub>N</sub>	Input	公称 100 $\Omega$ の終端を使用した差動クロック入力。自己バイアス入力には AC カップリングする必要があります。オンチップ・クロック通倍器 PLL がイネーブルされている場合は、この入力はリファレンス・クロック入力になります。PLL がディスエーブルされている場合は、RF クロックと DAC 出力サンプル・レートを等しくする必要があります。
<b>CMOS INPUTS AND OUTPUTS<sup>1</sup></b>			
G13	CSB	Input	シリアル・ポート・イネーブル入力。アクティブ・ロー。
H13	SCLK	Input	シリアル・ポート・クロック入力。
F13	SDIO	Input/output	シリアルポートの双方向データ入出力。
J13	SDO	Output	シリアル・ポート・データ出力。
C12	RESETB	Input	アクティブ・ローのリセット入力。RESETB は、デジタル・ロジックと SPI レジスタを既知のデフォルト状態にセットします。RESETB は、デバイス初期化プロセスの最初のステップでリセット信号を発信できるデジタル IC に接続する必要があります。
E13, D13	RXEN0, RXEN1	Input	アクティブ・ハイの ADC および受信データパス・イネーブル入力。RXEN <sub>x</sub> は SPI でも設定可能です。
P13, R13	TXEN0, TXEN1	Input	アクティブ・ハイの DAC および送信データパス・イネーブル入力。TXEN <sub>x</sub> は SPI でも設定可能です。

ピン番号	記号	タイプ	説明
D12, D11	ADC0_SMON0, ADC0_SMON1	Output	ADC0 信号モニタリング出力 (デフォルト)。使用しない場合は接続しないでください。
E12, E11	ADC1_SMON0, ADC1_SMON1	Output	ADC1 信号モニタリング出力 (デフォルト)。使用しない場合は接続しないでください。
F12, F11	ADC0_FD0, ADC0_FD1	Output	ADC0 高速検出出力 (デフォルト)。使用しない場合は接続しないでください。
G12, G11	ADC1_FD0, ADC1_FD1	Output	ADC1 高速検出出力 (デフォルト)。使用しない場合は接続しないでください。
P12, R12	IRQB_0, IRQB_1	Outputs	割込み要求 0 および 1 出力。これらのピンはオープン・ドレインのアクティブ・ロー出力です (DVDD1P8 基準の CMOS レベル)。未使用時にピンがフロート状態にならないように、DVDD1P8 には 10kΩ のプルアップ抵抗を接続してください。
K13, L13, M11 to M13, N11 to N13, P11, R11, T12	GPIO0 to GPIO10	Input/output	汎用入出力ピン。
JESD204B or JESD204C COMPATIBLE SERDES DATA LANES AND CONTROL SIGNALS <sup>2</sup>			
L18, L17	SERDIN0+, SERDIN0-	Input	JRx レーン 0 入力、データの+/-。
N18, N17	SERDIN1+, SERDIN1-	Input	JRx レーン 1 入力、データの+/-。
R18, R17	SERDIN2+, SERDIN2-	Input	JRx レーン 2 入力、データの+/-。
U18, U17	SERDIN3+, SERDIN3-	Input	JRx レーン 3 入力、データの+/-。
M15, M14	SERDIN4+, SERDIN4-	Input	JRx レーン 4 入力、データの+/-。
V15, V14	SERDIN5+, SERDIN5-	Input	JRx レーン 5 入力、データの+/-。
T15, T14	SERDIN6+, SERDIN6-	Input	JRx レーン 6 入力、データの+/-。
P15, P14	SERDIN7+, SERDIN7-	Input	JRx レーン 7 入力、データの+/-。
U13, V13	SYNC0OUTB+, SYNC0OUTB-	Output	JESD204B インターフェースの JRx リンク 0 同期出力。これらのピンは LVDS または CMOS のどちらかに設定できます。また、LVDS モードでは差動 100Ω 出力インピーダンスとしても利用できます。
U12, V12	SYNC1OUTB+, SYNC1OUTB-	Output	JESD204B インターフェースの JRx リンク 1 同期出力、または GPIOx ピンを介した送信高速周波数ホッピング (FFH) の CMOS 入力。これらのピンを同期出力として使用する場合は、LVDS または CMOS 出力として設定できます。また、LVDS モードでは差動 100Ω 出力インピーダンスとしても利用できます。
A15, A14	SERDOUT0+, SERDOUT0-	Output	JTx レーン 0 出力、データの+/-。
C15, C14	SERDOUT1+, SERDOUT1-	Output	JTx レーン 1 出力、データの+/-。
E15, E14	SERDOUT2+, SERDOUT2-	Output	JTx レーン 2 出力、データの+/-。
G15, G14	SERDOUT3+, SERDOUT3-	Output	JTx レーン 3 出力、データの+/-。
H18, H17	SERDOUT4+, SERDOUT4-	Output	JTx レーン 4 出力、データの+/-。

ピン番号	記号	タイプ	説明
F18, F17	SERDOUT5+, SERDOUT5-	Output	JTx レーン 5 出力、データの+/-。
D18, D17	SERDOUT6+, SERDOUT6-	Output	JTx レーン 6 出力、データの+/-。
B18, B17	SERDOUT7+, SERDOUT7-	Output	JTx レーン 7 出力、データの+/-。
B13, A13	SYNC0INB+, SYNC0INB-	Input	JESD204B インターフェースの JTx リンク 0 同期入力。これらのピンは LVDS または CMOS のどちらかに設定できます。また、LVDS 動作では内部 100Ω 入力インピーダンスを選択することもできます。
B12, A12	SYNC1INB+, SYNC1INB-	Input	JESD204B インターフェースの JTx リンク 1 同期入力、または GPIOx ピンを介した受信 FFH の CMOS 入力。これらのピンは、LVDS または CMOS のどちらかに設定できます。LVDS 動作では内部 100Ω 入力インピーダンスを選択することもできます。
T4, T3	SYSREFP, SYSREFN	Input	アクティブ・ハイの JESD204 システム・リファレンス入力。これらのピンは、差動電流モード・ロジック (CML)、PECL、内部 100Ω 終端を使用した LVDS、シングルエンドの CMOS のいずれかに設定できます。
NO CONNECTS AND DO NOT CONNECTS A5, A6, V5, V6	NC		接続なし。これらのピンは未接続/接続のどちらにしても構いません。
B7, H4, L4, L15, L16, U7	DNC	DNC	接続なし。これらのピンは、未接続のままにしておく必要があります。

<sup>1</sup> CMOS 入力には、プルアップ抵抗もプルダウン抵抗も内蔵されていません。

<sup>2</sup> SERDINx±と SERDOUTx±には、100Ω の内部終端抵抗が内蔵されています。

## 代表的な性能特性

### DAC

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、AD9082-FMCA-EBZ を使用、データ曲線は高調波（または高調波のエイリアシング）とスプリアスが DAC の第 1 ナイキスト・ゾーン ( $< f_{\text{DAC}}/2$ ) にあるときのすべての DAC 出力の平均性能を表示、 $I_{\text{OUTFS}} = 26\text{mA}$ 、PLL クロック通倍器はイネーブル、ADC はパワーダウン。JESDB および JESDC モードの設定に関する詳細については、UG-1578 ユーザ・ガイドを参照してください。

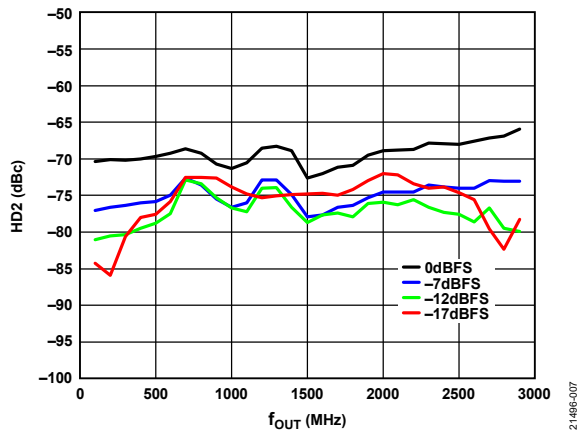


図 6. HD2 と  $f_{\text{OUT}}$  - 異なるデジタル・スケール（モード 17B）での関係：6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×

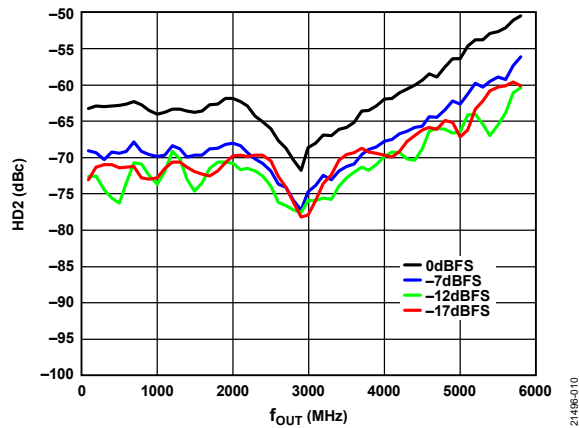


図 9. HD2 と  $f_{\text{OUT}}$  - 異なるデジタル・スケール（モード 16B）での関係：12GSPS DAC サンプル・レート、チャンネル・インターポレーション 4×、メイン・インターポレーション 8×

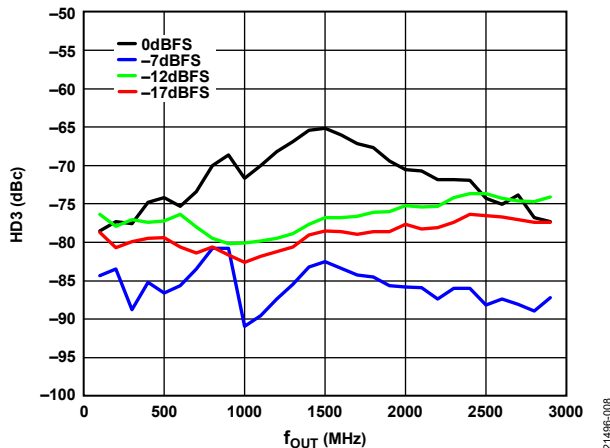


図 7. HD3 と  $f_{\text{OUT}}$  - 異なるデジタル・スケール（モード 17B）での関係：6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×

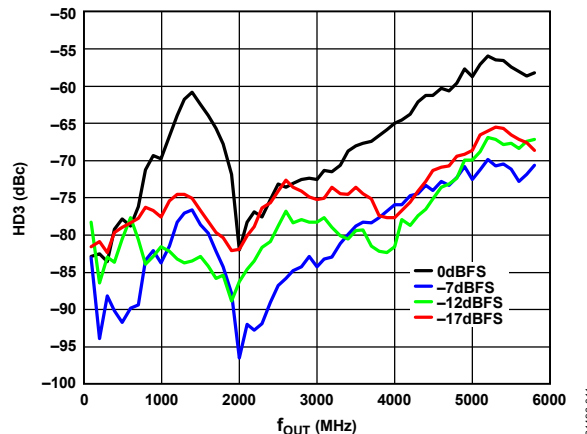


図 10. HD3 と  $f_{\text{OUT}}$  - 異なるデジタル・スケール（モード 16B）での関係：12GSPS DAC サンプル・レート、チャンネル・インターポレーション 4×、メイン・インターポレーション 8×

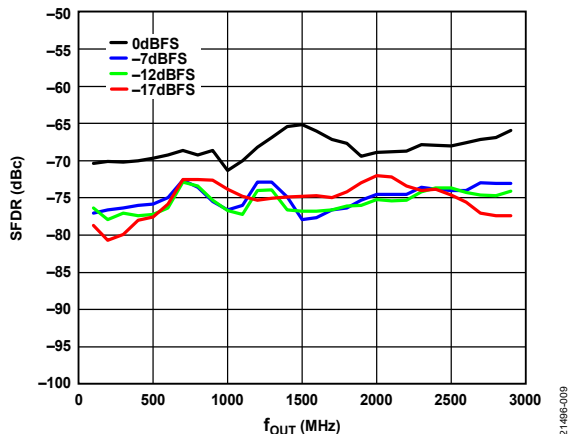


図 8. 最も厳しいスプリアスの SFDR と  $f_{\text{OUT}}$  - 異なるデジタル・スケール（モード 17B）での関係：6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×

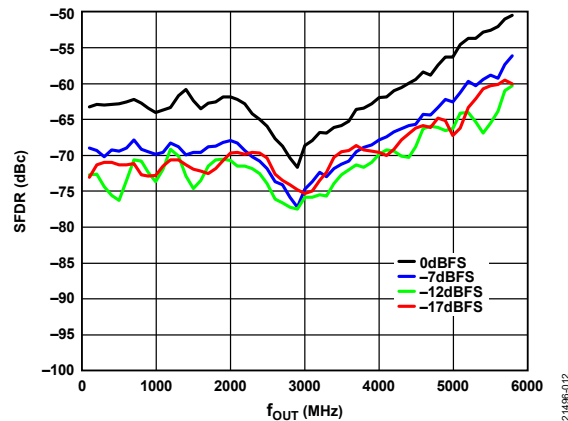
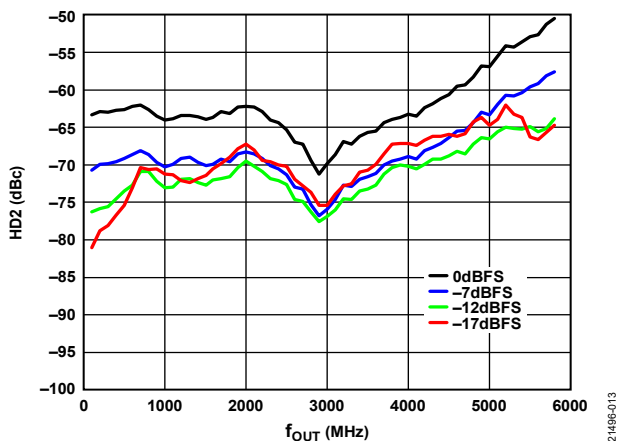
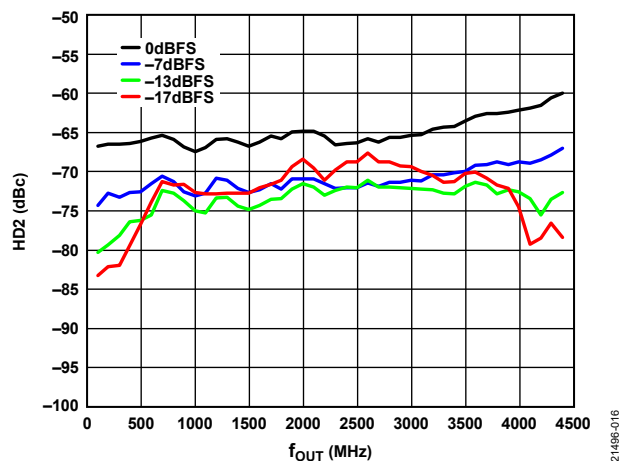


図 11. 最悪スプリアスの SFDR と  $f_{\text{OUT}}$  - 異なるデジタル・スケール（モード 16B）での関係：12GSPS DAC サンプル・レート、チャンネル・インターポレーション 4×、メイン・インターポレーション 8×



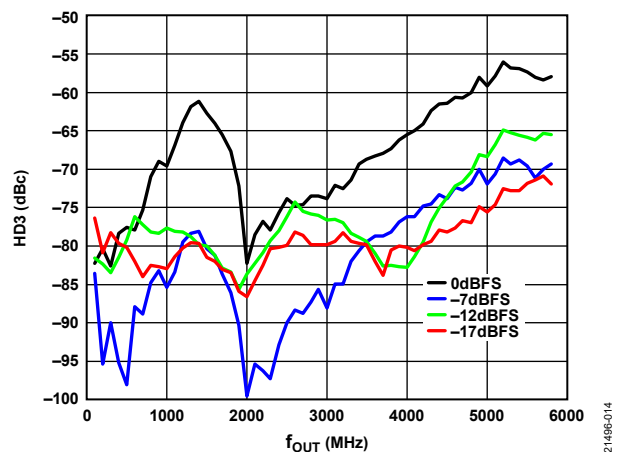
21496-013

図 12. HD2 と  $f_{OUT}$  -異なるデジタル・スケール (モード 17B) での関係: 12GHz GSPS サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×



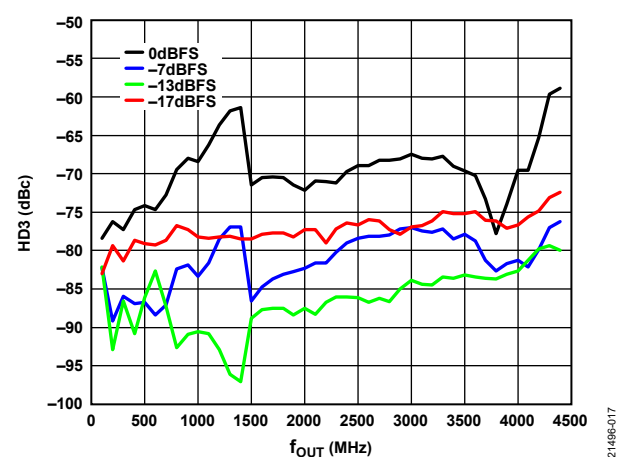
21496-016

図 15. HD2 と  $f_{OUT}$  -異なるデジタル・スケール (モード 17B) での関係: 9GHz GSPS サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×



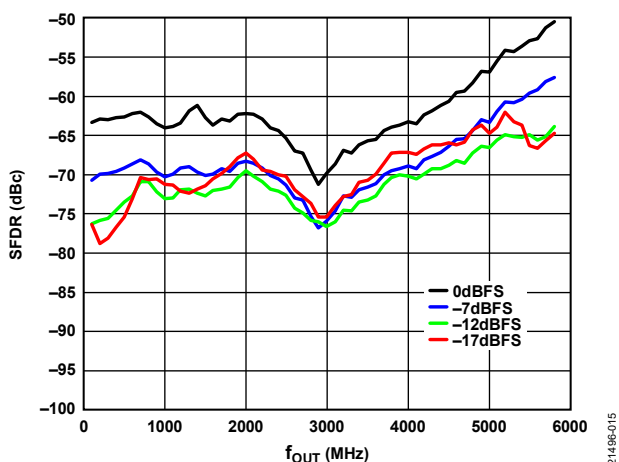
21496-014

図 13. HD3 と  $f_{OUT}$  -異なるデジタル・スケール (モード 17B) での関係: 12GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×



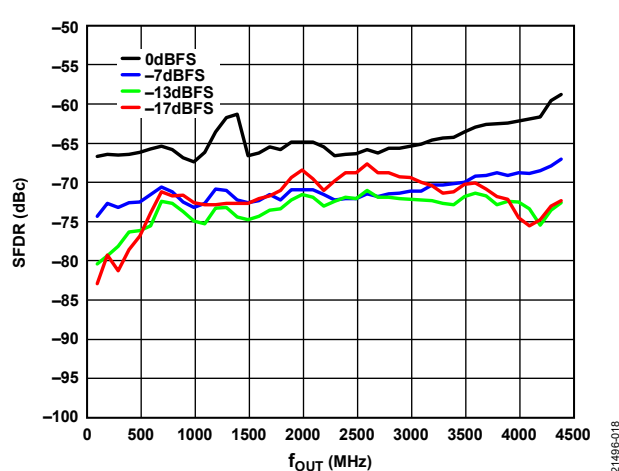
21496-017

図 16. HD3 と  $f_{OUT}$  -異なるデジタル・スケール (モード 17B) での関係: 9GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×



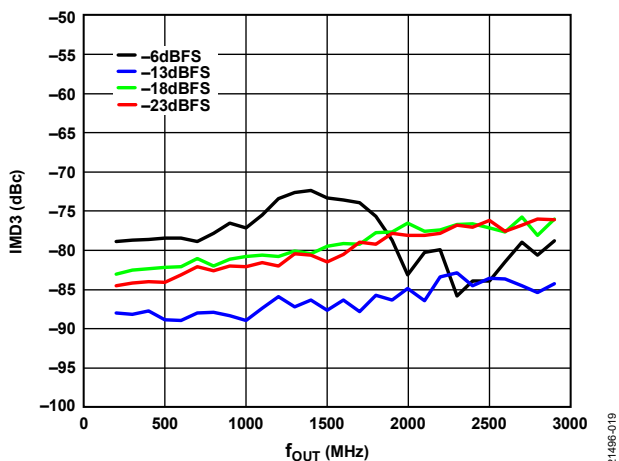
21496-015

図 14. SFDR と  $f_{OUT}$  -異なるデジタル・スケール (モード 17B) での関係: 12GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×



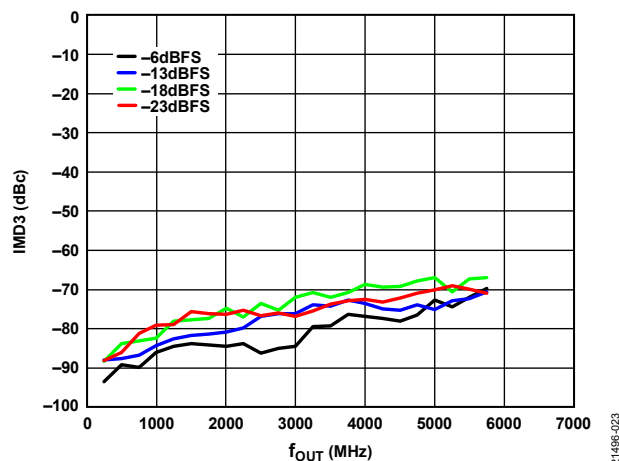
21496-018

図 17. SFDR と  $f_{OUT}$  -異なるデジタル・スケール (モード 17B) での関係: 9GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×



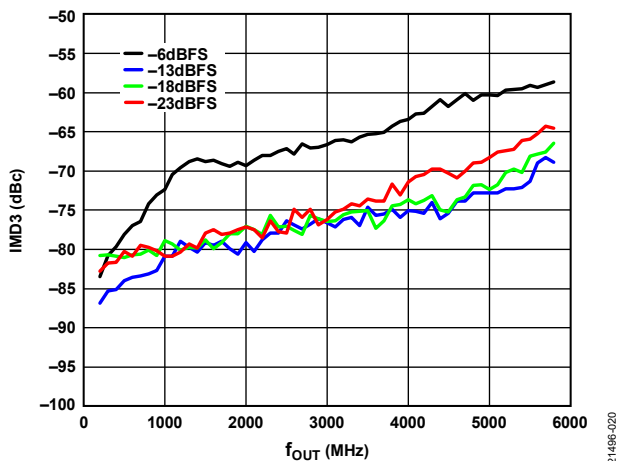
21496-019

図 18. IMD3 と  $f_{OUT}$  - 異なるデジタル・スケール (モード 17B) での関係: 6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×



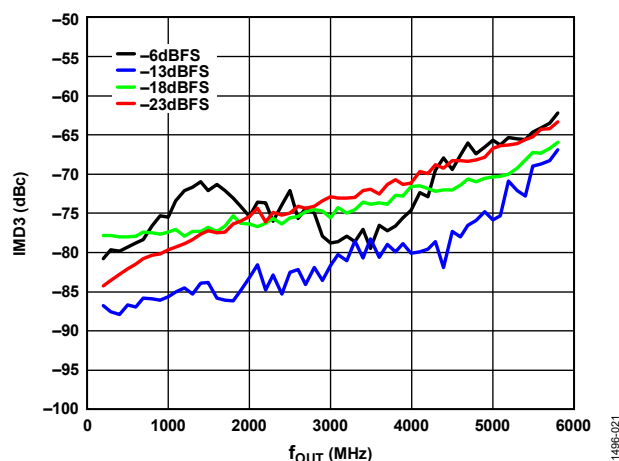
21496-023

図 21. IMD3 と  $f_{OUT}$  - 異なるデジタル・スケール (モード 17B) での関係: 9GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×、1MHz トーン間隔



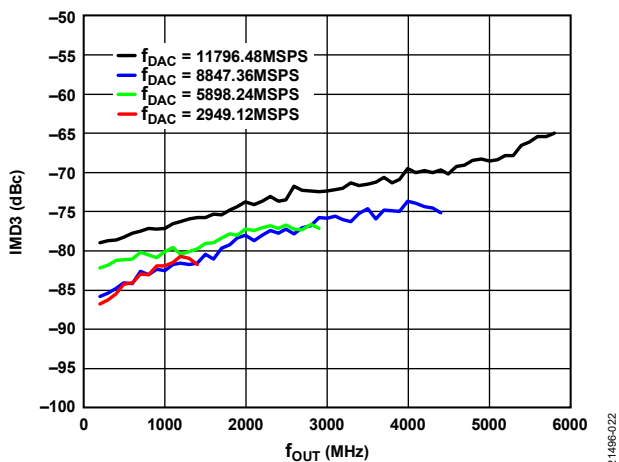
21496-020

図 19. IMD3 と  $f_{OUT}$  - 異なるデジタル・スケール (モード 16B) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 4×、メイン・インターポレーション 8×



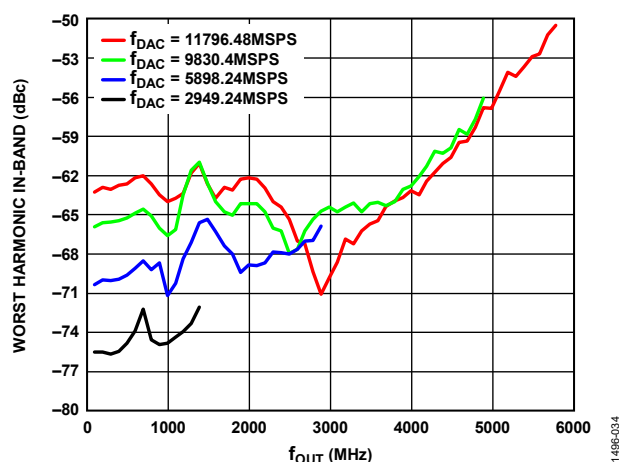
21496-021

図 22. IMD3 と  $f_{OUT}$  - 異なるデジタル・スケール (モード 17B) での関係: 12GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×



21496-022

図 20. IMD3 と  $f_{OUT}$  - 異なる  $f_{DAC}$  (モード 17B) での関係: -12dBFS/トーン・レベルの 1MHz トーン間隔



21496-034

図 23. 最悪高調波インバンドと  $f_{OUT}$  - 異なる  $f_{DAC}$  での関係: 0dBFS トーン・レベル (モード 17B)

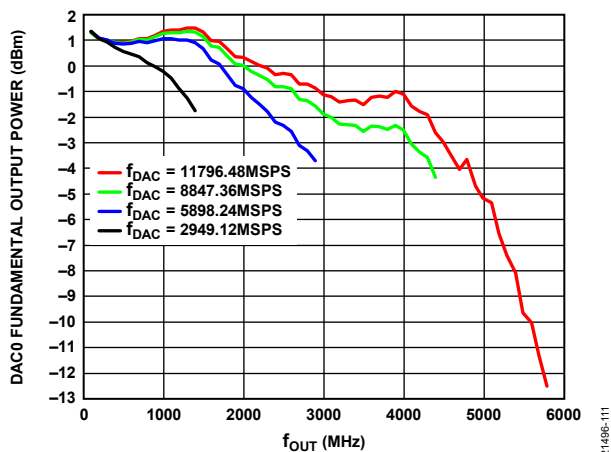


図 24. DAC0 基本波出力電力と  $f_{OUT}$  - 異なる  $f_{DAC}$  サンプル・レート (モード 17B) での関係: チャンネル・インターポレーション 1 $\times$ 、メイン・インターポレーション 8 $\times$ 、0dBFS デジタル・バック・オフ

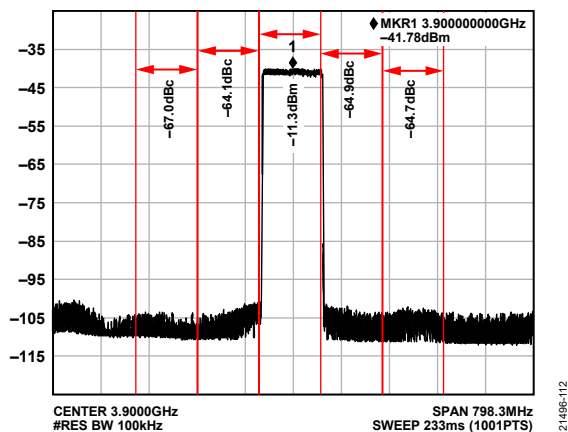


図 27. 100MHz 5G テスト・ベクトルでの隣接チャンネル漏れ率 (ACLR) 性能、 $f_{OUT} = 3.9\text{GHz}$ 、 $f_{DAC} = 11.898\text{GSPS}$ 、テスト・ベクトルのピーク対 RMS = 11.7dB、-1dBFS のバック・オフ (モード 9C)、チャンネル・インターポレーション 3 $\times$ 、メイン・インターポレーション 8 $\times$

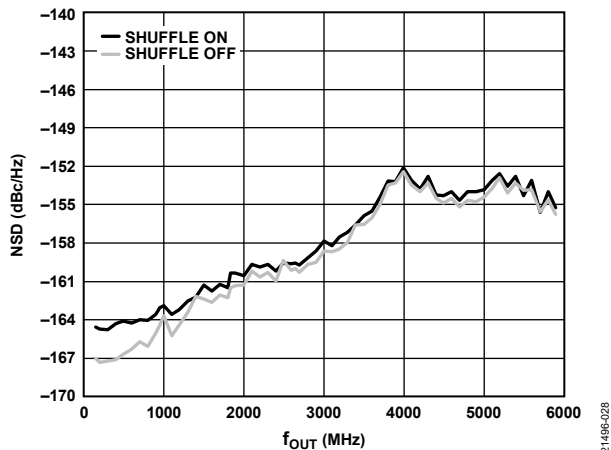


図 25.  $f_{OUT}$  から 10% のオフセットで測定したシングル・トーン NSD と  $f_{OUT}$  の関係、11796.48MSPS  $f_{DAC}$ 、16 ビット分解能、シャッフル・オフとシャッフル・オンでの比較 (モード 17B)

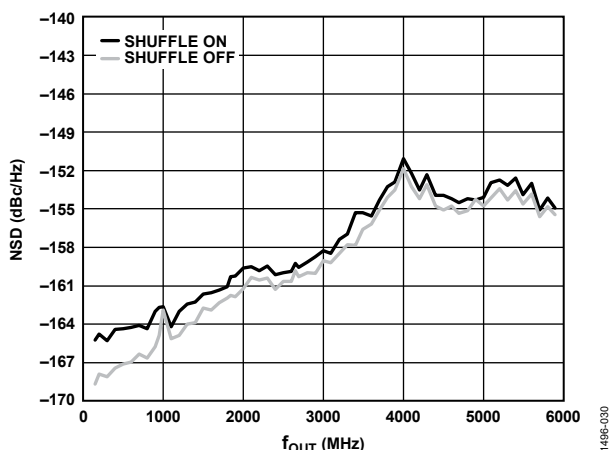


図 28.  $f_{OUT}$  から 10% のオフセットで測定したシングル・トーン NSD と  $f_{OUT}$  の関係、11796.48MSPS  $f_{DAC}$ 、12 ビット分解能、シャッフル・オフとシャッフル・オンでの比較 (モード 24C)

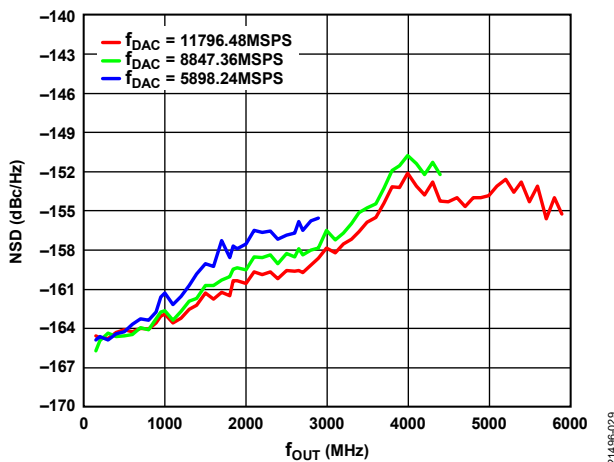


図 26.  $f_{OUT}$  から 10% のオフセットで測定したシングル・トーン NSD と  $f_{OUT}$  - 異なる  $f_{DAC}$  での関係: 16 ビット分解能、シャッフル・オン (モード 17B)

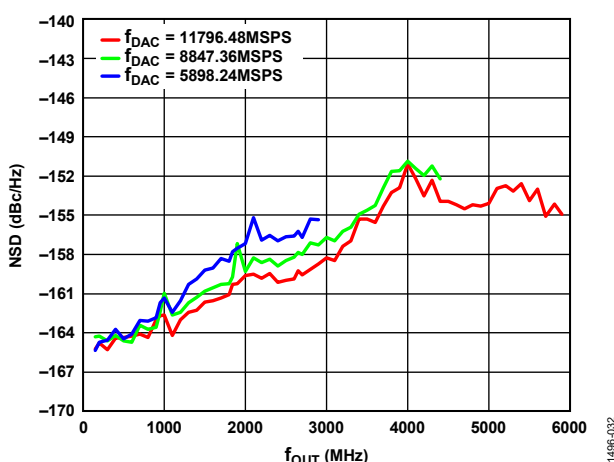
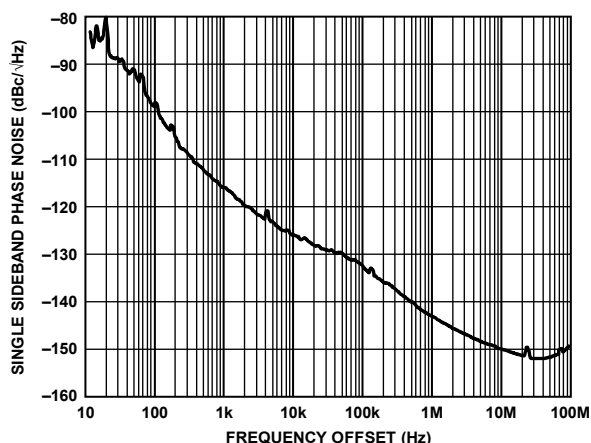


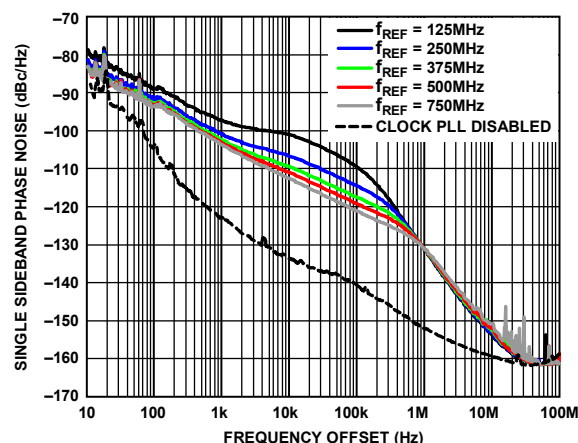
図 29.  $f_{OUT}$  から 10% のオフセットで測定したシングル・トーン NSD と  $f_{OUT}$  - 異なる  $f_{DAC}$  での関係、12 ビット分解能、シャッフル・オン (モード 24C)





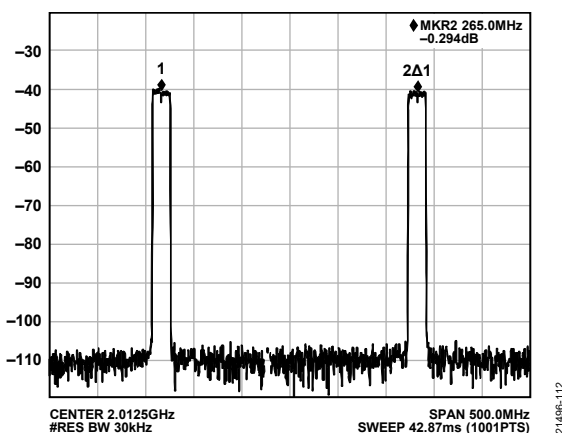
21498-033

図 30. 単側波帯位相ノイズと周波数オフセットの関係、 $f_{DAC} = 12\text{GSPS}$ 、 $f_{OUT} = 3\text{GHz}$ 、クロック PLL ディスエーブル、クロック源として R&S SMA100B の B711 オプションによる 12GHz 外部クロック入力を使用、評価用ボードを使用



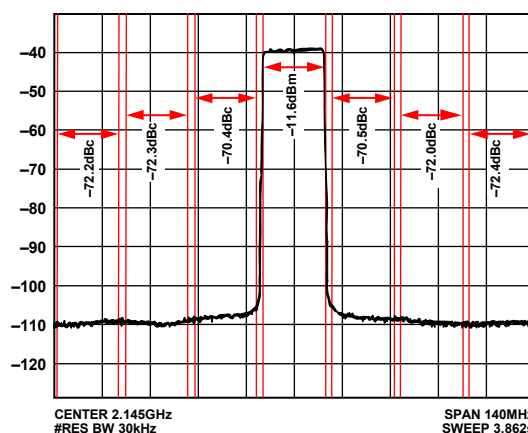
21498-103

図 33. 様々な PLL リファレンス・クロック ( $f_{REF}$ ) での単側波帯位相ノイズと周波数オフセットの関係、 $f_{OUT} = 1.8\text{GHz}$ 、 $f_{DAC} = 12\text{GSPS}$ 、PLL イネーブル (クロック PLL ディスエーブルの場合のみ外部 12GHz クロック入力を使用)、評価用ボードを使用



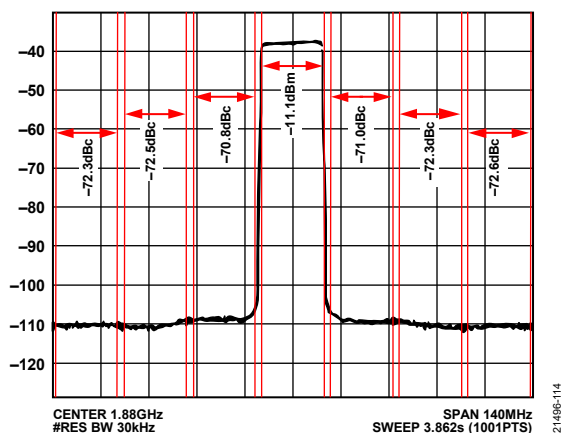
21498-112

図 31. 20MHz LTE でのデュアル・バンド 3GPP B1 および B3 の広帯域プロット、 $f_{OUT} = 1.88\text{GHz}$  および  $f_{OUT} = 2.145\text{GHz}$ 、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクトルの PAR = 7.7dB、-1dBFS のバック・オフ (モード 9C)、チャンネル・インターポレーション 3×、メイン・インターポレーション 8×



21498-115

図 34. 20MHz LTE でのデュアル・バンド ACLR 性能、 $f_{OUT} = 2.145\text{GHz}$ 、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクトルの PAR = 7.7dB、-1dBFS のバック・オフ (モード 9C)、チャンネル・インターポレーション 3×、メイン・インターポレーション 8×



21498-114

図 32. 20MHz LTE でのデュアル・バンド ACLR 性能、 $f_{OUT} = 1.88\text{GHz}$ 、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクトルの PAR = 7.7dB、-1dBFS のバック・オフ (モード 9C)、チャンネル・インターポレーション 3×、メイン・インターポレーション 8×

## ADC

特に指定のない限り、サンプリング・レート = 6GSPS、6GHz のダイレクト RF クロック使用によるクロック周波数 ( $f_{CLK}$ ) = 6GHz、JESD204 インターフェース・モード = 19B でナイキスト・モード動作 (デシメーションなし)、タイミング補正ディスエーブルでナイキスト・ゾーン遷移中央の±100MHz 領域を使用、 $T_A = 25^\circ\text{C}$ 、平均化なしで  $A_{IN} = -1\text{dBFS}$  の 128K FFT サンプル、ADCx 入力、DAC はパワーダウン。

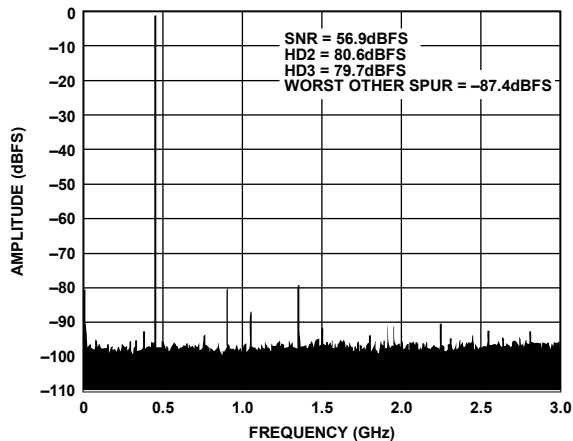


図 35.  $f_{IN} = 450\text{MHz}$  でのシングル・トーン FFT

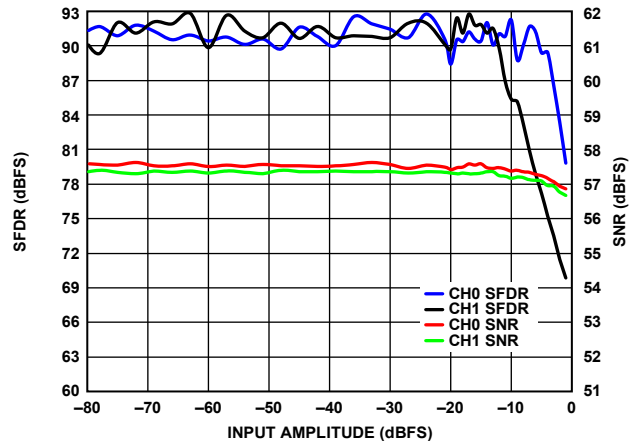


図 38. シングル・トーン SFDR および S/N 比と入力振幅の関係、 $f_{IN} = 450\text{MHz}$

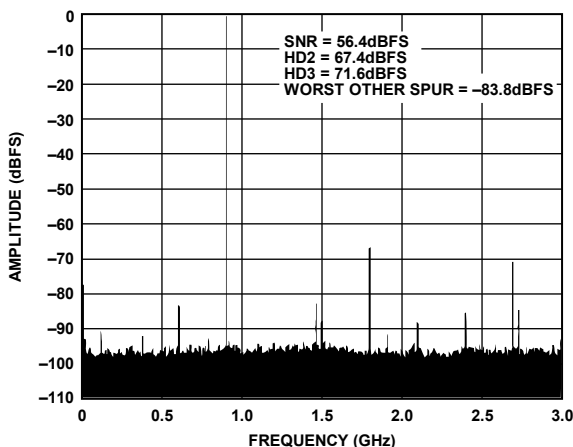


図 36.  $f_{IN} = 900\text{MHz}$  でのシングル・トーン FFT

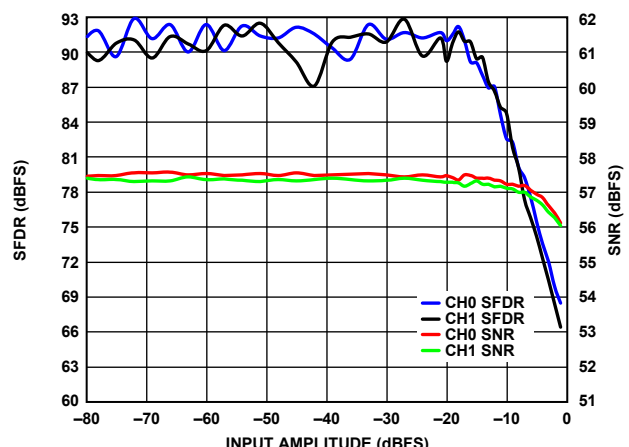


図 39. シングル・トーン SFDR および S/N 比と入力振幅の関係、 $f_{IN} = 900\text{MHz}$

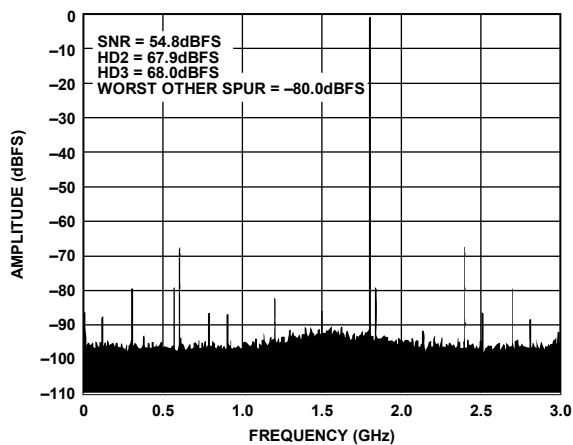


図 37.  $f_{IN} = 1.8\text{GHz}$  でのシングル・トーン FFT

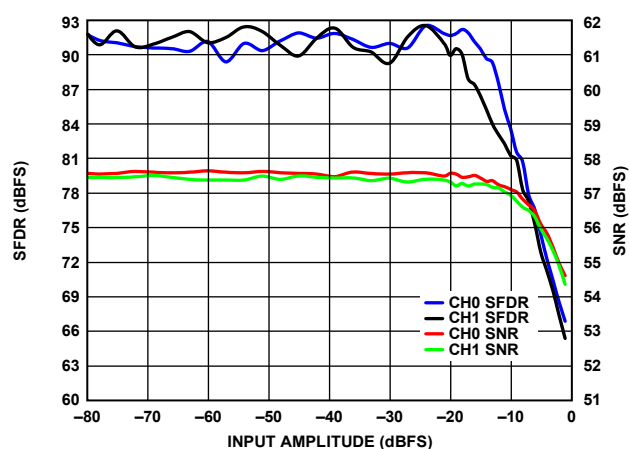


図 40. シングル・トーン SFDR および S/N 比と入力振幅の関係、 $f_{IN} = 1.8\text{GHz}$

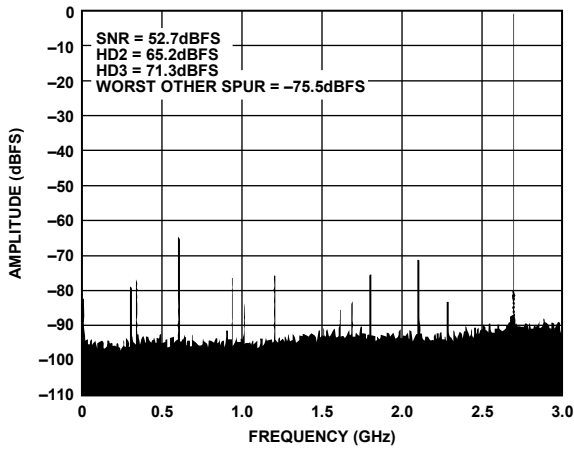


図 41.  $f_{IN} = 2.7\text{GHz}$  でのシングル・トーン FFT

21496-041

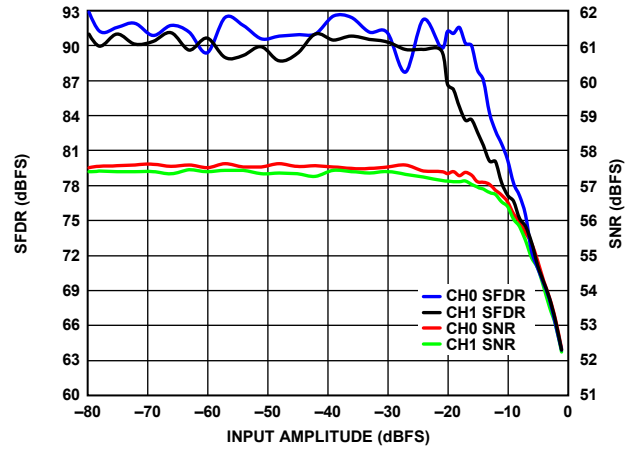


図 44. シングル・トーン SFDR および S/N 比と入力振幅の関係、 $f_{IN} = 2.7\text{GHz}$

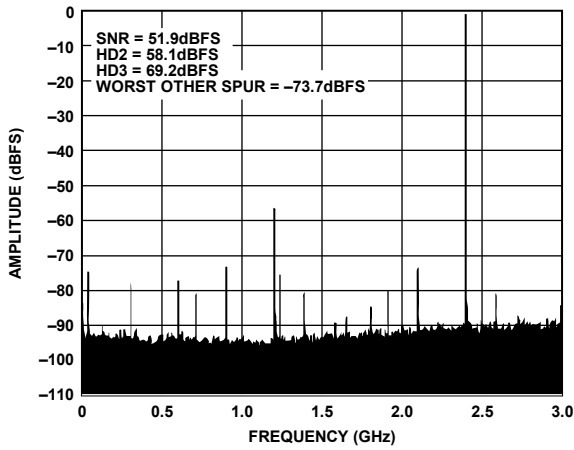


図 42.  $f_{IN} = 3.6\text{GHz}$  でのシングル・トーン FFT

21496-042

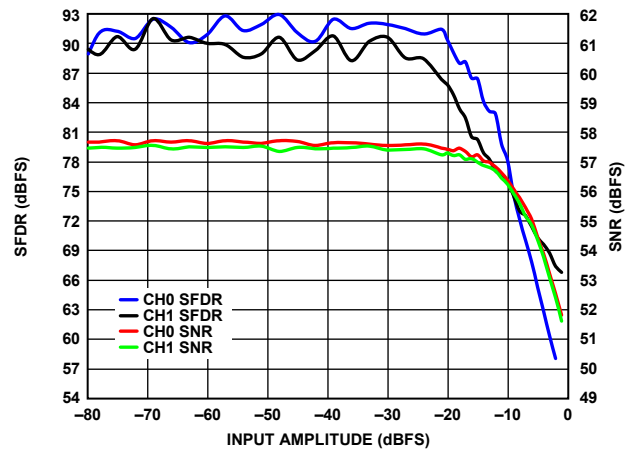


図 45. シングル・トーン SFDR および S/N 比と入力振幅の関係、 $f_{IN} = 3.6\text{GHz}$

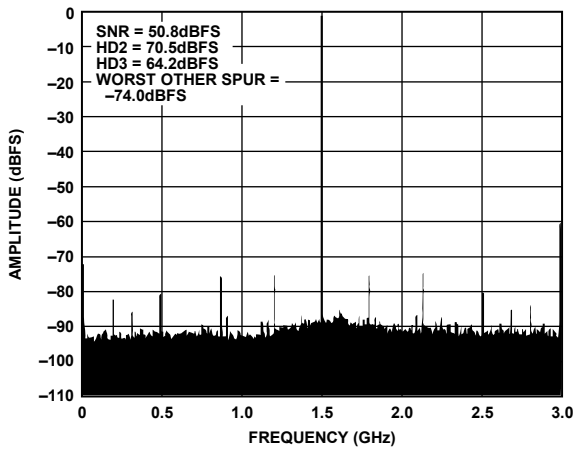


図 43.  $f_{IN} = 4.5\text{GHz}$  でのシングル・トーン FFT

21496-043

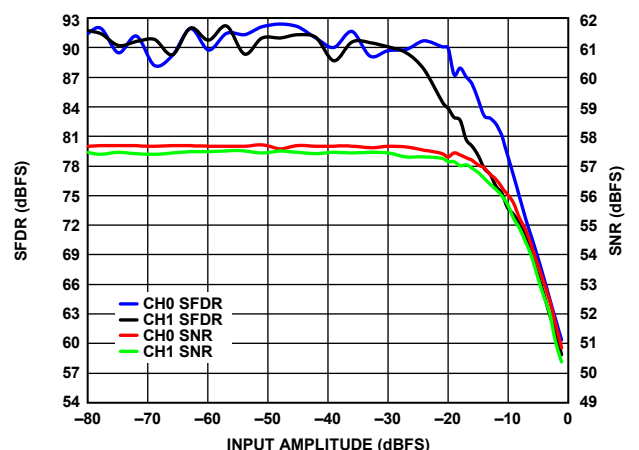


図 46. シングル・トーン SFDR および S/N 比と入力振幅の関係、 $f_{IN} = 4.5\text{GHz}$

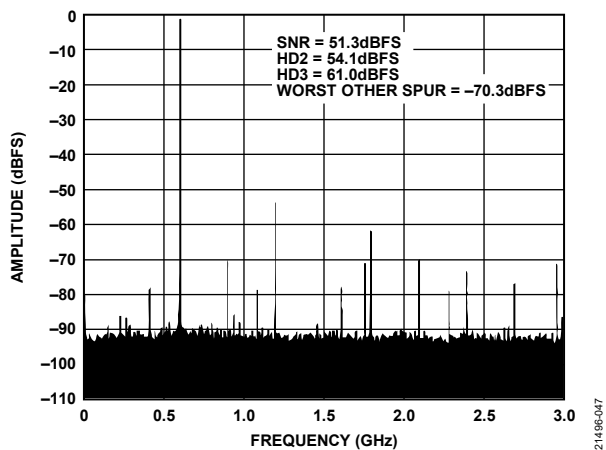


図 47.  $f_{IN} = 5.4\text{GHz}$  でのシングル・トーン FFT

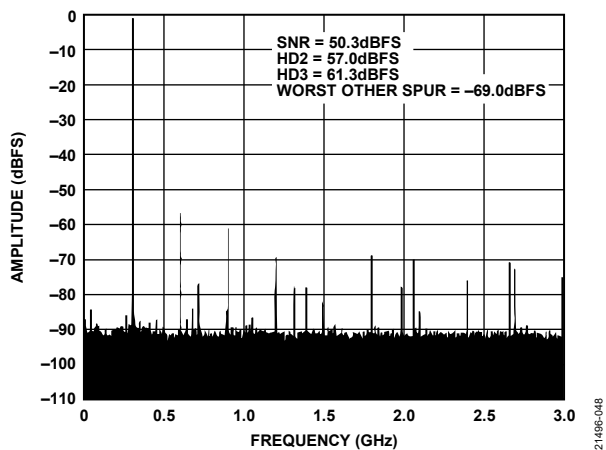


図 48.  $f_{IN} = 6.3\text{GHz}$  でのシングル・トーン FFT

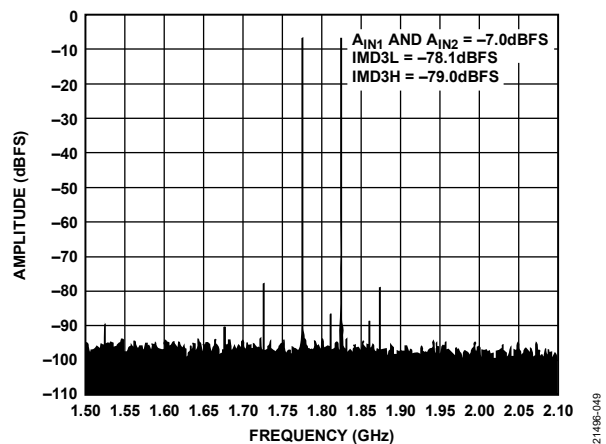


図 49. ツー・トーン FFT、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$ 、 $A_{IN1}$  および  $A_{IN2} = -7\text{dBFS}$  (IMD3L は 3 次相互変調歪み積の低い周波数成分、IMD3H は高い周波数成分 (単位: dBFS) であることに注意してください。)

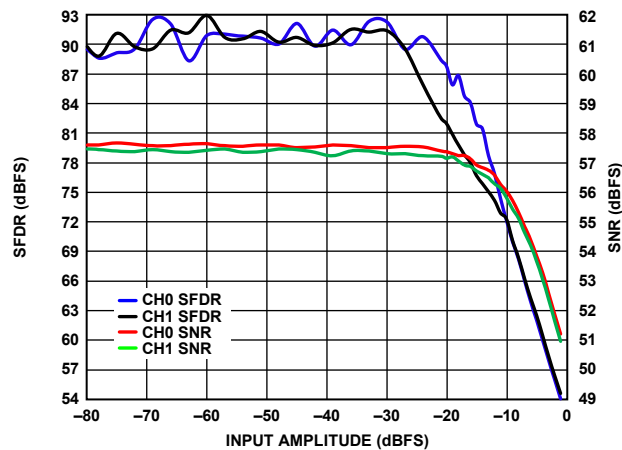


図 50. シングル・トーン SFDR および S/N 比と入力振幅の関係、 $f_{IN} = 5.4\text{GHz}$

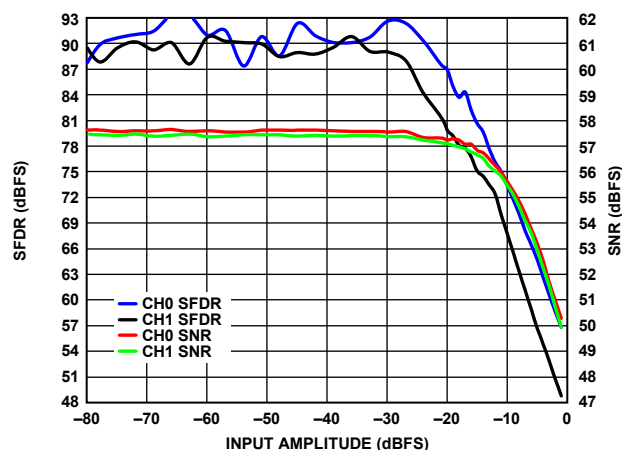


図 51. シングル・トーン SFDR および S/N 比と入力振幅の関係、 $f_{IN} = 6.3\text{GHz}$

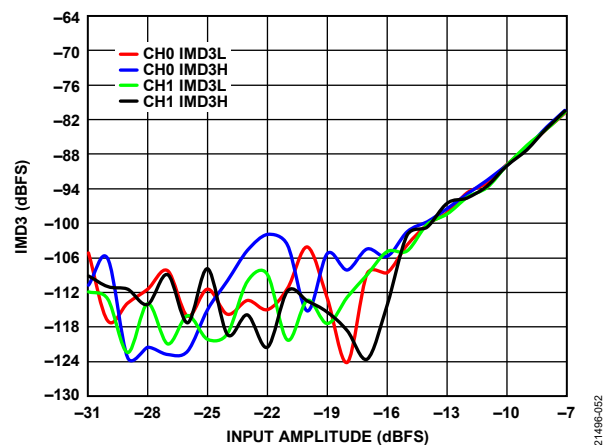


図 52. ツー・トーン IMD3 と入力振幅の関係、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$

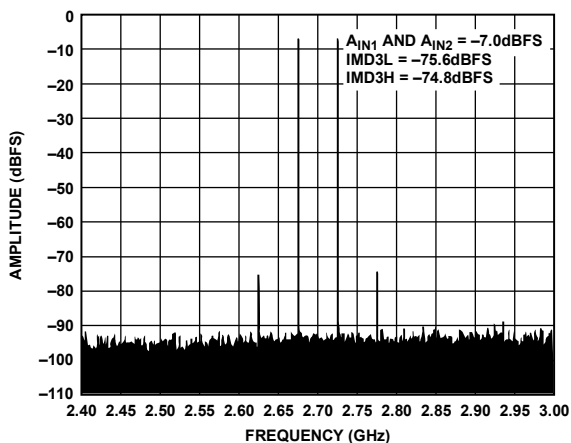


図 53. ツー・トーン FFT、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$ 、 $A_{IN1}$  および  $A_{IN2} = -7\text{dBFS}$

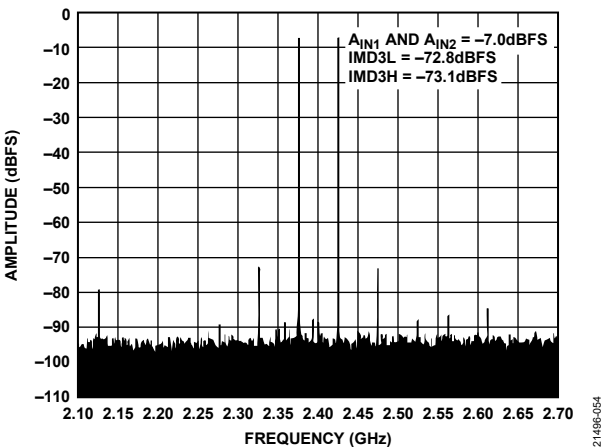


図 54. ツー・トーン FFT、 $f_{IN1} = 3.575\text{GHz}$ 、 $f_{IN2} = 3.625\text{GHz}$ 、 $A_{IN1}$  および  $A_{IN2} = -7\text{dBFS}$

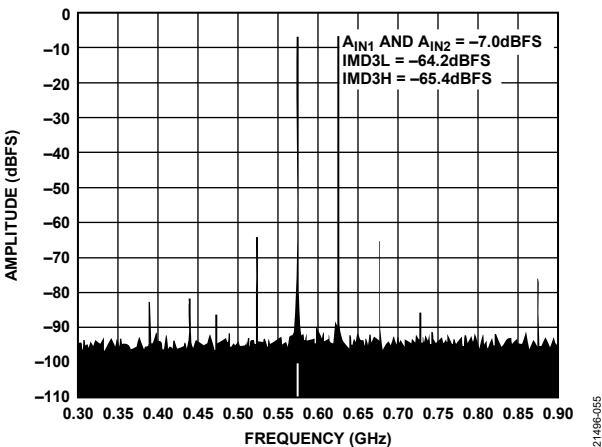


図 55. ツー・トーン FFT、 $f_{IN1} = 5.375\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$ 、 $A_{IN1}$  および  $A_{IN2} = -7\text{dBFS}$

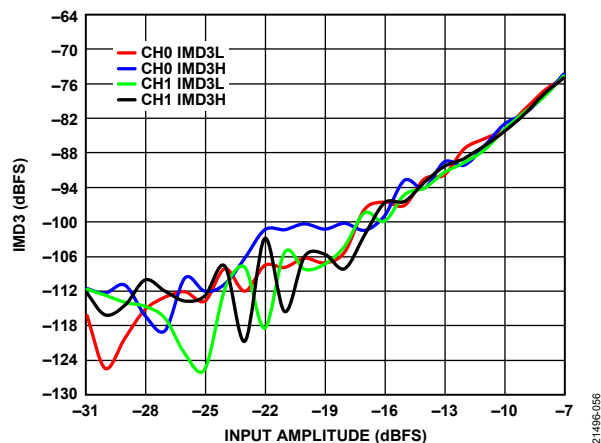


図 56. ツー・トーン IMD3 と入力振幅の関係、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$

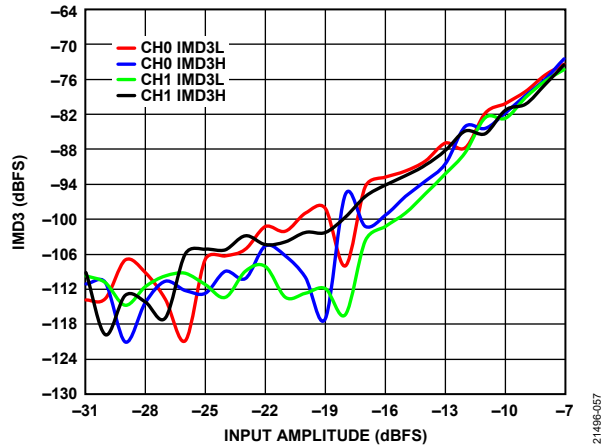


図 57. ツー・トーン IMD3 と入力振幅の関係、 $f_{IN1} = 3.575\text{GHz}$ 、 $f_{IN2} = 3.625\text{GHz}$

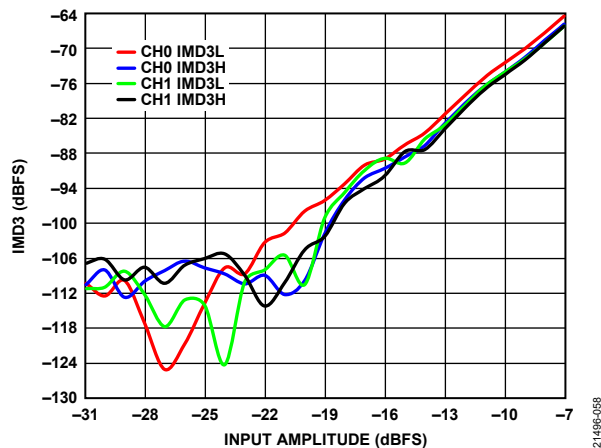


図 58. ツー・トーン IMD3 と入力振幅の関係、 $f_{IN1} = 5.375\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$

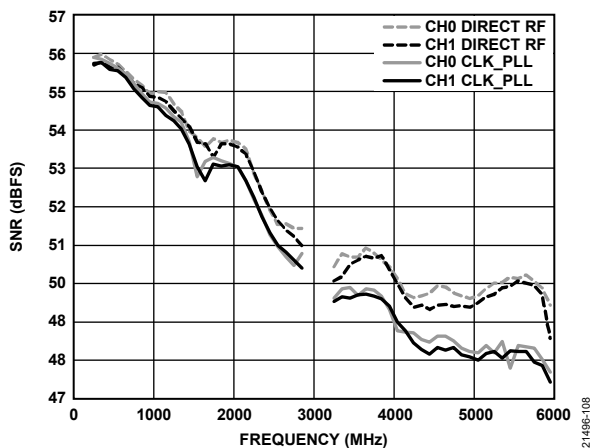


図 59. S/N 比の周波数特性、 $A_{IN} = -1\text{dBFS}$ 、外部ダイレクト RF クロック = 6GHz の場合と 125MHz のリファレンス入力で PLL クロック通倍器をイネーブリングした場合での比較

21496-108

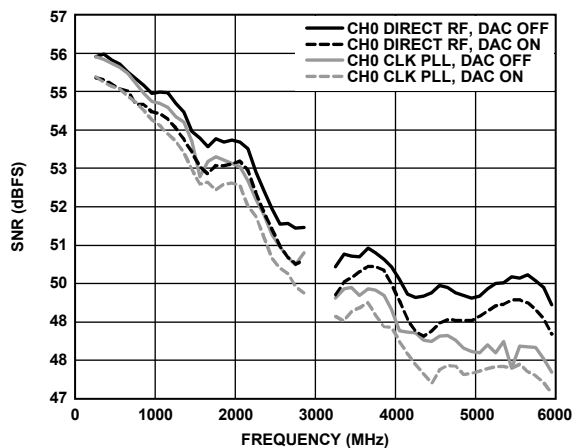


図 62. S/N 比の周波数特性、 $A_{IN} = -1\text{dBFS}$ 、外部ダイレクト RF クロック = 6GHz の場合と 125MHz のリファレンス入力で PLL クロック通倍器をイネーブリングした場合での、DAC オン/オフおよび PLL オン/オフしたときの比較

21496-109

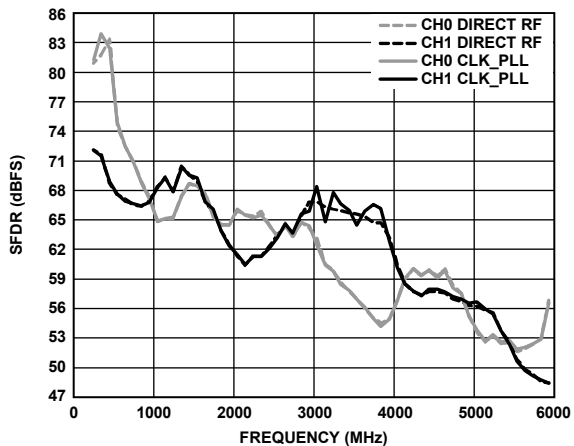


図 60. SFDR の周波数特性、 $A_{IN} = -1\text{dBFS}$ 、外部ダイレクト RF クロック = 6GHz の場合と 125MHz のリファレンス入力で PLL クロック通倍器をイネーブリングした場合での比較

21496-110

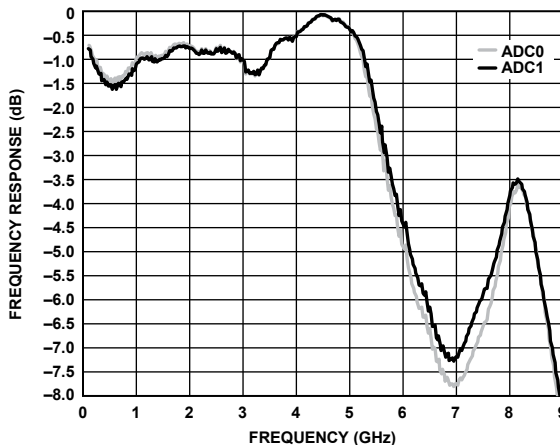


図 63. ADC0 および ADC1 の入力帯域幅の測定値、AD9082-FMCA-EBZ (マッチング回路なし) で Marki Microwave の BALH-0009 を使用、 $-3\text{dB}$  を除去した ADC 帯域幅 = 8GHz

21496-064

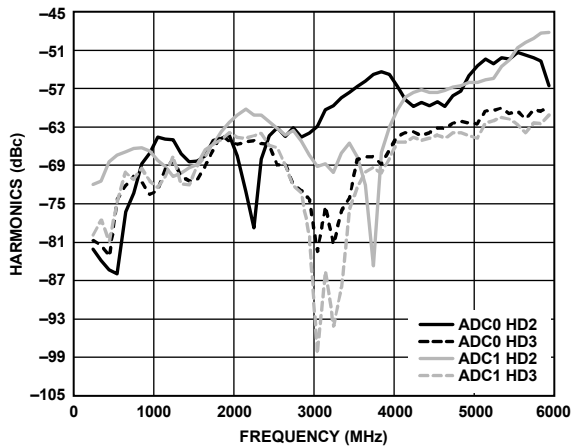


図 61. 高調波 (HD2 および HD3) の周波数特性、 $A_{IN} = -1\text{dBFS}$

21496-117

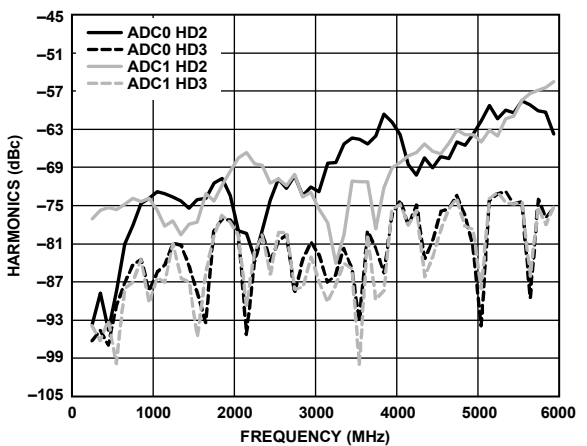


図 64. 高調波 (HD2 および HD3) の周波数特性、 $A_{IN} = -9\text{dBFS}$

21496-118

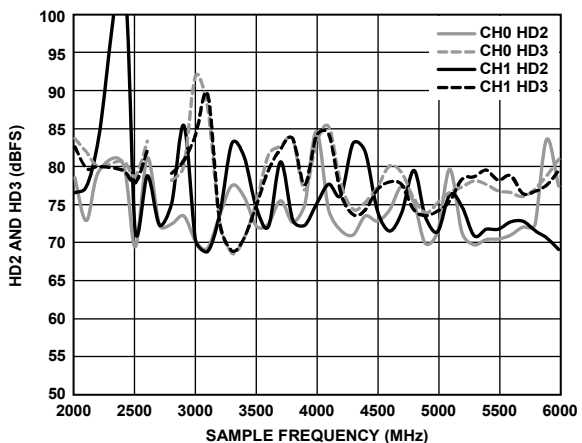


図 65. HD2 および HD3 とサンプル周波数 ( $f_s$ ) の関係、 $f_{IN} = 450\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 2\text{GSPS} \sim 6\text{GSPS}$

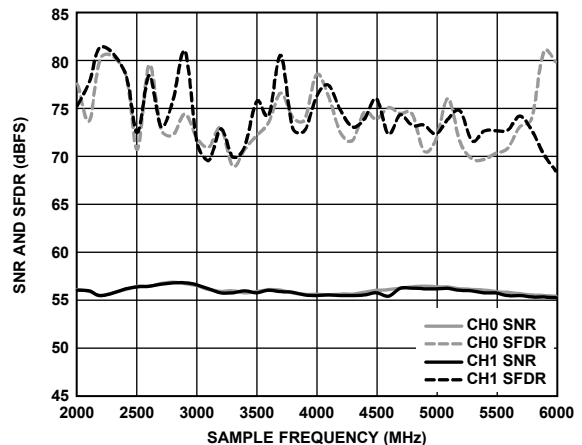


図 66. S/N 比および SFDR とサンプル周波数の関係、 $f_{IN} = 450\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 2\text{GSPS} \sim 6\text{GSPS}$

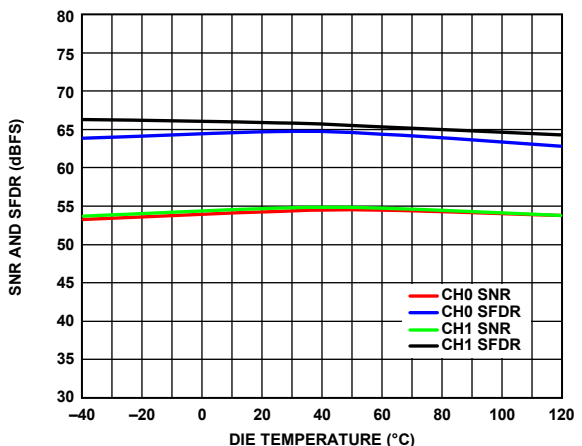


図 67. SFDR および S/N 比とダイ温度の関係、 $f_{IN} = 1.85\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$

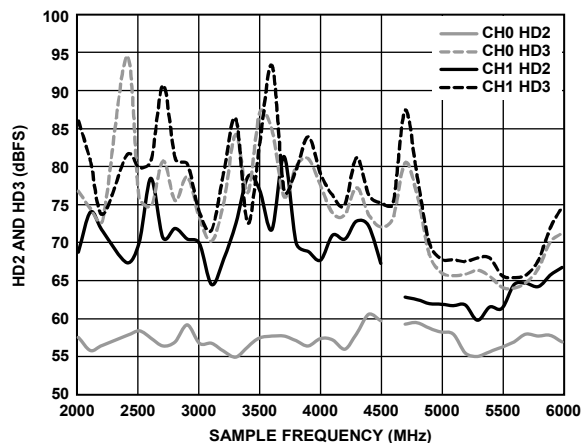


図 68. HD2 および HD3 とサンプル周波数の関係、 $f_{IN} = 3450\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 2\text{GSPS} \sim 6\text{GSPS}$

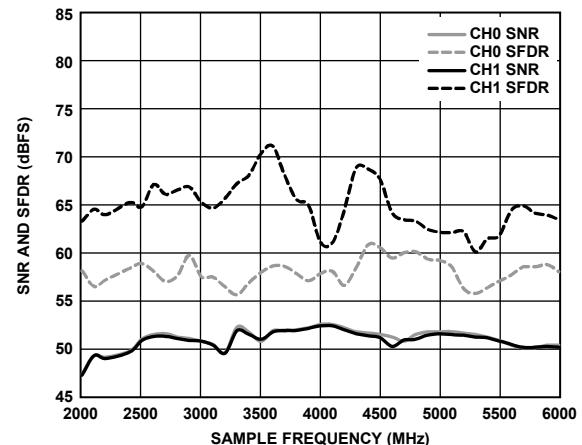


図 69. S/N 比および SFDR とサンプル周波数の関係、 $f_{IN} = 3450\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 2\text{GSPS} \sim 6\text{GSPS}$

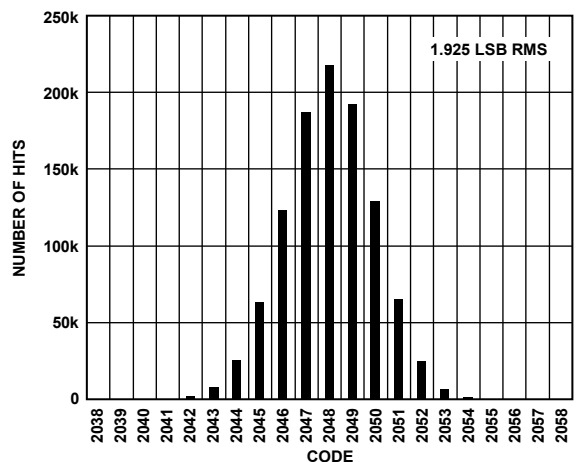


図 70. 入力換算ノイズのヒストグラム

## 動作原理

AD9082は、4つの16ビット12GSPS DAC コアと2つの12ビット6GSPS ADC コアを内蔵した、28nm プロセスによる高集積RF MxFE です (図 1 参照)。DAC コアは、電流分割アーキテクチャに基づき、7mA~40mA で調整可能なフルスケール出力 ( $I_{OUTFS}$ ) 範囲を持つ差動の相補電流出力を提供します。ADC コアは、独自のインターリーブ・アーキテクチャに基づき、残余インターリーブ・スプリアス積をノイズ・フロア内に抑制します。広帯域幅動作を実現するため、高い線形性を持つ100Ω 差動バッファと過負荷保護機能を使用してADC コアとRF ADC 駆動源を絶縁しています。オンチップ・クロック倍倍器を使用して、RF DAC およびADC クロックを同期させることができます。また、外部クロックを使用することも可能です。

柔軟性に優れた送信/受信 DSP パスにより、中間周波数 (IF) やRF 信号を必要に応じてアップ/ダウン・サンプリングして、データのインターフェース・レートを帯域幅条件に合わせて制御できます。送信 DSP パスと受信 DSP パスは対称で、メイン・データパスに4つの粗調整デジタル・アップコンバージョン (DUC) およびデジタル・ダウンコンバージョン (DDC) ブロック、チャネライザ・データパスに8つの微調整 DUC および DDC ブロックを備えた構成になっています。各ブロックには、インテジャーマたはフラクショナル・モードに動作設定可能な48ビットNCOが内蔵されています。チャネライザ・データパスは、マルチバンドを効率的に処理することができ、最大8つのRF 帯域に対応可能です。DUC ブロックとDDC ブロックのそれぞれをバイパスすることができ、各ブロックでインターポレーション係数とデシメーション係数を柔軟に設定できます。また、各ブロックのNCOはコヒーレントな周波数ホッピングにも対応しています。

その他の機能も、受信/送信データパス、およびそれ以外の部分に追加されており、システムの統合が容易にできます。両データパスには可変遅延線が内蔵されており、デバイス外部で発生する可能性のあるチャンネル遅延パスの不一致を補償するこ

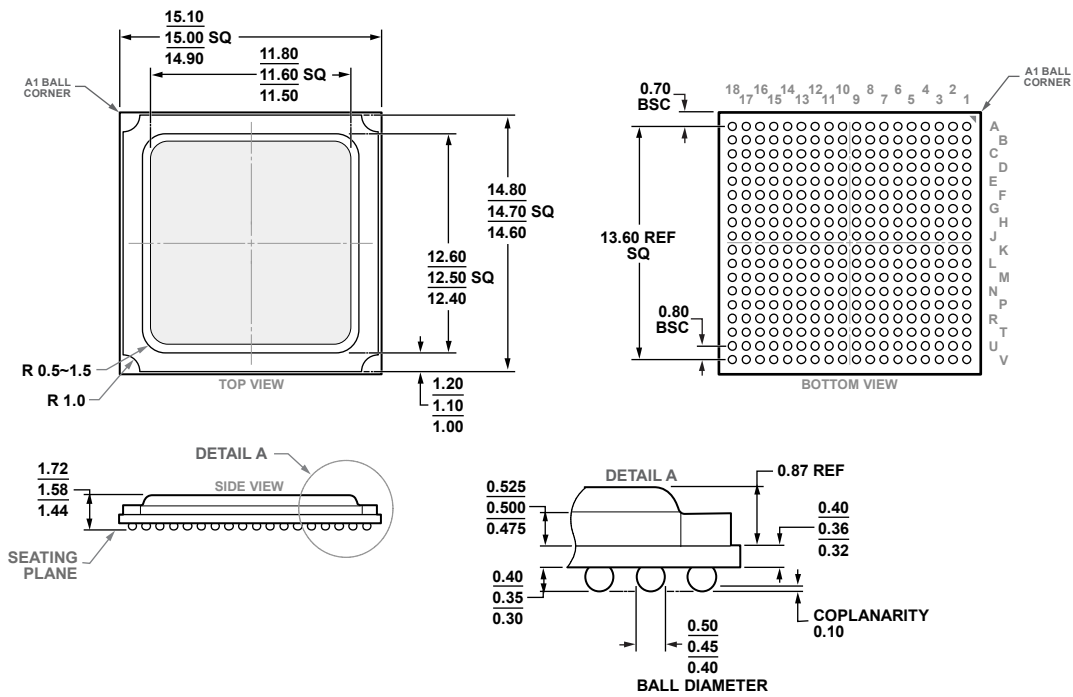
とができます。送信データパスには、デジタル・ゲイン制御、微小遅延調整、およびパワー・アンプ保護機能が内蔵されており、マルチバンドのトランスミッタにDPD を簡単に組み込むことができます。受信パスには、柔軟性に優れた192 タップのプログラマブル有限インパルス応答 (PFIR) フィルタが内蔵されています。PFIR フィルタは、4つの異なるプロファイルをサポートし、1つまたはそれ以上のADC と接続してレシーバーのイコライゼーションを可能にします。4つのプロファイルはGPIOx ピンを使用して選択します。また、受信パスには、高速および低速信号検出機能による自動ゲイン制御 (AGC) も搭載されています。送信および受信データのフォーマットは、JESD204B およびJESD204C モードに基づき、8、12、16、24 ビットの分解能の実数または複素数が使用可能です。AD9082は、送信および受信 DSP パスを完全にバイパスしてナイキスト動作を実行することもできます。

また、GPIOx を介した高速周波数ホッピングと低遅延デジタル・ループ・バック機能もサポートされています。オンチップ TMU も搭載されており、温度管理ソリューション用部品として使用することもできます。時分割複信 (TDD) アプリケーションに対応した節電機能も備えています。

16 レーンのJESD204 トランシーバー・ポートが利用可能で、受信および送信データパスで高いデータ・スループット・レートに対応できます。8つのSERDES レーンが送信データパスに、残り8つのレーンが受信データパスに指定されており、オプションでデュアル・リンクにも対応します。トランシーバー・ポートは、最大16.22GSPS のJESD204C、または最大15.5GSPS のJESD204B のレーン・レートをサポートしています。JESD204 のデータ・リンク層は高い柔軟性を備えており、対象とするスループット・レートに応じてレーン・カウント (またはレート) を最適化できます。確定的遅延と位相アライメントの内部同期の他、外部アライメント信号 (SYSREF) を使用したマルチチップ同期が可能です。



外形寸法



COMPLIANT TO JEDEC STANDARDS MO-275-KKAB-1

図 71. 熱強化型 324 ボール BGA [BGA\_ED]  
(BP-324-3)  
寸法 : mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD9082BBPZ-4D2AC	-40°C to +85°C	324-Ball Ball Grid Array, Thermally Enhanced [BGA_ED], JESD204B and JESD204C	BP-324-3
AD9082BBPZRL-4D2AC	-40°C to +85°C	324-Ball Ball Grid Array, Thermally Enhanced [BGA_ED], JESD204B and JESD204C	BP-324-3
AD9082-FMCA-EBZ		AD9082 Evaluation Board with High Performance Analog Network	

<sup>1</sup> Z = RoHS 準拠製品