

ミックスト・シグナル・フロントエンド
クワッド 16 ビット 12GSPS RF DAC
およびクワッド 12 ビット 4GSPS RF ADC

特長

- ▶ 柔軟性の高い再構成可能な共通プラットフォーム設計
 - ▶ 4つのDACおよび4つのADC (4D4A)
 - ▶ シングル、デュアル、クワッド・バンドをサポート
 - ▶ データ・パスとDSPブロックを完全にバイパス可能
 - ▶ DAC対ADCサンプル・レート比は1、2、3、4から選択可能
 - ▶ マルチチップ同期機能搭載のオンチップPLL
 - ▶ 外付けPLL用の外部RFCLK入力オプション
- ▶ 最大12GSPSのDACサンプル・レート
 - ▶ JESD204Cを使用して最大12GSPSのデータ・レート
 - ▶ 8GHzまでのアナログ帯域幅を使用可能
- ▶ 最大4GSPSのADCサンプル・レート
 - ▶ JESD204Cを使用して最大4GSPSのデータ・レート
 - ▶ アナログ入力フルパワー帯域幅 (-3dB) : 7.5GHz
- ▶ ADCのAC性能 (4GSPS、入力が-2.7GHz、-1dBFS時)
 - ▶ フルスケール入力電圧 : 1.4V p-p
 - ▶ ノイズ密度 : -147.5dBFS/Hz
 - ▶ ノイズ指数 : 26.8dB
 - ▶ HD2 : -67dBFS
 - ▶ HD3 : -73dBFS
 - ▶ その他の最大高調波歪み (HD2とHD3を除く) : 2.7GHzで-79dBFS
- ▶ DACのAC性能 (12GSPS時)
 - ▶ フルスケール出力電流範囲 : 6.43mA~37.75mA
 - ▶ ツー・トーンIMD3 (トーンあたり-7dBFS) : -78.9dBc
 - ▶ NSD、3.7GHzでのシングル・トーン : -155.1dBc/Hz
 - ▶ SFDR、3.7GHzでのシングル・トーン : -70dBc
- ▶ 汎用デジタル機能
 - ▶ 設定可能、バイパス可能なDDCとDUC
 - ▶ 8つの微調整・複素DUCと4つの粗調整・複素DUC
 - ▶ 8つの微調整・複素DDCと4つの粗調整・複素DDC
 - ▶ DUC/DDCのそれぞれに48ビットNCOを内蔵
 - ▶ レシーバーのイコライゼーション用にプログラマブルな192タップPFIRフィルタ
 - ▶ GPIOを介して4つの異なるプロファイル設定をロード可能
 - ▶ データ・パスごとに遅延の設定が可能
 - ▶ AGC対応レシーバー
 - ▶ 高速AGC制御用の低遅延・高速検出
 - ▶ 低速AGC制御用の信号検出
 - ▶ DPD対応トランスミッタ
 - ▶ DUCチャンネル・ゲインの微調整および遅延調整
 - ▶ DPDオプティマイズ・パスのDDC遅延粗調整
- ▶ 補助機能
 - ▶ 高速周波数ホッピングとダイレクト・デジタル合成 (DDS)

- ▶ 低遅延ループバック・モード (受信データ・パスのデータを送信データ・パスに送信可能)
- ▶ 分周比を選択可能なADCクロック・ドライバ
- ▶ パワー・アンプ後段の保護回路
- ▶ 温度モニタリング・ユニット内蔵
- ▶ 柔軟性に優れたGPIOピン
- ▶ TDD省電力オプションとADC共有機能
- ▶ SERDES JESD204B/JESD204C インターフェース、16レーン、最大24.75Gbps
 - ▶ 8レーンのJESD204B/Cトランスミッタ (JT_x) と8レーンのJESD204B/Cレシーバー (JR_x)
 - ▶ 最大15.5GbpsでJESD204B準拠
 - ▶ JESD204C互換の最大24.75Gbps
 - ▶ 実数または複素数のデジタル・データ (8、12、16、または24ビット) に対応
- ▶ 15mm × 15mm、0.8mmピッチ、324ボールBGA

アプリケーション

- ▶ ワイヤレス通信インフラストラクチャ
- ▶ マイクロ波のポイントtoポイント、Eバンド、および5Gミリ波
- ▶ 広帯域通信システム
- ▶ DOCSIS 3.1 および4.0 CMTS
- ▶ フェーズド・アレイ・レーダーおよび電子戦
- ▶ 電子テストおよび計測システム

概要

AD9081 ミックスト・シグナル・フロント・エンド (MxFE[®]) は、16ビットで最大サンプル・レートが12GSPSのRF D/Aコンバータ (DAC) コアを4つと、12ビットで4GSPSのレートのRF A/Dコンバータ (ADC) コアを4つ内蔵した高集積デバイスです。広範な瞬時帯域幅の信号を処理するために広帯域のADCとDACが必要なアプリケーションに最適です。このデバイスは、24.75Gbps/レーンのJESD204C規格または15.5Gbps/レーンのJESD204B規格に対応する8つの送信レーンと8つの受信レーンを備えています。オンチップ・クロック逡倍器と、デジタル・シグナル・プロセッサ (DSP) 機能を搭載し、広帯域またはマルチバンドのDC~RFアプリケーションを対象としています。DSPデータ・パスはバイパスできるので、コンバータ・コアとJESD204データ・トランスミッター・ポート間を直接接続することが可能です。更に、フェーズド・アレイ・レーダー・システムと電子戦アプリケーションを対象とした低遅延ループバック・モードと周波数ホッピング・モードも備えています。AD9081では2つのモデルが提供されています。4D4ACモデルは瞬時チャンネル帯域幅全域に対応しています。一方、4D4ABモデルはチャンネルあたり600MHzの最大瞬時帯域幅に対応しており、DSPを自動設定することで起動時の瞬時帯域幅を制限します。詳細については、[オーダー・ガイド](#)を参照してください。

目次

特長	1	CMOS ピンの仕様	13
アプリケーション	1	DAC の AC 仕様	13
概要	1	ADC の AC 仕様	16
機能ブロック図	3	タイミング仕様	19
仕様	4	絶対最大定格	21
推奨動作条件	4	熱抵抗	21
消費電力	4	ESD に関する注意	21
DAC の DC 仕様	5	ピン配置およびピン機能の説明	22
ADC の DC 仕様	6	代表的な性能特性	27
クロック入出力	7	DAC	27
クロック入力とフェーズ・ロック・ループ (PLL) の周波数仕様	7	ADC : 4GSPS	32
DAC サンプル・レートの仕様	8	ADC : 3GSPS	39
ADC サンプル・レートの仕様	9	動作原理	43
入力データ・レートの仕様	10	アプリケーション情報	44
NCO 周波数の仕様	11	外形寸法	45
JESD204B および JESD204C インターフェースの電氣的仕様と速度仕様	11	オーダー・ガイド	45
		評価用ボード	45

改訂履歴

4/2021—Revision 0: Initial Version

機能ブロック図

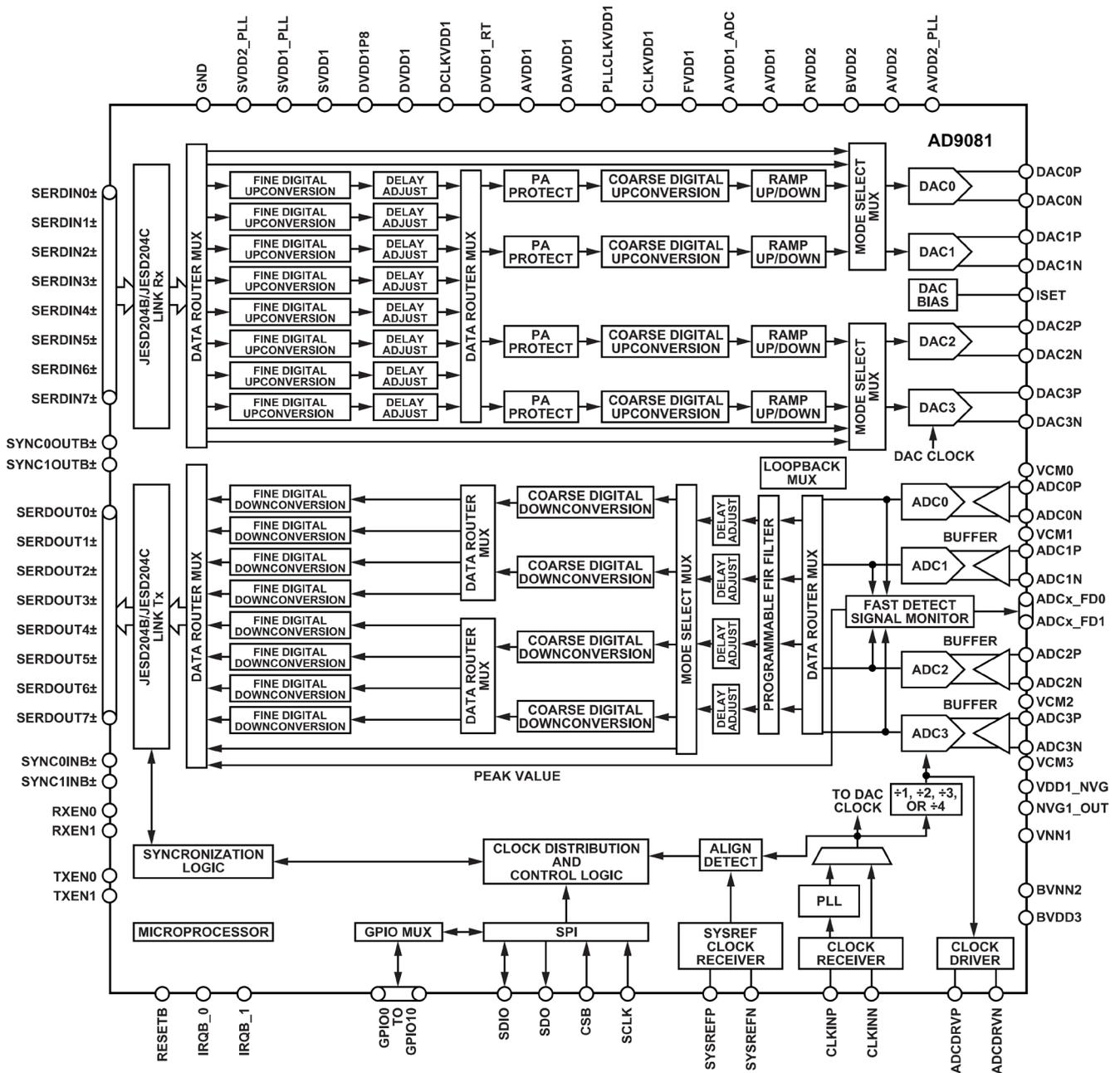


図 1.

001

仕様

推奨動作条件

DAC コア回路の信頼性を長期的に維持するには、パワーアップ後すぐに開始されるデバイス初期化フェーズで DAC を適切にキャリブレーションする必要があります。デバイスの初期化の詳細については、デバイスのユーザ・ガイド UG-1578 を参照してください。

表 1.

Parameter	Min	Typ	Max	Unit
OPERATING JUNCTION TEMPERATURE (T _J)	-40		+120	°C
ANALOG SUPPLY VOLTAGE RANGE				
AVDD2, BVDD2, RVDD2	1.9	2.0	2.1	V
AVDD1, AVDD1_ADC, CLKVDD1, FVDD1, VDD1_NVG1	0.95	1.0	1.05	V
DIGITAL SUPPLY VOLTAGE RANGE				
DVDD1, DVDD1_RT, DCLKVDD1, DAVDD1	0.95	1.0	1.05	V
DVDD1P8	1.7	1.8	2.1	V
SERIALIZER/DESERIALIZER (SERDES) SUPPLY VOLTAGE RANGE				
SVDD2_PLL	1.9	2.0	2.1	V
SVDD1, SVDD1_PLL	0.95	1.0	1.05	V

消費電力

特に指定のない限り、代表値は公称電源での値、最大値は電源の 5%での値、最小値と最大値は T_J = -40°C~+120°C での値、代表値は T_A = 25°C (T_J = 80°C に相当) での値です。

DAC データ・パスは、複素 I/Q データ・レート周波数 (f_{IQ_DATA}) = 2GSPS、6×のインターポレーション、DAC 周波数 (f_{DAC}) = 12GSPS、JESD204C のモード 24C (L = 8、M = 8、F = 3、S = 2、K = 256、E = 3、N = 12、NP = 12) です。

ADC データ・パスは、DDC をバイパス (デシメーションなし)、4GSPS の f_{ADC}、JESD204C のモード 27C (L = 8、M = 4、F = 3、S = 4、K = 256、E = 3、N = 12、NP = 12) です。

JESD204B および JESD204C モード設定の詳細については、UG-1578 ユーザ・ガイドを参照してください。また設定の詳細はこのデータシートで説明します。他の動作モード、およびそのモードでの消費電力の代表値と最大値を示す表も含まれています。

表 2. 消費電力

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CURRENTS					
AVDD2 (I _{AVDD2})	2.0 V supply		190	205	mA
BVDD2 (I _{BVDD2}) + RVDD2 (I _{RVDD2})	2.0 V supply		295	350	mA
AVDD2_PLL (I _{AVDD2_PLL}) + SVDD2_PLL (I _{SVDD2_PLL})	2.0 V supply		45	55	mA
Power Dissipation for 2 V Supplies	2.0 V supply total power dissipation		1.1	1.2	W
PLLCLKVDD1 (I _{PLLCLKVDD1})	1.0 V supply		15	25	mA
AVDD1 (I _{AVDD1}) + DCLKVDD1 (I _{DCLKVDD1})	1.0 V supply		1000	1185	mA
AVDD1_ADC (I _{AVDD1_ADC})	1.0 V supply		1825	2155	mA
CLKVDD1 (I _{CLKVDD1})	1.0 V supply		70	125	mA
FVDD1 (I _{FVDD1})	1.0 V supply		45	70	mA
VDD1_NVG (I _{VDD1_NVG})	1.0 V supply		280	345	mA
DAVDD1 (I _{DAVDD1})	1.0 V supply		1600	1835	mA
DVDD1 (I _{DVDD1})	1.0 V supply		2580	3530	mA
DVDD1_RT (I _{DVDD1_RT})	1.0 V supply		720	840	mA
SVDD1 (I _{SVDD1}) + SVDD1_PLL (I _{SVDD1_PLL})	1.0 V supply		1920	2570	mA
Power Dissipation for 1 V Supplies	1.0 V supply total power dissipation		10.1	13.1	W
DVDD1P8 (I _{DVDD1P8})	1.8 V supply		7	10	mA
Total Power Dissipation	Total power dissipation of 2 V and 1 V supplies		11.2	14.3	W

仕様

DAC の DC 仕様

特に指定のない限り、公称電源、DAC フルスケール出力電流 (I_{OUTFS}) = 26mA、ADC セットアップは 4GSPS、フル帯域幅モード (すべてのデジタル・ダウンコンバータをバイパス)、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 80^{\circ}\text{C}$ に相当) での値です。

表 3. DAC の DC 仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
DAC RESOLUTION		16			Bit
DAC ACCURACY					
Gain Error			1.5		% FSR
Gain Matching			0.7		% FSR
Integral Nonlinearity (INL)	シャッフリングを無効		8.0		LSB
Differential Nonlinearity (DNL)	シャッフリングを無効		3.5		LSB
DAC ANALOG OUTPUTS	DACxP および DACxN				
Full-Scale Output Current Range	AC カップリング、設定抵抗 (R_{SET}) = 5k Ω				
AC Coupling	出力コモンモード電圧 (V_{CM}) = 0V	6.43	26.5	37.75	mA
DC Coupling	50 Ω のシャントを負電源に接続し、 $V_{CM} = 0V$ に設定	6.43		37.75	mA
	50 Ω のシャントを GND に接続し、 $V_{CM} = 0.3V$ に設定	6.43		20 ¹	mA
Full-Scale Sine Wave Output Power with AC Coupling ²	50 Ω とのインターフェースに理想的な 2 : 1 のバランを使用				
$I_{OUTFS} = 26.5 \text{ mA}$			3.3		dBm
$I_{OUTFS} = 37.75 \text{ mA}$			7		dBm
Common-Mode Output Voltage (V_{CMOUT})			0		V
AC Coupling	シャント・インダクタを介して各出力を GND にバイアス		0		V
DC Coupling	25 Ω ~ 200 Ω の抵抗を介して各出力を負の電圧レールにバイアスし、 $V_{CMOUT} = 0V$ になるように選択、 $V_{CMOUT} = 0.3V$ となるのは 25 Ω 抵抗を GND に接続し $I_{OUTFS} = 20\text{mA}$ の場合		0	0.3	V
Differential Resistance			100		Ω

¹ DC カップリング・アプリケーションでは、最大フルスケール出力電流は V_{CMOUT} の最大仕様によって制限されます。

² DAC の sinc 応答、インピーダンス・ミスマッチによる損失、およびバランの挿入損失のため、実際に測定されるフルスケール電力には周波数依存性があります。

仕様

ADC の DC 仕様

特に指定のない限り、公称電源、DAC $I_{OUTFS} = 26\text{mA}$ 、ADC セットアップは 4GSPS、フル帯域幅モード（すべてのデジタル・ダウンコンバータをバイパス）、最小値と最大値は $T_J = -40^\circ\text{C} \sim +120^\circ\text{C}$ での値、代表値は $T_A = 25^\circ\text{C}$ ($T_J = 80^\circ\text{C}$ に相当) での値です。

表 4. ADC の DC 仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
ADC RESOLUTION		12			Bit
ADC ACCURACY			Guaranteed		
No Missing Codes			-0.20		% FSR
Offset Error			0.05		% FSR
Offset Matching			-0.71		% FSR
Gain Error			1.2		% FSR
Gain Matching			± 1.9		LSB
DNL			± 0.5		LSB
INL					
ADC ANALOG INPUTS	ADCxP および ADCxN				
Differential Input Voltage			1.4		V p-p
Full-Scale Sine Wave Input Power	高速フーリエ変換 (FFT) で 0dBFS トーン・レベルになる入力パワー・レベル		3.9		dBm
Common-Mode Input Voltage (V_{CMIN})	AC カップリングされた値、ADCx 入力に対する V_{CMx} 電圧に等しい値		1		V
Differential Input Resistance			100		Ω
Differential Input Capacitance			0.4		pF
Return Loss	<2.7GHz		-4.3		dB
	2.7GHz~3.8GHz		-3.6		dB
	3.8GHz~5.4GHz		-2.9		dB

仕様

クロック入出力

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値です。

表 5. クロック入出力

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
CLOCK INPUTS	CLKINP and CLKINN				
Differential Input Power	Direct RF clock				
Minimum				0	dBm
Maximum				6	dBm
Common-Mode Voltage	AC-coupled			0.5	V
Differential Input Resistance				100	Ω
Differential Input Capacitance				0.3	pF
CLOCK OUTPUTS (ADC CLOCK DRIVER)	ADCDRVP and ADCDRVN				
Differential Output Voltage Magnitude ¹	1.5 GHz			740	mV p-p
	2.0 GHz			690	mV p-p
	3.0 GHz			640	mV p-p
	6.0 GHz			490	mV p-p
Differential Output Resistance				100	Ω
Common-Mode Voltage	AC-coupled			0.5	V

¹ 差動の 100 Ω 負荷を使用し、プリント回路基板 (PCB) のパターンがパッケージのボールから 2mm 以内の位置で測定しています。

クロック入力とフェーズ・ロック・ループ (PLL) の周波数仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値です。

表 6. クロック入力と PLL の周波数仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
CLOCK INPUTS (CLKINP, CLKINN)		25		12000	MHz
FREQUENCY RANGES					
PHASE FREQUENCY DETECTOR (PFD)		25		750	MHz
INPUT FREQUENCY RANGES					
FREQUENCY RANGES ACCORDING TO CLOCK PATH CONFIGURATION					
Direct Clock (PLL Off)		2900 ¹		12000	MHz
PLL Reference Clock (PLL On)	M 分周器を 1 分周に設定	25		750	MHz
	M 分周器を 2 分周に設定	50		1500	MHz
	M 分周器を 3 分周に設定	75		2250	MHz
	M 分周器を 4 分周に設定	100		3000	MHz
PLL VOLTAGE CONTROLLED OSCILLATOR (VCO) FREQUENCY RANGES					
VCO Output					
Divide by 1	D 分周器を 1 分周に設定	5.8		12	GHz
Divide by 2	D 分周器を 2 分周に設定	2.9		6	GHz
Divide by 3	D 分周器を 3 分周に設定	1.93333		4	GHz
Divide by 4	D 分周器を 4 分周に設定	1.45		3	GHz

¹ 表 7 に示すように、直接クロックの最小周波数は DAC (コア) の最小サンプル・レートによって制限されます。クロック・レシーバーは、PLL リファレンス・クロックの最小周波数から直接クロックの最大周波数までの全範囲に対応できます。

仕様

DAC サンプル・レートの仕様

特に指定のない限り、公称電源、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 80^{\circ}\text{C}$ に相当)での値です。

表 7. DAC サンプル・レートの仕様

Parameter	Min	Typ	Max	Unit
DAC SAMPLE RATE ¹				
Minimum			2.9	GSPS
Maximum	12			GSPS

¹ DAC コアの更新レートに関係しますが、データ・パスおよび JESD204 モード設定には依存しません。

仕様

ADC サンプル・レートの仕様

特に指定のない限り、公称電源、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 80^{\circ}\text{C}$ に相当)での値です。

表 8. ADC サンプル・レートの仕様

Parameter	Min	Typ	Max	Unit
ADC SAMPLE RATE ¹				
Minimum			1.45	GSPS
Maximum	4			GSPS
Aperture Jitter ²		65		fs rms

¹ ADC コアの更新レートに関係しますが、データ・バスおよび JESD204 モード設定には依存しません。

² DAC をディスエーブルし、クロック分周器 = 1、ADC 周波数 (f_{ADC}) = 4GSPS、および入力周波数 (f_{IN}) = 55GHz に設定して S/N 比を低下させて測定。

仕様

入力データ・レートの仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値です。

表 9. 入力データ・レートの仕様

パラメータ ^{1,2}	テスト条件/コメント	Min	Typ	Max	単位
MAXIMUM DATA RATE PER NUMBER OF ACTIVE DAC OUTPUTS	1つの DAC、微調整デジタル・アップコンバータ (FDUC) と粗調整デジタル・アップコンバータ (CDUC) をバイパス (1×インターポレーション)、16 ビット分解能、最大 DAC クロック・レートによって制限			12000	MSPS
	クワッド DAC、FDUC と CDUC をバイパス (1×インターポレーション)、12 ビットの分解能、JESD204C リンクの最大スループット (M=4、L=8) によって制限			4000	MSPS
MAXIMUM COMPLEX (I/Q) DATA RATE PER NUMBER OF ACTIVE INPUT DATA CHANNELS	1チャンネル：FDUC をバイパス、1つの CDUC をイネーブル、12 ビットまたは 16 ビットの分解能、CDUC NCO の最大クロック・レートによって制限			6000	MSPS
	2チャンネル：FDUC をバイパス、2つの CDUC をイネーブル、12 ビットの分解能、JESD204C リンクの最大スループット (M=4、L=8) によって制限			4000	MSPS
	4チャンネル：FDUC をバイパス、4つの CDUC をイネーブル、12 ビットの分解能、JESD204C リンクの最大スループット (M=8、L=8) によって制限			2000	MSPS
	8チャンネル：8つの FDUC をイネーブル、1つ以上の CDUC をイネーブル、12 ビットまたは 16 ビットの分解能、FDUC NCO の最大クロック・レートを FDUC をイネーブルするために必要な最小 2×インターポレーションで分周した値によって制限			750	MSPS

¹ これらのパラメータの値は、すべての JESD204 動作モードを通じて取り得る最大値です。一部のモードでは、他のパラメータのために更に値が制限されます。

² Tx データ・パスのインターポレーション・フィルタは、データ・レートの 80% の全複素フィルタ帯域幅を持ち、Iパスの 40% 帯域幅と Qパスの 40% 帯域幅が組み合わせられています。同様に、Rx データ・パス内のデシメーション段は 81.4% の全複素フィルタ帯域幅のフィルタを使用しています。そのため、チャンネルあたりの瞬時複素信号帯域幅 (iBW) の最大値は、 $iBW = (\text{チャンネルあたりの複素 I/Q データ・レート}) \times (\text{全複素フィルタ帯域幅})$ で計算できます。

仕様

NCO 周波数の仕様

特に指定のない限り、最小値と最大値は $T_J = -40^\circ\text{C} \sim +120^\circ\text{C}$ 、公称電源の $\pm 5\%$ での値です。

表 10. NCO 周波数の仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
MAXIMUM NUMERICALLY CONTROLLED OSCILLATOR (NCO) CLOCK RATE					
FDUC NCO				1.5	GHz
CDUC NCO				12	GHz
Fine Digital Downconverter (FDDC) NCO				1.5	GHz
Coarse Digital Downconverter (CDDC) NCO				4	GHz
MAXIMUM NCO SHIFT FREQUENCY RANGE					
FDUC NCO	チャンネル・インターポレーション・レート $> 1\times$	-750		+750	MHz
CDUC NCO	$f_{\text{DAC}} = 12\text{GHz}$ 、メイン・インターポレーション・レート $> 1\times$	-6		+6	GHz
FDDC NCO	チャンネル・デシメーション・レート $> 1\times$	-750		+750	MHz
CDDC NCO	$f_{\text{ADC}} = 4\text{GHz}$ 、メイン・デシメーション・レート $> 1\times$	-2		+2	GHz
MAXIMUM FREQUENCY SPACING BETWEEN CHANNELIZER CHANNELS					
Tx FDUC Channels	最大 FDUC NCO クロック・レート $\times 0.8^1$			1200	MHz
Rx FDDC Channels	最大 FDDC NCO クロック・レート $\times 0.814^2$			1221	MHz

¹ 0.8 の係数は、最初のインターポレーション・フィルタの全複素パス・バンドがフィルタの入力データ・レートの 80%であるためです。

² 0.814 の係数は、デシメーション・フィルタの全複素パス・バンドがフィルタの出力データ・レートの 81.4%であるためです。

JESD204B および JESD204C インターフェースの電氣的仕様と速度仕様

特に指定のない限り、公称電源、最小値と最大値は $T_J = -40^\circ\text{C} \sim +120^\circ\text{C}$ 、公称電源の $\pm 5\%$ での値、代表値は $T_A = 25^\circ\text{C}$ ($T_J = 80^\circ\text{C}$ に相当)での値です。

表 11. シリアル・インターフェース・レートの仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
JESD204B SERIAL INTERFACE RATE	シリアル・レーン・レート	1.0		15.5	Gbps
Unit Interval		64.5		1000.0	ps
JESD204C SERIAL INTERFACE RATE	シリアル・レーン・レート	6.0		24.75	Gbps
Unit Interval		40.4		166.67	ps

表 12. JESD204 レシーバー (JR_x) の電気仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
JESD204 DATA INPUTS	SERDIN _{x±} 、ここで $x = 0 \sim 7$				
Standards Compliance			JESD204B and JESD204C		
Differential Voltage, R_{VDIFF}			800		mV p-p
Differential Impedance, Z_{RDIFF}	DC での値		98		Ω
Termination Voltage, V_{TT}	AC カップリングされた値		0.97		V
SYNC _x OUTB _± OUTPUTS ¹	$x = 0$ または 1				
Output Differential Voltage, V_{OD}	100 Ω 差動負荷を駆動		400		mV
Output Offset Voltage, V_{OS}			DVDD1P8/2 + 0.2		V
SYNC _x OUTB ₊ AND SYNC _x OUTB ₋	CMOS 出力オプション				Refer to the CMOS Pin Specifications section

¹ IEEE 1596.3 規格の LVDS と互換。

仕様

表 13. JESD204 トランスミッタ (JT_x) の電気仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
JESD204 DATA OUTPUTS	SERDOUT _{x±} 、ここで x = 0~7				
Standards Compliance			JESD204B and JESD204C		
Differential Output Voltage	最大強度		675		mV p-p
Differential Termination Impedance		80	108	120	Ω
Rise Time, t _R	100Ω負荷へ 20%~80%		18		ps
Fall Time, t _F	100Ω負荷へ 20%~80%		18		ps
SYNCxINB± INPUTS ¹	x = 0 または 1				
Logic Compliance					
Differential Input Voltage		0.24	0.7	1.9	V p-p
Input Common-Mode Voltage	DC カップリングされた値		0.675	2	V
Input Resistance, R _{IN} (Differential) ²			18		kΩ
Input Capacitance (Differential)			1		pF
SYNCxINB+ AND SYNCxINB-	CMOS 入力オプション	Refer to the CMOS Pin Specifications section			

¹ IEEE 1596.3 規格の LVDS と互換。

² 内蔵の 100Ω 終端を使用可能。詳細については UG-1578 のユーザ・ガイドを参照してください。

表 14. SYSREF の電気仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SYSREFP AND SYSREFN INPUTS					
Logic Compliance			LVDS/LVPECL ¹		
Differential Input Voltage			0.7	1.9	V p-p
Input Common-Mode Voltage Range	DC-coupled		0.675	2	V
Input Resistance, R _{IN} (Differential)			100		Ω
Input Capacitance (Differential)			1		pF

¹ LVDS は低電圧差動伝送、LVPECL は低電圧ポジティブ/擬似エミッタ結合ロジックを表します。

仕様

CMOS ピンの仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、 $1.7\text{V} \leq \text{DVDD1P8} \leq 2.1\text{V}$ 、他の電源は公称値での値です。

表 15. CMOS ピンの仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUTS						
Logic 1 Voltage	V_{IH}	SDIO, SCLK, CSB, RESETB, RXEN0, RXEN1, TXEN0, TXEN1, SYNC0INB±, SYNC1INB±, and GPIOx	$0.70 \times \text{DVDD1P8}$			V
Logic 0 Voltage	V_{IL}				$0.3 \times \text{DVDD1P8}$	V
Input Resistance				40		kΩ
OUTPUTS						
Logic 1 Voltage	V_{OH}	SDIO, SDO, GPIOx, ADCx_FDX, ADCx_SMONx, SYNC0OUTB±, and SYNC1OUTB±, 4 mA load	$\text{DVDD1P8} - 0.45$			V
Logic 0 Voltage	V_{OL}				0.45	V
INTERRUPT OUTPUTS						
Logic 1 Voltage	V_{OH}	IRQB_0 and IRQB_1, pull-up resistor of 5 kΩ to DVDD1P8	1.35			V
Logic 0 Voltage	V_{OL}				0.48	V

DAC の AC 仕様

特に指定のない限り、公称電源、 $T_A = 25^{\circ}\text{C}$ 、仕様値は DAC の $I_{OUTFS} = 26\text{mA}$ での 4 つの DAC チャンネルすべての平均値です。

表 16. DAC の AC 仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
SPURIOUS-FREE DYNAMIC RANGE (SFDR)					
Single-Tone, $f_{DAC} = 12 \text{ GSPS}$	-7dBFS のデジタル・バック・オフ、シャッフリングを有効、15C モード				
Output Frequency (f_{OUT}) = 70 MHz		63	80		dBc
$f_{OUT} = 100 \text{ MHz}$			77		dBc
$f_{OUT} = 500 \text{ MHz}$			76		dBc
$f_{OUT} = 900 \text{ MHz}$			77		dBc
$f_{OUT} = 1900 \text{ MHz}$		61	79		dBc
$f_{OUT} = 2600 \text{ MHz}$			75		dBc
$f_{OUT} = 3700 \text{ MHz}$			69		dBc
$f_{OUT} = 4500 \text{ MHz}$			68		dBc
Single-Tone, $f_{DAC} = 9 \text{ GSPS}$		-7dBFS のデジタル・バック・オフ、シャッフリングを有効、15C モード			
$f_{OUT} = 100 \text{ MHz}$			78		dBc
$f_{OUT} = 500 \text{ MHz}$			78		dBc
$f_{OUT} = 900 \text{ MHz}$			77		dBc
$f_{OUT} = 1900 \text{ MHz}$			80		dBc
$f_{OUT} = 2600 \text{ MHz}$			80		dBc
$f_{OUT} = 3700 \text{ MHz}$			72		dBc
Single-Tone, $f_{DAC} = 6 \text{ GSPS}$	-7dBFS のデジタル・バック・オフ、シャッフリングを有効、15C モード				
$f_{OUT} = 100 \text{ MHz}$			84		dBc
$f_{OUT} = 500 \text{ MHz}$			81		dBc
$f_{OUT} = 900 \text{ MHz}$			82		dBc
$f_{OUT} = 1900 \text{ MHz}$			81		dBc
ADJACENT CHANNEL LEAKAGE RATIO					
Single Carrier 20 MHz LTE Downlink Test Vector	-1dBFS のデジタル・バック・オフ、256QAM				
$f_{DAC} = 12 \text{ GSPS}$		$f_{OUT} = 1840 \text{ MHz}$	77		dBc
	$f_{OUT} = 2650 \text{ MHz}$		76		dBc

仕様

表 16. DAC の AC 仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
$f_{DAC} = 9$ GSPS	$f_{OUT} = 3500$ MHz		73		dBc
	$f_{OUT} = 1900$ MHz		77		dBc
$f_{DAC} = 6$ GSPS	$f_{OUT} = 2650$ MHz		77		dBc
	$f_{OUT} = 750$ MHz		79		dBc
	$f_{OUT} = 1840$ MHz		77		dBc
THIRD-ORDER INTERMODULATION DISTORTION (IMD3)	ツー・トーン・テスト、1MHz 間隔、0dBFS のデジタル・バック・オフ、トーン当たり -6dBFS				
$f_{DAC} = 12$ GSPS	$f_{OUT} = 1900$ MHz		-69	-62	dBc
	$f_{OUT} = 2600$ MHz		-72		dBc
	$f_{OUT} = 3700$ MHz		-72		dBc
	$f_{OUT} = 1900$ MHz		-79		dBc
	$f_{OUT} = 2600$ MHz		-76		dBc
	$f_{OUT} = 900$ MHz		-79		dBc
	$f_{OUT} = 1900$ MHz		-90		dBc
NOISE SPECTRAL DENSITY (NSD)	0dBFS、NSD は f_{OUT} から 10%離れた周波数で測定、シャッフリング・オフ				
Single-Tone, $f_{DAC} = 12$ GSPS					
$f_{OUT} = 150$ MHz			-168		dBc/Hz
$f_{OUT} = 500$ MHz			-167		dBc/Hz
$f_{OUT} = 950$ MHz			-165		dBc/Hz
$f_{OUT} = 1840$ MHz			-162		dBc/Hz
$f_{OUT} = 2650$ MHz			-160		dBc/Hz
$f_{OUT} = 3700$ MHz			-155		dBc/Hz
$f_{OUT} = 4500$ MHz			-154		dBc/Hz
Single-Tone, $f_{DAC} = 9$ GSPS					
$f_{OUT} = 150$ MHz			-168		dBc/Hz
$f_{OUT} = 500$ MHz			-166		dBc/Hz
$f_{OUT} = 950$ MHz			-164		dBc/Hz
$f_{OUT} = 1840$ MHz			-160		dBc/Hz
$f_{OUT} = 2650$ MHz			-158		dBc/Hz
$f_{OUT} = 3700$ MHz			-154		dBc/Hz
Single-Tone, $f_{DAC} = 6$ GSPS					
$f_{OUT} = 150$ MHz			-168		dBc/Hz
$f_{OUT} = 500$ MHz			-165		dBc/Hz
$f_{OUT} = 950$ MHz			-163		dBc/Hz
$f_{OUT} = 1840$ MHz			-159		dBc/Hz
$f_{OUT} = 2650$ MHz			-157		dBc/Hz
SINGLE SIDEBAND PHASE NOISE OFFSET (PLL DISABLED)	6dBm で直接デバイス・クロック入力				
$f_{OUT} = 3.6$ GHz, $f_{DAC} = 12$ GSPS, CLKINx Frequency (f_{CLKIN}) = 12 GHz	Rohde & Schwarz SMA100B の B711 オプションを使用				
1 kHz			-118		dBc/Hz
10 kHz			-129		dBc/Hz
100 kHz			-137		dBc/Hz
600 kHz			-144		dBc/Hz
1.2 MHz			-148		dBc/Hz
1.8 MHz			-149		dBc/Hz
6 MHz			-153		dBc/Hz
SINGLE SIDEBAND PHASE NOISE OFFSET (PLL ENABLED)	ループ・フィルタ部品には、C1 = 22nF、R1 = 226Ω、C2 = 2.2nF、C3 = 33nF の値のものを使用、PFD = 500MHz ¹				

仕様

表 16. DAC の AC 仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
$f_{\text{OUT}} = 1.8 \text{ GHz}$, $f_{\text{DAC}} = 12 \text{ GSPS}$, $f_{\text{CLKIN}} = 0.5 \text{ GHz}$					
1 kHz			-106		dBc/Hz
10 kHz			-113		dBc/Hz
100 kHz			-120		dBc/Hz
600 kHz			-127		dBc/Hz
1.2 MHz			-134		dBc/Hz
1.8 MHz			-138		dBc/Hz
6 MHz			-150		dBc/Hz

¹ ループ・フィルタ部品の詳細については、UG-1578 のユーザ・ガイドを参照してください。

仕様

ADC の AC 仕様

公称電源、 $T_A = 25^\circ\text{C}$ 、入力振幅 (A_{IN}) = -1dBFS、フル帯域幅 (デシメーションなし) モード、最小値と最大値は $T_J = -40^\circ\text{C} \sim +120^\circ\text{C}$ 、仕様値は DAC をオンにした状態での 4 つの ADC チャンネルの平均値です。このテストの実施条件と詳細については、[アプリケーション・ノート AN-835 高速 A/D コンバータ \(ADC\) のテストと評価](#)についてを参照してください。

表 17. ADC の AC 仕様

Parameter	3 GSPS			4 GSPS			Unit
	Min	Typ	Max	Min	Typ	Max	
NOISE DENSITY ¹		-150.3			-151.5		dBFS/Hz
NOISE FIGURE ²		28			26.8		dB
CODE ERROR RATE (CER)		<1 × 10 ⁻³⁰			1 × 10 ⁻²⁰		Errors
SIGNAL-TO-NOISE RATIO (SNR)							
$f_{IN} = 450 \text{ MHz}$		57.8			57.9		dBFS
$f_{IN} = 900 \text{ MHz}$		57.7			57.5		dBFS
$f_{IN} = 1800 \text{ MHz}$		56.9			56.0		dBFS
$f_{IN} = 2700 \text{ MHz}$		55.9		52.4	54.5		dBFS
$f_{IN} = 3600 \text{ MHz}$		55.1			52.9		dBFS
$f_{IN} = 4500 \text{ MHz}$		53.9			51.4		dBFS
$f_{IN} = 5400 \text{ MHz}$		53.2			50.5		dBFS
$f_{IN} = 6300 \text{ MHz}$		52.3			49.3		dBFS
$f_{IN} = 7200 \text{ MHz}$		51.3			48.5		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION (SINAD)							
$f_{IN} = 450 \text{ MHz}$		57.5			57.7		dBFS
$f_{IN} = 900 \text{ MHz}$		57.2			57.3		dBFS
$f_{IN} = 1800 \text{ MHz}$		56.1			55.8		dBFS
$f_{IN} = 2700 \text{ MHz}$		54.5		51.0	54.2		dBFS
$f_{IN} = 3600 \text{ MHz}$		53.2			52.3		dBFS
$f_{IN} = 4500 \text{ MHz}$		48.4			50.1		dBFS
$f_{IN} = 5400 \text{ MHz}$		47.8			48.6		dBFS
$f_{IN} = 6300 \text{ MHz}$		46.1			45.5		dBFS
$f_{IN} = 7200 \text{ MHz}$		44.8			44.3		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)							
$f_{IN} = 450 \text{ MHz}$		9.3			9.3		Bits
$f_{IN} = 900 \text{ MHz}$		9.2			9.2		Bits
$f_{IN} = 1800 \text{ MHz}$		9.0			9.0		Bits
$f_{IN} = 2700 \text{ MHz}$		8.8		8.2	8.7		Bits
$f_{IN} = 3600 \text{ MHz}$		8.5			8.4		Bits
$f_{IN} = 4500 \text{ MHz}$		7.7			8.0		Bits
$f_{IN} = 5400 \text{ MHz}$		7.6			7.8		Bits
$f_{IN} = 6300 \text{ MHz}$		7.4			7.3		Bits
$f_{IN} = 7200 \text{ MHz}$		7.1			7.1		Bits
SECOND-ORDER HARMONIC DISTORTION (HD2)							
$f_{IN} = 450 \text{ MHz}$		-73			-86		dBFS
$f_{IN} = 900 \text{ MHz}$		-76			-78		dBFS
$f_{IN} = 1800 \text{ MHz}$		-71			-78		dBFS
$f_{IN} = 2700 \text{ MHz}$		-65			-67	-53	dBFS
$f_{IN} = 3600 \text{ MHz}$		-61			-61		dBFS
$f_{IN} = 4500 \text{ MHz}$		-55			-56		dBFS
$f_{IN} = 5400 \text{ MHz}$		-50			-53		dBFS
$f_{IN} = 6300 \text{ MHz}$		-48			-48		dBFS

仕様

表 17. ADC の AC 仕様

Parameter	3 GSPS			4 GSPS			Unit
	Min	Typ	Max	Min	Typ	Max	
$f_{IN} = 7200 \text{ MHz}$		-46			-46		dBFS
THIRD-ORDER HARMONIC DISTORTION (HD3)							
$f_{IN} = 450 \text{ MHz}$		-78			-76		dBFS
$f_{IN} = 900 \text{ MHz}$		-79			-76		dBFS
$f_{IN} = 1800 \text{ MHz}$		-78			-75		dBFS
$f_{IN} = 2700 \text{ MHz}$		-76			-73	-66	dBFS
$f_{IN} = 3600 \text{ MHz}$		-71			-76		dBFS
$f_{IN} = 4500 \text{ MHz}$		-62			-64		dBFS
$f_{IN} = 5400 \text{ MHz}$		-60			-60		dBFS
$f_{IN} = 6300 \text{ MHz}$		-59			-57		dBFS
$f_{IN} = 7200 \text{ MHz}$		-58			-54		dBFS
WORST OTHER, EXCLUDING HD2, HD3, AND INTERLEAVING SPURS							
$f_{IN} = 450 \text{ MHz}$		-78			-88		dBFS
$f_{IN} = 900 \text{ MHz}$		-78			-87		dBFS
$f_{IN} = 1800 \text{ MHz}$		-78			-81		dBFS
$f_{IN} = 2700 \text{ MHz}$		-78			-79	-64	dBFS
$f_{IN} = 3600 \text{ MHz}$		-78			-77		dBFS
$f_{IN} = 4500 \text{ MHz}$		-77			-75		dBFS
$f_{IN} = 5400 \text{ MHz}$		-78			-74		dBFS
$f_{IN} = 6300 \text{ MHz}$		-74			-72		dBFS
$f_{IN} = 7200 \text{ MHz}$		-73			-72		dBFS
INTERLEAVING SPUR ($f_{IN} \pm f_s/2$) ³							
$f_{IN} = 450 \text{ MHz}$		-97			-93		dBFS
$f_{IN} = 900 \text{ MHz}$		-94			-93		dBFS
$f_{IN} = 1800 \text{ MHz}$		-96			-90		dBFS
$f_{IN} = 2700 \text{ MHz}$		-86			-86		dBFS
$f_{IN} = 3600 \text{ MHz}$		-84			-81		dBFS
$f_{IN} = 4500 \text{ MHz}$		-53			-85		dBFS
$f_{IN} = 5400 \text{ MHz}$		-78			-86		dBFS
$f_{IN} = 6300 \text{ MHz}$		-77			-79		dBFS
$f_{IN} = 7200 \text{ MHz}$		-78			-74		dBFS
DIGITAL COUPLING SPUR ($f_{IN} \pm f_s/4$)							
$f_{IN} = 450 \text{ MHz}$		-83			-94		dBFS
$f_{IN} = 900 \text{ MHz}$		-79			-91		dBFS
$f_{IN} = 1800 \text{ MHz}$		-73			-89		dBFS
$f_{IN} = 2700 \text{ MHz}$		-70			-86	-67	dBFS
$f_{IN} = 3600 \text{ MHz}$		-68			-87		dBFS
$f_{IN} = 4500 \text{ MHz}$		-66			-83		dBFS
$f_{IN} = 5400 \text{ MHz}$		-65			-82		dBFS
$f_{IN} = 6300 \text{ MHz}$		-64			-80		dBFS
$f_{IN} = 7200 \text{ MHz}$		-63			-79		dBFS
TWO-TONE INTERMODULATION DISTORTION (IMD3, $2f_{IN1} - f_{IN2}$ OR $2f_{IN2} - f_{IN1}$) A_{IN1} AND $A_{IN2} = -7 \text{ dBFS}$							
$f_{IN1} = 1775 \text{ MHz}, f_{IN2} = 1825 \text{ MHz}$		-81			-84		dBFS
$f_{IN1} = 2675 \text{ MHz}, f_{IN2} = 2725 \text{ MHz}$		-77			-78		dBFS
$f_{IN1} = 3575 \text{ MHz}, f_{IN2} = 3625 \text{ MHz}$		-73			-74		dBFS
$f_{IN1} = 5375 \text{ MHz}, f_{IN2} = 5425 \text{ MHz}$		-66			-66		dBFS

仕様

表 17. ADC の AC 仕様

Parameter	3 GSPS			4 GSPS			Unit
	Min	Typ	Max	Min	Typ	Max	
ANALOG BANDWIDTH ⁴		7.5			7.5		GHz

¹ ノイズ密度は、-30dBFS で 250MHz の入力周波数、すなわちタイミング・ジッタがノイズ・フロアを低下させない周波数で測定しています。

² ノイズ指数は、1.4V p-p の入力スパンと $R_{IN} = 100\Omega$ を使用した 4.5dBm の公称フルスケール入力電力に基づいています。

³ バックグラウンドでインターリーブのキャリブレーションを取戻させています。

⁴ アナログ入力帯域幅は、評価用ボードで測定した周波数応答から ADC を取り除いた除去モデルに基づいて、フルスケール入力周波数応答を -3dB ロールオフした動作帯域幅です。この帯域幅には、マッチング回路を最適化してこの上側帯域幅まで確保できていることが要求されます。

仕様

タイミング仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値です。

表 18. タイミング仕様

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
SERIAL PORT INTERFACE (SPI) WRITE OPERATION						
Maximum SCLK Clock Rate	$f_{\text{SCLK}}, 1/t_{\text{SCLK}}$		33			MHz
SCLK Clock High	t_{PWH}	SCLK = 33 MHz	8			ns
SCLK Clock Low	t_{PWL}	SCLK = 33 MHz	8			ns
SDIO to SCLK Setup Time	t_{DS}		4			ns
SCLK to SDIO Hold Time	t_{DH}		4			ns
CSB to SCLK Setup Time	t_{S}		4			ns
CLK to CSB Hold Time	t_{H}		4			ns
SPI READ OPERATION						
LSB First Data Format						
Maximum SCLK Clock Rate	$f_{\text{SCLK}}, 1/t_{\text{SCLK}}$		33			MHz
SCLK Clock High	t_{PWH}		8			ns
SCLK Clock Low	t_{PWL}		8			ns
MSB First Data Format						
Maximum SCLK Clock Rate	$f_{\text{SCLK}}, 1/t_{\text{SCLK}}$		15			MHz
SCLK Clock High	t_{PWH}		30			ns
SCLK Clock Low	t_{PWL}		30			ns
SDIO to SCLK Setup Time	t_{DS}		4			ns
SCLK to SDIO Hold Time	t_{DH}		4			ns
CSB to SCLK Setup Time	t_{S}		4			ns
SCLK to SDIO Data Valid Time	t_{DV}		20			ns
SCLK to SDO Data Valid Time	$t_{\text{DV_SDO}}$		20			ns
CSB to SDIO Output Valid to High-Z	t_{Z}		20			ns
CSB to SDO Output Valid to High-Z	$t_{\text{Z_SDO}}$		20			ns
RESETB		デバイスのリセットをトリガするまでの最小ホールド時間	40			ns

タイミング図

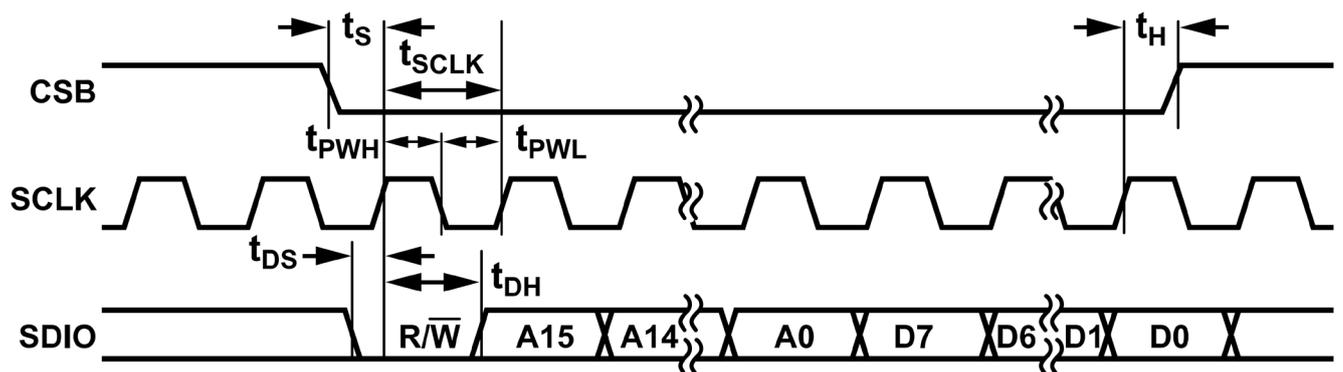
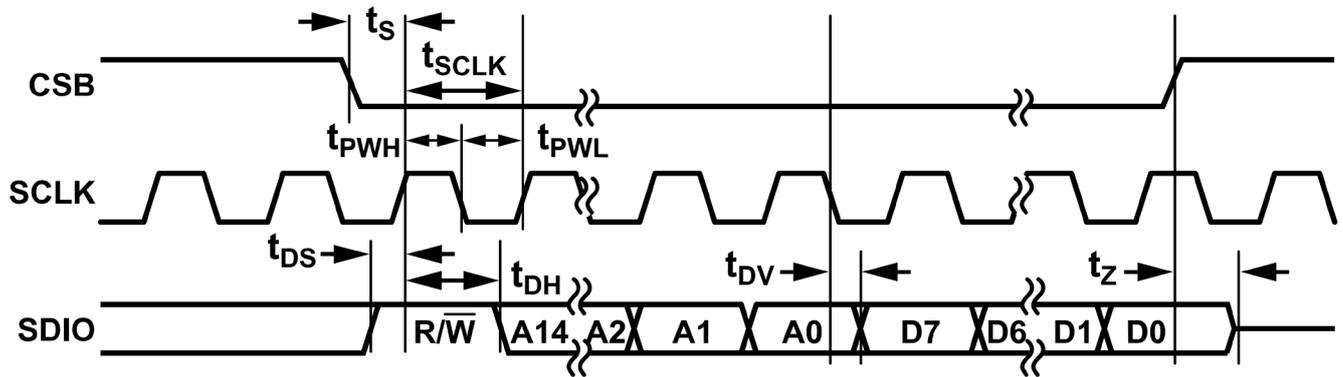


図 2. 3 線での書き込み動作のタイミング図

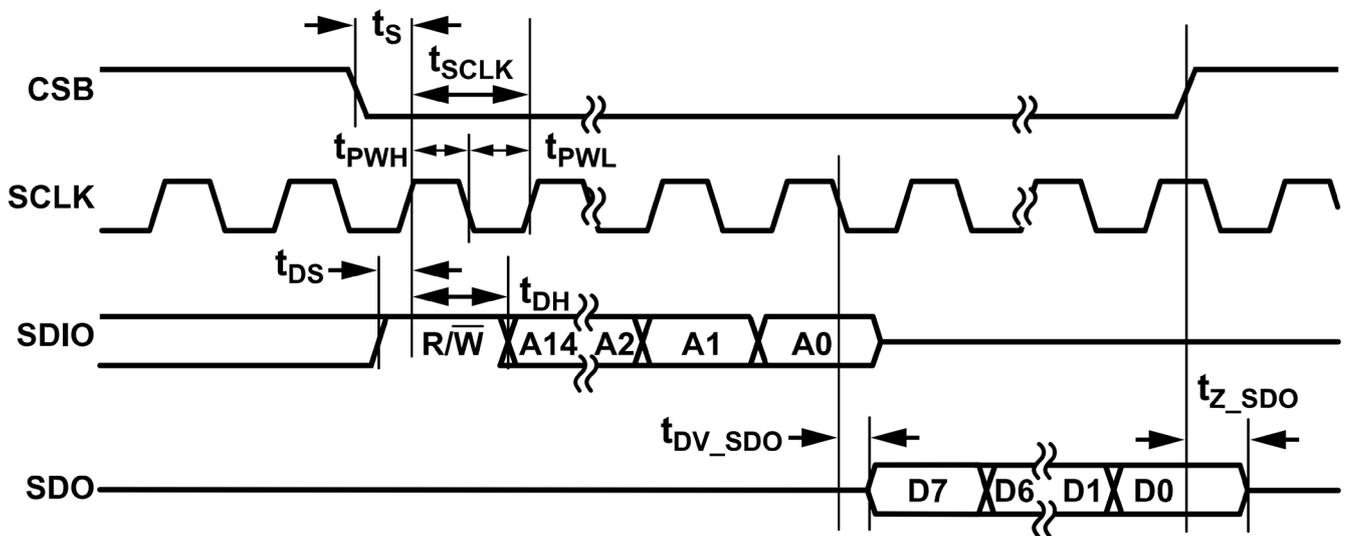
002

仕様



003

図 3. 3 線での読み出し動作のタイミング図



004

図 4. 4 線での読み出し動作のタイミング図

絶対最大定格

表 19.

Parameter	Rating
ISET, DACxP, DACxN, TDP, TDN	-0.3 V to AVDD2 + 0.3 V
VCO_COARSE, VCO_FINE, VCO_VCM, VCO_VREG	-0.3 V to AVDD2_PLL + 0.3 V
Rx Input Power (ADC0P/N, ADC1P/N, ADC2P/N, ADC3P/N) ¹	22 dBm
VCM0, VCM1	-0.3 V to RVDD2 + 0.3 V
CLKINP, CLKINN	-0.2 V to PLLCLKVDD1 + 0.2 V
ADCDRVN, ADCDRVp	-0.2 V to CLKVDD1 + 0.2 V
SERDINx±, SERDOU Tx±	-0.2 V to SVDD1 + 0.2 V
SYSREFP, SYSREFN, and SYNCxINB±	-0.2 V to +2.5 V
SYNCxOUTB±, SYNCxINB±, RESETB, TXENx, RXENx, IRQB_x, CSB, SCLK, SDIO, SDO, TMU_REFN, TMU_REFP, ADCx_SMON0, ADCx_SMON1, ADCx_FD0, ADCx_FD1, GPIOx	-0.3 V to +2.2 V
AVDD2, AVDD2_PLL, BVDD2, RVDD2, SVDD2_PLL, DVDD1P8	-0.3 V to +2.2 V
PLLCLKVDD1, AVDD1, AVDD1_ADC, CLKVDD1, FVDD1, DAVDD1, DVDD1_RT, DCLKVDD1, SVDD1, SVDD1_PLL	-0.2 V to +1.2 V
VNN1	-1.1 V to +0.2 V
Temperature Ranges	
Maximum Junction (T _J) ²	120°C
Storage	-65°C to +150°C

¹ f_{IN} = 4.7 GHz (パルス) と連続トーンを使用し、最大許容ジャンクション温度 (T_J) で 1000 時間連続的に試験。詳細については、デバイスのユーザ・ガイド UG-1578 を参照してください。

² デバイスに電源が供給されている間は、決してこの温度を超えてはなりません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。温度管理を適切に行って、T_J の最大値が表 19 に示す制限値を超えないようにすることを推奨します。

θ_{JA} は 1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JC TOP} は、ジャンクションとケースの間の熱抵抗です。

θ_{JB} は、ジャンクションと基板の間の熱抵抗です。

表 20. 熱抵抗の計算値¹

PCB Type	Airflow Velocity (m/sec)	θ _{JA}	θ _{JC TOP}	θ _{JB}	Unit

¹ 仕様規定されている熱抵抗値は、JESD51-12 に準拠した JEDEC 仕様に基づき、デバイスの消費電力を 9W として計算しています。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

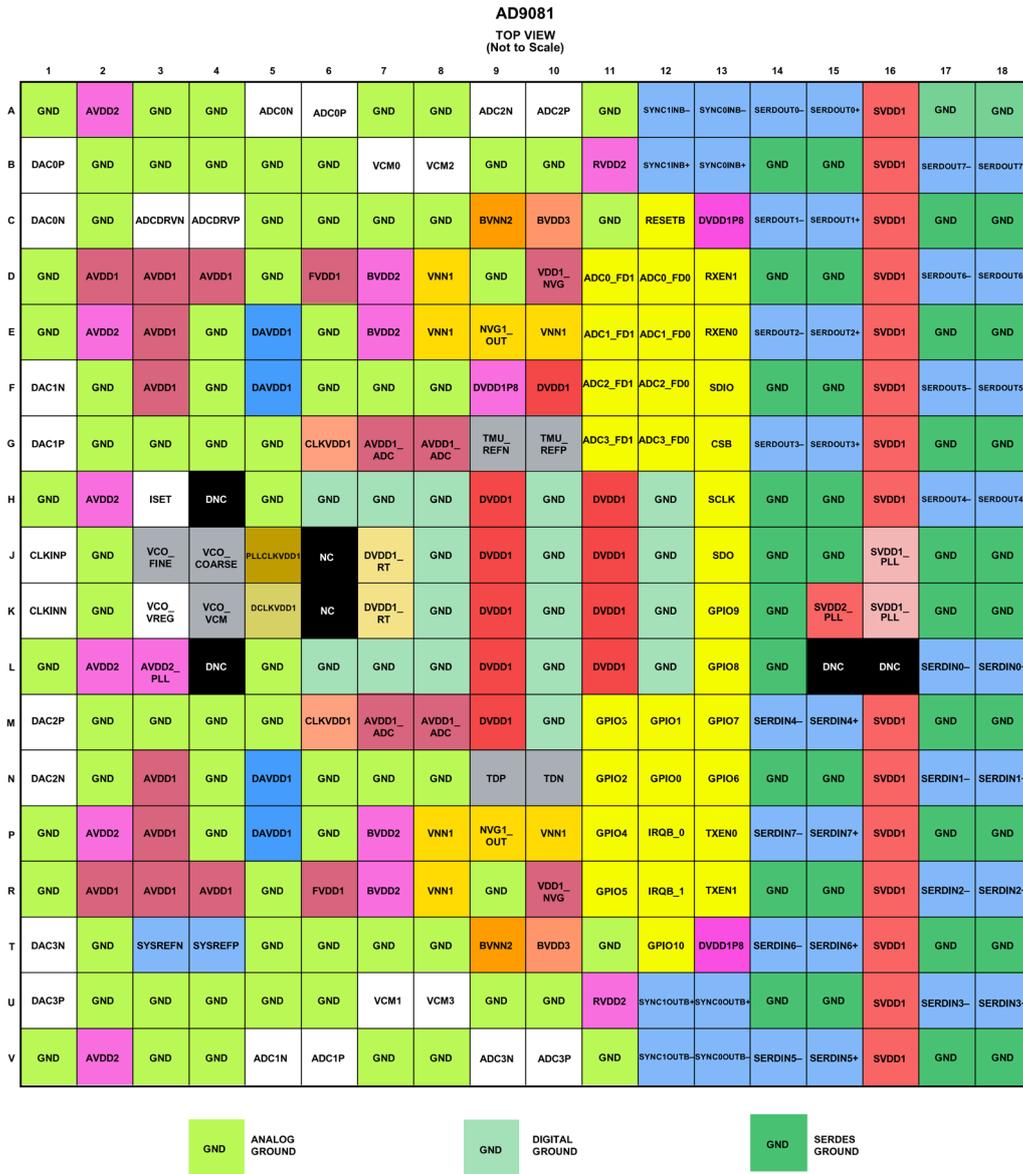


図 5. ピン配置

表 21. ピン機能の説明

ピン番号	記号	タイプ	説明
Power Supplies			
A2, E2, H2, L2, P2, V2	AVDD2	Input	DAC のアナログ 2.0V 電源入力。
L3	AVDD2_PLL	Input	クロック PLL リニア・ドロップアウト・レギュレータ (LDO) のアナログ 2.0V 電源入力。
D7, E7, P7, R7	BVDD2	Input	ADC バッファのアナログ 2.0V 電源入力。
B11, U11	RVDD2	Input	ADC リファレンスのアナログ 2.0V 電源入力。
J5	PLLCLKVDD1	Input	クロック PLL のアナログ 1.0V 電源入力。
D2, D3, D4, E3, F3, N3, P3, R2, R3, R4	AVDD1	Input	DAC クロックのアナログ 1.0V 電源入力。
G7, G8, M7, M8	AVDD1_ADC	Input	ADC のアナログ 1.0V 電源入力。
G6, M6	CLKVDD1	Input	ADC クロックのアナログ 1.0V 電源入力。
D6, R6	FVDD1	Input	ADC リファレンスのアナログ 1.0V 電源入力。

ピン配置およびピン機能の説明

表 21. ピン機能の説明

ピン番号	記号	タイプ	説明
D10, R10	VDD1_NVG	Input	-1V 出力生成用の負電圧発生器 (NVG) のアナログ 1.0V 電源入力。
E9, P9	NVG1_OUT	Output	NVG からのアナログ-1V 電源出力。NVG1_OUT は、0.1μF のコンデンサを使用して GND からデカップリングします。
D8, E8, E10, P8, R8, P10	VNN1	Input	ADC バッファおよびリファレンスのアナログ-1V 電源入力。これらのピンは隣接する NVG1_OUT ピンに接続します。
C9, T9	BVNN2	Output	内部生成されるアナログ-2V ADC バッファ電源のデカップリング・ピン。BVNN2 は、0.1μF のコンデンサを使用して GND からデカップリングします。
C10, T10	BVDD3	Output	内部生成されるアナログ 3V ADC バッファ電源のデカップリング・ピン。BVDD3 は、0.1μF のコンデンサを使用して GND からデカップリングします。
E5, F5, N5, P5	DAVDD1	Input	デジタル・アナログ 1.0V 電源入力。
F10, H9, H11, J9, J11, K9, K11, L9, L11, M9	DVDD1	Input	デジタル 1.0V 電源入力。
J7, K7	DVDD1_RT	Input	リタイマー・ブロックのデジタル 1.0V 電源入力。
K5	DCLKVDD1	Input	デジタル 1.0V クロック生成用電源。
A16, B16, C16, D16, E16, F16, G16, H16, M16, N16, P16, R16, T16, U16, V16	SVDD1	Input	SERDES シリアライザ/デシリアライザのデジタル 1.0V 電源入力。
K15	SVDD2_PLL	Input	SERDES LDO レギュレータのデジタル 2.0V 電源入力。
J16, K16	SVDD1_PLL	Input	SERDES クロック生成および PLL のデジタル 1.0V 電源入力。
C13, F9, T13	DVDD1P8	Input	デジタル・インターフェースおよび温度モニタリング・ユニット (TMU) の電源入力 (公称 1.8V)。
A1, A3, A4, A7, A8, A11, A17, A18, B2 to B6, B9, B10, B14, B15, C2, C5 to C8, C11, C17, C18, D1, D5, D9, D14, D15, E1, E4, E6, E17, E18, F2, F4, F6 to F8, F14, F15, G2 to G5, G17, G18, H1, H5 to H8, H10, H12, H14, H15, J2, J8, J10, J12, J14, J15, J17, J18, K2, K8, K10, K12, K14, K17, K18, L1, L5 to L8, L10, L12, L14, M2 to M5, M10, M17, M18, N2, N4, N6 to N8, N14, N15, P1, P4, P6, P17, P18, R1, R5, R9, R14, R15, T2, T5 to T8, T11, T17, T18, U2 to U6, U9, U10, U14, U15, V1, V3, V4, V7, V8, V11, V17, V18	GND	Input/output	グラウンド・リファレンス。
Analog Outputs			
B1, C1	DAC0P, DAC0N	Output	DAC0 出力電流、グラウンドを基準。使用しない場合、これらのピンは GND に接続します。
G1, F1	DAC1P, DAC1N	Output	DAC1 出力電流、グラウンドを基準。使用しない場合、これらのピンは GND に接続します。
M1, N1	DAC2P, DAC2N	Output	DAC2 出力電流、グラウンドを基準。使用しない場合、これらのピンは GND に接続します。
U1, T1	DAC3P, DAC3N	Output	DAC3 出力電流、グラウンドを基準。使用しない場合、これらのピンは GND に接続します。
H3	ISSET	Output	DAC バイアス電流設定ピン。5kΩ 抵抗を使用して、このピンを GND に接続します。
C4, C3	ADCDVRP, ADCDRVN	Output	オプションのクロック出力。これらのピンはデフォルトでディスエーブルされていますが、リファレンス・クロックを必要とする外付け ADC などのデバイスのクロック源として使用することもできます。使用しない場合、これらのピンはフロート状態のままにします。
B7, U7, B8, U8	VCM0, VCM1, VCM2, VCM3	Output	ADC バッファのコモンモード出力電圧。これらのピンは、0.1μF のコンデンサを使用して GND からデカップリングします。
K3	VCO_VREG	Output	PLL LDO レギュレータ出力。このピンは、2.2μF のコンデンサを使用して GND からデカップリングします。
G9	TMU_REFN	Output	TMU ADC の負のリファレンス。このピンは GND に接続します。
G10	TMU_REFP	Output	TMU ADC の正のリファレンス。このピンは DVDD1P8 に接続します。
ANALOG INPUTS			

ピン配置およびピン機能の説明

表 21. ピン機能の説明

ピン番号	記号	タイプ	説明
A6, A5	ADC0P, ADC0N	Input	ADC0 差動入力、内部で 100Ω の差動抵抗を使用。使用しない場合、これらのピンはフロート状態のままにします。
V6, V5	ADC1P, ADC1N	Input	ADC1 差動入力、内部で 100Ω の差動抵抗を使用。使用しない場合、これらのピンはフロート状態のままにします。
A10, A9	ADC2P, ADC2N	Input	ADC2 差動入力、内部で 100Ω の差動抵抗を使用。使用しない場合、これらのピンはフロート状態のままにします。
V10, V9	ADC3P, ADC3N	Input	ADC3 差動入力、内部で 100Ω の差動抵抗を使用。使用しない場合、これらのピンはフロート状態のままにします。
J3	VCO_FINE	Input	オンチップ・デバイス・クロック 通倍器と PLL 精密ループ・フィルタの入力。PLL を使用しない場合は、このピンをフロート状態にして、制御レジスタにより PLL をディスエーブルします。
J4	VCO_COARSE	Input	オンチップ・デバイス・クロック 通倍器と PLL 粗ループ・フィルタの入力。PLL を使用しない場合は、このピンをフロート状態にして、制御レジスタにより PLL をディスエーブルします。
K4	VCO_VCM	Input	オンチップ・デバイス・クロック 通倍器と VCO コモンモード入力。PLL を使用しない場合は、このピンをフロート状態にして、制御レジスタにより PLL をディスエーブルします。
N9, N10	TDP, TDN	Input	温度ダイオードのアノードとカソード。この機能には対応していません。
J1, K1	CLKINP, CLKINN	Input	TDP と TDN は GND に接続します。公称 100Ω の終端を使用した差動クロック入力。これらの自己バイアス入力には AC カップリングが必要です。オンチップ・クロック 通倍器 PLL がイネーブルされている場合は、この入力はリファレンス・クロック入力になります。PLL がディスエーブルされている場合は、RF クロックと DAC 出力サンプル・レート等を等しくする必要があります。
CMOS Inputs and Outputs ¹			
G13	CSB	Input	シリアル・ポート・イネーブル入力。アクティブ・ロー。
H13	SCLK	Input	シリアル・ポート・クロック入力。
F13	SDIO	Input/output	シリアル・ポートの双方向データ入出力。
J13	SDO	Output	シリアル・ポート・データ出力。
C12	RESETB	Input	アクティブ・ローのリセット入力。RESETB は、デジタル・ロジックと SPI レジスタを既知のデフォルト状態にセットします。RESETB は、デバイス初期化プロセスの最初のステップでリセット信号を発信できるデジタル IC に接続する必要があります。
E13, D13	RXEN0, RXEN1	Input	アクティブ・ハイの ADC および受信データバス・イネーブル入力。RXENx は SPI でも設定可能です。
P13, R13	TXEN0, TXEN1	Input	アクティブ・ハイの DAC および送信データバス・イネーブル入力。TXENx は SPI でも設定可能です。
D12, D11	ADC0_FD0, ADC0_FD1	Output	ADC0 高速検出出力 (デフォルト)。使用しない場合は接続しないでください。
E12, E11	ADC1_FD0, ADC1_FD1	Output	ADC1 高速検出出力 (デフォルト)。使用しない場合は接続しないでください。
F12, F11	ADC2_FD0, ADC2_FD1	Output	ADC2 高速検出出力 (デフォルト)。使用しない場合は接続しないでください。
G12, G11	ADC3_FD0, ADC3_FD1	Output	ADC3 高速検出出力 (デフォルト)。使用しない場合は接続しないでください。
P12, R12	IRQB_0, IRQB_1	Output	割込み要求出力。これらのピンはオープン・ドレインのアクティブ・ロー出力です (DVDDIP8 基準の CMOS レベル)。未使用時にピンがフロート状態にならないように、DVDDIP8 には 5kΩ 以上のプルアップ抵抗を接続してください。
N12, M12, N11, M11, P11, R11	GPIO0 to GPIO5	Input/output	汎用入出力ピン。これらのピンは Tx データバスに関連する補助機能を制御します。
N13, M13, L13, K13, T12	GPIO6 to GPIO10	Input/output	汎用入出力ピン。これらのピンは Rx データバスと ADC に関連する補助機能を制御します。

ピン配置およびピン機能の説明

表 21. ピン機能の説明

ピン番号	記号	タイプ	説明
JESD204B- or JESD204C-Compatible SERDES Data Lanes and Control Signals ²			
L18, L17	SERDIN0+, SERDIN0-	Input	JRx レーン 0 入力、データの+/-。
N18, N17	SERDIN1+, SERDIN1-	Input	JRx レーン 1 入力、データの+/-。
R18, R17	SERDIN2+, SERDIN2-	Input	JRx レーン 2 入力、データの+/-。
U18, U17	SERDIN3+, SERDIN3-	Input	JRx レーン 3 入力、データの+/-。
M15, M14	SERDIN4+, SERDIN4-	Input	JRx レーン 4 入力、データの+/-。
V15, V14	SERDIN5+, SERDIN5-	Input	JRx レーン 5 入力、データの+/-。
T15, T14	SERDIN6+, SERDIN6-	Input	JRx レーン 6 入力、データの+/-。
P15, P14	SERDIN7+, SERDIN7-	Input	JRx レーン 7 入力、データの+/-。
U13, V13	SYNC0OUTB+, SYNC0OUTB-	Output	JESD204B インターフェースの JRx リンク 0 同期出力。これらのピンは LVDS または CMOS のどちらかに設定できます。また、LVDS モードでは差動 100Ω 出力インピーダンスとしても利用できます。
U12, V12	SYNC1OUTB+, SYNC1OUTB-	Output	JESD204B インターフェースの JRx リンク 1 同期出力、または送信高速周波数ホッピング (FFH) 機能を制御するための CMOS 入力。JRx リンク同期の場合には、これらのピンを LVDS または CMOS 出力として設定できます。また、LVDS モードでは差動 100Ω 出力インピーダンスとしても利用できます。
A15, A14	SERDOUT0+, SERDOUT0-	Output	JTx レーン 0 出力、データの+/-。
C15, C14	SERDOUT1+, SERDOUT1-	Output	JTx レーン 1 出力、データの+/-。
E15, E14	SERDOUT2+, SERDOUT2-	Output	JTx レーン 2 出力、データの+/-。
G15, G14	SERDOUT3+, SERDOUT3-	Output	JTx レーン 3 出力、データの+/-。
H18, H17	SERDOUT4+, SERDOUT4-	Output	JTx レーン 4 出力、データの+/-。
F18, F17	SERDOUT5+, SERDOUT5-	Output	JTx レーン 5 出力、データの+/-。
D18, D17	SERDOUT6+, SERDOUT6-	Output	JTx レーン 6 出力、データの+/-。
B18, B17	SERDOUT7+, SERDOUT7-	Output	JTx レーン 7 出力、データの+/-。
B13, A13	SYNC0INB+, SYNC0INB-	Input	JESD204B インターフェースの JTx リンク 0 同期入力。これらのピンは、LVDS または CMOS のどちらかに設定できます。LVDS 動作では内部 100Ω 入力インピーダンスを選択することもできます。
B12, A12	SYNC1INB+, SYNC1INB-	Input	JESD204B インターフェースの JTx リンク 1 同期入力、または GPIOx ピンを介した受信 FFH の CMOS 入力。これらのピンは、LVDS または CMOS のどちらかに設定できます。LVDS 動作では内部 100Ω 入力インピーダンスを選択することもできます。
T4, T3	SYSREFP, SYSREFN	Input	アクティブ・ハイの JESD204B/C システム・リファレンス入力。これらのピンは、差動電流モード・ロジック (CML)、PECL、内部 100Ω 終端またはシングルエンドの CMOS を使用した LVDS に設定できます。
No Connects and Do Not Connects J6, K6	NC	NC	接続なし。これらのピンは未接続/接続のどちらにしておいても構いません。

ピン配置およびピン機能の説明

表 21. ピン機能の説明

ピン番号	記号	タイプ	説明
H4, L4, L15, L16	DNC	DNC	接続なし。これらのピンは、未接続のままにしておく必要があります。

¹ CMOS 入力には、プルアップ抵抗もプルダウン抵抗も内蔵されていません。

² SERDINx±と SERDOUTx±には、100Ωの内部終端抵抗が内蔵されています。

代表的な性能特性

DAC

データ曲線は、高調波とスプリアスが第1ナイキスト・ゾーン ($< f_{DAC}/2$) にあるときのすべての出力性能の平均値を示しています。SFDR、IMD3、NSD のすべてのデータは、実験用の評価ボードを使用して測定しています。位相ノイズと隣接チャンネル漏れ率 (ACLR) のすべてのデータは、AD9081-FMCA-EBZ 評価用ボード上で測定しています。JESD204B および JESD204C モードの設定に関する詳細については、UG-1578 ユーザ・ガイドを参照してください。

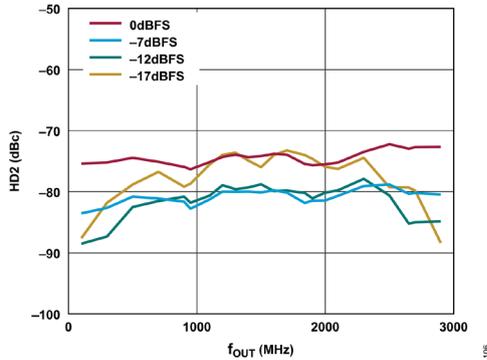


図 6. 様々なデジタル・スケールでの HD2 と f_{OUT} の関係、6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×、モード 15C

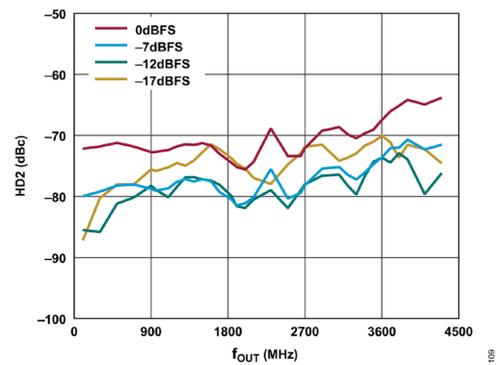


図 9. 様々なデジタル・スケールでの HD2 と f_{OUT} の関係、9GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×、モード 15C

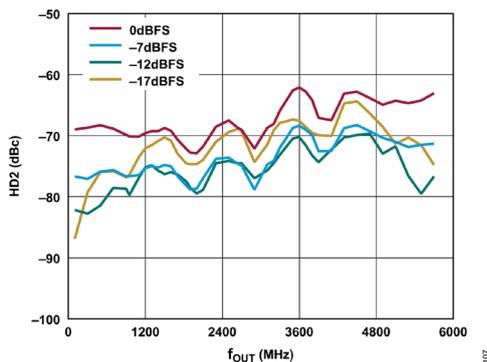


図 7. 様々なデジタル・スケールでの HD2 と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×、モード 15C

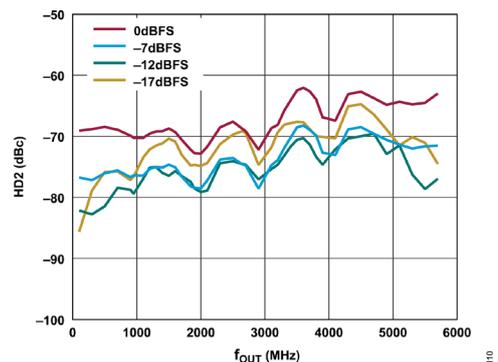


図 10. 様々なデジタル・スケールでの HD2 と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 4×、メイン・インターポレーション 8×、モード 16B

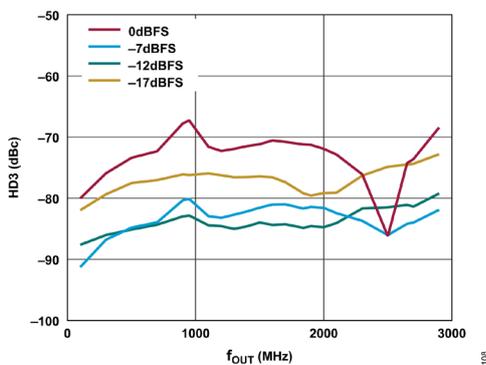


図 8. 様々なデジタル・スケールでの HD3 と f_{OUT} の関係、6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×、モード 15C

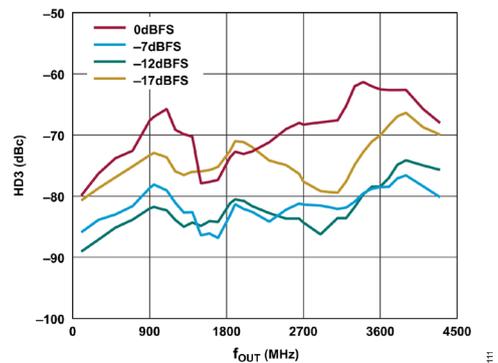


図 11. 様々なデジタル・スケールでの HD3 と f_{OUT} の関係、9GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×、モード 15C

代表的な性能特性

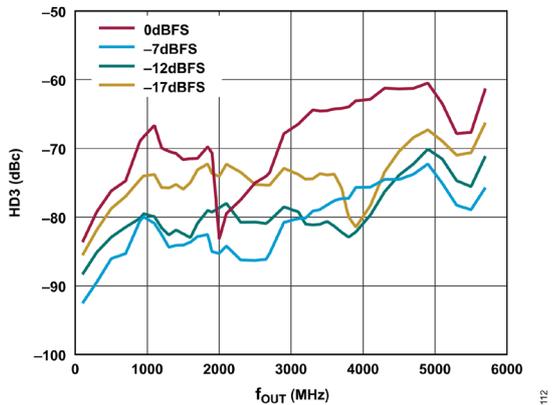


図 12. 様々なデジタル・スケールでの HD3 と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×、モード 15C

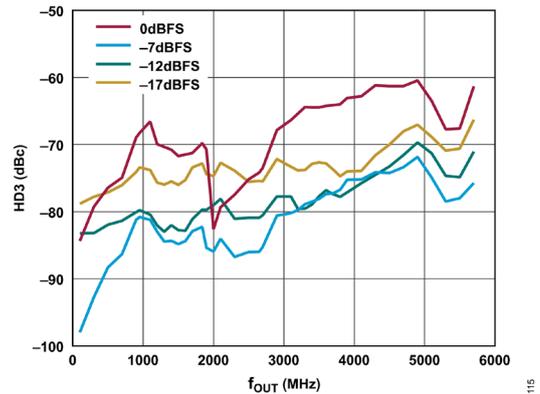


図 15. 様々なデジタル・スケールでの HD3 と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 4×、メイン・インターポレーション 8×、モード 16B

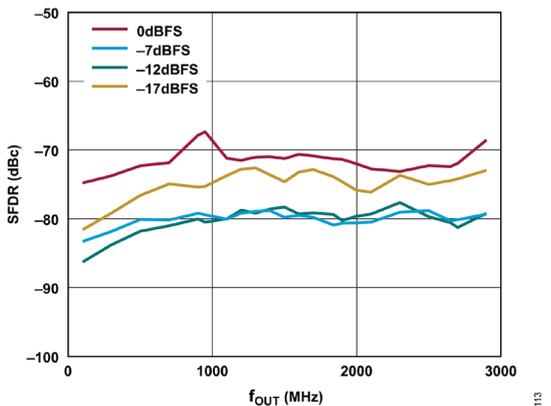


図 13. 様々なデジタル・スケールにおける最も厳しいスプリアスの SFDR と f_{OUT} の関係、6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×、モード 15C

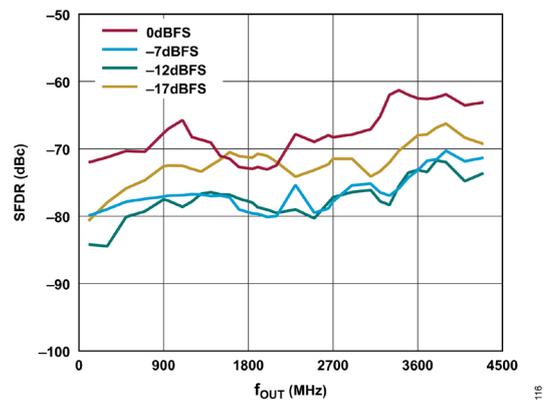


図 16. 様々なデジタル・スケールにおける最も厳しいスプリアスの SFDR と f_{OUT} の関係、9GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×、モード 15C

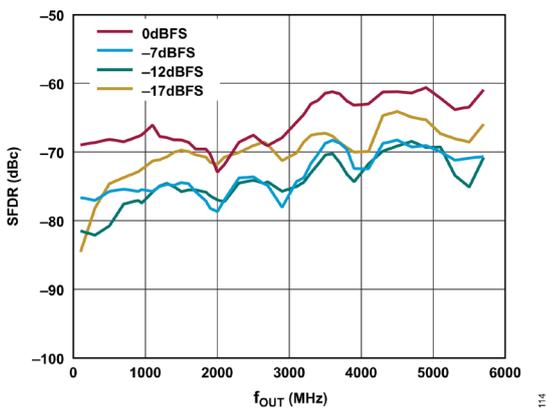


図 14. 様々なデジタル・スケールにおける最も厳しいスプリアスの SFDR と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×、モード 15C

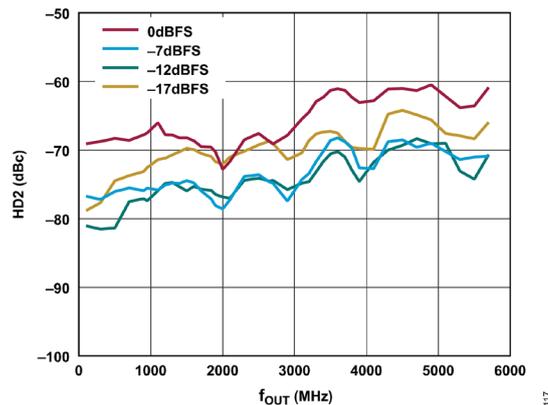


図 17. 様々なデジタル・スケールにおける最も厳しいスプリアスの SFDR と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 4×、メイン・インターポレーション 8×、モード 16B

代表的な性能特性

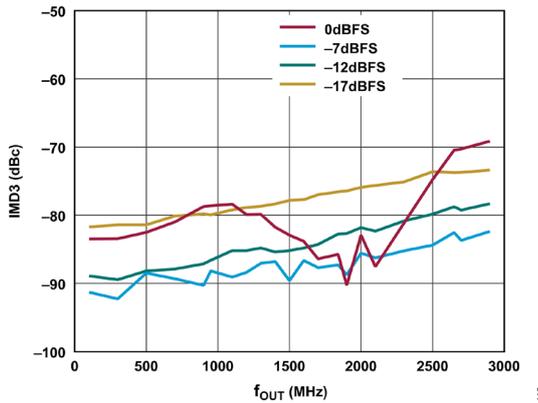


図 18. 様々なデジタル・スケールでの IMD3 と f_{OUT} の関係 (モード 17B)、6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×、モード 15C、IMD3 はツー・トーン・テスト、トーンあたりのスケールは表示されているデジタル・スケールより 6dB 低い値です。

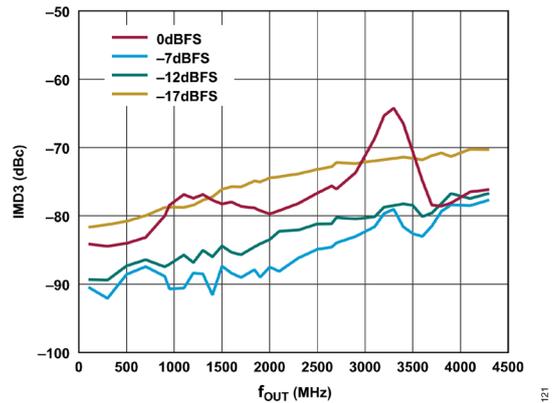


図 21. 様々なデジタル・スケールでの IMD3 と f_{OUT} の関係、9GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×、モード 15C、IMD3 はツー・トーン・テスト、トーンあたりのスケールは表示されているデジタル・スケールより 6dB 低い値です。

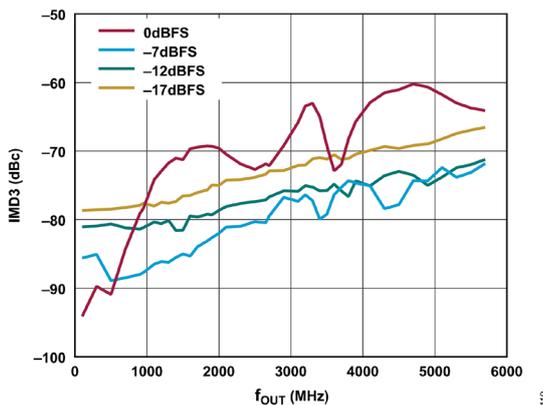


図 19. 様々なデジタル・スケールでの IMD3 と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×、モード 15C、IMD3 はツー・トーン・テスト、トーンあたりのスケールは表示されているデジタル・スケールより 6dB 低い値です。

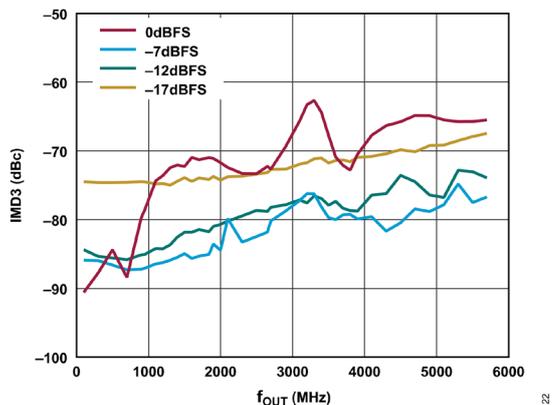


図 22. 様々なデジタル・スケールでの IMD3 と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 4×、メイン・インターポレーション 8×、モード 16B、IMD3 はツー・トーン・テスト、トーンあたりのスケールは表示されているデジタル・スケールより 6dB 低い値です。

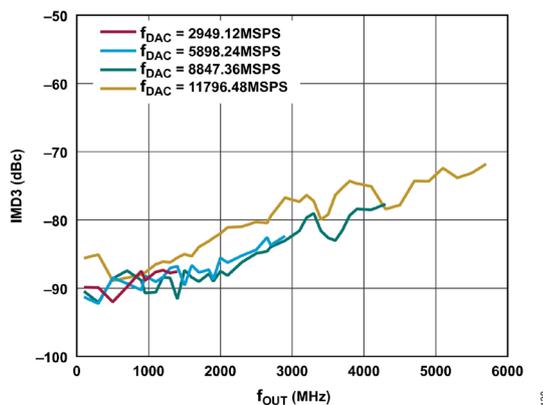


図 20. 様々な f_{DAC} での IMD3 と f_{OUT} の関係、デジタル・スケール = -7dBFS、IMD3 はツー・トーン・テスト、トーンあたりのスケールは表示されているデジタル・スケールより 6dB 低い値です。

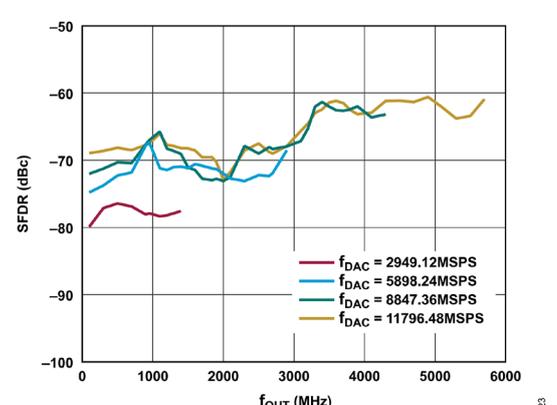


図 23. 様々な f_{DAC} における最も厳しいインバンド・スプリアスの SFDR と f_{OUT} の関係、0dBFS トーン・レベル

代表的な性能特性

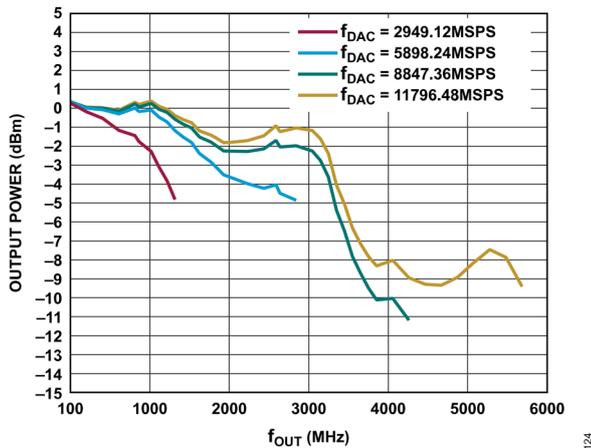


図 24. 様々な f_{DAC} での DAC0 基本波出力電力と f_{OUT} の関係、0dBFS デジタル・バック・オフ、実験用の評価ボードを使用して測定、AD9081FMCA-EBZ 評価用ボードはこの実験用評価ボードと比べて異なる PCB レイアウトのため、異なる周波数応答が得られます。

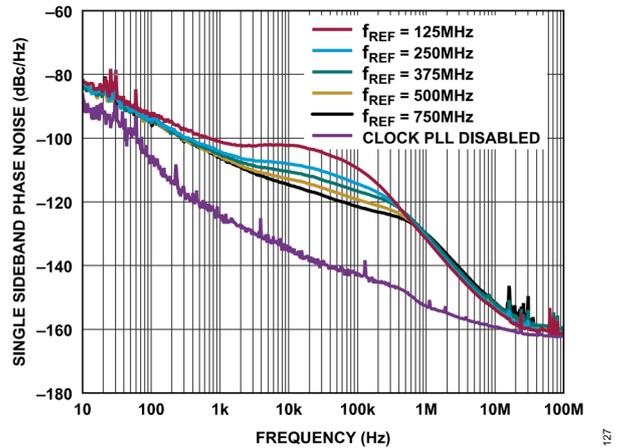


図 27. 様々な PLL リファレンス・クロック (f_{REF}) での単側波帯位相ノイズと周波数オフセットの関係、 $f_{OUT} = 1.8GHz$ 、 $f_{DAC} = 12GSPS$ 、PLL イネーブル (クロック PLL ディスエーブルの場合のみ外部 12GHz クロック入力を使用)

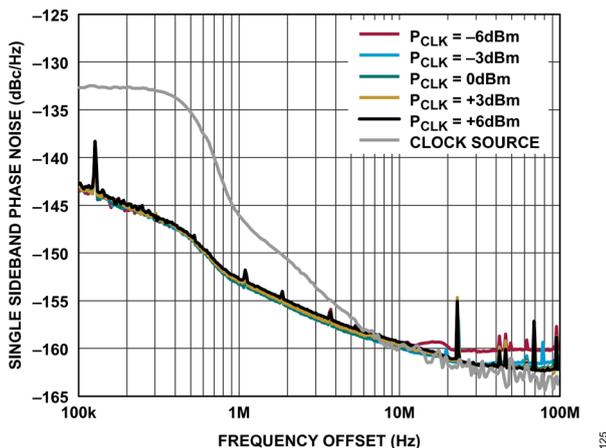


図 25. 様々なクロック入力電力 (P_{CLK}) での単側波帯位相ノイズと周波数オフセットの関係、 $f_{OUT} = 1.8GHz$ 、クロック PLL をディスエーブルして外部 12GHz クロック入力を使用

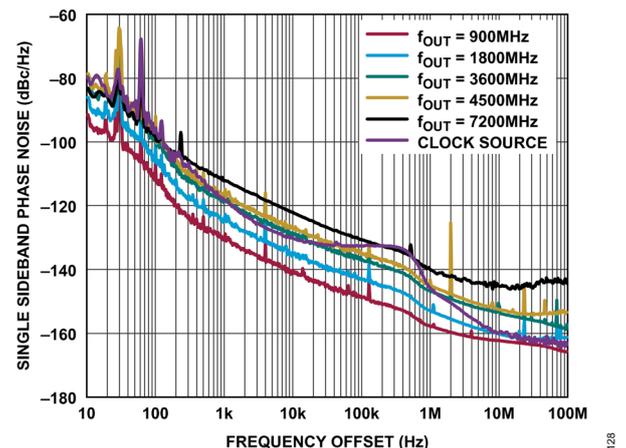


図 28. 様々な DAC 出力周波数 (f_{OUT}) での単側波帯位相ノイズと周波数オフセットの関係、クロック PLL をディスエーブルして外部 12GHz クロック入力を使用

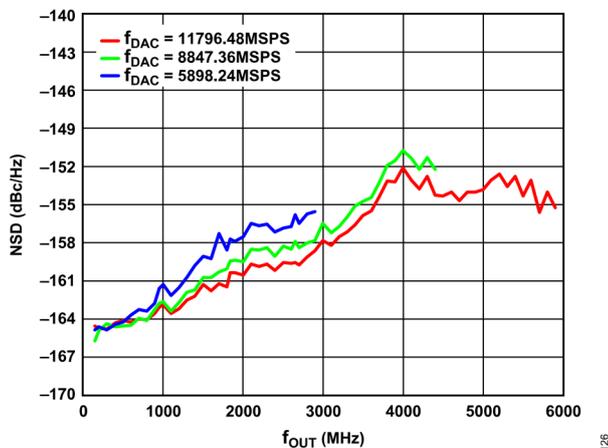


図 26. 様々な f_{DAC} での、 f_{OUT} から 10% のオフセットで測定したシングル・トーン NSD と f_{OUT} の関係、シャッフル・オン、16 ビット分解能、モード 15C

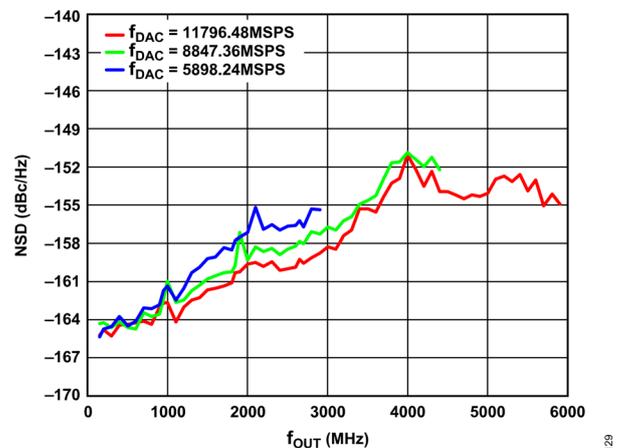


図 29. 様々な f_{DAC} での、 f_{OUT} から 10% のオフセットで測定したシングル・トーン NSD と f_{OUT} の関係、12 ビット分解能、シャッフル・オン、モード 24C

代表的な性能特性

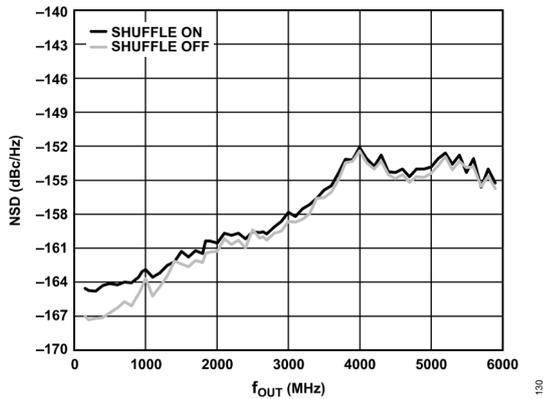


図 30. f_{OUT} から 10% のオフセットで測定したシングル・トーン NSD と f_{OUT} の関係、シャッフル・オンとシャッフル・オフでの比較、 $f_{DAC} = 11796.48\text{MSPS}$ 、16 ビット分解能、モード 15C

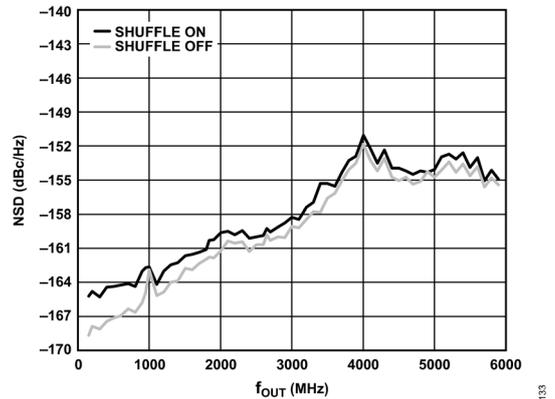


図 33. f_{OUT} から 10% のオフセットで測定したシングル・トーン NSD と f_{OUT} の関係、シャッフル・オンとシャッフル・オフでの比較、 $f_{DAC} = 11796.48\text{MSPS}$ 、12 ビット分解能、モード 24C

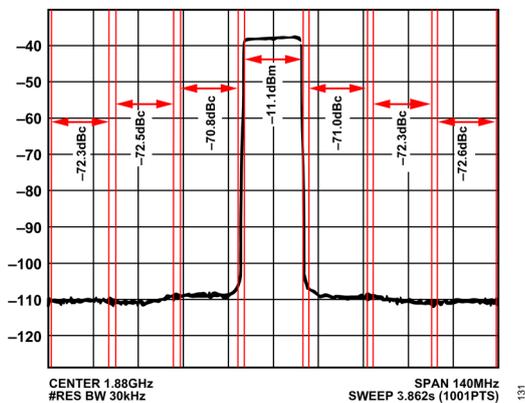


図 31. 2 つの 20MHz LTE キャリアでのデュアル・バンド ACLR 性能、 $f_{OUT} = 1.88\text{GHz}$ および $f_{OUT} = 2.145\text{GHz}$ (広帯域プロットは図 32 を参照)、 $f_{OUT} = 1.88\text{GHz}$ のキャリアを拡大して表示、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクトルの PAR = 7.7dB、-1dBFS のバック・オフ、チャンネル・インターポレーション 3 ×、メイン・インターポレーション 8 ×、モード 9C

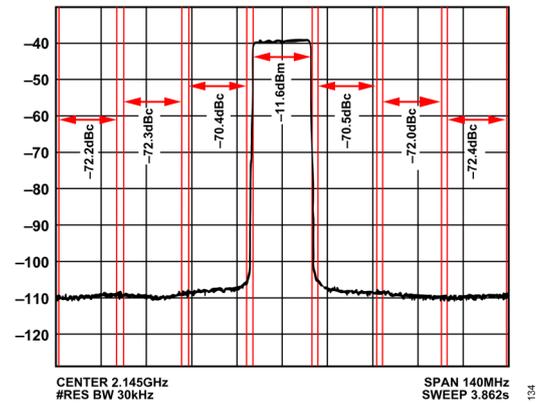


図 34. 2 つの 20MHz LTE キャリアでのデュアル・バンド ACLR 性能、 $f_{OUT} = 1.88\text{GHz}$ および $f_{OUT} = 2.145\text{GHz}$ (広帯域プロットは図 32 を参照)、 $f_{OUT} = 2.145\text{GHz}$ のキャリアを拡大して表示、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクトルの PAR = 7.7dB、-1dBFS のバック・オフ、チャンネル・インターポレーション 3 ×、メイン・インターポレーション 8 ×、モード 9C

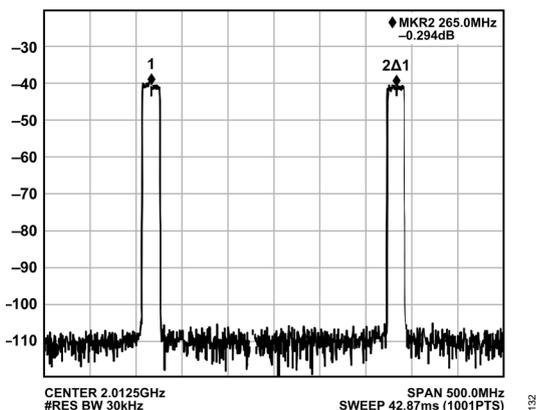


図 32. 2 つの 20MHz LTE キャリアでのデュアル・バンド広帯域プロット、 $f_{OUT} = 1.88\text{GHz}$ および $f_{OUT} = 2.145\text{GHz}$ (3GPP バンド、B1 および B3)、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクトルの PAR = 7.7dB、-1dBFS のバック・オフ、チャンネル・インターポレーション 3 ×、メイン・インターポレーション 8 ×、モード 9C

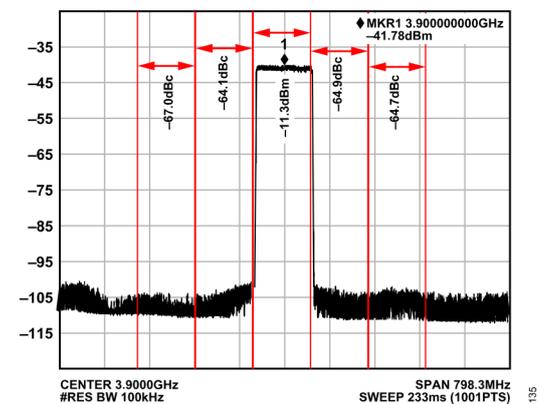


図 35. 100MHz 5G テスト・ベクトルでの ACLR 性能、 $f_{OUT} = 3.9\text{GHz}$ 、 $f_{DAC} = 11.898\text{GSPS}$ 、テスト・ベクトルのピーク対 RMS = 11.7dB、-1dBFS のバック・オフ (モード 9C)、チャンネル・インターポレーション 3 ×、メイン・インターポレーション 8 ×

代表的な性能特性

ADC : 4GSPS

特に指定のない限り、公称電源、サンプリング・レート=4GSPS、ダイレクト RF クロック使用による DAC クロック周波数 (f_{CLK}) = 12GHz、フル帯域幅モードによる動作 (デシメーションなし)、 $T_J = 80^\circ C$ ($T_A = 25^\circ C$)、5 点平均による 128k FFT サンプル、 $A_{IN} = -1dBFS$ 。

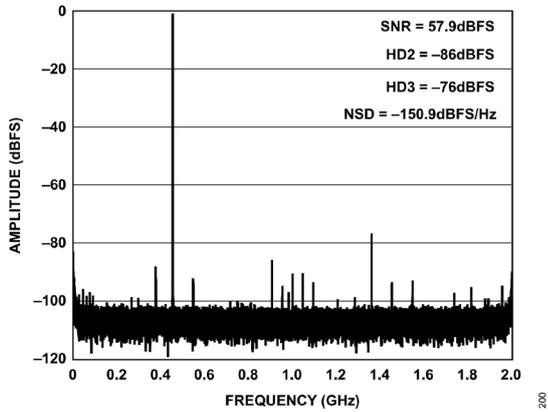


図 36. シングル・トーン FFT、 $f_{IN} = 450MHz$

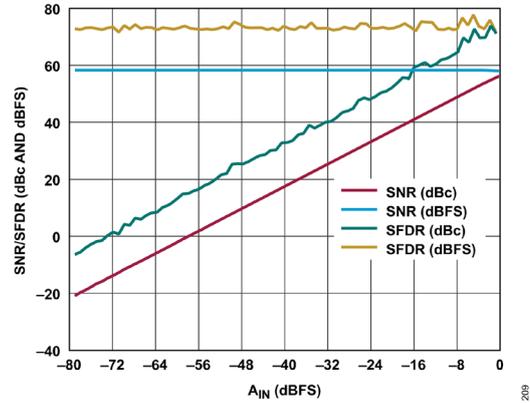


図 39. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 450MHz$

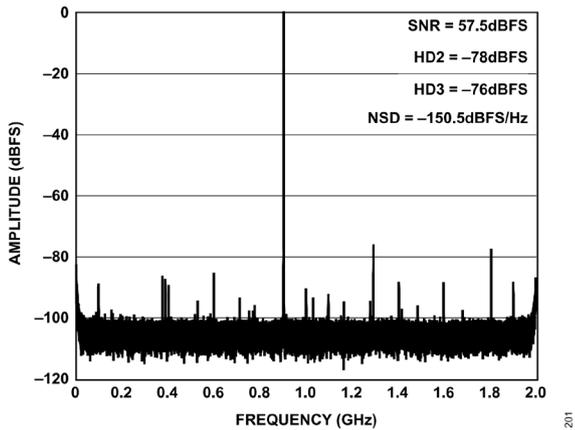


図 37. シングル・トーン FFT、 $f_{IN} = 900MHz$

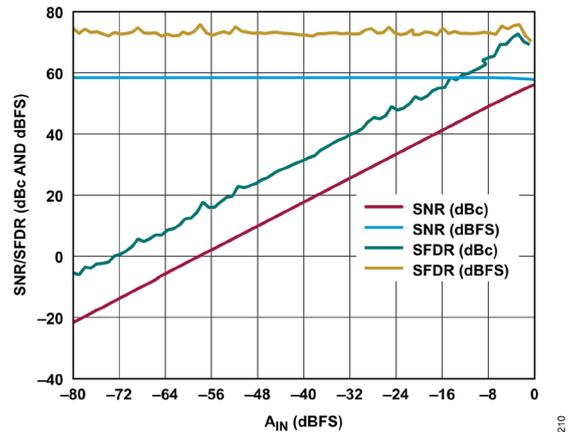


図 40. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 900MHz$

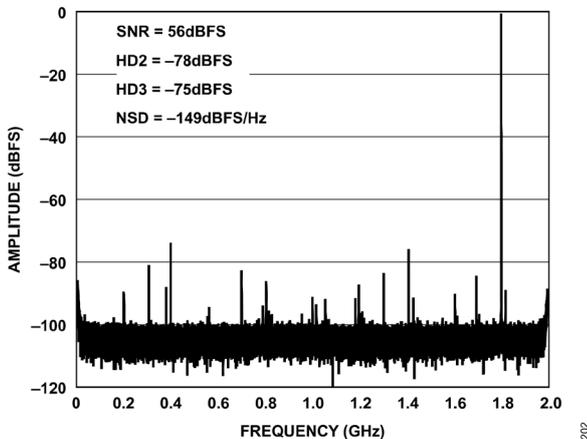


図 38. シングル・トーン FFT、 $f_{IN} = 1800MHz$

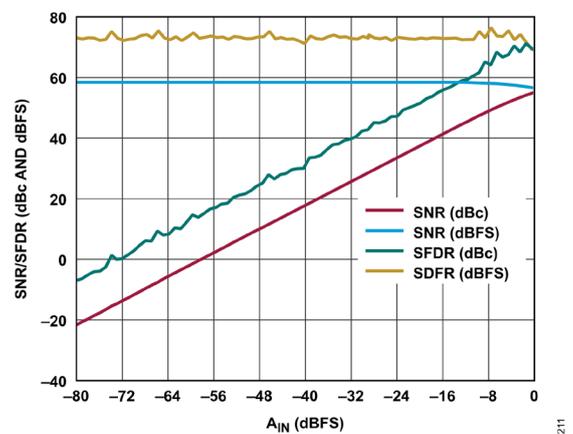


図 41. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 1800MHz$

代表的な性能特性

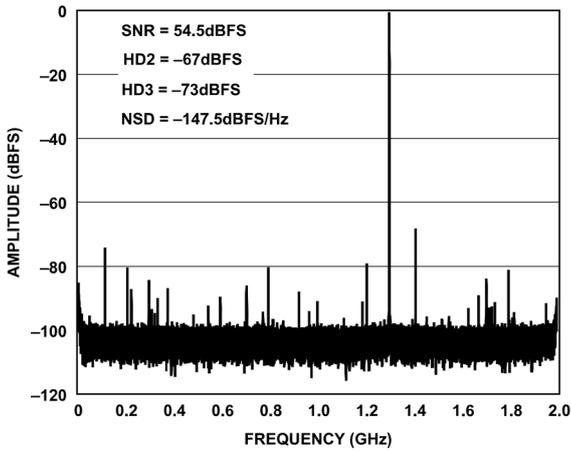


図 42. シングル・トーン FFT、 $f_{IN} = 2700\text{MHz}$

203

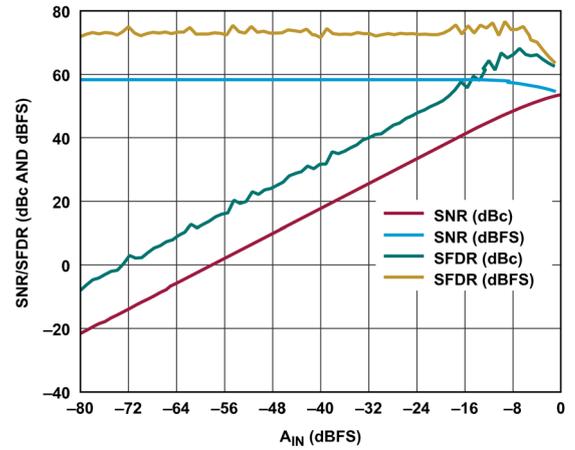


図 45. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 2700\text{MHz}$

212

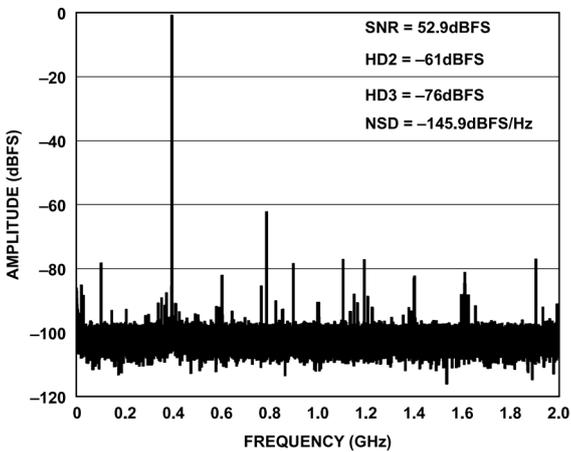


図 43. シングル・トーン FFT、 $f_{IN} = 3600\text{MHz}$

204

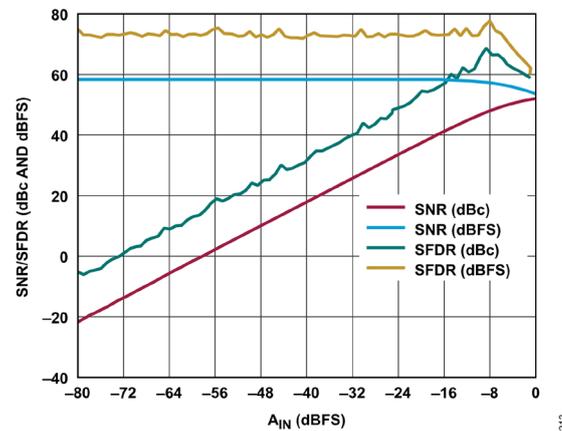


図 46. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 3600\text{MHz}$

213

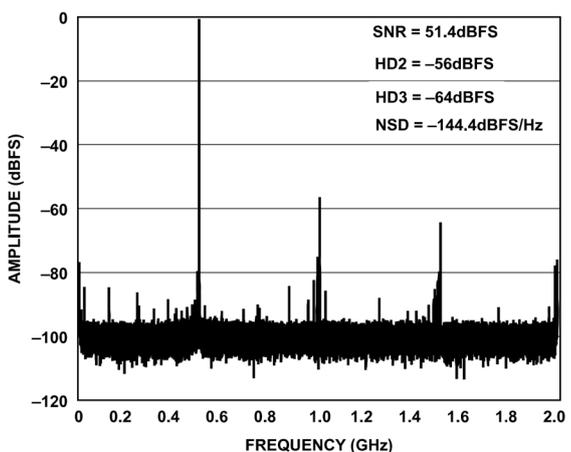


図 44. シングル・トーン FFT、 $f_{IN} = 4500\text{MHz}$

205

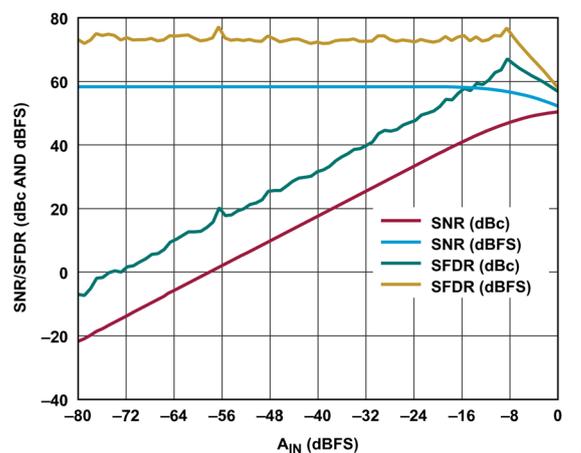


図 47. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 4500\text{MHz}$

214

代表的な性能特性

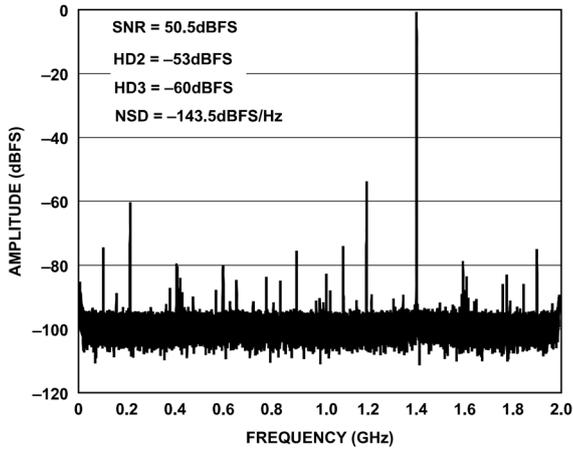


図 48. シングル・トーン FFT、 $f_{IN} = 5400\text{MHz}$

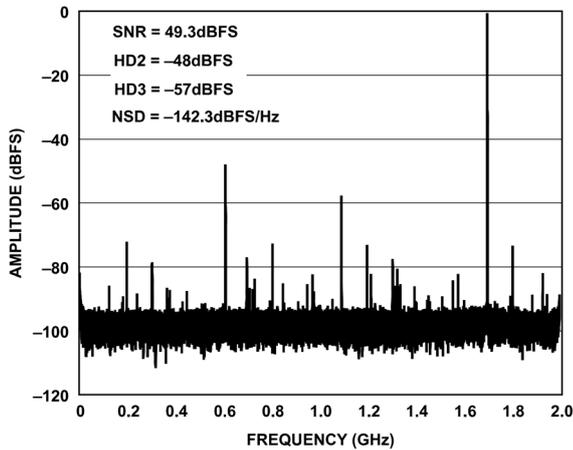


図 49. シングル・トーン FFT、 $f_{IN} = 6300\text{MHz}$

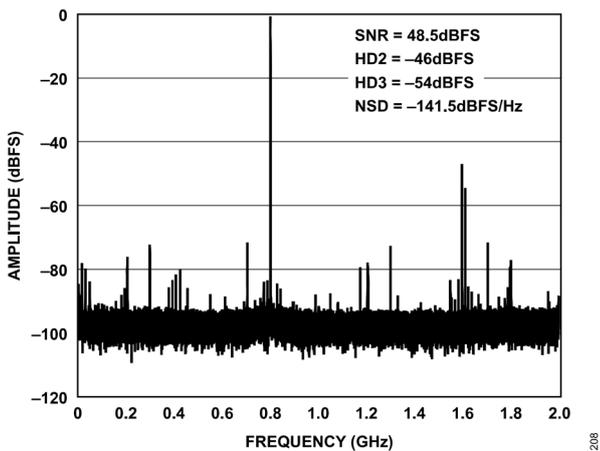


図 50. シングル・トーン FFT、 $f_{IN} = 7200\text{MHz}$

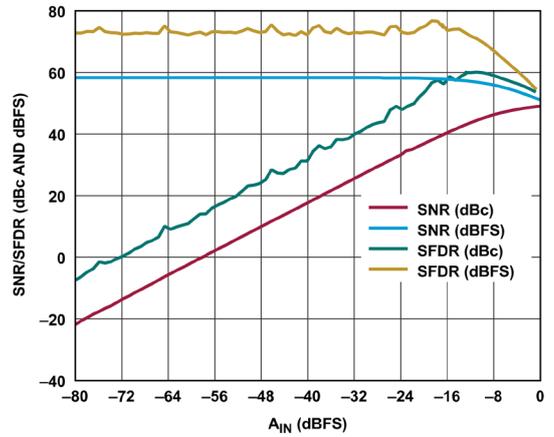


図 51. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 5400\text{MHz}$

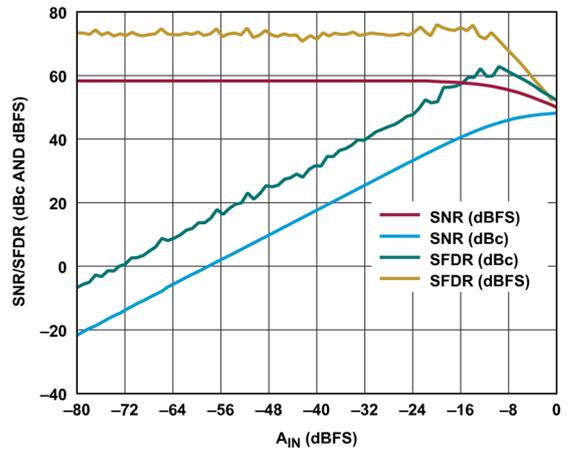


図 52. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 6300\text{MHz}$

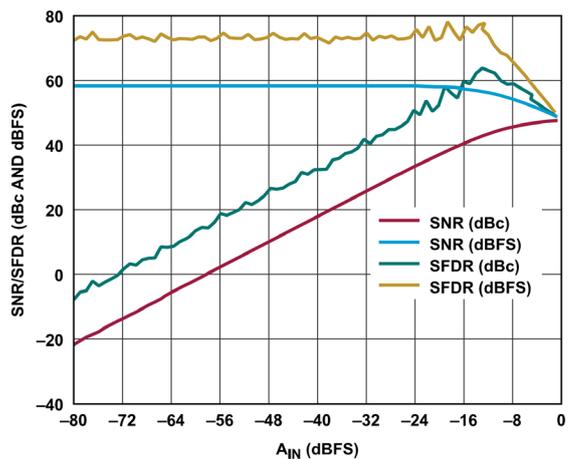


図 53. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 7200\text{MHz}$

代表的な性能特性

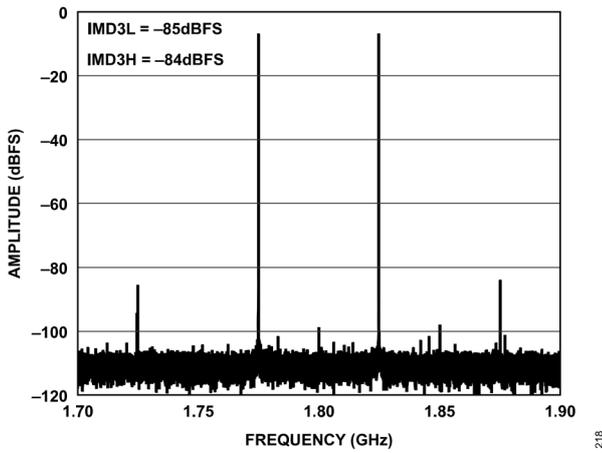


図 54. ツー・トーン FFT、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ (IMD3L = $2f_{IN1} - f_{IN2}$ 、IMD3H = $2f_{IN2} - f_{IN1}$)

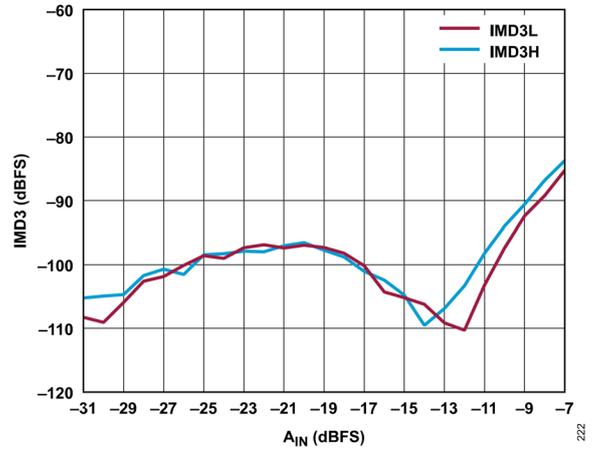


図 57. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$

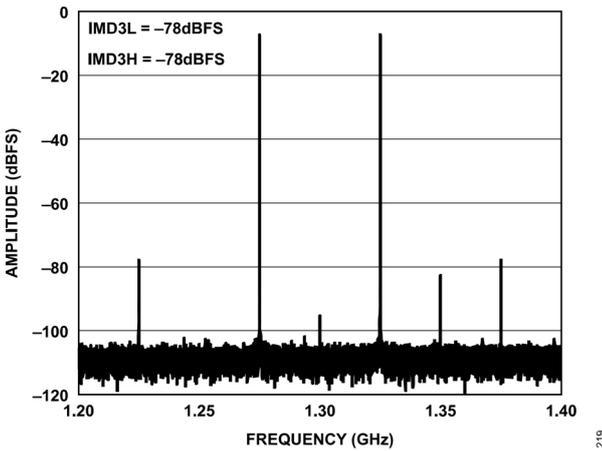


図 55. ツー・トーン FFT、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

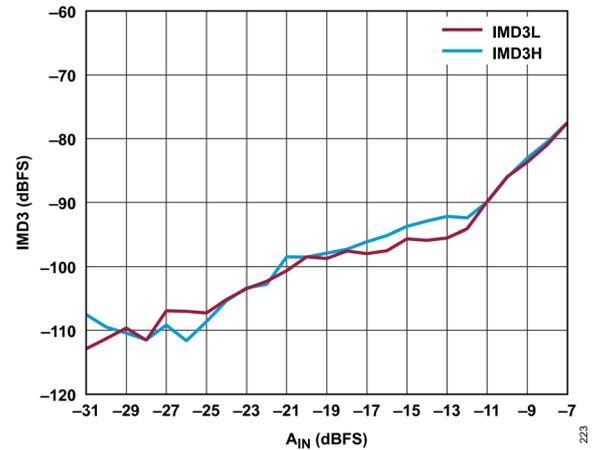


図 58. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$

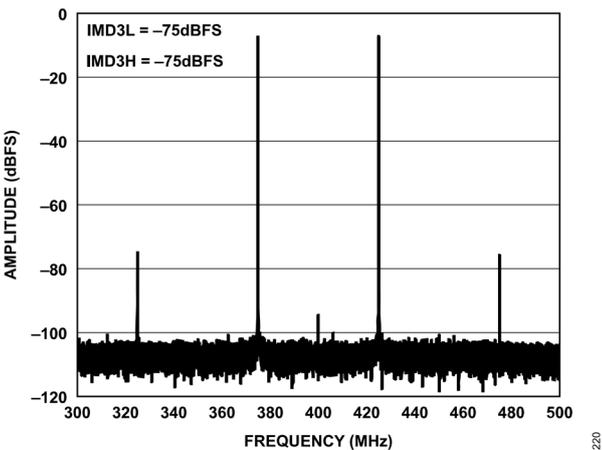


図 56. ツー・トーン FFT、 $f_{IN1} = 3.575\text{GHz}$ 、 $f_{IN2} = 3.625\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

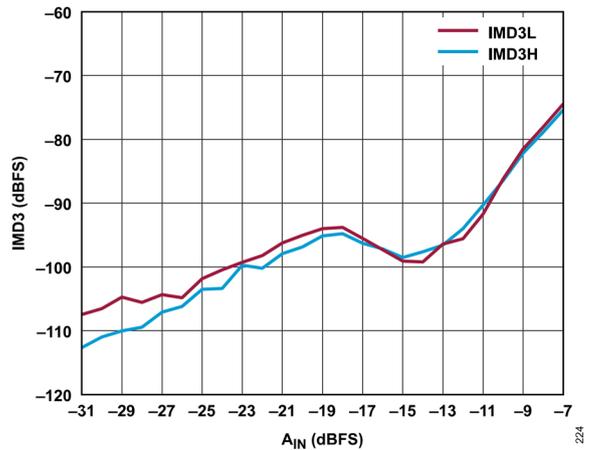


図 59. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 3.575\text{GHz}$ 、 $f_{IN2} = 3.625\text{GHz}$

代表的な性能特性

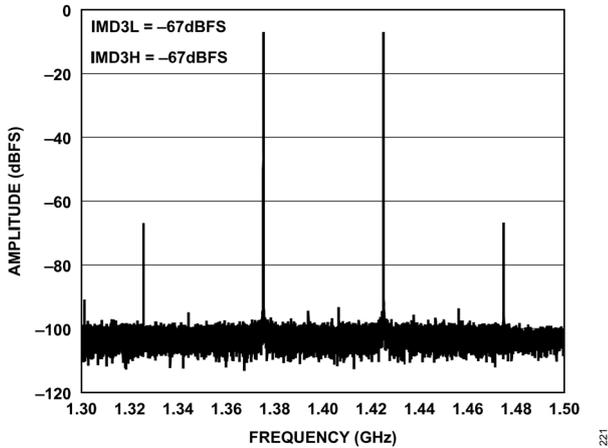


図 60. ツー・トーン FFT、 $f_{IN1} = 5.375\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

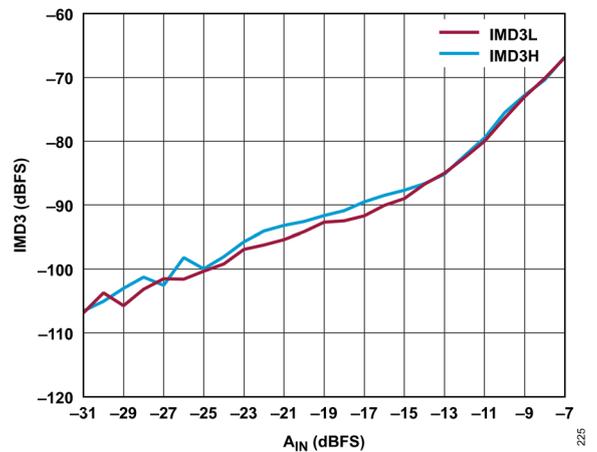


図 63. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 5.375\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$

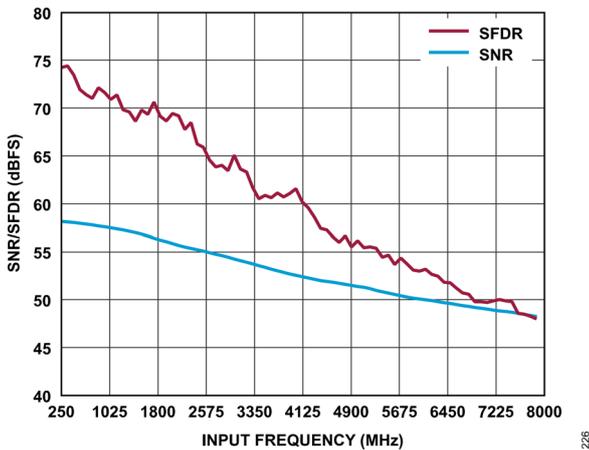


図 61. S/N 比、SFDR と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$

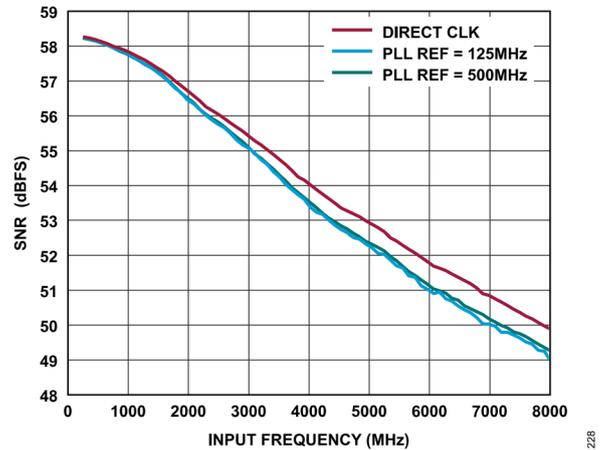


図 64. S/N 比と入力周波数の関係、ダイレクト・クロックとオンチップ PLL クロックの比較、 $f_s = 4\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$

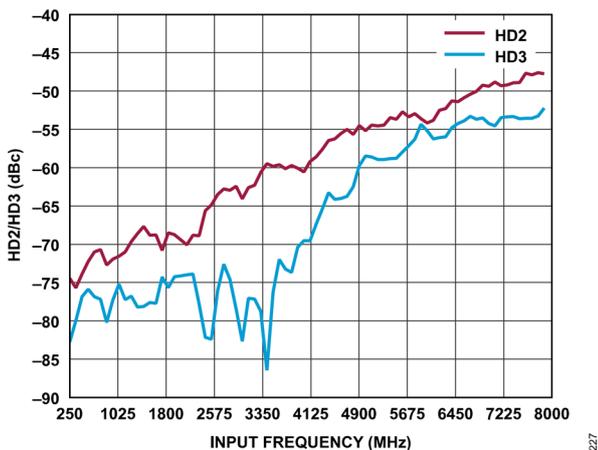


図 62. 高調波 (HD2 および HD3) と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$

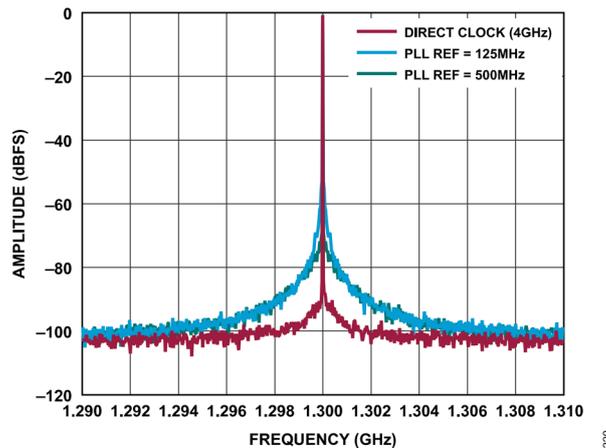


図 65. 拡大して表示した FFT、ダイレクト・クロックとオンチップ PLL クロックの比較、 $f_s = 4\text{GHz}$ 、 $f_{IN} = 2.7\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$

代表的な性能特性

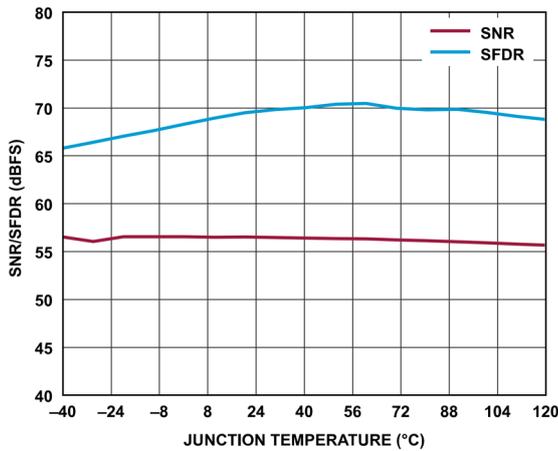


図 66. S/N 比、SFDR とダイ温度の関係、 $f_{IN} = 1.85\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$

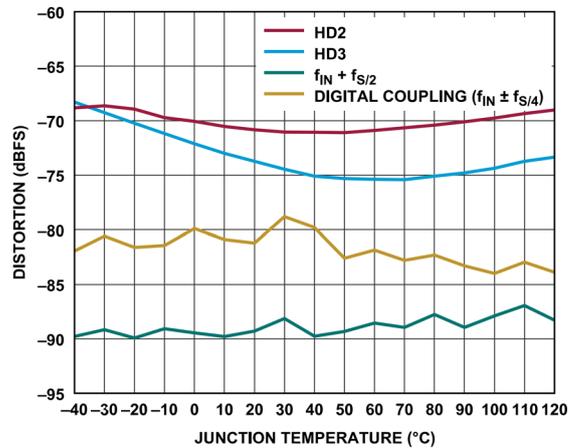


図 69. 高調波 (HD2、HD3 およびインターリーブ) とダイ温度の関係、 $f_{IN} = 1.85\text{GHz}$

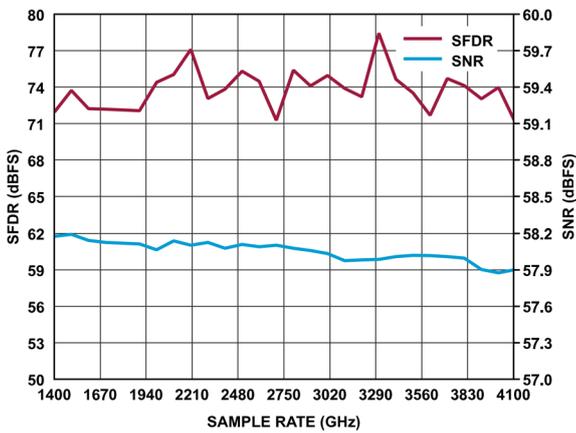


図 67. S/N 比、SFDR とサンプル周波数 (f_s) の関係、 $f_{IN} = 450\text{MHz}$

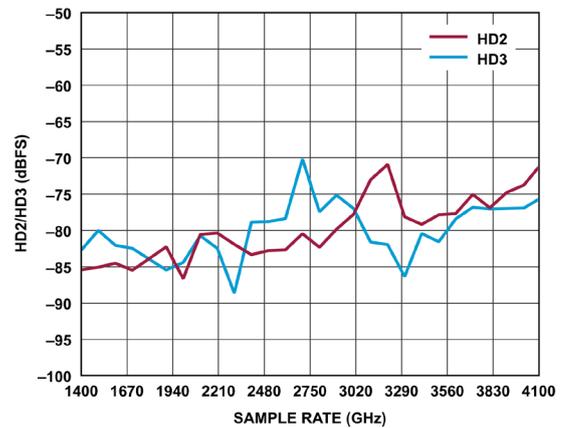


図 70. 高調波 (HD2 および HD3) とサンプル周波数 (f_s) の関係、 $f_{IN} = 450\text{MHz}$

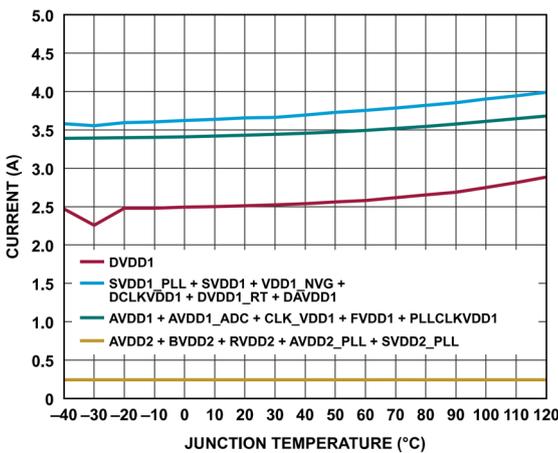


図 68. 電力とダイ温度の関係、 $f_{IN} = 1.85\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$

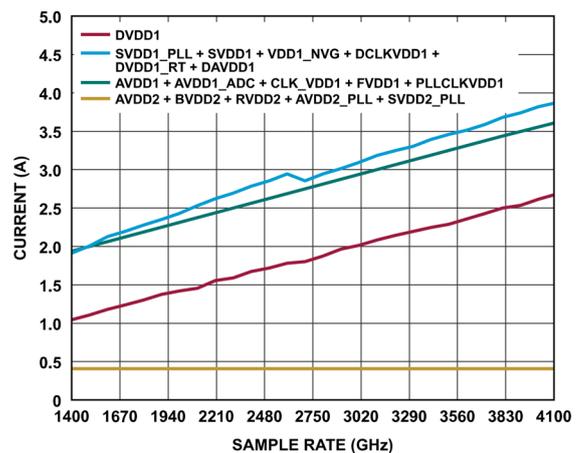


図 71. 電力とサンプル周波数 (f_s) の関係、 $f_{IN} = 450\text{MHz}$

代表的な性能特性

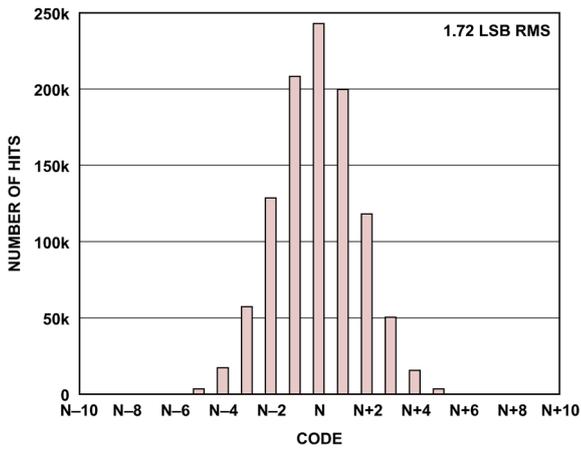


図 72. 入力換算ノイズのヒストグラム

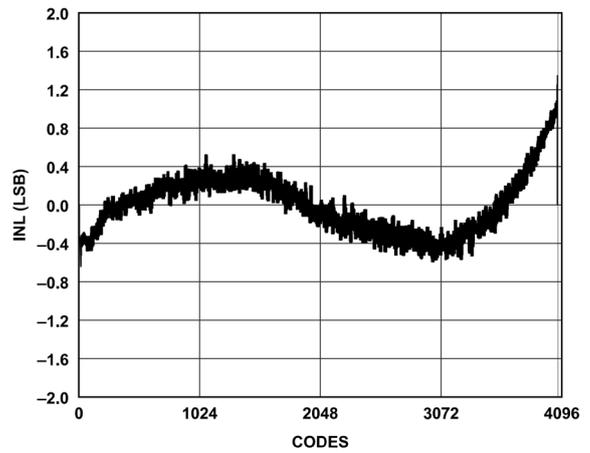


図 75. INL、 $f_{IN} = 255\text{MHz}$

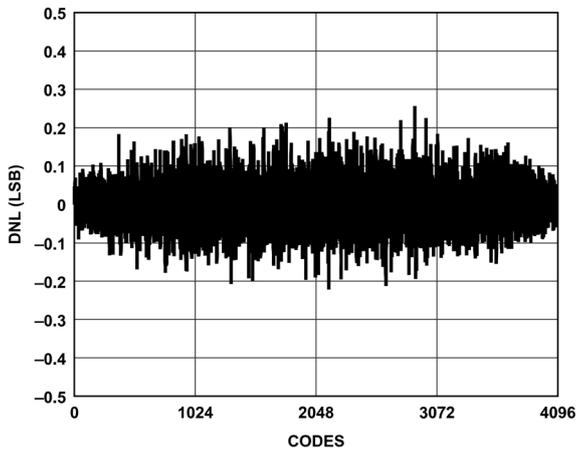


図 73. DNL、 $f_{IN} = 255\text{MHz}$

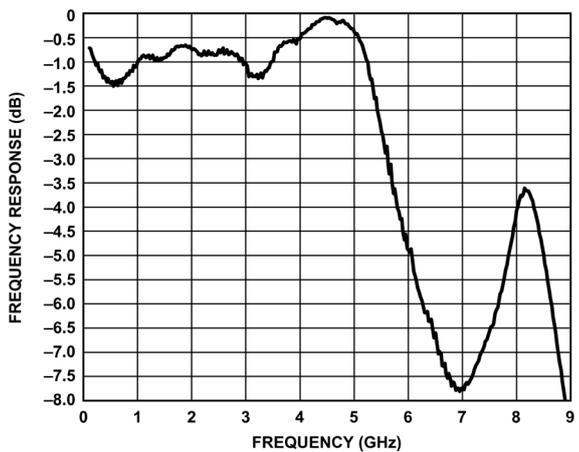


図 74. AD9081-FMCA-EBZ の ADC 入力における入力帯域幅の測定値 (マッチング回路なし)

代表的な性能特性

ADC : 3GSPS

特に指定のない限り、公称電源、サンプリング・レート = 3GSPS、ダイレクト RF クロック使用による DAC クロック周波数 (f_{CLK}) = 12GHz、フル帯域幅モードによる動作 (デシメーションなし)、 $T_J = 80^\circ C$ ($T_A = 25^\circ C$)、5点平均による 128k FFT サンプル、 $A_{IN} = -1dBFS$ 。

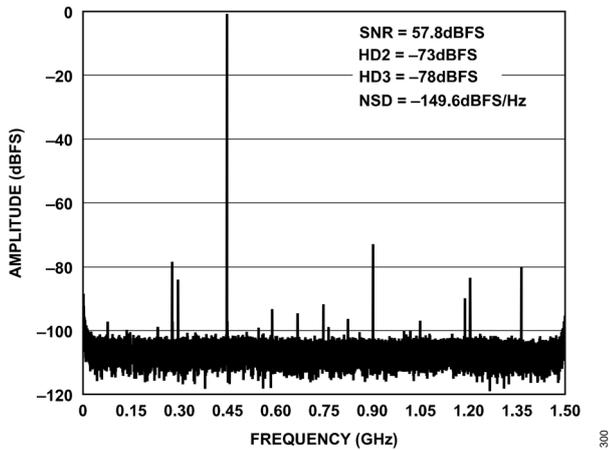


図 76. シングル・トーン FFT、 $f_{IN} = 450MHz$

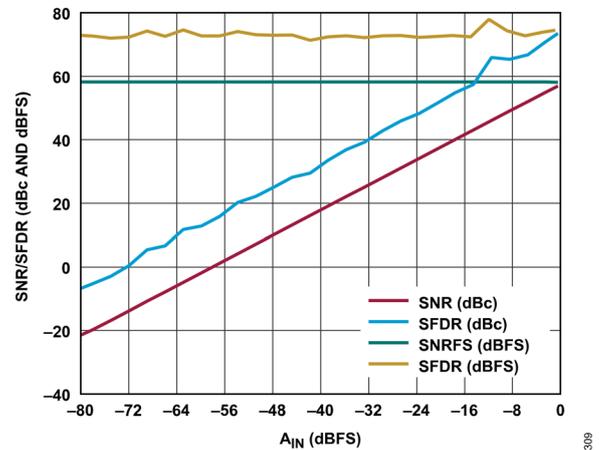


図 79. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 450MHz$

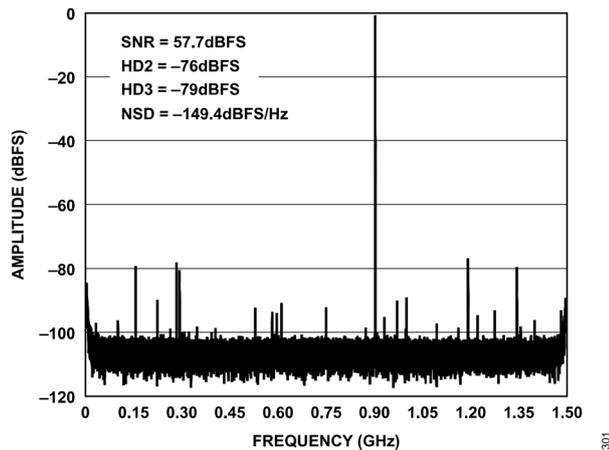


図 77. シングル・トーン FFT、 $f_{IN} = 900MHz$

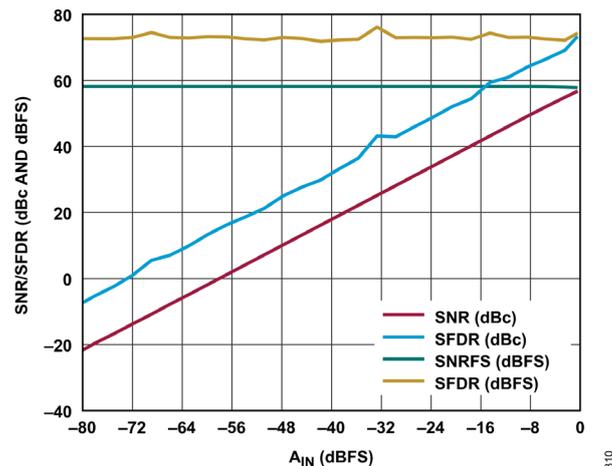


図 80. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 900MHz$

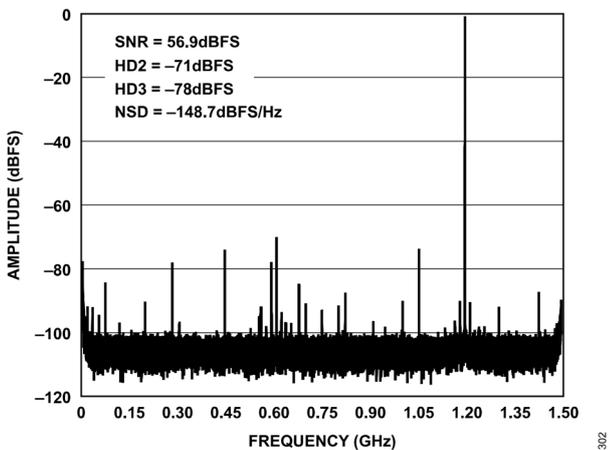


図 78. シングル・トーン FFT、 $f_{IN} = 1800MHz$

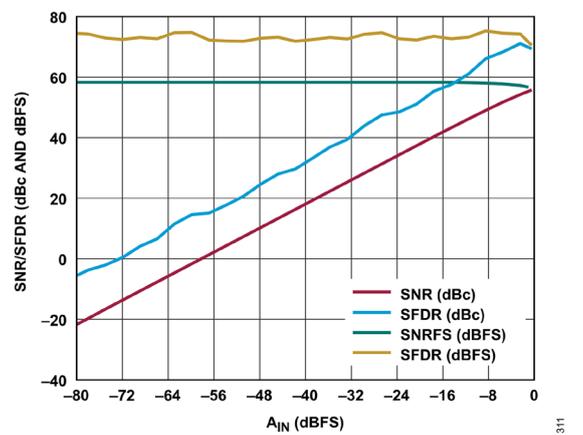


図 81. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 1800MHz$

代表的な性能特性

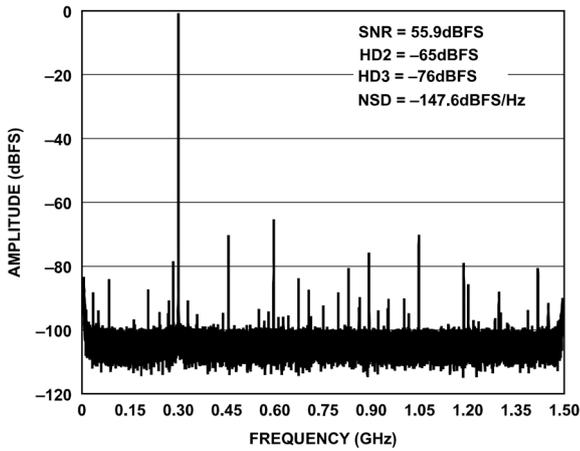


図 82. シングル・トーン FFT, $f_{IN} = 2700\text{MHz}$

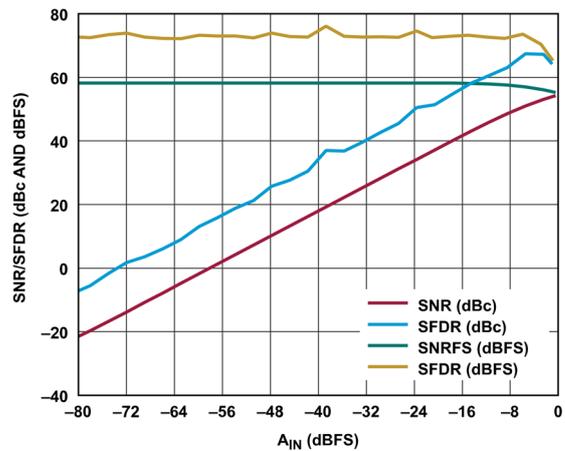


図 85. シングル・トーン SFDR および S/N 比と A_{IN} の関係, $f_{IN} = 2700\text{MHz}$

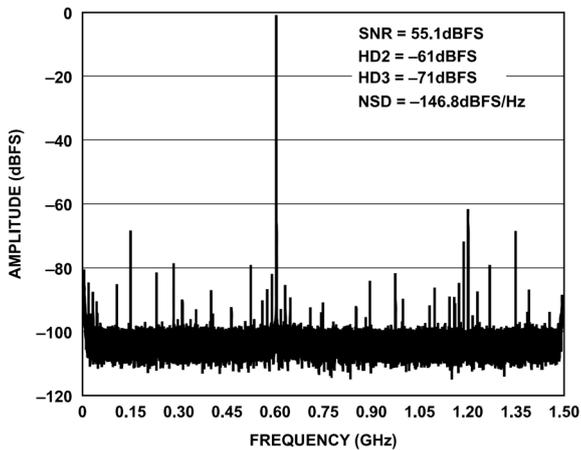


図 83. シングル・トーン FFT, $f_{IN} = 3600\text{MHz}$

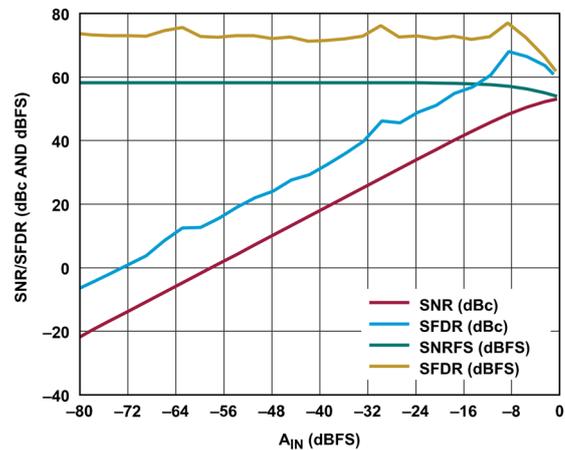


図 86. シングル・トーン SFDR および S/N 比と A_{IN} の関係, $f_{IN} = 3600\text{MHz}$

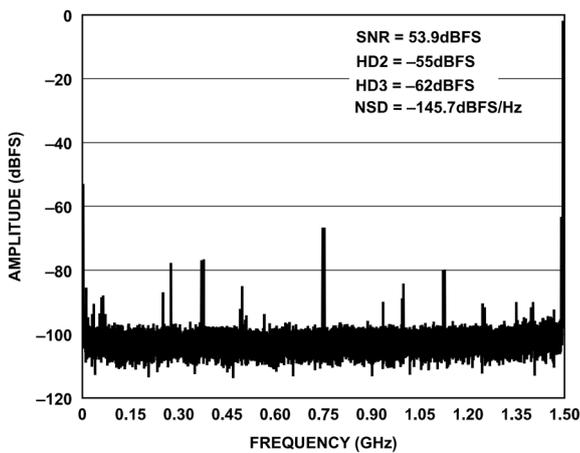


図 84. シングル・トーン FFT, $f_{IN} = 4500\text{MHz}$

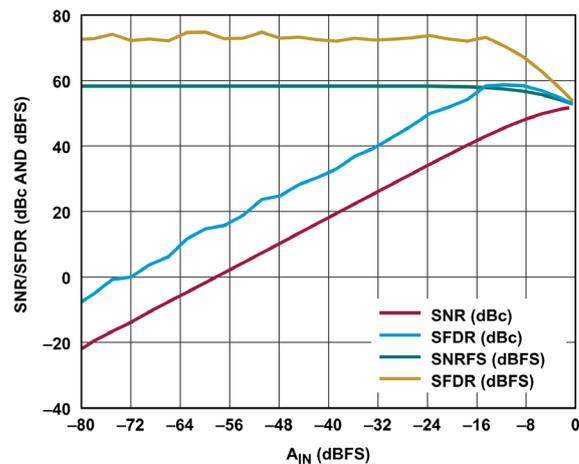


図 87. シングル・トーン SFDR および S/N 比と A_{IN} の関係, $f_{IN} = 4500\text{MHz}$

代表的な性能特性

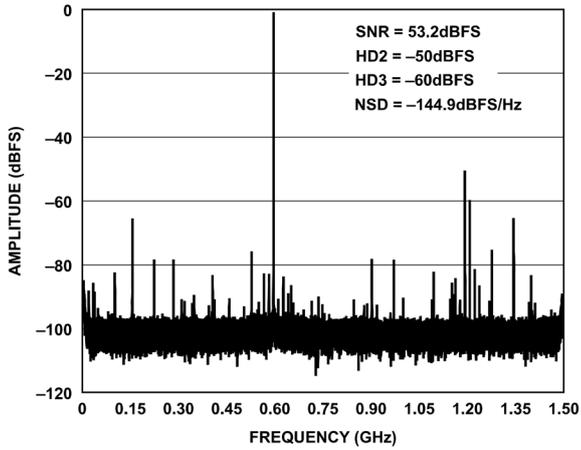


図 88. シングル・トーン FFT、 $f_{IN} = 5400\text{MHz}$

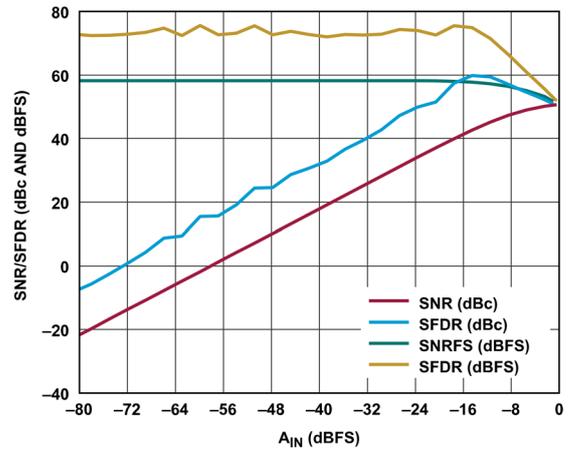


図 91. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 5400\text{MHz}$

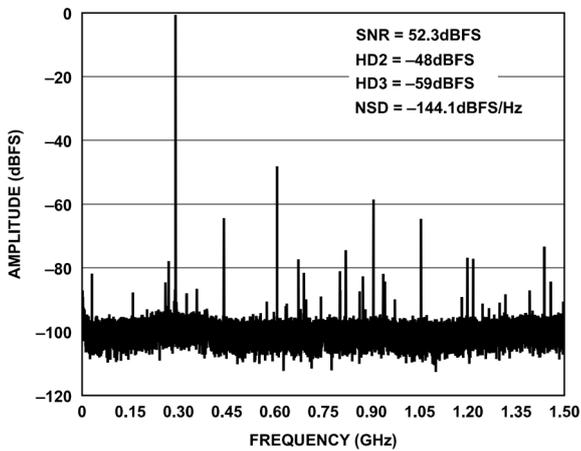


図 89. シングル・トーン FFT、 $f_{IN} = 6300\text{MHz}$

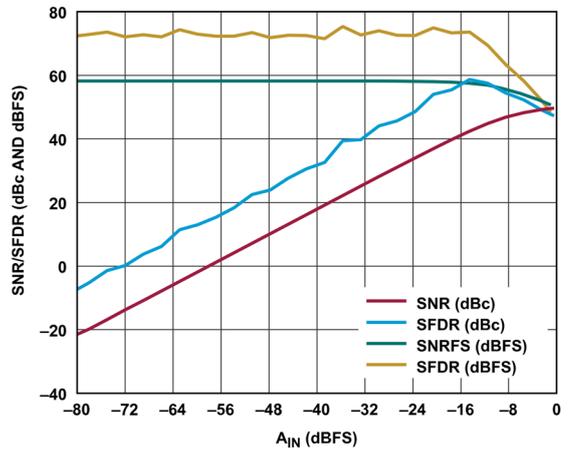


図 92. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 6300\text{MHz}$

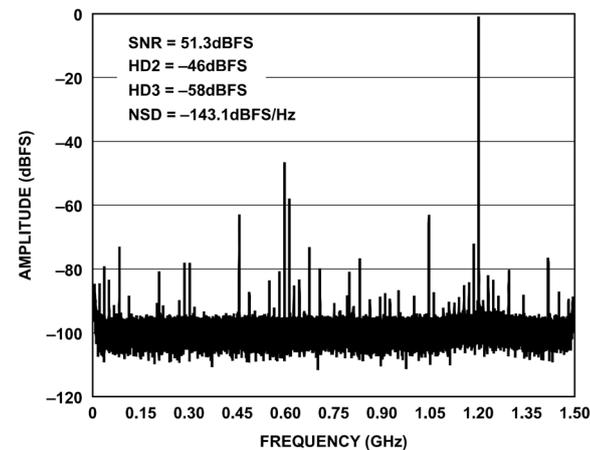


図 90. シングル・トーン FFT、 $f_{IN} = 7200\text{MHz}$

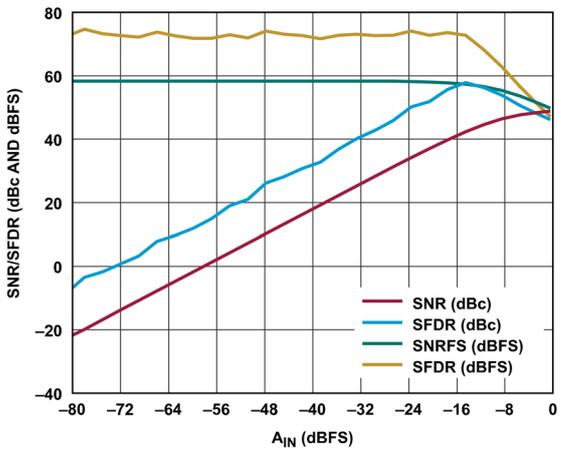


図 93. シングル・トーン SFDR および S/N 比と A_{IN} の関係、 $f_{IN} = 7200\text{MHz}$

代表的な性能特性

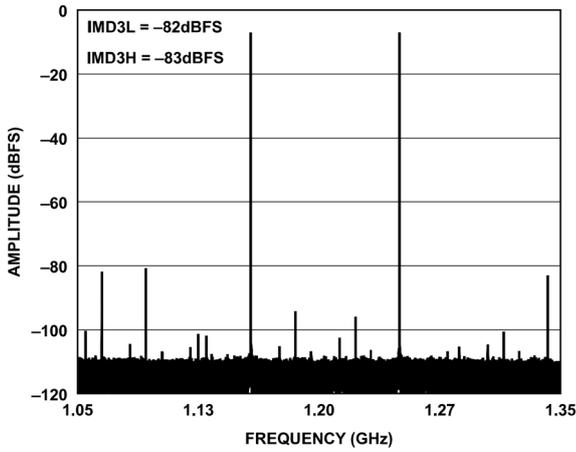


図 94. ツー・トーン FFT、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

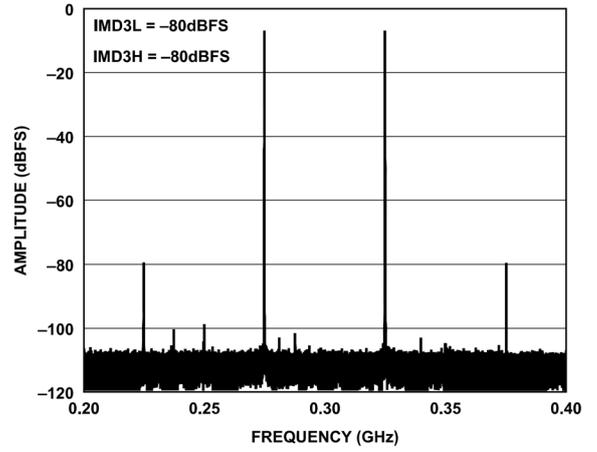


図 97. ツー・トーン FFT、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

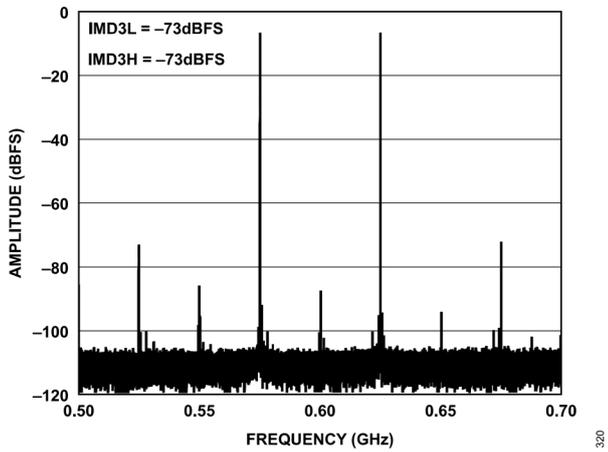


図 95. ツー・トーン FFT、 $f_{IN1} = 3.575\text{GHz}$ 、 $f_{IN2} = 3.625\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

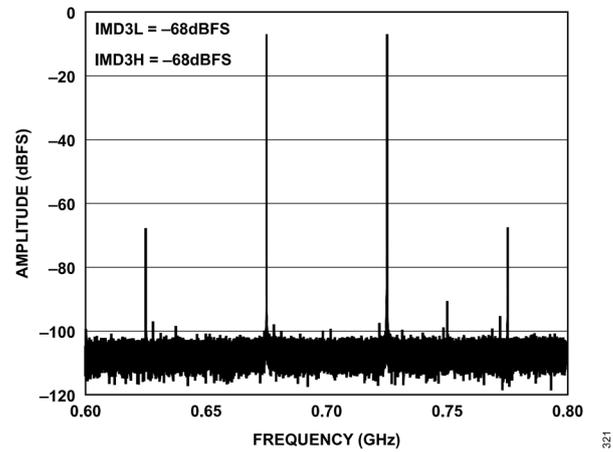


図 98. ツー・トーン FFT、 $f_{IN1} = 5.575\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

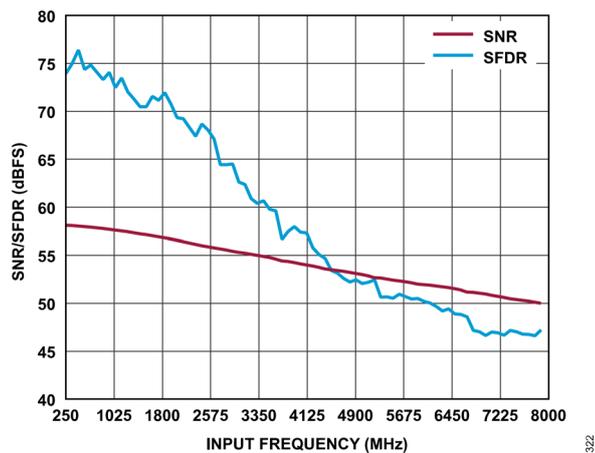


図 96. S/N 比、SFDR と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$

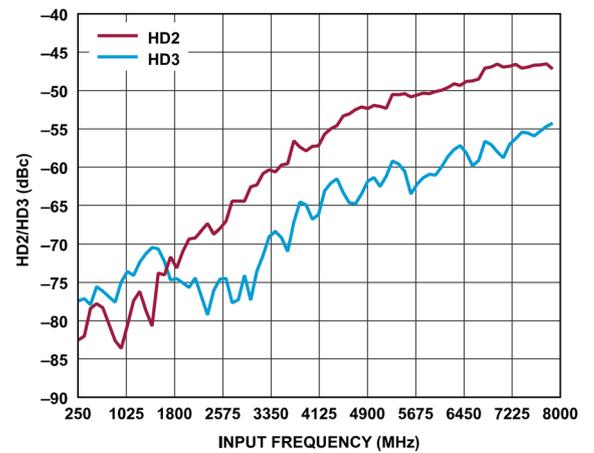


図 99. 高調波 (HD2 および HD3) と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$

動作原理

AD9081は、4つの16ビット12GSPS DAC コアと4つの12ビット4GSPS ADC コアを内蔵した、28nmプロセスによる高集積RF MxFEです(図1参照)。DAC コアは、電流分割アーキテクチャに基づき、6.43mA~37.75mAで調整可能な I_{OUTFS} 範囲を持つ差動の相補電流出力を提供します。ADC コアは、独自のインターリーブ・アーキテクチャに基づき、残余インターリーブ・スプリアス積をノイズ・フロア内に抑制します。広帯域幅動作を実現するため、高い線形性を持つ100Ω差動バッファと過負荷保護機能を使用してADC コアとRF ADC 駆動源を絶縁しています。オンチップ・クロック通倍器を使用して、RF DACクロックとADCクロックを合成することができます。また、外部クロックを使用することも可能です。

柔軟性に優れた送信/受信DSPパスにより、中間周波数(IF)やRF信号を必要に応じてアップ/ダウン・サンプリングして、所望のデータ・インターフェース・レートまで下げ、帯域幅条件に合わせて効率的に制御できます。チャネライザ・データ・パスにより効率的にデータを送信できるため、マルチバンドのアプリケーションが可能となり、最大8つの独立したRF帯域に対応できます。送信DSPパスと受信DSPパスは対称で、メイン・データ・パスに4つの粗調整デジタル・アップコンバージョン(DUC)およびデジタル・ダウンコンバージョン

(DDC)ブロック、チャネライザ・データ・パスに8つの微調整DUCおよびDDCブロックを備えた構成になっています。各DUCおよびDDCブロックは複数のインターポレーション段またはデシメーション段を備えており、インテジャータまたはフラクショナル・モードに動作設定可能な48ビットNCOが内蔵されています。粗調整DUCおよびDDCブロックに内蔵されたNCOは、高速周波数ホッピングに対応し、コヒーレントに動作します。またGPIOを使用して制御可能です。DUCブロック、DDCブロック、およびデータ・パスは完全にバイパスでき、ナイキスト動作をさせることが可能です。

システム統合の向上を容易にする様々な補助DSP機能が搭載されています。データ・パスには可変遅延線が内蔵されており、デバイス外部で発生する可能性のあるチャンネル遅延パスの不

一致を補償することができます。送信データ・パスには、デジタル・ゲイン制御、微小遅延調整、およびパワー・アンプ保護機能が内蔵されており、マルチバンドのトランスミッタにDPDを簡単に組み込むことができます。受信データ・パスには、柔軟性に優れた192タップのプログラマブル有限インパルス応答(PFIR)フィルタが内蔵されています。このフィルタは、4つの異なるプロファイルをサポートし、1つまたはそれ以上のADCと接続してレシーバーのイコライゼーションを可能にします。4つのプロファイルはGPIOxピンを使用して選択します。受信データ・パスには、高速および低速信号検出機能による自動ゲイン制御(AGC)も搭載されています。また、時分割複信(TDD)アプリケーションの節電機能も備えています。すべての補助DSP機能は完全にバイパスすることができます。

AD9081は、JESD204リンクをバイパスすることで、受信データ・パスと送信データ・パス間での低遅延デジタル・ループバックにも対応します。データ・パスのフォーマットは、JESD204BおよびJESD204Cモードに基づき、8、12、16、24ビットの分解能の実数または複素数(I/Q)が使用可能です。

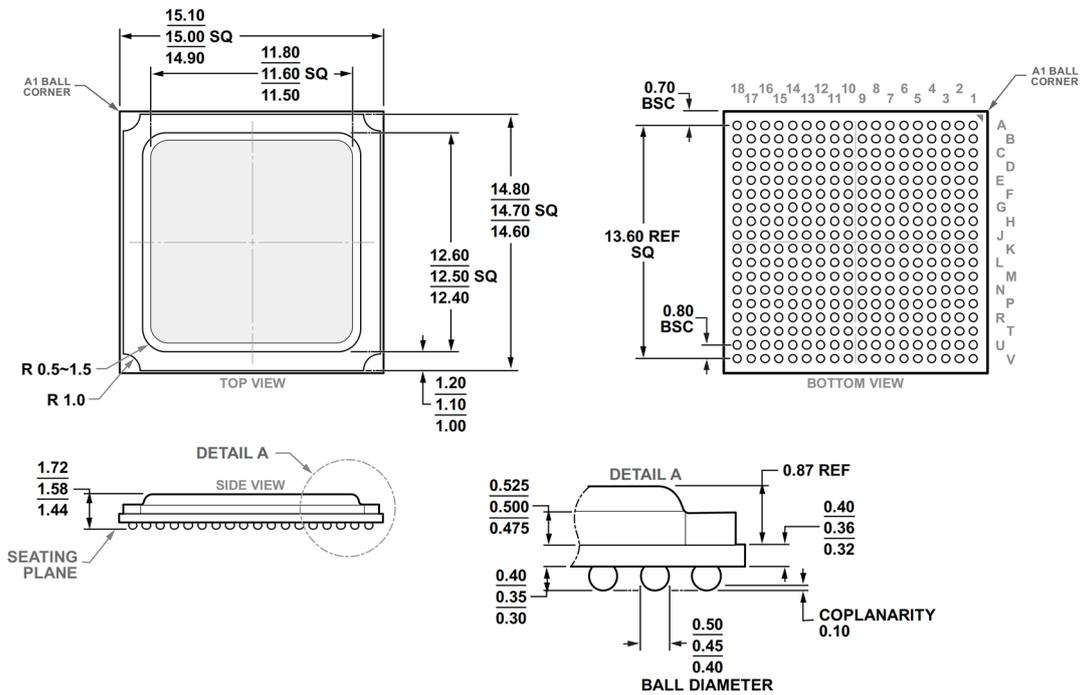
16レーンのJESD204 トランシーバー・ポートが利用可能で、受信および送信データ・パスで高いデータ・スループット・レートに対応できます。8つのSERDESレーンが送信データ・パスに、残り8つのレーンが受信データ・パスに指定されています。トランシーバー・ポートは、最大24.75GbpsのJESD204C、または最大15.5GbpsのJESD204Bのレーン・レートをサポートしています。JESD204のデータ・リンク層は高い柔軟性を備えており、対象とするスループット・レートに応じてレーン・カウント(またはレート)を調整できます。外部アライメント信号(SYSREF)を使用して、確定的遅延、位相調整、マルチチップ同期が可能です。

内蔵の温度管理ユニット(TMU)によってダイ温度を測定できるため、システム動作中の熱安定性を向上させる温度管理ソリューション用部品としても使用できます。

アプリケーション情報

デバイスの初期化、およびアプリケーション情報の詳細については、デバイスのユーザ・ガイド UG-1578 を参照してください。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-275-KKAB-1

図 100. 熱強化型 324 ボール BGA [BGA_ED]
(BP-324-3)
寸法 : mm

07-31-2018-A

オーダー・ガイド

Mode ¹	Temperature Range ²	Package Description	Packing Quantity	Package Option
AD9081BBPZ-4D4AB	-40°C to +120°C	324-Ball BGA_ED (15 mm × 15 mm × 1.58 mm)	Tray, 126	BP-324-3
AD9081BBPZ-4D4AC	-40°C to +120°C	324-Ball BGA_ED (15 mm × 15 mm × 1.58 mm)	Tray, 126	BP-324-3
AD9081BBPZRL-4D4AB	-40°C to +120°C	324-Ball BGA_ED (15 mm × 15 mm × 1.58 mm)	Reel, 1000	BP-324-3
AD9081BBPZRL-4D4AC	-40°C to +120°C	324-Ball BGA_ED (15 mm × 15 mm × 1.58 mm)	Reel, 1000	BP-324-3

¹ Z = RoHS 準拠製品

² 仕様規定された動作ジャンクション温度 (TJ)。

評価用ボード

Model	Description
AD9081-FMCA-EBZ	AD9081 Evaluation Board with High Performance Analog Network



©2021 Analog Devices, Inc. All rights reserved.

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868

名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300