

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2022年12月13日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年12月13日

製品名：AD74115H

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：32～33 ページ 33 頁の最後から 33 頁最初にかけての文

**【誤】**

「これら 3 つの電源レールの電圧範囲と対応する条件に付いては、表 14 を参照してください。」

**【正】**

「これら 4 つの電源レールの電圧範囲と対応する条件に付いては、表 14 を参照してください。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2022年12月13日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年12月13日

製品名：AD74115H

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：41 ページ、左の段、オープン・サーキット検出の項、上から4行目

**【誤】**

「これらのピンのどちらかの電圧が短絡検出電圧 (表7参照)を超えると、ALERT\_STATUSレジスタにオープン・サーキット信号がアサートされます。」

**【正】**

これらのピンのどちらかの電圧がオープン・サーキット検出電圧 (表7参照)を超えると、ALERT\_STATUSレジスタにオープン・サーキット信号がアサートされます。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2022年12月13日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2022年12月13日

製品名： AD74115H

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 42 ページ、 左の段、オープン・サーキット検出の項、上から 4 行目

**【誤】**

「この信号は、T1 または T14 のどちらかがオープン・サーキット状態になっていることを示します (図 41 参照)。」

**【正】**

「この信号は、T1 または T4 のどちらかがオープン・サーキット状態になっていることを示します (図 41 参照)。」

# HART モデムを備えた シングル・チャンネルの ソフトウェア設定可能入出力

## 特長

- ▶ シングル・チャンネルのソフトウェア設定可能入出力
- ▶ 1つのピンに対し複数の設定可能モード
- ▶ 電圧入力
- ▶ 電流入力
- ▶ 電圧出力
- ▶ 電流出力
- ▶ デジタル入力
- ▶ デジタル出力
- ▶ 2線式、3線式、または4線式のRTD測定
- ▶ 熱電対測定
- ▶ ネジ端子対向ピンでの過電圧耐性（パワー・オン時またはパワー・オフ時）
- ▶ 補助高電圧検出ピン
- ▶ リファレンス温度係数：10ppm/°C
- ▶ 50Hzおよび60Hz除去機能オプションを備えた16ビットΣ-Δ ADC
- ▶ 14ビット単調増加性DAC
- ▶ ユニポーラとバイポーラに対応可能
- ▶ HART モデム内蔵
- ▶ オープン・サーキット検出および短絡検出含むオンチップ診断機能
- ▶ ±5°Cの精度を持つ内部温度センサー
- ▶ SPI 互換
- ▶ 広い電源範囲
- ▶ プログラマブルな電力制御
- ▶ 温度範囲：-40°C~+105°C
- ▶ 48ピンLFCSPパッケージ

## アプリケーション

- ▶ 絶縁型産業用制御システム
- ▶ プロセス制御
- ▶ ファクトリ・オートメーション
- ▶ ビル管理システム

## 機能ブロック図

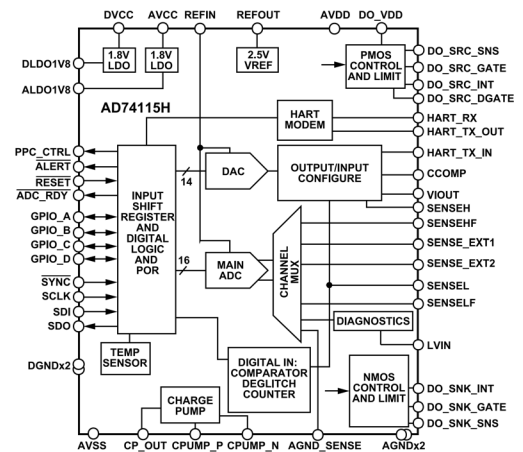


図 1. 機能ブロック図

## 概要

AD74115H はシングル・チャンネルのソフトウェア設定可能入出力で、産業用制御アプリケーション向けに設計されたものです。このデバイスは、1つのチップで様々な使い方ができます。その例としては、アナログ出力、アナログ入力、デジタル出力、デジタル入力、测温抵抗体 (RTD)、熱電対測定機能などがあります。また、AD74115Hは、HART モデムを内蔵しています。シリアル・ペリフェラル・インターフェース (SPI) を用いることで、HART モデムを用いた通信を含めこのデバイスとのすべての通信を処理できます。デジタル入出力には SPI ピンまたは汎用入出力 (GPIO) ピンでアクセスできるため、データ・レートを上上げできます。

このデバイスは、16ビットのΣ-Δ A/D コンバータ (ADC) と 14ビットの D/A コンバータ (DAC) を備えています。AD74115H には、DAC および ADC のリファレンスとして使用できる 2.5V の高精度オンチップ・リファレンスを内蔵しています。

電源および絶縁は関連製品 ADP1034 を用いて実現できます。ADP1034 と AD74115H を併用する場合、正のアナログ電源 AVDD でプログラマブル電力制御 (PPC) が使用できるため、エンド・アプリケーションで最適な電力ソリューションを実現できます。ユニポーラ機能が必要な場合は、オンチップ・チャージ・ポンプを有効化できます。

## 関連製品

- ▶ PPC を使用した電源およびデータのアイソレーション：ADP1034
- ▶ 電圧リファレンス：ADR4525

## 目次

特長	1	デジタル出力	28
アプリケーション	1	HART-I <sub>OUT</sub> モード	29
機能ブロック図	1	その他	30
概要	1	用語	31
関連製品	1	ADC オフセット誤差	31
仕様	3	ADC ゲイン誤差	31
電圧出力	3	DAC オフセット誤差	31
電流出力 (I <sub>OUT</sub> ) および HART 使用時の I <sub>OUT</sub>	4	DAC バイポーラ・ゼロ誤差	31
電圧入力	5	DAC ゲイン誤差	31
外部駆動電流入力および HART を使用した外部駆動電流入力	6	総合未調整誤差 (TUE)	31
ループ駆動電流入力および HART を使用したループ駆動電流入力	6	動作原理	32
抵抗の 2 線式測定	7	堅牢なアーキテクチャ	32
3 線式 RTD 測定	8	電源およびリファレンス	32
4 線式 RTD 測定	8	デバイス機能	33
デジタル入力ロジック	9	開始にあたって	55
ループ駆動デジタル入力	10	ADC の機能	57
デジタル出力 (ソースおよびシンク)	11	DAC 機能	64
ADC の仕様	13	リセット機能	66
HART モデム通信	14	フォルトおよびアラート	66
一般仕様	15	FET リーク補償	66
タイミング特性	18	GPIO_x ピン	68
絶対最大定格	20	SPI	68
熱抵抗	20	アプリケーション情報	72
静電放電 (ESD) 定格	20	電源と絶縁	72
ESD に関する注意	20	システム・レベルのブロック図	73
ピン配置およびピン機能の説明	21	外付け部品	75
代表的な性能特性	23	ボード設計とレイアウトに関する考慮事項	76
電圧出力	23	レジスタ・マップ	77
電流出力 (I <sub>OUT</sub> )	24	ソフトウェア設定可能な入出力レジスタ	78
抵抗測定	25	HART モデム・レジスタ	106
リファレンス	26	外形寸法	113
ADC	27	オーダー・ガイド	113
		評価用ボード	113

## 改訂履歴

8/2022—Revision 0: Initial Version

## 仕様

## 電圧出力

特に指定のない限り、AVDD = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIN = +2.5V (理想値)、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、すべての仕様は  $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$  における値です。また推奨設定により、検出抵抗 ( $R_{\text{SENSE}}$ ) = 100 $\Omega$  (理想値)、負荷抵抗 ( $R_{\text{LOAD}}$ ) = 100k $\Omega$ 、負荷容量 ( $C_{\text{LOAD}}$ ) = 4.7nF です。なお、電源電圧を設定する場合は、AVDD および AVSS のヘッドルームの仕様値を考慮する必要があります。

表 1. 電圧出力

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
<b>VOLTAGE OUTPUT</b>					
Resolution	14			Bits	
Output Range	0		12	V	
	-12		+12	V	
<b>ACCURACY</b>					
Total Unadjusted Error (TUE)	-0.2		+0.2	%FSR	
TUE at 25°C	-0.1		+0.1	%FSR	
Integral Nonlinearity (INL)	-3.0		+3.0	LSB	
Differential Nonlinearity (DNL)	-1.0		+1.0	LSB	単調増加性を確保
Offset Error	-5.5		+5.5	mV	コード 0x0000 を DAC にロードした場合の誤差、0V~12V のレンジのみ
Offset Error at 25°C	-3.0		+3.0	mV	0V~12V のレンジのみ
Bipolar Zero Error	-13		+13	mV	ミッドスケール・コードを DAC にロードした場合の誤差、 $\pm 12\text{V}$ のレンジ
Bipolar Zero Error at 25°C	-13		+13	mV	$\pm 12\text{V}$ のレンジのみ
Gain Error	-0.2		+0.2	%FSR	
Gain Error 25°C	-0.12		+0.12	%FSR	
<b>OUTPUT CHARACTERISTICS</b>					
Load <sup>1</sup>	1	100		k $\Omega$	
Headroom <sup>1</sup>		2.2		V	1k $\Omega$ 負荷の両端電圧を 12V とするために AVDD と入出力の正の (I/OP) スクリュー端子の間に必要な電圧差
Footroom <sup>1</sup>		2.2		V	1k $\Omega$ 負荷の両端電圧を -12V とするために AVSS と I/OP スクリュー端子の間に必要な電圧差
Short-Circuit Current		32		mA	ソースおよびシンク、I_LIMIT ビット = 0 (デフォルト)
		16		mA	ソースおよびシンク、I_LIMIT ビット = 1
Short-Circuit Activation Time <sup>1</sup>		2		ms	アラートが生成されるまでの短絡の時間
Maximum Capacitive Load <sup>1</sup>			14	nF	I/OP スクリュー端子での最大システム容量 (推奨値 4.7 nF の $C_{\text{LOAD}}$ を含む)、外部補償コンデンサ ( $C_{\text{COMP}}$ ) の接続なし
			2	$\mu\text{F}$	I/OP スクリュー端子での最大システム容量 (推奨値 4.7 nF の $C_{\text{LOAD}}$ を含む)、 $C_{\text{COMP}} = 220\text{pF}$ を接続
DC Output Impedance <sup>1</sup>		0.1		$\Omega$	
DC Power Supply Rejection Ratio (PSRR) <sup>1</sup>		90		dB	AVDD を変化させて測定した PSRR
<b>DYNAMIC PERFORMANCE<sup>1</sup></b>					
Output Voltage ( $V_{\text{OUT}}$ ) Settling Time		85		$\mu\text{s}$	11V ステップ (0.5V~11.5V または 11.5V~0.5V) で $\pm 0.05\%$ FSR 以内まで、 $C_{\text{LOAD}} = 4.7\text{nF}$ 、 $C_{\text{COMP}}$ の接続なし
		110		$\mu\text{s}$	22V ステップ (-11V~+11V または +11V~-11V) で $\pm 0.05\%$ FSR 以内まで、 $C_{\text{LOAD}} = 4.7\text{nF}$ 、 $C_{\text{COMP}}$ の接続なし
Output Voltage Settling Time with $C_{\text{COMP}}$ Connected		400		$\mu\text{s}$	11V ステップ (0.5V~11.5V または 11.5V~0.5V) で $\pm 0.05\%$ FSR 以内まで、 $C_{\text{LOAD}} = 4.7\text{nF}$ 、220pF の $C_{\text{COMP}}$ を接続
		400		$\mu\text{s}$	22V ステップ (-11V~+11V または +11V~-11V) で $\pm 0.05\%$ FSR 以内まで、 $C_{\text{LOAD}} = 4.7\text{nF}$ 、220pF の $C_{\text{COMP}}$ を接続

## 仕様

表 1. 電圧出力

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
Noise (External Reference)					I/OP スクリュー端子で測定、2.5V 出力
Output Noise		0.17		LSB p-p	0.1Hz~10Hz の帯域幅、100k $\Omega$ 負荷
Output Noise Spectral Density					
0 V to 12 V Range		405		nV/ $\sqrt{\text{Hz}}$	1kHz、ミッドスケール出力で測定
-12 V to +12 V Range		815		nV/ $\sqrt{\text{Hz}}$	1kHz、ミッドスケール出力で測定
AC PSRR		65		dB	AVDD 電源に重ねた 1kHz サイン波で 200mV

<sup>1</sup> 設計および特性評価により確保。

電流出力 (I<sub>OUT</sub>) および HART 使用時の I<sub>OUT</sub>

特に指定のない限り、AVDD = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIN = +2.5V (理想値)、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、すべての仕様は T<sub>A</sub> = -40°C~+105°C における値です。また推奨設定により、R<sub>SENSE</sub> = 100 $\Omega$  (理想値)、R<sub>LOAD</sub> = 250 $\Omega$ 、C<sub>LOAD</sub> = 4.7nF です。なお、電源電圧を設定する場合は、AVDD のヘッドルームの仕様値を考慮する必要があります。

表 2. 電流出力 (I<sub>OUT</sub>) および HART 使用時の I<sub>OUT</sub>

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
I <sub>OUT</sub>					
Resolution	14			Bits	
Output Range	0		25	mA	
ACCURACY					
TUE <sup>1</sup>	-0.2		+0.2	% FSR	
TUE at 25°C <sup>1</sup>	-0.1		+0.1	% FSR	
INL	-3.5		+3.5	LSB	ゼロスケールからフルスケールまで
DNL	-1		+1	LSB	単調増加性を確保
Offset Error	-15		+15	$\mu\text{A}$	
Offset Error at 25°C	-8		+8	$\mu\text{A}$	
Gain Error <sup>1</sup>	-0.2		+0.2	% FSR	
Gain Error at 25°C <sup>1</sup>	-0.1		+0.1	% FSR	
OUTPUT CHARACTERISTICS <sup>2</sup>					
Headroom		3.3		V	20mA をソースするために AVDD と I/OP スクリュー端子の間に必要な電圧差
Open Circuit Voltage		AVDD		V	
Sinking Current Limit		3.7		mA	I_LIMIT ビット = 0 (デフォルト)
		1.2		mA	I_LIMIT ビット = 1
Alert Activation Time		2		ms	オープンまたは短絡時にアラートが生成されるまでの時間
Output Impedance		4		M $\Omega$	
DC PSRR		50		nA/V	AVDD を変化させて測定した PSRR
DYNAMIC PERFORMANCE <sup>2</sup>					
Output Current Settling Time		90		$\mu\text{s}$	3.2mA~23mA のステップアップまたはステップダウン、最終電流 $\pm 100\mu\text{A}$ のウィンドウ内にセトリングするまでの時間
Output Current Settling Time (with HART Slew Enabled)		60		ms	HART スルーが有効な場合の 3.2mA~23mA のステップアップまたはステップダウン、最終電流 $\pm 100\mu\text{A}$ のウィンドウ内にセトリングするまで時間

## 仕様

表 2. 電流出力 (I<sub>OUT</sub>) および HART 使用時の I<sub>OUT</sub>

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
Noise					I/OP スクリュー端子で測定 (250Ω 負荷、12.5mA 出力)
Output Noise		0.34		LSB p-p	0.1Hz~10Hz の帯域幅
Output Noise Spectral Density		2		nA/√Hz	1kHz、12.5mA 出力で測定
AC PSRR		75		dB	1kHz での電源電圧から 250Ω の両端電圧の比

<sup>1</sup> R<sub>SENSE</sub> の精度は総合未調整誤差およびゲイン誤差に直接影響します。

<sup>2</sup> 設計および特性評価により確保。

## 電圧入力

特に指定のない限り、AVDD = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIN = +2.5V (理想値)、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、すべての仕様は T<sub>A</sub> = -40°C~+105°C における値です。また推奨設定により、R<sub>SENSE</sub> = 100Ω (理想値)、C<sub>LOAD</sub> = 4.7nF です。なお、電源電圧を設定する場合は、AVDD および AVSS に必要な入力範囲を考慮する必要があります。

表 3. 電圧入力

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
VOLTAGE INPUT					
Input Resolution	16			Bits	
Input Range (SENSELF)	0		12	V	
	-12		+12	V	
ACCURACY <sup>1</sup>					
TUE	-0.1		+0.1	% FSR	
TUE at 25°C	-0.02		+0.02	% FSR	
INL	-4		+4	LSB	
Offset Error	-4		+4	LSB	
Offset Error at 25°C	-2		+2	LSB	
Gain Error	-750		+750	ppm FSR	
Gain Error at 25°C	-330		+330	ppm FSR	
OTHER INPUT SPECIFICATIONS					
Footroom <sup>1</sup>	AVSS + 2			V	
Headroom <sup>1</sup>			AVDD - 0.2	V	
DC PSRR <sup>1</sup>		10		μV/V	AVDD、AVSS、AVCC、DVCC を変化させて測定した PSRR
Normal Mode Rejection <sup>1</sup>		80		dB	50Hz ± 1Hz および 60Hz ± 1Hz
Input Bias Current	-30		+30	nA	I/OP スクリュー端子から見た値、ADC はアイドル状態または変換状態、電圧トランジェント圧縮 (TVS) のリークを含まない
Input Bias Current at 25°C		±6		nA	

<sup>1</sup> 設計および特性評価により確保。



仕様

外部駆動電流入力および HART を使用した外部駆動電流入力

特に指定のない限り、AVDD = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIN = +2.5V (理想値)、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、すべての仕様は T<sub>A</sub> = -40°C ~ +105°C における値です。また推奨設定により、R<sub>SENSE</sub> = 100Ω (理想値)、C<sub>LOAD</sub> = 4.7nF です。

表 4. 外部駆動電流入力および HART を使用した外部駆動電流入力

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
<b>CURRENT INPUT</b>					
Input Resolution	16			Bits	
Input Range	0		25	mA	外部 100Ω 抵抗両端で検出
Screw Terminal Voltage	0			V	
Short-Circuit Current Limit	25		35	mA	プログラム不可
<b>ACCURACY</b>					
TUE <sup>1</sup>	-0.1		+0.1	% FSR	
TUE at 25°C <sup>1</sup>	-0.05		+0.05	% FSR	
INL	-4	±2	+4	LSB	0.1mA ~ 25mA の範囲で指定された直線性
Offset Error	-4		+4	LSB	
Offset Error at 25°C	-1.5		+1.5	LSB	
Gain Error <sup>1</sup>	-250		+250	ppm FSR	
Gain Error at 25°C <sup>1</sup>	-150		+150	ppm FSR	
<b>OTHER INPUT SPECIFICATIONS</b>					
DC PSRR <sup>2</sup>		In order of noise			
Input Impedance (Without HART Termination)		165		Ω	外部駆動電流入力を選択、100Ω の R <sub>SENSE</sub> を含む
Input Impedance (with HART Resistive Termination)	230		330	Ω	HART 使用の外部駆動電流入力を選択、100Ω の R <sub>SENSE</sub> を含む
Compliance (Without HART Termination) <sup>2</sup>		4.2		V	外部駆動電流入力を選択、25mA をシンクするために I/OP スクリュー端子で必要な最小電圧
Compliance (with HART Resistive Termination) <sup>2</sup>		6.6		V	HART 使用の外部駆動電流入力を選択、20mA をシンクするために I/OP スクリュー端子で必要なおよび、最小電圧

<sup>1</sup> R<sub>SENSE</sub> の精度は総合未調整誤差およびゲイン誤差に直接影響します。

<sup>2</sup> 設計および特性評価により確保。

ループ駆動電流入力および HART を使用したループ駆動電流入力

特に指定のない限り、AVDD = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIN = +2.5V (理想値)、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、すべての仕様は T<sub>A</sub> = -40°C ~ +105°C における値です。また推奨設定により、R<sub>SENSE</sub> = 100Ω (理想値)、C<sub>LOAD</sub> = 4.7nF です。なお、電源電圧を設定する場合は、AVDD のヘッドルームの仕様値を考慮する必要があります。

表 5. ループ駆動電流入力および HART を使用したループ駆動電流入力

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
<b>CURRENT INPUTS</b>					
Input Resolution	16			Bits	
Input Range	0		25	mA	外部 100Ω 抵抗両端で検出
Screw Terminal Voltage			AVDD	V	
NonHART Current Limit	0		25	mA	プログラマブルな電流リミット、14 ビットの分解能
HART Mode Current Limit	23		30	mA	HART 使用のループ駆動電流入力をイネーブル、プログラマブル不可

## 仕様

表 5. ループ駆動電流入力および HART を使用したループ駆動電流入力

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
ACCURACY					
TUE <sup>1</sup>	-0.1		+0.1	% FSR	0.1mA~25mA の範囲で指定された直線性
TUE at 25°C <sup>1</sup>	-0.05		+0.05	% FSR	
INL	-4		+4	LSB	
Offset Error	-4		+4	LSB	
Offset Error at 25°C	-1.5		+1.5	LSB	
Gain Error <sup>1</sup>	-250		+250	ppm FSR	
Gain Error at 25°C <sup>1</sup>	-150		+150	ppm FSR	
OTHER INPUT SPECIFICATIONS					
DC PSRR <sup>2</sup>		In order of noise			
Input Impedance (Without HART Termination)		165		Ω	ループ駆動電流入力を選択、100Ω の R <sub>SENSE</sub> を含む
Input Impedance (with HART Resistive Termination)	230		330	Ω	HART 使用のループ駆動電流入力を選択、100Ω の R <sub>SENSE</sub> を含む
Headroom (Without HART Termination) <sup>2</sup>		3.8		V	25mA をソースするために AVDD と I/OP スクリュー端子電圧の間に必要な最小電圧差、ループ駆動電流入力を選択
Headroom (with HART Resistive Termination) <sup>2</sup>		6.0		V	20mA をソースするために AVDD と I/OP スクリュー端子電圧の間に必要な最小電圧差、HART 使用のループ駆動電流入力を選択

<sup>1</sup> R<sub>SENSE</sub> の精度は総合未調整誤差およびゲイン誤差に直接影響します。

<sup>2</sup> 設計および特性評価により確保。

## 抵抗の 2 線式測定

特に指定のない限り、AVDD = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIN = +2.5V (理想値)、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、すべての仕様は T<sub>A</sub> = -40°C~+105°C における値です。また推奨設定により、R<sub>SENSE</sub> = 100Ω (理想値)、C<sub>LOAD</sub> = 4.7nF です。

表 6. 抵抗の 2 線式測定

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
RESISTANCE MEASUREMENT					
Input Range	0		1	MΩ	2 線式 RTD 測定をサポート
Bias Voltage		2.5		V	
Pull-Up Resistor (R <sub>PULL-UP</sub> )		2.1		kΩ	
ACCURACY <sup>1</sup>					図 13 を参照
Measurement Range					測定値の±%に±固定誤差を加えた値
1 Ω to 50 Ω		0.28		Ω	
50 Ω to 3 kΩ		±0.07,		%,	
		±0.28		Ω	
3 kΩ to 10 kΩ		±0.1		%	
10 kΩ to 200 kΩ		±1.3		%	
200 kΩ to 1 MΩ		±6.0		%	測定値の±%

<sup>1</sup> 設計および特性評価により確保。

仕様

3 線式 RTD 測定

特に指定のない限り、AVDD = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIN = +2.5V (理想値)、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、すべての仕様は  $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$  における値です。また推奨設定により、 $R_{\text{SENSE}} = 100\Omega$  (理想値)、 $C_{\text{LOAD}} = 4.7\text{nF}$  です。

表 7.3 線式 RTD 測定

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
RESISTANCE MEASUREMENT					
Input Range	0.001		4	k $\Omega$	(リファレンス抵抗 ( $R_{\text{REF}}$ ) + RTD 抵抗 ( $R_{\text{RTD}}$ )) の両端に生成する電圧は AVCC 電圧 ( $V_{\text{AVCC}}$ ) より低電圧であることが必要
Programmable Excitation Current		250		$\mu\text{A}$	
		500		$\mu\text{A}$	
		750		$\mu\text{A}$	
		1		mA	
Current Matching					500 $\mu\text{A}$ 、750 $\mu\text{A}$ 、1mA
Excitation Current Matching	-0.5		+0.5	%	
Current Matching Drift		5		ppm/ $^{\circ}\text{C}$	
Open-Circuit Detect Voltage					これを上回る電圧を生成する励起電流と抵抗の組み合わせはオープン・サーキットとして処理
SENSEH		4.0		V	
SENSE_EXT1		2.7		V	
ACCURACY <sup>1</sup>					
Measurement Range					測定値の $\pm\%$ に $\pm$ 固定誤差を加えた値、Pt10、Cu10 または同等品に適用、1mA の励起電流および 104.16mV の ADC レンジ
1 $\Omega$ to 40 $\Omega$		$\pm 0.036$ , $\pm 0.023$		%, $\Omega$	
10 $\Omega$ to 400 $\Omega$		$\pm 0.037$ , $\pm 0.037$		%, $\Omega$	
100 $\Omega$ to 4 k $\Omega$		$\pm 0.084$ , $\pm 0.358$		%, $\Omega$	測定値の $\pm\%$ 、Pt1000 に適用、500 $\mu\text{A}$ の励起電流および 0V ~ 12V の ADC レンジ

<sup>1</sup> 設計および特性評価により確保。

4 線式 RTD 測定

特に指定のない限り、AVDD = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIN = +2.5V (理想値)、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、すべての仕様は  $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$  における値です。また推奨設定により、 $R_{\text{SENSE}} = 100\Omega$  (理想値)、 $C_{\text{LOAD}} = 4.7\text{nF}$  です。

表 8.4 線式 RTD 測定

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
RESISTANCE MEASUREMENT					
Input Range	0.001		4	k $\Omega$	( $R_{\text{REF}} + R_{\text{RTD}}$ ) の両端に生成される電圧は $V_{\text{AVCC}}$ より低電圧であることが必要
Programmable Excitation Current		250		$\mu\text{A}$	
		500		$\mu\text{A}$	
		750		$\mu\text{A}$	
		1		mA	
SENSEH Open-Circuit Detect Voltage		4.0		V	これを上回る電圧を生成する励起電流と抵抗の組み合わせはオープン・サーキットとして処理

## 仕様

表 8.4 線式 RTD 測定

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
ACCURACY <sup>1</sup>					
Measurement Range					
1 Ω to 40 Ω		±0.036, ±0.006		%, Ω	測定値の±%に±固定誤差を加えた値、Pt10、Cu10または同等品に適用、1mAの励起電流および104.16mVのADCレンジ
10 Ω to 400 Ω		±0.037, ±0.018		%, Ω	測定値の±%、Pt100または同等品に適用、1mAの励起電流および0.625VのADCレンジ
100 Ω to 4 kΩ		±0.084, ±0.344		%, Ω	測定値の±%、Pt1000に適用、500μAの励起電流および0V~12VのADCレンジ

<sup>1</sup> 設計および特性評価により確保。

## デジタル入力ロジック

特に指定のない限り、AVDD = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIN = +2.5V（理想値）、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、すべての仕様はT<sub>A</sub> = -40°C~+105°Cにおける値です。また推奨設定により、R<sub>SENSE</sub> = 100Ω（理想値）、C<sub>LOAD</sub> = 4.7nFです。

表 9. デジタル入力ロジック

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
DIGITAL INPUTS					
Unbuffered Input Data Rate			200	kHz	VIOUTピンは低インピーダンス源で駆動、0V~12Vの信号、デューティ・サイクル：60:40
Buffered Input Data Rate		20		kHz	SENSELピンは低インピーダンス源で駆動、0V~12Vの信号、デューティ・サイクル：60:40
Input Voltage Range <sup>1</sup>	-45		+45	V	
Input Resistance		1.3		MΩ	高速モード
Open-Circuit Detect Current	0.05		0.35	mA	IEC 61131-2 タイプ 3D に準拠するためのオープン・サーキット検出用ウィンドウ
Short-Circuit Detect Current	6			mA	IEC 61131-2 タイプ 3D 向け
CURRENT SINK					
Range 0					
Series Resistor Value		2.7		kΩ	
Current Sink Range	0		3.7	mA	AGND へのプログラマブル電流シンク（代表値）
Current Sink Resolution		120		μA	
Current Sink Accuracy		±2		% FSR	
Current Sink at Decimal Code 20	2.1	2.4		mA	I/OP スクリュー端子 > 6V での IEC 61131-2 タイプ I およびタイプ III 向けの推奨値、DIN_SINK = 20（10進コード）
Current Sink at Decimal 15		1.8		mA	IEC 61131-2 タイプ 3D 向けの推奨値、DIN_SINK ビット = 15（10進コード）
Range 1					
Series Resistor Value		1		kΩ	
Current Sink Range	0		7.4	mA	AGND へのプログラマブル電流シンク（代表値）
Current Sink Resolution		240		μA	
Current Sink Accuracy		±2		% FSR	
Current Sink at Decimal Code 29	6.1	7.0		mA	I/OP スクリュー端子 > 7V での IEC 61131-2 タイプ II 向けの推奨値、DIN_SINK = 29（10進コード）

仕様

表 9. デジタル入力ロジック

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
VOLTAGE THRESHOLDS MODES					
Threshold Range	AVSS+20		AVDD-15	V	プログラマブル・トリップ・レベル  COMP_THRESH ビット = 55 (10進コード) での、IEC 61131-2 タイプ I、タイプ II およびタイプ III 向けに推奨される上昇トリップ・ポイント
AVDD Threshold Mode					
Threshold Resolution		AVDD/50		V	
Hysteresis		AVDD/50		V	
Fixed Threshold Mode					
Threshold Resolution		0.5		V	
Hysteresis		0.5		V	
Threshold Voltage at Decimal Code 55	8.0	8.5	8.8	V	
Threshold Accuracy		2		% FSR	

<sup>1</sup> 設計および特性評価により確保。

ループ駆動デジタル入力

特に指定のない限り、AVDD = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIN = +2.5V (理想値)、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、すべての仕様は T<sub>A</sub> = -40°C~+105°C における値です。また推奨設定により、R<sub>SENSE</sub> = 100Ω (理想値)、C<sub>LOAD</sub> = 4.7nF です。なお、電源電圧を設定する場合は、AVDD のヘッドルームの仕様値を考慮する必要があります。

表 10. ループ駆動デジタル入力

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
DIGITAL INPUTS					
Input Data Rate <sup>1</sup>			5	kHz	フィルタなし入力。通常は濡れ電流、負荷容量、およびスレッシュホールド電圧が支配的 ループ駆動、プログラマブル電流 20mA をソースするために AVDD と I/OP スクリュー端子の間に必要な電圧差
Dry Contact Wetting Current Range	0		25	mA	
Headroom <sup>1</sup>		3.3		V	
THRESHOLD MODES					
Threshold Range	AVSS+20		AVDD-15	V	プログラマブル・トリップ・レベル
AVDD Threshold Mode					
Threshold Resolution		AVDD/50		V	
Hysteresis		AVDD/50		V	
Fixed Threshold Mode					
Threshold Resolution		0.5		V	
Hysteresis		0.5		V	
Threshold Accuracy		2		% FSR	

<sup>1</sup> 設計および特性評価により確保。

仕様

デジタル出力（ソースおよびシンク）

特に指定のない限り、DO\_VDD = +10V~+35V、AVDD = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIN = +2.5V（理想値）、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、すべての仕様は T<sub>A</sub> = -40°C~+105°C における値です。また推奨設定により、C<sub>LOAD</sub> = 4.7nF です。

表 11. デジタル出力（ソースおよびシンク）

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
DO_VDD SUPPLY RANGE	10	24	35	V	
EXTERNAL DIGITAL OUTPUT					ソースおよびシンク
Short Circuit					
Short-Circuit Voltage, V <sub>SC1</sub>	160		240	mV	0.15Ω の設定抵抗 (R <sub>SET</sub> )、1.3A での電流クランプ
Short-Circuit Voltage, V <sub>SC2</sub>	80		120	mV	0.15Ω の R <sub>SET</sub> 、667mA での電流クランプ
Short-Circuit Clamp Time <sup>1</sup>		1.2		μs	FET 入力容量 (C <sub>ISS</sub> ) < 500pF、0Ω 短絡時に短絡クランプが動作するまでの時間
Time Out 1, T1 <sup>1</sup>	0.1		100	ms	プログラマブルな時間（代表値）
Time Out 2, T2 <sup>1</sup>	0.1			ms	プログラマブルな時間（代表値）
On and Off Times <sup>1</sup>					
On Time, t <sub>ON</sub>		20		μs	FET の C <sub>ISS</sub> < 500pF、 $\overline{\text{SYNC}}$ の立上がりエッジから 90% にセトリングするまでの時間
Off Time, t <sub>OFF</sub>		3		μs	FET の C <sub>ISS</sub> < 500pF、 $\overline{\text{SYNC}}$ の立上がりエッジから FET ディスエーブルまでの時間
Gate Drive Voltage					
Current Sourcing	-12	-10	-8	V	DO_VDD を基準とする DO_SRC_GATE 電圧
Current Sinking			AVCC	V	DO_SNK_GATE 電圧
DO_SRC_DGATE Current Sink		1		mA	AVSS へ。DO_EXT_MODE がスマート・ダイオードを用いた外部ソース用に設定されている場合
INTERNAL DIGITAL OUTPUT					
On Resistance, R <sub>ON</sub>					
Sourcing Mode		7		Ω	
Sinking Mode		3.5		Ω	
Short-Circuit					
Short-Circuit Current 1	220		350	mA	
Short-Circuit Current 2	105		180	mA	
Short-Circuit Clamp Time <sup>1</sup>		2		μs	0Ω 短絡時に短絡クランプが動作するまでの時間
Time Out 1, T1 <sup>1</sup>	0.018		100	ms	プログラマブルな時間（代表値）
Time Out 2, T2 <sup>1</sup>	0.018			ms	プログラマブルな時間（代表値）
Thermal Shutdown <sup>1</sup>					内部デジタル出力のサーマル・シャットダウン
Disabled Temperature		140		°C	
Reenabled Temperature		130		°C	
On and Off Times <sup>1</sup>					
On Time, t <sub>ON</sub>		10		μs	$\overline{\text{SYNC}}$ の立上がりエッジから 90% にセトリングするまでの時間
Off Time, t <sub>OFF</sub>		2		μs	$\overline{\text{SYNC}}$ の立上がりエッジから FET ディスエーブルまでの時間
PUSH AND PULL MODE <sup>1</sup>					外部 FET のプッシュ・タイミングおよびプル・タイミングは外部 FET の C <sub>ISS</sub> に依存
Output Data Rate					
Internal FETs		50		kHz	
External FETs		10		kHz	

## 仕様

表 11. デジタル出力（ソースおよびシンク）

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
Propagation Delay <sup>1</sup>					SYNCの立ち上がりまたはGPIOエッジ（いずれか使用している方）からI/OPスクリーン端子で0.5Vの遷移が生じるまで
Propagation High Time, $t_{PH}$ , and Propagation Low Time, $t_{PL}$ , Internal FETs		4		$\mu\text{s}$	
$t_{PH}$ and $t_{PL}$ , External FETs		7		$\mu\text{s}$	FET $C_{ISS} < 1\text{nF}$
Transition Time <sup>1</sup>					I/OPスクリーン端子の遷移の10%~90%
Rise, $t_R$ , and Fall, $t_F$ , Internal FETs		2		$\mu\text{s}$	
$t_R$ and $t_F$ External FETs		5		$\mu\text{s}$	

<sup>1</sup> 設計および特性評価により確保。

仕様

ADC の仕様

特に指定のない限り、AVDD = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIN = +2.5V（理想値）、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、すべての仕様は TA = -40°C~+105°C における値です。また推奨設定により、RSENSE = 100Ω（理想値）、CLOAD = 4.7nF です。なお、電源電圧を設定する場合は、AVDD および AVSS に必要な入力範囲を考慮する必要があります。

表 12. ADC の仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント	
<b>ADC SPECIFICATIONS</b>						
Resolution	16			Bits		
No Missing Codes <sup>1</sup>	16			Bits		
Conversion Rates <sup>1</sup>		10		SPS	サンプル・レートは、選択した ADC の測定数と、シングル変換モードと連続変換モードのどちらを使用するかによって異なります。	
		20		SPS	50Hz および 60Hz 除去をイネーブル	
		1.2		kSPS	50Hz および 60Hz 除去をディスエーブル	
		4.8		kSPS	50Hz および 60Hz 除去をディスエーブル	
		9.6		kSPS	50Hz および 60Hz 除去をディスエーブル	
Absolute Input Voltage <sup>1</sup>	AVSS + 2		AVDD - 0.2	V		
Noise <sup>1</sup>					表 28 を参照	
Common-Mode Rejection Ratio <sup>1</sup>		95		dB		
<b>ADC INPUT RANGES</b>						
0 V to +12 V, ±12V						
Range	0		12	V	通常、I/OP スクリュー端子と I/ON スクリュー端子の間の電圧を測定するために使用（I/ON は入出力の負、I/OP は入出力の正）、また、SENSE_EXT1 および SENSE_EXT2 用にも使用	
	-12		+12	V		
TUE <sup>1</sup>	-0.1		+0.1	% FSR		
INL <sup>1</sup>	-4		+4	LSB		
Offset Error	-4		+4	LSB		
Gain Error	-750		+750	ppm FSR		
0 V to 2.5 V, -2.5 V to 0 V, ±2.5 V						
Range	0		2.5	V	通常、RSENSE 抵抗の電流を測定するために使用 AD74115H から 100Ω の RSENSE への電流 100Ω の RSENSE から AD74115H への電流 通常、電圧出力モードで 100Ω の RSENSE を流れる双方向電流の測定に使用	
	-2.5		0	V		
	-2.5		+2.5	V		
TUE	-0.1		+0.1	% FSR		
INL	-4		+4	LSB		
Offset Error	-4		+4	LSB		
Gain Error	-250		+250	ppm FSR		
0 V to 0.625 V						
Range	0		0.625	V	通常、3 線式および 4 線式 RTD の測定に使用	
TUE <sup>1</sup>	-0.1		+0.1	% FSR		
INL <sup>1</sup>	-4		+4	LSB		
Offset Error	-10		+10	LSB		
Gain Error	-250		+250	ppm FSR		
±104.16 mV						
Range	-104.16		+104.16	mV		通常、電圧入力モードでの熱電対電圧の測定に使用
TUE <sup>1</sup>	-0.1		+0.1	% FSR		
INL <sup>1</sup>	-4		+4	LSB		



## 仕様

表 12. ADC の仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
Offset Error	-25	+3	+25	LSB	高温でのオフセットは外部の $R_{SENSE}$ を流れるリーク電流が支配的
Gain Error	-500		+500	ppm FSR	
DIAGNOSTICS SPECIFICATIONS					
External Diagnostics					
LVIN Pin 2.5 V Range					
Range	0		2.5	V	
TUE <sup>1</sup>	-0.05		+0.05	% FSR	
INL <sup>1</sup>	-4		+4	LSB	
Offset Error	-4		+4	LSB	
Gain Error	-200		+200	ppm FSR	
Noise <sup>1</sup>					表 28 を参照
Sense Pins Diagnostics					
Accuracy		±0.25		% FSR	SENSEL、SENSE_EXT1、SENSE_EXT2
DO Current Sense Accuracy					
External DO		±2		mV	
Internal DO		±5		mA	25°C、ソース・モードおよびシンク・モード
Internal Diagnostics					
Accuracy		±2		%	測定値のパーセンテージ
TEMPERATURE SENSOR <sup>1</sup>					
Accuracy		±5		°C	
Resolution		0.2		°C	

<sup>1</sup> 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

## HART モデム通信

特に指定のない限り、AVDD = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIN = +2.5V（理想値）、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、すべての仕様は  $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$  における値です。また推奨設定により、 $R_{SENSE} = 100\Omega$ （理想値）、 $R_{LOAD} = 250\Omega$ 、 $C_{LOAD} = 4.7\text{nF}$  です。

表 13. HART モデム通信

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
TRANSITION TIME FROM HART POWER DOWN TO NORMAL OPERATING MODE <sup>1</sup>		30		$\mu\text{s}$	HART モデムは HART_CONFIG レジスタの MODEM_PWRUP ビットで起動します
HART_RX SIGNAL RANGES					
Input Voltage Range	0		2.5	V	
Data Carrier Detect Assert	60	100	110	mV p-p	アサートが発生する範囲
High Impedance Devices <sup>1</sup>	120		1500	mV p-p	
Low Impedance Devices <sup>1</sup>	120		800	mV p-p	
HART_TX					
Output Voltage Range					
Current Output	400		600	mV p-p	電流出力モードで、電流範囲を 3.2mA~23mA、負荷を 500 $\Omega$ として I/OP スクリュー端子で測定
Current Input	400		800	mV p-p	電流入力（ループ駆動または外部駆動）モードで、電流範囲を 3.2mA~23mA、負荷を 1k $\Omega$ として I/OP スクリュー端子で測定
Mark Frequency		1200		Hz	
Space Frequency		2200		Hz	

仕様

表 13. HART モデム通信

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
Frequency Error	-1.0		+1.0	%	

<sup>1</sup> 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

一般仕様

特に指定のない限り、AVDD=+6V~+28.8V、AVSS=-2.5V~-18V、AGND=DGND=0V、REFIN=+2.5V（理想値）、DVCC=+2.7V~+5.5V、AVCC=+4.5V~+5.5V、すべての仕様はTA=-40°C~+105°Cにおける値です。また推奨設定により、RSENSE=100Ω（理想値）、CLOAD=4.7nFです。

表 14. 一般仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
REFERENCE SPECIFICATIONS					
Reference Input					
Reference Input Voltage		2.5		V	外部リファレンスの精度は、AD74115Hの精度に影響します。
DC Input Current	-1		+1	μA	
Reference Output					
Output Voltage	2.495	2.5	2.505	V	TA = 25°C
Reference Temperature Coefficient <sup>1</sup>			10	ppm/°C	
Output Voltage Drift vs. Time <sup>1</sup>		500		ppm FSR	1000 時間後のドリフト、TA = 85°C
Output Noise <sup>1</sup>		18		μV p-p	0.1Hz~10Hzの帯域幅
Output Noise Spectral Density <sup>1</sup>		95		nV/√Hz	周波数= 10kHz
Capacitive Load <sup>1</sup>		22	50	nF	REFOUTピンでの値
CHARGE PUMP <sup>2</sup>					
Voltage		-DVCC		V	イネーブルした場合、チャージ・ポンプはDVCCの負の値に等しい電圧を生成
Accuracy		±10		%	
Output Impedance <sup>1</sup>		12.5		Ω	
Power-Up Time <sup>1</sup>		2.2		ms	
FET LEAKAGE COMPENSATION <sup>1</sup>					
Input Voltage Range					
Sourcing External FET	AVSS+2		AVDD-1		リーク補償が有効になっている場合のI/OP端子の電圧範囲
Sinking External FET	0		AVDD-1		リーク補償用の代表的な入力電圧範囲
Voltage Across External Blocking Diode		15		mV	リーク補償用の代表的な入力電圧範囲 FETリーク補償を有効化、スクリュウ端子のリーク電流が最大40μA
SENSE PINS					
Input Bias Current	-25		+25	nA	SENSEH、SENSEL、SENSEHF、SENSELF、SENSE_EXT1、SENSE_EXT2
Input Bias Current at 25°C		2		nA	
Input Bias Matching			10	nA	SENSEHF、SENSELF、SENSE_EXT1、SENSE_EXT2の各ピンの差の最大値
High Voltage Buffer Supply Current					
AVDD Current		190		μA	
AVSS Current		190		μA	
High Voltage Buffer Power-Up Time <sup>1</sup>		100		μs	

## 仕様

表 14. 一般仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
<b>BURNOUT CURRENTS</b>					
V <sub>IOUT</sub> Current		1, 10		μA	プログラマブルなソース電流またはシンク電流
SENSE_EXT1 and SENSE_EXT2 Current		0.05, 0.5, 1, 10		μA	
<b>TEMPERATURE ALERT AND RESET<sup>1</sup></b>					
Temperature Alert		115		°C	ジャンクション温度。高温イベントがアラート・ステータスとALERTピンをフラグ（マスクされていない場合）
Temperature Alert Accuracy		5		°C	ジャンクション温度。EN_THERM_RST ビット=1 のときに過熱イベントが発生した場合にデバイスをリセット
Temperature Reset		145		°C	
Temperature Reset Accuracy		5		°C	
<b>LOGIC INPUTS</b>					
Input Voltage					SCLK、SDI、RESET、SYN $\bar{C}$ 、GPIO_x（入力として）、PPC_CTRL（入力として）
High (V <sub>HI</sub> )	07×DVCC			V	
Low (V <sub>LI</sub> )			02×DVCC	V	
Input Current	-1		+1	μA	ピンごと
Input Capacitance <sup>1</sup>		3		pF	ピンごと
<b>LOGIC OUTPUTS</b>					
SDO and PPC_CTRL Pins					
Output Low Voltage (V <sub>OL</sub> )			0.4	V	シンク電流 (I <sub>SINK</sub> ) = 200μA ソース電流 (I <sub>SOURCE</sub> ) = 200μA
Output High Voltage (V <sub>OH</sub> )	DVCC-04			V	
High Impedance Leakage Current	-1		+1	μA	SDO ピンのみ
High Impedance Output Capacitance <sup>1</sup>		3		pF	SDO ピンのみ
GPIO_x Pin					
V <sub>OL</sub>			0.4	V	出力として 3mA をシンク可能
V <sub>OH</sub>	DVCC-04			V	
Pull-Down Resistance		100		kΩ	
High Impedance Leakage Current	-1		+1	μA	
<b>OPEN-DRAIN LOGIC OUTPUTS</b>					
V <sub>OL</sub>			0.4	V	ADC_RDYおよびALERT $\bar{}$ 2.5mA をシンク可能
High Impedance Leakage Current	-1		+1	μA	
<b>POWER SUPPLY MONITORS</b>					
AVDD Threshold		5.7		V	立下がり閾値
AVSS Threshold		-1.6		V	
AVCC Threshold		4.1		V	
DVCC Threshold		2.0		V	
ALDO1V8 Threshold		1.3		V	
DO_VDD Threshold		9.5		V	
<b>POWER REQUIREMENTS</b>					
Supply Voltages <sup>1</sup>					
AVDD	6	24	28.8	V	具体的なアプリケーションのヘッドルーム条件を満たすことが必要
AVSS	-18	-15	-2.5	V	
DVCC	2.7	3.3	5.5	V	具体的なアプリケーションのフットルーム条件を満たすことが必要
AVCC	4.5	5.0	5.5	V	
DO_VDD	10		35	V	

## 仕様

表 14. 一般仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
Supply Quiescent Currents					
AVDD Current	3.5	3.9	4.3	mA	電圧出力モードまたは電流出力モードに設定、電流負荷なし
	3.1	3.8	4.8	mA	RTD モードまたはアナログまたはデジタル入力モードに設定、電流負荷なし
	2.8	3.2	3.6	mA	デジタル出力モードに設定
AVSS Current	3.4	4.3	5.1	mA	RTD モードまたはアナログまたはデジタル入力モードに設定
DVCC Current	1.0	1.4	1.7	mA	RTD モードまたはアナログまたはデジタル入力モードに設定
AVCC Current	4.0	5.0	6.2	mA	RTD モードまたはアナログまたはデジタル入力モードに設定
DO_VDD Current		50		μA	高インピーダンス・モードに設定
	400		600	μA	デジタル出力モードに設定
CONFIGURATION TIMING					
Device Power-Up Time <sup>1</sup>		1		ms	全電源のパワーアップ後
Device Reset Time <sup>1</sup>		1		ms	デバイスのパワーアップ後に、デバイスをリセットしてキャリブレーション・メモリをアップロードし、ハードウェアまたはソフトウェア・リセット・イベントを完了させるまでに要する時間（パルス幅の仕様については表 15 を参照）
Use Case Switch Time <sup>1</sup>		200		μs	別の使用条件に変更前の使用条件での時間
Channel Function Enable Time		200		μs	CH_FUNC_SETUP レジスタがプログラムされてから新たな DAC コードがロードされるまでの待機時間

<sup>1</sup> 設計および特性評価により確保。<sup>2</sup> チャージ・ポンプがイネーブルされている場合、CP\_OUT ピンを AVSS に接続し、AVSS にはそれ以外のソースはないことを確認してください。

仕様

タイミング特性

SPI タイミングの仕様

特に指定のない限り、AVDD = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIN = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、SDO の C<sub>LOAD</sub> = 30pF、すべての仕様は T<sub>A</sub> = -40°C ~ +105°C における値です。

表 15. SPI タイミングの仕様

Parameter <sup>1,2</sup>	Description	DVCC = 2.7 V to 5.5 V	Unit
t <sub>1</sub>	SCLK pin cycle time	42	ns min
t <sub>2</sub>	SCLK high time	17	ns min
t <sub>3</sub>	SCLK low time	17	ns min
t <sub>4</sub>	$\overline{\text{SYNC}}$ falling edge to SCLK falling edge setup time	21	ns min
t <sub>5</sub>	Last SCLK falling edge to $\overline{\text{SYNC}}$ rising edge	21	ns min
t <sub>6</sub>	$\overline{\text{SYNC}}$ high time	450	ns min
t <sub>7</sub>	Data setup time	5	ns min
t <sub>8</sub>	Data hold time	5	ns min
t <sub>9</sub>	$\overline{\text{RESET}}$ pulse width	50	μs min
t <sub>10</sub>	SCLK rising edge to SDO valid	23	ns max
t <sub>11</sub>	$\overline{\text{SYNC}}$ falling edge to SDO valid (for readback MSB only)	20	ns max
t <sub>12</sub>	$\overline{\text{SYNC}}$ rising edge to SDO tristate	16	ns max
t <sub>13</sub>	$\overline{\text{SYNC}}$ rising edge to DAC output response time	2	μs typ
t <sub>14</sub> <sup>4</sup>	$\overline{\text{ADC\_RDY}}$ pulse	25	μs typ

<sup>1</sup> すべての入力信号は、t<sub>R</sub> = t<sub>F</sub> = 5ns（DVCC ピン電圧（V<sub>DVCC</sub>）の 10% ~ 90%）で仕様規定し、V<sub>DVDD</sub>/2 の電圧レベルから時間を測定しています。

<sup>2</sup> 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

<sup>3</sup> リセット中はチャージ・ポンプの電圧は減少します。

<sup>4</sup> 図 53 を参照してください。

SPI タイミング図

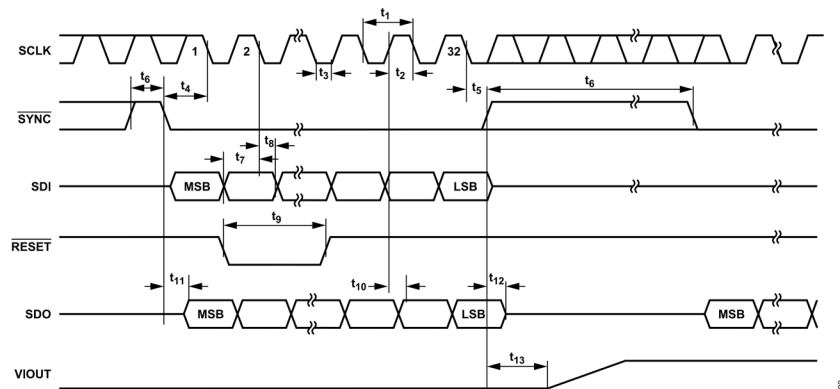


図 2. SPI タイミング図

仕様

単線式シリアル・インターフェース（OWSI）のタイミング仕様

特に指定のない限り、AVDD = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIN = +2.5V（理想値）、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、PPC\_CTRL の C<sub>LOAD</sub> = 30pF、すべての仕様は T<sub>A</sub> = -40°C~+105°C における値です。

表 16. OWSI のタイミング仕様

パラメータ <sup>1,2</sup>	説明	最小値	最大値	単位
t <sub>PPC1</sub>	ビット周期	4900		ns
t <sub>PPC2</sub>	開始検出ハイの時間	140	260	ns
t <sub>PPC3</sub>	開始検出ローの時間	140	260	ns
t <sub>PPC4</sub>	開始検出時間（連続する 2 個のパルス分の時間）	450	750	ns
t <sub>PPC5</sub>	ロジック・ローの時間	300	500	ns
t <sub>PPC6</sub>	ロジック・ハイの時間	3400	4000	ns
t <sub>PPC7</sub>	OWSI の下位制御開始時間	500	2200	ns
t <sub>PPC8</sub>	OWSI の下位制御終了時間	2700	4500	ns
t <sub>PPC9</sub>	OWSI の下位応答がない場合に OWSI のメイン部分がバスの制御を取り戻すまでの時間	3400	3600	ns
t <sub>PPC10</sub>	OWSI の下位部分がローに引き下げられることで応答する場合に OWSI のメイン部分がバスの制御を取り戻すまでの時間		2700	ns

<sup>1</sup> すべての入力信号は、t<sub>r</sub> = 立下がり時間 t<sub>f</sub> = 5ns（DVDD ピン電圧（V<sub>DVDD</sub>）の 10%~90%）で仕様規定し、V<sub>DVDD</sub>/2 の電圧レベルから時間を測定しています。

<sup>2</sup> 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

OWSI タイミング図

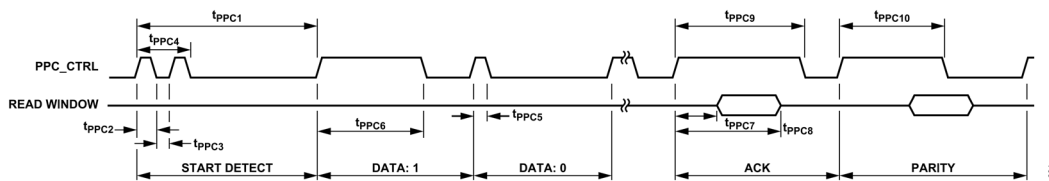


図 3. 正常伝送時の OWSI のタイミング図

詳細については、[単線式シリアル・インターフェース](#)のセクションを参照してください。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 17. 絶対最大定格

Parameter	Rating
AVDD to AGND	-0.3 V to +36 V
AVSS to AGND	-20 V to +0.3 V
AVDD to AVSS	56 V
DVCC to AGND	-0.3 V to +6 V
AVCC to AGND	-0.3 V to +6 V
DO_VDD to AGND	-0.3 V to +40 V
REFIN and LVIN to AGND	-0.3 V to AVCC + 0.3 V
SENSEH, SENSEHF, SENSEL, SENSELF, SENSE_EXT1, and SENSE_EXT2 to AGND	-50 V to +50 V
VIOUT to AGND	-50 V to +50 V
CCOMP to AGND	-0.3 V to AVCC + 0.3 V
DO_SRC_SNS to DO_VDD	-6 V to +0.3 V
DO_SRC_INT to DGND	-50 V to DO_VDD
DO_SNK_SNS to DGND	-0.3 V to AVCC + 0.3 V
DO_SNK_INT to DGND	-0.3 V to 50 V
Digital Inputs to DGND ( $\overline{\text{RESET}}$ , $\overline{\text{SYNC}}$ , SCLK, and SDI)	-0.3 V to DVCC + 0.3 V
Logic Digital Outputs to DGND ( $\text{GPIO}_x^1$ , SDO, ALERT, $\overline{\text{ADC\_RDY}}$ , and PPC_CTRL)	-0.3 V to DVCC + 0.3 V
AGND_SENSE to AGND	-0.3 V to +0.3 V
DGND to AGND	-0.3 V to +0.3 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature ( $T_J$ Maximum) <sup>2</sup>	125°C
Reflow Profile	JEDEC Industry Standard J-STD-020
Power Dissipation	$(T_J \text{ maximum} - T_A) / \theta_{JA}$

<sup>1</sup>  $x = A, B, C$ , および  $D$ 。

<sup>2</sup>  $T_J$  の最大値を超えることのないよう、AD74115H の消費電力を管理することが重要です。また、AD74115H の損傷を避けるために、サーマル・シャットダウン機能を有効にすることを推奨します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$  は接合部-周囲の熱抵抗値、 $\theta_{JC}$  は接合部-ケースの熱抵抗値です。

表 18. 熱抵抗

Package Type	$\theta_{JA}^1$	$\theta_{JC}^2$	Unit
CP-48-28	28	1.0	$^\circ\text{C}/\text{W}$

<sup>1</sup>  $5 \times 5$  配列のサーマル・ピアを備えた JEDEC 2S2P サーマル・テスト・ボードを使い、JEDEC 自然対流環境でシミュレートしたデータに基づいています。詳細については、JEDEC 仕様 JESD-51 を参照してください。  
<sup>2</sup> 冷却板をパッケージ上面に接触させた状態の露出パッド表面で測定。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

AD74115H の ESD 定格

表 19. AD74115H、48 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	3 kV	2

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

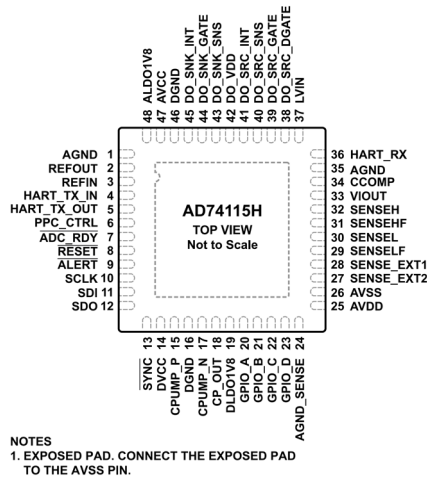


図 4. ピン配置

表 20. ピン機能の説明

ピン番号	記号	説明
1	AGND	アナログ・グラウンド。
2	REFOUT <sup>1</sup>	内蔵 2.5V リファレンス出力。内蔵リファレンスを使用するには、REFOUT ピンを REFIN ピンに接続する必要があります。
3	REFIN	2.5V リファレンス入力。
4	HART_TX_IN	AC カップリングした HART 送信信号。
5	HART_TX_OUT	HART 送信信号。この信号は、表 36 で仕様規定された HART カップリング・コンデンサを用いて HART_TX_IN ピンに接続します。
6	PPC_CTRL	ADP1034 と通信するための単線式インターフェース・ピン。ADP1034 からの電源レールは、AD74115H への SPI 書込みによって設定され、このインターフェースを通じて ADP1034 に渡されます。
7	ACD_RDY	アクティブ・ローのオープンドレイン出力。このピンは、ADC 変換結果の新しいシーケンスを読み取る準備が完了したときにアサートされます。このピンは、DVDD ピンへのプルアップ抵抗に接続します。
8	RESET	ハードウェア・リセット・ピン。アクティブ・ローの入力。このピンは、AD74115H をパワーオン状態にリセットします。
9	ALERT	アクティブ・ローのオープンドレイン出力。このピンは、アラート状態が発生するとローにアサートされます。このピンがアサートされたときは、ALERT_STATUS レジスタを読み出します。このピンはプルアップ抵抗を介して DVDD ピンに接続してください。
10	SCLK	シリアル・インターフェース・クロック。
11	SDI	シリアル・インターフェース・データ入力。
12	SDO	シリアル・インターフェース・データ出力。
13	SYNC	シリアル・インターフェース・フレーム同期ピン。アクティブ・ローの入力。
14	DVCC <sup>1</sup>	デジタル電源。このピンは、表 36 に示された推奨コンデンサを使ってデカップリングします。
15	CPUMP_P	チャージ・ポンプ・フライ・コンデンサ端子。ユニポーラ動作に内蔵チャージ・ポンプを使用する場合は、CPUMP_P ピンと CPUMP_N ピンの間に推奨フライ・コンデンサを接続してください。バイポーラ・モードの場合は、未接続のままにできます。
16	DGND	デジタル・グラウンド。
17	CPUMP_N	チャージ・ポンプ・フライ・コンデンサ端子。ユニポーラ動作に内蔵チャージ・ポンプを使用する場合は、CPUMP_P ピンと CPUMP_N ピンの間に推奨フライ・コンデンサを接続してください。バイポーラ・モードの場合は、これらのピンは未接続のままにします。
18	CP_OUT	チャージ・ポンプ出力電圧 (負の DVCC に等しい)。チャージ・ポンプを使用して負電圧を生成する場合は、AVSS ピンを CP_OUT ピンに接続します。
19	DLDO1V8 <sup>1</sup>	1.8V デジタル低ドロップアウト (LDO) レギュレータの出力。このピンは、表 36 に示す推奨コンデンサを使ってデカップリングします。このピンは外部で使用しないでください。
20	GPIO_A	汎用入出力ピン A。このピンはデジタル入力コンパレータの出力をモニタできます。
21	GPIO_B	汎用入出力ピン B。このピンは外部デジタル出力回路を制御できます。
22	GPIO_C	汎用入出力ピン C。このピンは内蔵デジタル出力回路を制御できます。
23	GPIO_D	汎用入出力ピン D。
24	AGND_SENSE	アナログ・グラウンド・センス。このピンは I/ON スクリュー端子に接続します。



## ピン配置およびピン機能の説明

表 20. ピン機能の説明

ピン番号	記号	説明
25	AVDD <sup>1</sup>	正のアナログ電源。
26	AVSS <sup>1</sup>	負のアナログ電源。
27	SENSE_EXT2	高電圧センス・ピン。
28	SENSE_EXT1	高電圧センス・ピン。
29	SENSELF	フィルタ付きローサイド・センス・ピン。SENSELF は ADC 入力に切り替えることができます。このピンは、オフチップ・フィルタを通じて R <sub>SENSE</sub> の I/OP スクリュー端子側に接続します。
30	SENSEL	ローサイド・センス・ピン。SENSEL は、電圧出力モードと電流出力モード内のループを閉じます。このピンは R <sub>SENSE</sub> の I/OP スクリュー端子側に接続します。
31	SENSEHF	フィルタ付きハイサイド・センス・ピン。SENSEHF は ADC 入力に切り替えることができます。このピンは、オフチップ・フィルタを通じて R <sub>SENSE</sub> の AD74115H 側に接続します。
32	SENSEH	ハイサイド・センス・ピン。SENSEH は電流出力モード内のループを閉じます。このピンは R <sub>SENSE</sub> の AD74115H 側に接続します。
33	VIOUT	電圧または電流フォース・ピン。VIOUT は I/OP スクリュー端子に電圧または電流を供給します。
34	CCOMP	補償コンデンサ・ピン。CCOMP は、電圧出力モード使用時に AD74115H による高容量負荷の駆動を可能にします。CCOMP ピンと I/O スクリュー端子側の間にコンデンサを接続してください。
35	AGND	アナログ・グラウンド。
36	HART_RX	HART 受信ピン。このピンは HART_RX バンドパス・フィルタを用いて I/OP スクリュー端子に接続します。
37	LVIN	低電圧入力ピン。LVIN の電圧は、診断ブロックで LVIN オプションを選択することによって測定できます。測定電圧範囲は 0V~2.5V です。最高の性能を得るために、このピンにアンチエイリアシング・フィルタを使用してください。
38	DO_SRC_DGATE	スマート・ダイオード・ゲート駆動ピン。
39	DO_SRC_GATE	デジタル出力ゲート駆動のソース。
40	DO_SRC_SNS	デジタル出力センス・ピンのソース。外部 FET でデジタル出力機能を使用しない場合は、DO_SRC_SNS を DO_VDD に接続します。
41	DO_SRC_INT	デジタル出力の内部ソース。
42	DO_VDD <sup>1</sup>	デジタル出力回路の正電源。
43	DO_SNK_SNS	デジタル出力センスのシンク。
44	DO_SNK_GATE	デジタル出力ゲート駆動のシンク。
45	DO_SNK_INT	デジタル出力の内部シンク。
46	DGND	デジタル・グラウンド。
47	AVCC <sup>1</sup>	5V アナログ電源。
48	ALDO1V8 <sup>1</sup>	1.8V アナログ LDO 出力。ALDO1V8 は外部では使用しないでください。
	Exposed Pad	露出パッド。露出パッドは AVSS ピンに接続します。

<sup>1</sup> 表 36 に示す推奨デカップリング・コンデンサを接続します。

代表的な性能特性

電圧出力

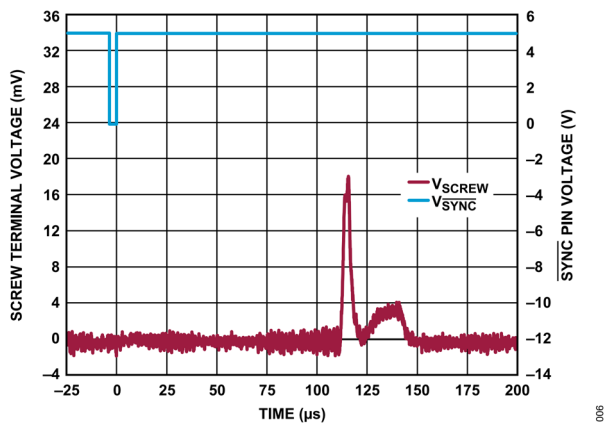


図 5. スクリュー端子電圧 ( $V_{\text{SCREW}}$ ) および SYNC ピン電圧 ( $V_{\text{SYNC}}$ ) と時間の関係 (電圧出力キネープル時)

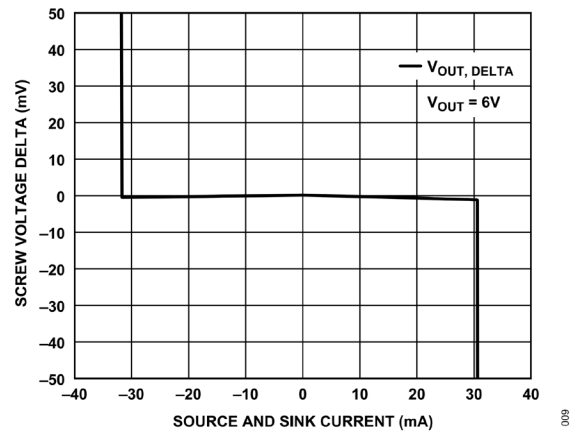


図 8. 出力電圧変化 ( $V_{\text{OUT, DELTA}}$ ) とソースおよびシンク電流の関係

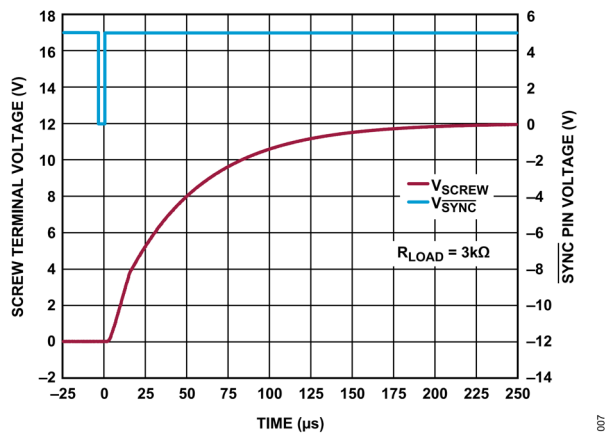


図 6.  $C_{\text{COMP}}$  接続時の正のフルスケール・ステップ

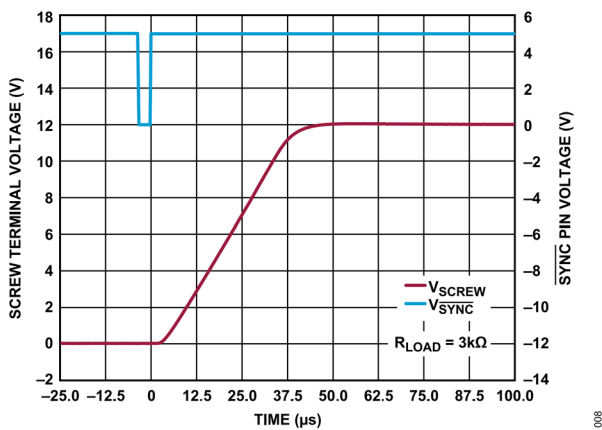


図 7.  $C_{\text{COMP}}$  不接続時の正のフルスケール・ステップ

代表的な性能特性

電流出力 ( $I_{OUT}$ )

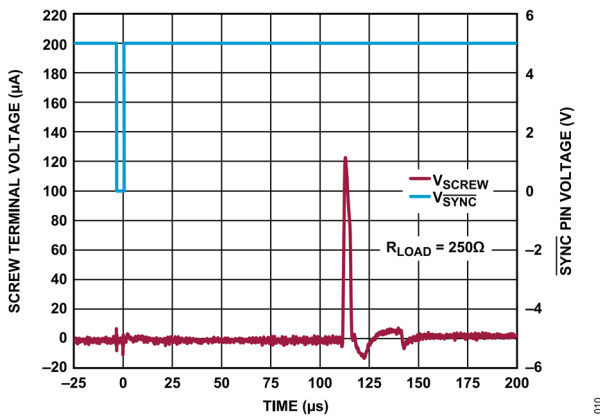


図 9. スクリュー端子電圧 ( $V_{SCREW}$ ) および SYNC ピン電圧 ( $V_{SYNC}$ ) と時間の関係 (電流出力イネーブル時)

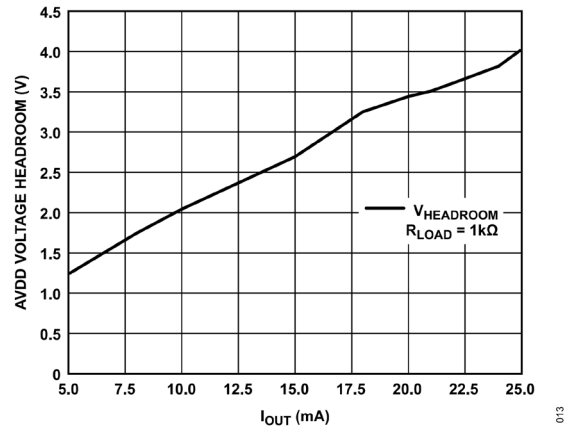


図 12. AVDD の電圧ヘッドルームと  $I_{OUT}$  の関係

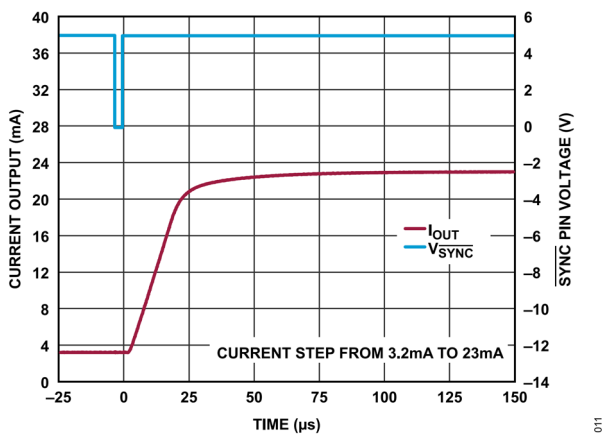


図 10. 電流出力 ( $I_{OUT}$ ) および SYNC ピン電圧 ( $V_{SYNC}$ ) と時間の関係

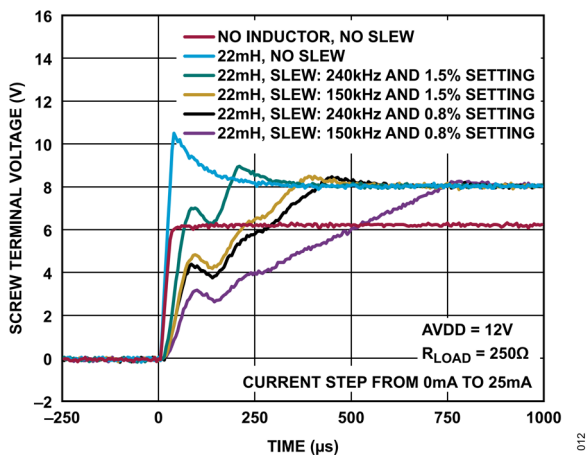


図 11.  $I_{OUT}$  のセトリング時間 (誘導負荷接続時、スルー・レートを有効にした場合としない場合)

代表的な性能特性

抵抗測定

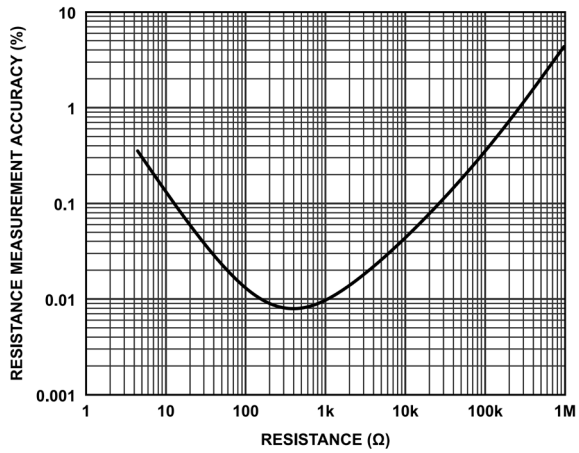


図 13.2 線式の抵抗測定精度

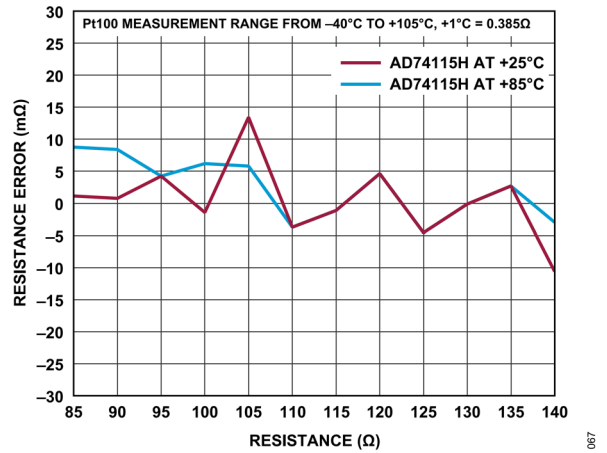


図 16.4 線式の RTD 測定誤差

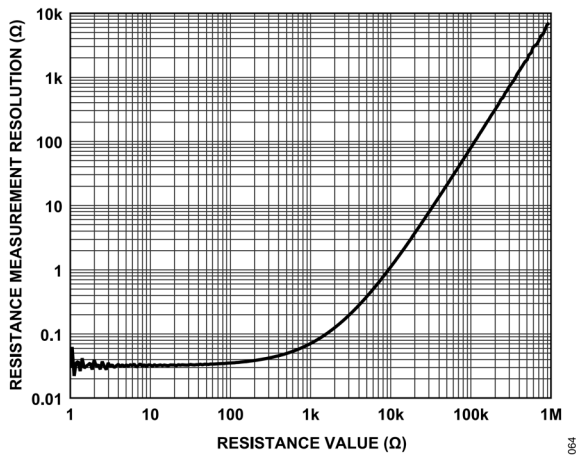


図 14. 抵抗測定分解能と抵抗値の関係

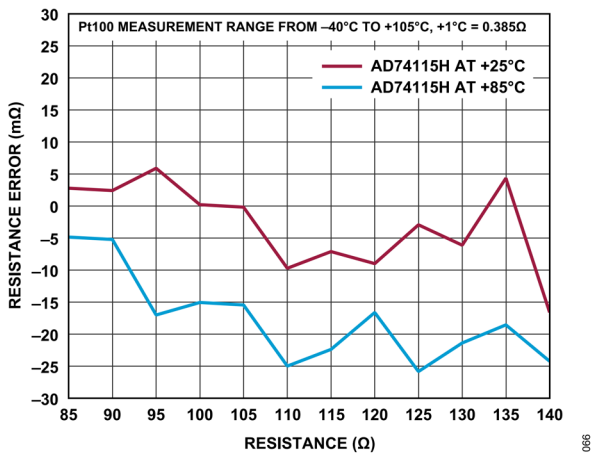


図 15.3 線式の RTD 測定誤差

代表的な性能特性

リファレンス

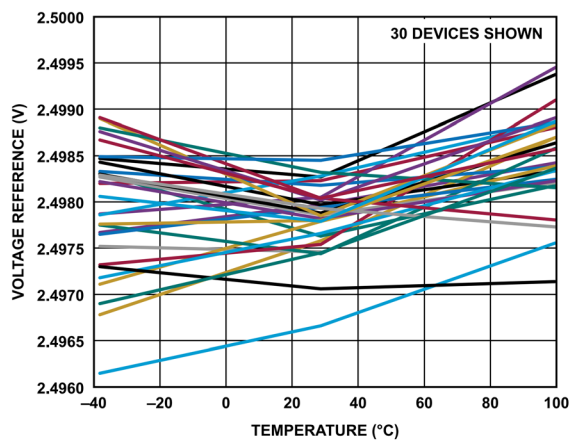


図 17. 電圧リファレンスと温度の関係

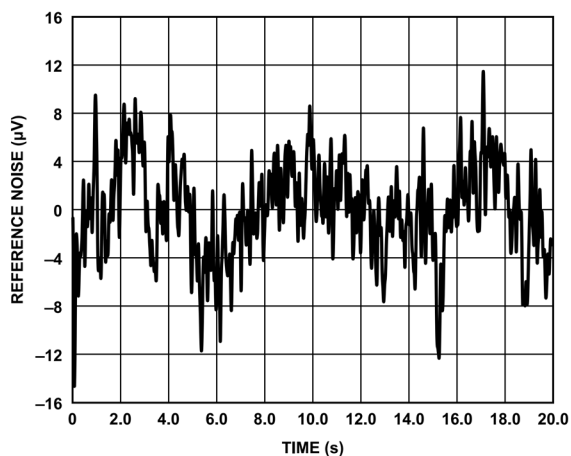


図 18. ピーク to ピーク・ノイズ (0.1Hz~10Hzの帯域幅)

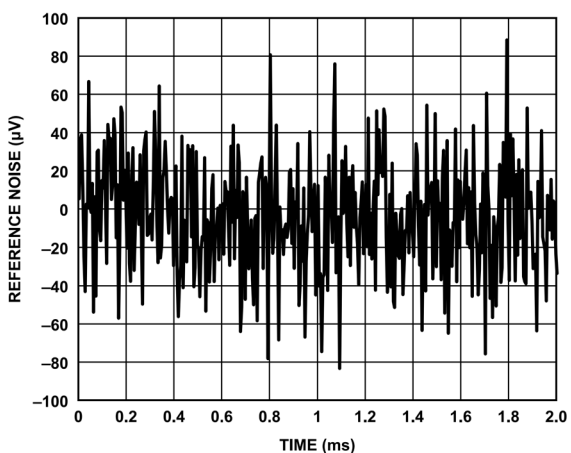


図 19. ピーク to ピーク・ノイズ (100kHzの帯域幅)

代表的な性能特性

ADC

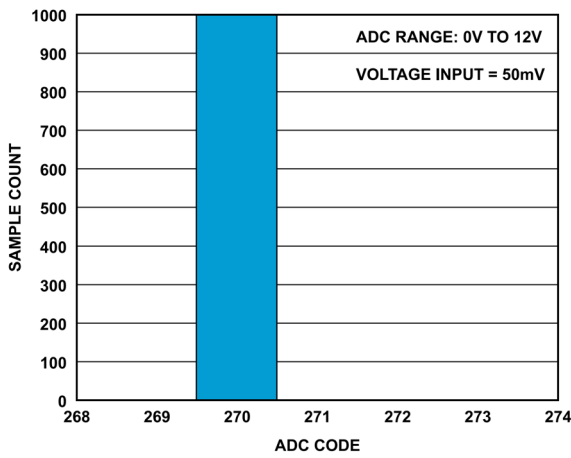


図 20. ADC ノイズ・ヒストグラム  
(出カデータ・レート (ODR) = 10SPS)

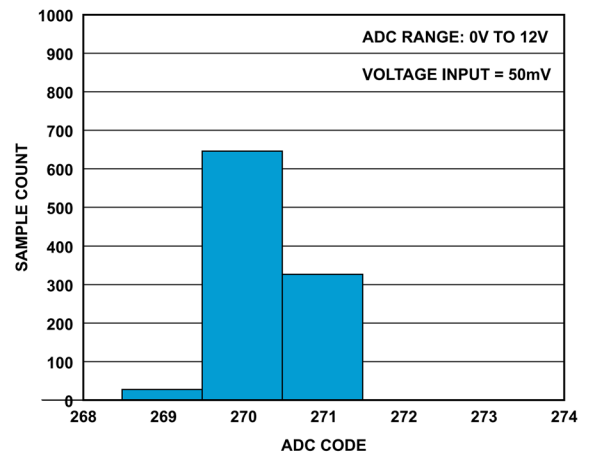


図 23. ADC ノイズ・ヒストグラム (ODR = 4.8kSPS)

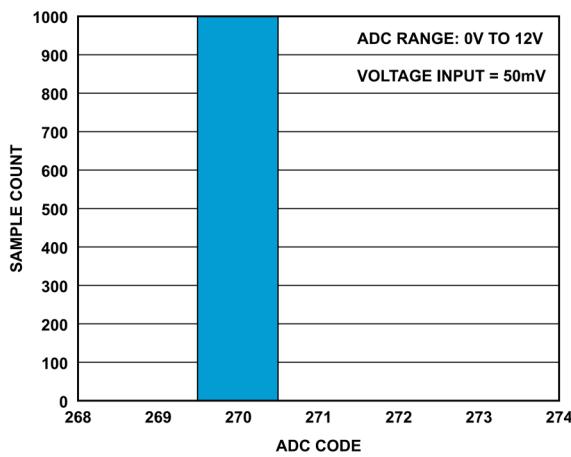


図 21. ADC ノイズ・ヒストグラム (ODR = 20SPS)

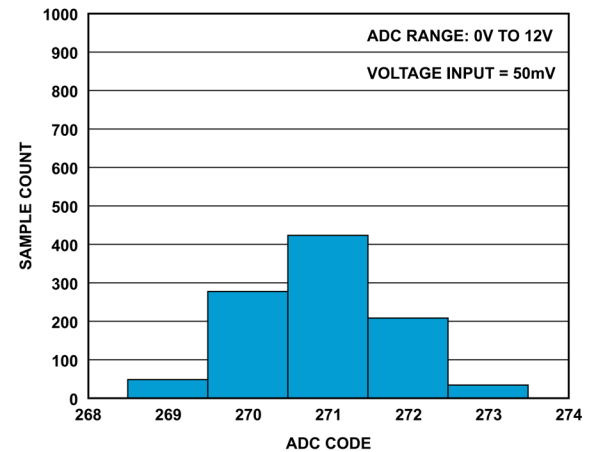


図 24. ADC ノイズ・ヒストグラム (ODR = 9.6kSPS)

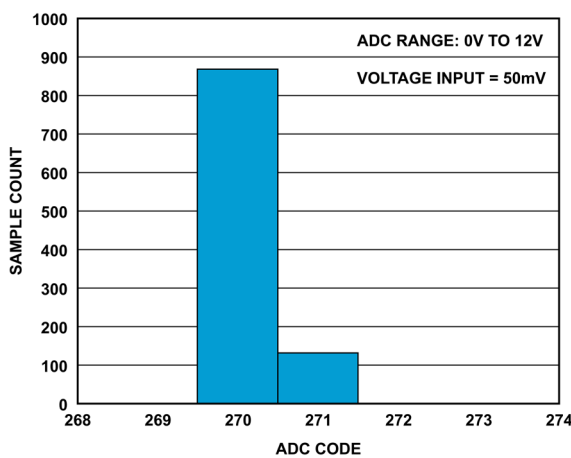


図 22. ADC ノイズ・ヒストグラム (ODR = 1.2kSPS)

代表的な性能特性

デジタル出力

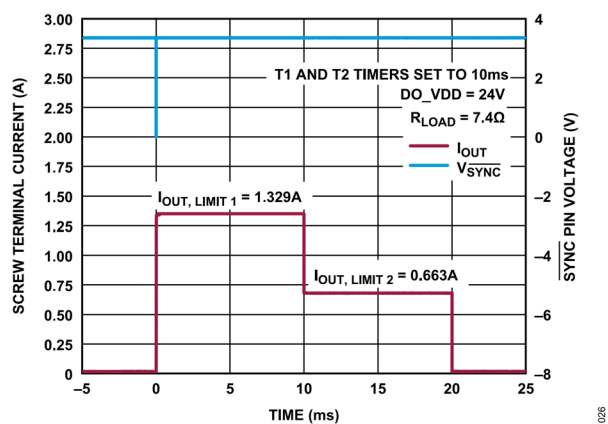


図 25. デジタル出力のプログラマブルな短絡をアクティブ化

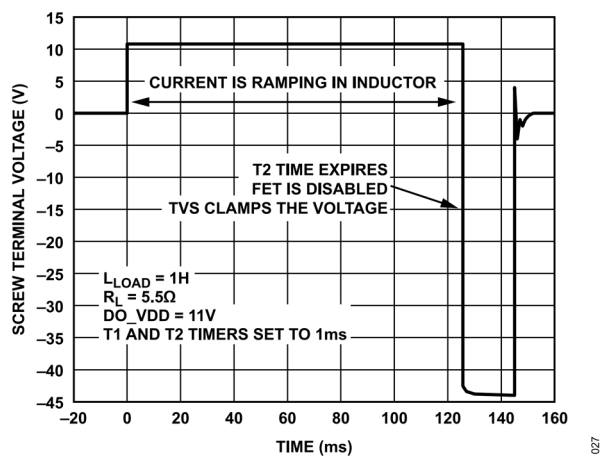


図 26. 誘導性負荷 ( $L_{LOAD}$ ) の消磁方法

代表的な性能特性

HART-IOUT モード

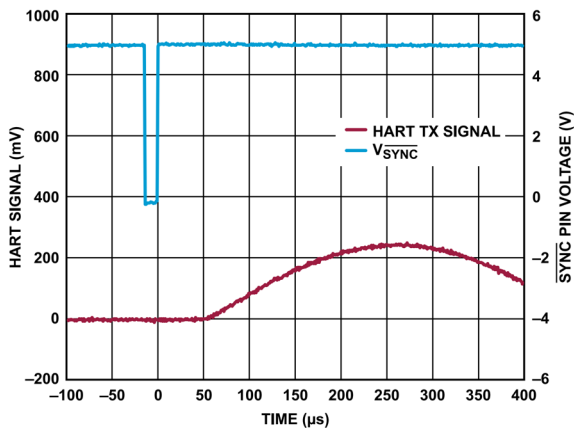


図 27. キャリア開始時間

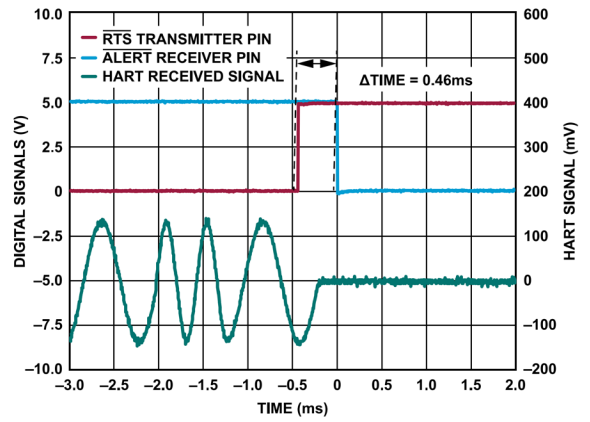


図 30. キャリア検出オフ時間  
(ALERTピンがハイに変化するまで)

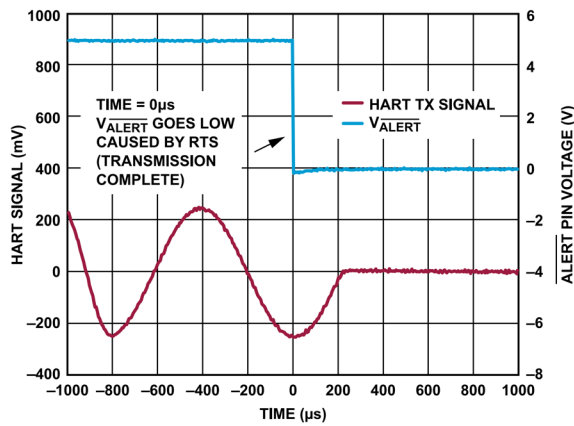


図 28. キャリア停止時間

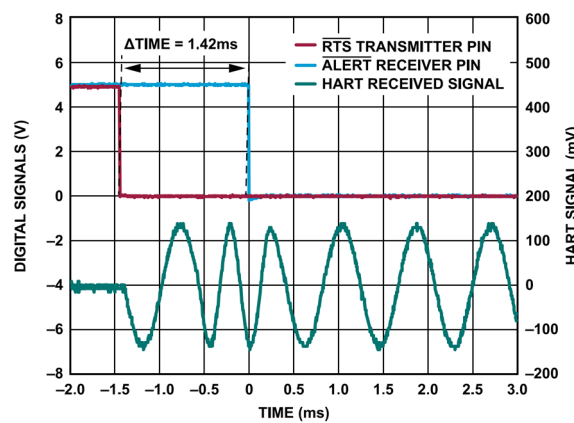


図 29. キャリア検出オン時間 (ALERTピンのアサート)



代表的な性能特性

その他

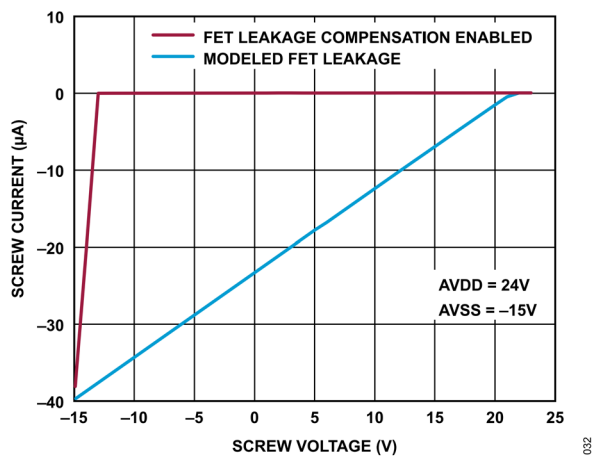


図 31. 電流リーク補償の機能

## 用語

### ADC オフセット誤差

入力範囲がユニポーラの場合、ADC オフセット誤差は、入力短絡時 (0V) のゼロスケール・コード (0x0000) からの LSB の偏差です。

入力範囲がバイポーラの場合、ADC オフセット誤差は、入力短絡時 (0V) のミッドスケール・コード (0x8000) からの LSB の偏差です。

### ADC ゲイン誤差

ゲイン誤差は、ユニポーラおよびバイポーラの両方の範囲に適用されます。ゲイン誤差は、ADC のスパン誤差を表します。

どちらの入力範囲の場合でも、ゲイン誤差は、フルスケール誤差からゼロスケール誤差を差し引いたものとして定義されます。誤差の単位は ppm FSR です。

### DAC オフセット誤差

オフセット誤差は DAC 出力レジスタに 0x0 をロードしたときの、理想的なゼロスケール出力からのアナログ出力の偏差を表します。オフセット誤差の単位は mV です。

### DAC バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は DAC 出力レジスタに 0x2000 をロードしたときの、0V の理想的なミッドスケール出力からのアナログ出力の偏差を表します。この誤差は出力範囲がバイポーラの場合にのみ適用されます。

### DAC ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。DAC の伝達特性の傾きにおける理想値からの偏差で、単位は % FSR です。

### 総合未調整誤差 (TUE)

TUE は、実際出力コードの理想的な出力コードからの最大偏差です。TUE には、INL、オフセット、ゲイン誤差、内部リファレンス誤差が含まれます。

動作原理

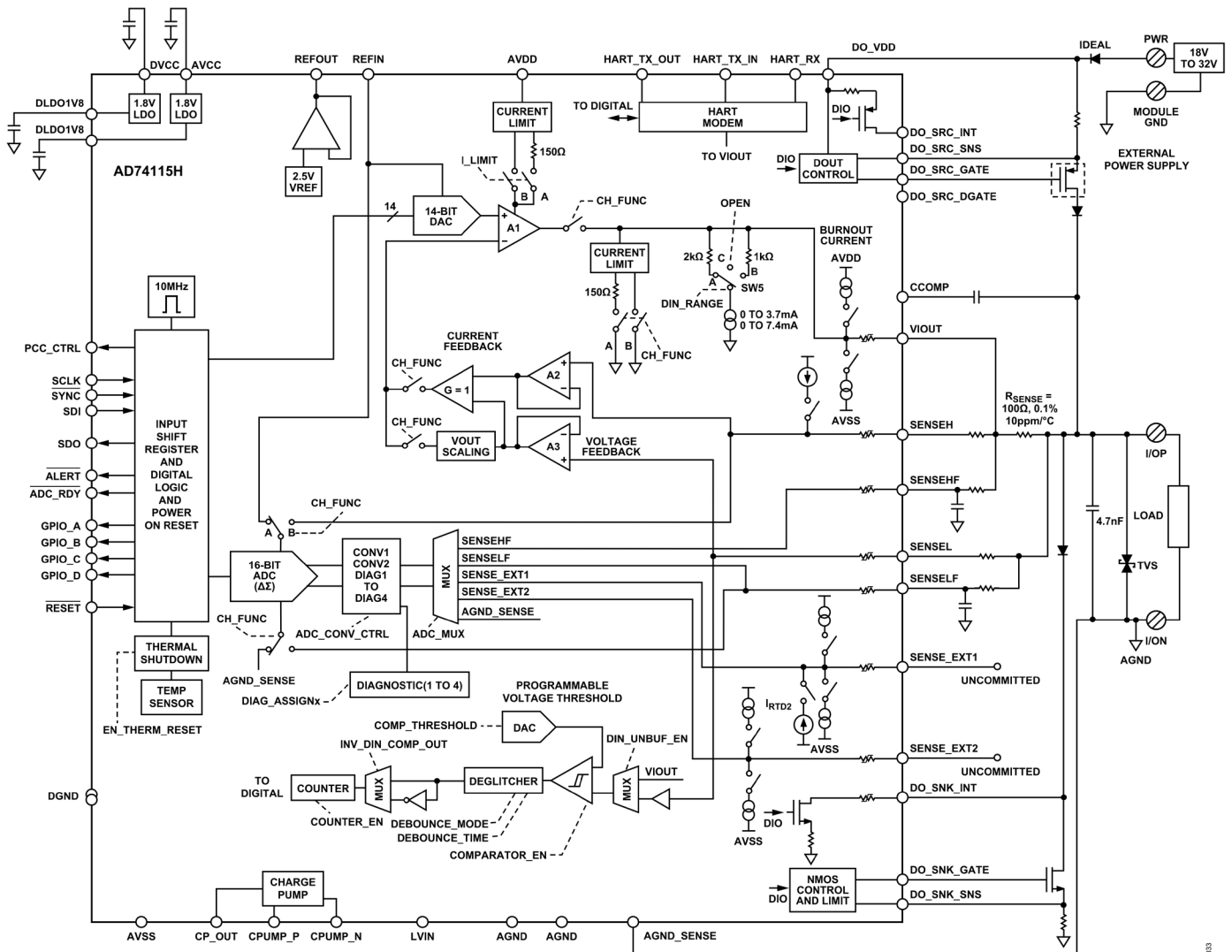


図 32. 詳細な機能ブロック図

AD74115H は、シングル・チャンネルのソフトウェア設定可能な入出力で、絶縁されたプロセス制御やファクトリ・オートメーションなどのアプリケーションの条件を満たせるように設計されています。このデバイスは入出力動作のフル機能内蔵型シングル・チップ・ソリューションで、16ビットΣΔADCと14ビットDACを備えており、7mm×7mmの48ピンLFCSPパッケージを採用しています。また、AD74115Hは、HARTモデムを内蔵しています。

チャンネルは、設定レジスタに書き込みを行うことによって設定します。各動作モードのデフォルト設定は、AD74115Hのレジスタ・マップを介して変更できます。AD74115Hの詳細な機能ブロック図については、図32を参照してください。

堅牢なアーキテクチャ

AD74115H システムはノイズの多い環境でも高い堅牢性を発揮し、配線ミスやサージ現象による過電圧にも耐えることができます。

オンチップのライン・プロテクタは、I/Oピンスクリー端子の電位がAVDDより高くなった場合に、この端子からICに電力が供給されないようにします。

TVSを含む図32と表36の推奨外付け部品は、入出力端子にサージが加わっても耐えられるように選ばれています。

推奨部品の使用時、I/OピンおよびI/ONピンスクリー端子は、DC±36Vまでの過電圧に耐えることができます（外部TVSにより制限）。

SPIには、ノイズの多い環境下でもエラーのない通信を確保できるように、冗長巡回検査（CRC）機能が組み込まれています。

電源およびリファレンス

AD74115Hに電力を供給するには、V<sub>AVDD</sub>（正のアナログ電源）、V<sub>AVSS</sub>（負のアナログ電源）、V<sub>AVCC</sub>（低電圧アナログ電源）、V<sub>DVCC</sub>（デジタル電源）の4つの外部電源が必要です。これら3

## 動作原理

つの電源レールの電圧範囲と対応する条件については、表 14 を参照してください。

### AD74115H への給電

AD74115H をパワーアップするときは、最初にグラウンド接続を行ってください。パワーアップ後は、デバイスに対して何らかのトランザクションを開始する前に、デバイスのパワーアップ時間 (表 14 参照) だけ待つ必要があります。

AD74115H の最初のパワーアップ時またはデバイス・リセット時には、デフォルトで出力チャンネルがディスエーブルされ、高インピーダンス状態になります。

### チャージ・ポンプ

AD74115H はチャージ・ポンプを内蔵しており、これをイネーブルすることで負の電圧源 AVSS を提供できます。ユニポーラ機能のみが必要な場合は、チャージ・ポンプによって、外部 AVSS 電圧の必要性をなくすることができます。チャージ・ポンプをイネーブルするには、CPUMP\_EN ビットを用います。チャージ・ポンプを正しく動作させるには、CPUMP\_N ピンと CPUMP\_P ピン間にコンデンサ (CPUMP フライ・コンデンサ) を外付けする必要があります。CP\_OUT ピンは AVSS に外部接続します。

チャージ・ポンプを使用する場合、外部電源を AVSS ピンに接続しないように注意してください。

チャージ・ポンプのイネーブル時は $\pm 12V$  の出力レンジは無効化されます。

### リファレンス

AD74115H は、外付けまたは内蔵のリファレンス電圧で動作させることができます。AD74115H を正常に動作させるには、リファレンス入力を 2.5V にする必要があります。リファレンス電圧は、内部でバッファされてから DAC と ADC に加えられます。内部リファレンスを使用する場合は、REFIN ピンを REFOUT ピンに接続する必要があります。

### デバイス機能

以降のセクションでは、デフォルト設定で変換を行った場合に ADC の出力結果を解釈する方法に関するブロック図やガイドラインを示しながら、AD74115H の様々なプログラマブル・デバイス機能を説明します。これらの機能は、CH\_FUNC\_SETUP レジスタ内でプログラムされます。

それぞれのデバイス機能はデフォルトの測定設定値で設定されていますが、これらの設定は、必要に応じてレジスタ・マップの範囲内で変更することができます。

### 高インピーダンス

高インピーダンスはパワーアップ時またはデバイス・リセット時のデフォルト機能です。

アナログ入出機能を使用していない場合など、チャンネルを長時間にわたって高インピーダンスに保持する場合は、 $1\mu A$  のシンキング・バーンアウト電流をイネーブルすることを推奨します。バーンアウト電流をイネーブルするには、I\_BURNOUT\_CONFIG レジスタの以下のビットを設定します。

- ▶ BRN\_VIOUT\_EN を 1
- ▶ BRN\_VIOUT\_POL を 0
- ▶ BRN\_VIOUT\_CURR を 100 (2進数)

### ADC データの解釈

高インピーダンス・モードの場合、デフォルトで ADC がスクリュウ端子間 (I/OP~I/ON) の電圧を 0V~12V の範囲で測定します。ADC の測定結果の計算には次式を使用します。

$$V_{ADC} = (ADC\_CODE/65,536) \times Voltage\ Range$$

ここで、 $V_{ADC}$  は測定電圧 (ボルト単位)、 $ADC\_CODE$  は ADC\_RESULT1 レジスタの値、 $Voltage\ Range$  は ADC の測定範囲で、値は 12V です。

### 電圧出力

電圧出力アンプは、0V~+12V のレンジではユニポーラ電圧、 $\pm 12V$  のレンジではバイポーラ電圧を生成できます。各レンジの分解能は 14 ビットです。 $R_{SENSE}$  のローサイドの電圧は  $2k\Omega$  の抵抗を介して SENSEL ピンで検出され、これにより帰還ループが閉じて安定性を維持します。

電圧出力モードの場合、出力レンジはデフォルトで 0V~12V に設定されます。バイポーラ・モードを選択するには、次のシーケンスを使用します。

- ▶ 0V 出力となるよう、DAC\_CODE レジスタに 0x2000 を書き込みます。
- ▶ OUTPUT\_CONFIG レジスタの VOUT\_RANGE ビットを 1 に設定し、バイポーラ出力とします。
- ▶ CH\_FUNC\_SETUP レジスタの CH\_FUNC ビットで電圧出力モードを選択します。

電圧出力モードの電流パス、電圧パス、および測定パスを図 33 に示します。

動作原理

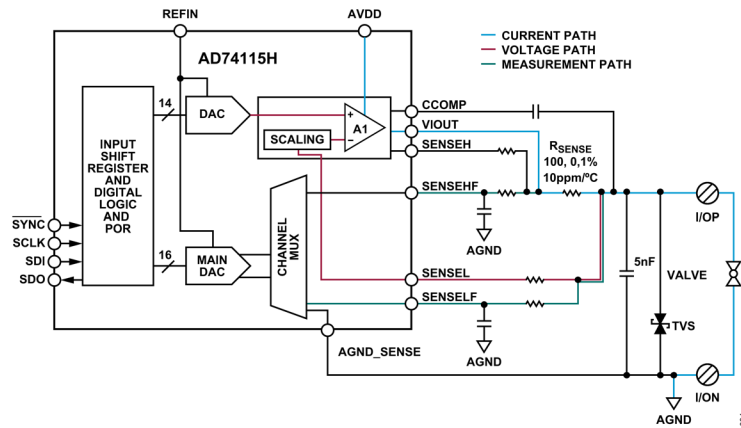


図 33. 電圧出力モードの構成

短絡検出

短絡制限値は 2 つあり、OUTPUT\_CONFIG レジスタの I\_LIMIT ビットを設定することで選択できます。仕様規定されている短絡電流値については表 1 を参照してください。あるチャンネルが、選択した短絡制限値に達した場合は、そのチャンネルに対して電圧出力短絡エラーがフラグされて、ALERTピンがアサートされます。

ADC データの解釈

電圧出力モードでは、R\_SENSE に流れる電流を ADC が -25mA ~ +25mA のレンジで測定します (デフォルト)。この ADC 測定結果を使用し、次式により R\_SENSE を流れる電流を計算します。

$$I_{R_{SENSE}} = \frac{\left( V_{MIN} + \left( \frac{ADC\_CODE}{65,536} \right) \times Voltage\ Range \right)}{R_{SENSE}}$$

ここで、 $I_{R_{SENSE}}$  はアンペア単位の測定電流値です。負の電流は AD74115H から電流がソースされていることを示し、正の電流は AD74115H が電流をシンクしていることを示します。 $V_{MIN}$  は選択した ADC レンジの最小電圧で、デフォルト値は -2.5V です。 $ADC\_CODE$  は ADC\_RESULT1 レジスタの値です。 $Voltage\ Range$  は ADC レンジの全スパンで、値は 5V です。 $R_{SENSE}$  は R\_SENSE の抵抗値で、100Ω です。

動作原理

電流出力

電流出力モードでは DAC が VIOUT ピンに電流を出力しますが、この電流は、SENSEL ピンと SENSEH ピンを使って  $R_{SENSE}$  両端の電圧差を検出することによりレギュレーションされます。

電流出力モードの電流パス、電圧パス、および測定パスを図 34 に示します。

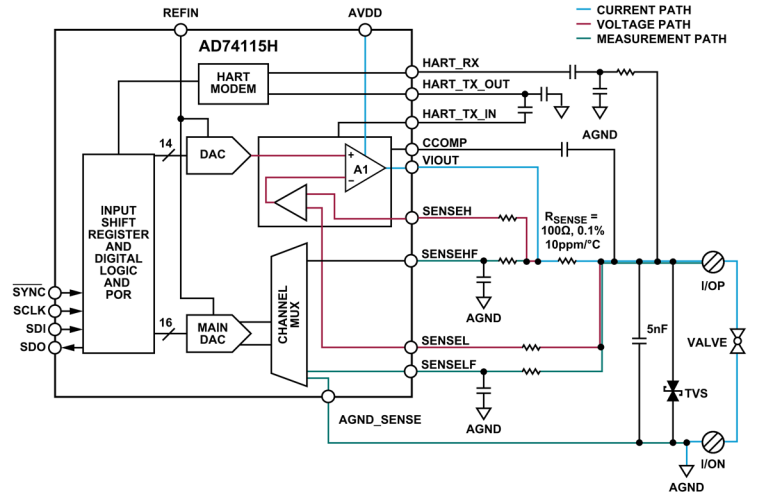


図 34. 電流出力モードの構成

動作原理

オープン・サーキット検出

電流出力モードでは、チャンネルのオープンループ・サーキットによってヘッドルーム電圧がコンプライアンス電圧（表 2 に指定）未満に低下すると、そのチャンネルに電流出力オープン・サーキット・エラーがフラグされて、ALERTピンがアサートされます。V<sub>AVDD</sub> が不十分で、プログラムされた電流出力を駆動できない場合は、オープン・サーキット・エラーがフラグされます。

ADC データの解釈

電流出力モードでは、デフォルトで、スクリュー端子間（I/OP ~ I/ON）の電圧を 0V ~ 12V のレンジで測定するように ADC が設定されます。この ADC 測定結果を使用し、次式によりこれらのスクリュー端子にかかる電圧を計算します。

$$V_{ADC} = (ADC\_CODE / 65,536) \times Voltage\ Range$$

ここで、  
 V<sub>ADC</sub> は測定電圧（ボルト単位）、  
 ADC\_CODE は ADC\_RESULT1 レジスタの値、  
 Voltage Range は ADC の測定範囲で、値は 12V です。

HART 互換性を備えた電流出力モード

OUTPUT\_CONFIG レジスタの SLEW\_EN ビットを介して HART 準拠のスルー・オプションを有効にすると、HART 付き電流出力モードは HART 送信機能に対応できます。

電圧入力

電圧入力モードでは、ADC は SENSEL<sub>IF</sub> ピンと AGND\_SENSE ピンを介して、スクリュー端子（I/OP ~ I/ON）にかかる電圧を測定します。正確な電圧測定を行えるようにするには、I/ON スクリュー端子のできるだけ近くで AGND\_SENSE ピンを接続することが重要です。電圧入力モードの電流バスと測定バスを図 35 に示します。

電圧入力モードでは、電圧は ±12V のレンジで測定できます。ただし、診断機能を用いて I/OP スクリュー端子電圧を測定するオプションもあります。診断機能を用いると、電圧は電源レール全体にわたって測定できます。

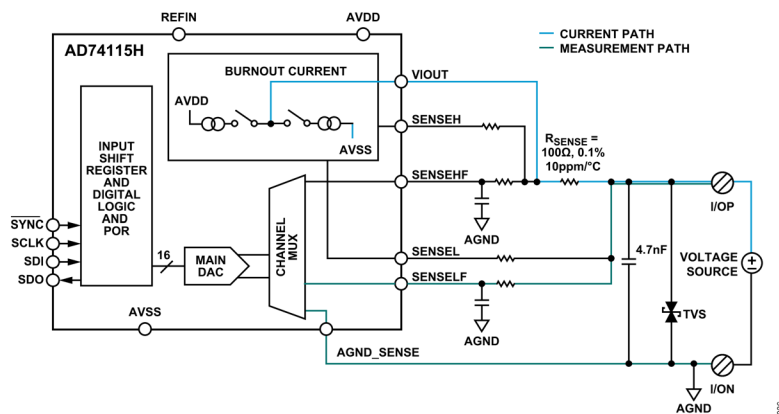


図 35. 電圧入力モードの構成

動作原理

オープン・サーキット検出

プログラマブルなバーンアウト電流を使用して、電圧入力モードのオープン・サーキットを検出できます（バーンアウト電流のセクションを参照）。I\_BURNOUT\_CONFIG レジスタに書き込むことで必要なバーンアウト電流を VIOUT ピンに設定できます。I/OP スクリュー端子がフロート状態の場合は、SENSELF ピンが電源レールに引き下げられ、ADC の結果は変換エラーを生じます。

ADC データの解釈

電圧入力モードでは、デフォルトで、スクリュー端子間 (I/OP ~I/ON) の電圧を 0V~12V のレンジで測定するように ADC が設定されます。ADC\_CONFIG レジスタの CONV1\_RANGE ビットを用いると、別のレンジを選択できます。この ADC 測定結果を使用し、次式によりこれらのスクリュー端子にかかる電圧を計算します。

$$V_{ADC} = V_{MIN} + (ADC\_CODE/65,536) \times Voltage\ Range$$

ここで、 $V_{MIN}$  は選択した ADC レンジの最小入力電圧でデフォルト値は 0V、

$V_{ADC}$  は測定電圧（ボルト単位）、  
 $ADC\_CODE$  は ADC\_RESULT1 レジスタの値、  
 $Voltage\ Range$  は ADC の測定範囲で、値は 12V です。

熱電対測定

スクリュー端子 (I/OP~I/ON) を介して熱電対が接続されているときは、電圧入力モードで熱電対の電圧を測定できます。熱電対の電圧を正確に測定するには、電圧入力モードで ADC\_CONFIG レジスタを介して±104mV の入力レンジを選択してください。

外部駆動電流入力

外部駆動電流入力モードでは、AD74115H は、外部電流源用に、VIOUT ピンを介してグラウンドへの電流制限パスを提供します。16 ビット Σ-Δ ADC が R\_SENSE を流れる電流を測定するように設定されます。電流は、SENSEHF ピンと SENSELF ピンを介して R\_SENSE の電圧をデジタル化することによって測定されます。外部駆動電流入力モードの電流パスと測定パスを図 36 に示します。

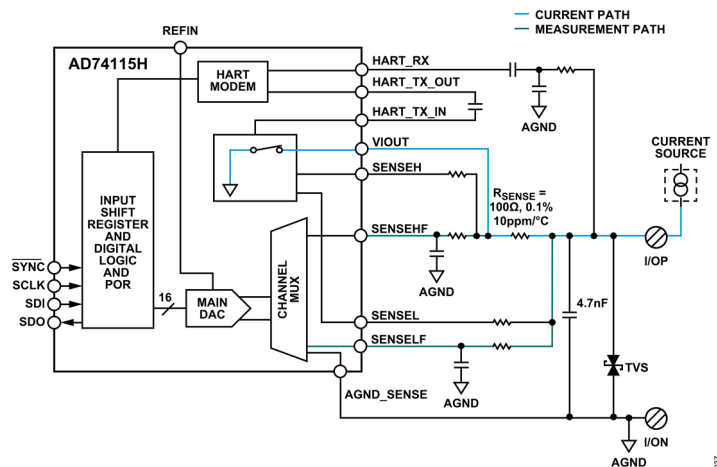


図 36. 外部駆動電流入力モードの構成



動作原理

短絡の保護と検出

外部駆動電流入力モードの最大短絡制限値は 35mA で、これは外部回路を保護すると共に、AD74115H の消費電力を制限します。

外部駆動電流入力モードでは、デジタル入力コンパレータがデフォルトでイネーブルされ、短絡状態を検出します。デジタル入力コンパレータは、AVDD/2 のスレッシュホールド電圧でイネーブルします。通常動作時の I/OP 電圧は、通常、グラウンドの 5V 以内です。35mA を超える電流を電流源が AD74115H にシクしようとする時、SENSEL ピンの電圧が直ちに増加します。I/OP スクリュー端子の電圧が設定スレッシュホールド電圧を超えると、コンパレータがトリップして、ALERT\_STATUS レジスタの ANALOG\_IO\_SC ビットがセットされます。

ADC データの解釈

電流入力モードの場合、デフォルトで、I/OP スクリュー端子から R<sub>SENSE</sub> を通って AD74115H へ流れ込む電流を、ADC が 25mA のレンジで測定します。この ADC 測定電流を使用し、次式により R<sub>SENSE</sub> を流れる電流を計算します。

$$I_{R_{SENSE}} = \frac{\left(\left(\frac{ADC\_CODE}{65,536}\right) \times Voltage\ Range\right)}{R_{SENSE}}$$

ここで、

$I_{R_{SENSE}}$  はアンペア単位の測定電流値、  
 ADC\_CODE は ADC\_RESULT1 レジスタの値、  
 Voltage Range は ADC レンジの全スパンで値は 2.5V、  
 R<sub>SENSE</sub> は検出抵抗で 100Ω に設定されています。

HART モードでの外部駆動電流入力

このモードは、外部駆動電流入力モードの HART 対応バージョンです。HART 受信インピーダンスに対応するため入力インピーダンスは最小値である 230Ω に設定されます。

ループ駆動電流入力

ループ駆動電流入力モードでは、AD74115H が I/OP スクリュー端子に電流制限電圧を出力します。電流は、SENSEHF ピンと SENSELF ピンを介して R<sub>SENSE</sub> の電圧をデジタル化することによって測定されます。ループ駆動電流入力モードの電流パス、電圧パス、および測定パスを図 37 に示します。

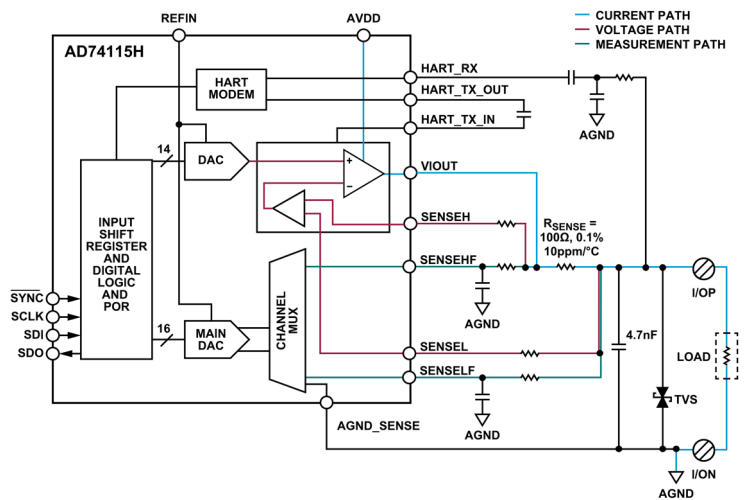


図 37. ループ駆動電流入力モードの構成

動作原理

短絡の保護と検出

AD74115H からの電流は、プログラマブルな DAC コードによって制限されます。

ループ駆動電流入力モードでは、デジタル入力コンパレータがデフォルトで短絡を検出します。

デジタル入力コンパレータは、AVDD/2 のスレッシュホールド電圧と反転出力を使ってイネーブルします。通常動作時の I/OP 電圧は、通常、VAVDD の 5V 以内です。負荷がグラウンドに短絡されると、I/OP の電圧がグラウンドにプルダウンされます。I/OP スクリュー端子の電圧が設定スレッシュホールド電圧未満になると、コンパレータがローにトリップして、ALERT\_STATUS レジスタの ANALOG\_IO\_SC ビットがセットされます。

ADC データの解釈

ループ駆動電流入力モードでは、デフォルトで、AD74115H から RSENSE を通って I/OP スクリュー端子へ流れ込む電流を、ADC が 25mA のレンジで測定します。この ADC 測定結果を使用し、次式により電流を計算します。

$$I_{RSENSE} = \frac{\left(\left(\frac{ADC\_CODE}{65,536}\right) \times Voltage\ Range\right)}{R_{SENSE}}$$

ここで、  
 $I_{RSENSE}$  はアンペア単位の測定電流値、  
 ADC\_CODE は ADC\_RESULT1 レジスタの値、  
 Voltage Range は ADC レンジの全 ADC スパンで値は 2.5V、  
 $R_{SENSE}$  は検出抵抗で値は 100Ω です。

HART 対応ループ駆動電流入力モード

このモードは、ループ駆動電流入力モードの HART 対応バージョンです。ただし、電流源はプログラマブルではないため、DAC の設定は不要です。HART 対応ループ駆動電流入力モードが選択されているときは、30mA (代表値) の電流制限ソースが有効です。

このモードはループ駆動電流入力モードに抵抗終端を提供します。HART 受信インピーダンスに対応する入力インピーダンスは最小値である 230Ω に設定されます。

抵抗測定 (2 線式 RTD)

抵抗測定構成は、2.5V のバイアスから得られる電圧によって外付けの 2 線式 RTD をバイアスします。これによる励起電流は、2kΩ 抵抗と 100Ω 抵抗 (図 38 の R<sub>PULLUP</sub>) を通って流れます。この構成では正確な比例測定を行うことが可能で、16 ビット Σ-Δ ADC が RTD の電圧を自動的にデジタル化します。また、励起電流の値は小さいので RTD の消費電力が最小限に抑えられ、自己発熱量が減少します。RTD バイアス回路の例については図 38 を参照してください。

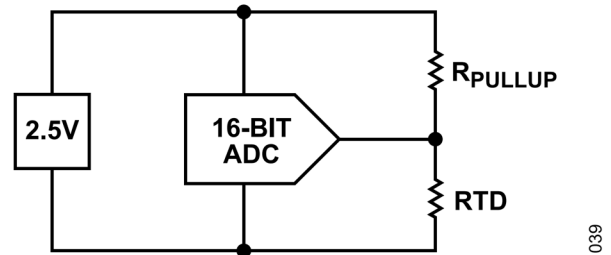


図 38. RTD バイアス回路

AGND\_SENSE ピンを測定 RTD のロー側に接続することは、非常に重要です。抵抗測定構成における電流パス、電圧パス、および測定パスを図 39 に示します。

抵抗測定モードは、2 線式 RTD 測定のために用いることができますが、外付け負荷の診断にも使用できます。負荷インピーダンスを負荷検知手法として用いることや、負荷の経時変化を判定するために用いることができます。

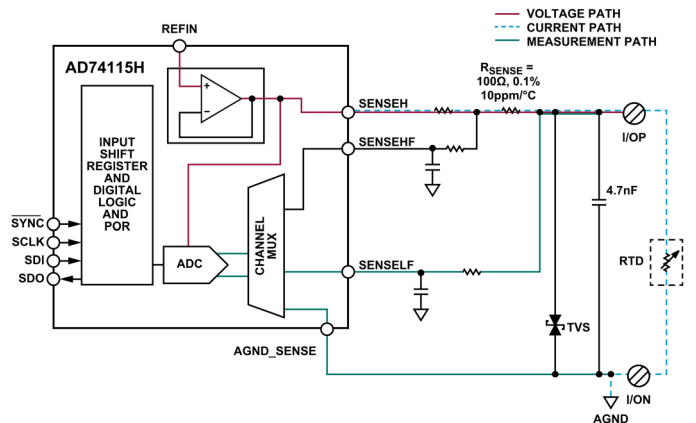


図 39. 抵抗測定構成

動作原理

ADC データの解釈

抵抗測定モードでは、16 ビット  $\Sigma$ - $\Delta$  ADC が RTD の電圧を 2.5V のレンジで自動的にデジタル化します。

変換実行時は、RTD と  $R_{PULL-UP}$  の比が ADC コードに反映されます。この ADC コードを使用し、次式により RTD 抵抗を計算します。

$$R_{RTD} = \frac{(ADC\_CODE \times R_{PULL-UP} - UP)}{(65,536 - ADC\_CODE)}$$

ここで、

$R_{RTD}$  は RTD の抵抗の計算値 ( $\Omega$ )、  
 $ADC\_CODE$  は ADC\_RESULT1 レジスタのコード、  
 $R_{PULL-UP}$  の値は 2100 $\Omega$  です。

RTD モードの場合は、ADC\_CONFIG レジスタに設定されている CONV1\_MUX ビットを変更しないでください。ADC マルチプレクサのデフォルト構成を変更すると、正しい ADC 変換結果が得られなくなります。

3 線式 RTD 測定

AD74115H は 3 線式 RTD 測定に対応しています。CH\_FUNC\_SETUP レジスタの CH\_FUNC ビットを使用するとチャンネルを 3 線式または 4 線式の RTD モードに設定できます。

図 40 に 3 線式 RTD 法の簡略化した構成図を示します。等しい励起電流  $I_1$  および  $I_2$  が、2 本の RTD リードに流れます。3 本目のリードはグラウンドに接続されます。励起電流の一方である  $I_1$  は RTD およびリード抵抗  $RL_1$  に電圧を生成します。もう一方の励起電流  $I_2$  は  $RL_2$  での電圧降下を生成します。その結果端子 T1 と T2 間の電圧は、RTD の電圧降下と等しくなります (リード抵抗が等しいことが前提となっています。つまり、 $RL_1 = RL_2 = RL_3$  です)。

T1 端子と T2 端子間の電圧は、ADC が SENSELFP ピンと SENSE\_EXTI1 ピンを使用して測定します。ADC のフルスケ-

ール・レンジは、リファレンス抵抗  $R_{REF}$  の電圧で決まるため、完全な比例測定が確保されます。

RTD 端子に加えられる励起電流は、RTD3W4W\_CONFIG レジスタで 250 $\mu$ A~1mA の 4 つの値のいずれかを使用して設定できます。励起電流の完全なリストについては表 7 を参照してください。使用する RTD に応じた励起電流を選択してください。

SENSEHF ピンで生成される電圧 ( $I_1 \times (R_{REF} + R_{RTD})$ ) は  $V_{AVCC}$  未満となるよう、注意が必要です。SENSEHF ピンの電圧は、ADC の正のリファレンスとなり、 $V_{AVCC}$  の値を超えることはできません。

3 線式 RTD 法では 3 つの測定レンジが使用できます。これらのレンジは表 7 に記載されています。測定レンジは、ADC\_CONFIG レジスタの CONV1\_RANGE ビットで設定できます。使用する RTD に最適なレンジを選択してください。

3 線式または 4 線式 RTD モードを選択した場合、AD74115H は、Pt100 のレンジで 3 線式 RTD を測定するよう自動設定されます。この場合、励起電流は 1mA となり、ADC の測定レンジは 0V~0.625V となります。

Pt1000 の測定が必要な場合は、500 $\mu$ A の励起電流を用い ADC のレンジを 0V~12V に設定することを推奨します。

Cu10 の場合のように RTD の抵抗が低い場合は、励起電流を 1mA とし ADC レンジを  $\pm 104$ mV とすることを推奨します。

ADC 測定レンジは、ADC\_CONFIG レジスタの CONV1\_RANGE ビットに書き込むことで変更できます。励起電流は、RTD3W4W\_CONFIG レジスタの RTD\_CURRENT ビットに書き込むことで変更できます。

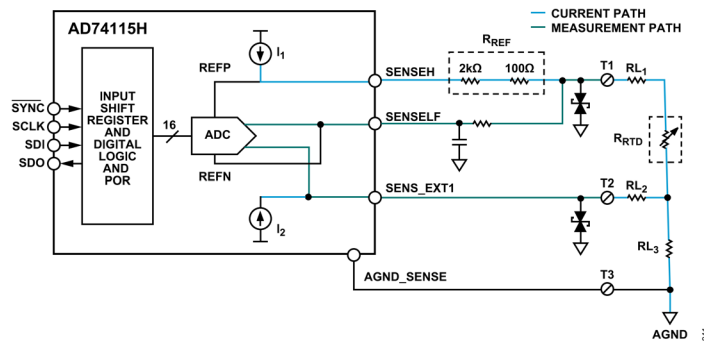


図 40. 3 線式 RTD 測定の構成

## 動作原理

### 3 線式 RTD 測定を Pt1000 RTD 用に構成する方法

3 線式 RTD 測定を Pt1000 RTD 用に構成する方法の例を以下に示します。

- ▶ CH\_FUNC\_SETUP レジスタで 3 線式または 4 線式抵抗測定を選択します。
- ▶ ADC\_CONFIG レジスタで CONV1\_MUX を SENSELFS、SENSE\_EXT1、CONV1\_RANGE を 0V~12V に設定します。
- ▶ RTD3W4W\_CONFIG レジスタで RTD\_CURRENT を 500 $\mu$ A、RTD\_MODE\_SEL を 3 線式 RTD モードに設定します。
- ▶ ADC\_CONV\_CTRL レジスタで、連続変換を開始するよう CONV1\_EN および CONV\_SEQ を設定します。

### オープン・サーキット検出

3 線式 RTD のリードでは、オープン・サーキット検出機能を使用できます。励起電流と RTD 抵抗およびリード抵抗の組み合わせにより、SENSEH ピンと SENSE\_EXT1 ピンに電圧が生じます。これらのピンのどちらかの電圧が短絡検出電圧 (表 7 参照) を超えると、ALERT\_STATUS レジスタにオープン・サーキット信号がアサートされます。

### ADC データの解釈

3 線式 RTD モードでは、SENSELF~SENSE\_EXT1 の電圧を測定するよう、16 ビット  $\Sigma$ - $\Delta$  ADC を設定します。変換実行時は、 $R_{RTD}$  と  $R_{REF}$  の比が ADC コードに反映されます。

ユニポーラの ADC レンジを使用する場合は、ADC コードを用いて次式に従い RTD 抵抗を計算します。

$$R_{RTD} = \left( \frac{ADC\_CODE+5}{65,536 \times ADC\_GAIN} \times R_{REF} \right) + 0.2$$

ここで、

$R_{RTD}$  は RTD の抵抗の計算値 ( $\Omega$ )、  
 $ADC\_CODE$  は ADC\_RESULT1 レジスタのコード、  
 $R_{REF}$  の値は 2100 $\Omega$  (SENSEH および  $R_{SENSE}$  の抵抗の合計値)、  
 $ADC\_GAIN$  は選択した ADC レンジでの ADC ゲイン。0V~0.625V のレンジ (Pt100) を使用する場合は、 $ADC\_GAIN$  は 4 です。

0V~12V のレンジ (Pt1000) を使用する場合は、 $ADC\_GAIN$  は 1/4.8 です。

バイポーラの ADC レンジを使用する場合は、ADC コードを用いて次式に従い RTD 抵抗を計算します。

$$R_{RTD} = \left( \frac{ADC\_CODE - 32,763}{32,768 \times ADC\_GAIN} \times R_{REF} \right) + 0.2$$

ここで、

$R_{RTD}$  は RTD の抵抗の計算値 ( $\Omega$ )、  
 $ADC\_CODE$  は ADC\_RESULT1 レジスタのコード、  
 $R_{REF}$  の値は 2100 $\Omega$  (SENSEH および  $R_{SENSE}$  の抵抗の合計値)、  
 $ADC\_GAIN$  は選択した ADC レンジでの ADC ゲイン。±104mV のレンジ (Cu10) を使用する場合は、 $ADC\_GAIN$  は 24 です。

### 4 線式 RTD 測定

AD74115H は 4 線式 RTD 測定に対応しています。CH\_FUNC\_SETUP レジスタを使用するとチャンネルを 3 線式または 4 線式の RTD モードに設定できます。RTD3W4W\_CONFIG レジスタで RTD\_MODE\_SEL ビットを 4 線式 RTD 測定に設定します。

図 41 に 4 線式 RTD 法の簡略化した構成図を示します。励起電流  $I_1$  は SENSEH を介して RTD の 1 本のリードに供給されます。4 本目のリードはグラウンドに接続されます。

SENSE\_EXT2 に接続された 2 本目の RTD リードと SENSE\_EXT1 に接続された 3 本目の RTD リードには電流は流れません。そのため、これらのピンを使用して RTD の電圧を直接検出できます。

ADC のフルスケール・レンジ  $R_{REF}$  の電圧で決まるため、完全な比例測定が確保されます。

RTD 端子に加えられる励起電流は、RTD3W4W\_CONFIG レジスタの RTD\_CURRENT ビットで 250 $\mu$ A~1mA の 4 つの値のいずれかを使用して設定できます。励起電流の完全なリストについては表 7 を参照してください。使用する RTD に応じた励起電流を選択してください。SENSEHF ピンで生成される電圧 ( $I_1 \times (R_{REF} + R_{RTD})$ ) は  $V_{AVCC}$  未満となるよう、注意が必要です。SENSEHF ピンの電圧は、ADC の正のリファレンスとなり、 $V_{AVCC}$  の値を超えることはできません。

測定レンジは、ADC\_CONFIG レジスタの CONV1\_RANGE ビットで設定できます。使用する RTD に最適なレンジを選択してください。

動作原理

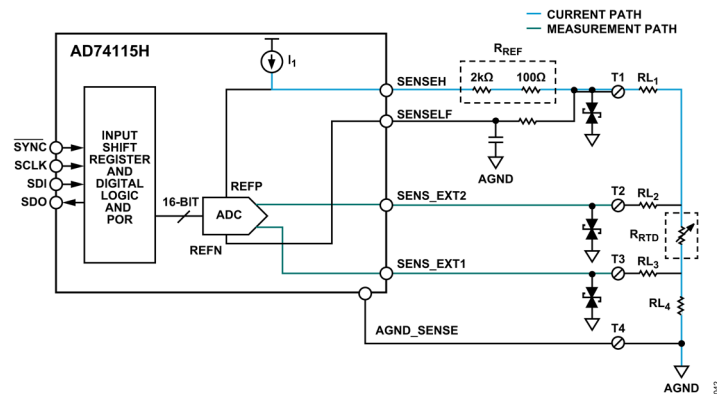


図 41.4 線式 RTD 測定の構成

4 線式 RTD 測定を Pt100 RTD 用に構成する方法

4 線式 RTD 測定を Pt100 RTD 用に構成する方法の例を以下に示します。

- ▶ CH\_FUNC\_SETUP レジスタで 3 線式または 4 線式抵抗測定を選択します。
- ▶ ADC\_CONFIG レジスタで CONV1\_MUX を SENSE\_EXT2～SENSE\_EXT1、CONV1\_RANGE を 0V～0.625V に設定します。
- ▶ RTD3W4W\_CONFIG レジスタで RTD\_CURRENT を 1mA、RTD\_MODE\_SEL を 4 線式 RTD モードに設定します。
- ▶ ADC\_CONV\_CTRL レジスタで、連続変換を開始するよう CONV1\_EN および CONV\_SEQ を設定します。

オープン・サーキット検出

励起電流と負荷抵抗が組み合わさることで SENSEH ピンに電圧が生じます。SENSEH ピンに生じた電圧が表 8 で規定されたオープン・サーキット検出電圧を超えると、ALERT\_STATUS レジスタにオープン・サーキット信号がアサートされます。この信号は、T1 または T14 のどちらかがオープン・サーキット状態になっていることを示します (図 41 参照)。

バーンアウト電流によって、SENSE\_EXT1 または SENSE\_EXT2 がオープン・サーキットになっているかどうか判定できます (バーンアウト電流のセクションを参照)。

ADC データの解釈

4 線式 RTD モードでは、SENSE\_EXT2～SENSE\_EXT1 の電圧を測定するよう、16 ビット Σ-Δ ADC を設定します。変換実行時は、RRTD と RREF の比が ADC コードに反映されます。

ユニポーラの ADC レンジを使用する場合は、ADC コードを用いて次式に従い RTD 抵抗を計算します。

$$R_{RTD} = \frac{ADC\_CODE+5}{65,536 \times ADC\_GAIN} \times R_{REF}$$

ここで、  
RRTD は RTD の抵抗の計算値 (Ω)、

ADC\_CODE は ADC\_RESULT1 レジスタのコード、  
RREF の値は 2100Ω (SENSEH および RSENSE の抵抗の合計値)、  
ADC\_GAIN は選択した ADC レンジでの ADC ゲイン。0V～0.625V のレンジ (Pt100) を使用する場合、ADC\_GAIN は 4 です。

0V～12V のレンジ (Pt1000) を使用する場合、ADC\_GAIN は 1/4.8 です。

バイポーラの ADC レンジを使用する場合は、ADC コードを用いて次式に従い RTD 抵抗を計算します。

$$R_{RTD} = \frac{ADC\_CODE - 32,763}{32,768 \times ADC\_GAIN} \times R_{REF}$$

ここで、  
RRTD は RTD の抵抗の計算値 (Ω)、  
ADC\_CODE は ADC\_RESULT1 レジスタのコード、  
RREF の値は 2100Ω (SENSEH および RSENSE の抵抗の合計値)、  
ADC\_GAIN は選択した ADC レンジでの ADC ゲイン。±104mV のレンジ (Cu10) を使用する場合、ADC\_GAIN は 24 です。

デジタル入力ロジック

デジタル入力回路は、I/O\_P スクリュー端子からの高電圧デジタル入力を、GPIO\_B ピンまたは SPI の低電圧ロジック信号に変換できます。

外部駆動センサーは、I/O\_P スクリュー端子の高電圧デジタル入力を提供します。SENSEL ピンのフィルタ処理されていない端子電圧を、オンチップ・コンパレータに入力することができます。高速デジタル入力データが必要な場合は、DIN\_CONFIG2 レジスタの DIN\_UNBUF\_EN ビットを用いて入力バッファをバイパスできます。バッファ付きおよびバッファなしのデータレートについては、表 9 を参照してください。

デジタル入力コンパレータは、入力信号の電圧をプログラマブルなスレッショルド電圧と比較します (詳細については、デジタル入力閾値の設定のセクションを参照)。コンパレータ出力のバウンス防止については、バウンス防止機能のセクションを、参照してください。

DIN\_COMP\_OUT レジスタからの読出または GPIO\_A ピンを使用することで、コンパレータ出力をモニタできます。GPIO\_A

動作原理

ピンは、GPIO\_CONFIGx レジスタを介して、バウンス防止デジタル入力信号を駆動するように設定されます。

デジタル入力動作に ADC は不要ですが、デジタル入力ロジック・モードを有効にした状態で、電圧および電流測定に ADC を使用することは可能です。

デジタル入力ロジック・モードの電流パス、電圧パス、および出力パスを図 42 に示します。

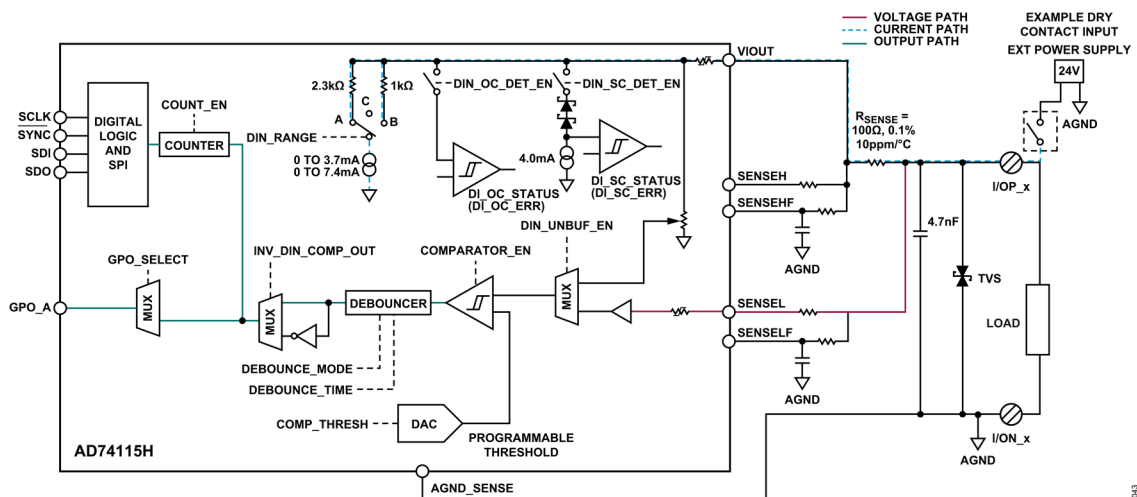


図 42. デジタル入力ロジック・モードの構成

## 動作原理

### デジタル入力閾値の設定

デジタル入力閾値は内部DACによって設定されます。このDACへのリファレンスは、 $V_{AVDD}$ 、またはリファレンス電圧  $V_{REFIN}$  によって駆動されます。このリファレンスは、 $DIN\_CONFIG2$  レジスタの  $DIN\_THRESH\_MODE$  ビットへの書き込みによって設定されます。

具体的な閾値レベルは、 $DIN\_CONFIG2$  レジスタの  $COMP\_THRESH$  ビットを使ってプログラムします。閾値を設定するにはいくつかのビットを使用でき、プログラム可能な最大コードは 98 (10進数) です。

DACリファレンスを  $AVDD$  に設定したときの、 $COMP\_THRESH$  ビットにプログラムされたコードと対応スレッショルド電圧の関係を次式に示します。

$$V_{THRESH(AVDD)} = V_{AVDD} \times \left( \frac{Code - 48}{50} \right)$$

ここで、 $V_{THRESH(AVDD)}$  はボルト単位で表されたコンパレータ閾値、 $V_{AVDD}$  は  $AVDD$  電源の値 (ボルト単位)、 $Code$  は  $COMP\_THRESH$  ビットにロードされた 10進コードです。

DACリファレンスを  $V_{REFIN}$  に設定したときの、 $COMP\_THRESH$  ビットにプログラムされたコードと対応スレッショルド電圧の関係を次式に示します。

$$V_{THRESH(FIXED VOLTAGE)} = V_{REFIN} \times (Code - 38) / 5$$

ここで、 $V_{THRESH(FIXED VOLTAGE)}$  はボルト単位で表されたコンパレータ閾値、 $V_{REFIN}$  はリファレンス電圧、 $Code$  は  $COMP\_THRESH$  ビットにロードされた 10進コードです。

### デジタル入力電流シンク

AD74115H はプログラマブルな電流シンクを内蔵しています。この電流シンクは、 $DIN\_CONFIG1$  レジスタの  $DIN\_RANGE$  ビットと  $DIN\_SINK$  ビットを介してプログラムされます。このように電流シンクがプログラマブルなので、IEC 61131-2 のタイプ I、タイプ II およびタイプ III に準拠できます。

IEC 61131-2 のタイプ I およびタイプ III に準拠するには、電流シンクとスレッショルド電圧をプログラムします。

タイプ I およびタイプ III に対しては、 $DIN\_CONFIG1$  レジスタと  $DIN\_CONFIG2$  レジスタを以下のようにプログラムすることを推奨します。

- ▶  $DIN\_RANGE$  ビット : 0x0
- ▶  $DIN\_SINK$  ビット : 0x14
- ▶  $DIN\_THRESH\_MODE$  ビット : 0x1
- ▶  $COMP\_THRESH$  ビット : 0x37

これらのビットの設定により、電流シンクは 2.4mA (代表値)、電圧上昇のトリップ・ポイントは 8.5V (代表値) になります。

タイプ II に対しては、 $DIN\_CONFIG1$  レジスタと  $DIN\_CONFIG2$  レジスタを以下のようにプログラムすることを推奨します。

- ▶  $DIN\_RANGE$  ビット : 0x1
- ▶  $DIN\_SINK$  ビット : 0x1D
- ▶  $DIN\_THRESH\_MODE$  ビット : 0x1
- ▶  $COMP\_THRESH$  ビット : 0x37

これらのビットの設定により、電流シンクは 6.96mA (代表値)、電圧上昇のトリップ・ポイントは 8V (代表値) になります。

### オープン・サーキットと短絡の検出

AD74115H には、オープン・サーキットと短絡の検出機能があり、IEC 61131-3D に準拠するよう設定できます。

オープン・サーキットと短絡の検出機能を使用するには、 $DIN\_RANGE$  ビットを用いて電流シンクをイネーブルします。電流は  $DIN\_SINK$  ビットを用いて設定します。

オープン・サーキット診断をイネーブルするには、 $DIN\_OC\_DET\_EN$  ビットを用います。入力電流が 0.35mA 未満の場合、オープン・サーキットが検出されます。

短絡診断をイネーブルするには、 $DIN\_SC\_DET\_EN$  ビットを用います。 $DIN\_SC\_DET\_EN$  ビットがセットされると、4mA の追加電流シンクがイネーブルされます。4mA のシンク制限を超えると短絡フォルトがトリガされます。

オープン・サーキット・フォルトまたは短絡フォルトがトリガされると、該当ビットが  $ALERT\_STATUS$  レジスタにセットされ、 $ALERT$  ピンがアサートされます。

タイプ 3D の診断に対しては、 $DIN\_CONFIG1$  レジスタと  $DIN\_CONFIG2$  レジスタを以下のようにプログラムすることを推奨します。

- ▶  $DIN\_RANGE$  ビット : 0x0
- ▶  $DIN\_SINK$  ビット : 0xF
- ▶  $DIN\_OC\_DET\_EN$  ビット : 0x1
- ▶  $DIN\_SC\_DET\_EN$  ビット : 0x1
- ▶  $DIN\_THRESH\_MODE$  ビット : 0x1
- ▶  $COMP\_THRESH$  ビット : 0x37

これらのビットの設定により、電流シンクは 1.6mA (代表値)、電圧上昇のトリップ・ポイントは 8.5V (代表値) になります。シンク電流が 220 $\mu$ A 未満になるとオープン・サーキット検出がトリガされます。シンク電流が 6.2mA を超えると短絡検出がトリガされます。

### デジタル入カインバータ

バウンス防止後のコンパレータ出力は、そのまま  $DIN\_COMP\_OUT$  レジスタに渡すことができます。あるいは、信号を反転させてから  $DIN\_COMP\_OUT$  レジスタへ送ることができます。このインバータをイネーブルするには、 $DIN\_CONFIG1$  レジスタの  $INV\_DIN\_COMP\_OUT$  ビットをセットします。

### デジタル入力カウンタ

デジタル入力モードではカウンタを使用できます。カウンタにより、バウンスが防止されたデジタル入力エッジをカウントできます。カウンタは、デジタル入力インバータを使用している否かによって、立上がりエッジまたは立下がりエッジをカウントするように設定できます。デジタル入力カウンタをイネーブルし、 $DIN\_CONFIG1$  レジスタでインバータを設定してください。カウント値は、 $DIN\_COUNTER$  レジスタで読書きできます。

## 動作原理

デバイスがリセットされると、カウンタは 0 にリセットされます。カウンタはフルスケールに達すると、0 にロール・オーバーします。COUNT\_EN ビットを 0 に設定した場合は、カウンタの動作が停止します。

### デジタル入力データ・レート

AD74115H がデジタル入力モードに設定されている場合、SENSEL ピンの電圧はデジタル入力コンパレータによってバッファおよびモニタが行われます。表 9 に仕様規定されたデータ・レートを示します。

より高いデータ・レート可能にするには、高速のバッファなしオプションが使用できます。これにより、コンパレータは高速信号をモニタできます。バッファのない動作の場合、VIOUT ピンはデジタル入力コンパレータがモニタします。高速モードでの仕様規定データ・レートについては表 9 を参照してください。バッファなしのモードを有効化するには、DIN\_CONFIG2 レジスタの DIN\_UNBUF\_EN ビットをセットします。

VIOUT ピンを介して負荷との間で電流をソースまたはシンクする間にバッファなしのモードを使用する場合、閾値電圧の設定時に、R<sub>SENSE</sub> (100Ω) および VIOUT ライン・プロテクタ (15Ω) での電圧降下を考慮してください。

### バウンス防止機能

デジタル入力コンパレータ出力は定期的な間隔でサンプリングされて、ユーザ設定可能なバウンス防止動作に渡されます。

コンパレータ出力は、DIN\_CONFIG1 レジスタの DEBOUNCE\_TIME ビット (5 ビット) を介してユーザ設定可能な時間だけバウンスが防止されます。バウンス防止機能をバイパスするには、これらのビットを 0x00 に設定してください。設定可能なバウンス防止時間を表 21 に示します。

バウンス防止回路には 2 つの動作モード、バウンス防止モード 0 とバウンス防止モード 1 があります。どちらのモードも、DIN\_CONFIG1 レジスタの DEBOUNCE\_MODE ビットを介してプログラムします。

表 21. デジタル入力の設定可能バウンス防止時間

DEBOUNCE_TIME Code (Hex)	Debounce Time (ms)
00	Bypass
01	0.0130
02	0.0187
03	0.0244
04	0.0325
05	0.0423
06	0.0561

表 21. デジタル入力の設定可能バウンス防止時間

DEBOUNCE_TIME Code (Hex)	Debounce Time (ms)
07	0.0756
08	0.1008
09	0.1301
0A	0.1805
0B	0.2406
0C	0.3203
0D	0.4203
0E	0.5602
0F	0.7504
10	1.0008
11	1.3008
12	1.8008
13	2.4008
14	3.2008
15	4.2008
16	5.6008
17	7.5007
18	10.0007
19	13.0007
1A	18.0006
1B	24.0006
1C	32.0005
1D	42.0004
1E	56.0003
1F	75.0000

### バウンス防止モード 0 (デフォルト)

このモードでは、サンプリングしたコンパレータ出力がカウントされます。サンプル数が多い場合のカウントを 1 つの方向 (昇順または降順) で行い、少ない場合はその反対の方向で行います。プログラムされた目標カウンタ値に達すると、DIN\_COMP\_OUT レジスタの状態が変化します。

動作時のバウンス防止モード 0 の例を図 43 に示します。バウンス防止時間は DIN\_CONFIG1 レジスタで 100μs に設定されています。サンプリング周期が約 800ns のクロックが、コンパレータ信号をカウントします。コンパレータ信号の状態が現在のバウンス防止信号から変更した後に、バウンス防止機能カウンタが、新しい状態で信号持続時間のカウントを開始します。コンパレータ信号がオリジナルの状態に戻った場合は、カウンタ方向が変化します。カウンタが目標カウンタ値に達すると、コンパレータ信号の状態に応じて DIN\_COMP\_OUT レジスタが更新されます。



動作原理

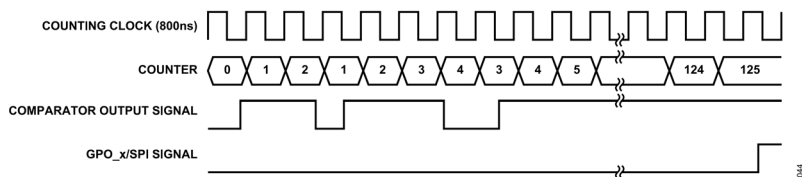


図 43. デジタル入力バウンス防止モード 0 のタイミング例

## 動作原理

### バウンス防止モード 1

このモードでは、カウンタはサンプリングされたコンパレータ出力をカウントします。サンプリングされたコンパレータ出力の状態変化後、カウンタはプログラムされたバウンス防止時間に達するまでインクリメントを続け、所定の値に達すると DIN\_COMP\_OUT レジスタの状態が変化して、カウンタがリセットされます。サンプリングされたコンパレータ出力が現在の DIN\_COMP\_OUT レジスタの値に戻ると、カウンタはリセットされます。

動作時のバウンス防止モード 1 の例を図 44 に示します。バウンス防止モード 0 の場合と同様、バウンス防止時間は 100 $\mu$ s に設定されています。バウンス防止モード 1 では、コンパレータ信号がオリジナルの状態に戻るごとに、カウンタ値がリセットされます。DIN\_COMP\_OUT 信号を更新するには、コンパレータ出力が、バウンス防止時間全体を通じて新しい状態になっていなければなりません。

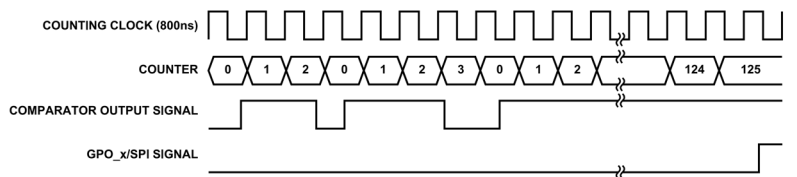


図 44. デジタル入力バウンス防止モード 1 のタイミング例

動作原理

ループ駆動デジタル入力

電流出力モード機能と同様に（電流出力 ( $I_{OUT}$ ) および HART 使用時の  $I_{OUT}$  のセクションを参照）、ループ駆動デジタル入力機能は、外部センサーに電源を供給できるハイサイド電流出力を提供するように出力段を設定します。必要な電流ソース制限を提供できるように、DAC\_CODE レジスタをプログラムしてください。

I/OP スクリュー端子電圧は、デジタル入力機能によってモニタできます。SENSEL ピンのフィルタ処理されていない電圧を、オンチップ・コンパレータに入力することができます。高速デジタル入力データが必要な場合は、DIN\_CONFIG2 レジスタの DIN\_UNBUF\_EN ビットを用いて入力バッファをバイパスできます。バッファ付きおよびバッファなしのデータ・レートについては、表 9 を参照してください。

このコンパレータは、選択したピンの電圧をプログラマブル・スレッシュホールド電圧の値と比較します。プログラマブル・

スレッシュホールド電圧は、固定電圧とするか、 $V_{AVDD}$  に比例した電圧とすることができます。プログラマブル・スレッシュホールド電圧の詳細については、デジタル入力閾値の設定のセクションを参照してください。

コンパレータの出力は、バウンスを防止する（バウンス防止機能のセクションを参照）ことができます。あるいは、SPI や GPIO\_A ピンに直接渡すか、反転して渡すことができます。

デジタル入力コンパレータ出力は、DIN\_COMP\_OUT レジスタを読み出すことによってモニタします。コンパレータ出力は GPIO\_A ピンでモニタすることもできます。GPIO\_A ピンは、GPIO\_CONFIGx レジスタを介して、バウンス防止コンパレータ出力信号を駆動するように設定されます。

ループ駆動デジタル入力モード構成の電流パス、電圧パス、および出力パスを図 45 に示します。

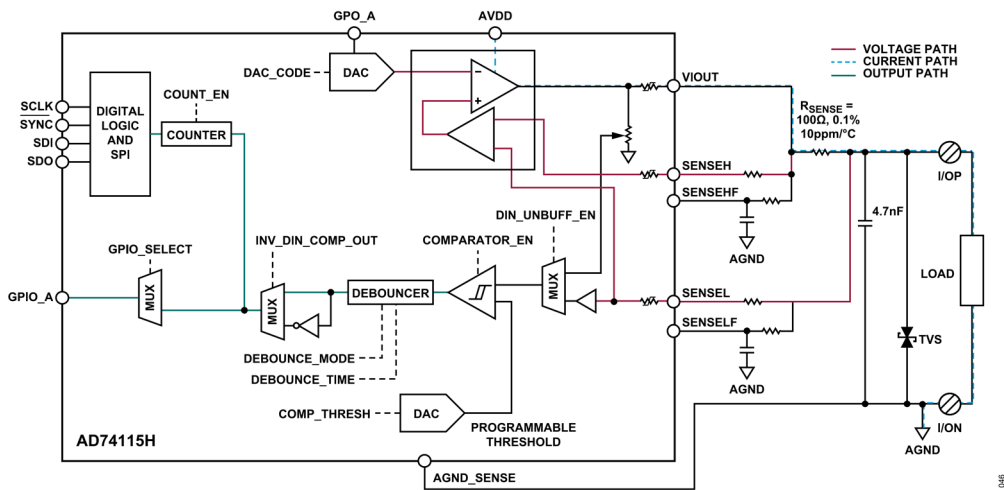


図 45. ループ駆動デジタル入力構成モード

## 動作原理

### ADC データの解釈

デジタル入力動作に ADC は不要ですが、ループ駆動デジタル入力モードを有効にした状態で、電圧および電流測定に ADC を使用することは可能です。ループ駆動デジタル入力モードでは、デフォルトで、I/OP および I/ON スクリュー端子間の電圧を ADC が 0V~12V のレンジで測定します。ADC の測定結果を使用し、次式によりこの電圧を計算します。

$$V_{ADC} = (ADC\_CODE/65,536) \times Voltage\ Range$$

ここで、  
 $V_{ADC}$  は測定電圧（ボルト単位）、  
 $ADC\_CODE$  は ADC\_RESULT1 レジスタの値、  
 $Voltage\ Range$  は ADC の測定範囲で値は 12V です。

### デジタル出力

AD74115H はデジタル出力のソースとシンクに対応しています。内蔵のデジタル出力機能は、最大 100mA の連続電流をソースまたはシンクするために利用できます。100mA を超える電流に対しては、外部デジタル出力機能を用います。ソース機能とシンク機能を組み合わせて高速かつ高電圧のスイッチングを実現する、プッシュプル機能も利用できます。

デジタル出力機能が有効化されている場合、CH\_FUNC\_SETUP レジスタは高インピーダンスに設定することを推奨します。

### 100mA を超える電流のソースとシンク

外部ソース・デジタル出力は、外付けの P チャンネル電界効果トランジスタ (PFET) で動作し、シンク・デジタル出力は外付け N チャンネル FET (NFET) で動作します。プッシュプル・モードは PFET と NFET の両方を用います。アプリケーションの条件に適した FET タイプを選択してください。電流の絶対値は、 $R_{SET}$  と短絡電圧値によって決まります。短絡電圧は表 11 に示されています。

DO\_EXT\_CONFIG レジスタを用いてデジタル出力を設定します。

- ▶ DO\_EXT\_MODE ビットを使用してソース機能、シンク機能、またはプッシュプル機能を選択します。
- ▶ DO\_EXT\_SRC\_SEL ビットを使用してデジタル出力回路のデータのソースは選択します。デジタル出力データは、SPI によって供給できます (DO\_DATA\_EXT ビットを使用)。あるいは、GPIO\_B ピンを用いてハードウェアにより回路を直接制御します。
- ▶ DO\_EXT\_T1 ビットおよび DO\_EXT\_T2 ビットを用いて短絡タイマを設定します。短絡機能の詳細については短絡保護のセクションを参照してください。なお、プッシュプル・モードでは T1 の短絡制限は使用できません。

構成設定が終了したら、選択した外部 FET をオンにする信号を提供します。SPI 制御の場合、DO\_DATA\_EXT ビットをセットするには、DO\_EXT\_CONFIG レジスタに新たな書込みが必要です。DO\_DATA\_EXT を 1 にセットすると選択した外部 FET がオンになります。プッシュプル・モードでは、このビットを 0 にすると出力がローになり、1 にセットすると出力はハイになります。

GPIO 制御の場合は、GPIO\_CONFIGx レジスタに 0x0004 を書き込むことで GPIO\_x ピンがデジタル出力回路を制御するよう設定できます。GPIO\_x ピンをハイにすると FET がオンになります。プッシュプル・モードでは GPIO\_x ピンをローにすると出力がローになり、ピンをハイにすると出力がハイになります。

デジタル出力機能を変更するには、まずデジタル出力機能を無効化してから新しいモードに変更します (外部デジタル出力を無効化するには DO\_EXT\_MODE をセットします)。

外部 FET を使用してデジタル出力をソースするための電流パスと電圧パスを図 46 に示します。外部 FET を使用してデジタル出力をシンクするための電流パスと電圧パスを図 47 に示します。

動作原理

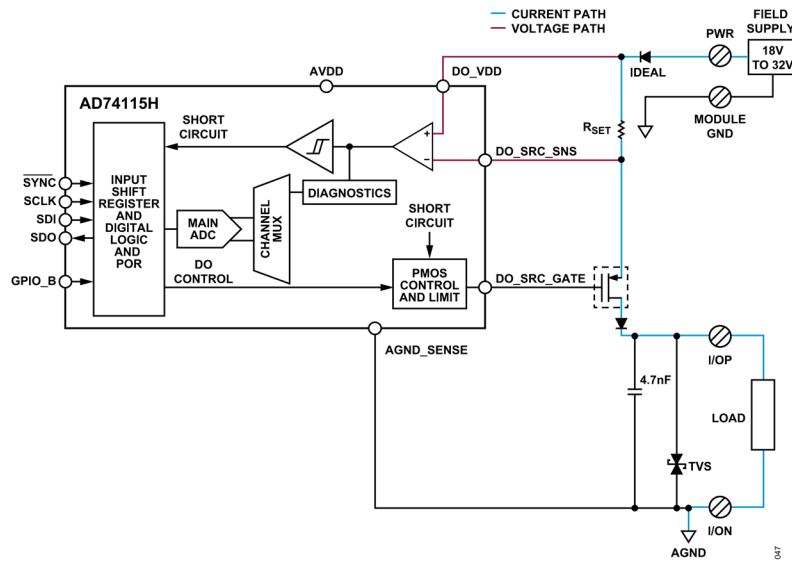


図 46. 外部 FET を使用したデジタル出力のソース

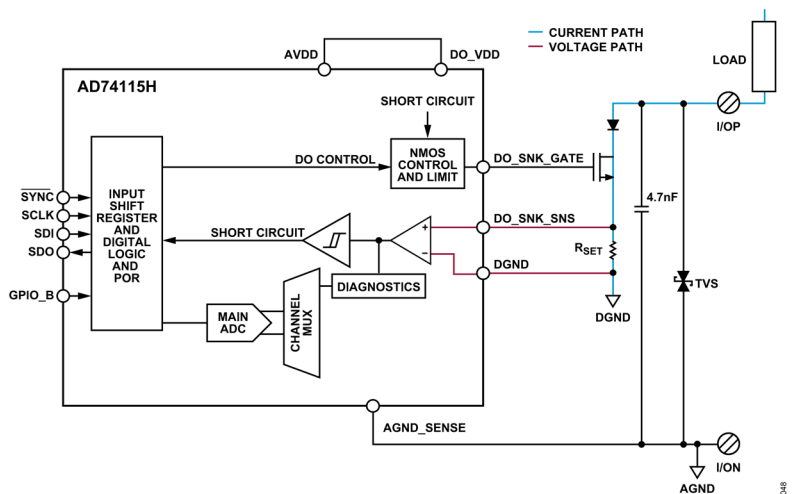


図 47. 外部 FET を使用したデジタル出力のシンク

動作原理

スマート・ダイオード

電流ソース・アプリケーションでは、通常ブロッキング・ダイオードが出力 FET と直列に配置され、デジタル出力パスが逆過電圧状態 (I/OP スクリュー端子電圧が DO\_VDD 電圧  $V_{DO\_VDD}$  より大きくなる場合) から保護されるようにします。この代表的な構成を図 46 に示します。

デジタル出力回路が大電流をソースする場合、このダイオードでの消費電流は著しく大きくなります (例えば、500mA の電流がソースされるとダイオードでの 0.5V の電圧降下により 250mW の電力が生じます)。

AD74115H では、外部デジタル出力機能を用いる場合、スマート・ダイオード機能が利用できます。図 48 に示すように、抵抗および保護ツェナーと共に追加の FET を接続します。FET のゲートは、DO\_SRC\_DGATE ピンで制御されます。FET がディスエーブルされている場合、FET のボディ・ダイオードが導通します。FET がイネーブルされている場合、消費電力は、 $P = I^2R$  で計算できます。ここで、I はソースされる電流、R は FET の  $R_{ON}$  です。通常、この状況での消費電力は 50mW 未満です。

スマート・ダイオード・オプションを有効にするには、DO\_EXT\_CONFIG レジスタで DO\_EXT\_MODE をスマート・ダイオードを使用する外部ソースに設定します。

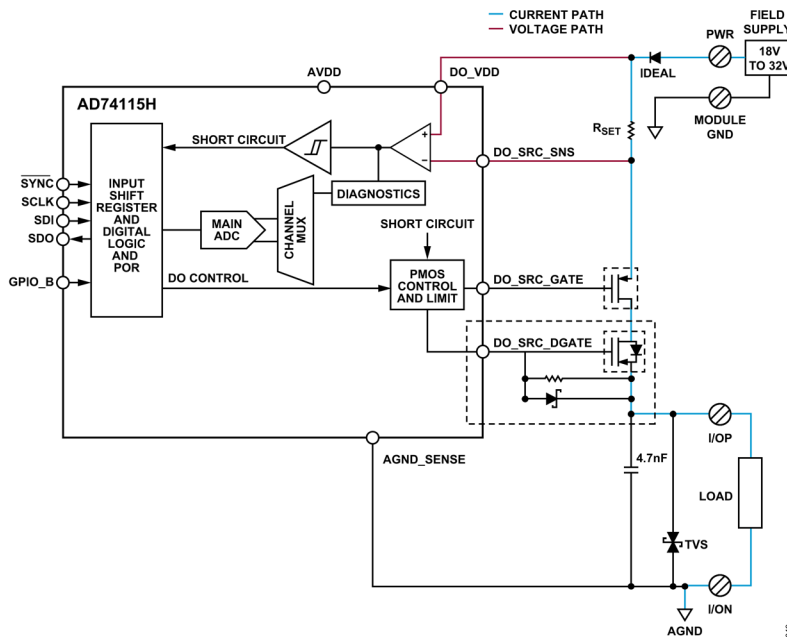


図 48. 外部 FET を使用した電流ソースのためのスマート・ダイオード構成

動作原理

100mA までの電流のソースとシンク

内部 FET を使用すると、最大 100mA の連続電流をソースまたはシンクできます。200mA のスタートアップ電流にも対応します。内部 FET を使用してデジタル出力電流を供給すると、外部 FET は不要になります。プッシュプル・モードは内部 FET のソースとシンクの両方を利用します。DO\_INT\_CONFIG レジスタを用いてデジタル出力を設定します。

- ▶ DO\_INT\_MODE ビットを使用してソース機能、シンク機能、またはプッシュプル機能を選択します。
- ▶ DO\_INT\_SRC\_SEL ビットを使用してデジタル出力回路のデータのソースは選択します。デジタル出力データは、SPI によって供給できます (DO\_DATA\_INT ビットを使用)。あるいは、GPIO\_C ピンを使用することでより高速の出力レートを実現できます。
- ▶ DO\_INT\_T1 ビットおよび DO\_INT\_T2 ビットを用いて短絡タイムを設定します。短絡機能の詳細については短絡検出のセクションを参照してください。なお、プッシュプル・モードでは T1 の短絡制限は使用できません。

構成の設定が終了したら、DO\_INT\_CONFIG レジスタに新たな書き込みを行い、DO\_DATA\_INT ビットをセットする必要があります。DO\_DATA\_INT を 1 にセットすると選択した FET がオンになります。プッシュプル・モードでは、このビットを 0 にすると出力がローになり、1 にセットすると出力はハイになります。

GPIO 制御の場合は、GPIO\_CONFIGx レジスタに 0x0004 を書き込むことで GPIO\_x ピンがデジタル出力回路を制御するよう設定できます。GPIO\_x ピンをハイにすると FET がオンになります。プッシュプル・モードではピンをローにすると出力がローになり、ピンをハイにすると出力がハイになります。

デジタル出力機能を変更するには、まずデジタル出力機能を無効化してから新しいモードに変更します (内部デジタル出力を無効化するには DO\_INT\_MODE をセットします)。

電力および絶縁の関連チップである ADP1034 は、AD74115H を最大 100mA の連続電流をソースするデジタル出力モード (内部 FET を使用) で動作させるために必要な電力を供給できます。また ADP1034 は 200mA のスタートアップ電流にも対応できます。この場合、AVDD ピンは、DO\_VDD ピンに外部接続することができ、これによって、DO\_VDD 電源を追加する必要がなくなります。

内部 FET を使用してデジタル出力をソースするための電流パスと電圧パスを図 49 に示します。

内部 FET を使用してデジタル出力をシンクするための電流パスと電圧パスを図 50 に示します。

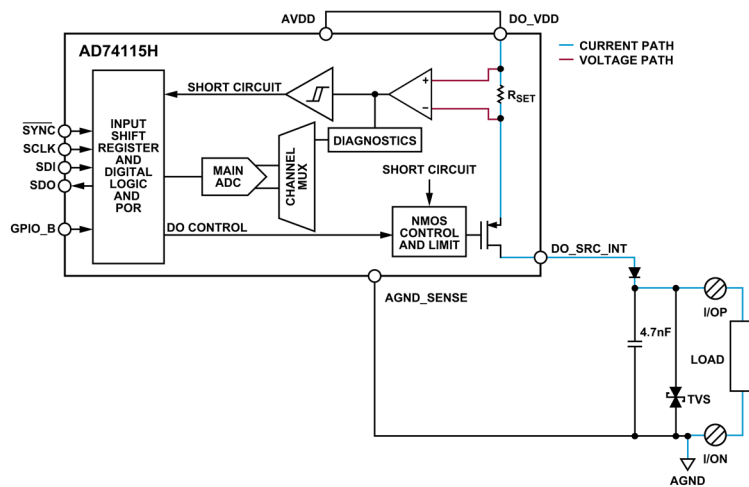


図 49. 内部 FET を使用したデジタル出力ソース・モード

## 動作原理

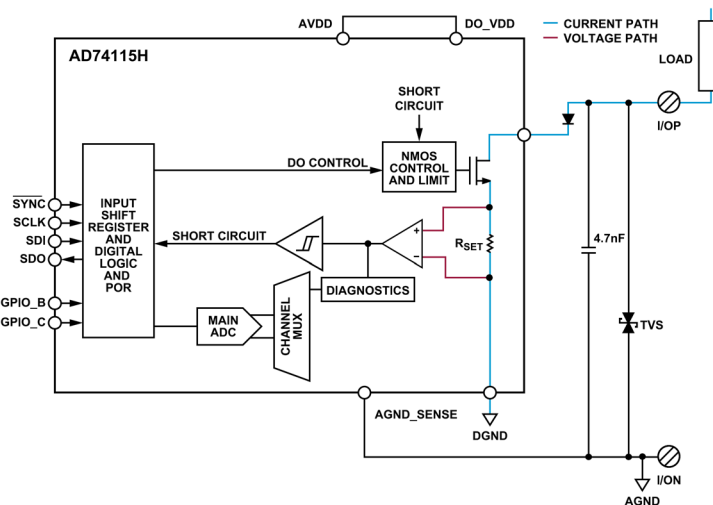


図 50. 内部 FET モードを使用したデジタル出力シンク・モード

## サーマル・シャットダウン

内部デジタル出力がイネーブルされている場合、サーマル・シャットダウン機能が自動的にイネーブルされ、短絡状態から AD74115H を保護します。

出力ドライバが表 11 に仕様規定された無効化温度に達すると、デジタル出力はディスエーブルされます。ALERT\_STATUS レジスタの DO\_THERM\_RESET ビットがセットされ、デジタル出力回路のサーマル・シャットダウンが発生したことを示します。

ダイ温度が表 11 に仕様規定された再イネーブル温度に達すると、デジタル出力回路は復帰を試みます。大消費電力状態が続く場合、ダイはすぐに無効化温度に達します。内部デジタル出力でディスエーブルと再イネーブルのサイクルが何度も発生することのないように、消費電力の管理には注意を払ってください。

## 短絡保護

外部デジタル出力を使用する場合、電流制限設定抵抗  $R_{SET}$  を用いて短絡保護が行われます。短絡イベントは、抵抗に発生する電圧が表 11 に仕様規定された短絡電圧に達した場合にトリガされます。短絡イベント時は、ALERT\_STATUS レジスタの DO\_EXT\_SC ビットがセットされ、これによって  $\overline{ALERT}$  ピンがアサートされます。

内部デジタル出力を使用する場合、短絡は、電流値が表 11 に仕様規定された短絡電流制限値に達した場合にトリガされます。短絡イベント時は、ALERT\_STATUS レジスタの DO\_INT\_SC ビットがセットされ、これによって  $\overline{ALERT}$  ピンがアサートされます。

短絡機能を動作させる方法にはプログラマビリティがあります。2つの設定可能な短絡タイムアウト時間は T1 と T2 です。

デジタル出力負荷の初期パワーオン時に大電流負荷の充電を行うには、プログラマブルな時間量 T1 の間、より大きな短絡電流制限値を有効化できます。DO\_DATA\_INT ビット (内部 FET の場合) または DO\_DATA\_EXT ビット (外部 FET の場合) を使用

してデジタル出力 FET がオンになると、短絡イベントがトリガされていなくても、T1 がカウントを開始します。短絡イベントが発生すると、デジタル出力 FET はオンを維持し、プログラムされた T1 の残りの時間、より大きな短絡電流にクランプされます。この間、短絡アラートはトリガされません。

もう 1 つの短絡制限値は、T1 の時間が経過してから利用されるもので、電流値はより小さく、また、プログラマブルな時間 T2 の間アクティブになります。T2 カウンタは、T1 が経過し短絡が検出された場合にのみカウントを開始します。短絡イベントの間、FET はオン状態を維持しますが、電流はプログラムされた時間 T2 の間、より小さい短絡電流に制限されます。

T2 カウンタは、上下カウンタですが、短絡時には時間はインクリメントします。短絡状態が解消されると、時間カウンタはデクリメントします。

T1 および T2 は外部 FET の場合は DO\_EXT\_CONFIG レジスタ、内部 FET の場合は DO\_INT\_CONFIG レジスタでプログラムできます。より大きな短絡電流制限が不要な場合は T1 を無効化できます。内部動作モードおよび外部動作モードの両方の場合について、仕様規定された短絡値および T1 と T2 の時間については、表 11 を参照してください。

T2 の時間が経過しても短絡が継続する場合は、FET が自動的にディスエーブルされます。ディスエーブルされると、関連するデジタル出力タイムアウト・ビットが ALERT\_STATUS レジスタに送られます。デジタル出力がディスエーブルされると、外部デジタル出力の場合は DO\_EXT\_CONFIG レジスタ、内部デジタル出力の場合は DO\_INT\_CONFIG レジスタに反映されます。

図 51 に、2 つのプログラマブルなタイムアウト時間による動作と短絡電流制限値を示します。

タイムアウト後にデジタル出力回路を再度イネーブルするには次の手順に従います。

- ▶ DO\_DATA\_INT ビットまたは DO\_DATA\_EXT ビットを 0 にセットする。



動作原理

- ▶ デジタル出力回路をパワーオンするために、関連の設定レジスタの DO\_INT\_MODE ビットまたは DO\_EXT\_MODE ビットでモードを選択する。
- ▶ DO\_DATA\_INT ビットまたは DO\_DATA\_EXT ビットを 1 に戻し、FET をイネーブルする。

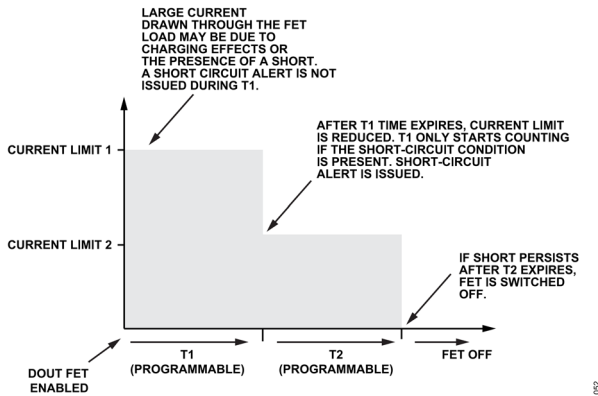


図 51. デジタル出力のプログラマブルな短絡制御

電流検出診断

デジタル出力の電流検出診断機能を使用すると、デジタル出力回路の電流をモニタできます。

電流検出診断を選択するには、DI-AG\_ASSIGN レジスタをプログラムします。

外部 FET を使用する場合、この診断（電流をシンクする場合 Diagnostic 0、電流をソースする場合 Diagnostic 1）により、外部抵抗  $R_{SET}$  の電圧降下が測定されます。デジタル出力回路がソースまたはシンクしている電流を計算する場合、選択した  $R_{SET}$  の抵抗値を考慮してください。なお、外部デジタル出力回路のソース電流を測定するために Diagnostic 1 が必要な場合は、測定精

度を確保するために、ADC\_CONV\_CTRL レジスタで Diagnostic 0 も有効化する必要があります。選択肢のどの診断設定も Diagnostic 0 で選択できます。変換時間を計算する場合は、追加で有効化する診断を考慮してください。

内部 FET を使用する場合、診断（電流をシンクする場合は Diagnostic 2、ソースする場合は Diagnostic 3）により、デジタル出力回路がソースまたはシンクする電流が測定されます。表 29 の式を用いて、返された ADC コードから電流値を求めることができます。このコードは ADC\_DIAG\_RESULTx レジスタで読み出せます。なお、内部デジタル出力回路のソース電流を測定するために Diagnostic 3 が必要な場合は、測定精度を確保するために、ADC\_CONV\_CTRL レジスタで Diagnostic 2 も有効化する必要があります。選択肢のどの診断設定も Diagnostic 3 で選択できます。変換時間を計算する場合は、追加で有効化する診断を考慮してください。

HART

AD74115H は、HART モデムを内蔵しています。以下のセクションでは HART の機能について説明します。

HART モデム

AD74115H は、I/OP スクリュー端子との間で信号をやり取りできる HART モデムを内蔵しています。電流出力および電流入力の動作モードでは HART モデムを用いて HART 通信を行うことができます。

図 52 に、AD74115H の HART モデムのインターフェース経路、送信経路、受信経路を示します。HART 送信信号は、HART\_TX\_OUT ピンから HART\_TX\_IN ピンに注入することで I/OP スクリュー端子と結合されます。外部コンデンサがあるため、HART モデムから出力信号への DC 的な影響はありません。

HART 受信信号は、HART\_RX ピンを介して I/OP スクリュー端子から HART モデムに直接結合されます。HART 動作に必要な推奨外部部品については表 36 を参照してください。

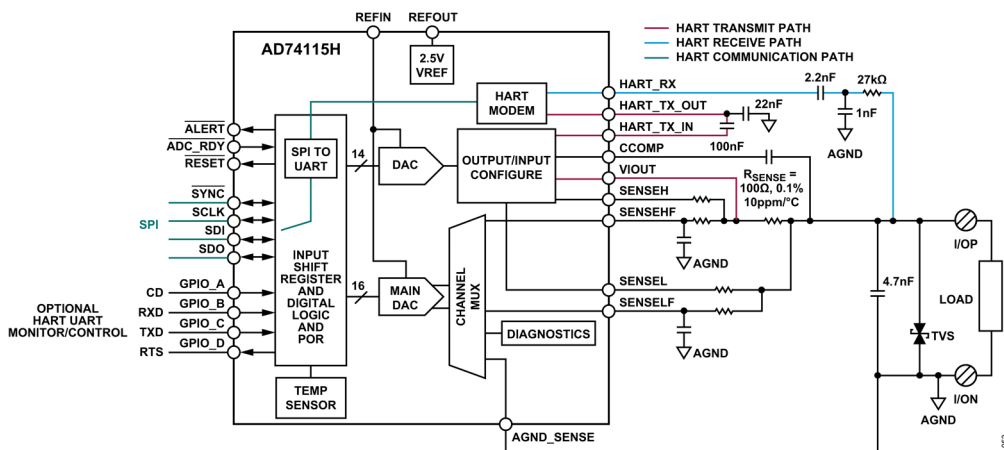


図 52. HART の構成

## 動作原理

### HART モデムを使用した通信

モデムを介した通信では SPI を使用します。ユニバーサル非同期レシーバー／トランスミッタ (UART) 機能に接続された内部 SPI は、SPI でのトランザクションを処理し、これらのトランザクションを、モデムとの間でやり取りされる UART コマンドに変換します。既存のソフトウェア・スタックと通信するために、必要なステータス・ビットが SPI を介して提供されます。

SPI は、HART トランザクションおよびソフトウェア設定可能な入出力トランザクションを管理します。

また、GPIO\_x ピンを設定して、GPIO\_CONFIGx レジスタの GPIO\_SELECT ビットをプログラムすることで HART モデムの UART インターフェースのモニタや制御を行うこともできます。

### 送受信 FIFO

AD74115H は、HART 送信先入れ先出し (FIFO) および HART 受信 FIFO 機能を備えています。送信 FIFO および受信 FIFO ごとに最大 32 バイトのデータを保存できます。

送信 FIFO は HART\_TX レジスタを用いてロードできます。データは、HART\_RX レジスタを介して受信 FIFO から読み出すことができます。送信 FIFO にロードされたバイト数がプログラマブルな閾値未満になると、アラートが送出されます。同様に、受信 FIFO にロードされたバイト数がプログラマブルな閾値を超えると、アラートが送出されます。これらの送受信閾値は、HART\_FCR レジスタの TFTRIG ビットおよび RFTRIG ビットを用いてプログラムできます。

現在送信 FIFO と受信 FIFO に保存されているバイト数は、それぞれ HART\_TFC レジスタと HART\_RFC レジスタに記録されています。

### HART アラート

HART\_ALERT\_STATUS レジスタは、HART 通信に関するすべてのアラート・ビットを格納します。どのビットが HART\_ALERT\_STATUS レジスタでアサートされても、HART\_ALERT ビットが ALERT\_STATUS レジスタでアサートされます。そのため、割込みを ALERT ピンで生成できます。HART アラート・ビットは HART\_ALERT\_MASK レジスタを用いてマスクできます。アラート・ビットがマスクされていると、アサートされても ALERT ピンには割込みが発生しません。しかし、HART\_ALERT\_STATUS レジスタでアラートを読み出すことはできます。

### AD74115H を HART 通信用に設定

AD74115H で HART 通信を開始するには、以下の手順を実行します。

- ▶ チャンネルを該当の機能 (HART 対応電流出力、HART 対応ループ駆動電流入力、HART 対応外部駆動電流入力) に設定します。
- ▶ 200 $\mu$ s 待つてから次のステップに進みます。

- ▶ HART 対応電流出力を選択する場合は、OUTPUT\_CONFIG レジスタで HART スルー・オプションを有効化します。
- ▶ HART\_CONFIG レジスタで HART モデムをパワーアップします。HART\_CONFIG レジスタではこれ以外の HART オプションも使用可能で、必要に応じて設定できます。なお、二重モードの動作を使用するとモデムのループバック・テストが可能になり、AD74115H がデータの送受信を実行できることを確認できます。
- ▶ HART\_TX レジスタを使用して、送信に必要なデータを HART 送信 FIFO にロードします。
- ▶ HART\_ALERT\_STATUS レジスタで HART アラートがクリアされていることを確認します。
- ▶ HART\_MCR レジスタに RTS ビットを設定し HART 送信を開始します。
- ▶ HART\_ALERT\_STATUS レジスタをモニタし、HART 通信の実行中にステータス・アラートが生じないことを確認します。
- ▶ HART\_RX レジスタを用いて受信 FIFO を読み出します。データの受信バイトは、受信 FIFO に保存されています。

### 開始にあたって

AD74115H への給電のセクションでの推奨に従って AD74115H をパワーアップします。最初のパワーアップ後は、ALERT\_STATUS レジスタ内の RESET\_OCCURRED ビットなど様々なビットがセットされ、その結果 ALERT ピンがローになります。レジスタをクリアしてから、AD74115H を引き続き使用することを推奨します。ALERT\_STATUS レジスタの各ビットに 1 を書き込んでクリアしてください。

### チャンネル機能の使用

チャンネル機能は CH\_FUNC\_SETUP レジスタを使って選択します。チャンネル機能の選択後は、多数のレジスタの内容が既定値に更新されて、最小限のコマンド・セットでデバイスを設定できるようになります。更新された設定値には、ADC のチャンネル変換である変換 1 の設定が含まれます。所定のチャンネル機能に対応するビットのデフォルト設定の概要を、表 22 に示します。表 22 に記載されたデフォルト設定の他、これらのビット・フィールドは、CH\_FUNC\_SETUP の選択に関わらず、以下に示す値に設定されます。

- ▶ RTD3W4W\_CONFIG レジスタの RTD\_MODE\_SEL は 0 にセット (3 線式 RTD を選択)。
- ▶ RTD3W4W\_CONFIG レジスタの RTD\_CURRENT は 11 (2 進数) にセット (1mA を選択)。
- ▶ DIN\_CONFIG1 レジスタの DIN\_SINK は 0 にセット (ISINK オフ)。
- ▶ DIN\_CONFIG2 レジスタの DIN\_THRESH\_MODE は 0 にセット (AVDD 基準の閾値)。

チャンネル機能の設定後は、必要に応じて DAC\_CODE レジスタの設定を行うことができます。

## 動作原理

表 22. チャンネル機能選択に基づくレジスタのデフォルト設定

CH_FUNC Bits (Programmed via the CH_FUNC_SETUP Register)	Defaults of the ADC_CONFIG Register		Defaults of the DIN_CONFIG1 Register	Defaults of the DIN_CONFIG2 Register
	CONV1_MUX Bits	CONV1_RANGE Bits	COMPARATOR_EN Bit	COMP_THRESH Bits
0000: High Impedance	00: SENSELF to AGND_SENSE	000: 0 V to 12 V	0: disabled	0: $-0.96 \times AVDD$
0001: Voltage Output	01: SENSEHF to SENSELF	010: $-2.5$ V to $+2.5$ V	0: disabled	0: $-0.96 \times AVDD$
0010: Current Output	00: SENSELF to AGND_SENSE	000: 0 V to 12 V	0: disabled	0: $-0.96 \times AVDD$
0011: Voltage Input	00: SENSELF to AGND_SENSE	000: 0 V to 12 V	0: disabled	0: $-0.96 \times AVDD$
0100: Current Input, Externally Powered	01: SENSEHF to SENSELF	011: $-2.5$ V to 0 V	1: enabled	0x49: $AVDD/2$
0101: Current Input, Loop Powered	01: SENSEHF to SENSELF	100: 0 V to 2.5 V	1: enabled	0x49: $AVDD/2$
0110: 2-Wire Resistance Measurement	00: SENSELF to AGND_SENSE	100: 0 V to 2.5 V	0: disabled	0: $-0.96 \times AVDD$
0111: 3- or 4-wire RTD Measurement	11: SENSELF to SENSE_EXT1	101: 0 V to 0.625 V	0: disabled	0: $-0.96 \times AVDD$
1000: Digital Input Logic	00: SENSELF to AGND_SENSE	000: 0 V to 12 V	1: enabled	0x49: $AVDD/2$
1001: Digital Input, Loop Powered	00: SENSELF to AGND_SENSE	000: 0 V to 12 V	1: enabled	0x49: $AVDD/2$
1010: Current Output with HART	00: SENSELF to AGND_SENSE	000: 0 V to 12 V	0: disabled	0: $-0.96 \times AVDD$
1011: Current Input, Externally Powered with HART	01: SENSEHF to SENSELF	011: $-2.5$ V to 0 V	1: enabled	0x49: $AVDD/2$
1100: Current Input, Loop Powered with HART	01: SENSEHF to SENSELF	100: 0 V to 2.5 V	1: enabled	0x49: $AVDD/2$

## 動作原理

## チャンネル機能の切替え

1 つのチャンネル機能から別のチャンネル機能への切替えを行うときは注意が必要です。どの機能を選択した場合でも、別の機能へ切り替えるには、その機能を選択してから少なくとも 200 $\mu$ s が経過していなければなりません。

DAC\_CODE レジスタは、チャンネル機能を切り替えてもリセットされません。チャンネル機能を変更する前に、DAC\_CODE レジスタを介して DAC コードを 0x0000 に設定することを推奨します。新しいチャンネル機能へ遷移する場合は、遷移前に CH\_FUNC\_SETUP レジスタを介してチャンネル機能を高インピーダンスに設定してください。

±12V の電圧出力の場合、DAC\_CODE を 0x2000 に更新してから電圧出力をイネーブルすると、出力段が 0V にパワーアップするようにできます。電圧出力のセクションを参照してください。

新しいチャンネル機能の設定後は、DAC コードを変更する前に 200 $\mu$ s 待つことを推奨します。

## ADC の機能

AD74115H は 16 ビット  $\Sigma$ - $\Delta$  ADC を 1 つ備えています。この ADC は、単一変換シーケンスまたは連続変換で、最大 2 つのチャンネル測定および最大 4 つの診断測定を行うよう、シーケンシングできます。2 チャンネル測定では、I/OP スクリュー端子と補助高電圧 SENSE\_EXT1 ピンおよび SENSE\_EXT2 ピンに、様々な電圧および電流モニタリング・オプションが可能です。

変換 1 は、AD74115H の各使用事例に必要な測定に対応することを目的としています。表 23 に、変換 1 で使用できる測定を示します。CH\_FUNC\_SETUP レジスタでいずれかの動作モードが選択された場合、変換 1 はデフォルト測定に設定されます。これらのデフォルト測定については、[チャンネル機能の使用](#)のセクションで説明されています。

変換 2 は、チャンネルでの追加の診断測定を行うため、または、その他の外部ノードをモニタするために使用できます。表 24 に、変換 2 で使用できる測定を示します。

変換ごとに個別の変換レートおよび電圧レンジ制御があり、ADC\_CONFIG レジスタで設定できます。

また、ADC は、電源、内部ダイ温度、リファレンス、レギュレータなどの選択可能入力に関する診断情報も提供します。診断測定の詳細については[診断機能](#)のセクションを参照してください。

測定を ADC\_CONFIG レジスタで設定した後は、ADC\_CONV\_CTRL レジスタを介して関連する ADC 測定をイネーブルします。

ADC\_CONV\_CTRL レジスタの CONV\_SEQ ビットを該当値に設定することによって、シングル変換モードまたは連続変換モードを選択します。

シングル変換モードでは、ADC シーケンサが変換 1 および変換 2 で変換を開始し、その後イネーブルされた診断が行われます。イネーブルされた各チャンネルが一度変換されると、ADC はアイドル・モードになり、変換が停止します。

連続変換モードでは、ADC チャンネル・シーケンサがイネーブルされたチャンネル変換と診断を連続的に変換し、変換停止を求めるコマンドが書き込まれるまでこれを続けます。停止コマンドの設定は、ADC\_CONV\_CTRL レジスタの CONV\_SEQ ビットをアイドル・モードまたはパワーダウン・モードに設定することによって行います。コマンドは、現在進行中のシーケンスの終了時に変換を停止します。

測定の設定を変更する必要がある場合は、その変更を行う前に連続変換を停止する必要があります。必要な変更を行った後に、連続変換を再開してください。

シーケンスが完了すると、すべてのデータの結果は、関連する ADC\_RESULT1、ADC\_RESULT2、ADC\_DI- AG\_RESULTn の各レジスタに転送され、ADC\_RDYピンがアサートされます。

表 23. ADC 変換 1 の選択オプション

ADC_CONFIG レジスタの CONV1_MUX 設定		
測定を選択	説明	
00	SENSELF to AGND_SENSE	I/OP と I/ON スクリュー端子間の電圧測定
01	SENSEHF to SENSELF	R <sub>SENSE</sub> 抵抗両端の電圧測定
10	SENSE_EXT2 to SENSE_EXT1	4 線式 RTD 測定での SENSE_EXT2 と SENSE_EXT1 間の電圧測定
11	SENSELF to SENSE_EXT1	3 線式 RTD 測定での SENSE_EXT1 と SENSELF 間の電圧測定

表 24. ADC 変換 2 の選択オプション

ADC_CONFIG レジスタの CONV2_MUX 設定		
測定を選択	説明	
00	SENSE_EXT1 to AGND_SENSE	SENSE_EXT1 ピンのシングルエンド・モニタをイネーブル
01	SENSE_EXT2 to AGND_SENSE	SENSE_EXT2 ピンのシングルエンド・モニタをイネーブル
10	SENSE_EXT2 to SENSE_EXT1	差動測定をイネーブル
11	AGND to AGND	診断機能

動作原理

補助検出ピン

SENSE\_EXT1 ピンおよび SENSE\_EXT2 ピンは、ADC で測定できる、コミットされていない高電圧検出ピンです。これらのピンを用いて、いくつかの機能を実現できます。

SENSE\_EXT1 ピンおよび SENSE\_EXT2 ピンは、ADC 変換 2 を使用してシングルエンドまたは差動電圧測定のために用いることができます。ピンを測定するために、適切なアンチエイリアシング・フィルタを追加できます。部品例については表 36 を参照してください。ADC の結果を用いて関連する検出ピンで測定される電圧を計算するには、次式を用います。

$$V_{ADC} = V_{MIN} + (ADC\_CODE/65,536) \times \text{Voltage Range}$$

ここで、  
 $V_{MIN}$  は選択した ADC レンジの最小入力電圧、  
 $V_{ADC}$  は測定電圧（ボルト単位）、  
 $ADC\_CODE$  は ADC\_RESULT2 レジスタの値、  
 $\text{Voltage Range}$  は選択した ADC の測定レンジです。

SENSE\_EXT1 は 3 線式 RTD 測定に必要です。詳細については 3 線式 RTD 測定のセクションを参照してください。SENSE\_EXT1 および SENSE\_EXT2 は 4 線式 RTD 測定に必要です。詳細については 4 線式 RTD 測定のセクションを参照してください。

SENSE\_EXT1 ピンまたは SENSE\_EXT2 ピンのどちらかを長時間使用しない場合、1 $\mu$ A のシンク・バーンアウト電流を有効化することを推奨します。SENSE\_EXT1 のバーンアウト電流をイネーブルするには、I\_BURNOUT\_CONFIG レジスタの以下のビットを設定します。

- ▶ BRN\_SENEXT1\_EN を 1
- ▶ BRN\_SENEXT1\_POL を 0
- ▶ BRN\_SENEXT1\_CURR を 100 (2 進数)

SENSE\_EXT2 のバーンアウト電流をイネーブルするには、I\_BURNOUT\_CONFIG レジスタの以下のビットを設定します。

- ▶ BRN\_SENEXT2\_EN を 1
- ▶ BRN\_SENEXT2\_POL を 0
- ▶ BRN\_SENEXT2\_CURR を 100 (2 進数)

ADC の伝達関数

オンボードの ADC で電圧を測定する場合に使用可能な各電圧レンジに対する、ゼロスケール、ミッドスケール、フルスケールのコードに対応する理想的な入力電圧を表 25 に示します。

外部の R<sub>SENSE</sub> 抵抗を流れる電流は、R<sub>SENSE</sub> 両端の電圧を測定することで求められます。SENSEHF と SENSELF の間の電圧を測定するには CONV1\_MUX ビットを設定します。使用可能な各レンジに対する、ゼロスケール、ミッドスケール、フルスケールのコードに対応する理想的な入力電流を表 26 に示します（電流を計算するために、測定した電圧値を R<sub>SENSE</sub> の値である 100 $\Omega$  で除しています）。

ADC により測定された電圧がフルスケールを超えるかゼロスケールを下回る場合は、ALERT\_STATUS レジスタの ADC\_ERR ビットがセットされて ALERT ピンがアサートされます。フルスケールを超えた場合の ADC の出力は 0xFFFF に、ゼロスケールを下回った場合は 0x0000 になります。これらのアラートが必要ない場合は、ALERT\_MASK レジスタ（オプション）を介して ADC\_ERR ビットをマスクできます。

表 25. 理想的な出力コードと入力電圧の関係

Input Voltage Range	Input Voltage for Selected ADC Codes <sup>1</sup>		
	0x0	0x8000	0xFFFF
0 V to +12 V	0 V	+6 V	12 V – 1 LSB
±12 V	-12 V	0 V	12 V – 1 LSB
±2.5 V	-2.5 V	0 V	2.5 V – 1 LSB
0 V to +2.5 V	0 V	+1.25 V	2.5 V – 1 LSB
-2.5 V to 0 V	0 V	-1.25 V	-2.5 V – 1 LSB
±104.16 mV	-104.16 mV	0 V	104.16 mV – 1 LSB
0 V to +0.625 V	0 V	+0.3125 V	0.625 V – 1 LSB

<sup>1</sup> 1LSB = (フルスケール – ゼロスケール)/65,536

表 26. 理想的な出力コードと入力電流の関係

Input Voltage Range	Input Current for Selected ADC Codes <sup>1</sup>			Sourcing or Sinking
	0x0	0x8000	0xFFFF	
±2.5 V	-25 mA (Sinking)	0 mA	25 mA – 1 LSB (sourcing)	Sink and source
0 V to +2.5 V	0 V	12.5 mA	25 mA – 1 LSB	Sourcing
-2.5 V to 0 V	0 V	12.5 mA	25 mA – 1 LSB	Sinking

<sup>1</sup> 1LSB = (フルスケール – ゼロスケール)/65,536

## 動作原理

## ADC 使用時の節電

ADC による測定に使用できる高電圧検出ピン (SENSEHF、SENSELF、SENSE\_EXT1、SENSE\_EXT2) には、それぞれ、デフォルトでパワーアップされる高電圧バッファがあります。これらの各バッファの消費電流の代表値を表 14 に示します。

いずれかの検出ピンが ADC による測定に不必要な場合は、そのピンに関連付けられた高電圧バッファはスタンバイ・モードになり、AD74115H の総消費電力を節約できます。AD74115H を目的のチャンネル機能に設定し、いずれかの高電圧検出ピン・バッファをスタンバイにしてください。バッファをスタンバイにするには、PWR\_OPTIM\_CONFIG レジスタの該当ビットを設定します。バッファをスタンバイ・モードから復帰させるには、表 14 で指定された適切なパワーアップ時間だけ待機します。

最高性能を発揮するために、バッファをパワーアップしてから変換シーケンスを開始してください。

ADC 変換シーケンス中は、PWR\_OPTIM\_CONFIG の設定値を更新しないでください。

## ADC の変換レート

AD74115H で使用できる ADC 変換レートは、10SPS、20SPS、1.2kSPS、4.8kSPS、9.6kSPS です。更に、10SPS と 20SPS の変換レートでは、50Hz および 60Hz 除去機能が備わっています。

各チャンネル変換レートを設定するには ADC\_CONFIG レジスタを使用します。診断入力の変換レートは、ADC\_CONV\_CTRL レジスタを介して設定します。1 つの変換レートを選択すると、それがすべての診断入力に適用されます。

変換のシーケンスが完了するまでに要する時間は、選択した入力の数、選択した変換レート、シングル変換モードと連続変換モードのどちらが有効になっているかなど、複数の要因によって変化します。変換はオンチップ発振器によってクロックされます。所定のシーケンスの合計変換時間を予測するために必要な各種要素の概要を、表 27 に示します。

シングル変換の場合、合計シーケンス時間を計算する際には以下の時間要素を考慮します。

- ▶ SPI トランザクションが変換を開始するまでに要する時間。
- ▶ ADC と高電圧バッファがパワーダウンしている場合は、これをパワーアップするのに要する時間。

- ▶ 最初の変換前の初期パイプライン遅延。
- ▶ 各 ADC 変換の変換時間。

シングル変換の例のタイミングの詳細を図 53 に示します。この例では、チャンネルでのシングル変換がイネーブルされるまで、また、連続変換が 4.8kSPS のレートで開始されるまで、ADC および高電圧バッファはパワーダウン状態にあります。

最初の変換 (SYNCピンの立下がりエッジから ADC\_RDYピンの立下がりエッジまで) を完全に終了するまでの時間は 384.32 $\mu$ s で、SPI 転送時間、ADC および高電圧バッファのパワーアップ時間、パイプライン遅延時間、チャンネルの 4.8kSPS (208.33 $\mu$ s) の変換レートを加えることで計算できます。1 つの変換から次の変換までの時間 (ADC\_RDYピンの立下がりエッジから ADC\_RDYピンの立下がりエッジまで) は 208.33 $\mu$ s です。

複数変換の場合、合計シーケンス時間を計算する際には以下の時間要素を考慮します。

- ▶ SPI トランザクションが変換を開始するまでに要する時間。
- ▶ ADC と高電圧バッファがパワーダウンしている場合は、これをパワーアップするのに要する時間。
- ▶ 最初の変換前の初期パイプライン遅延。
- ▶ 各 ADC 変換に必要な変換時間。
- ▶ 選択した ADC チャンネルの切替えごとに要するチャンネル切替え時間。

マルチチャンネル変換におけるタイミングの詳細例を図 54 に示します。この例では、変換 1、変換 2、診断 1、診断 2 がすべてイネーブルされています。連続変換は 20SPS の変換レートで開始されます。この例では、ADC はアイドル・モードになっており、高電圧バッファがパワーアップされます。

最初の変換を完了するまでに要する時間 (SYNCの立下がりエッジから ADC\_RDYの立下がりエッジまで) は 200.149ms で、これは、SPI 転送時間、パイプライン遅延時間、および 20SPS における変換 1 の変換時間を加え、更にチャンネル切替え時間と残り 3 つの変換に要する変換時間を加えることによって計算されます。

その後のすべての変換シーケンス間の時間 (ADC\_RDYピンの立下がりエッジから ADC\_RDYピンの立下がりエッジまで) は 200.0976ms で、これは、チャンネル切替え時間と 4 つの選択 ADC 入力の変換時間を加えることによって計算されます。

表 27. 変換時間成分

Conversion Rate	ADC and/or Buffer Power-Up Time ( $\mu$ s)	SPI Transfer Time ( $\mu$ s), 42 ns SCLK	Start-Up Pipeline Delay ( $\mu$ s)	Single ADC Conversion Time	Channel Switch Time, Multiple Enabled Conversions ( $\mu$ s)
9.6 kSPS	100	1.99	55	104.17 $\mu$ s	24.4
4.8 kSPS	100	1.99	81	208.33 $\mu$ s	24.4
1.2 kSPS	100	1.99	81	833.33 $\mu$ s	24.4
20 SPS	100	1.99	87	50 ms	33.6

動作原理

表 27. 変換時間成分

Conversion Rate	ADC and/or Buffer Power-Up Time ( $\mu\text{s}$ )	SPI Transfer Time ( $\mu\text{s}$ ), 42 ns SCLK	Start-Up Pipeline Delay ( $\mu\text{s}$ )	Single ADC Conversion Time	Channel Switch Time, Multiple Enabled Conversions ( $\mu\text{s}$ )
10 SPS	100	1.99	5000	100 ms	5024

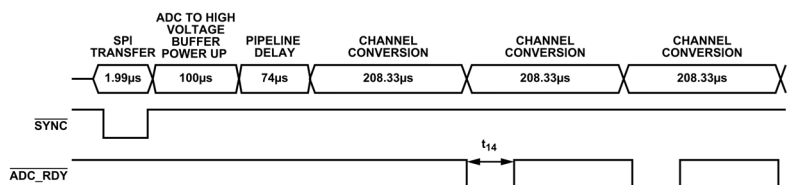


図 53. シングル測定、連続変換のタイミング図

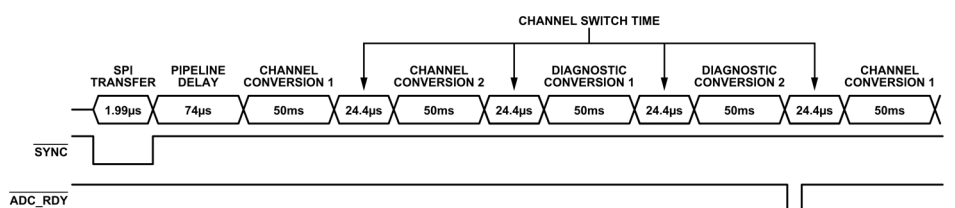


図 54. マルチ測定、連続変換のタイミング図

動作原理

ADC\_RDYの機能

シングル変換モードまたは連続変換モードでの変換シーケンスの終了時には、ADC\_RDYピンがローにアサートされます。

ADC\_RDYピンがデアサートされるのは以下の場合です。

- ▶ LIVE\_STATUS レジスタの ADC\_DATA\_RDY ステータス・ビットに 1 が書き込まれた後
- ▶ 連続モードで 24μs が経過した後
- ▶ ADC\_CONV\_CTRL レジスタへの書き込み後

シングル変換モードと連続変換モードにおけるADC\_RDYピンのタイミング図については、図55と図56を参照してください。

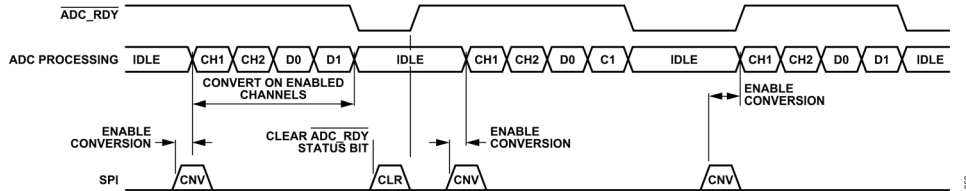


図 55. シングル変換モードにおけるADC\_RDYの機能



図 56. 連続変換モードにおけるADC\_RDYの機能



## 動作原理

## ADC ノイズ

それぞれの出力データ・レートおよび電圧レンジにおける AD74115H のピーク to ピーク・ノイズを、表 28 に示します。こ

れらの値は代表値であり、ADC がシングル・チャンネルで連続変換しているときに 0V の差動入力を使って得られた値です。

表 28. 電圧範囲および出力データ・レートごとのピーク to ピーク・ノイズ (LSB 単位、入力を短絡)

Output Data Rate	+12 V Range (LSBs)	±12 V Range (LSBs)	+2.5 V Range (LSBs)	±2.5 V Range (LSBs)	+0.625 V Range (LSBs)	±104 mV Range (LSBs)
10 SPS	0.1	0.07	0.16	0.08	0.3	0.7
20 SPS	0.2	0.1	0.2	0.1	0.5	1.0
1.2 kSPS	1.1	0.5	1.4	0.7	3.0	8.9
4.8 kSPS	2.7	1.4	3.6	1.8	8.5	18.1
9.6 kSPS	6.0	3.0	7.2	3.6	17.9	33.3

動作原理

診断機能

AD74115H は、ADC によって様々なオンチップ電圧を測定できる診断機能を備えています。これらの診断電圧は、ADC の測定レンジ内で測定できるようにスケールングされます。

診断入力は、AD74115H の使用可能な2つのチャンネル測定とは独立しています。DIAG\_ASSIGN レジスタは、それぞれの診断入力に電圧測定値を割り当てます。ADC で測定する診断入力、ADC\_CONV\_CTRL レジスタでその入力をイネーブルすることによって選択します。また、変換レートも ADC\_CONV\_CTRL

レジスタを介して選ぶことができます。ADC\_CONV\_CTRL レジスタ内で選択する場合、9.6kSPS、4.8kSPS、20SPS の3つの変換レートが使用できます。更に 20SPS の変換レートでは、50Hz および 60Hz の除去機能が備わっています。

使用可能な診断機能のすべてと、診断値の計算に必要な式を表 29 に示します。

表 29 に示した式において、DIAG\_CODE は ADC\_DIAG\_RESULTn レジスタから読み出す結果コードで、電圧範囲は ADC の測定範囲 (2.5V) です。

表 29. 選択可能な診断機能

診断機能	ADC 結果を解釈するための式	測定範囲
V <sub>AGND</sub>	$V_{AGND} = \frac{DIAG\_CODE}{65,536} \times 2.5$	0V~2.5V
Temperature Sensor (Internal Die Temperature Measurement)°C	$Temperature = \left( \frac{DIAG\_CODE - 2034}{8.95} \right) - 40$	推奨最大ジャンクション温度については表 17 を参照してください。
Voltage on AVDD Pin (V <sub>AVDD</sub> )	$V_{AVDD} = \frac{DIAG\_CODE}{65,536} \times 50$	0V~50V
Voltage on DLDO1V8 Pin (V <sub>DLDO1V8</sub> )	$V_{DLDO1V8} = \frac{DIAG\_CODE}{65,536} \times 7.5$	0V~7.5V
Voltage on AVSS Pin (V <sub>AVSS</sub> )	$V_{AVSS} = \left( \frac{DIAG\_CODE}{65,536} \times 31.017 \right) - 20$	-20V~+11V
Voltage on REFOUT Pin (V <sub>REFOUT</sub> )	$V_{REFOUT} = \frac{DIAG\_CODE}{65,536} \times 3.125$	0V~3.125V
Voltage on AVCC Pin (V <sub>AVCC</sub> )	$V_{ALDO5V} = \frac{DIAG\_CODE}{65,536} \times 17.5$	0V~17.5V
Voltage on ALDO1V8 Pin (V <sub>ALDO1V8</sub> )	$V_{ALDO1V8} = \frac{DIAG\_CODE}{65,536} \times 5.825$	0V~5.825V
Voltage on DVCC Pin (V <sub>DVCC</sub> )	$V_{DVCC} = \frac{DIAG\_CODE}{65,536} \times 8.25$	0V~8.25V
Voltage on SENSEL Pin (V <sub>SENSEL</sub> ) DIN_THRESH_MODE Bit = 0	$V_{SENSEL} = \left( \frac{DIAG\_CODE}{65,536} \times 60 \right) - AVDD$	-AVDD~+60 V - AVDD
DIN_THRESH_MODE Bit = 1	$V_{SENSEL} = \left( \frac{DIAG\_CODE}{65,536} \times 50 \right) - 20$	-20V~+30V
Voltage on LVIN Pin (V <sub>LVIN</sub> )	$V_{LVIN} = \frac{DIAG\_CODE}{65,536} \times 2.5$	0V~2.5V
Voltage on SENSE_EXT1 Pin (V <sub>SENSE_EXT1</sub> )	$V_{SENSE\_EXT1} = \left( \frac{DIAG\_CODE}{65,536} \times 50 \right) - 20$	-20V~+30V
Voltage on SENSE_EXT2 Pin (V <sub>SENSE_EXT2</sub> )	$V_{SENSE\_EXT2} = \left( \frac{DIAG\_CODE}{65,536} \times 50 \right) - 20$	-20V~+30V
Voltage on DO_VDD Pin (V <sub>DO_VDD</sub> )	$V_{DO\_VDD} = \frac{DIAG\_CODE}{65,536} \times 49.2$	0V~49.2V
Voltage Across R <sub>SET</sub> in External Digital Output Sourcing Mode	$V_{RSET} = \frac{DIAG\_CODE}{65,536} \times 0.3125$	0V~0.3125V (推奨する 0.15Ω の外部抵抗を使用する場合は 2.08A に相当)
Voltage Across R <sub>SET</sub> in External Digital Output Sinking Mode	$V_{RSET} = \frac{DIAG\_CODE}{65,536} \times 2.5$	0V~2.5V (推奨する 0.15Ω の外部抵抗を使用する場合は 16A に相当)
Current Flowing Through R <sub>SET</sub> in Internal Digital Output Sourcing Mode	$I_{RSET} = \left( \frac{DIAG\_CODE}{65,536} \times 0.3125 \right) / 1.38$	0mA~226mA
Current Flowing Through R <sub>SET</sub> in Internal Digital Output Sinking Mode	$I_{RSET} = \left( \frac{DIAG\_CODE}{65,536} \times 2.5 \right) / 1.38$	0mA~1.8A

## 動作原理

## DAC 機能

AD74115Hには14ビットのDACがあります。DACのコアは14ビットのストリングDACです。アーキテクチャ構造は、値がRの一連の抵抗で構成されます。ストリング上のどのノードから電圧を取り出して出力アンプに供給するかは、DAC\_CODEレジスタにロードされるデジタル入力コードが決定します。このアーキテクチャは、本質的に単調増加性と直線性を有しています。

DACにロードされるコードのソースは2つあります。代表的なオプションは、DAC\_CODEレジスタからDACにコードをロードすることです。2つめのオプションは、スルーイングを有効にして、DACコードをDACへロードするレートを制御することです。

これら2つのソースからDACにロードされるコードは、どちらもDAC\_ACTIVEレジスタにもロードされます。コードのソースに関わらず、DAC\_ACTIVEレジスタはDACにロードされる電流コードを格納します。

## DACの伝達関数

表30に、使用可能な各出力レンジでの入力コードとアナログ出力の理想的な関係を示します。

表30. 理想的なDAC入力コードと出力の関係

DAC Code				Analog Output		
MSBs		LSBs		±12 V	0 V to 12 V	0 mA to 25 mA
0000	0000	0000	0000	-12 V	0 V	0 mA
0000	0000	0000	0001	$24 \times (1/16,384) - 12$	$12 \times (1/16,384)$	$25 \text{ mA} \times (1/16,384)$
0010	0000	0000	0000	0 V	6 V	12.5 mA
0011	1111	1111	1110	$24 \times (16,382/16,384) - 12$	$12 \text{ V} \times (16,382/16,384)$	$25 \text{ mA} \times (16,382/16,384)$
0011	1111	1111	1111	$24 \times (16,383/16,384) - 12$	$12 \text{ V} \times (16,383/16,384)$	$25 \text{ mA} \times (16,383/16,384)$

## 動作原理

## デジタル線形スルー・レート制御

AD74115H のデジタル線形スルー・レート制御機能は、出力が新しい状態に遷移する際のレートを制御します。このスルー・レート制御機能は、電流出力と電圧出力の両方に使用できます。

スルー・レート制御機能を無効にすると、出力値は、出力駆動回路と接続負荷で制限されるレートで遷移します。

スルー・レートを下げるには、OUTPUT\_CONFIG レジスタを介してデジタル・スルー・レート制御機能を有効にします。

デジタル・スルー・レート制御機能を有効にすると、OUTPUT\_CONFIG レジスタに設定されたレートで出力がデジタル的にステップ変化します。SLEW\_LIN\_STEP ビットはインクリメントごとのコード数を決定し、SLEW\_LIN\_RATE ビットはコードの更新レートを決定します。AD74115H で使用できるゼロスケールからフルスケール方向（またはフルスケールからゼ

ロスケール方向）の DAC 更新における代表的なプログラマブル・スルー・レートを表 31 に示します。

DAC\_ACTIVE レジスタは、目標 DAC コードへのスルーイングの進捗をモニタすることができます。このレジスタは、現在 DAC にロードされているコードを格納します。

DAC\_CODE レジスタのエンド・コードに達する前にデジタル・スルーイングが無効化された場合は、DAC\_ACTIVE の値が維持され、エンド・コードまでは上昇しません。

## HART 準拠スルー

変更条件の HART アナログ・レートと互換性を持たせるために強化されたスルー・オプションを使用できます。このスルー・オプションを有効にするには、OUTPUT\_CONFIG レジスタの SLEW\_EN ビットをセットします。

表 31. ゼロスケールからフルスケールへのコード更新におけるプログラマブル・スルー時間

Update Slew Rate, Programmable via SLEW_LIN_RATE Bits (kHz)	Step Size (% of Full-Scale DAC Voltage), Programmable via SLEW_LIN_STEP Bits <sup>1</sup>			
	0.8%	1.5%	6.1%	22.2%
4	31.3 ms	16.7 ms	4.1 ms	1.1 ms
64	2.0 ms	1.0 ms	256 μs	70.4 μs
150	833 μs	444 μs	109 μs	30.0 μs
240	521 μs	277 μs	68.3 μs	18.8 μs

<sup>1</sup> これらは理論値です。最終的なスルー・レートは、C<sub>LOAD</sub> の値によって制限されます。

## 動作原理

### 誘導負荷の駆動

約 4mH を超える誘導負荷を駆動するときは、デジタル・スルー・レート制御を使用することを推奨します。出力スルー・レートを制御すると、電流変化率 (di/dt) を最小限に抑えることによって、出力電流をステップ変化させるときのリングングを最小限にすることができます。誘導性負荷接続時にスルー・レートを有効にした場合としない場合の  $I_{OUT}$  のセトリング時間特性については、図 11 を参照してください。

### リセット機能

AD74115H をリセットすると、すべてのレジスタがデフォルト状態にリセットされて、キャリブレーション・メモリがリフレッシュされます。デバイスは高インピーダンス・モードに設定されます。リセットを開始する方法は複数あります。

ハードウェア・リセットは、 $\overline{RESET}$  ピンにロー・パルスを入力することによって開始されます。 $\overline{RESET}$  パルス幅は表 15 の仕様を満たしていなければなりません。

ソフトウェア・リセットは、CMD\_KEY レジスタに 0x15FA コード (ソフトウェア・リセットキー1) を書き込み、その後 0xAF51 コード (ソフトウェア・リセット・キー2) を書き込むことによって開始されます。

リセットはサーマル・リセット機能によって開始することもできます。この機能については、サーマル・アラートとサーマル・リセットのセクションを参照してください。

$V_{DLDO1V8}$  または  $V_{DVCC}$  が表 14 に示された電源モニタ閾値の仕様規定値を下回る場合、内部パワーオン・リセット機能により AD74115H はリセットされます。デバイスのリセット状態は、 $V_{DLDO1V8}$  と  $V_{DVCC}$  がこれらの電圧レベルを超えるまで解除されません。

リセット・サイクルが完了すると、ALERT\_STATUS レジスタの RESET\_OCCURRED ビットがセットされます。リセット・サイクルが完了する前に SPI 転送を行おうとすると (リセット時間の代表値については表 14 を参照)、キャリブレーション・メモリが完全にリフレッシュされていないことを示すために、SUPPLY\_ALERT\_STATUS レジスタの CAL\_MEM\_ERR ビットもセットされます。リセット時間経過後は、デバイスの使用を続ける前に、ALERT\_STATUS レジスタ内のこれらのビットをクリアしてください。

### フォルトおよびアラート

AD74115H は、エラー状態を検出するために複数のフォルト・モニタ機能を備えています。

アラート状態やフォルト状態が発生すると、 $\overline{ALERT}$  ピンがアサートされます。アラート状態の原因を特定するには、ALERT\_STATUS レジスタを読み出してください。このレジスタは、それぞれのアラート状態に関するラッチされたビットを格納します。

エラー状態が解消された後、立てられたフラグは ALERT\_STATUS レジスタの対応ビットの位置に 1 を書き込んでクリアしてください (全ビットをクリアするには、ALERT\_STATUS レジスタに 0xFFFF を書き込みます)。SUPPLY\_ALERT\_STATUS または HART\_ALERT\_STATUS でアサートされたアラートは、ALERT\_STATUS レジスタより先にクリアする必要があります。

LIVE\_STATUS レジスタは、現在のエラー状態を示します。このレジスタ内のビットはラッチされず、エラー状態が解消されると自動的にクリアされます。

ALERT\_MASK レジスタを用いると、エラー状態が発生しても ALERT ピンがアクティブ化されないようにできます。

### チャンネル・フォルト

AD74115H は、デバイス機能のセクションに記載された様々な機能に、複数のオープン・サーキット・フォルトや短絡フォルトを備えています。これらのフォルト発生時はそのフォルトを管理し、デバイスの過熱を防ぐため必要に応じチャンネルをリセットしてください。

### 電源モニタ

AD74115H は、電源異常を検出するために 6 つの電源モニタを備えています。いずれかの電源が定められた閾値 (表 14 参照) 未満に低下すると、ALERT\_STATUS レジスタの対応ビットがセットされます。

### サーマル・アラートとサーマル・リセット

AD74115H のダイ温度が表 14 に記載されたアラート温度に達すると、ALERT\_STATUS レジスタの高温エラー・ビット (TEMP\_ALERT) がセットされて、ダイ温度が上昇していることを警告します。

ダイ温度が高くなるとリセットするようにデバイスを設定することも可能です。温度上昇時にデバイスをリセットするには、THERM\_RST レジスタの EN\_THERM\_RST ビットをセットすることにより、サーマル・リセット機能を有効にします。このビットをセットすると、ダイ温度が表 14 に記載されたリセット温度に達した後に、デバイスがフル・リセットされます。

### バーンアウト電流

バーンアウト電流を用いることで、取り付けされたセンサーの完全性を検証し、そこからの測定値を取得する前にオープン・サーキットになっていないことを確認できます。AD74115H は、50nA~10 $\mu$ A の固定値に設定可能なプログラマブルな電流源を提供するようにできます。バーンアウト電流は、VIOUT ピン (I/OP スクリュー端子のモニタ用)、SENSE\_EXT1 ピン、SENSE\_EXT2 ピンで使用でき、また、電流をソースまたはシンクするよう設定できます。

バーンアウト電流源はパワーアップ時には無効化されます。バーンアウト電流を設定するには、I\_BURNOUT\_CONFIG レジスタのビットを使用します。使用できる電流設定値の全リストは表 14 にあります。

電流源は常時有効化することも、診断機能のために必要な場合に有効化することもできます。バーンアウト電流源が有効化されている場合、選択した電流が選択したピンに向けて切り替えられ、外部負荷を流れます。

### FET リーク補償

ソフトウェア設定可能な入出力ソリューションは、高精度のアナログ入出力機能と大電流のデジタル出力機能を、1 つのスクリュー端子に備えている場合があります。この場合、デジタル出力機能に用いられる外部 FET は、未使用時にスクリュー端子に対しオフリークを生じる可能性があります。このリーク電流は、特に RTD 測定などのアナログ機能の精度に影響することがあります。

動作原理

AD74115Hは、FETリーク補償機能を備えており、FETリーク電流に対し代替経路を提供し、I/OP スクリュー端子に流れ込むことを防止します。

この機能を有効化するには、FET\_LKG\_COMP レジスタを設定します。デジタル出力をソースする場合は FET\_SRC\_LKG\_COMP\_EN ビット、デジタル出力をシンクする場合は FET\_SNK\_LKG\_COMP\_EN ビットをセットします。

デジタル出力をソースする場合は、図 57 に示すように、DO\_SRC\_INT ピンを FET のドレインに接続します。同様に、デジタル出力をシンクする場合は、図 58 に示すように、DO\_SNK\_INT ピンを FET のドレインに接続します。

FET リーク補償機能は、選択した外部 FET の特定のリーク量が、電流入力や 3 線式または 4 線式 RTD 測定などの、高精度アナログ測定の誤差に影響すると思われる場合に使用できます。2 線式 RTD モードで使用する場合は、この機能を使用することは推奨されません。

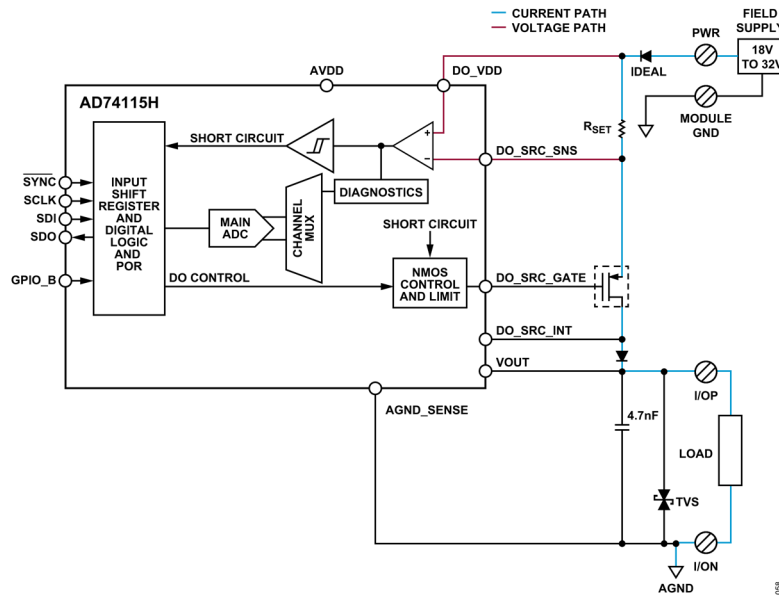


図 57. FET リーク補償を行う場合のデジタル出力ソースの構成

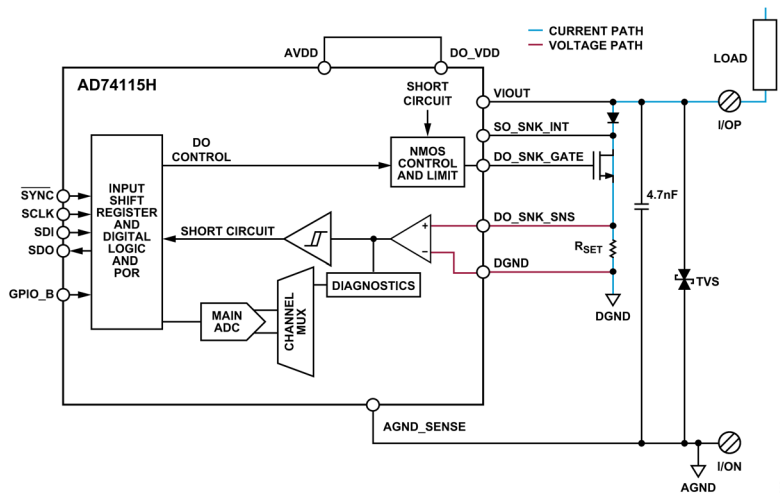


図 58. FET リーク補償を行う場合のデジタル出力シンクの構成

動作原理

GPIO\_X ピン

AD74115Hには4つのGPIOピンがあります。各GPIO\_xピンは以下のように設定できます。

- ▶ 高インピーダンス
- ▶ ロジック・ハイ出力またはロジック・ロー出力として
- ▶ ロジック入力として

更にGPIO\_Aはデジタル入力コンパレータをモニタするため、GPIO\_Bは外部デジタル出力回路を制御するため、GPIO\_Cは内部デジタル出力回路を制御するために用いることができます。

最後に、GPIO\_xピンは、HARTモデムへのUARTピンのモニタや制御を行うよう設定できます。

デフォルトでは、GPIO\_xピンに、弱いプルダウンが有効になっています。いずれかのGPIO\_xピンをロジック入力またはロジック出力として設定する場合は、この弱いプルダウンを無効化します。プルダウンを無効化するには、関連するGPIO\_CONFIGxレジスタのGP\_WK\_PD\_ENビットを0にセットします。

GPIO\_xの設定は、GPIO\_CONFIGxレジスタのGPIO\_SELECTビットを介して行うことができます。GPIO\_xピンをロジック出力として設定する場合は、これらのピンのデータをGPIO\_CONFIGxレジスタのGPO\_DATAビットへ書き込むことができます。

SPI

AD74115Hの制御は、最大24MHzのクロック速度で動作し（表15のt<sub>1</sub>パラメータを参照）、SPI、QSPI™、MICROWIRE™、DSPの各規格と互換性を持つ、8ビットのCRCを備えた多機能4線式SPIを介して行われます。データ・コーディングは常にストレート・バイナリです。

SPI 書込み

入力シフト・レジスタは32ビット幅で、データは、SCLKの制御の下にMSBファーストでデバイスにロードされます。データはSCLKの立下がりエッジで入力されます。SPI書込みフレームの構造を表32に示します。

表 32. レジスタへの書込み

MSB		LSB	
[D31:D24]	[D23:D8]	[D7:D0]	
Register address	Data	CRC	

SPI 読出し

レジスタ位置を読み込むには2つのSPIフレームが必要です。最初のフレームで、読み出すレジスタのアドレスがREAD\_SELECTレジスタに書き込まれます。最初のSPIフレームの構造を表33に示します。

表 33. リードバック・シーケンスの最初のフレーム

MSB		LSB	
[D31:D24]	[D23:D8]	[D7:D0]	
0x64	Readback address	CRC	

2番目のSPIフレームは、無操作（NOP）コマンド、または他のレジスタへの書込みで構成されます。データは、SDOピンからMSBファーストでシフトアウトされます。

- ▶ SDOラインがローにスタックしているかどうかをSPIメインが検出できるように、MSB（ビット31）は常に1に設定されます。このMSBのタイミングがSYNCの立下がりエッジから外され、他のすべてのビットはSCLKの立下がりエッジに同期して出力されます。
- ▶ 選択したレジスタの内容は、ビット [D23:D8] で読み出すことができます。
- ▶ ビット [D30:D24] はSDOピンのステータス情報を提供します。これらのビットの内容は、READ\_SELECTレジスタのSPI\_RD\_RET\_INFOビットを設定することによって決定されます。それぞれのSPI\_RD\_RET\_INFO設定で読み出せる内容を表34および表35に示します。
- ▶ 8ビットCRCはビット [D7:D0] で返されます。

この2段リードバックのタイミングを図59に示します。

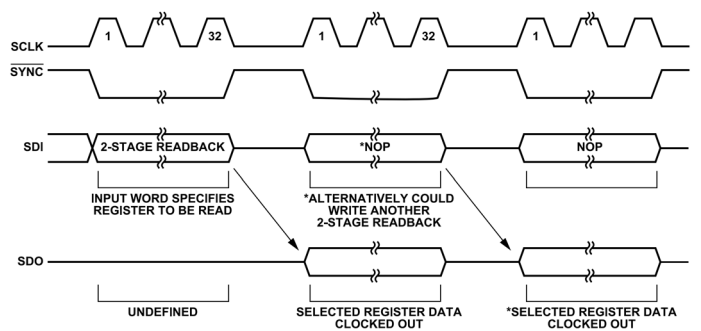


図 59. 2 段リードバックのタイミング図

動作原理

表 34. 読み出し動作時の SDO の内容 (SPI\_RD\_RET\_INFO ビット = 0)

MSB			LSB	
D31	[D30:D24]	[D23:D8]	[D7:D0]	
1	READBACK_ADDR[6:0]	Read data	CRC	

表 35. 読み出し動作時の SDO の内容 (SPI\_RD\_RET\_INFO ビット = 1)

MSB									LSB	
D31	D30	D29	D28	D27	D26	D25	D24	[D23:D8]	[D7:D0]	
1	0	ALERT	ADC_DATA_RDY	HART_ALERT	0	0	DIN_COMP_OUT	Read data	CRC	



## 動作原理

## 自動リードバック

自動リードバックを使用すると、SPI トランザクションごとに同じレジスタを読み出すことができます。自動リードバックを有効にするには、READ\_SELECT レジスタの AUTO\_RD\_EN ビットをセットします。自動リードバックを有効にすると、SPI 転送ごとに、READ-BACK\_ADDR ビットに書き込まれたアドレスの内容が SDO ラインに出力されます。

## バースト読出しモード

AD74115H にはバースト読出しモードがあり、十分な SCLK があ限り、SDO ピンで複数のレジスタのシーケンシャルな読出しが可能です。

複数レジスタからデータをリードバックするには、2 段階リードバックの 2 番目のフレーム後に、 $\overline{\text{SYNC}}$  ラインをローに維持することが必要です (SPI 読出しのセクションを参照)。AD74115H は、 $\overline{\text{SYNC}}$  ピンがハイに戻るまで、レジスタ・アドレスをインクリメントして 32 ビットの内容を同期出力します。32 + (n × 24) 個目の SCLK 立上がりエッジでトランザクションが終了しない場合は、SPI\_ERR エラーがレポートされます。ここで、n はトランザクション数です。

2 つの ADC 結果レジスタの繰り返しバースト読出しを完了する方法の例を、以下に示します。

1. 自動リードバックを有効化します (これにより SPI トランザクションごとに SDO がレジスタ・アドレスを返すことができます)。

2. 最初の ADC 結果レジスタを読み出せるよう、READ\_SELECT レジスタの READBACK\_ADDR ビットを 0x44 にセットします。
3. NOP コマンドを送出します。ADC\_RESULT1 レジスタの内容が CRC と共に SDO ピンに同期出力されます。
4.  $\overline{\text{SYNC}}$  ピンをローに維持して追加の 24 クロックを提供し、ADC\_RESULT2 レジスタからのデータの 16 ビットが CRC と共に同期出力できるようにします。
5.  $\overline{\text{SYNC}}$  をハイに戻します。
6. これらのレジスタからの読出しを続けるには、手順 3 以降を繰り返します。

ADC 結果レジスタをバースト読出しする場合の SDO ラインの内容を、図 60 に示します。SDO に出力されるデータには、レジスタ・アドレス (SPI\_RD\_RET\_INFO が 0 に設定されている場合) の 7 ビット、ADC\_RESULT1 の 16 ビットのデータ、および 8 ビットの CRC が含まれています。 $\overline{\text{SYNC}}$  ピンがローに維持された状態でクロックが入力されると、次のシーケンシャル・アドレス (ADC\_RESULT2) からのデータがクロックに同期して出力されます。

BURST\_READ\_SEL レジスタで選択解除することで、レジスタのバースト読出しシーケンスを解除できます。

バースト読出しが HART\_RX レジスタで始まり、 $\overline{\text{SYNC}}$  ピンが複数読出し用にローに維持されている場合、HART\_RX レジスタが連続的に読み出されます。この場合、レジスタ・アドレスはインクリメントされません。

ストリーミング・モードでは、レジスタ・マップへの書き込みはサポートされていません。

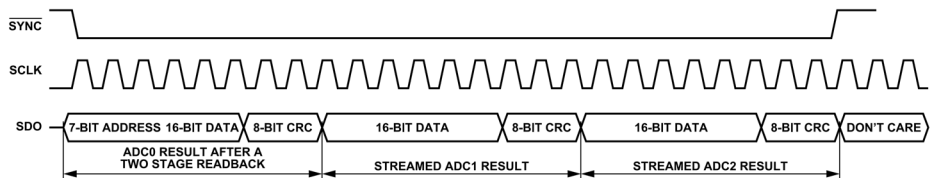


図 60. バースト読出しモードの SDO の内容

## 動作原理

## SPI CRC

ノイズの多い環境でもデータを正しく受信できるように、AD74115HのSPIにはCRCが実装されています。このCRCは8ビットCRCに基づいています。AD74115Hを制御するデバイスは、次の多項式を使って8ビット・フレーム・チェック・シーケンスを生成します。

$$C(x) = x^8 + x^2 + x^1 + 1$$

このフレーム・チェック・シーケンスがデータ・ワードの末尾に追加されて32ビットのデータ・ワードがAD74115Hへ送信され、その後、 $\overline{\text{SYNC}}$ ピンがハイになります。

24個のデータ・ビットと8個のCRCビットを含む32ビット幅のフレームを用意する必要があります。CRCチェックにパスすると、選択されたレジスタにデータが書き込まれます。CRCチェックに失敗するとそのデータは無視され、 $\text{ALERT\_STATUS}$ レジスタのSPI\_ERRステータス・ビットがアサートされて、 $\overline{\text{ALERT}}$ ピンがローになります。

レジスタのリードバック時にも8ビットのCRCがデータ読出しと共に提供され、これを利用して、ホスト・マイクロコントローラは読出しトランザクションにSPIエラーがないことを検証できます。

$\text{ALERT\_STATUS}$ レジスタのSPI\_ERRビットを1にセットすると、このビットをクリアできます。アラート・ビットはクリアされると、 $\overline{\text{ALERT}}$ ピンがデアサートされます（それ以外にはアラートが発生していないことが前提です）。SPI CRCエラーは、 $\text{ALERT\_MASK}$ レジスタの関連ビットに書き込みを行うことによってマスクできます。

## SPIのSCLKカウント機能

SCLKカウント機能は、SPI診断機能に組み込まれています。SPIは、正確に32個のSCLK立下がりエッジを含むSPIフレームだけを有効な書き込みとして受け入れます。バースト読出しモードの場合、SCLK立上がりエッジの数が $32 + (n \times 24)$ であることが必要です。ここで、 $n$ はトランザクション数です。

前述した有効な場合以外の長さのSPIフレームは無視され、 $\text{ALERT\_STATUS}$ レジスタにSPI\_ERRビットがアサートされます。SPI\_ERRビットのマスクは、 $\text{ALERT\_MASK}$ レジスタを介して行います。

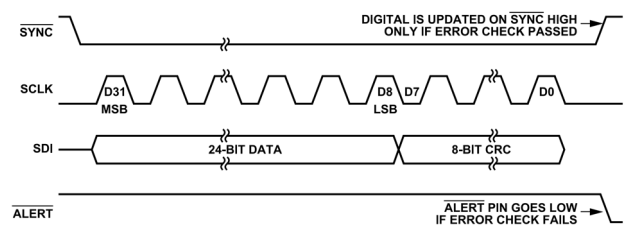


図 61. CRC のタイミング

## アプリケーション情報

## 電源と絶縁

AD74115H は、関連の電源および絶縁チップを用いて動作するように設計されています。ADP1034 により、アナログ電源 (AVDD) にプログラマブル電力制御 (PPC) が使用できるため、V<sub>AVDD</sub> はソフトウェア制御が可能です。また、ADP1034 は、AD74115H の AVSS、AVCC、DVCC の各電源ピンに固定電源電圧を供給することもできます。

ADP1034 は、OWSI を使用し PPC\_CTRL ピンを介して AD74115H によって制御されます。ホスト・コントローラは、AVDD 電源電圧を調整するコマンドを PPC\_TX レジスタに発行します。次いで、AD74115H は、必要な V<sub>AVDD</sub> の変化を OWSI を使用して ADP1034 に送ります。ADP1034 は、V<sub>AVDD</sub> を変更するコマンドを受信すると、それに従って V<sub>AVDD</sub> を更新します。

PPC\_TX レジスタ・コードの選択は、次式に基づいて行います。

$$PPC\_CODE = 252 \times \left( \frac{V_{AVDD}}{V_{AVDD\_MAX}} \right) - 1$$

ここで、

PPC\_CODE は、目的の V<sub>AVDD</sub> 値に対し PPC\_TX レジスタにプログラムする必要があるコード、

V<sub>AVDD</sub> は目的の AVDD 電源電圧、

V<sub>AVDD\_MAX</sub> は、選択した帰還抵抗を用いて ADP1034 が生成できる最大電圧です。詳細については、ADP1034 のデータシートを参照してください。

ADP1034 から提供される AVDD 電源は、負荷条件や選択した使用事例の変化に応じて動的に変更できます。どの変化も統制の取れた方法で行う必要があります。条件の変化に伴って I/OP スクリュー端子の電圧が増加すると見込まれる場合は、V<sub>AVDD</sub> を最初に調整する必要があります。条件の変化に伴って I/OP スクリュー端子の電圧が減少すると見込まれる場合は、負荷、電流、あるいは選択した使用事例の変化後に、V<sub>AVDD</sub> を調整する必要があります。

診断機能によって、電圧が AVDD ピンに設定されていることを確認できます。DIAG\_ASSIGN レジスタで使用可能な診断機能の 1 つに AVDD を選択します。ADC\_CONFIG レジスタを用いて ADC 変換をイネーブルし、関連の ADC\_DIAG\_RESULTx レジスタを用いて診断結果を読み出します。

ADP1034 により、AD74115H の SPI ピン (SCLK、 $\overline{\text{SYNC}}$ 、SDO、SDI) はデジタル絶縁が可能となります。絶縁は、他の 2 つのデジタル出力ピンと 1 つのデジタル入力ピンに対し可能です。図 63 のブロック図では、ADP1034 を用いて  $\overline{\text{RESET}}$ 、 $\overline{\text{ADC\_RDY}}$ 、 $\overline{\text{ALERT}}$  の各ピンが絶縁されています。

詳細については、ADP1034 のデータシートを参照してください。

## 単線式シリアル・インターフェース

OWSI を介し、AD74115H と ADP1034 の間でプログラマブルな電力制御が実行されます。

AD74115H は、PPC\_CTRL ピンを使用して OWSI メインとして機能します。OWSI トランザクションには、図 62 に示すように、いくつかの要素が必要です。OWSI のタイミング仕様を表 16 に示します。OWSI のフレームはビット周期に分割されます。各開始イベント、データ・ビット、アクノレッジ (ACK) ビットは、1 ビット周期内で発生し、各タイミング仕様はそのビット周期の開始時から定義されます。

開始シーケンスは、2 つの連続する立上がりエッジ・パルスで定義されます。開始コマンドが送られると、アドレス、データ、CRC ビットを形成する 16 個のデータ・ビットがこれに続きます。最後に、OWSI の下位部分からのアクノレッジ・シーケンスが必要です。アクノレッジは、ACK ビットとパリティ・ビットの 2 ビットで構成されます。

AD74115H は、ACK ビットとパリティ・ビットの開始時には OWSI のバスをハイに引き上げます。OWSI バスは、ACK ビットとパリティ・ビットの間の所定時間で AD74115H によってサンプルされ、この間、OWSI の下位部分はバスをローに駆動できます。OWSI タイミングの詳細図については図 3 を参照してください。また、適切なタイミング仕様については表 16 を参照してください。

トランザクションが正常に行われている間、OWSI の下位部分は、ACK ビットの間ハイ状態を維持し、パリティ・ビットの間バスをローに駆動します。

トランザクションが正常でない場合は、OWSI の下位部分は ACK ビットの間バスをローに駆動し、パリティ・ビットの間ハイ状態を維持します。

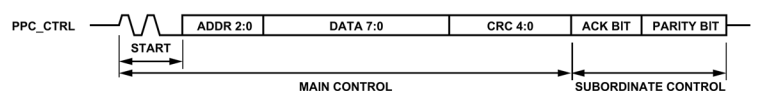


図 62. アクノレッジ付き OWSI 書込み

## アプリケーション情報

### OWSI CRC

ノイズの多い環境でもデータを正しく受信できるように、AD74115HのOWSIにはCRCが実装されています。このCRCは5ビットCRCに基づいています。AD74115Hは、次の多項式を使って5ビット・フレーム・チェック・シーケンスを生成します。

$$C(x) = x^5 + x^2 + 1$$

5ビットのフレーム・チェック・シーケンスが11ビットのデータ・ワードの末尾に追加され、フル16ビット・ワードが下位デバイスへ送信されてアックノレッジ・シーケンスを待ちます。下位デバイスで対応するCRCチェックが有効な場合、その下位デバイスはアックノレッジ・シーケンスで応答します。

下位デバイスのCRCチェックが有効でない場合、ノー・アックノレッジ (NOACK) シーケンスが発出され、PPC\_ACTIVEレジスタのPPC\_TX\_ACK\_ERRビットがアサートされます。ALERT\_STATUSレジスタのPPC\_ERRビットもアサートされます。

CRCチェックに失敗するとそのデータは無視され、ALERT\_STATUSレジスタのPPC\_ERRステータス・ビットがアサートされて、 $\overline{\text{ALERT}}$ ピンがローになります。PPC\_ACTIVEレジスタのPPC\_TX\_ACK\_ERRもアサートされます。

PPC\_ERRビット (ALERT\_STATUSレジスタ) に1を書き込んでクリアすると、 $\overline{\text{ALERT}}$ ピンがハイに戻ります (他にアクティブ・アラートがない場合)。PPC\_ERRエラー・ビットは、ALERT\_MASKレジスタの関連ビットに書き込みを行うことによってマスクできます。

### システム・レベルのブロック図

図63にAD74115HとADP1034の接続関係を示します。図63は、シングル・チャンネルのソフトウェア設定可能入出力向けの完全絶縁型ソリューションを示しています。AD74115HのV<sub>AVDD</sub>、V<sub>AVCC</sub>、V<sub>DVCC</sub>、V<sub>AVSS</sub>の各電源電圧はADP1034から供給されます。AVDD電源電圧は、プログラマブルな電力制御機能を用いてホスト・コントローラから動的に制御できます。ADP1034を使用するプログラマブルな電力制御機能の詳細については、[電源と絶縁](#)のセクションを参照してください。

ADP1034から供給できる出力電力は、ADP1034のVINPピンへの入力電源電圧により異なります。AD74115Hおよびエンド負荷に供給するために必要な合計電力は、システムの電源電圧の選択時に考慮する必要があります。電力供給の詳細については、ADP1034を参照してください。

図63に示した接続関係により、AD74115Hは、バイポーラ・モードと、HART通信を含む2個のスクリー端子で供給可能なデバイスの全動作モードで動作できます。この構成で100mAを超えるデジタル出力電流が必要な場合のみ、外部フィールド電源が必要です。AD74115HのSENSE\_EXT1ピンおよびSENSE\_EXT2ピンは、必要に応じ、3線式または4線式測定用の追加スクリー端子に接続することもできます。

アプリケーション情報

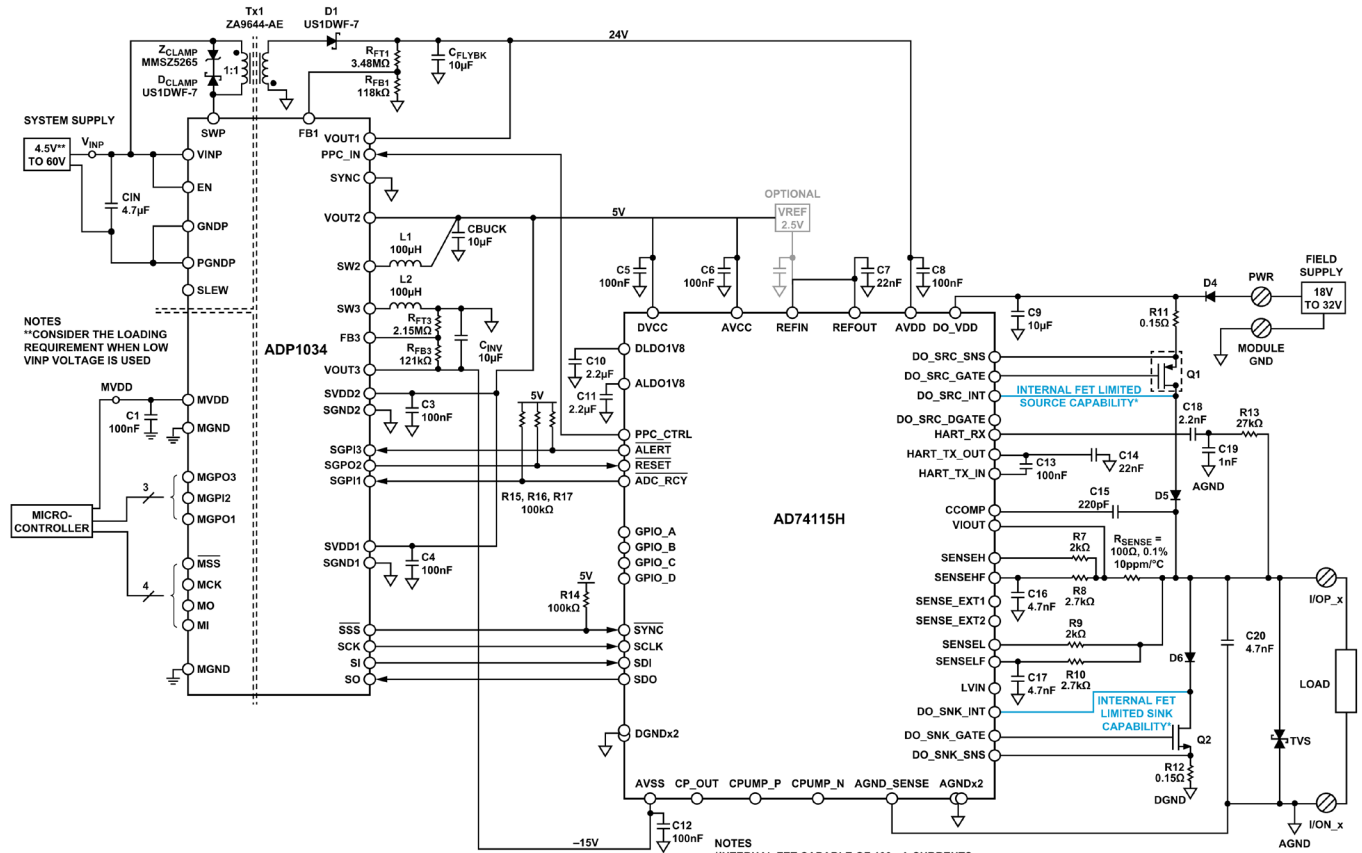


図 63. AD74115H と ADP1034 のシステム・レベルの回路図

アプリケーション情報

外付け部品

AD74115H を動作させるために推奨される外付け部品のリストを表 36 に示します。

表 36. 外付け部品

部品	値			電圧定格 (V)	推奨部品 <sup>1</sup>	注記/コメント
	最小値	代表値	最大値			
Decoupling						
AVDD Decoupling		10 $\mu$ F		50	Generic	
		0.1 $\mu$ F		50	Generic	
AVSS Decoupling		10 $\mu$ F		50 <sup>2</sup>	Generic	
		100 nF		50 <sup>1</sup>	Generic	
AVCC Decoupling		10 $\mu$ F		16	Generic	
		100 nF			Generic	
DVCC Decoupling		10 $\mu$ F		16	Generic	
		0.1 $\mu$ F		16	Generic	
DO_VDD		10 $\mu$ F		100	Generic	
ALDO1V8 Decoupling	1 $\mu$ F	2.2 $\mu$ F		6.3	GRM21BR70J225MA01	
DLDO1V8 Decoupling	1 $\mu$ F	2.2 $\mu$ F		6.3	GRM21BR70J225MA01	
REFOUT Decoupling		22.0 nF	50 nF	6.3	Generic	
Charge Pump						
Fly Capacitor		330 nF		10	GRM188R71A334KA61	チャージ・ポンプを使用する場合、CP_OUT を AVSS に接続します。 このコンデンサは、CPUMP_P ピンと CPUMP_N ピンの間に接続します。
Analog Input and Output						
CCOMP Pin Compensation		220 pF		100	Generic	このピンは合計 C <sub>LOAD</sub> > 14nF の場合に推奨され、CCOMP ピンと I/OP スクリュー端子の間に接続します。
SENSEHF Filter Capacitor <sup>3</sup>		4.7 nF		100	Generic	
SENSEHF Filter Resistor <sup>3</sup>		2.7 k $\Omega$		Generic	Generic	1%精度。
SENSELF Filter Capacitor <sup>3</sup>		4.7 nF		100	Generic	
SENSELF Filter Resistor <sup>3</sup>		2.7 k $\Omega$		Generic	Generic	1%精度。
SENSEH Precision		2 k $\Omega$		Generic	Generic	SENSEH 抵抗の精度は、RTD 仕様に直接影響します。
SENSEL		2 k $\Omega$		Generic	Generic	1%精度。
R <sub>SENSE</sub>		100 $\Omega$		Generic	Generic	R <sub>SENSE</sub> の精度は、電流出力、電流入力、RTD 精度に直接影響します。
Screw Terminal						
Load Capacitor		4.7 nF		100	Generic	
36 V TVS				36	SMBJ36CA	
HART						
HART Coupling Capacitor		100 nF		6.3	Generic	実装については図 52 を参照してください。 このコンデンサは、HART_TX_IN と HART_TX_OUT の間に接続します。
HART_TX_OUT Capacitor		22 nF		6.3	Generic	このセラミック・コンデンサは、HART_TX_OUT とグラウンドの間に接続します。
HART_RX Band-Pass Filter		27 k $\Omega$		Generic	Generic	
		1 nF		100	Generic	
		2.2 nF		100	Generic	

## アプリケーション情報

表 36. 外付け部品

部品	値			電圧定格 (V)	推奨部品 <sup>1</sup>	注記/コメント
	最小値	代表値	最大値			
Digital Output						
External FETs				Generic	Generic	
PFET for Sourcing Only				100	Si7113ADN	ソーシング用設計に適しています。
NFET for Sinking Only				100	SiA416DJ	シンキング用設計に適しています。
External Sense Resistor		0.15 Ω		Generic	Generic	目的の電流分解能とレンジに応じて R <sub>SENSE</sub> 値を選択します。
Smart Diode FET				100	Si7113ADN	
Smart Diode 5 V Zener				Generic	Generic	
Smart Diode Resistor		10 kΩ		Generic	Generic	
Blocking Diode		1 A		Generic	MSE1PB	
High Voltage Auxiliary Inputs						
SENSE_EXT1						
36 V TVS				Generic	SMBJ36CA	
Filter Resistor <sup>3,4</sup>		2.7 kΩ		Generic	Generic	オプション。
Filter Capacitor <sup>3,4</sup>		4.7 nF		100	Generic	オプション。
SENSE_EXT2						
36 V TVS				Generic	SMBJ36CA	
Filter Resistor <sup>3,4</sup>		2.7 kΩ		Generic	Generic	オプション。
Filter Capacitor <sup>3,4</sup>		4.7 nF		Generic	Generic	オプション。

<sup>1</sup> 推奨部品または同様の部品を使用してください。

<sup>2</sup> 外部電源でなくチャージ・ポンプを使用する場合は、電圧定格が低下する場合があります。

<sup>3</sup> アンチエイリアシング・フィルタの値は、すべての使用事例や条件に対し性能上の妥協点を提供します。これらの値は、特定の設計条件に対し最適化するよう調整できます。

<sup>4</sup> 3 線式および 4 線式の抵抗測定には推奨しません。

## ボード設計とレイアウトに関する考慮事項

このセクションでは、AD74115H のボード設計とレイアウトに関する重要な考慮事項の概要を示します。

SENSEL ピンの安定性を確保するには、SENSEL ピンと必要な 2kΩ 抵抗の間でのグラウンドに対する容量を 10pF 未満にします。

SENSEH ピンの安定性を確保するには、SENSEH ピンと必要な 2kΩ 抵抗の間でのグラウンドに対する容量を 10pF 未満にします。

CCOMP ピンの安定性を確保するには、CCOMP ピンと C<sub>COMP</sub> コンデンサ（必要な場合）の間でのグラウンドに対する容量を 10pF 未満にします。

プログラマブルな電力制御インターフェースを適切に動作させるためには、PPC\_CTRL ピンでのグラウンドに対する容量を 30pF に制限します。

最大限の熱性能を実現するために、AD74115H ボードを設計する際には、少なくとも 4 つの層を使用し、パッドとボードの最下層を複数のサーマル・ビアで接続します。詳細については JEDEC JESD-51 仕様を参照してください。AD74115H の露出パッドをサーマル・ビアに接続することを推奨します。

AD74115H のピンを接地するときは、AGND ピンと DGND ピンを 1 つのグラウンド・プレーンに接続することを推奨します。I/ON スクリュー端子もこのグラウンド・プレーンに接続する必要があります。

SENSEH、SENSEHF、SENSEL、SENSELF の各ピンは、R<sub>SENSE</sub> 抵抗のパッドに直接接続します。

DO\_SRC\_SNS ピンと DO\_SNK\_SNS ピンは、外付けの R<sub>SET</sub> 抵抗に直接接続します。

AGND\_SENSE ピンは I/ON スクリュー端子の電圧を検出して、この電圧を ADC への入力として提供します。AGND\_SENSE ピンを直接グラウンドに接続することは推奨できません。代わりに、AGND\_SENSE ピンと I/ON スクリュー端子を 1 本のパターンで接続してください。この接続を行うには、AGND\_SENSE ピンを AD74115H ボードの I/ON スクリュー端子へ接続します。

## レジスタ・マップ

AD74115H のレジスタ・マップの概要と、レジスタの読出し/書込み方法に関する情報を表 37 に示します。R は読出し専用アクセス、R/W は読出し/書込みアクセス、R/WIC は読出し/書込み/クリア・アクセス、W は書込み専用アクセスを示します。

表 37. レジスタの一覧

アドレス	レジスタ名	説明	リセット	アクセス
0x00	NOP	NOP レジスタ	0x0000	R
0x01	CH_FUNC_SETUP	機能セットアップ・レジスタ	0x0000	R/W
0x02	ADC_CONFIG	ADC 設定レジスタ	0x2400	R/W
0x03	PWR_OPTIM_CONFIG	電力最適化設定レジスタ	0x001F	R/W
0x04	DIN_CONFIG1	デジタル入力設定レジスタ 1	0x000B	R/W
0x05	DIN_CONFIG2	デジタル入力設定レジスタ 2	0x0000	R/W
0x06	OUTPUT_CONFIG	出力設定レジスタ	0x0000	R/W
0x07	RTD3W4W_CONFIG	3 線式および 4 線式 RTD 設定レジスタ	0x0001	R/W
0x08	DO_INT_CONFIG	内蔵 FET 設定レジスタによるデジタル出力	0x2E00	R/W
0x09	DO_EXT_CONFIG	外部 FET 設定レジスタによるデジタル出力	0x2E00	R/W
0x0A	I_BURNOUT_CONFIG	バーンアウト電流設定レジスタ	0x0000	R/W
0x0B	DAC_CODE	DAC コード・レジスタ	0x0000	R/W
0x0D	DAC_ACTIVE	DAC アクティブ・コード・レジスタ	0x0000	R
0x35 to 0x38	GPIO_CONFIGx	GPIO_x 設定レジスタ	0x0008	R/W
0x39	FET_LKG_COMP	FET リーク補償レジスタ	0x0000	R/W
0x3A	CHARGE_PUMP	チャージ・ポンプ設定レジスタ	0x0000	R/W
0x3B	ADC_CONV_CTRL	ADC 変換コントロール・レジスタ	0x0000	R/W
0x3C	DIAG_ASSIGN	診断機能選択レジスタ	0x0000	R/W
0x40	DIN_COMP_OUT	デジタル出力レベル・レジスタ	0x0000	R
0x41	ALERT_STATUS	アラート・ステータス・レジスタ	0x0001	R/W
0x42	LIVE_STATUS	ライブ・ステータス・レジスタ	0x0000	R/W
0x44	ADC_RESULT1	ADC 変換 1 結果レジスタ	0x0000	R
0x46	ADC_RESULT2	ADC 変換 2 結果レジスタ	0x0000	R
0x53 to 0x56	ADC_DIAG_RESULTx	診断結果レジスタ	0x0000	R
0x57	DIN_COUNTER	デジタル入力カウンタ・レジスタ	0x0000	R
0x5B	SUPPLY_ALERT_STATUS	電源アラート・ステータス・レジスタ	0x0000	R/W
0x5F	ALERT_MASK	ALERT_STATUS 用アラート・マスク・レジスタ	0x0000	R/W
0x60	SUPPLY_ALERT_MASK	SUPPLY_ALERT_STATUS 用アラート・マスク・レジスタ	0x0000	R/W
0x64	READ_SELECT	リードバック選択レジスタ	0x0000	R/W
0x65	BURST_READ_SEL	バースト・モードでのレジスタ読出しを選択	0x03FF	R/W
0x66	PPC_TX	PPC 送信レジスタ	0x00FF	R/W
0x6E	PPC_ACTIVE	PPC ステータス・レジスタ	0x00FF	R
0x77	THERM_RST	サーマル・リセット有効化レジスタ	0x0000	R/W
0x78	CMD_KEY	コマンド・レジスタ	0x0000	W
0x79 to 0x7A	SCRATCH	スクラッチまたはスベア・レジスタ	0x0000	R/W
0x7B	SILICON_REV	シリコン・リビジョン・レジスタ	0x0001	R
0x7C	SILICON_ID0	シリコン ID 0	0x0000	R
0x7D	SILICON_ID1	シリコン ID 1	0x0000	R
0x7E	SILICON_ID2	シリコン ID 2	0x0000	R
0x7F	SILICON_ID3	シリコン ID 3	0x0000	R

HART レジスタ・マップの概要と、レジスタの読出し/書込み方法に関する情報を表 38 に示します。R は読出し専用アクセス、R/W は読出し/書込みアクセス・アクセス、W は書込み専用アクセスを示します。



## レジスタ・マップ

表 38. HART レジスタの一覧

アドレス	レジスタ名	説明	リセット	アクセス
0x80	HART_ALERT_STATUS	HART 通信アラート・レジスタ	0x0020	R/W
0x81	HART_RX	HART 通信受信レジスタ	0x0000	R
0x82	HART_TX	HART 通信送信レジスタ	0x0000	W
0x83	HART_FCR	FIFO コントロール・レジスタ	0x08C1	R/W
0x84	HART_MCR	HART UART 送信コントロール・レジスタ	0x0000	R/W
0x85	HART_RFC	受信 FIFO バイト・カウント・レジスタ	0x0000	R
0x86	HART_TFC	送信 FIFO バイト・カウント・レジスタ	0x0000	R
0x87	HART_ALERT_MASK	HART 通信アラート・マスク・レジスタ	0x1EFF	R/W
0x88	HART_CONFIG	HART 対応設定レジスタ	0xC430	R/W
0x89	HART_EVDET_COUNT	HART イベント検出カウント・レジスタ	0x0000	R

## ソフトウェア設定可能な入出力レジスタ

入出力機能を設定し AD74115H から測定値を取得するには、以下のレジスタを使用します。

## NOP レジスタ

アドレス：0x00、リセット：0x0000、レジスタ名：NOP

読出し専用レジスタ。このレジスタに書き込みを行うと、無操作（NOP）コマンドが実行されます。

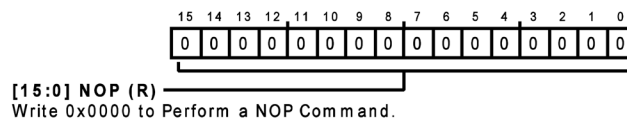


表 39. NOP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	NOP	NOP コマンドを実行するには 0x0000 を書き込みます。	0x0	R

## 機能セットアップ・レジスタ

アドレス：0x01、リセット：0x0000、レジスタ名：CH\_FUNC\_SETUP

機能を選択するには、このレジスタに書き込みます。CH\_FUNC\_SETUP をプログラムする場合、ADC\_CONFIG、OUTPUT\_CONFIG、DIN\_CONFIG1、DIN\_CONFIG2、RTD3W4W\_CONFIG の各レジスタのフィールドが変更されることがあります。

機能を変更する場合はまず高インピーダンス機能をプログラムしてから新しい機能をプログラムします。

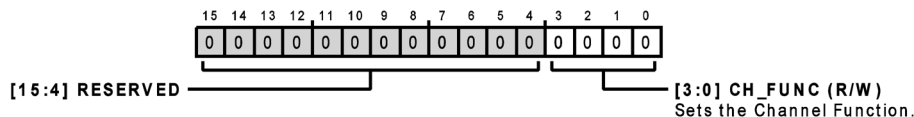


表 40. CH\_FUNC\_SETUP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
[3:0]	CH_FUNC	チャンネル機能を設定します。最初のパワーアップ時またはリセット時のデフォルト状態は高インピーダンスです。以下のリスト以外の値にすると、高インピーダンス機能が選択されます。 0000：高インピーダンス。このモードでは ADC が機能します。 0001：電圧出力。電圧をフォース、電流を測定。 0010：電流出力。電流をフォース、電圧を測定。	0x0	R/W

レジスタ・マップ

表 40. CH\_FUNC\_SETUP のビットの説明

ビット	ビット名	説明	リセット	アクセス
		0011 : 電圧入力。I/OP と I/ON スクリュー端子間の電圧を測定。 0100 : 外部駆動電流入力。 0101 : ループ駆動電流入力。 0110 : 2 線式抵抗測定。 0111 : 3 線式または 4 線式抵抗測定。 1000 : デジタル入力ロジック。 1001 : ループ駆動電流入力。 1010 : HART 対応電流出力。 1011 : HART 対応外部駆動電流入力。 1100 : HART 対応ループ駆動電流入力。		

ADC 設定レジスタ

アドレス : 0x02、リセット : 0x2400、レジスタ名 : ADC\_CONFIG

このレジスタは、入出力チャンネルに対する ADC の設定を選択します。ADC 変換を無効化してから、ADC\_CONFIG レジスタの変更を行ってください。

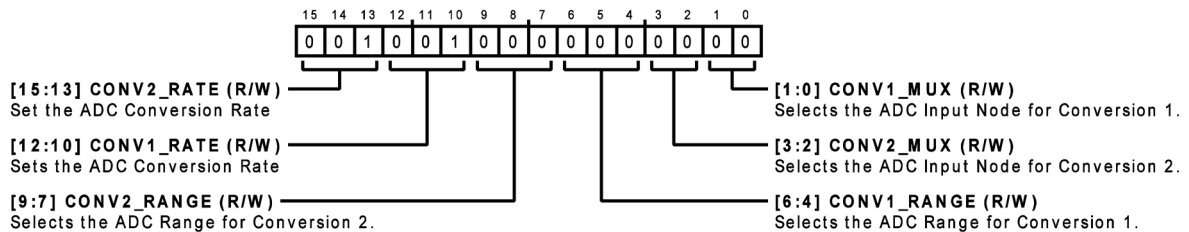


表 41. ADC\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	CONV2_RATE	ADC の変換レートを設定。この表に示されていない値にすると、20SPS のレートが選択されます。 000 : 10SPS。50Hz および 60Hz のノイズ除去が可能。 001 : 20SPS。50Hz および 60Hz のノイズ除去が可能。 010 : 1.2kSPS。 011 : 4.8kSPS。 100 : 9.6kSPS。	0x1	R/W
[12:10]	CONV1_RATE	ADC の変換レートを設定。この表に示されていない値にすると、20SPS のレートが選択されます。 000 : 10SPS。50Hz および 60Hz のノイズ除去が可能。 001 : 20SPS。50Hz および 60Hz のノイズ除去が可能。 010 : 1.2kSPS。 011 : 4.8kSPS。 100 : 9.6kSPS。	0x1	R/W
[9:7]	CONV2_RANGE	変換 2 の ADC のレンジを選択。この表に示されていない値にすると、0V~12V のレンジが選択されます。 000 : 0V~12V。 001 : -12V~+12V。 010 : -2.5V~+2.5V。 011 : -2.5V~0V。 100 : 0V~2.5V。 101 : 0V~0.625V。 110 : -104mV~+104mV。	0x0	R/W

レジスタ・マップ

表 41. ADC\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[6:4]	CONV1_RANGE	変換 1 の ADC のレンジを選択。この表に示されていない値にすると、0V~12V のレンジが選択されます。これらのビットは、CH_FUNC_SETUP レジスタがプログラムされると変化することがあります。 000 : 0V~12V。 001 : -12V~+12V。 010 : -2.5V~+2.5V。 011 : -2.5V~0V。 100 : 0V~2.5V。 101 : 0V~0.625V。 110 : -104mV~+104mV。	0x0	R/W
[3:2]	CONV2_MUX	変換 2 の ADC の入力ノードを選択。 00 : SENSE_EXT1~AGND_SENSE。 01 : SENSE_EXT2~AGND_SENSE。 10 : SENSE_EXT2~SENSE_EXT1。 11 : AGND~AGND。	0x0	R/W
[1:0]	CONV1_MUX	変換 1 の ADC の入力ノードを選択。これらのビットは、CH_FUNC_SETUP レジスタがプログラムされると変化することがあります。 00 : SENSE_LF~AGND_SENSE。 01 : SENSE_HF~SENSE_LF。 10 : SENSE_EXT2~SENSE_EXT1。 11 : SENSE_LF~SENSE_EXT1。	0x0	R/W

電力最適化設定レジスタ

アドレス : 0x03、リセット : 0x001F、レジスタ名 : PWR\_OPTIM\_CONFIG

このレジスタは、チャンネル電力を最適できるいくつかの設定を格納します。

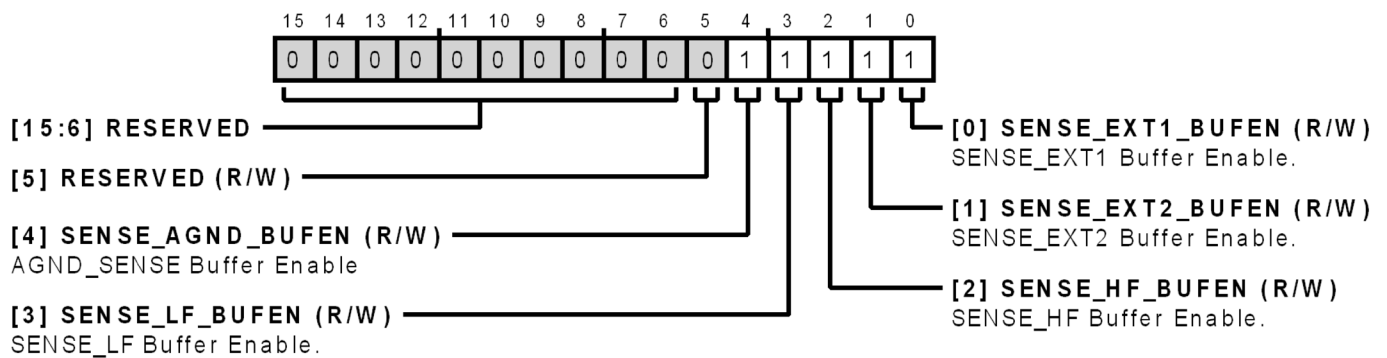


表 42. PWR\_OPTIM\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:5]	RESERVED	予備。	0x0	R
4	SENSE_AGND_BUFEN	AGND_SENSE バッファ・イネーブル。 0 : センス AGND バッファが低消費電力モード。 1 : センス AGND バッファが通常消費電力モード。	0x1	R/W
3	SENSE_LF_BUFEN	SENSE_LF バッファ・イネーブル。 0 : SENSE_LF バッファが低消費電力モード。 1 : SENSE_LF バッファが通常消費電力モード。	0x1	R/W

レジスタ・マップ

表 42. PWR\_OPTIM\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
2	SENSE_HF_BUFEN	SENSE_HF バッファ・イネーブル。 0 : SENSE_HF バッファが低消費電力モード。 1 : SENSE_HF バッファが通常消費電力モード。	0x1	R/W
1	SENSE_EXT2_BUFEN	SENSE_EXT2 バッファ・イネーブル。 0 : SENSE_EXT2 バッファが低消費電力モード。 1 : SENSE_EXT2 バッファが通常消費電力モード。	0x1	R/W
0	SENSE_EXT1_BUFEN	SENSE_EXT1 バッファ・イネーブル。 0 : SENSE_EXT1 バッファが低消費電力モード。 1 : SENSE_EXT1 バッファが通常消費電力モード。	0x1	R/W

デジタル入力設定レジスタ 1

アドレス : 0x04、リセット : 0x000B、レジスタ名 : DIN\_CONFIG1

このレジスタ (および DIN\_CONFIG2) は、チャンネルのデジタル入力機能を設定するために使用します。

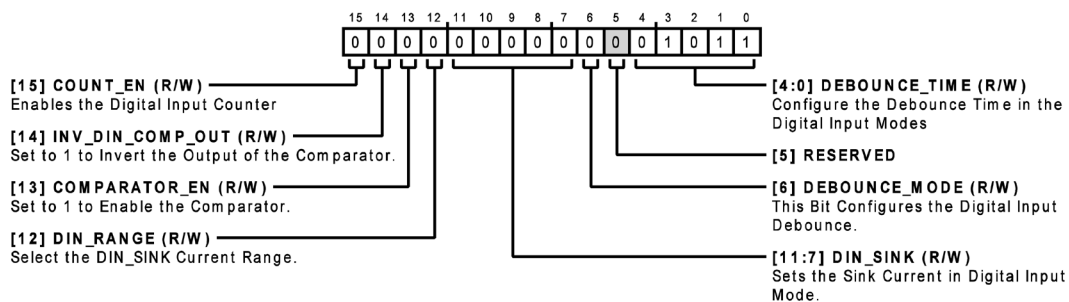


表 43. DIN\_CONFIG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	COUNT_EN	デジタル入力カウンタをイネーブル。INV_DIN_COMP_OUT ビットが 0 の場合は、バウンス防止入力の立上がりエッジがカウントされます。INV_DIN_COMP_OUT ビットが 1 の場合は、バウンス防止入力の立下がりエッジがカウントされます。カウントは DIN_COUNTER レジスタに反映されます。	0x0	R/W
14	INV_DIN_COMP_OUT	コンパレータからの出力を反転するには 1 に設定します。	0x0	R/W
13	COMPARATOR_EN	コンパレータをイネーブルするには 1 に設定します。このビットは、CH_FUNC_SETUP レジスタがプログラムされると変化することがあります。	0x0	R/W
12	DIN_RANGE	DIN_SINK 電流のレンジを選択します。 0 : レンジ 0。120 $\mu$ A ステップで約 2k $\Omega$ の直列抵抗を使用する、0mA~3.7mA のレンジ。 1 : レンジ 1。240 $\mu$ A ステップで約 1k $\Omega$ の直列抵抗を使用する、0mA~7.4mA のレンジ。	0x0	R/W
[11:7]	DIN_SINK	デジタル入力モードのシンク電流を設定します。これらのビットは、DIN_RANGE ビットに従い電流シンクをプログラムするよう設定します。電流シンクをオフにするには、DIN_SINK を 0x0 に設定します。これらのビットは、対応する CH_FUNC_SETUP レジスタへの書き込みが行われると、その機能に関わらず 0 に設定されます。	0x0	R/W
6	DEBOUNCE_MODE	このビットはデジタル入力のバウンス防止を設定します。 0 : バウンス防止モード 0。積分器法が使われます。カウンタは、信号がアサートされるとインクリメントし、信号がデアサートされるとデクリメントします。 1 : バウンス防止モード 1。シンプルなカウンタは、信号がアサートされている間はインクリメントし、信号がデアサートされるとリセットされます。	0x0	R/W
5	RESERVED	予備。	0x0	R
[4:0]	DEBOUNCE_TIME	デジタル入力モードのバウンス防止時間を設定します。リセット値 : 240 $\mu$ s。バウンス防止回路をバイパスするには、ビットを 0x0 に設定します。	0xB	R/W

レジスタ・マップ

デジタル入力設定レジスタ 2

アドレス : 0x05、リセット : 0x0000、レジスタ名 : DIN\_CONFIG2

このレジスタ (および DIN\_CONFIG1) は、チャンネルのデジタル入力機能を設定するために使用します。

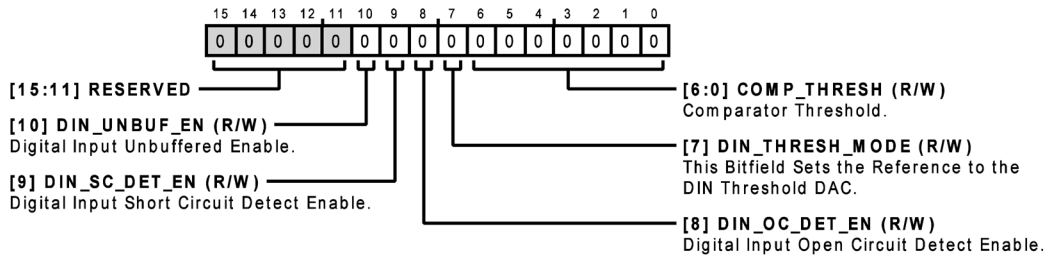


表 44. DIN\_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R
10	DIN_UNBUF_EN	デジタル入力非バッファ・イネーブル。	0x0	R/W
9	DIN_SC_DET_EN	デジタル入力短絡検出イネーブル (デジタル入力ロジックのセクションに記載のように、IEC 61131 タイプ 3D の診断用に設定されている場合)。	0x0	R/W
8	DIN_OC_DET_EN	デジタル入力オープン・サーキット検出イネーブル (デジタル入力ロジックのセクションに記載のように、IEC 61131 タイプ 3D の診断用に設定されている場合)。	0x0	R/W
7	DIN_THRESH_MODE	このビット・フィールドは、DIN 閾値 DAC に対する基準を設定します。 0 : 閾値は AVDD に応じて変化します。閾値の範囲は、 $-0.96 \times AVDD \sim AVDD$ です。 1 : 固定閾値。閾値は $-19V \sim 30V$ です。	0x0	R/W
[6:0]	COMP_THRESH	コンパレータ閾値。DIN コンパレータの閾値。	0x0	R/W

出力設定レジスタ

アドレス : 0x06、リセット : 0x0000、レジスタ名 : OUTPUT\_CONFIG

このレジスタは、チャンネルの出力設定を設定します。

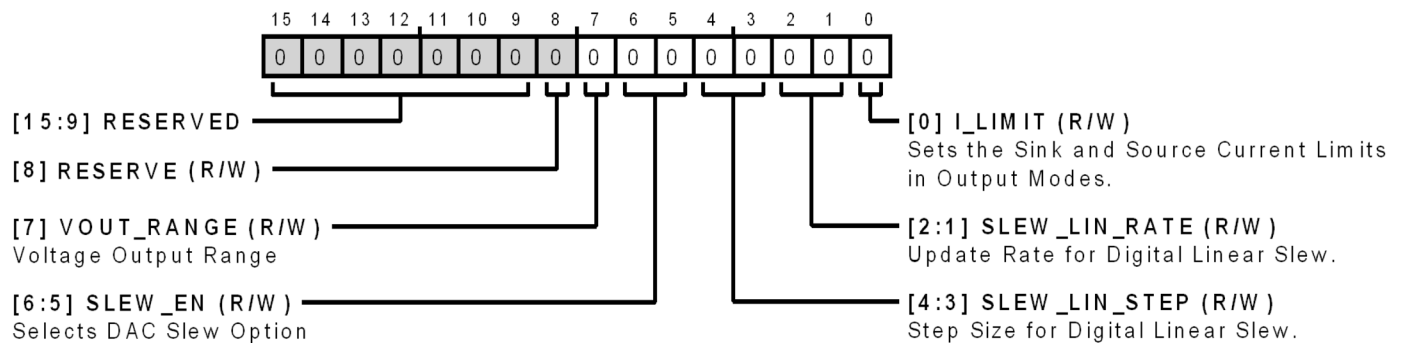


表 45. OUTPUT\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
7	VOUT_RANGE	電圧出力レンジ。 0 : 0~12V。 1 : -12V~+12V。	0x0	R/W
[6:5]	SLEW_EN	DAC スルー・オプションを選択。	0x0	R/W

レジスタ・マップ

表 45. OUTPUT\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
		00 : スルーイング無効化。スルーイングは無効化されると直ちに停止し、DAC コードはそれ以上更新されません。 01 : DAC 出力の線形スルーイングを有効にします。 10 : DAC 出力の HART 対応スルーイングを有効にします。		
[4:3]	SLEW_LIN_STEP	デジタル線形スルーのステップ・サイズ。 00 : フルスケール DAC 電圧の 0.8% の電圧ステップ・サイズ。 01 : フルスケール DAC 電圧の 1.5% の電圧ステップ・サイズ。 10 : フルスケール DAC 電圧の 6.1% の電圧ステップ・サイズ。 11 : フルスケール DAC 電圧の 22.2% の電圧ステップ・サイズ。	0x0	R/W
[2:1]	SLEW_LIN_RATE	デジタル線形スルーの更新レート。 00 : 4kHz のレートで更新。 01 : 64kHz のレートで更新。 10 : 150kHz のレートで更新。 11 : 240kHz のレートで更新。	0x0	R/W
0	I_LIMIT	出力モードのシンクとソースの電流制限値を設定。これらの電流制限値は代表値です。 0 : 電流制限 0。V <sub>OUT</sub> : 32mA のソースまたはシンク。I <sub>OUT</sub> : 4mA のシンク。 1 : 電流制限 1。V <sub>OUT</sub> : 16mA のソースまたはシンク。I <sub>OUT</sub> : 1mA のシンク。	0x0	R/W

3 線式および 4 線式 RTD 設定レジスタ

アドレス : 0x07、リセット : 0x0001、レジスタ名 : RTD3W4W\_CONFIG

このレジスタは 3 線式および 4 線式の RTD 測定を設定します。

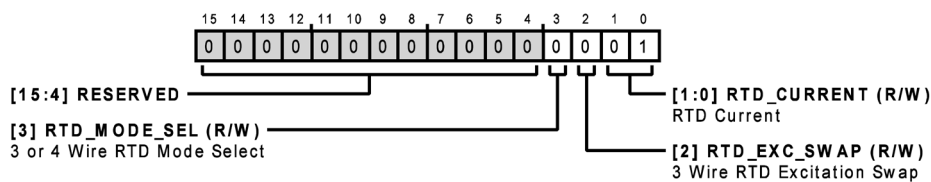


表 46. RTD3W4W\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	RTD_MODE_SEL	3 線式または 4 線式 RTD モード選択。 0 : 3 線式 RTD モード。 1 : 4 線式 RTD モード。	0x0	R/W
2	RTD_EXC_SWAP	3 線式 RTD 励起スワップ。このフィールドは 3 線式 RTD 専用です。	0x0	R/W
[1:0]	RTD_CURRENT	RTD 電流。以下のリスト以外の値にすると、250μA の電流が選択されます。 00 : 250μA。 01 : 500μA。 10 : 750μA。 11 : 1mA。	0x1	R/W

内蔵 FET 設定レジスタによるデジタル出力

アドレス : 0x08、リセット : 0x2E00、レジスタ名 : DO\_INT\_CONFIG

このレジスタは、内部デジタル出力機能の設定値を設定します。デジタル出力機能が有効化されている場合、CH\_FUNC\_SETUP レジスタは高インピーダンスに設定することを推奨します。

レジスタ・マップ

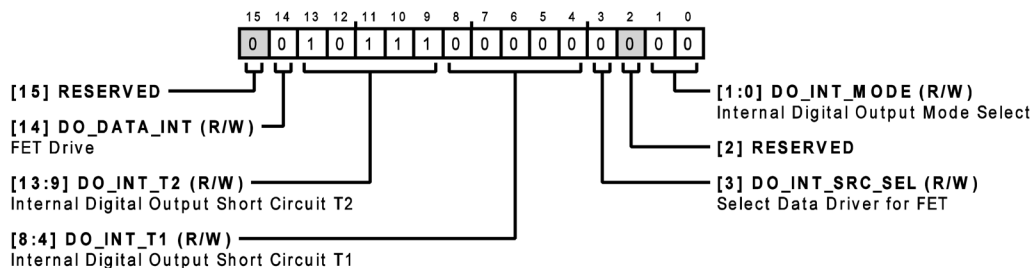


表 47. DO\_INT\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	DO_DATA_INT	FET 駆動。 0 : ソースまたはシンク・モード。FET をスイッチ・オフ。プッシュ/プル・モード : 電流をシンク。 1 : ソースまたはシンク・モード。FET をスイッチ・オン。プッシュ/プル・モード : 電流をソース。	0x0	R/W
[13:9]	DO_INT_T2	内部デジタル出力短絡 T2。T2 短絡期間を設定するには、これらのビットを用います。短絡イベントの時間がこの設定時間を超えた場合は、ALERT_STATUS レジスタの DO_EXT_TIMEOUT アラート・ビットがアサートされます。このレジスタを 0 に設定すると、短絡が検出された場合に T2 タイマは最小タイマ・カウントとなりアクティブ化します。 00 : T2 18.699μs。 01 : T2 18.699μs。 02 : T2 24.39μs。 03 : T2 32.52μs。 04 : T2 42.276μs。 05 : T2 56.097μs。 06 : T2 75.609μs。 07 : T2 100.812μs。 08 : T2 130.08μs。 09 : T2 180.486μs。 10 : T2 240.648μs。 11 : T2 320.322μs。 12 : T2 420.321μs。 13 : T2 560.157μs。 14 : T2 750.399μs。 15 : T2 1.000803ms。 16 : T2 1.3008ms。 17 : T2 1.800795ms。 18 : T2 2.400789ms。 19 : T2 3.200781ms。 20 : T2 4.200771ms。 21 : T2 5.600757ms。 22 : T2 7.500738ms。 23 : T2 10.000713ms。 24 : T2 13.000683ms。 25 : T2 18.000633ms。 26 : T2 24.000573ms。 27 : T2 32.000493ms。 28 : T2 42.000393ms。 29 : T2 56.000253ms。 30 : T2 100.000626ms。	0x17	R/W

## レジスタ・マップ

表 47. DO\_INT\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[8:4]	DO_INT_T1	<p>31 : T2 無限大。</p> <p>内部デジタル出力短絡 T1。T1 短絡期間を設定するには、これらのビットを用います。このレジスタを 0 に設定すると、タイマは無効化され、短絡が検出された場合に T2 タイマは直ちにアクティブ化します。T1 はプッシュ/プル動作モードでは使用できません。</p> <p>00 : T1 バイパス。  01 : T1 18.699<math>\mu</math>s。  02 : T1 24.39<math>\mu</math>s。  03 : T1 32.52<math>\mu</math>s。  04 : T1 42.276<math>\mu</math>s。  05 : T1 56.097<math>\mu</math>s。  06 : T1 75.609<math>\mu</math>s。  07 : T1 100.812<math>\mu</math>s。  08 : T1 130.08<math>\mu</math>s。  09 : T1 180.486<math>\mu</math>s。  10 : T1 240.648<math>\mu</math>s。  11 : T1 320.322<math>\mu</math>s。  12 : T1 420.321<math>\mu</math>s。  13 : T1 560.157<math>\mu</math>s。  14 : T1 750.399<math>\mu</math>s。  15 : T1 1.000803ms。  16 : T1 1.3008ms。  17 : T1 1.800795ms。  18 : T1 2.400789ms。  19 : T1 3.200781ms。  20 : T1 4.200771ms。  21 : T1 5.600757ms。  22 : T1 7.500738ms。  23 : T1 10.000713ms。  24 : T1 13.000683ms。  25 : T1 18.000633ms。  26 : T1 24.000573ms。  27 : T1 32.000493ms。  28 : T1 42.000393ms。  29 : T1 56.000253ms。  30 : T1 75.000063ms。  31 : T1 100.000626ms。</p>	0x0	R/W
3	DO_INT_SRC_SEL	<p>FET 用のデータ・ドライバを選択。</p> <p>1 : GPIO_x ピンは FET を駆動するように設定されます。このビットをセットする場合は、GPIO_CONFIG2 レジスタをデジタル出力回路への入力として設定します。</p> <p>0 : FET をソフトウェアで直接制御。ソフトウェア制御時、FET は DO_DATA_INT を介して制御されます。</p>	0x0	R/W
2	RESERVED	予備。	0x0	R
[1:0]	DO_INT_MODE	<p>内部デジタル出力モードの選択。ALERT_STATUS レジスタの DO_INT_TIMEOUT ビットがセットされると、デジタル出力機能は無効化されます。DO_INT_MODE は、無効化デジタル出力内部モードを選択するよう自動で設定します。デジタル出力モード間のスイッチング時は、内部デジタル出力無効化モードが中間ステップであることを確認してください。</p> <p>00 : 内部デジタル出力無効化。  01 : デジタル出力内部ソース。  10 : デジタル出力内部シンク。  11 : デジタル出力内部プッシュ/プル。データ・ソースは DO_INT_SRC_SEL によって決まります。データ・ソースから 0 が出力されると FET は電流をシンクし、データ・ソースから 1 が出力されると FET が電流をソースします。</p>	0x0	R/W



レジスタ・マップ

外部 FET 設定レジスタによるデジタル出力

アドレス : 0x09、リセット : 0x2E00、レジスタ名 : DO\_EXT\_CONFIG

このレジスタは、外部デジタル出力機能の設定値を設定します。デジタル出力機能が有効化されている場合、CH\_FUNC\_SETUP レジスタは高インピーダンスに設定することを推奨します。

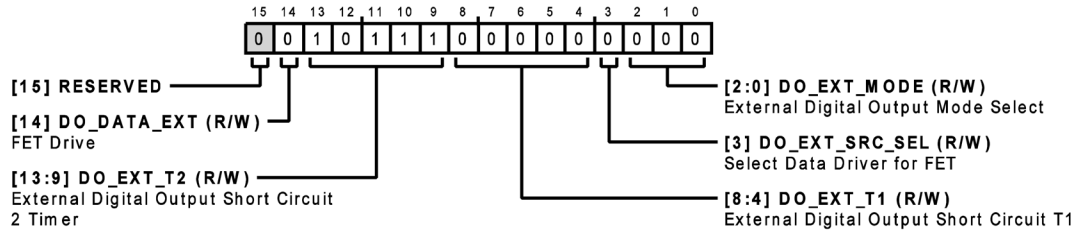


表 48. DO\_EXT\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	DO_DATA_EXT	FET 駆動。 0 : FET をスイッチ・オフ。 1 : FET をスイッチ・オン。	0x0	R/W
[13:9]	DO_EXT_T2	外部デジタル出力短絡 2 タイマ。T2 短絡期間を設定するには、これらのビットを用います。短絡イベントの時間がこの設定時間を超えた場合は、ALERT_STATUS レジスタの DO_EXT_TIMEOUT アラート・ビットがアサートされます。このレジスタを 0 に設定すると、短絡が検出された場合に T2 タイマは最小タイマ・カウントとなりアクティブ化します。T2 を無限大に設定すると、選択した外部 FET に熱損傷が加わる可能性があるため、注意が必要です。  00 : T2 100.812µs。 01 : T2 100.812µs。 02 : T2 100.812µs。 03 : T2 100.812µs。 04 : T2 100.812µs。 05 : T2 100.812µs。 06 : T2 100.812µs。 07 : T2 100.812µs。 08 : T2 130.08µs。 09 : T2 180.486µs。 10 : T2 240.648µs。 11 : T2 320.322µs。 12 : T2 420.321µs。 13 : T2 560.157µs。 14 : T2 750.399µs。 15 : T2 1.000803ms。 16 : T2 1.3008ms。 17 : T2 1.800795ms。 18 : T2 2.400789ms。 19 : T2 3.200781ms。 20 : T2 4.200771ms。 21 : T2 5.600757ms。 22 : T2 7.500738ms。 23 : T2 10.000713ms。 24 : T2 13.000683ms。	0x17	R/W

## レジスタ・マップ

表 48. DO\_EXT\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
		25 : T2 18.000633ms。 26 : T2 24.000573ms。 27 : T2 32.000493ms。 28 : T2 42.000393ms。 29 : T2 56.000253ms。 30 : T2 100.000626ms。 31 : T2 無限大。		
[8:4]	DO_EXT_T1	外部デジタル出力短絡 T1。T1 短絡期間を設定するには、これらのビットを用います。このレジスタを 0 に設定すると、タイマは無効化され、短絡が検出された場合に T2 タイマは直ちにアクティブ化します。T1 はプッシュ/プル動作モードでは使用できません。 00 : T1 パイパス。 01 : T1 100.812μs。 02 : T1 100.812μs。 03 : T1 100.812μs。 04 : T1 100.812μs。 05 : T1 100.812μs。 06 : T1 100.812μs。 07 : T1 100.812μs。 08 : T1 130.08μs。 09 : T1 180.486μs。 10 : T1 240.648μs。 11 : T1 320.322μs。 12 : T1 420.321μs。 13 : T1 560.157μs。 14 : T1 750.399μs。 15 : T1 1.000803ms。 16 : T1 1.3008ms。 17 : T1 1.800795ms。 18 : T1 2.400789ms。 19 : T1 3.200781ms。 20 : T1 4.200771ms。 21 : T1 5.600757ms。 22 : T1 7.500738ms。 23 : T1 10.000713ms。 24 : T1 13.000683ms。 25 : T1 18.000633ms。 26 : T1 24.000573ms。 27 : T1 32.000493ms。 28 : T1 42.000393ms。 29 : T1 56.000253ms。 30 : T1 75.000063ms。 31 : T1 100.000626ms。	0x0	R/W
3	DO_EXT_SRC_SEL	FET 用のデータ・ドライバを選択。 1 : GPIO_x ピンは FET を駆動するように設定されます。このビットをセットする場合は、GPIO_CONFIG1 レジスタをデジタル出力回路への入力として設定します。 0 : FET をソフトウェアで直接制御。ソフトウェア制御時、FET は DO_DATA_EXT を介して制御されます。	0x0	R/W
[2:0]	DO_EXT_MODE	外部デジタル出力モードの選択。ALERT_STATUS レジスタの DO_EXT_TIMEOUT ビットがセットされると、デジタル出力機能は無効化されず。DO_EXT_MODE は、外部デジタル出力無効化モードを選択するよう自動	0x0	R/W

レジスタ・マップ

表 48. DO\_EXT\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
		で設定します。デジタル出力モード間のスイッチング時は、外部デジタル出力無効化モードが中間ステップであることを確認してください。 000 : 外部デジタル出力無効化。 001 : 外部ソース。 010 : 外部シンク。 011 : 外部プッシュ/プル。データ・ソースは DO_EXT_SRC_SEL によって決まります。データ・ソースから 0 が出力されると FET は電流をシンクし、データ・ソースから 1 が出力されると FET が電流をソースします。 100 : スマート・ダイオードを備えた外部ソース。		

バーンアウト電流設定レジスタ

アドレス : 0x0A、リセット : 0x0000、レジスタ名 : I\_BURNOUT\_CONFIG

このレジスタは、VIOUT、SENSE\_EXT1、SENSE\_EXT2 の各ピンのバーンアウト電流を設定します。

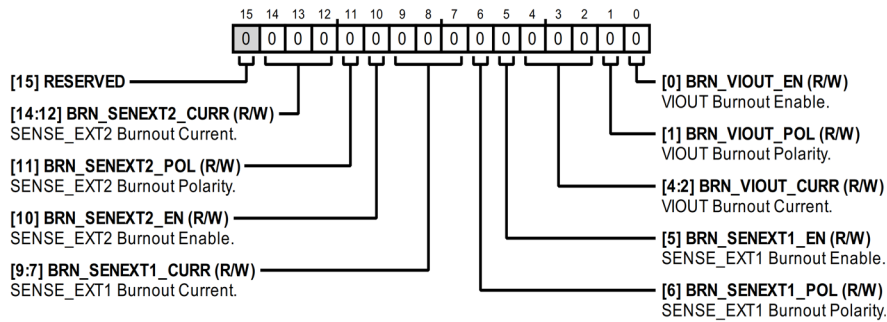


表 49. I\_BURNOUT\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
[14:12]	BRN_SENEXT2_CURR	SENSE_EXT2 のバーンアウト電流。 000 : バーンアウト電流無効化。 001 : 50nA。 011 : 500nA。 100 : 1μA。 110 : 10μA。 その他 : 予備	0x0	R/W
11	BRN_SENEXT2_POL	SENSE_EXT2 のバーンアウト極性。 0 : シンク電流。 1 : ソース電流。	0x0	R/W
10	BRN_SENEXT2_EN	SENSE_EXT2 のバーンアウト・イネーブル。	0x0	R/W
[9:7]	BRN_SENEXT1_CURR	SENSE_EXT1 のバーンアウト電流。 000 : バーンアウト電流無効化。 001 : 50nA。 011 : 500nA。 100 : 1μA。 110 : 10μA。 その他 : 予備	0x0	R/W
6	BRN_SENEXT1_POL	SENSE_EXT1 のバーンアウト極性。 0 : シンク電流。 1 : ソース電流。	0x0	R/W

レジスタ・マップ

表 49. I\_BURNOUT\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
5	BRN_SENEXT1_EN	SENSE_EXT1 のバーンアウト・イネーブル。	0x0	R/W
[4:2]	BRN_VIOUT_CURR	VIOUT のバーンアウト電流。 000 : バーンアウト電流無効化。 100 : 1μA。 110 : 10μA。 その他 : 予備。	0x0	R/W
1	BRN_VIOUT_POL	VIOUT のバーンアウト極性。 0 : シンク電流。 1 : ソース電流。	0x0	R/W
0	BRN_VIOUT_EN	VIOUT のバーンアウト・イネーブル。	0x0	R/W

DAC コード・レジスタ

アドレス : 0x0B、リセット : 0x0000、レジスタ名 : DAC\_CODE

このレジスタを使用すると、DAC コードを出力機能用に設定できます。DAC\_CODE レジスタは、チャンネル機能を切り替えてもリセットされません。

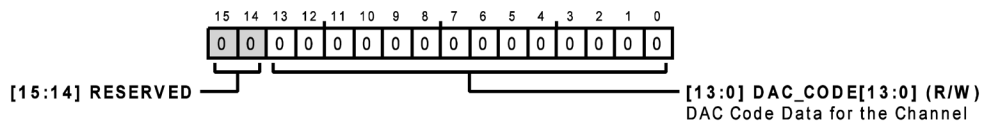


表 50. DAC\_CODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予備。	0x0	R
[13:0]	DAC_CODE[13:0]	チャンネルの DAC コード・データ。	0x0	R/W

DAC アクティブ・コード・レジスタ

アドレス : 0x0D、リセット : 0x0000、レジスタ名 : DAC\_ACTIVE

このレジスタは、DAC にロードされたコードの現在値を示します。スルーイングが有効になっている場合、このレジスタは現在のスルー・ステップを反映します。

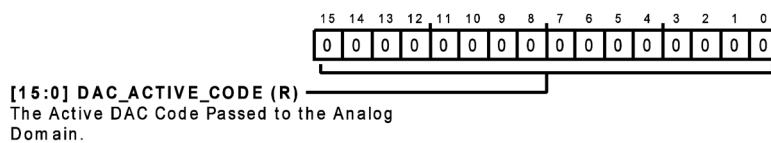


表 51. DAC\_ACTIVE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DAC_ACTIVE_CODE	アナログ領域に渡されるアクティブな DAC コード。DAC にロードされた現在のコード。	0x0	R

GPIO\_A 設定レジスタ

アドレス : 0x35、リセット : 0x0008、レジスタ名 : GPIO\_CONFIG0

4 つの GPIO\_x レジスタが 4 つの GPIO\_x ピンを設定します。デフォルトでは各ピンに弱いプルダウンが有効になっていますが、これは GP\_WK\_PD\_EN ビットを用いて無効化できます。

レジスタ・マップ

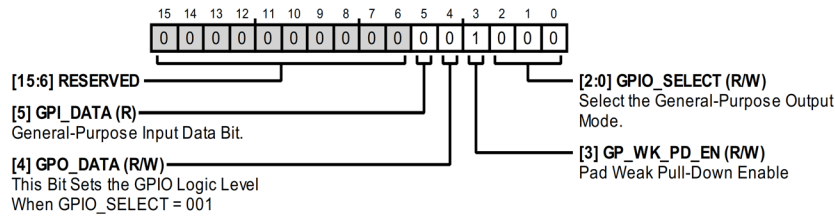


表 52. GPIO\_CONFIG0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
5	GPI_DATA	汎用入力データ・ビット。このビットは対応するピンの現在の状態を反映します。	0x0	R
4	GPO_DATA	GPIO_SELECT = 001 の場合、このビットは GPIO のロジック・レベルを設定します。 0 : GPIO_x ピンのロジックをローに駆動します。 1 : GPIO_x ピンのロジックをハイに駆動します。	0x0	R/W
3	GP_WK_PD_EN	パッドの弱いプルダウンを有効化。 0 : 弱いプルダウンを無効化。 1 : 弱いプルダウンを有効化。	0x1	R/W
[2:0]	GPIO_SELECT	汎用出力モードを選択します。以下のリスト以外の値にすると、高インピーダンス・オプションが選択されます。 000 : 高インピーダンス。GPIO_x 出力ドライバはオフ。GPIO_x パッド入力バッファは無効化。 001 : 出力として設定。出力レベルは GPO_DATA ビットにより設定。GPIO_x 入力バッファは無効化。 010 : 出力および入力として設定。出力レベルは GPO_DATA ビットにより設定。GPIO_x 入力バッファは、出力データは GPI_DATA を介して読み出すこともできるよう、有効化されます。 011 : 入力として設定。GPIO_x 出力ドライバは、高インピーダンス状態に設定されます。 100 : デジタル入力コンパレータの出力をモニタするよう設定。 101 : GPIO_A は、出力として設定され、HART モデム・インターフェースの CD 信号をモニタ。このモードが 4 つの GPIO_x ピンすべてに対して選択されている場合、ピンは内部の HART モデム UART インターフェースを用いてインターフェースできます。内部の SPI と UART 間のインターフェースは無効化されます。 110 : GPIO_A は CD 出力を出力。4 つの GPIO_x ピンはすべて HART UART 信号をモニタするよう設定できます。GPIO 入力パッド・バッファは無効化。 111 : HART_ALERT_STATUS レジスタの EOM ステータス・ビットを出力するよう設定。	0x0	R/W

GPIO\_B 設定レジスタ

アドレス : 0x36、リセット : 0x0008、レジスタ名 : GPIO\_CONFIG1

4 つの GPIO\_x レジスタが 4 つの GPIO\_x ピンを設定します。デフォルトでは各ピンに弱いプルダウンが有効になっていますが、これは GP\_WK\_PD\_EN ビットを用いて無効化できます。

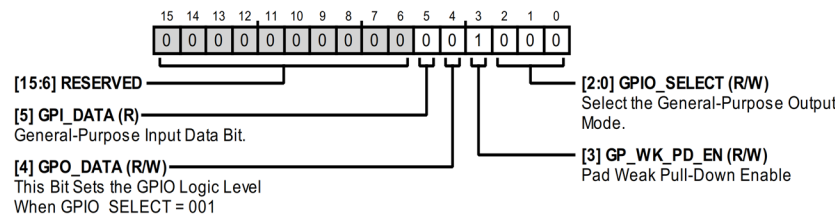


表 53. GPIO\_CONFIG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
5	GPI_DATA	汎用入力データ・ビット。このビットは対応するピンの現在の状態を反映します。	0x0	R
4	GPO_DATA	GPIO_SELECT = 001 の場合、このビットは GPIO のロジック・レベルを設定します。 0 : GPIO_x ピンのロジックをローに駆動します。	0x0	R/W

レジスタ・マップ

表 53. GPIO\_CONFIG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
3	GP_WK_PD_EN	1 : GPIO_x ピンのロジックをハイに駆動します。 パッドの弱いプルダウンを有効化。 0 : 弱いプルダウンを無効化。 1 : 弱いプルダウンを有効化。	0x1	R/W
[2:0]	GPIO_SELECT	汎用出力モードを選択します。以下のリスト以外の値にすると、高インピーダンス・オプションが選択されます。 000 : 高インピーダンス。GPIO_x 出力ドライバはオフ。GPIO_x パッド入力バッファは無効化。 001 : 出力として設定。出力レベルは GPO_DATA ビットにより設定。GPIO 入力バッファは無効化。 010 : 出力および入力として設定。出力レベルは GPO_DATA ビットにより設定。GPIO_x 入力バッファは、出力データは GPI_DATA を介して読み出すこともできるよう、有効化されます。 011 : 入力として設定。GPIO_x 出力ドライバ、高インピーダンス状態に設定されます。 100 : 外部デジタル出力 FET を駆動するよう設定。 101 : GPIO_B は、出力として設定され、HART モデム・インターフェースの RXD 信号をモニタ。このモードが 4 つの GPIO ピンすべてに対して選択されている場合、ピンは内部の HART モデム UART インターフェースを用いてインターフェースできます。内部の SPI と UART 間のインターフェースは無効化されます。 110 : GPIO_B は RXD 信号を出力するよう設定。4 つの GPIO_x ピンはすべて HART UART 信号をモニタするよう設定できます。GPIO_x 入力パッド・バッファは無効化。 111 : HART_ALERT_STATUS レジスタの Hart SOM ステータス・ビットを出力するよう設定。	0x0	R/W

GPIO\_C 設定レジスタ

アドレス : 0x37、リセット : 0x0008、レジスタ名 : GPIO\_CONFIG2

4 つの GPIO\_x レジスタが 4 つの GPIO\_x ピンを設定します。デフォルトでは各ピンに弱いプルダウんが有効になっていますが、これは GP\_WK\_PD\_EN ビットを用いて無効化できます。

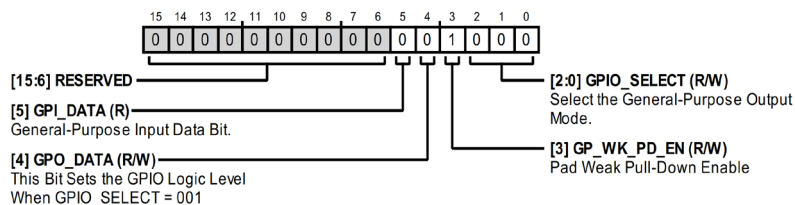


表 54. GPIO\_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
5	GPI_DATA	汎用入力データ・ビット。このビットは対応するピンの現在の状態を反映します。	0x0	R
4	GPO_DATA	GPIO_SELECT = 001 の場合、このビットは GPIO のロジック・レベルを設定します。 0 : GPIO_x ピンのロジックをローに駆動します。 1 : GPIO_x ピンのロジックをハイに駆動します。	0x0	R/W
3	GP_WK_PD_EN	パッドの弱いプルダウンを有効化。 0 : 弱いプルダウンを無効化。 1 : 弱いプルダウンを有効化。	0x1	R/W
[2:0]	GPIO_SELECT	汎用出力モードを選択します。以下のリスト以外の値にすると、高インピーダンス・オプションが選択されます。 000 : 高インピーダンス。GPIO_x 出力ドライバはオフ。GPIO_x パッド入力バッファは無効化。 001 : 出力として設定。出力レベルは GPO_DATA ビットにより設定。GPIO_x 入力バッファは無効化。 010 : 出力および入力として設定。出力レベルは GPO_DATA ビットにより設定。GPIO_x 入力バッファは、出力データは GPI_DATA を介して読み出すこともできるよう、有効化されます。 011 : 入力として設定。GPIO_x 出力ドライバ、高インピーダンス状態に設定されます。	0x0	R/W

レジスタ・マップ

表 54. GPIO\_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
		100 : 内部デジタル出力 FET を駆動するよう設定。 101 : GPIO_C は、入力として設定され、HART モデム・インターフェースの TXD 信号を制御。このモードが 4 つの GPIO_x ビンすべてに対して選択されている場合、ピンは内部の HART モデム UART インターフェースを用いてインターフェースできます。内部の SPI と UART 間のインターフェースは無効化されます。 110 : GPIO_C は TXD 信号を出力するよう設定。4 つの GPIO_x ビンはすべて HART UART 信号をモニタできます。GPIO_x 入力パッド・バッファは無効化。 111 : HART_ALERT_STATUS レジスタの TX_COMPLETE ステータス・ビットを出力するよう設定。		

GPIO\_D 設定レジスタ

アドレス : 0x38、リセット : 0x0008、レジスタ名 : GPIO\_CONFIG3

4 つの GPIO\_x レジスタが 4 つの GPIO\_x ビンを設定します。デフォルトでは各ピンに弱いプルダウンが有効になっていますが、これは GP\_WK\_PD\_EN ビットを用いて無効化できます。

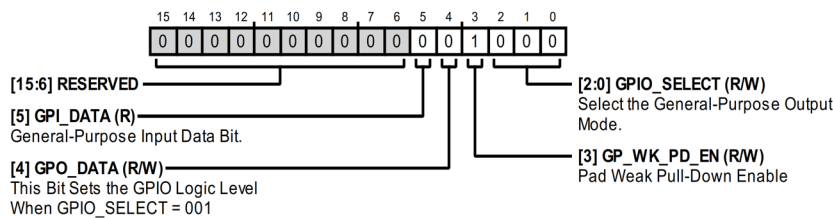


表 55. GPIO\_CONFIG3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
5	GPI_DATA	汎用入力データ・ビット。このビットは対応するピンの現在の状態を反映します。	0x0	R
4	GPO_DATA	GPIO_SELECT = 001 の場合、このビットは GPIO のロジック・レベルを設定します。 0 : GPIO_x ビンのロジックをローに駆動します。 1 : GPIO_x ビンのロジックをハイに駆動します。	0x0	R/W
3	GP_WK_PD_EN	パッドの弱いプルダウンを有効化。 0 : 弱いプルダウンを無効化。 1 : 弱いプルダウンを有効化。	0x1	R/W
[2:0]	GPIO_SELECT	汎用出力モードを選択します。以下のリスト以外の値にすると、高インピーダンス・オプションが選択されます。 000 : 高インピーダンス。GPIO_x 出力ドライバはオフ。GPIO_x パッド入力バッファは無効化。 001 : 出力として設定。出力レベルは GPO_DATA ビットにより設定。GPIO_x 入力バッファは無効化。 010 : 出力および入力として設定。出力レベルは GPO_DATA ビットにより設定。GPIO_x 入力バッファは、出力データは GPI_DATA を介して読み出すこともできるよう、有効化されます。 011 : 入力として設定。GPIO_x 出力ドライバ、高インピーダンス状態に設定されます。 100 : GPIO_x 出力ドライバはオフ。GPIO_x パッド入力バッファは無効化。 101 : GPIO_D は、入力として設定され、HART モデム・インターフェースの RTS 信号を制御。このモードが 4 つの GPIO_x ビンすべてに対して選択されている場合、ピンは内部の HART モデム UART インターフェースを用いてインターフェースできます。内部の SPI と UART 間のインターフェースは無効化されます。 110 : GPIO_D は RTS 信号を出力するよう設定。4 つの GPIO_x ビンはすべて HART UART 信号をモニタできます。GPIO_x 入力パッド・バッファは無効化。 111 : HART_ALERT_STATUS レジスタの CD ステータス・ビットを出力するよう設定。	0x0	R/W

FET リーク補償レジスタ

アドレス : 0x39、リセット : 0x0000、レジスタ名 : FET\_LKG\_COMP

## レジスタ・マップ

このレジスタを用いることで、外部デジタル出力 FET のリークを補償できます。この機能は、高精度アナログ入力および出力の測定時に有効化できます。このレジスタは、DO\_INT\_MODE が内部デジタル出力無効化に設定され、DO\_EXT\_MODE が外部デジタル出力無効化に設定されている場合にのみ使用してください。

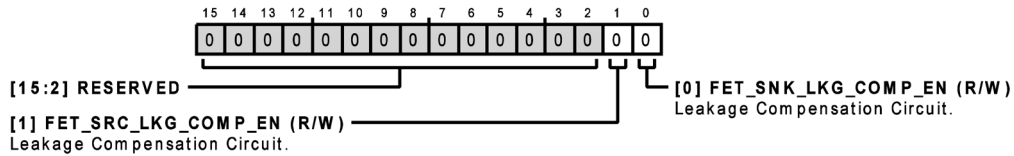


表 56. FET\_LKG\_COMP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予備。	0x0	R
1	FET_SRC_LKG_COMP_EN	リーク補償回路。ソース FET リーク補償回路をイネーブル。 0：リーク補償回路オフ。 1：リーク補償回路オン。	0x0	R/W
0	FET_SNK_LKG_COMP_EN	リーク補償回路。シンク FET リーク補償回路をイネーブル。 0：リーク補償回路オフ。 1：リーク補償回路オン。	0x0	R/W

## チャージ・ポンプ設定レジスタ

アドレス：0x3A、リセット：0x0000、レジスタ名：CHARGE\_PUMP

ユニポーラ機能が必要な場合、このレジスタで内蔵チャージ・ポンプがイネーブルされます。

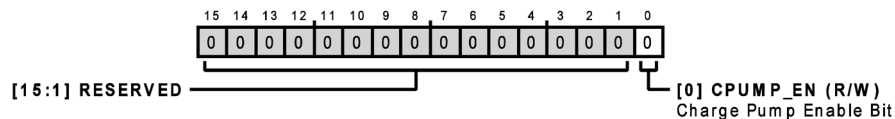


表 57. CHARGE\_PUMP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CPUMP_EN	チャージ・ポンプ・イネーブル・ビット。 0：チャージ・ポンプをディスエーブル。 1：チャージ・ポンプをイネーブル。	0x0	R/W

## ADC 変換コントロール・レジスタ

アドレス：0x3B、リセット：0x0000、レジスタ名：ADC\_CONV\_CTRL

このレジスタは、行わなければならない ADC 変換を制御します。

ADC 変換を無効化してから、ADC\_CONV\_CTRL レジスタの変更を行ってください。

変換シーケンスを有効にする場合は、その前のシーケンスが完了していることを確認してください。LIVE\_STATUS レジスタの ADC\_BUSY ビットが 0 になるまで待ってから、次のシーケンスを有効にします。



レジスタ・マップ

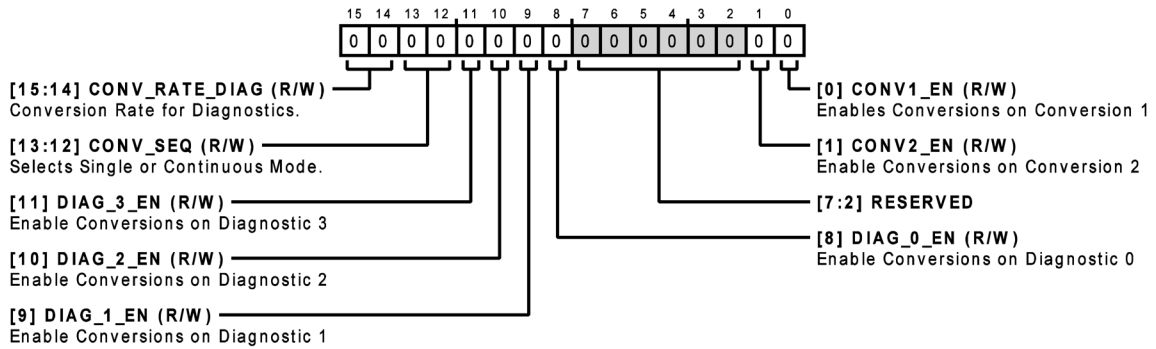


表 58. ADC\_CONV\_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	CONV_RATE_DIAG	診断機能のための変換レート。以下のリスト以外の値にすると、20SPSのレートが選択されます。 00：サンプリング・レート=20SPS。50Hzおよび60Hzのノイズ除去が可能。 01：サンプリング・レート=4.8kSPS。 10：サンプリング・レート=9.6kSPS。	0x0	R/W
[13:12]	CONV_SEQ	シングル・モードまたは連続モードを選択します。 00：ADCをスタンバイ・モードに設定。連続変換の場合は、電流シーケンスの最後で変換を停止し、ADCがパワーアップされる状態になります。 01：シングル・シーケンスの変換を開始。イネーブルされたチャンネルと診断機能ごとにシングル変換を実行します。完了後はADCはアイドル状態になります。 10：連続変換を開始。イネーブルされたチャンネルと診断機能を通して順次シーケンスが実行されていきます。変換が停止すると、シーケンスは電流シーケンスの終了まで待機してから、アイドル状態またはADCパワーダウン状態になります。 11：連続変換モードを停止またはADCをパワーダウン。ADCはパワーダウンされ、その後に変換が必要となった場合はパワーアップまで100μsを要します。	0x0	R/W
11	DIAG_3_EN	診断機能3の変換をイネーブル。	0x0	R/W
10	DIAG_2_EN	診断機能2の変換をイネーブル。	0x0	R/W
9	DIAG_1_EN	診断機能1の変換をイネーブル。	0x0	R/W
8	DIAG_0_EN	診断機能0の変換をイネーブル。	0x0	R/W
[7:2]	RESERVED	予備。	0x0	R
1	CONV2_EN	変換2の変換をイネーブル。	0x0	R/W
0	CONV1_EN	変換1の変換をイネーブル。	0x0	R/W

診断機能選択レジスタ

アドレス：0x3C、リセット：0x0000、レジスタ名：DIAG\_ASSIGN

このレジスタは、使用可能な4つの診断入力に診断機能を割り当てます。

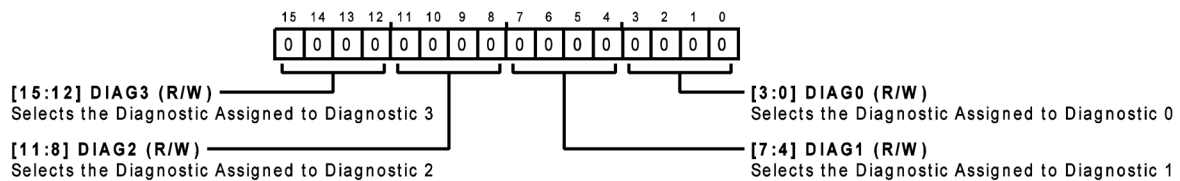


表 59. DIAG\_ASSIGN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	DIAG3	診断機能3に割り当てられる診断を選択。	0x0	R/W

## レジスタ・マップ

表 59. DIAG\_ASSIGN のビットの説明

ビット	ビット名	説明	リセット	アクセス
		0000 : AGND を診断機能 3 に割り当て。 0001 : 温度センサーを診断機能 3 に割り当て。 0010 : DVCC を診断機能 3 に割り当て。 0011 : AVCC を診断機能 3 に割り当て。 0100 : ALDO1V8 を診断機能 3 に割り当て。 0101 : DLDO1V8 を診断機能 3 に割り当て。 0110 : REFOUT を診断機能 3 に割り当て。 0111 : AVDD を診断機能 3 に割り当て。 1000 : AVSS を診断機能 3 に割り当て。 1001 : LVIN を診断機能 3 に割り当て。 1010 : SENSEL を診断機能 3 に割り当て。 1011 : SENSE_EXT1 を診断機能 3 に割り当て。 1100 : SENSE_EXT2 を診断機能 3 に割り当て。 1101 : DO_VDD を診断機能 3 に割り当て。 1110 : AGND を診断機能 3 に割り当て。 1111 : 内部デジタル出力からソースされる電流を測定。		
[11:8]	DIAG2	診断機能 2 に割り当てられる診断を選択。 0000 : AGND を診断機能 2 に割り当て。 0001 : 温度センサーを診断機能 2 に割り当て。 0010 : DVCC を診断機能 2 に割り当て。 0011 : AVCC を診断機能 2 に割り当て。 0100 : ALDO1V8 を診断機能 2 に割り当て。 0101 : DLDO1V8 を診断機能 2 に割り当て。 0110 : REFOUT を診断機能 2 に割り当て。 0111 : AVDD を診断機能 2 に割り当て。 1000 : AVSS を診断機能 2 に割り当て。 1001 : LVIN を診断機能 2 に割り当て。 1010 : SENSEL を診断機能 2 に割り当て。 1011 : SENSE_EXT1 を診断機能 2 に割り当て。 1100 : SENSE_EXT2 を診断機能 2 に割り当て。 1101 : DO_VDD を診断機能 2 に割り当て。 1110 : AGND を診断機能 2 に割り当て。 1111 : 内部デジタル出力からシンクされる電流を測定。	0x0	R/W
[7:4]	DIAG1	診断機能 1 に割り当てられる診断を選択。 0000 : AGND を診断機能 1 に割り当て。 0001 : 温度センサーを診断機能 1 に割り当て。 0010 : DVCC を診断機能 1 に割り当て。 0011 : AVCC を診断機能 1 に割り当て。 0100 : ALDO1V8 を診断機能 1 に割り当て。 0101 : DLDO1V8 を診断機能 1 に割り当て。 0110 : REFOUT を診断機能 1 に割り当て。 0111 : AVDD を診断機能 1 に割り当て。 1000 : AVSS を診断機能 1 に割り当て。 1001 : LVIN を診断機能 1 に割り当て。 1010 : SENSEL を診断機能 1 に割り当て。 1011 : SENSE_EXT1 を診断機能 1 に割り当て。 1100 : SENSE_EXT2 を診断機能 1 に割り当て。 1101 : DO_VDD を診断機能 1 に割り当て。 1110 : AGND を診断機能 1 に割り当て。	0x0	R/W

## レジスタ・マップ

表 59. DIAG\_ASSIGN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[3:0]	DIAG0	1111 : 外部デジタル出力からソースされる電流を測定。 診断機能 0 に割り当てられる診断を選択。 0000 : AGND を診断機能 0 に割り当て。 0001 : 温度センサーを診断機能 0 に割り当て。 0010 : DVCC を診断機能 0 に割り当て。 0011 : AVCC を診断機能 0 に割り当て。 0100 : ALDO1V8 を診断機能 0 に割り当て。 0101 : DLDO1V8 を診断機能 0 に割り当て。 0110 : REFOUT を診断機能 0 に割り当て。 0111 : AVDD を診断機能 0 に割り当て。 1000 : AVSS を診断機能 0 に割り当て。 1001 : LVIN を診断機能 0 に割り当て。 1010 : SENSEL を診断機能 0 に割り当て。 1011 : SENSE_EXT1 を診断機能 0 に割り当て。 1100 : SENSE_EXT2 を診断機能 0 に割り当て。 1101 : DO_VDD を診断機能 0 に割り当て。 1110 : AGND を診断機能 0 に割り当て。 1111 : 外部デジタル出力からシンクされる電流を測定。	0x0	R/W

## デジタル出力レベル・レジスタ

アドレス : 0x40、リセット : 0x0000、レジスタ名 : DIN\_COMP\_OUT

このレジスタは、デジタル入力コンパレータのバウンスが防止された出力を反映します。

I/OP スクリュー端子電圧が設定閾値電圧と比較されます。この比較の結果は、プログラマブル・バウンス防止回路に出力されます。

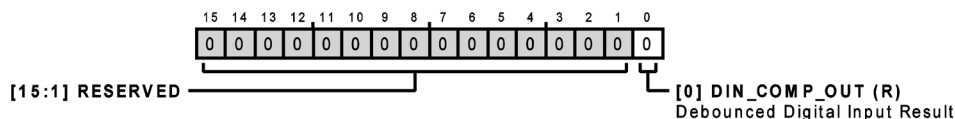


表 60. DIN\_COMP\_OUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	DIN_COMP_OUT	バウンスが防止されたデジタル入力結果。	0x0	R

## アラート・ステータス・レジスタ

アドレス : 0x41、リセット : 0x0001、レジスタ名 : ALERT\_STATUS

このレジスタは、アラート・ステータス・ビットのアラート・ステータスを格納します。アラート状態が解消したら、このレジスタの任意のビットに 1 を書き込みクリアしてください。

レジスタ・マップ

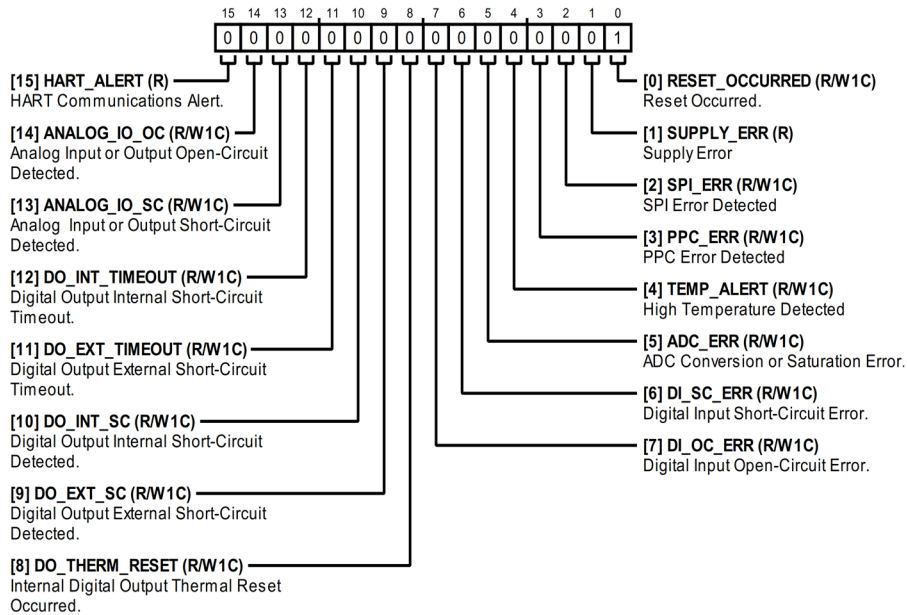


表 61. ALERT\_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	HART_ALERT	HART 通信アラート。このビットがセットされるのは、HART_ALERT_STATUS レジスタのいずれかのビット（CD および FRM_MON_STATE は除く）がセットされ、HART_ALERT_MASK の対応するフィールドが 0 の場合です。HART_ALERT_STATUS のすべてのフィールド（CD および FRM_MON_STATE を除く）が 0 またはマスクされている場合に、このビットはクリアされます。このエラーの原因を調べるには HART_ALERT_STATUS レジスタを読み出します。	0x0	R
14	ANALOG_IO_OC	アナログ入出力のオープン・サーキットを検出。このビットは、アナログ入力または出力機能でオープン・サーキットが検出された場合にアサートされます。	0x0	R/W1C
13	ANALOG_IO_SC	アナログ入出力の短絡を検出。このビットは、アナログ入力または出力機能で短絡が検出された場合にアサートされます。	0x0	R/W1C
12	DO_INT_TIMEOUT	内部デジタル出力の短絡タイムアウト。内部デジタル出力が無効化されます。	0x0	R/W1C
11	DO_EXT_TIMEOUT	外部デジタル出力の短絡タイムアウト。外部デジタル出力が無効化されます。	0x0	R/W1C
10	DO_INT_SC	内部デジタル出力の短絡を検出。この割込みは、デジタル出力 FET が動作の T1 期間にある場合にはアサートされません。	0x0	R/W1C
9	DO_EXT_SC	外部デジタル出力の短絡を検出。この割込みは、デジタル出力 FET が動作の T1 期間にある場合にはアサートされません。	0x0	R/W1C
8	DO_THERM_RESET	内部デジタル出力のサーマル・リセットが発生。	0x0	R/W1C
7	DI_OC_ERR	デジタル入力のオープン・サーキット・エラー。	0x0	R/W1C
6	DI_SC_ERR	デジタル入力の短絡エラー。	0x0	R/W1C
5	ADC_ERR	ADC 変換または飽和エラー。	0x0	R/W1C
4	TEMP_ALERT	高温状態を検出。このビットは、ダイ温度が 115°C に達するとアサートされます。	0x0	R/W1C
3	PPC_ERR	PPC エラーを検出。プログラマブルな電力制御コマンドが PPC_ACTIVE レジスタで PPC_TX_BUSY_ERR エラーまたは PPC_TX_ACK_ERR のアサートを引き起こした場合に、このビットがアサートされます。	0x0	R/W1C
2	SPI_ERR	SPI エラーを検出。このビットは、SPI トランザクションに適切な数の SCLK がいない場合、または CRC エラーが検出された場合にアサートされます。	0x0	R/W1C
1	SUPPLY_ERR	電源エラー。このエラーの原因を調べるには、SUPPLY_ALERT_STATUS レジスタを読み出します。このビットがセットされるのは、SUPPLY_ALERT_STATUS レジスタのいずれかのフィールドがセットされ、SUPPLY_ALERT_MASK の対応するフィールドが 0 の場合です。SUPPLY_ALERT_STATUS のすべてのビット・フィールドが 0 またはマスクされている場合に、このビットはクリアされます。	0x0	R
0	RESET_OCCURRED	リセットが発生。このビットは、ALERT ピンをアサートするリセット・イベントの後にアサートされます。フラグをクリアするには、このビットに 1 を書き込みます。このビット用のマスク・ビットはありません。	0x1	R/W1C

レジスタ・マップ

ライブ・ステータス・レジスタ

アドレス：0x42、リセット：0x0000、レジスタ名：LIVE\_STATUS

このレジスタは、いくつかのステータス・ビットのライブ・ステータスを格納します。ビットはラッチされず、ステータス・ビットを直接反映します。

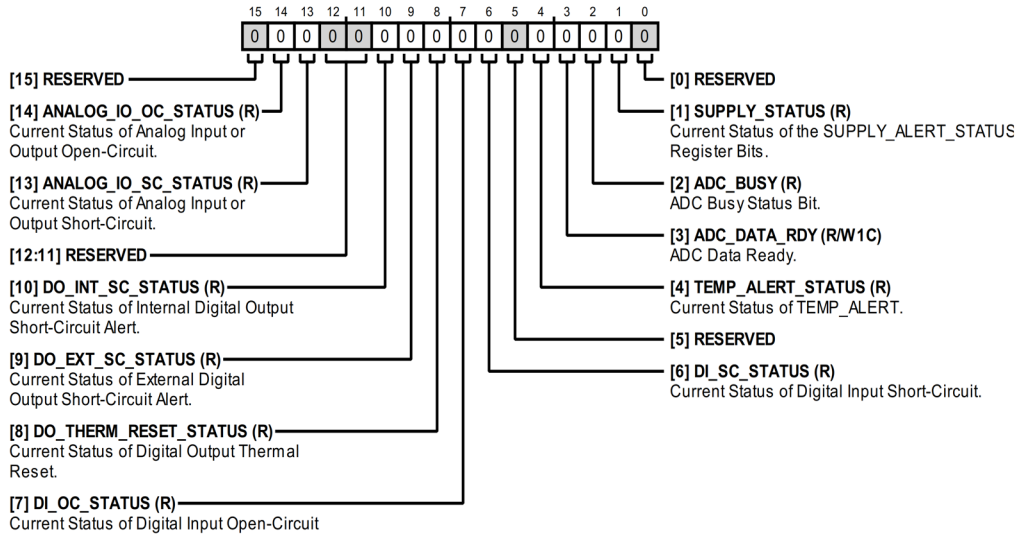


表 62. LIVE\_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	ANALOG_IO_OC_STATUS	アナログ入力または出力のオープン・サーキットの現在のステータス。	0x0	R
13	ANALOG_IO_SC_STATUS	アナログ入力または出力の短絡の現在のステータス。	0x0	R
[12:11]	RESERVED	予備。	0x0	R
10	DO_INT_SC_STATUS	内部デジタル出力の短絡アラートの現在のステータス。注：この割込みは T1 短絡時間の間はアサートされません。	0x0	R
9	DO_EXT_SC_STATUS	外部デジタル出力の短絡アラートの現在のステータス。注：この割込みは T1 短絡時間の間はアサートされません。	0x0	R
8	DO_THERM_RESET_STATUS	デジタル出力サーマル・リセットの原罪のステータス。	0x0	R
7	DI_OC_STATUS	デジタル入力のオープン・サーキットの現在のステータス。	0x0	R
6	DI_SC_STATUS	デジタル入力の短絡の現在のステータス。	0x0	R
5	RESERVED	予備。	0x0	R
4	TEMP_ALERT_STATUS	TEMP_ALERT の現在のステータス。ダイ温度が 115°C（代表値）以上になると、このビットがアサートされます。	0x0	R
3	ADC_DATA_RDY	ADC データ・レディ。連続変換モードの場合、ADC_RDYピンは 24μs 後にハイを返しますが、ADC_DATA_RDY ステータス・ビットは、1 を書き込んでこれをクリアするまで、アサート状態を維持します。	0x0	R/W1C
2	ADC_BUSY	ADC ビジー・ステータス・ビット。このビットは、ADC が最初にパワーアップ状態にある場合は 1 にリセットされます。	0x0	R
1	SUPPLY_STATUS	SUPPLY_ALERT_STATUS レジスタ・ビットの現在のステータス。	0x0	R
0	RESERVED	予備。	0x0	R

ADC 変換 1 結果レジスタ

アドレス：0x44、リセット：0x0000、レジスタ名：ADC\_RESULT1

このレジスタは、ADC の変換結果の 16 ビットを格納します。

## レジスタ・マップ

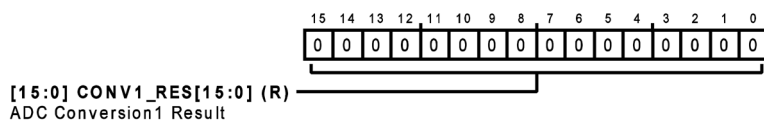


表 63. ADC\_RESULT1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CONV1_RES[15:0]	ADC 変換 1 の結果。	0x0	R

## ADC 変換 2 結果レジスタ

アドレス : 0x46、リセット : 0x0000、レジスタ名 : ADC\_RESULT2

このレジスタは、ADC の変換結果の 16 ビットを格納します。

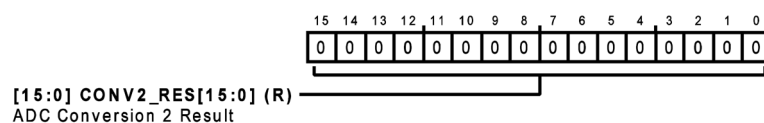


表 64. ADC\_RESULT2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CONV2_RES[15:0]	ADC 変換 2 の結果。	0x0	R

## 診断結果レジスタ

アドレス : 0x53~0x56、リセット : 0x0000、レジスタ名 : ADC\_DIAG\_RESULTx

これら 4 つのレジスタは、16 ビットの診断変換結果を格納します。

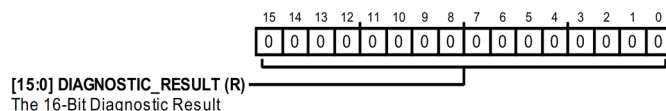


表 65. ADC\_DIAG\_RESULTx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DIAGNOSTIC_RESULT	16 ビットの診断結果。	0x0	R

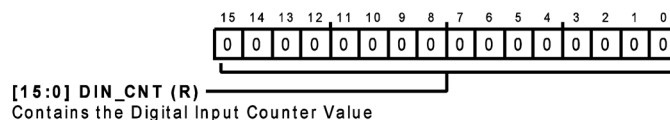
## デジタル入力カウンタ・レジスタ

アドレス : 0x57、リセット : 0x0000、レジスタ名 : DIN\_COUNTER

このレジスタは、DIN\_CONFIG1 レジスタの COUNT\_EN ビットがセットされている場合のデジタル入力カウンタ値を反映します。このカウンタは、フルスケールから 0 へロール・オーバーできます。そのため、十分な頻度でこのレジスタを読み出し、予期しないロール・オーバーを防止してください。

なお、イネーブル信号がローの場合、カウンタはフリーズします。

INV\_DIN\_COMP\_OUT ビットによってデグリッチされた出力を反転し、カウンタのインクリメント・エッジを変更することができます。



レジスタ・マップ

表 66. DIN\_COUNTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DIN_CNT	デジタル入力カウンタ値があります。このカウンタは、DIN_CONFIG1 レジスタの COUNT_EN ビットを 1 にセットするとイネーブルされます。イネーブル信号がローの場合、カウンタはフリーズします。このカウンタは、通常動作時にロール・オーバーするよう設計できますが、この更新レートは遅くすることが必要です。予期しないロール・オーバーを防ぐため、十分な頻度でカウンタを読み出してください。INV_DIN_COMP_OUT ビットによってデグリッチされた出力を反転し、カウンタのインクリメント・エッジを変更することができます。	0x0	R

電源アラート・ステータス・レジスタ

アドレス：0x5B、リセット：0x0000、レジスタ名：SUPPLY\_ALERT\_STATUS

このレジスタは、電源アラート・ステータス・ビットを格納します。アラート状態が解消したら、このレジスタのビットに 1 を書き込みクリアしてください。

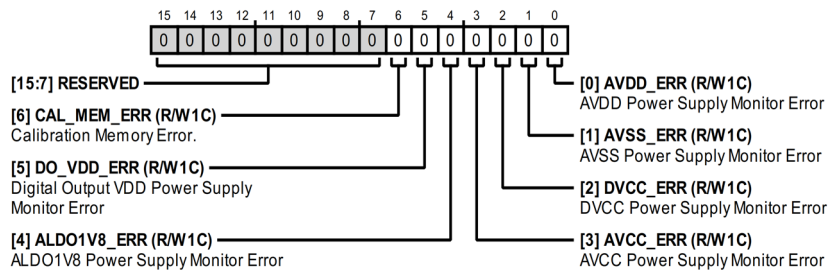


表 67. SUPPLY\_ALERT\_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予備。	0x0	R
6	CAL_MEM_ERR	キャリブレーション・メモリ・エラー。キャリブレーション・メモリのアップロード時にキャリブレーション・メモリ CRC エラーまたは補正不可能な誤り訂正符号 (ECC) エラーが検出された場合、または、メモリ更新が完了していない場合にレジスタへの SPI アクセスが試みられた場合に、このフラグがアサートされます (1 回書き込み型 (OTP) メモリがアップロードされるまで、このデバイスをアドレス指定しないでください)。このビットがアサートされた場合は、デバイスをリセットし電源をチェックすることを推奨します。	0x0	R/W1C
5	DO_VDD_ERR	デジタル出力 VDD 電源モニタ・エラー。デジタル出力 VDD が 9.3V 未満になると、このビットがアサートされます。	0x0	R/W1C
4	ALDO1V8_ERR	ALDO1V8 電源モニタ・エラー。ALDO1V8 が 1.4V 未満になると、このビットがアサートされます。	0x0	R/W1C
3	AVCC_ERR	AVCC 電源モニタ・エラー。AVCC が 4.1V 未満になると、このビットがアサートされます。	0x0	R/W1C
2	DVCC_ERR	DVCC 電源モニタ・エラー。DVCC が 1.9V 未満になると、このビットがアサートされます。	0x0	R/W1C
1	AVSS_ERR	AVSS 電源モニタ・エラー。AVSS が -1.6V を超えると、このビットがアサートされます。	0x0	R/W1C
0	AVDD_ERR	AVDD 電源モニタ・エラー。AVDD が 5.5V 未満になると、このビットがアサートされます。	0x0	R/W1C

ALERT\_STATUS 用アラート・マスク・レジスタ

アドレス：0x5F、リセット：0x0000、レジスタ名：ALERT\_MASK

このレジスタは、特定のステータス・ビットを ALERT ピンのアクティブ化からマスクするために用います。このレジスタのマスク・ビットの位置は、ALERT\_STATUS レジスタの対応ステータス・ビットと同じです。特定のアラート状態をマスクするには、対応するマスク・ビットを 1 にセットします。

なお、ビットをマスクしても、ALERT\_STATUS レジスタの等価なアラート・ビットがセットされないようにすることはできません。

レジスタ・マップ

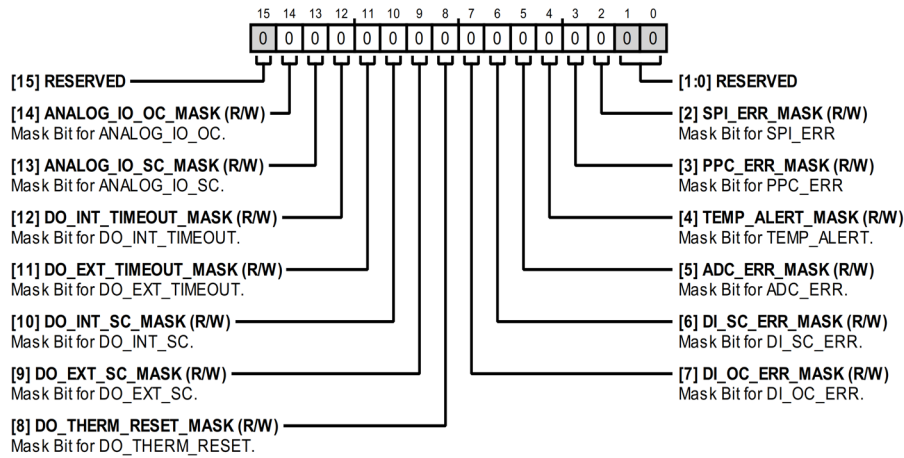


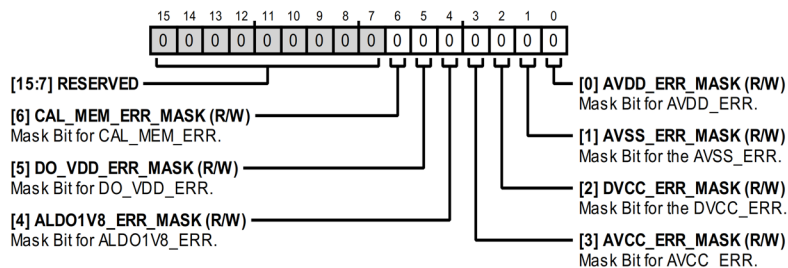
表 68. ALERT\_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	ANALOG_IO_OC_MASK	ANALOG_IO_OC のマスク・ビット。	0x0	R/W
13	ANALOG_IO_SC_MASK	ANALOG_IO_SC のマスク・ビット。	0x0	R/W
12	DO_INT_TIMEOUT_MASK	DO_INT_TIMEOUT のマスク・ビット。	0x0	R/W
11	DO_EXT_TIMEOUT_MASK	DO_EXT_TIMEOUT のマスク・ビット。	0x0	R/W
10	DO_INT_SC_MASK	DO_INT_SC のマスク・ビット。	0x0	R/W
9	DO_EXT_SC_MASK	DO_EXT_SC のマスク・ビット。	0x0	R/W
8	DO_THERM_RESET_MASK	DO_THERM_RESET のマスク・ビット。	0x0	R/W
7	DI_OC_ERR_MASK	DI_OC_ERR のマスク・ビット。	0x0	R/W
6	DI_SC_ERR_MASK	DI_SC_ERR のマスク・ビット。	0x0	R/W
5	ADC_ERR_MASK	ADC_ERR のマスク・ビット。	0x0	R/W
4	TEMP_ALERT_MASK	TEMP_ALERT のマスク・ビット。	0x0	R/W
3	PPC_ERR_MASK	PPC_ERR のマスク・ビット。	0x0	R/W
2	SPI_ERR_MASK	SPI_ERR のマスク・ビット。	0x0	R/W
[1:0]	RESERVED	予備。	0x0	R

SUPPLY\_ALERT\_STATUS 用アラート・マスク・レジスタ

アドレス：0x60、リセット：0x0000、レジスタ名：SUPPLY\_ALERT\_MASK

このレジスタは、特定の SUPPLY\_ALERT\_STATUS ビットを ALERT ピンのアクティブ化からマスクするために用います。このレジスタのマスク・ビットの位置は、SUPPLY\_ALERT\_STATUS レジスタの対応ステータス・ビットと同じです。特定のアラートをマスクするには、対応するマスク・ビットを 1 にセットします。なお、ビットをマスクしても、ALERT\_STATUS レジスタの等価なアラート・ビットがセットされないようにすることはできません。





レジスタ・マップ

表 69. SUPPLY\_ALERT\_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予備。	0x0	R
6	CAL_MEM_ERR_MASK	CAL_MEM_ERR のマスク・ビット。	0x0	R/W
5	DO_VDD_ERR_MASK	DO_VDD_ERR のマスク・ビット。	0x0	R/W
4	ALDO1V8_ERR_MASK	ALDO1V8_ERR のマスク・ビット。	0x0	R/W
3	AVCC_ERR_MASK	AVCC_ERR のマスク・ビット。	0x0	R/W
2	DVCC_ERR_MASK	DVCC_ERR のマスク・ビット。	0x0	R/W
1	AVSS_ERR_MASK	AVSS_ERR のマスク・ビット。	0x0	R/W
0	AVDD_ERR_MASK	AVDD_ERR のマスク・ビット。	0x0	R/W

リードバック選択レジスタ

アドレス : 0x64、リセット : 0x0000、レジスタ名 : READ\_SELECT

このレジスタは、リードバックする必要があるレジスタのアドレスを選択して、SPI リードバック・フレームの内容を決定します。

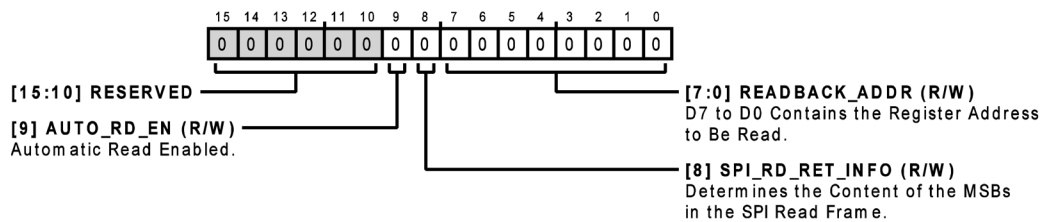


表 70. READ\_SELECT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予備。	0x0	R
9	AUTO_RD_EN	自動読出しが有効。このビットを 1 に設定すると、SPI アクセスごとに読出しデータが SDO に返されます。場所の読出しは READBACK_ADDR によって定められます。	0x0	R/W
8	SPI_RD_RET_INFO	SPI 読出しフレームの MSB の内容を決定。このビットを 0 に設定すると、READBACK_ADDR [6:0] がその後の SPI 読出しのビット [30:24] で返されます。このビットを 1 に設定すると、ADC_RDY ビット、ALERT フラグ、および 4 つの DIN 出力が、その後の SPI 読出しのビット [30:24] で返されます。	0x0	R/W
[7:0]	READBACK_ADDR	D7~D0 は、読み出すレジスタ・アドレスを格納します。	0x0	R/W

バースト・モードでのレジスタ読出しを選択

アドレス : 0x65、リセット : 0x03FF、レジスタ名 : BURST\_READ\_SEL

このレジスタを使用すると、バースト読出しで返される、ALERT\_STATUS、LIVE\_STATUS、ADC\_RESULTx、ADC\_DIAG\_RESULTx、DIN\_COUNTER のいずれかのレジスタを含むレジスタを選択できます。

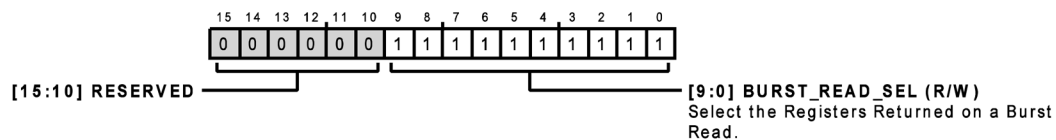


表 71. BURST\_READ\_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予備。	0x0	R

レジスタ・マップ

表 71. BURST\_READ\_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[9:0]	BURST_READ_SEL	<p>バースト読出しで返されるレジスタを選択。レジスタに対応するビットが0の場合は、そのレジスタはバースト読出しの間スキップされます。</p> <p>ビット0：ALERT_STATUS レジスタのバースト読出しを有効化。                      ビット1：LIVE_STATUS レジスタのバースト読出しを有効化。                      ビット2：ADC_RESULT1 レジスタのバースト読出しを有効化。                      ビット3：ADC_RESULT2 レジスタのバースト読出しを有効化。                      ビット4：ADC_DIAG_RESULT0 レジスタのバースト読出しを有効化。                      ビット5：ADC_DIAG_RESULT1 レジスタのバースト読出しを有効化。                      ビット6：ADC_DIAG_RESULT2 レジスタのバースト読出しを有効化。                      ビット7：ADC_DIAG_RESULT3 レジスタのバースト読出しを有効化。                      ビット8：DIN_COUNTER レジスタのバースト読出しを有効化。                      ビット9：SUPPLY_ALERT_STATUS レジスタのバースト読出しを有効化。</p> <p>上記以外のすべてのレジスタの読出しデータは、バースト読出しにそのレジスタが含まれていれば必ず、バースト読出し時に返されます。なお、対応する BURST_READ_SEL ビットが0であっても、バースト読出しの開始アドレスの場所は常に返されます。バースト読出しを DIN_COMP_OUT で開始すると、これをバースト読出しの最初のレジスタとして含めることができます。ただし、DIN_COMP_OUT には対応する BURST_READ_SEL ビットはありません。</p>	0x3FF	R/W

PPC 送信レジスタ

アドレス：0x66、リセット：0x00FF、レジスタ名：PPC\_TX

プログラマブル電源制御電圧設定レジスタ。このレジスタを用いると、ADP1034 が生成する電源電圧で AD74115H の電源 AVDD を調整するよう、OWSI を介して設定できます。

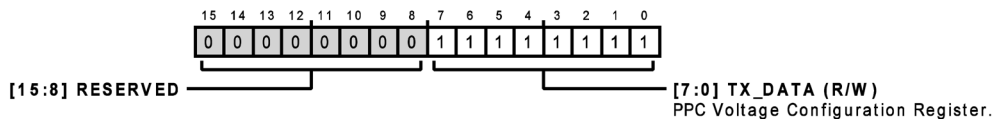


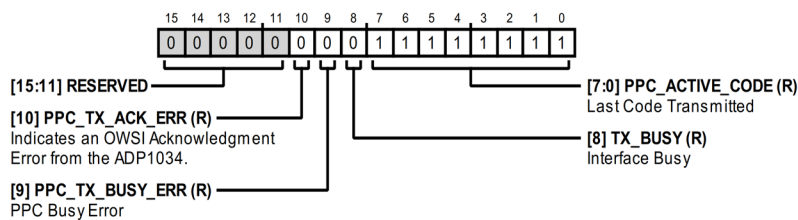
表 72. PPC\_TX のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	TX_DATA	PPC 電圧設定レジスタ。これらのビットは、ADP1034 の設定に一致する最大電源電圧にリセットされます。これらのビットがアップデートされると、送信が完了するまで新たな書込みはブロックされます。	0xFF	R/W

PPC ステータス・レジスタ

アドレス：0x6E、リセット：0x00FF、レジスタ名：PPC\_ACTIVE

この読出し専用レジスタは、OWSI トランザクションのステータス情報を提供します。



レジスタ・マップ

表 73. PPC\_ACTIVE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R
10	PPC_TX_ACK_ERR	ADP1034 からの OWSI アクノレッジ・エラーを示します。このビットは、ADP1034 への 2 回目の書き込みの試行がアクノレッジされない場合にセットされます。ADP1034 が最初のデータ転送をアクノレッジしない場合、OWSI コントローラは PPC への 2 回目の OWSI 転送を試みます。この 2 回目の転送が正常に行われない場合に、このビットがアサートされます。このフラグは、ALERT_STATUS レジスタで PPC_ERR ビットが 1 にプログラムされると、クリアされます。	0x0	R
9	PPC_TX_BUSY_ERR	PPC ビジー・エラー。このビットは、TX_BUSY ビットがセットされているために PPC_TX レジスタへの書き込みがブロックされたことを示します。このフラグは、ALERT_STATUS レジスタで PPC_ERR が 1 にプログラムされると、クリアされません。	0x0	R
8	TX_BUSY	インターフェース・ビジー。TX_DATA ビットが処理中または送信の待機中であることを示します。このビットがセットされている場合は TX_DATA に書き込みを試みすることはできません。このビットは TX_DATA が送信されるとデアサートされません。	0x0	R
[7:0]	PPC_ACTIVE_CODE	最終コードの送信が完了。これらのビットは、ADP1034 に正常に送信された最後のデータを反映します。	0xFF	R

サーマル・リセット有効化レジスタ

アドレス：0x77、リセット値：0x0000、レジスタ名：THERM\_RST

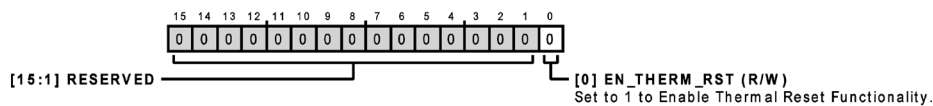


表 74. THERM\_RST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	EN_THERM_RST	サーマル・リセット機能を有効にするには 1 に設定します。ダイ温度が 140°C (代表値) に達すると、サーマル・リセット・イベントがデジタル・リセットをトリガします。これは ALERT ピンの変化と RESET_OCCURRED フラグによって検出されます。	0x0	R/W

コマンド・レジスタ

アドレス：0x78、リセット値：0x0000、レジスタ名：CMD\_KEY

このレジスタは、デバイスへの特定のコマンドを発行するために用います。

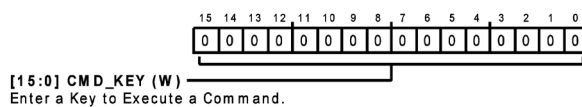


表 75. CMD\_KEY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CMD_KEY	コマンドを実行するためのキーを入力してください。 0x15FA：ソフトウェア・リセット・キー1。ソフトウェア・リセットをトリガするには、このキーを書き込んでからソフトウェア・リセット・キー2を書き込みます。SPI 書き込みは連続して行う必要があります。 0xAF51：ソフトウェア・リセット・キー2。ソフトウェア・リセットをトリガするには、ソフトウェア・リセット・キー1を書き込んでからこのキーを書き込む必要があります。SPI 書き込みは連続して行う必要があります。 0x3F5C：ヒューズ・アップロード・キー。このキーに入力すると、ヒューズへのアップロードと更新が行われます。 ヒューズのアップロード中に SPI アクセスがあると CAL_MEM_ERR ビットがアサートされます。そのため、CAL_MEM_ERR ビットが SPI アクセス時にアサートされなくなるまで、このビットの読出しとクリアを繰り返すことで、ヒューズのアップロードが完了したことを判定できます。なお、ユーザ・モードで ECC が完了すると、発振器トリム・ビットがシャドウ・レジスタからアクティブ・レジスタ (発振器に接続) 渡されます。テスト・モードでは、発振器トリム・ビットはヒューズ	0x0	W

レジスタ・マップ

表 75. CMD\_KEY のビットの説明

ビット	ビット名	説明	リセット	アクセス
		の読み出し時にアクティブ・レジスタに直接渡されます。そのため、誤ったトリム・ビットが発振器に渡されるのを防ぐ場合にのみ、ユーザ・モードでヒューズをアップロードすることを推奨します。		

スクラッチまたはスペア・レジスタ

アドレス：0x79~0x7A (1 ずつインクリメント)、リセット：0x0000、レジスタ名：SCRATCHx

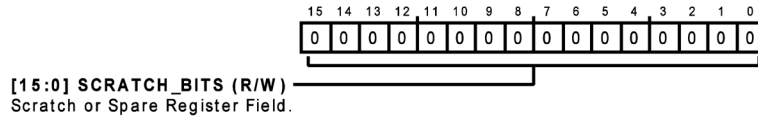


表 76. SCRATCHx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	SCRATCH_BITS	スクラッチまたはスペア・レジスタ・フィールド。	0x0	R/W

シリコン・リビジョン・レジスタ

アドレス：0x7B、リセット：0x0001、レジスタ名：SILICON\_REV

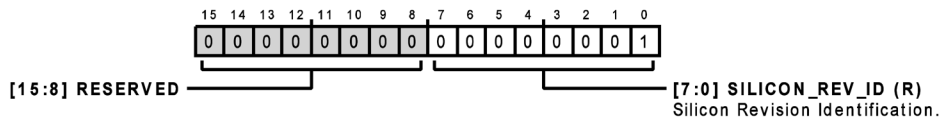


表 77. SILICON\_REV のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	SILICON_REV_ID	シリコン・リビジョン ID。	0x1	R

シリコン ID 0 レジスタ

アドレス：0x7C、リセット：0x0000、レジスタ名：SILICON\_ID0

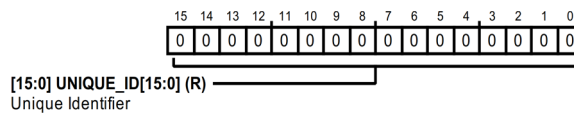
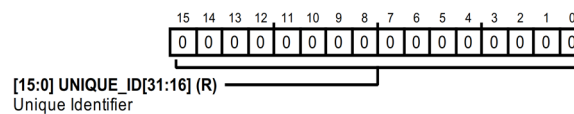


表 78. SILICON\_ID0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	UNIQUE_ID[15:0]	一意の識別コード	0x0	R

シリコン ID 1 レジスタ

アドレス：0x7D、リセット：0x0000、レジスタ名：SILICON\_ID1



レジスタ・マップ

表 79. SILICON\_ID1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	UNIQUE_ID[31:16]	一意の識別コード	0x0	R

シリコン ID 2 レジスタ

アドレス : 0x7E、リセット : 0x0000、レジスタ名 : SILICON\_ID2

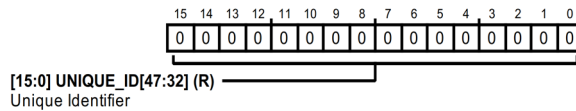


表 80. SILICON\_ID2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	UNIQUE_ID[47:32]	一意の識別コード	0x0	R

シリコン ID 3 レジスタ

アドレス : 0x7F、リセット : 0x0000、レジスタ名 : SILICON\_ID3

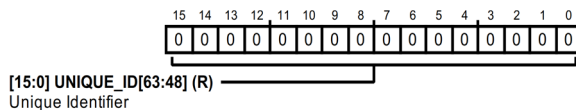


表 81. SILICON\_ID3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	UNIQUE_ID[63:48]	一意の識別コード	0x0	R

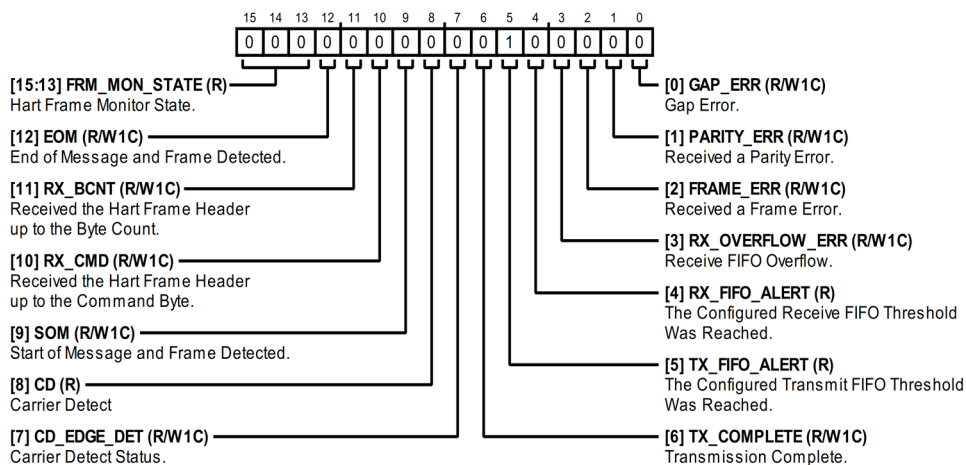
HART モデム・レジスタ

次のレジスタ（アドレス 0x80～アドレス 0x89）は HART モデム設定レジスタです。

HART 通信アラート・レジスタ

アドレス : 0x80、リセット : 0x0020、レジスタ名 : HART\_ALERT\_STATUS

このレジスタは、HART アラート・ステータス・ビットのアラート・ステータスを格納します。アラート状態が解消したら、このレジスタの任意のビットに 1 を書き込みクリアしてください。



## レジスタ・マップ

表 82. HART\_ALERT\_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	FRM_MON_STATE	HART フレーム・モニタの状態。このフィールドは、フレーム・モニタの現在の状態を示します。 000 : HM_PREAM、プリアンブル・バイトを受信中。 001 : HM_ADDR、アドレス・バイトを受信中。 010 : HM_EXP、拡張バイトを受信中。 011 : HM_CMD、コマンド・バイトを受信中。 100 : HM_FRM_SIZE、フレーム・サイズ・バイトを受信中。 101 : HM_FRM_DATA、ペイロード・データを受信中。 110 : HM_CHK_BYTE、チェック・バイトを受信中。	0x0	R
12	EOM	メッセージとフレームの終了を検出。このビットは、すべてのフレームでチェック・バイトまで受信した場合にアサートされます。受信したフレームにギャップ・エラーがあった場合は、EOM ビットはアサートされません。受信したバイトのいずれかでパリティ・エラーまたはフレーム・エラーがあってもこのビットはアサートされます。ただし、エラーがバイト・カウント・バイトにある場合は除きます。	0x0	R/W1C
11	RX_BCNT	バイト・カウントまで、HART フレーム・ヘッダを受信。受信 FIFO にはフレームのヘッダが含まれています。このビットは、バイト・カウントまでのフレーム・ヘッダを受信した場合にアサートされます。受信バイトにギャップ・エラーがあると、このビットはアサートされません。バイト・カウント・バイトにパリティ・エラーまたはフレーム・エラーがある場合もこのビットはアサートされません。他の受信バイトのいずれかにパリティ・エラーまたはフレーム・エラーがあっても、このビットはアサートされます。	0x0	R/W1C
10	RX_CMD	HART フレーム・ヘッダをコマンド・バイトまで受信。受信 FIFO にはフレームのヘッダが含まれています。このビットは、コマンド・バイトまでのフレーム・ヘッダを受信した場合にアサートされます。受信バイトにギャップ・エラーがあると、このビットはアサートされません。他の受信バイトのいずれかにパリティ・エラーまたはフレーム・エラーがあっても、このビットはアサートされます。	0x0	R/W1C
9	SOM	メッセージとフレームの開始を検出。受信 FIFO にはフレームのヘッダが含まれています。このビットは、少なくとも 2 つのプリアンブル・バイトと 1 つのデリミタが受信され、その受信バイトにエラーがない場合にアサートされます。	0x0	R/W1C
8	CD	キャリア検出。このビットは CD 信号を直接反映します。これは ALERT ビンを駆動しません。そのため、対応する ALERT_HART_MASK ビットはありません。	0x0	R
7	CD_EDGE_DET	キャリア検出ステータス。このビットは CD ビットのエッジを検出できます。CD_EDGE_SEL を使用すると、CD の立下がり、立上がり、または任意のエッジがこのビットをアサートしたかどうかを判定できます。CD_EDGE_SEL の変更後は、次に選択したエッジ（立上がりまたは立下がり）がこのビットをアサートさせます。	0x0	R/W1C
6	TX_COMPLETE	送信完了。このビットは、送信エンジンがバイトの最終ビットの送信を終了し、送信 FIFO にそれ以上バイトがない状態になると、アサートされます。	0x0	R/W1C
5	TX_FIFO_ALERT	設定した送信 FIFO 閾値に達しました。このビットは、送信 FIFO のバイト数が HART_FCR レジスタの TFTRIG ビットに設定されている値以下になるとアサートされます。TFTRIG = 0 の場合、このビットは FIFO が空であることを示します。パワーアップ時 FIFO は空で TFTRIG は最大 8 にパワーアップするため、このビットはパワーアップ時は 1 になります。TFTRIG ビットより大きな値が送信 FIFO に書き込まれるとこのビットはデアサートします。	0x1	R
4	RX_FIFO_ALERT	設定した受信 FIFO 閾値に達しました。	0x0	R
3	RX_OVERFLOW_ERR	受信 FIFO オーバーフロー。受信バイトは、受信 FIFO が一杯であるため、受信 FIFO には書き込まれません。	0x0	R/W1C
2	FRAME_ERR	フレーム・エラーを受信。このビットは、受信した文字にフレーム・エラーが検出された場合にアサートされます。	0x0	R/W1C
1	PARITY_ERR	パリティ・エラーを受信。このビットは、受信バイトでパリティ・エラーが検出された場合にアサートされます。	0x0	R/W1C
0	GAP_ERR	ギャップ・エラー。このビットは、文字間に 1 文字分の時間 (9ms) 以上の間隔がある場合にアサートされます。このギャップはフレームの最後にアサートできますが、確実に可能というわけではありません。つまり、フレーム間に 1 文字のギャップが取れない場合があります。	0x0	R/W1C

## HART 通信受信レジスタ

アドレス : 0x81、リセット : 0x0000、レジスタ名 : HART\_RX

受信 FIFO は、このレジスタを介して読み出されます。

SPI を介して受信 FIFO の内容をバースト読出しできます。バースト読出しがこのレジスタから始まる場合、ロジックは内部では次のアドレスにインクリメントしません。代わりに、ロジックは HART\_RX レジスタのアドレスにとどまり、繰り返し受信 FIFO からの文字を返します。

### レジスタ・マップ

このレジスタのアドレスが READ\_SELECT レジスタに書き込まれる場合、HART UART ロジックへのクロックは自動的にイネーブルされます。そのため、UART の使用後は、READ\_SELECT レジスタに HART\_RX 以外のアドレスを書き込み、UART へのクロックをディスエーブルして電力を節約してください。

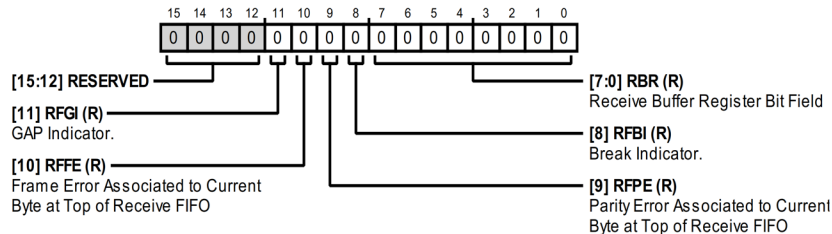


表 83. HART\_RX のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
11	RFGI	GAP インジケータ。RXD は、最後の文字を受信した後、最低 1 文字分の時間 (11 ビット) だけハイ状態で検出されました。これは、この文字の前にギャップがあったことを示します。RFGI は、リセットの終了後に受信した最初のフレームの最初のワードではセットされません。このビットは、フレームの前にギャップがある場合、後続のすべての受信フレームの開始時にアサートされます。	0x0	R
10	RFPE	受信 FIFO の先頭にある現在のバイトに関連するフレーム・エラー。	0x0	R
9	RFPE	受信 FIFO の先頭にある現在のバイトに関連するパリティ・エラー。	0x0	R
8	RFBI	ブレイク・インジケータ。RXD は、1 文字分の時間 (11 ビット) だけロー状態で検出されました。これは、受信 FIFO の先頭のバイトに関連するブレイクがあることを示します。	0x0	R
[7:0]	RBR	受信バッファ・レジスタ・ビット・フィールド。これらのビットを読み出すと、受信 FIFO の先頭の文字が返され、FIFO からのエントリが行われます。	0x0	R

### HART 通信送信レジスタ

アドレス : 0x82、リセット : 0x0000、レジスタ名 : HART\_TX

送信 FIFO は、このレジスタを介して書き込まれます。

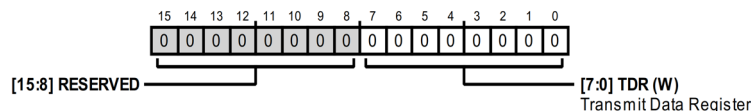


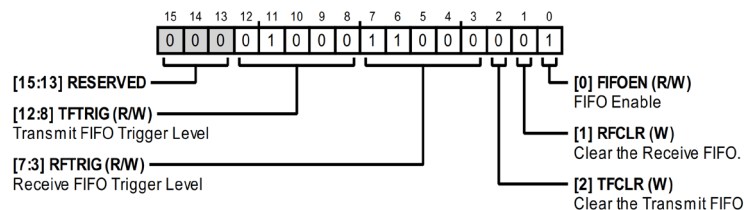
表 84. HART\_TX のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	TDR	送信データ・レジスタ。このビットに書き込みを行うと、送信 FIFO に 1 バイトが追加されます。	0x0	W

### FIFO コントロール・レジスタ

アドレス : 0x83、リセット : 0x08C1、レジスタ名 : HART\_FCR

このレジスタは、送信 FIFO および受信 FIFO を設定するために用います。



レジスタ・マップ

表 85. HART\_FCR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予備。	0x0	R
[12:8]	TFTRIG	送信 FIFO のトリガ・レベル。割込みをトリガするよう、送信 FIFO のレベルを設定します。送信 FIFO のフィル・レベルが設定レベル以上の場合、ALERT_HART_STATUS レジスタの TX_FIFO_ALERT ビットが 1 になります。1 バイト以上では 1、2 バイト以上では 2 というように設定します。	0x8	R/W
[7:3]	RFTRIG	受信 FIFO のトリガ・レベル。割込みをトリガするよう、受信 FIFO のレベルを設定します。受信 FIFO のフィル・レベルが設定レベル以上の場合、ALERT_HART_STATUS レジスタの RX_FIFO_ALERT ビットが 1 になります。1 バイト以上では 1、2 バイト以上では 2 というように設定します。	0x18	R/W
2	TFCLR	送信 FIFO をクリア。フレーム送信の最中に UART 送信 FIFO がクリアされた場合、ホスト・ソフトウェアは、HART_ALERT_STATUS レジスタの TX_COMPLETE ビットがアサートされるまで待機してから、別のフレームの送信を行う必要があります。ホスト・ソフトウェアは、TX_COMPLETE がアサートされるまで送信 FIFO (HART_TX レジスタの TDR ビット) に書き込みを行うことはできません。書き込みを行うと、HART_CONFIG レジスタの TX_PREM_CNT ビットがゼロでない場合に、次のフレームがプリアンブルなしで送信されます。代わりに、HART_CONFIG レジスタの TX_PREM_CNT ビットに 0x0 を書き込み、続いて送信 FIFO にプリアンブル・バイトと次のフレームを書き込むことができます。この場合、FIFO に書き込みを行った後、TX_COMPLETE がアサートされたかどうかを確認してください。アサートされている場合、RTS は、フレーム送信を開始するよう再度設定する必要があります。TX_COMPLETE がアサートされていない場合は、フレーム送信は通常どおりに続行されます。	0x0	W
1	RFCLR	受信 FIFO をクリア。	0x0	W
0	FIFOEN	FIFO イネーブル	0x1	R/W

HART UART 送信コントロール・レジスタ

アドレス : 0x84、リセット : 0x0000、レジスタ名 : HART\_MCR

このレジスタは、送信リクエスト (RTS) 信号を送るために用います。

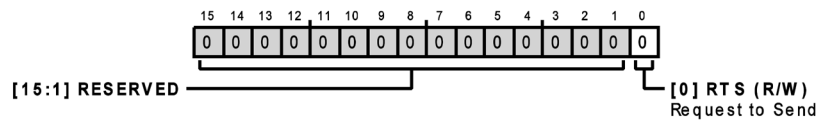


表 86. HART\_MCR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	RTS	送信するようリクエスト。	0x0	R/W

受信 FIFO バイト・カウント・レジスタ

アドレス : 0x85、リセット : 0x0000、レジスタ名 : HART\_RFC

このレジスタは、HART 受信 FIFO に含まれるバイト数を示します。

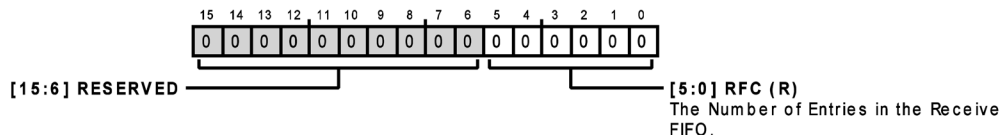


表 87. HART\_RFC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
[5:0]	RFC	受信 FIFO のエントリ数。	0x0	R



レジスタ・マップ

送信 FIFO バイト・カウント・レジスタ

アドレス : 0x86、リセット : 0x0000、レジスタ名 : HART\_TFC

このレジスタは、HART 送信 FIFO に含まれるバイト数を示します。

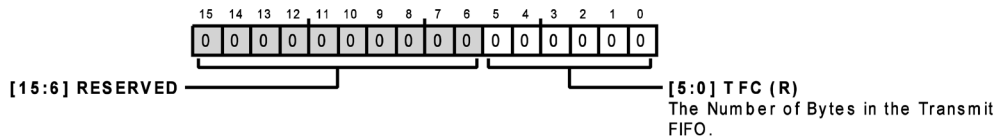


表 88. HART\_TFC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
[5:0]	TFC	送信 FIFO のバイト数。	0x0	R

HART 通信アラート・マスク・レジスタ

アドレス : 0x87、リセット : 0x1EFF、レジスタ名 : HART\_ALERT\_MASK

このレジスタは、特定のステータス・ビットをALERTピンのアクティブ化からマスクするために用います。このレジスタのマスク・ビットの位置は、HART\_ALERT\_STATUS レジスタの対応ステータス・ビットと同じです。特定のアラートをマスクするには、対応するマスク・ビットを1にセットします。

なお、ビットをマスクしても、ALERT\_STATUS レジスタの等価なアラート・ビットがセットされないようにすることはできません。

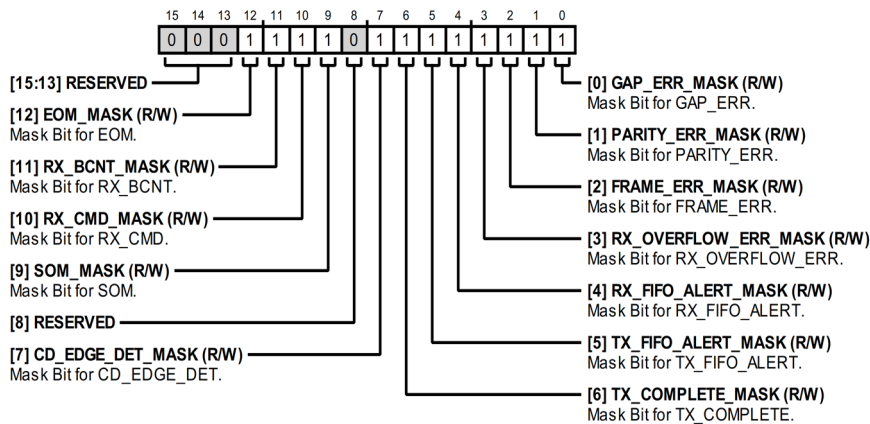


表 89. HART\_ALERT\_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予備。	0x0	R
12	EOM_MASK RFC	EOM のマスク・ビット。	0x1	R/W
11	RX_BCNT_MASK	RX_BCNT のマスク・ビット。	0x1	R/W
10	RX_CMD_MASK	RX_CMD のマスク・ビット。	0x1	R/W
9	SOM_MASK	SOM のマスク・ビット。	0x1	R/W
8	RESERVED	予備。	0x0	R
7	CD_EDGE_DET_MASK	CD_EDGE_DET のマスク・ビット。	0x1	R/W
6	TX_COMPLETE_MASK	TX_COMPLETE のマスク・ビット。	0x1	R/W
5	TX_FIFO_ALERT_MASK	TX_FIFO_ALERT のマスク・ビット。	0x1	R/W
4	RX_FIFO_ALERT_MASK	RX_FIFO_ALERT のマスク・ビット。	0x1	R/W
3	RX_OVERFLOW_ERR_MASK	RX_OVERFLOW_ERR のマスク・ビット。	0x1	R/W
2	FRAME_ERR_MASK	FRAME_ERR のマスク・ビット。	0x1	R/W
1	PARITY_ERR_MASK	PARITY_ERR のマスク・ビット。	0x1	R/W

レジスタ・マップ

表 89. HART\_ALERT\_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
0	GAP_ERR_MASK	GAP_ERR のマスク・ビット。	0x1	R/W

HART 対応設定レジスタ

アドレス : 0x88、リセット : 0xC430、レジスタ名 : HART\_CONFIG

このレジスタは、HART 設定値を設定するために用います。

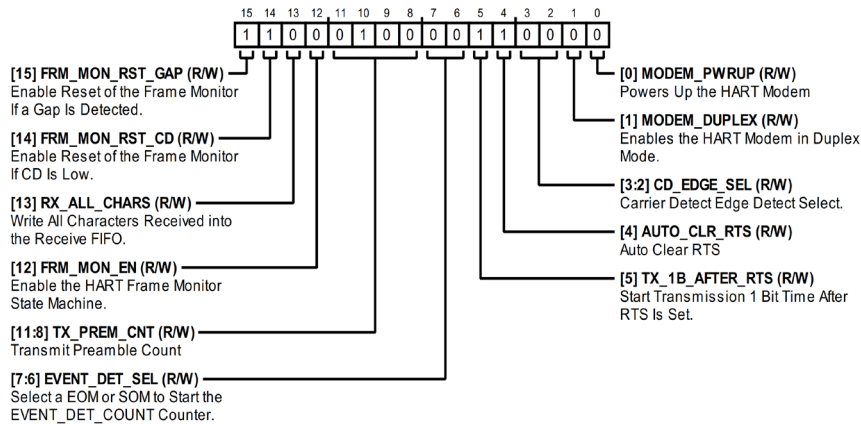


表 90. HART\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	FRM_MON_RST_GAP	ギャップが検出された場合にフレーム・モニタのリセットをイネーブル。 0 : ギャップ検出時、フレーム・モニタはリセットされません。ギャップが検出されてもフレーム・モニタのステート・マシンはリセットされません。 1 : ギャップ検出時、フレーム・モニタはリセットされます。ギャップが検出された場合、フレーム・モニタのステート・マシンはプリアンブル状態にリセットされます。	0x1	R/W
14	FRM_MON_RST_CD	CD がローの場合にフレーム・モニタのリセットをイネーブル。 0 : CD がローの場合、フレーム・モニタはリセットされません。CD がローになってもフレーム・モニタのステート・マシンはリセットされません。 1 : CD がローの場合、フレーム・モニタはリセットされます。CD がローになると、フレーム・モニタのステート・マシンはプリアンブル状態にリセットされます。	0x1	R/W
13	RX_ALL_CHARS	受信した全文字を受信 FIFO に書き込む。0 で FRM_MON_EN もセットされている場合、フレームからの有効な文字（フレーム・モニタによって判定）のみが受信 FIFO に書き込まれます。 有効なプリアンブル・バイトの受信後、最初のバイトが受信されるまで、受信 FIFO には文字が書き込まれません。つまり、デリミタ・フィールドが、受信 FIFO に書き込まれる最初のバイトになります。1 の場合は、受信するすべての文字が受信 FIFO に書き込まれます。	0x0	R/W
12	FRM_MON_EN	HART フレーム・モニタのステート・マシンをイネーブル。	0x0	R/W
[11:8]	TX_PREM_CNT	送信プリアンブル数。フレームの初めに送信するプリアンブル・バイトの数を示します。TX_PREM_CNT × 2 バイトが送信されます。0 の場合、プリアンブル・バイトは、送信 FIFO の直接書き込む必要があります。	0x4	R/W
[7:6]	EVENT_DET_SEL	EVENT_DET_COUNT カウンタを開始するために EOM または SOM を選択します。 00 : 受信で EOM を検出したときにイベント・カウントを開始。 01 : 受信で SOM を検出したときにイベント・カウントを開始。 10 : 送信完了を検出したときにイベント・カウントを開始。 11 : CD のエッジ (CD_EDGE_SEL で設定) を検出したときにイベント・カウントを開始。	0x0	R/W
5	TX_1B_AFTER_RTS	RTS をセットしてから 1 ビット分の時間後に送信を開始 1 の場合、フレーム送信は、RTS がアサートされてから 1 ビット分の時間後 (1200 ボーの場合) に開始され、送信 FIFO にはデータがあります。この設定により、AD5700 モデムが	0x1	R/W

レジスタ・マップ

表 90. HART\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
		キャリアをイネーブルするのに 1 ビット分の時間が与えられます。0 の場合、RTS の値に関わらず、データが送信 FIFO に書き込まれた直後にフレーム送信が開始されます。		
4	AUTO_CLR_RTS	RTS の自動クリア。1 の場合、フレーム送信が完了すると（つまり、送信 FIFO の最終ワードが送信されると）、RTS 信号は自動的にデアサートされ、HART_MCR レジスタの RTS ビットは 0 になります。0 の場合、RTS はフレーム送信の最後で 0 にはならず、RTS 信号はアサートされたままになります。この場合、ソフトウェアは、RTS ビットに 0 を書き込むことで RTS 信号をデアサートする必要があります。	0x1	R/W
[3:2]	CD_EDGE_SEL	キャリア検出のエッジ検出選択。 00：立下がりエッジを検出。 01：立上がりエッジを検出。 10：任意のエッジを検出。 11：エッジ検出を無効化。	0x0	R/W
1	MODEM_DUPLEX	HART モデムを二重モードで有効化。この有効化により、モデムのループバック・テストが可能になります。	0x0	R/W
0	MODEM_PWRUP	HART モデムをパワーアップ。	0x0	R/W

HART イベント検出カウント・レジスタ

アドレス：0x89、リセット：0x0000、レジスタ名：HART\_EVDET\_COUNT

このレジスタは、HART モデムが最後のイベントを検出してからの時間を記録します。

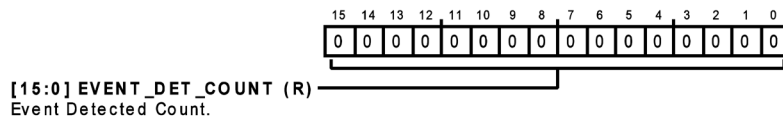


表 91. HART\_EVDET\_COUNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	EVENT_DET_COUNT	イベント検出カウント。受信 EOM、受信 SOM、CD エッジ、または TX_COMPLETE が検出されてからの時間を示します。カウンタは 3.255µs ステップ (307.2kHz) でインクリメントします。カウンタは、EOM、SOM、CD エッジ (EVENT_DET_SEL 参照) または TX_COMPLETE を検出するとインクリメントを開始します。インクリメントは 0xFFFF に達するまで行われます。他のイベントが検出されるまで 0xFFFF を維持します。カウンタが計測できる最長時間は 213ms です。FRM_MON_EN が 0 の場合、カウンタはクリアされます。このカウンタにより、ソフトウェアは HART フレームの開始または終了のタイミングをより正確に判定できます。	0x0	R

外形寸法

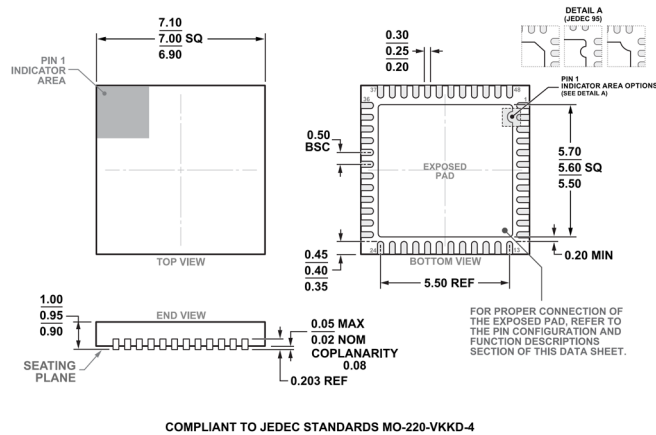


図 64. 48 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]  
7mm × 7mm ボディ、0.95mm パッケージ高  
(CP-48-28)  
寸法：mm

更新：2022年8月2日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
AD74115HBCPZ	-40°C to +105°C	48-Lead LFCSP	Tray, 260	CP-48-28
AD74115HBCPZ-RL7	-40°C to +105°C	48-Lead LFCSP	Reel, 750	CP-48-28

<sup>1</sup> Z = RoHS 準拠製品

評価用ボード

Model <sup>1</sup>	Description
EVAL-AD74115H-ARDZ	Evaluation Board

<sup>1</sup> Z = RoHS 準拠製品

