



16 チャンネル、16/12 ビット 電圧出力 denseDAC

データシート

AD5766/AD5767

特長

フル機能 16 チャンネル、12 ビット/16 ビット DAC
8 つのソフトウェア・プログラマブル出力範囲: $-20\text{ V} \sim 0\text{ V}$ 、
 $-16\text{ V} \sim 0\text{ V}$ 、 $-10\text{ V} \sim 0\text{ V}$ 、 $-10\text{ V} \sim +6\text{ V}$ 、 $-12\text{ V} \sim +14\text{ V}$ 、
 $-16\text{ V} \sim +10\text{ V}$ 、 $\pm 5\text{ V}$ 、 $\pm 10\text{ V}$

内蔵 DAC 出力バッファ、 $\pm 20\text{ mA}$ の出力電流能力
4 mm × 4 mm WLCSP パッケージまたは 40 ピンの LFCSP パッケージを採用

リファレンス・バッファを内蔵

ディザ信号入力ピン × 2

チャンネル監視マルチプレクサ

1.8 V ロジックとの互換性あり

動作温度範囲: $-40\text{ }^{\circ}\text{C} \sim +105\text{ }^{\circ}\text{C}$

アプリケーション

マッハ・ツェンダー変調器バイアス制御

光ネットワーク

計測器

工業用オートメーション

データ・アキュイジション・システム

アナログ出力モジュール

概要

AD5766/AD5767 は、16 チャンネル、16/12 ビット、電圧出力 denseDAC® D/A コンバータ (DAC) です。

DAC は、外部 2.5 V リファレンスから出力電圧範囲を生成します。選択した電圧範囲に応じて、出力スパンの中間点を調整して、 $-20\text{ V} \sim +14\text{ V}$ までの電圧を出力できます。各 16 チャンネルは、内蔵の出力電圧マルチプレクサで監視できます。

AD5766/AD5767 は、最大で 20 mA までシンクまたはソースできる内蔵出力バッファを備えています。これらのバッファを組み合わせることで、専用のディザ・ピンから各 DAC 出力に低周波信号を重畳できます。専用のディザ・ピンを使用すれば、オペアンプや抵抗などの外部実装に必要な外付け部品を減らすことで、システム設計を簡略化できます。AD5766/AD5767 は、外付け部品の数を削減できるので、リン化インジウムのマッハ・ツェンダー変調器 (InP MZM) バイアス・アプリケーションに適しています。

このデバイスには、パワーオン・リセット (POR) 回路が組み込まれています。このため、パワーオン時に DAC 出力がグラウンドにクランプされ、DAC の出力範囲が構成されるまでこのレベルを確実に維持できます。すべての DAC 出力は、レジスタ構成を通して更新されます。この際、ユーザー選択可能な DAC チャンネルの追加機能によって、すべての出力が同時に更新されます。

AD5766/AD5767 は、書き込みモードにおいて最大 50 MHz のクロック・レートで動作する多機能の 4 線式シリアル・インターフェースを採用しています。また、シリアル・ペリフェラル・インターフェース (SPI)、QSPI™、MICROWIRE™、DSP インターフェース規格と互換性があります。AD5766/AD5767 は、1.8 V/3.3 V/5 V ロジックを対象とした V_{LOGIC} ピンも備えています。

AD5766/AD5767 は、4 mm × 4 mm WLCSP パッケージと 24 ピン 4 mm × 4 mm LFCSP パッケージを採用しています。AD5766/AD5767 は $-40\text{ }^{\circ}\text{C} \sim +105\text{ }^{\circ}\text{C}$ の範囲で動作します。

機能ブロック図

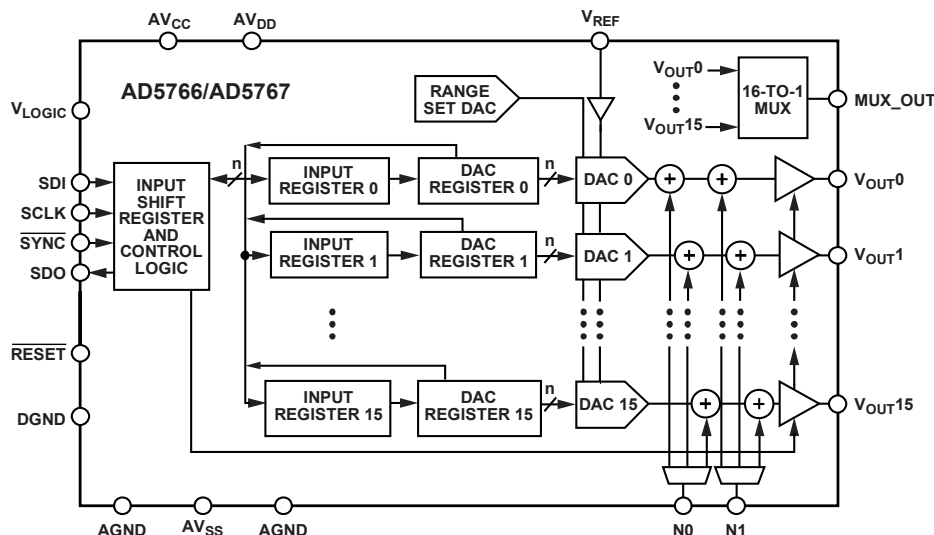


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. B

©2017 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	レジスタの詳細.....	33
アプリケーション.....	1	入力シフト・レジスタ.....	33
概要.....	1	監視マルチプレクサ制御.....	34
機能ブロック図.....	1	動作なし.....	35
改訂履歴.....	3	デイジーチェーン・モード.....	35
仕様.....	4	書込みコマンドと更新コマンド.....	35
AC 性能特性.....	8	スパン・レジスタ.....	36
タイミング特性.....	9	ディザ・パワー・コントロール・レジスタ.....	36
絶対最大定格.....	11	すべての DAC レジスタへの入力データの書込み.....	36
熱抵抗.....	11	ソフトウェア・フル・リセット.....	37
ESD に関する注意.....	11	リードバックするレジスタの選択.....	37
ピン配置およびピン機能の説明.....	12	N0 または N1 のディザ信号を DAC レジスタに印加.....	38
代表的な性能特性.....	16	Dither Scale.....	38
ディザ特性.....	25	反転ディザ・レジスタ.....	39
用語の定義.....	27	アプリケーション情報.....	40
動作原理.....	29	ディザ構成.....	40
D/A コンバータ.....	29	熱に関する考慮事項.....	40
DAC アーキテクチャ.....	29	マイクロプロセッサ・インターフェース.....	40
抵抗ストリング.....	29	AD5766/AD5767 の SPI インターフェース.....	40
パワーオン・リセット (POR).....	29	レイアウトのガイドライン.....	41
ディザ.....	31	外形寸法.....	42
ディザ・パワーダウン・モード.....	31	オーダー・ガイド.....	43
監視マルチプレクサ.....	31		
シリアル・インターフェース.....	32		

改訂履歴

10/2017—Rev. A to Rev. B

Added AD5766	Universal
Changes to Features Section, Applications Section, and General Description Section	1
Changes to Table 1	4
Added Table 2; Renumbered Sequentially	7
Changes to Table 3	8
Changes to t_{14} and t_{15} Parameters, Table 4 and Figure 2	9
Changes to Figure 4	10
Change to AV_{CC} Pin Description, Table 7	13
Change to AV_{CC} Pin Description, Table 8	15
Changes to Figure 7 to Figure 12	16
Changes to Figure 13 to Figure 18	17
Deleted Figure 30; Renumbered Sequentially	17
Added Figure 19 to Figure 24; Renumbered Sequentially	18
Added Figure 29 and Figure 30	19
Added Figure 31 to Figure 36	20
Added Figure 37 to Figure 42	21
Added Figure 43 and Figure 46	22
Changes to Figure 49	23
Added Figure 50 to Figure 54	23
Changes to Figure 56	24
Added Figure 67	26
Changes to Digital-to-Analog Converter Section, DAC Architecture Section, and Power-On Reset (POR) Section	29
Added Figure 70	30
Changes to Dither Section and Dither Power-Down Mode Section	31
Changes to Table 10	33
Added Table 17 and Table 19	35
Changes to Dither Power Control Register Section, Table 26, Write Input Data to All DAC Registers Section, and Table 28	36
Changes to Table 32 and Table 33	37
Changes to Dither Configuration Section	40
Updated Outline Dimensions	42
Changes to Ordering Guide	43

4/2017—Rev. 0 to Rev. A

Added 40-Lead LFCSP Package	Universal
Changes to Features	1
Changes to General Description	1
Changes to Functional Block Diagram, Figure 1	1
Added Figure 6 and Added Table 7; Renumbered Sequentially	12
Changes to Figure 23 and Figure 24	16
Added Figure 26	17
Changes to Figure 28 and Figure 29	17
Changes to Dither DC Shift Section	20
Changes to Figure 43, Caption Only	23
Changes to Input Shift Register Section and Table 9	25
Changes to Table 18	27
Changes to Thermal Considerations Section	32
Changes to Layout Guidelines Section and Added Figure 47	33
Updated Outline Dimensions	34
Changes to Ordering Guide	35

1/2017—Revision 0: Initial Version

仕様

特に指定のない限り、 $AV_{CC}=2.97\text{ V}\sim 3.6\text{ V}$ 、 $V_{LOGIC}=1.7\text{ V}\sim 5.5\text{ V}$ 、 $AV_{DD}=2.97\text{ V}\sim 16\text{ V}$ 、 $AV_{SS}=-22\text{ V}\sim -7\text{ V}$ 、 $AGND=DGND=0\text{ V}$ 、 $V_{REF}=2.5\text{ V}$ 、出力範囲 $=\pm 5\text{ V}$ 、 V_{OUTX} は無負荷、すべての仕様は $T_{MIN}\sim T_{MAX}$ 、代表的な仕様は $T_A=25\text{ }^\circ\text{C}$ 、ディザ電源オンで規定されています。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE					
Resolution	16			Bits	AD5766
	12			Bits	AD5767
Relative Accuracy (INL)					
AD5766	-16		+16	LSB	
AD5767	-1		+1	LSB	
Differential Nonlinearity	-1		+1	LSB	Guaranteed monotonic by design
Bipolar Zero Error	-85	± 12	+85	mV	$\pm 5\text{ V}$ range
	-110	± 13	+110	mV	-10 V to +6 V range
	-120	± 15	+120	mV	$\pm 10\text{ V}$ range
	-145	± 16	+145	mV	-12 V to +14 V range
	-145	± 16	+145	mV	-16 V to +10 V range
Bipolar Zero Error Temperature Coefficient (TC)		± 2		ppm FSR/ $^\circ\text{C}$	
Zero-Scale Error					All 0s loaded to DAC register
	-80	± 25	+80	mV	-10 V to 0 V range
	-80	± 25	+80	mV	$\pm 5\text{ V}$ range
	-110	± 35	+110	mV	-16 V to 0 V range
	-110	± 35	+110	mV	-10 V to +6 V range
	-130	± 35	+130	mV	-20 V to 0 V range
	-130	± 35	+130	mV	$\pm 10\text{ V}$ range
	-140	± 45	+140	mV	-12 V to +14 V range
	-140	± 45	+140	mV	-16 V to +10 V range
Zero-Scale Error Temperature Coefficient (TC)		± 2		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error					All 1s loaded to DAC register.
	-0.9	± 0.23	+0.9	% FSR	-10 V to 0 V range
	-0.9	± 0.23	+0.9	% FSR	$\pm 5\text{ V}$ range
	-0.8	± 0.2	+0.8	% FSR	-16 V to 0 V range
	-0.8	± 0.2	+0.8	% FSR	-10 V to +6 V range
	-0.7	± 0.18	+0.7	% FSR	-20 V to 0 V range
	-0.7	± 0.18	+0.7	% FSR	$\pm 10\text{ V}$ range
	-0.6	± 0.15	+0.6	% FSR	-12 V to +14 V range
	-0.6	± 0.15	+0.6	% FSR	-16 V to +10 V range
Full-Scale Error Drift		± 3		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.4	± 0.07	+0.4	% FSR	
Gain Error Temperature Coefficient (TC)		± 2		ppm FSR/ $^\circ\text{C}$	
Offset Error	-80	± 25	+80	mV	-10 V to 0 V range
	-80	± 25	+80	mV	$\pm 5\text{ V}$ range
	-110	± 35	+110	mV	-16 V to 0 V range
	-110	± 35	+110	mV	-10 V to +6 V range
	-130	± 35	+130	mV	-20 V to 0 V range
	-130	± 35	+130	mV	$\pm 10\text{ V}$ range
	-140	± 45	+140	mV	-12 V to +14 V range
	-140	± 45	+140	mV	-16 V to +10 V range
Offset Error Drift		± 2		$\mu\text{V}/^\circ\text{C}$	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Total Unadjusted Error	-0.9	±0.18	+0.9	%FSR	-10 V to 0 V range
	-0.9	±0.18	+0.9	%FSR	±5 V range
	-0.8	±0.15	+0.8	%FSR	-16 V to 0 V range
	-0.8	±0.15	+0.8	%FSR	-10 V to +6 V range
	-0.7	±0.13	+0.7	%FSR	-20 V to 0 V range
	-0.7	±0.13	+0.7	%FSR	±10 V range
	-0.6	±0.12	+0.6	%FSR	-12 V to +14 V range
	-0.6	±0.12	+0.6	%FSR	-16 V to +10 V range
DC Crosstalk		30		μV	Due to output voltage change
		35		μV/mA	Due to load current change (1 LSB)
OUTPUT CHARACTERISTICS					
Output Voltage Ranges ¹	-20		0	V	
	-16		0	V	
	-10		0	V	
	-10		+6	V	
	-12		+14	V	
	-16		+10	V	
	-5		+5	V	
	-10		+10	V	
Output Current	-20		+20	mA	Refer to the Thermal Considerations section
Capacitive Load Stability			1	nF	
DC Output Impedance		0.2		Ω	
Short-Circuit Current		±60		mA	Single channel only
Output Amplifier Bandwidth		108		kHz	
REFERENCE INPUT					
Reference Input Voltage		2.5		V	±1% for specified performance
Reference Range	2.375		2.625	V	Functional performance only
DC Input Impedance	2.5			MΩ	
Input Current			1	μA	
DITHER INPUTS					
Dither Frequency		10		kHz	For dither input to DAC output attenuation, see Figure 62 to Figure 65 for typical performance
		100		kHz	Lower -3 dB point
Amplitude			0.25	V p-p	Upper -3 dB point
	0		AV _{CC}	V	Peak-to-peak ac voltage
DC Shift					Peak-to-peak ac and dc voltage
AD5766	-2	±1	+2	LSB	See the Terminology section
AD5767	-1	±0.063	+1	LSB	
Dither Transient					Dither enabled/disabled, N0 and N1 floating
Dither Selected Channel		5		nV-sec	AV _{CC} = 2.97 V and AV _{CC} = 3.6 V
Dither Nonselected Channels		2		nV-sec	AV _{CC} = 2.97 V and AV _{CC} = 3.6 V
Dither Crosstalk ¹		-70		dB	10 kHz dither frequency
		-55		dB	100 kHz dither frequency
LOGIC INPUTS					
Input High Voltage, V _{IH}	0.7 × V _{LOGIC}			V	
Input Low Voltage, V _{IL}			0.3 × V _{LOGIC}	V	
Input Current	-2		+2	μA	Per pin
	-6		+6	μA	RESET pin pulled high
	-57		+57	μA	RESET pin pulled low
Input Capacitance		2		pF	Per pin

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC OUTPUT					
Output Low Voltage			0.4	V	Sinking 200 μ A
Output High Voltage	$V_{\text{LOGIC}} - 0.4$			V	Sourcing 200 μ A
High Impedance Leakage Current	-1		+1	μ A	
High Impedance Output Capacitance		5		pF	
VOLTAGE MONITOR PIN (MUX_OUT)					
Impedance		1.3		k Ω	
Three-State Leakage Current	-1	0.006	+1	μ A	Die temperature below 105°C
Continuous Current	-1		+1	mA	
Glitch Impulse		0.2		nV-sec	V_{OUTX} glitch due to mux enable
Voltage Settling Time		12		μ s	$\frac{1}{4}$ to $\frac{3}{4}$ scale settling to ± 0.5 LSB, ± 5 V range and -10 V to 0 V range
POWER SUPPLIES					
AV_{DD}	2.97		16	V	$AV_{\text{DD}} - AV_{\text{SS}}$ must be less than or equal to 30 V
AV_{SS}	-22		-7	V	$AV_{\text{DD}} - AV_{\text{SS}}$ must be less than or equal to 30 V
AV_{CC}	2.97		3.6	V	
V_{LOGIC}	1.7		5.5	V	
Headroom/Footroom		± 0.7		V	Output voltage offset to ± 2 LSB for 20 mA output load; applies to AV_{DD} and AV_{SS}
		± 2		V	Output voltage offset to ± 1 LSB for 20 mA output load; applies to AV_{DD} and AV_{SS}
Normal Mode					
AI_{DD}		6	9	mA	All output ranges, -40°C to +105°C
AI_{SS}	-11	-9		mA	All output ranges, -40°C to +105°C
AI_{CC}		8.3	10	mA	All output ranges, -40°C to +105°C
I_{LOGIC}		0.02	1	μ A	All output ranges, -40°C to +105°C, $V_{\text{IH}} = V_{\text{LOGIC}}$, $V_{\text{IL}} = \text{DGND}$
DC Power Supply Rejection Ratio (PSRR)		50		μ V/V	AV_{DD} power supply
		50		μ V/V	AV_{SS} power supply
		3		mV/V	AV_{CC} power supply
AC Power Supply Rejection Ratio (PSRR)		-80		dB	AV_{DD} power supply, at 50 Hz
		-80		dB	AV_{SS} power supply, at 50 Hz
		-50		dB	AV_{CC} power supply, at 50 Hz

¹ 出力アンプのヘッドルーム条件は、最低 2 V です。

特に指定のない限り、 $AV_{CC}=2.97\text{ V}\sim 3.6\text{ V}$ 、 $V_{LOGIC}=1.7\text{ V}\sim 5.5\text{ V}$ 、 $AV_{DD}=2.97\text{ V}\sim 16\text{ V}$ 、 $AV_{SS}=-22\text{ V}\sim -7\text{ V}$ 、 $AGND=DGND=0\text{ V}$ 、 $V_{REF}=2.5\text{ V}$ 、出力範囲 $=\pm 5\text{ V}$ 、 V_{OUTX} は無負荷、すべての仕様は $T_{MIN}\sim T_{MAX}$ 、代表的な仕様は $T_A=25\text{ }^\circ\text{C}$ 、ディザ電源オフで規定されています。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
BIPOLAR ZERO ERROR	-50	± 11	+50	mV	$\pm 5\text{ V range}$
	-75	± 12	+75	mV	-10 V to +6 V range
	-90	± 12	+90	mV	$\pm 10\text{ V range}$
	-110	± 13	+110	mV	-12 V to +14 V range
	-110	± 13	+110	mV	-16 V to +10 V range
ZERO-SCALE ERROR	-50	± 15	+50	mV	All 0s loaded to DAC register -10 V to 0 V range
	-50	± 15	+50	mV	$\pm 5\text{ V range}$
	-75	± 20	+75	mV	-16 V to 0 V range
	-75	± 20	+75	mV	-10 V to +6 V range
	-90	± 25	+90	mV	-20 V to 0 V range
	-90	± 25	+90	mV	$\pm 10\text{ V range}$
	-110	± 35	+110	mV	-12 V to +14 V range
	-110	± 35	+110	mV	-16 V to +10 V range
FULL-SCALE ERROR	-0.5	± 0.15	+0.5	%FSR	All 1s loaded to DAC register; all output ranges
GAIN ERROR	-0.3	± 0.07	+0.3	%FSR	All output ranges
OFFSET ERROR	-50	± 15	+50	mV	-10 V to 0 V range
	-50	± 15	+50	mV	$\pm 5\text{ V range}$
	-75	± 20	+75	mV	-16 V to 0 V range
	-75	± 20	+75	mV	-10 V to +6 V range
	-90	± 25	+90	mV	-20 V to 0 V range
	-90	± 25	+90	mV	$\pm 10\text{ V range}$
	-110	± 35	+110	mV	-12 V to +14 V range
	-110	± 35	+110	mV	-16 V to +10 V range
TOTAL UNADJUSTED ERROR	-0.5	± 0.12	+0.5	%FSR	All output ranges

AC 性能特性

特に指定のない限り、 $AV_{CC} = 2.97\text{ V} \sim 3.6\text{ V}$ 、 $V_{LOGIC} = 1.7\text{ V} \sim 5.5\text{ V}$ 、 $AV_{DD} = 2.97\text{ V} \sim 15\text{ V}$ 、 $AV_{SS} = -22\text{ V} \sim -7\text{ V}$ 、 $AGND = DGND = 0\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ 、出力範囲 $= \pm 10\text{ V} \sim 0\text{ V}$ 、 V_{OUTX} は無負荷、すべての仕様は $T_{MIN} \sim T_{MAX}$ 、代表的な仕様は $T_A = 25\text{ }^\circ\text{C}$ 、ディザ電源オン、アナログ・ディザ信号を印加せずに規定されています。

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE ¹					
Output Voltage Settling Time		10		μs	$\frac{1}{4}$ to $\frac{3}{4}$ scale settling to ± 0.5 LSB, $\pm 5\text{ V}$ range and -10 V to 0 V range
		4		μs	32 LSB step to ± 0.5 LSB
Slew Rate		1		$\text{V}/\mu\text{s}$	
Digital-to-Analog Glitch Energy		10		$\text{nV}\cdot\text{sec}$	1 LSB change around major carry for 10 V span
Glitch Impulse Peak Amplitude		8		mV	
Digital Feedthrough		1		$\text{nV}\cdot\text{sec}$	
Digital Crosstalk		2		$\text{nV}\cdot\text{sec}$	
Analog Crosstalk		15		$\text{nV}\cdot\text{sec}$	
DAC-to-DAC Crosstalk		15		$\text{nV}\cdot\text{sec}$	
Total Harmonic Distortion		-80		dB	$V_{REF} = 2.5\text{ V} \pm 0.1\text{ V p-p}$, frequency = 10 kHz, $AV_{CC} = 2.97\text{ V}$ and 3.6 V
		-75		dB	$V_{REF} = 2.5\text{ V} \pm 0.1\text{ V p-p}$, frequency = 10 kHz, $AV_{CC} = 3.6\text{ V}$
Output Noise Spectral Density ¹		375		$\text{nV}/\sqrt{\text{Hz}}$	-10 V to 0 V and $\pm 5\text{ V}$ ranges, frequency = 1 kHz
		605		$\text{nV}/\sqrt{\text{Hz}}$	-16 V to 0 V and -10 V to $+6\text{ V}$ ranges, frequency = 1 kHz
		750		$\text{nV}/\sqrt{\text{Hz}}$	-20 V to 0 V and $\pm 10\text{ V}$ ranges, frequency = 1 kHz
		835		$\text{nV}/\sqrt{\text{Hz}}$	-12 V to 14 V and -16 V to $+10\text{ V}$ ranges, frequency = 1 kHz
		280		$\text{nV}/\sqrt{\text{Hz}}$	-10 V to 0 V and $\pm 5\text{ V}$ ranges, frequency = 10 kHz
		440		$\text{nV}/\sqrt{\text{Hz}}$	-16 V to 0 V and -10 V to $+6\text{ V}$ ranges, frequency = 10 kHz
Output Noise ²		470		$\text{nV}/\sqrt{\text{Hz}}$	-20 V to 0 V and $\pm 10\text{ V}$ ranges, frequency = 10 kHz
		610		$\text{nV}/\sqrt{\text{Hz}}$	-12 V to 14 V and -16 V to $+10\text{ V}$ ranges, frequency = 10 kHz
		20		$\mu\text{V rms}$	Dither disabled $\pm 5\text{ V}$ range
		23		$\mu\text{V rms}$	-10 V to 0 V range
		33		$\mu\text{V rms}$	-10 V to $+6\text{ V}$ range
		38		$\mu\text{V rms}$	-16 V to 0 V range
		36		$\mu\text{V rms}$	$\pm 10\text{ V}$ range
		45		$\mu\text{V rms}$	-20 V to 0 V range
	45		$\mu\text{V rms}$	-16 V to 10 V range	
	45		$\mu\text{V rms}$	-12 V to 14 V range	

¹ DAC コード = ミッドスケール。 $AV_{DD} = V_{OUT_MAX} + 2\text{ V}$ 。 $AV_{SS} = V_{OUT_MIN} - 2\text{ V}$ 。

² $0.1\text{ Hz} \sim 10\text{ Hz}$ 。 $AV_{DD} = V_{OUT_MAX} + 2\text{ V}$ 。 $AV_{SS} = V_{OUT_MIN} - 2\text{ V}$ 。

タイミング特性

すべての入力信号は $t_R = t_F = 1 \text{ ns/V}$ (AV_{DD} の 10% ~ 90%) で仕様規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルで時間を測定しています。図 2、図 3、および図 4 を参照してください。特に指定のない限り、 $AV_{CC} = 2.97 \text{ V} \sim 3.6 \text{ V}$ 、 $V_{LOGIC} = 1.7 \text{ V} \sim 5.5 \text{ V}$ 、 $V_{REF} = 2.5 \text{ V}$ 。すべての仕様は $-40 \text{ }^\circ\text{C} \sim +105 \text{ }^\circ\text{C}$ 、ディザ電源オンで規定されています。

表 4.

Parameter	Limit at T_{MIN}, T_{MAX}	Unit	Description
t_1^1	20	ns min	SCLK cycle time
t_2	10	ns min	SCLK high time
t_3	10	ns min	SCLK low time
t_4	15	ns min	$\overline{\text{SYNC}}$ falling edge to SCLK falling edge setup time
t_5	15	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ rising edge time
t_6	20	ns min	Minimum $\overline{\text{SYNC}}$ high time (write mode)
t_7	5	ns min	Data setup time
t_8	5	ns min	Data hold time
t_9	4	$\mu\text{s typ}$	DAC output settling time, 32 code step to $\pm 0.5 \text{ LSB}$ at 12-bit resolution (see Table 3)
t_{10}	100	ns typ	$\overline{\text{RESET}}^2$ pulse width low
t_{11}	100	ns typ	$\overline{\text{RESET}}^2$ pulse activation time
t_{12}	10	ns min	$\overline{\text{SYNC}}$ rising edge to SCLK falling edge
t_{13}	40	ns max	SCLK rising edge to SDO valid ($C_{L_SDO}^3 = 15 \text{ pF}$)
t_{14}	80	ns min	Minimum $\overline{\text{SYNC}}$ high time (readback/daisy-chain mode)
t_{15}	5	$\mu\text{s typ}$	$\overline{\text{SYNC}}$ rising edge to $\overline{\text{SYNC}}$ rising edge (DAC register updates)

¹ 最大 SCLK 周波数は、書込みモードで 50 MHz、リードバック・モードで 10 MHz です。

² リセットと後続の正常な書込みの間の最小時間は通常 25 ns です。

³ C_{L_SDO} は、SDO 出力の容量性負荷です。

タイミング図

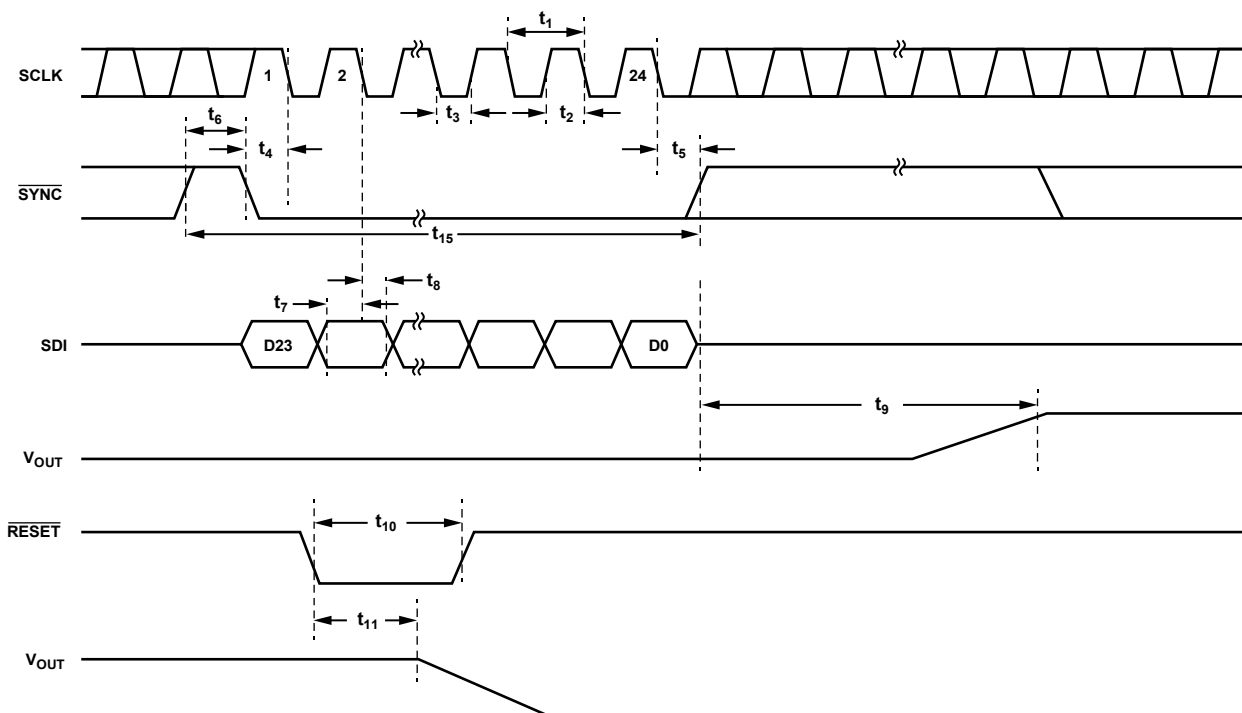


図 2. シリアル・インターフェースのタイミング図

15145-002

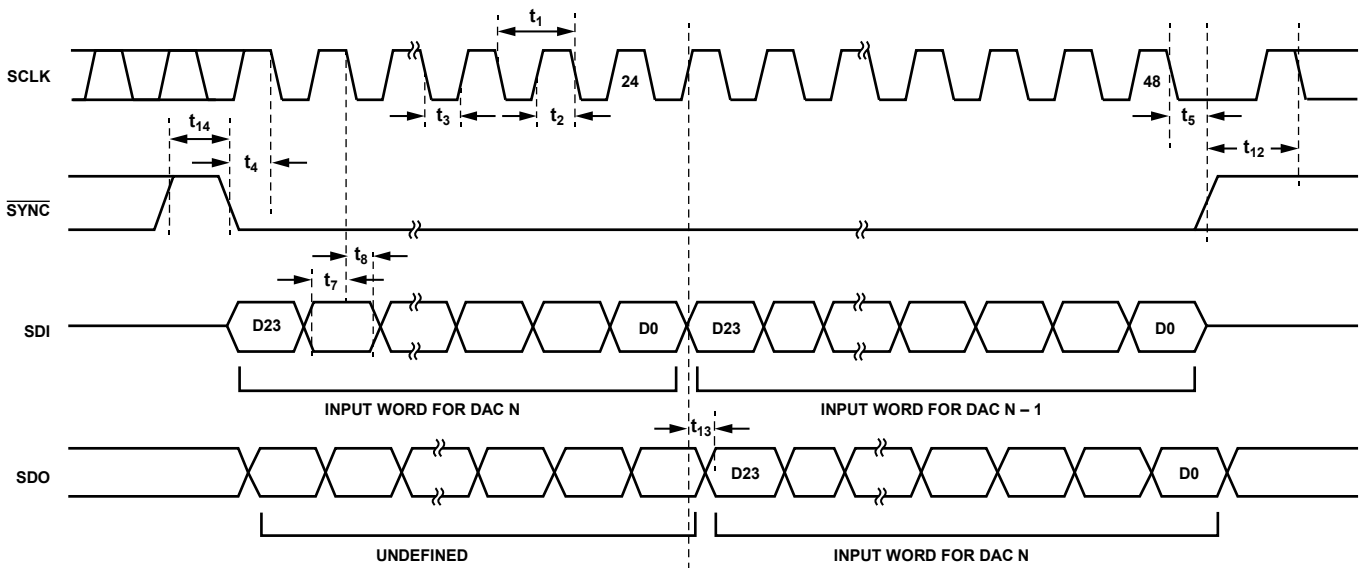


図 3. デイジーチェーンのタイミング図

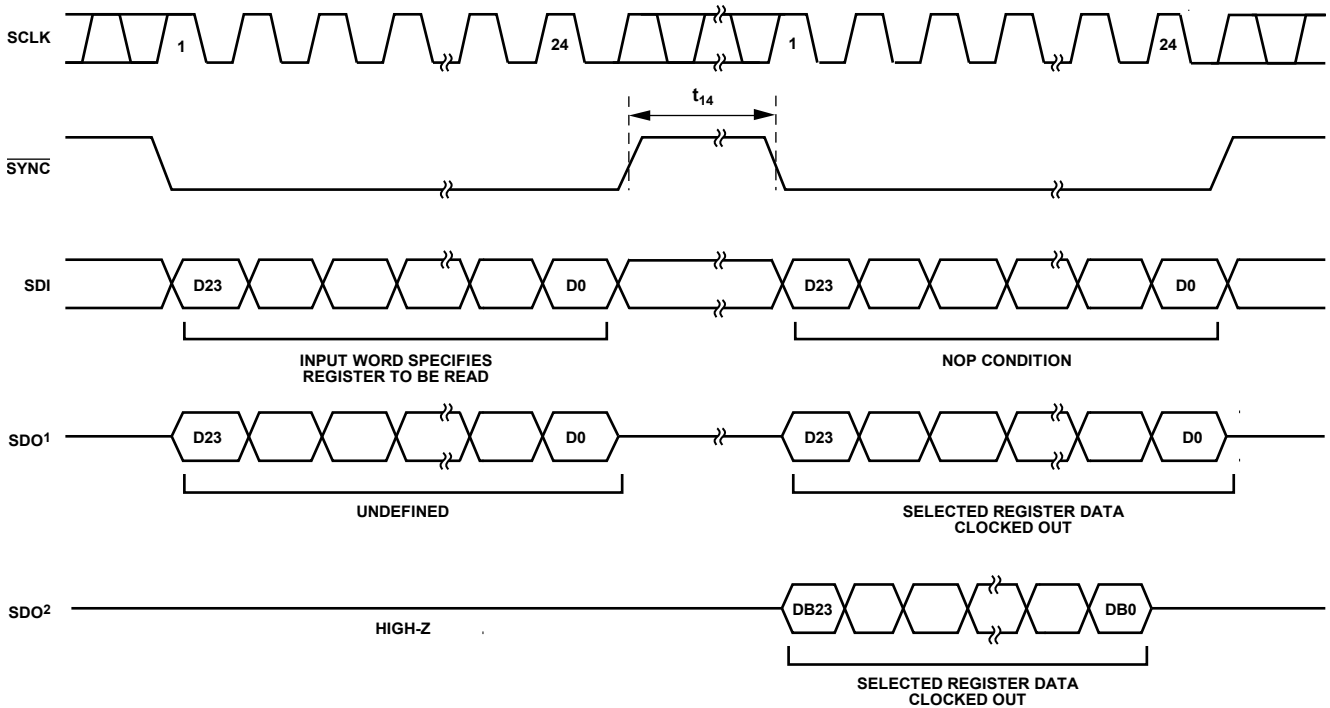


図 4. リードバックのタイミング図

15145-003

15145-004

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。最大 100 mA までの過渡電流では SCR ラッチアップは生じません。

表 5.

Parameter	Rating
AV_{DD} to AGND	-0.3 V to +34 V
AV_{SS} to AGND	+0.3 V to -34 V
AV_{DD} to AV_{SS}	-0.3 V to +34 V
AV_{CC} to AGND	-0.3 V to +7 V
AV_{CC} to AGND	-0.3 V to $AV_{DD} + 0.3$ V
V_{LOGIC} to DGND	-0.3 V to +7 V
Digital Inputs ¹ to DGND	-0.3 V to $V_{LOGIC} + 0.3$ V
Digital Output (SDO) to DGND	-0.3 V to $V_{LOGIC} + 0.3$ V
N0, N1 to AGND	-0.3 V to $AV_{CC} + 0.3$ V
V_{REF} to AGND	-0.3 V to $AV_{CC} + 0.3$ V
V_{OUTX} to AGND	$AV_{SS} - 0.3$ V to $AV_{DD} + 0.3$ V
AGND to DGND	-0.3 V to +0.3 V
Operating Temperature Range, T_A Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature, T_{JMAX}	150°C
Power Dissipation	$(T_{JMAX} - T_A)/\theta_{JA}$
Lead Temperature Soldering Reflow	260°C, as per JEDEC J-STD-020

¹ デジタル入力には、 $\overline{\text{RESET}}$ 、 $\overline{\text{SCLK}}$ 、 $\overline{\text{SYNC}}$ 、SDI が含まれます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

表 6. 熱抵抗

Package Type	θ_{JA}	Unit
CB-49-4 ¹	53	°C/W
CP-40-7 ¹	31.71	°C/W

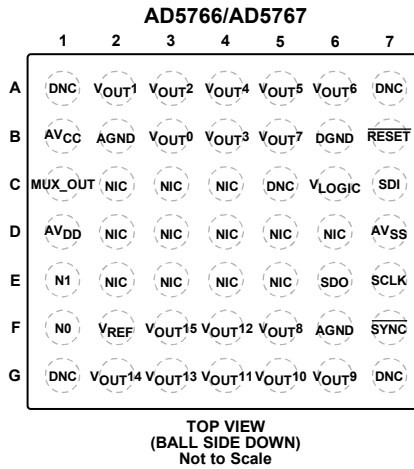
¹ 熱抵抗のシミュレーション値は、16 個のサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THESE PINS.
 2. NIC = NO INTERNAL CONNECTION. THESE PINS SHOULD BE ROUTED TO THERMAL VIAS ON THE PCB TO AID WITH HEAT DISSIPATION. CONNECT THESE PINS TO GROUND.

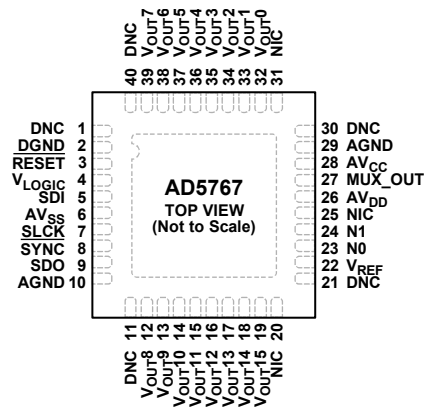
15145-005

図 5. WLCSP パッケージのピン配置

表 7.49 ボール WLCSP のピン機能の説明

ピン番号	記号	説明
ディザ		
F1	N0	ディザ信号入力ピン0。このピンに接続される信号は、レジスタ・コマンド経由で DAC 出力に追加できます。使用しない場合、このピンはグラウンドに接続します。詳細については、ディザのセクションを参照してください。
E1	N1	ディザ信号入力ピン1。このピンに接続される信号は、レジスタ・コマンド経由で DAC 出力に追加できます。使用しない場合、このピンはグラウンドに接続します。詳細については、ディザのセクションを参照してください。
ロジック入出力		
E7	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジで入力シフト・レジスタに入力されます。データは、書込みモードでは最大 50 MHz のレート、リードバック・モードおよびデイジーチェーン・モードでは 10 MHz のレートで転送できます。
F7	SYNC	アクティブ・ローのコントロール入力。SYNCは、入力データのフレーム同期信号です。SYNCがロー・レベルになると、SCLK および SDI バッファの電源がオンになり、入力シフト・レジスタが有効になります。データは次の 24 回の立下がりエッジで転送されます。24 番目の立下がりエッジの前に SYNC がハイ・レベルになった場合、SYNC の立上がりエッジは割込みとして動作し、書込みシーケンスはデバイスによって無視されます。
C7	SDI	シリアル・データ入力。このデバイスは、24 ビットのシフト・レジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
E6	SDO	シリアル・データ出力。デイジーチェーン・モードまたはリードバック・モードで、シリアル・レジスタからこのピンにデータがクロック出力されます。データは SCLK の立上がりエッジでクロック出力され、SCLK の立下がりエッジで有効です。
B7	RESET	アクティブ・ローのリセット入力。このピン・ロジックをロー・レベルにアサートすると、AD5766/AD5767 はデフォルトのパワーオン状態に戻ります。このピンがロジック・ハイに戻った後、デバイスはリセット・モードを終了し、新しい SPI コマンドを受信できる状態になります。値の小さい内部プルアップ抵抗があるので、このピンをフロート状態のままにすることができます。
アナログ出力		
B3	V _{OUT0}	DAC 0 からのアナログ出力電圧。
A2	V _{OUT1}	DAC 1 からのアナログ出力電圧。
A3	V _{OUT2}	DAC 2 からのアナログ出力電圧。
B4	V _{OUT3}	DAC 3 からのアナログ出力電圧。
A4	V _{OUT4}	DAC 4 からのアナログ出力電圧。
A5	V _{OUT5}	DAC 5 からのアナログ出力電圧。
A6	V _{OUT6}	DAC 6 からのアナログ出力電圧。

ピン番号	記号	説明
B5	V _{OUT7}	DAC 7 からのアナログ出力電圧。
F5	V _{OUT8}	DAC 8 からのアナログ出力電圧。
G6	V _{OUT9}	DAC 9 からのアナログ出力電圧。
G5	V _{OUT10}	DAC 10 からのアナログ出力電圧。
G4	V _{OUT11}	DAC 11 からのアナログ出力電圧。
F4	V _{OUT12}	DAC 12 からのアナログ出力電圧。
G3	V _{OUT13}	DAC 13 からのアナログ出力電圧。
G2	V _{OUT14}	DAC 14 からのアナログ出力電圧。
F3	V _{OUT15}	DAC 15 からのアナログ出力電圧。
電源とリファレンス入力		
F2	V _{REF}	リファレンス入力電圧。仕様規定されている性能では、V _{REFIN} = 2.5 V。
C6	V _{LOGIC}	デジタル電源。
B1	AV _{CC}	電源入力。AD5766/AD5767 は 2.97 V ~ 3.6 V で動作します。AV _{CC} は、10 μF のコンデンサと 0.1 μF のコンデンサの並列接続でアナログ・グラウンドにデカップリングされます。
D1	AV _{DD}	出力アンプ正側アナログ電源
D7	AV _{SS}	出力アンプ負側アナログ電源
B2、F6	AGND	アナログ・グラウンド。
B6	DGND	デジタル・グラウンド・ピン。
チャンネル監視		
C1	MUX_OUT	監視出力。このピンは、16 個のチャンネル (チャンネル 0 ~ チャンネル 15) のいずれかを MUX_OUT ピンにマルチプレクサできる 16-to-1 チャンネル (入力) マルチプレクサの出力として動作します。
接続なし		
A1、A7、C5、G1、G7	DNC	接続なし。これらのピンには接続しないでください。
内部接続なし		
C2 ~ C4、D2 ~ D6、E2 ~ E5	NIC	内部接続なし。放熱を促進するため、これらのピンを PCB 上のサーマル・ビアに配線します。これらピンはグラウンドに接続します。



- NOTES
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THESE PINS.
 2. NIC = NO INTERNAL CONNECTION. THESE PINS SHOULD BE ROUTED TO THERMAL VIAS ON THE PCB TO AID WITH HEAT DISSIPATION. THESE SHOULD BE CONNECTED TO GROUND.
 3. EXPOSED PAD (LFCSP PACKAGE ONLY). CONNECT THIS EXPOSED PAD TO THE POTENTIAL OF THE AVSS PIN, OR, ALTERNATIVELY, LEAVE IT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

15145-006

図 6. LFCSP パッケージのピン配置

表 8.40 ピン LFCSP ピン機能の説明

ピン番号	記号	説明
ディザ		
23	N0	ディザ信号入力ピン0。このピンに接続される信号は、レジスタ・コマンド経由で DAC 出力に追加できます。使用しない場合、このピンはグラウンドに接続します。詳細については、ディザのセクションを参照してください。
24	N1	ディザ信号入力ピン1。このピンに接続される信号は、レジスタ・コマンド経由で DAC 出力に追加できます。使用しない場合、このピンはグラウンドに接続します。詳細については、ディザのセクションを参照してください。
ロジック入出力		
7	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジで入力シフト・レジスタに入力されます。データは、書込みモードでは最大 50 MHz のレート、リードバック・モードおよびデジチェーン・モードでは 10 MHz のレートで転送できます。
8	SYNC	アクティブ・ローのコントロール入力。SYNCは、入力データのフレーム同期信号です。SYNCがロー・レベルになると、SCLK および SDI パッファの電源がオンになり、入力シフト・レジスタが有効になります。データは次の 24 回の立下がりエッジで転送されます。24 番目の立下がりエッジの前に SYNC がハイ・レベルになった場合、SYNC の立上がりエッジは割込みとして動作し、書込みシーケンスはデバイスによって無視されます。
5	SDI	シリアル・データ入力。このデバイスは、24 ビットのシフト・レジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
9	SDO	シリアル・データ出力。デジチェーン・モードまたはリードバック・モードで、シリアル・レジスタからこのピンにデータがクロック出力されます。データは SCLK の立上がりエッジでクロック出力され、SCLK の立下がりエッジで有効です。
3	RESET	アクティブ・ローのリセット入力。このピン・ロジックをロー・レベルにアサートすると、AD5766/AD5767 はデフォルトのパワーオン状態に戻ります。このピンがロジック・ハイに戻った後、デバイスはリセット・モードを終了し、新しい SPI コマンドを受信できる状態になります。値の小さい内部プルアップ抵抗があるので、このピンをフロート状態のままにすることができます。
アナログ出力		
32	V _{OUT0}	DAC 0 からのアナログ出力電圧。
33	V _{OUT1}	DAC 1 からのアナログ出力電圧。
34	V _{OUT2}	DAC 2 からのアナログ出力電圧。
35	V _{OUT3}	DAC 3 からのアナログ出力電圧。
36	V _{OUT4}	DAC 4 からのアナログ出力電圧。
37	V _{OUT5}	DAC 5 からのアナログ出力電圧。

ピン番号	記号	説明
38	V _{OUT6}	DAC 6 からのアナログ出力電圧。
39	V _{OUT7}	DAC 7 からのアナログ出力電圧。
12	V _{OUT8}	DAC 8 からのアナログ出力電圧。
13	V _{OUT9}	DAC 9 からのアナログ出力電圧。
14	V _{OUT10}	DAC 10 からのアナログ出力電圧。
15	V _{OUT11}	DAC 11 からのアナログ出力電圧。
16	V _{OUT12}	DAC 12 からのアナログ出力電圧。
17	V _{OUT13}	DAC 13 からのアナログ出力電圧。
18	V _{OUT14}	DAC 14 からのアナログ出力電圧。
19	V _{OUT15}	DAC 15 からのアナログ出力電圧。
電源とリファレンス入力		
22	V _{REF}	リファレンス入力電圧。仕様規定されている性能では、V _{REFIN} = 2.5 V。
4	V _{LOGIC}	デジタル電源。
28	AV _{CC}	電源入力。AD5766/AD5767 は 2.97 V ~ 3.6 V で動作します。AV _{CC} は、10 μF のコンデンサと 0.1 μF のコンデンサの並列接続でアナログ・グラウンドにデカップリングされます。
26	AV _{DD}	出力アンプ正側アナログ電源
6	AV _{SS}	出力アンプ負側アナログ電源
10, 29	AGND	アナログ・グラウンド。
2	DGND	デジタル・グラウンド・ピン。
チャンネル監視		
27	MUX_OUT	監視出力。このピンは、16 個のチャンネル (チャンネル 0 ~ チャンネル 15) のいずれかを MUX_OUT ピンにマルチプレクサできる 16-to-1 チャンネル (入力) マルチプレクサの出力として動作します。
接続なし		
1, 11, 21, 30, 40	DNC	接続なし。これらのピンには接続しないでください。
内部接続なし		
20, 25, 31	NIC	内部接続なし。放熱を促進するため、これらのピンを PCB 上のサーマル・ビアに配線します。これらピンはグラウンドに接続します。
該当なし		
	EPAD	露出パッド。この露出パッドは、AV _{SS} ピンの電位に接続するか、電氣的に未接続のままにしておくことができます。熱性能を向上するために、露出パッドを銅製の放熱板に接続することが推奨されます。

代表的な性能特性

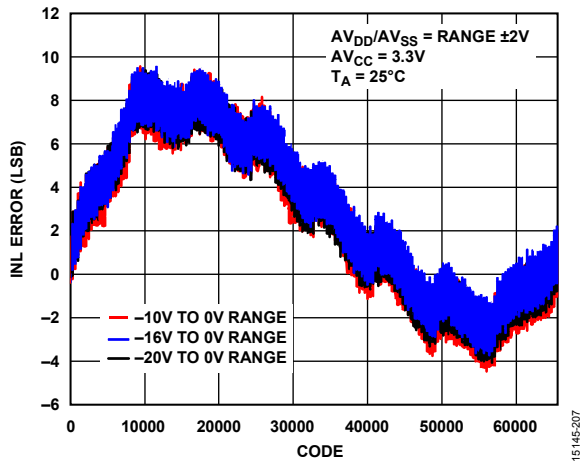


図 7. AD5766 の INL 誤差と DAC コードの関係 (ユニポーラ出力)

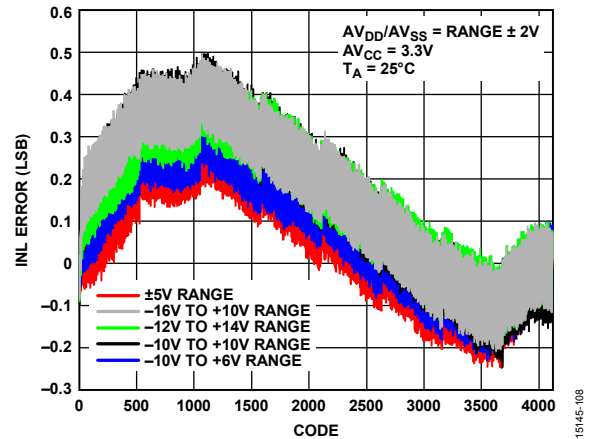


図 10. AD5767 の INL 誤差と DAC コードの関係 (バイポーラ出力)

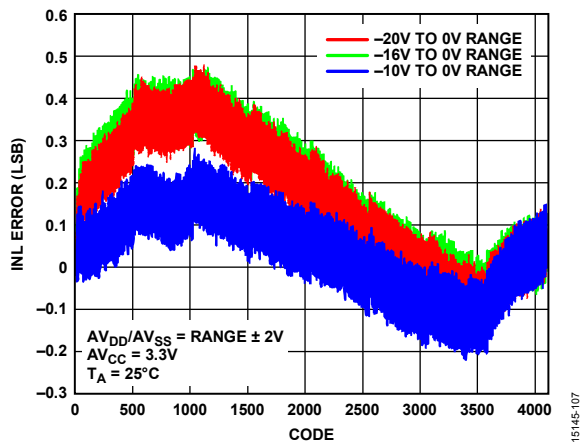


図 8. AD5767 の INL 誤差と DAC コードの関係 (ユニポーラ出力)

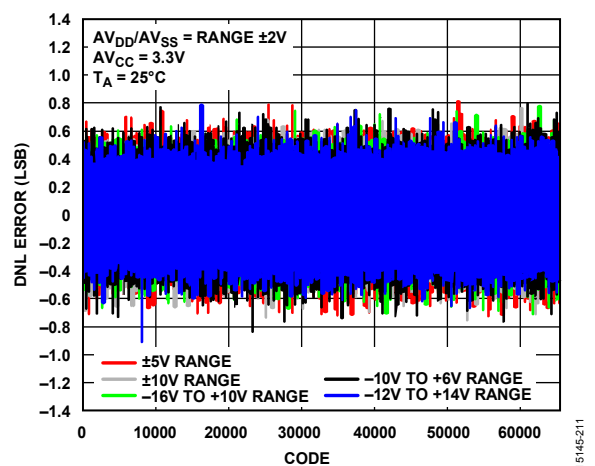


図 11. AD5766 の DNL 誤差と DAC コードの関係 (バイポーラ出力)

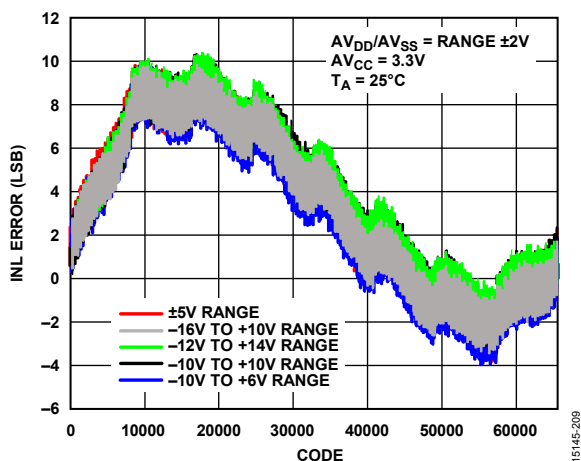


図 9. AD5766 の INL 誤差と DAC コードの関係 (バイポーラ出力)

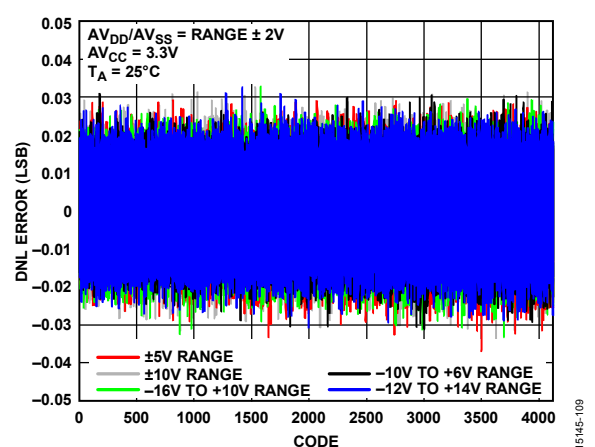


図 12. AD5767 の DNL 誤差と DAC コードの関係 (バイポーラ出力)

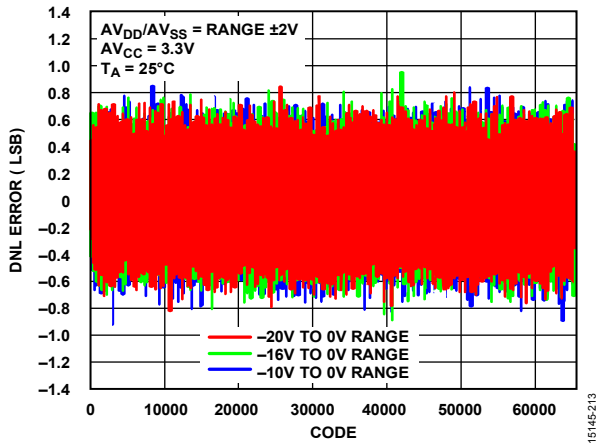


図 13. AD5766 の DNL 誤差と DAC コードの関係 (ユニポーラ出力)

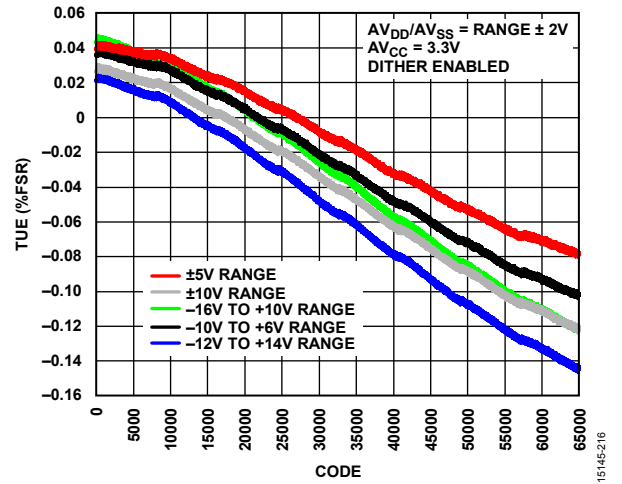


図 16. 総合未調整誤差 (TUE) と DAC コードの関係 (バイポーラ出力)

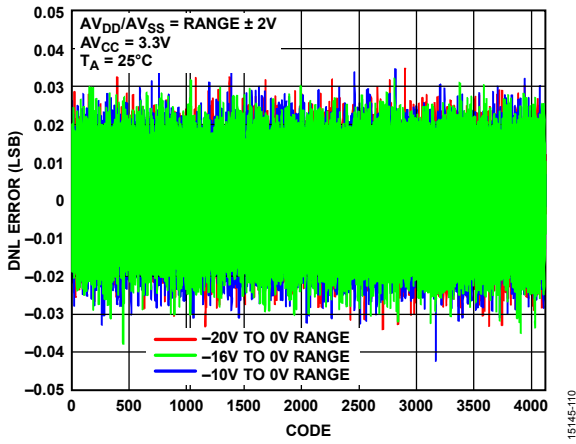


図 14. AD5767 の DNL 誤差と DAC コードの関係 (ユニポーラ出力)

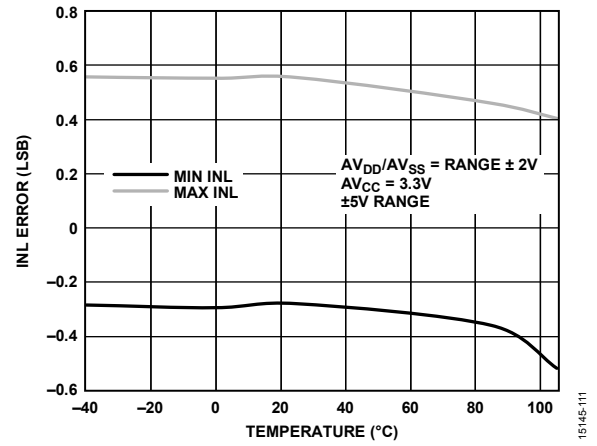


図 17. INL 誤差の温度特性

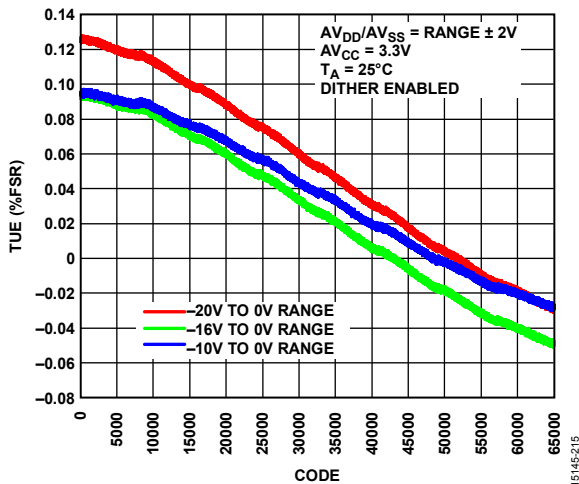


図 15. 総合未調整誤差 (TUE) と DAC コードの関係 (ユニポーラ出力)

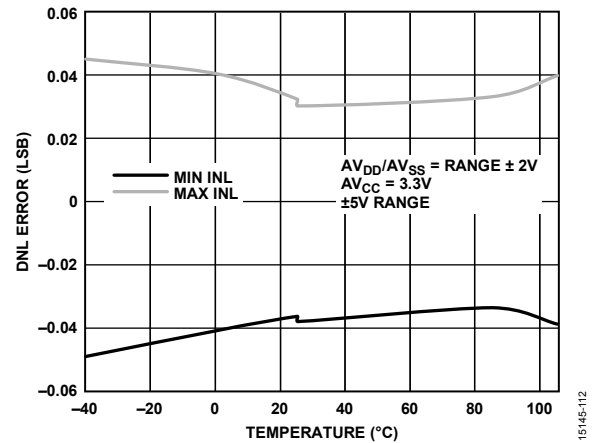


図 18. DNL 誤差の温度特性

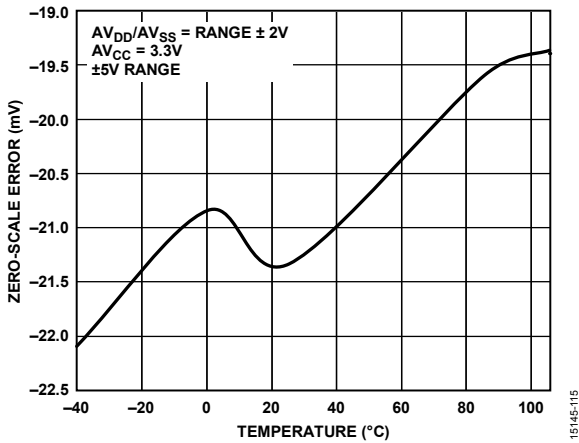


図 19. ゼロスケールの温度特性

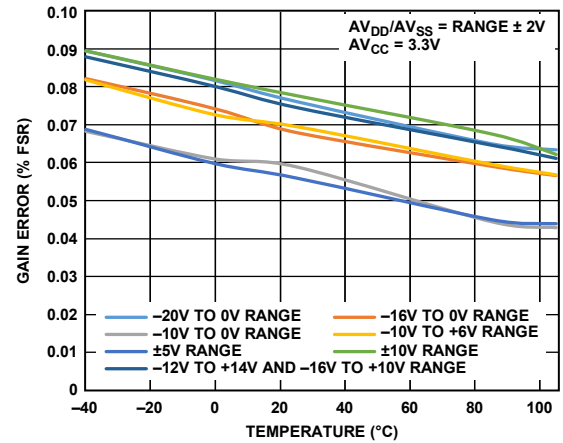


図 22. ゲイン誤差の温度特性

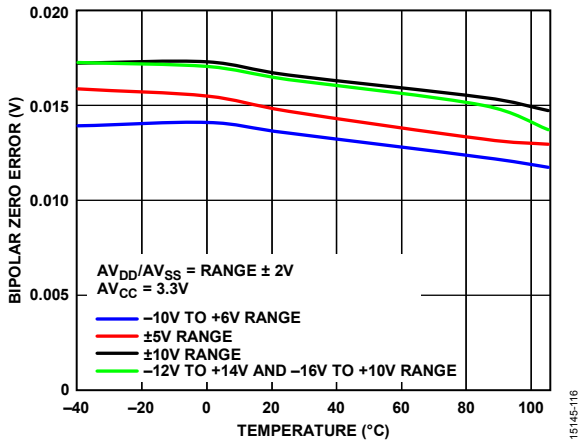


図 20. バイポーラ・ゼロ誤差の温度特性

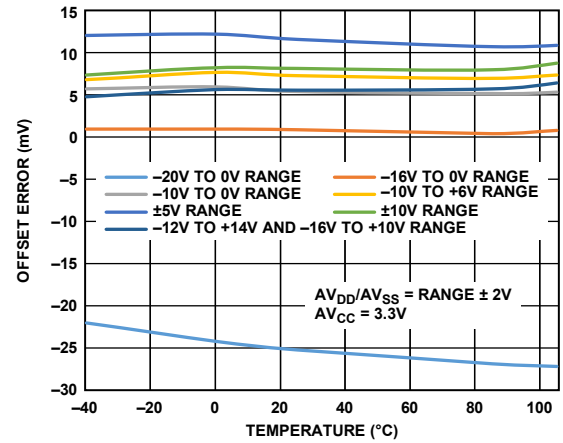


図 23. オフセット誤差の温度特性

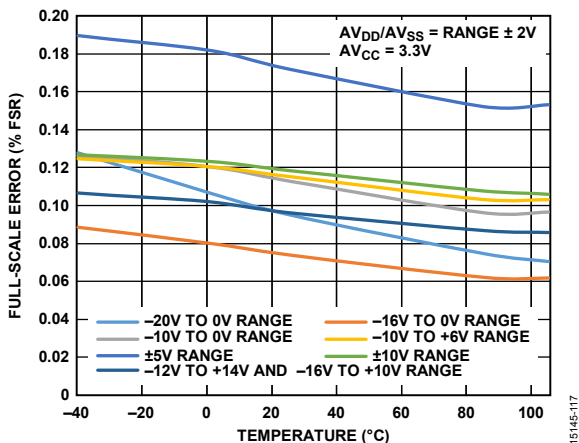


図 21. フルスケール誤差の温度特性

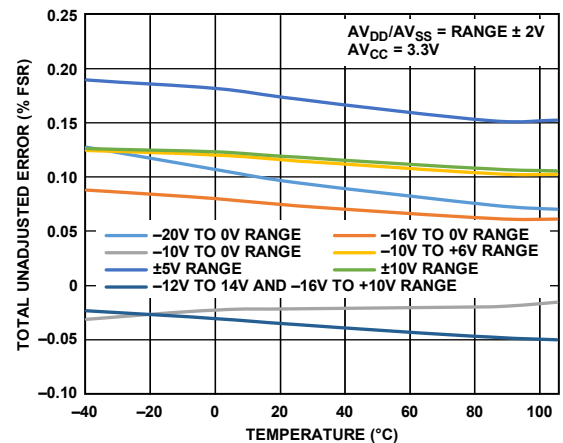


図 24. 総合未調整誤差の温度特性

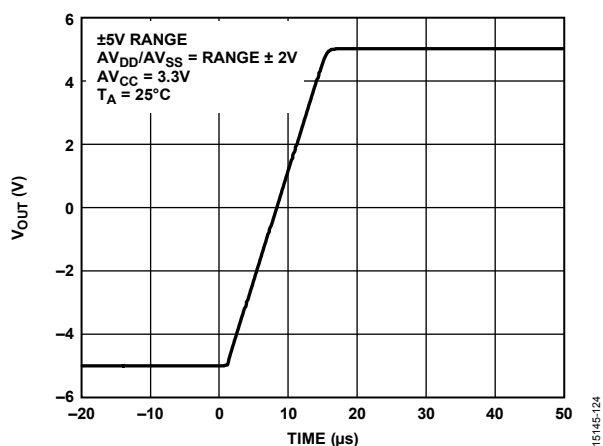


図 25. フルスケール・セトリング時間 (立上がり電圧ステップ)

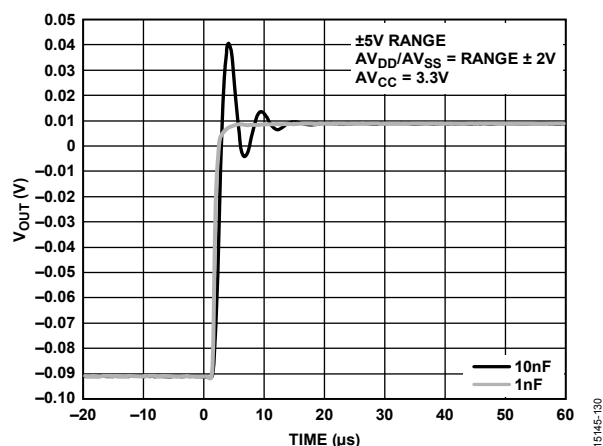


図 28. 多様な容量性負荷での出力電圧 (V_{OUT}) とセトリング時間の関係

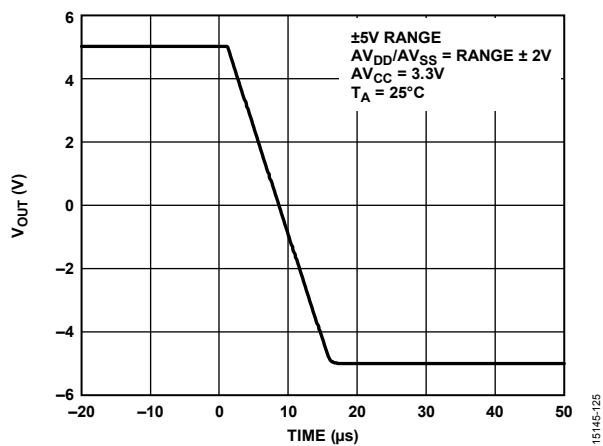


図 26. フルスケール・セトリング時間 (立下がり電圧ステップ)

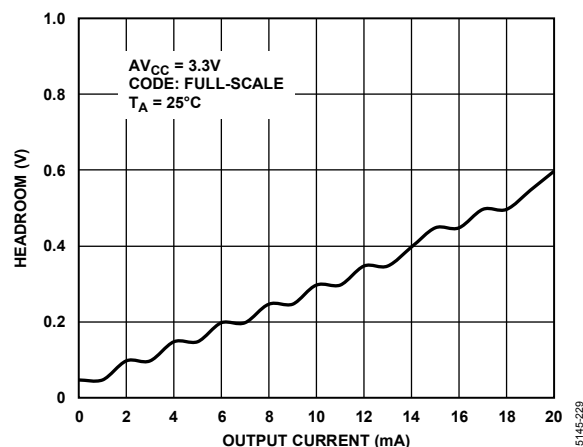


図 29. ヘッドルームと出力電流の関係

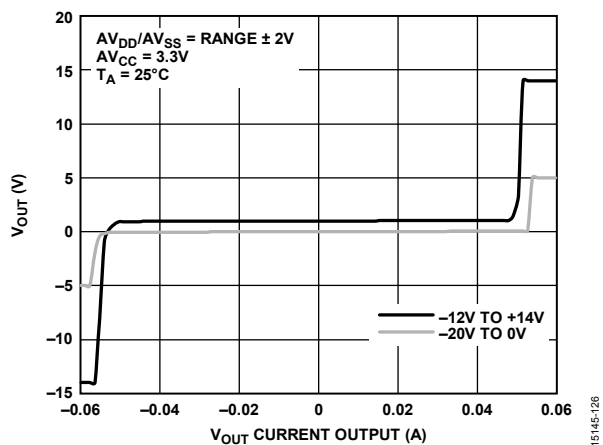


図 27. 出力アンプのソース能力とシンク能力

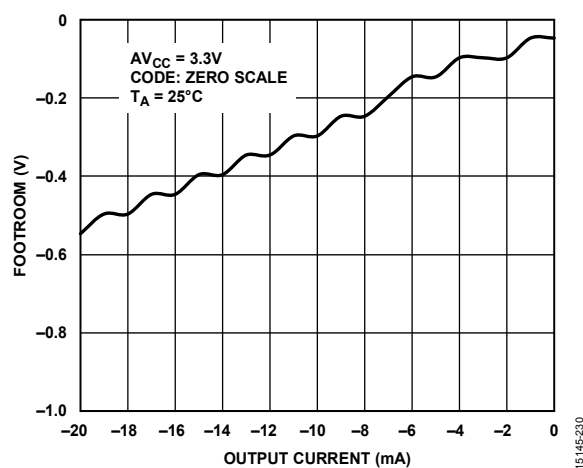


図 30. フットルームと出力電流の関係

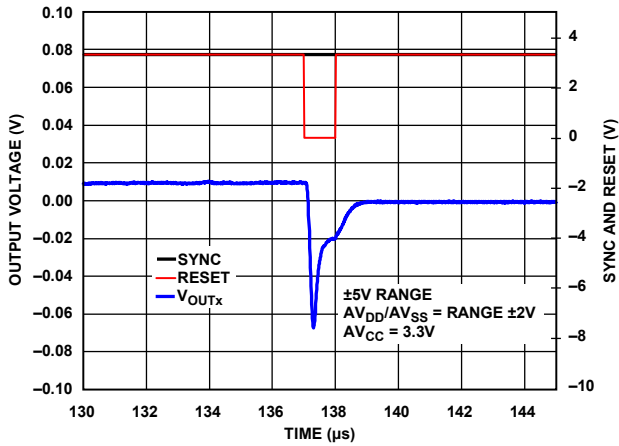


図 31. ハードウェア・リセット・グリッチ

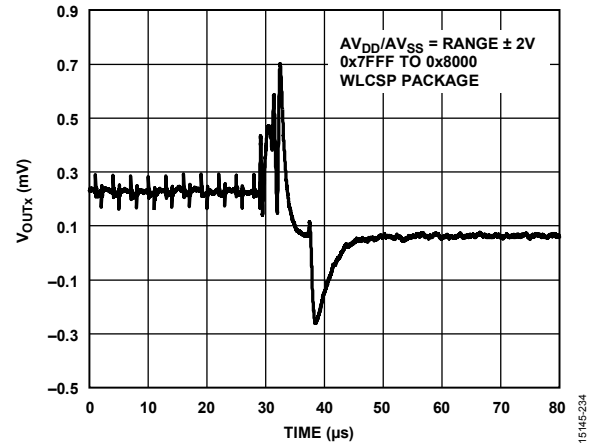


図 34. WLCSP パッケージのデジタル/アナログ・グリッチ・インパルス

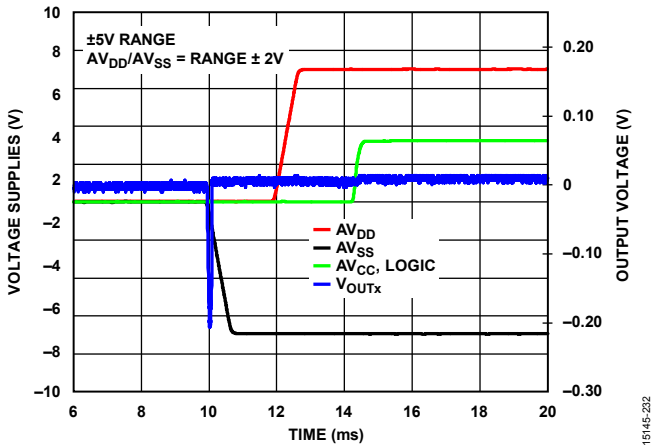


図 32. パワーアップ・グリッチ

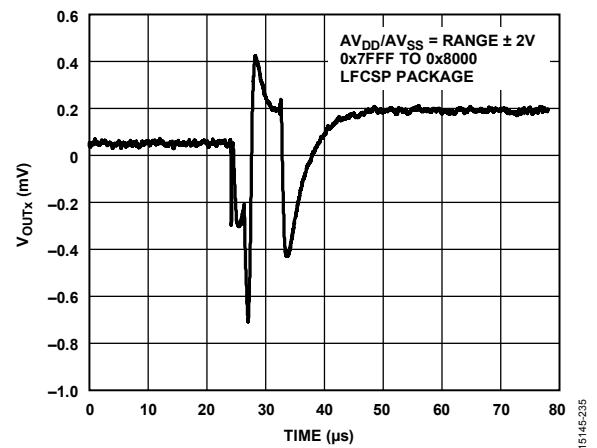


図 35. LFCSP パッケージのデジタル/アナログ・グリッチ・インパルス

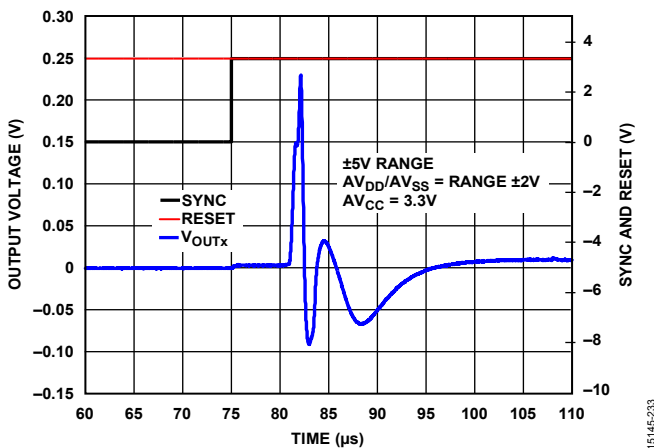


図 33. 出カスパン有効グリッチ

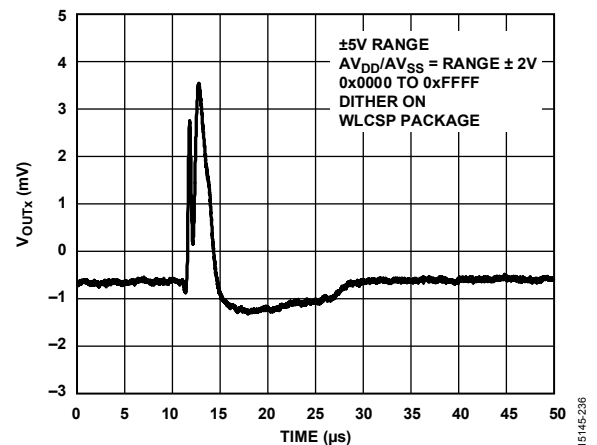


図 36. WLCSP パッケージのアナログ・クロストーク (ディザは有効)

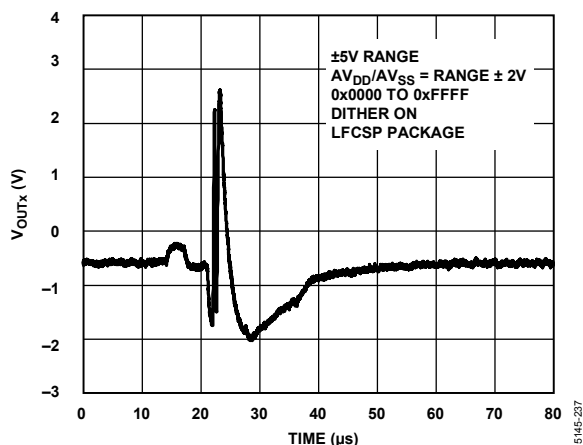


図 37. LFCSP パッケージのアナログ・クロストーク (ディザは有効)

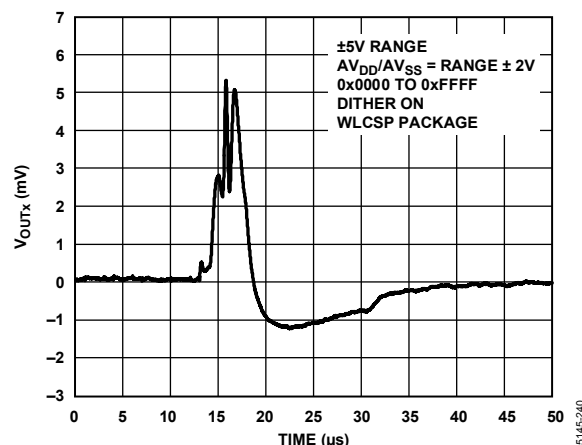


図 40. WLCSP パッケージの DAC 間クロストーク (ディザは有効)

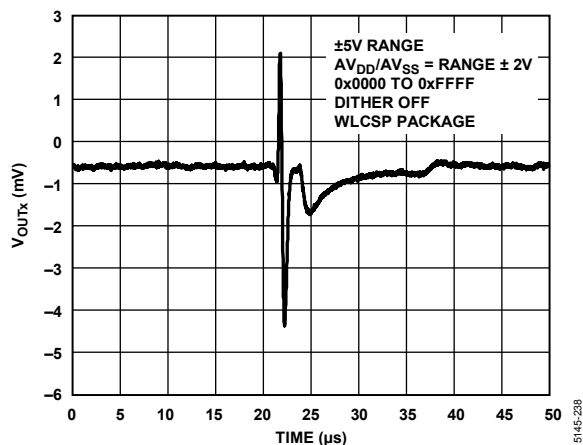


図 38. WLCSP パッケージのアナログ・クロストーク (ディザは無効)

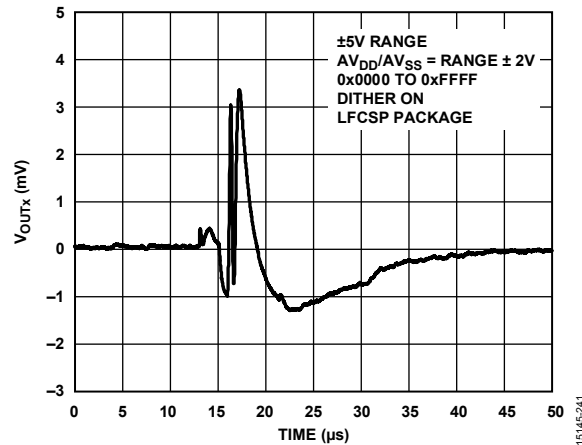


図 41. LFCSP パッケージの DAC 間クロストーク (ディザは有効)

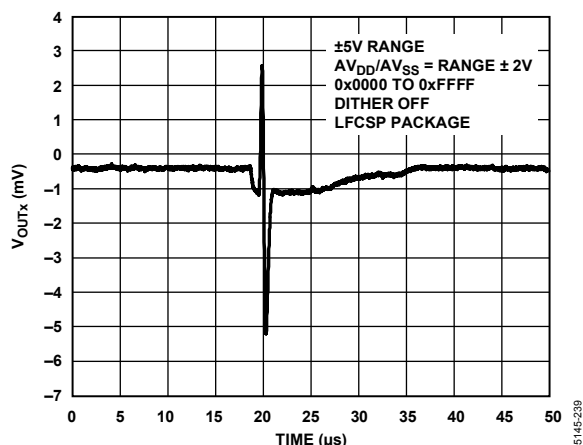


図 39. LFCSP パッケージのアナログ・クロストーク (ディザは無効)

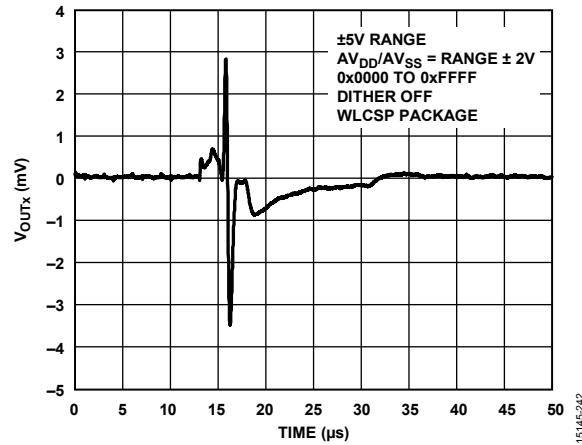


図 42. WLCSP パッケージの DAC 間クロストーク (ディザは無効)

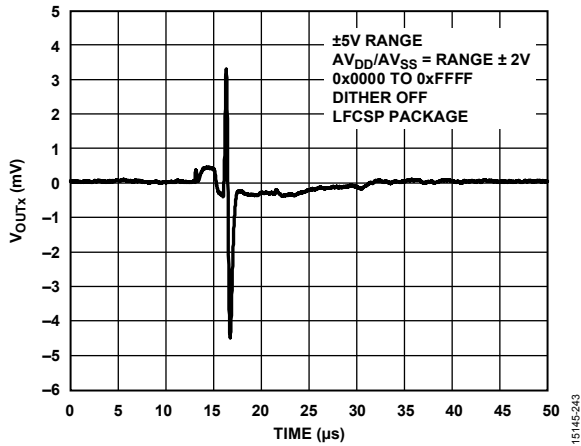


図 43. LFCSP パッケージの DAC 間クロストーク (ディザは無効)

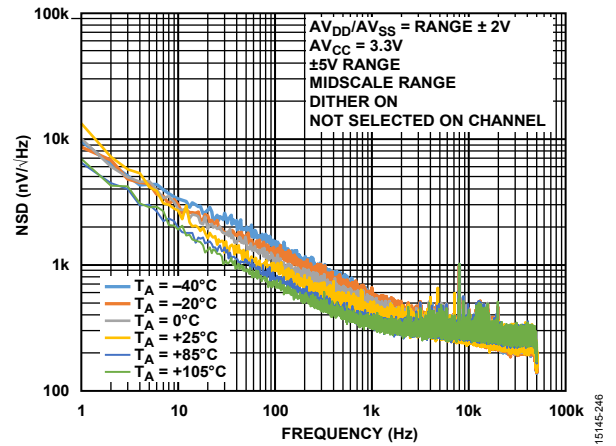


図 46. 多様な温度に対する出力ノイズ (NSD) の周波数特性

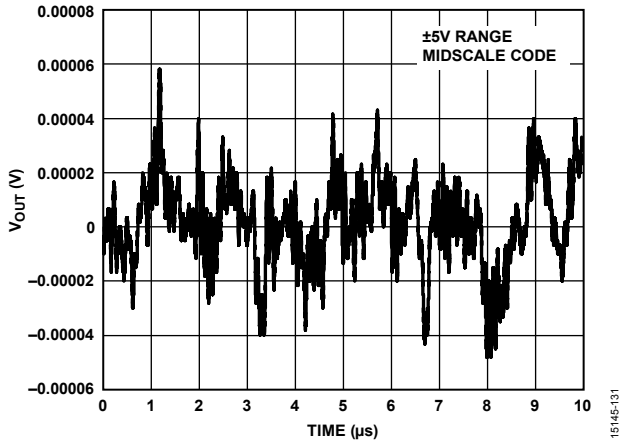


図 44. ピーク to ピーク・ノイズ (0.1 Hz ~ 10 Hz の帯域幅)、ディザは無効

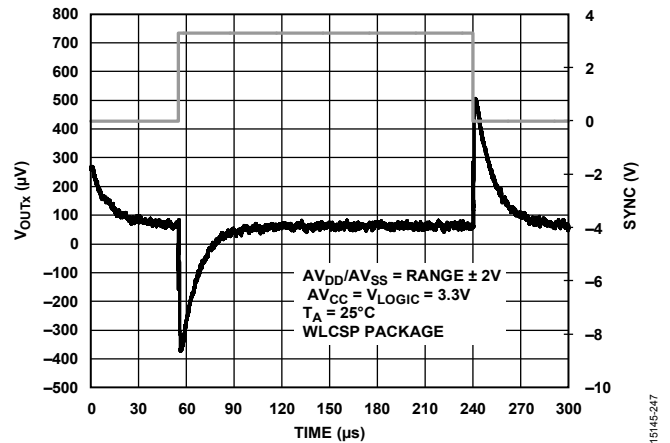


図 47. WLCSP パッケージのデジタル・フィードスルー

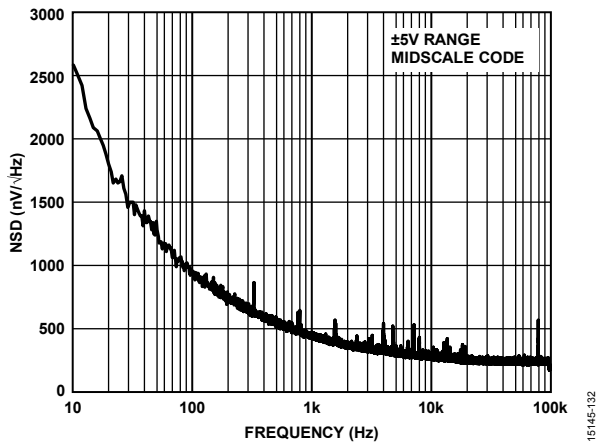


図 45. ノイズ・スペクトル密度 (NSD) の周波数特性

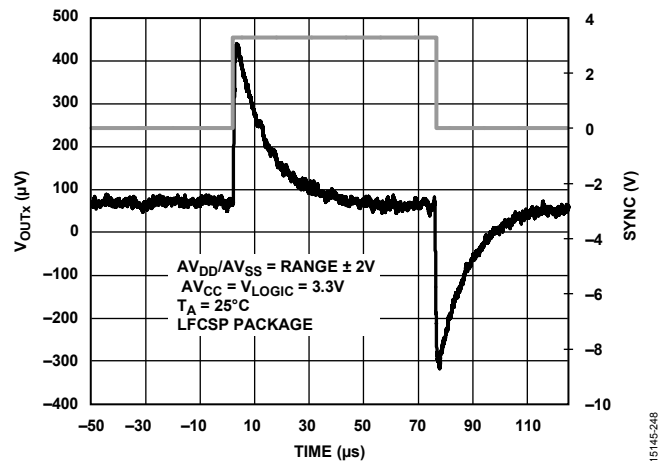


図 48. LFCSP パッケージのデジタル・フィードスルー

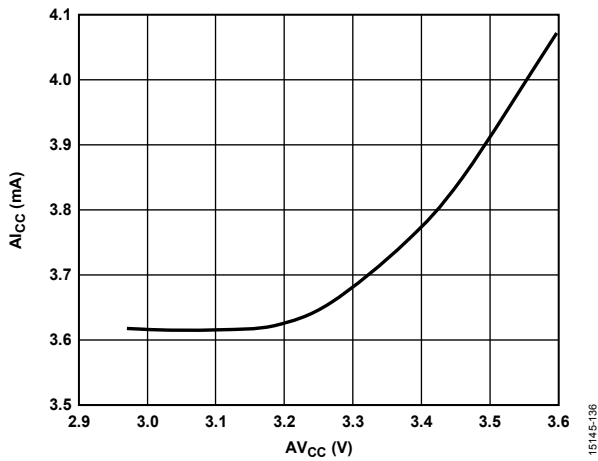


図 49. 電源電流 (I_{CC}) と電源電圧 (V_{CC}) の関係

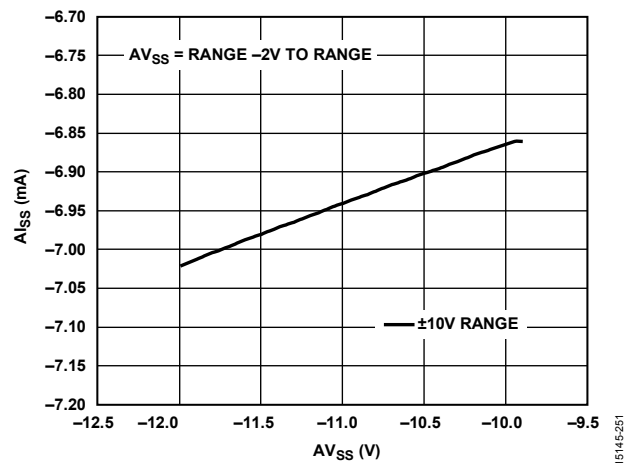


図 51. 電源電流 (I_{SS}) と電源電圧 (V_{SS}) の関係

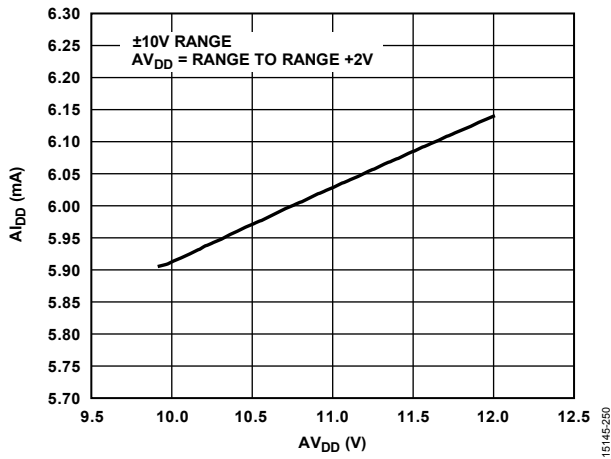


図 50. 電源電流 (I_{DD}) と電源電圧 (V_{DD}) の関係

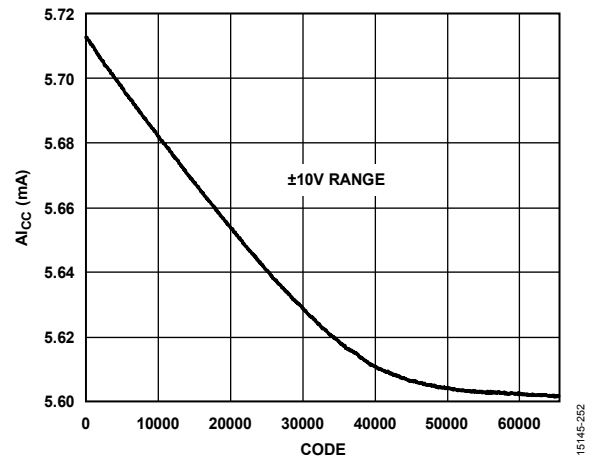


図 52. 電源電流 (I_{CC}) とコードの関係

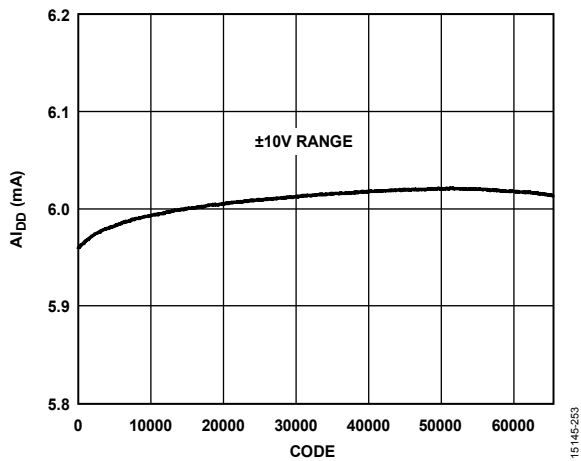


図 53. 電源電流 (I_{DD}) とコードの関係

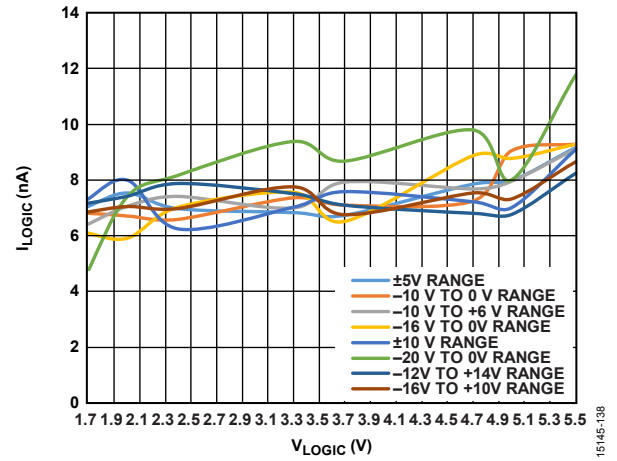


図 55. ロジック電流 (I_{LOGIC}) とロジック入力電圧 (V_{LOGIC}) の関係

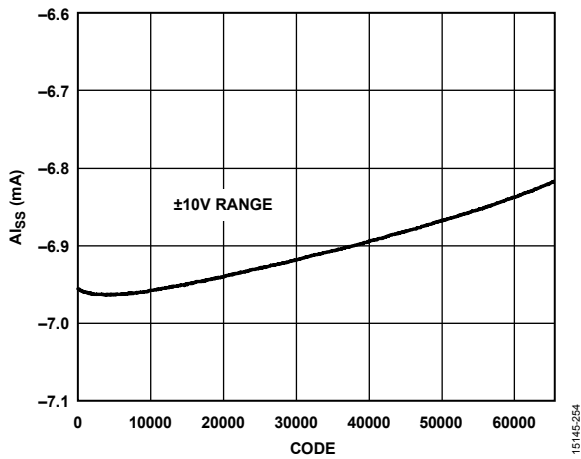


図 54. 電源電流 (I_{SS}) とコードの関係

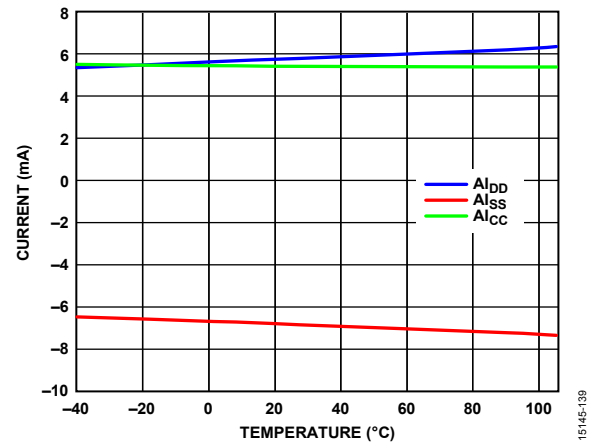


図 56. 電源電流の温度特性

ディザ特性

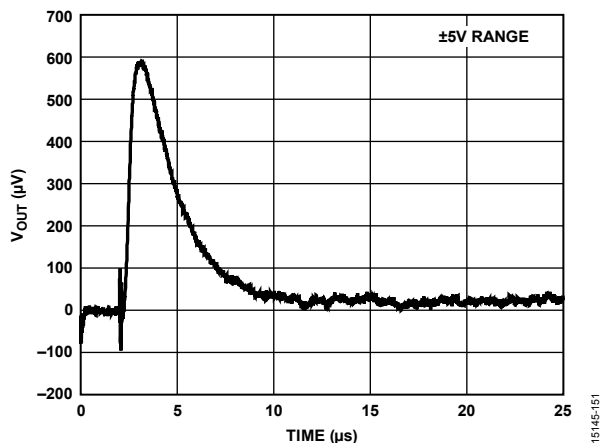


図 57. ディザ選択チャンネルでのトランジェント(ディザは有効)

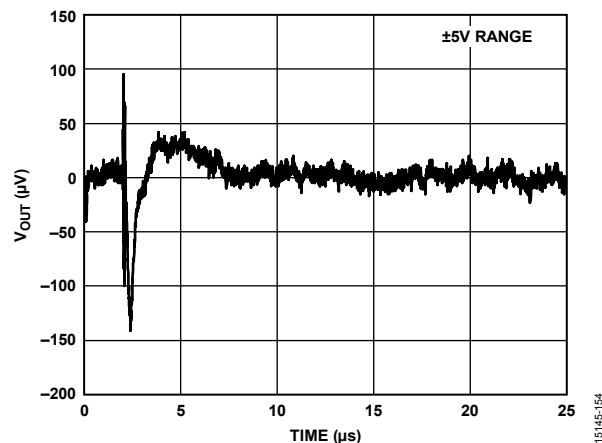


図 60. ディザ未選択チャンネルでのトランジェント(ディザは無効)

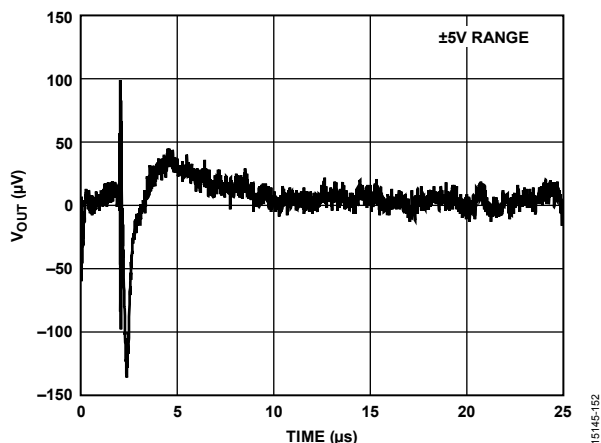


図 58. ディザ未選択チャンネルでのトランジェント(ディザは有効)

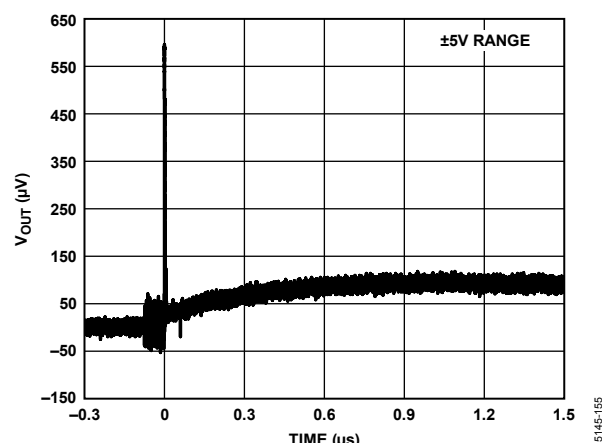


図 61. ディザの DC シフト

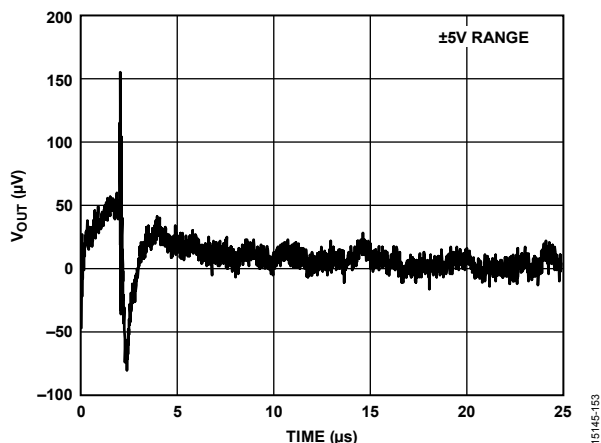


図 59. ディザ選択チャンネルでのトランジェント(ディザは無効)

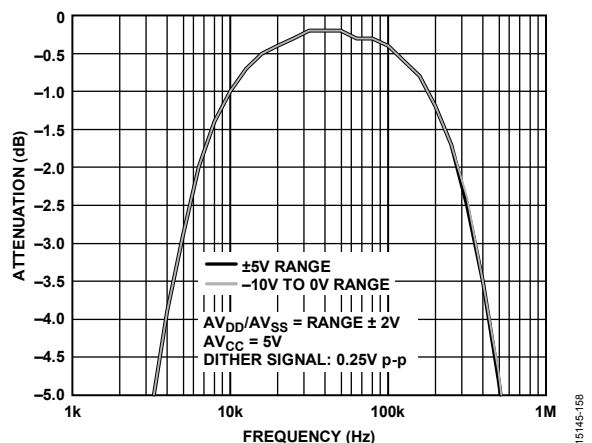


図 62. ディザ入力/DAC 出力の減衰量と周波数の関係(範囲は ±5 V および -10 V ~ 0 V)

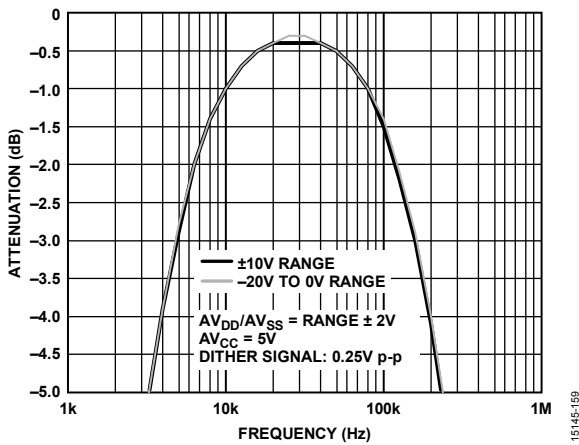


図 63. ディザ入力/DAC 出力の減衰量と周波数の関係 (範囲は ±10 V および -20 V ~ 0 V)

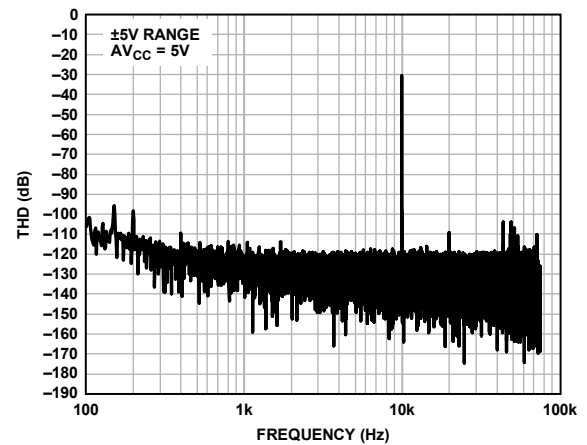


図 66. 全高調波歪み (THD) と周波数の関係

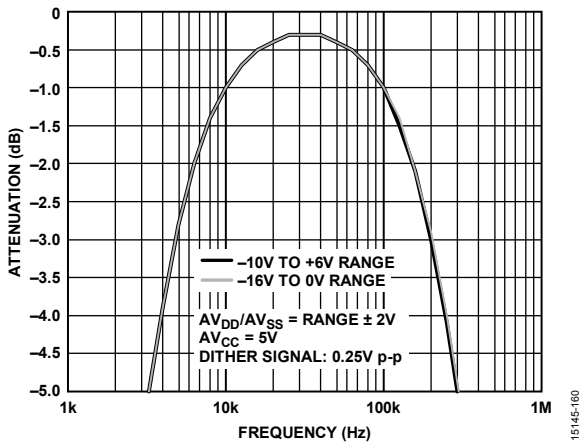


図 64. ディザ入力/DAC 出力の減衰量と周波数の関係 (範囲は -10 V ~ +6 V および -16 V ~ 0 V)

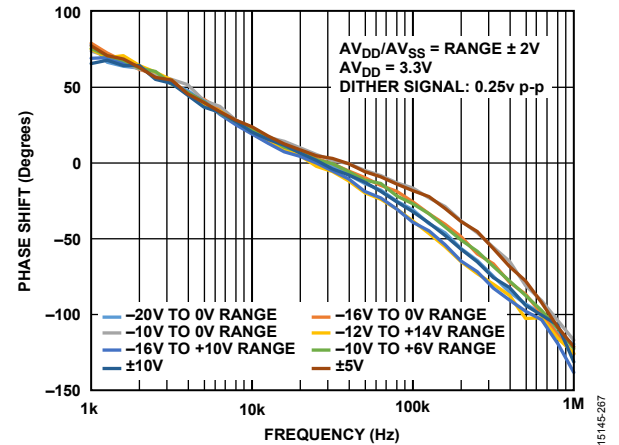


図 67. ディザ入力/DAC 出力までの位相シフトと周波数の関係

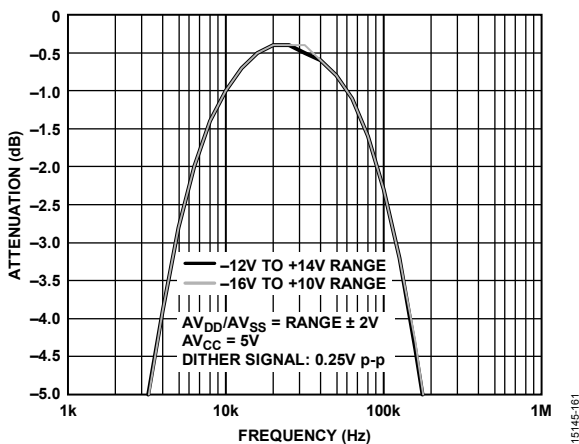


図 65. ディザ入力/DAC 出力の減衰量と周波数の関係 (範囲は -12 V ~ +14 V および -16 V ~ +10 V)

用語の定義

総合未調整誤差 (TUE)

総合未調整誤差とは、電源、温度、時間に関連するすべての誤差（つまり、INL 誤差、オフセット誤差、ゲイン誤差、出力ドリフト）を考慮する出力誤差の計測値です。TUE の単位は %FSR です。

相対精度または積分非直線性 (INL)

相対精度（積分非直線性）は、DAC の伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB 単位) を表します。典型的な INL 誤差対 DAC コードのプロットを図 7 および 図 10 に示します。

微分非直線性 (DNL)

微分非直線性 (DNL) は、隣接する 2 つのコードの間で測定された変化と理論的な 1 LSB 変化との差を表します。微分非直線性の仕様が ± 1 LSB 以内の場合は、単調増加性が確保されます。この DAC は設計面で単調増加性を確保しています。典型的な DNL 誤差対 DAC コードのプロットを図 12 および 図 14 に示します。

ゼロスケール誤差

ゼロスケール誤差は、ゼロのコード (0x0000) を DAC レジスタに読み込んだときの出力誤差を測定したものです。ゼロコード誤差の単位は mV です。

ゼロスケール誤差の温度係数

ゼロコード誤差ドリフトは、温度変化に伴うゼロコード誤差の変化を測定したもので、単位は $\mu\text{V}/^\circ\text{C}$ です。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は DAC レジスタに 0x2000 を読み込んだときの、0V の理論ハーフスケール出力とアナログ出力の間の偏差を表します。

バイポーラ・ゼロ誤差の温度係数

バイポーラ・ゼロ・ドリフトは、温度変化に伴うバイポーラ・ゼロ誤差の変化を測定したもので、単位は $\mu\text{V}/^\circ\text{C}$ です。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。DAC の伝達特性の傾き（理論値）からの偏差で、単位は %FSR です。

ゲイン誤差の温度係数

ゲイン温度係数は、温度変化に伴うゲイン誤差の変化を測定したもので、単位は FSR/ $^\circ\text{C}$ です。

オフセット誤差

オフセット誤差は、伝達関数の線形領域における V_{OUTX} (実測値) と V_{OUTX} (理想値) の差で、単位は mV です。オフセット誤差は、負または正の値となります。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化に伴うオフセット誤差の変化を測定したもので、単位は $\mu\text{V}/^\circ\text{C}$ です。

ディザの DC シフト

ディザ dc シフトは、ディザ・トーンとアナログ出力の結合に起因する V_{OUTX} (実測値) と V_{OUTX} (理想値) 間の DC 電圧の誤差を計測した値です。単位は LSB です。

ディザ・トランジェント

ディザ・トランジェントは、出力チャンネルのディザ機能を有効化または無効化することにより、アナログ出力に挿入されるインパルスの振幅です。このトランジェントは、選択された出力チャンネルとその他の選択されていないチャンネルで計測されます。単位は nV-sec です。

DC 電源電圧変動除去比 (PSRR)

PSRR は、DAC 出力に対する電源電圧変化の影響を表します。PSRR は、DAC のフルスケール出力での AV_{DD} の変化に対する V_{OUTX} の変化の比で、単位は V/V です。

出力電圧セトリング・タイム

出力電圧セトリング・タイムは、フルスケールの 1/4 から 3/4 までの入力変化に対して、DAC 出力が規定のレベルで安定するのに要する時間で、 $\overline{\text{SYNC}}$ の立上がりエッジから測定されます。

デジタル/アナログ・グリッチ・インパルス

デジタル/アナログ・グリッチ・インパルスは、DAC レジスタの入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として仕様規定され、メジャー・キャリー遷移時 (AD5767 では 0x7FF から 0x800) に、デジタル入力コードが 1 LSB だけ変化したときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力が更新されていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で仕様規定され、データ・バス上でのフルスケール・コードの変更時、すなわちオール 0 からオール 1 への変更時、またはオール 1 からオール 0 への変更時に測定されます。

DC クロストーク

DC クロストークとは、ある DAC 出力の変化によって生じる、別の DAC での出力レベルの DC 変化のことを指します。ある DAC をミッドスケールに維持してモニタリングしながら、別の DAC でのフルスケール出力の変化（または、パワーダウンおよびパワーアップ）を測定します。単位は μV です。

負荷電流変化に起因する DC クロストークでは、ある DAC の負荷電流の変化がミッドスケールに維持された別の DAC へ与える影響を測定します。単位は $\mu\text{V}/\text{mA}$ です。

デジタル・クロストーク

デジタル・クロストークとは、ある DAC の入力レジスタにおけるフルスケール・コードの変更 (オール 0 からオール 1 への変更、およびオール 1 からオール 0 への変更) に応じて、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルスのことを指します。スタンドアロン・モードで測定し、単位は nV-sec です。

アナログ・クロストーク

アナログ・クロストークとは、ある DAC の出力変化によって別の DAC の出力に混入したグリッチ・インパルスのことを指します。フルスケール・コードの変更時（オール 0 からオール 1 への変更、またはオール 1 からオール 0 への変更）に入力レジスタのいずれかを読み込んで、ソフトウェア LDAC コマンドを実行し（表 21 を参照）、デジタル・コードが変更されなかった DAC の出力をモニタリングすることで計測されます。グリッチの面積は nV-sec で表されます。

DAC 間クロストーク

DAC 間クロストークとは、デジタル・コードの変更に続く、ある DAC のアナログ出力の変化に起因して、別の DAC の出力に混入するグリッチ・インパルスのことを指します。書込みコマンドと更新コマンドを使用して、影響元のチャンネルにフルスケール・コードの変更（オール 0 からオール 1 への変更、およびオール 1 からオール 0 への変更）を読み込み、ミッドスケールにある影響先のチャンネルの出力をモニタリングして測定します。グリッチのエネルギーの単位は nV-sec です。

出力ノイズ・スペクトル密度

出力ノイズ・スペクトル密度は、内部で発生するランダム・ノイズを測定したものです。ランダム・ノイズは、スペクトル密度 (nV/√Hz) として特性評価されます。DAC にミッドスケールを読み込み、その出力で発生するノイズを測定します。単位は nV/√Hz です。

動作原理

D/A コンバータ

AD5766/AD5767 は 16 チャンネル、16 ビット/12 ビット、シリアル入力、電圧出力 DAC 機能を備え、±20 mA の出力電流能力で複数の出力範囲を提供します。使用可能な出力電圧範囲は次のとおりです。

- -20 V ~ 0 V
- -16 V ~ 0 V
- -10 V ~ 0 V
- -10 V ~ +6 V
- -12 V ~ +14 V
- -16 V ~ +10 V
- ±5 V
- ±10 V

デバイスは、次の 4 つの電源電圧で動作します。AV_{CC}、AV_{DD}、AV_{SS}、V_{LOGIC}。AV_{CC} は DAC とその他の低電圧回路の電源入力電圧で、AV_{DD} および AV_{SS} は、出力アンプの正および負のアナログ電源です。出力アンプが 1 LSB 未満の最低出力電圧誤差で 20 mA を駆動するには、+2 V のヘッドルームと -2 V のフットルームが必要です。表 9 に、選択した出力範囲の電源条件を示します。V_{LOGIC} は、デジタル入出力信号のロジック・レベルを定義します。

表 9. 選択した出力範囲の電源条件

Range (V)	AV _{SS} Maximum (V)	AV _{DD} Minimum (V)
-20 to 0	-22	2.97
-16 to 0	-18	2.97
-10 to 0	-12	2.97
-10 to +6	-12	8
-12 to +14	-14	16
-16 to +10	-18	12
-5 to +5	-7	7
-10 to +10	-12	12

DAC アーキテクチャ

DAC チャンネルのアーキテクチャは、抵抗ストリング DAC とそれに続く出力バッファ・アンプで構成されます。V_{REF} ピンの電圧は、すべての DAC チャンネルのリファレンス電圧を提供します。図 68 に、DAC アーキテクチャのブロック図を示します。

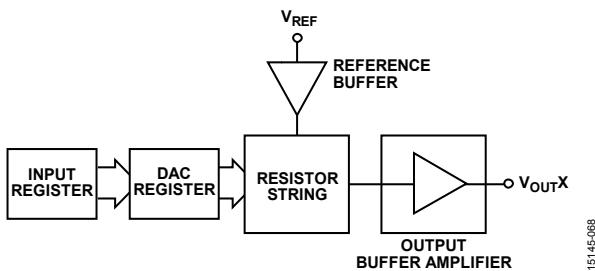


図 68. DAC アーキテクチャ

DAC の入力コーディングはストレート・バイナリで、理論上の電圧は次のように指定されます。

$$V_{OUT} = \left(Span \times \frac{D}{N} \right) + V_{MIN}$$

ここで、

Span (スパン) は、DAC 出力の最小値から最大値までの全範囲。D は、DAC レジスタに読み込まれるバイナリ・コード (10 進数表示)。

N は AD5767 (12 ビット・バージョン) では 4096、AD5766 (16 ビット・バージョン) では 65536。

V_{MIN} はスパンの最小電圧。

抵抗ストリング

図 69 に、抵抗ストリング・セクションを示します。これは簡略化された抵抗ストリング構造で、各抵抗値は R です。DAC レジスタに読み込まれるデジタル・コードによって、出力アンプに供給する電圧をストリング上のどのノードに接続するか決定します。いずれかのスイッチを閉じて、ストリングをアンプに接続することにより、電圧が取り出されます。抵抗ストリングが使用されるので、DAC の単調増加性が確保されます。

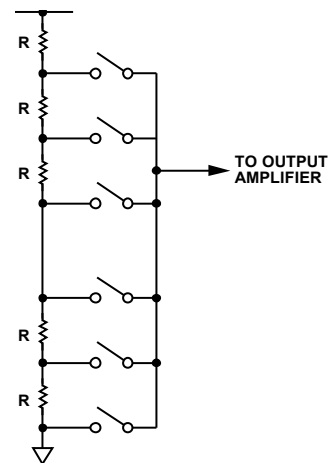
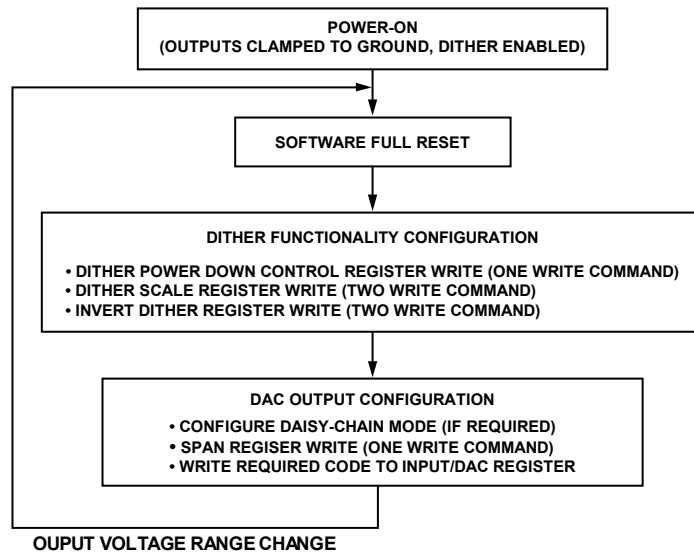


図 69. 抵抗ストリング

パワーオン・リセット (POR)

AD5766/AD5767 は、パワーアップ時に出力電圧を制御する POR 回路を内蔵しています。AD5766/AD5767 出力は、パワーアップ時にグラウンドにクランプされ、スパン・レジスタに対して有効な書き込みシーケンスが実行されます。この際、DAC の出力範囲が設定されるまで、このレベルでパワーアップが維持されます。パワーオン時に、ディザ機能も有効になります。

ソフトウェアで実行可能なリセット機能は、DAC をパワーアップ状態にリセットします。コマンド 0111 は、このリセット機能に割り当てられています (表 30 参照)。リセットと書き込みの間に必要な最小時間があります (表 4 の時間特性を参照)。図 70 に、パワーオン時の AD5766/AD5767 の設定に従ったプログラミング・シーケンスを示します。



15145-284

図 70. AD5766/AD5767 出力の書き込み/有効化のためのプログラミング・シーケンス

ディザ

外部ディザ信号は、ディザ・レジスタに適切な値を書き込むことで、任意の DAC 出力に結合できます。ディザ信号は、N0 と N1 の入力ピンに印加されます (図 71 を参照)。ディザが不要な場合は、これらのピンを AGND に接続します。ディザ信号の振幅の最大ピーク to ピーク電圧 (AC 電圧) は 0.25 V p-p です。絶対入力電圧 (AC および DC 電圧) は、0 V ~ AV_{CC} の範囲を超えてはいけません。必要に応じて、ディザ信号をチャンネルごとに内部で減衰または反転させることができます。10 kHz ~ 100 kHz の範囲のディザ信号をディザ入力ピンに印加できます。内部ディザ回路の性質により、出力の DC 値をシフトでき (表 1 を参照)、シフトを補償できます。ディザ機能に推奨される構成については、アプリケーション情報のセクションを参照してください。

ディザ・パワーダウン・モード

AD5766/AD5767 は、チャンネルごとのディザ・ブロック・パワーダウン・モードを備えています。コマンド 0101 がパワーダウン機能に予約されています (表 10 を参照)。パワーダウン・モードは、パワー・コントロール・レジスタの 4 ビット (ビット D19 ~

ビット D16) を設定することで、ソフトウェアでプログラムできます。チャンネルごとのディザ・ブロック・パワーダウン機能のアドレスを指定するには、D19 ~ D16 を 0001 に設定する必要があります (表 26 を参照)。ビット D16 の状態と対応するデバイスの動作モードを表 27 に示します。対応する 16 ビット (D15 ~ D0) を 1 に設定することで、すべてまたは任意の DAC のディザ機能を選択したモードにパワーダウンできます。

スパン・レジスタへの書き込みを実行してから、すべてのチャンネルをパワーダウンしてください。

監視マルチプレクサ

AD5766/AD5767 は、シリアル・インターフェース経由で指定されるアナログ・マルチプレクサによるチャンネル監視機能を備えています。これにより、外部監視用に任意のチャンネルを共通の MUX_OUT ピンにルーティングできます。

MUX_OUT ピンはバッファされないので、このピンから流れる電流の量により、スイッチ間の電圧が低下し、監視対象の電圧で誤差が発生します。そのため、MUX_OUT ピンは高インピーダンスの入力のみ接続するか、外部でバッファする必要があります。

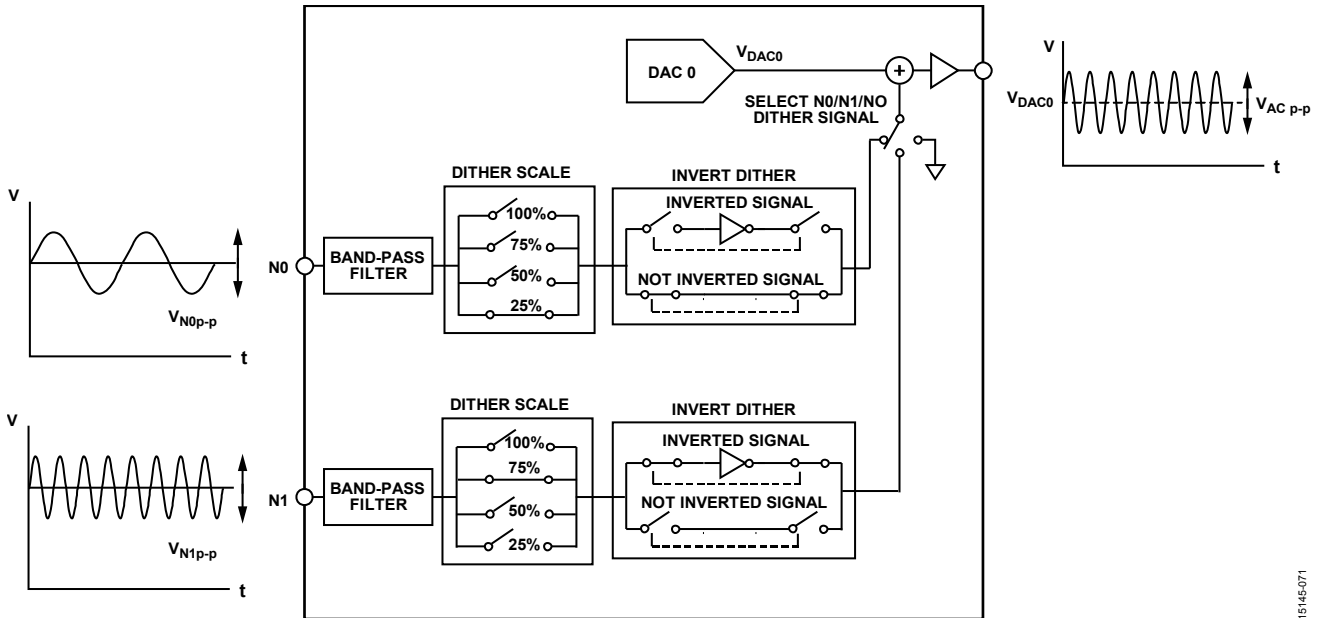


図 71. ディザ信号生成

15145-071

シリアル・インターフェース

AD5766/AD5767 4 線式 (SYNC、SCLK、SDI、SDO) インターフェースは、ほとんどのデジタル信号プロセッサ (DSP) と同様に、SPI、QSPI、および MICROWIRE インターフェース規格と互換性があります。SYNC ラインをロー・レベルにした後に書き込みシーケンスが開始し、SDI ピンから完全なデータワードが読み込まれるまで、このラインはロー・レベルに維持されます。データは SCLK 立下がりエッジ遷移で AD5766/AD5767 に読み込まれます (図 2 を参照)。SYNC で立上がりエッジが検出されると、シリアル・データワードが表 10 の指示に従ってデコードされます。コマンドは、24 の倍数にする必要があります。そうしないと、デバイスはコマンドを無視します。AD5766/AD5767 は SDO ピンを備えているので、複数のデバイスをデジチェーン接続したり、ステータス・レジスタの内容をリードバックしたりできます。

リードバック動作

ステータス・レジスタの内容は、SDO ピンからリードバックできます。図 4 に、レジスタをデコードする方法を示します。読み出し用レジスタが指定された後の 24 クロック・サイクルで、SDO ピンからデータをクロック出力します。クロックは、SYNC がロー・レベルの間に適用する必要があります。単一レジスタの読み出しでは、無操作 (NOP) 機能でデータをクロック出力します。代わりに、複数レジスタの読み出しでは、2 番目に読み出すレジスタが指定されると同時に、最初に指定されたレジスタのデータがクロック出力されます。

デジチェーン動作

デジチェーンは、制御 IC で必要なポート・ピンの数を最低限に抑えます。図 72 に示すように、あるパッケージの SDO ピンを次のパッケージの SDI ピンに接続する必要があります。デジチェーン・モードを有効にするには、表 15 の DC_EN ビットをハイ・レベルにする必要があります。2 台の AD5766/AD5767 デバイスをデジチェーン接続する場合は、48 ビットのデータが必要です。図 72 に示すように、最初の 24 ビットは U2 に割り当てられ、次の 24 ビットは U1 に割り当てられます。すべての 48 ビットが対応するシリアル・レジスタに入力されるまで、SYNC ピンをロー・レベルに維持します。

次に、SYNC ピンがハイ・レベルになり、動作が完了します。

データが (ノイズなどにより) 誤ってロックされないように、デバイスは内部カウンタを搭載しています。SCLK 立下がりエッジのカウンタが 24 の倍数でない場合、デバイスはコマンドを無視します。有効なクロック・カウンタは、24、48、72 などです。SYNC がハイに戻ると、カウンタはリセットされます。

デジチェーン・モードはデフォルトで無効になっています。このモードは、デジチェーン制御レジスタを使用して有効にします (表 15 を参照)。

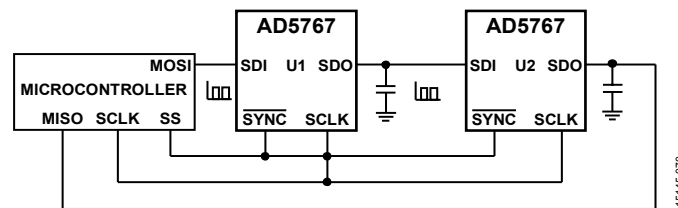


図 72. デジチェーンのブロック図

レジスタの詳細

入カシフト・レジスタ

AD5766/AD5767の入カシフト・レジスタは24ビット幅です。データはMSBファースト（DB23）で読み込まれます。最初の4ビットはコマンド・ビットC3～C0（図73を参照）、次の4ビットはDACアドレス・ビット（表11を参照）、最後のビット列はデータ・ビットです。24ビット・データワードは、SCLKの24個の立下がりエッジで入力レジスタに転送され、SYNCの立上がりエッジで更新されます。

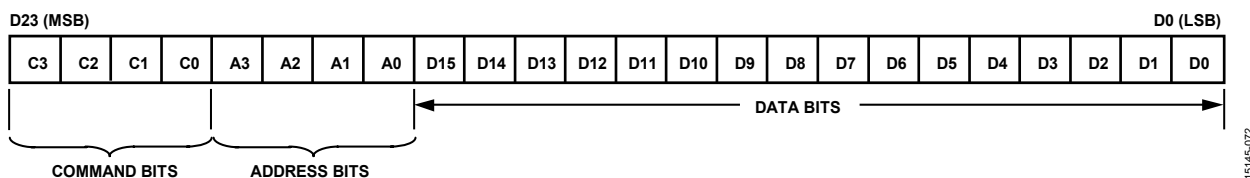


図 73. 入カシフト・レジスタ値

表 10. コマンドの定義¹

C3	C2	C1	C0	A3	A2	A1	A0	名前	説明
0	0	0	0	0	0	0	0	NOP/monitor mux control	動作なし（オール0のレジスタ）。監視マルチプレクサ制御レジスタ（D4=1）を使用して、MUX_OUTピンでDAC出力ありと出力なしのどちらに切り替えるか決定します。
0	0	0	0	0	0	0	1	デジタイゼーション・モード	デジタイゼーション・モードでSDO出力バッファを有効/無効にします。
0	0	0	1	A3 ²	A2 ²	A1 ²	A0 ²	Write to DACx input register	選択したDACチャンネルに対して、入力レジスタにデータを書き込みます。
0	0	1	0	A3 ²	A2 ²	A1 ²	A0 ²	入力レジスタおよびDACレジスタへの書き込み	選択したDACチャンネルに対して、入力レジスタとDACレジスタにデータを書き込みます。
0	0	1	1	X	X	X	X	Software load DAC (LDAC)	対応する入力レジスタのデータを使用して、選択したDACをアップロードします。
0	1	0	0	X	X	X	X	Span	AD5766/AD5767の出力スパンを選択します。
0	1	0	1	X	X	X	0	予備	該当せず。
0	1	0	1	0	0	0	1	ディザ電源制御	個別のDACチャンネルでディザ機能をパワー・アップ/ダウンします。
0	1	1	0	X	X	X	X	すべてのDACレジスタへの入力データの書き込み	すべてのDACチャンネルの入力レジスタとDACレジスタにデータを書き込みます。
0	1	1	1	0	0	0	0	ソフトウェア・フル・リセット	このレジスタに0x1234を書き込むと、AD5766/AD5767がリセットされます。
1	0	0	0	A3 ²	A2 ²	A1 ²	A0 ²	リードバックするレジスタの選択	選択したDACチャンネルに対して、リードバックするレジスタを選択します。
1	0	0	1	X	X	X	X	Apply N0 or N1 dither signal to DACs (DAC 7 to DAC 0)	各DAC出力に対して、N0のディザ信号を印加する、N1のディザ信号を印加する、またはディザを印加しないか選択します。
1	0	1	0	X	X	X	X	Apply N0 or N1 dither signal to DACs (DAC 15 to DAC 8)	各DAC出力に対して、N0のディザ信号を印加する、N1のディザ信号を印加する、またはディザを印加しないか選択します。
1	1	0	0	X	X	X	X	Dither scale (DAC 7 to DAC 0)	選択したDAC出力に印加するディザ信号をスケールリングします。
1	1	0	1	X	X	X	X	Dither scale (DAC 15 to DAC 8)	選択したDAC出力に印加するディザ信号をスケールリングします。
1	0	1	1	X	X	X	X	Invert dither	選択したDAC出力に印加するディザ信号を反転します。
1	1	1	0	X	X	X	X	予備	該当せず。
1	1	1	1	X	X	X	X	予備	該当せず。

¹ Xはドントケア。

² アドレス・ビットの設定については、表11を参照してください。

表 11 に、DAC x アドレス・コマンドを示します。WLCSP パッケージを使用するが、16 チャンネルすべてが必要でないアプリケーションでは、クロストークやデジタル・フィードスルーの影響を受けやすいので、チャンネル 8 を使用しないでください。

表 11. DAC x アドレス・コマンド

Address				Selected DAC
A3	A2	A1	A0	
0	0	0	0	DAC 0
0	0	0	1	DAC 1
0	0	1	0	DAC 2
0	0	1	1	DAC 3
0	1	0	0	DAC 4
0	1	0	1	DAC 5
0	1	1	0	DAC 6
0	1	1	1	DAC 7
1	0	0	0	DAC 8
1	0	0	1	DAC 9
1	0	1	0	DAC 10
1	0	1	1	DAC 11
1	1	0	0	DAC 12
1	1	0	1	DAC 13
1	1	1	0	DAC 14
1	1	1	1	DAC 15

監視マルチプレクサ制御

監視マルチプレクサ制御コマンドは、目的の D [4:0] 値に従って、MUX_OUT ピンで DAC 出力ありと出力なしのどちらに切り替えるか決定します。動作コマンドをアサートしない場合は、D15 ~ D0 ビットすべてに 0 を書き込みます。

表 12. 監視マルチプレクサ制御レジスタ

D23	D22	D21	D20	D19	D18	D17	D16	D15 to D5	D4 to D0
0	0	0	0	0	0	0	0	Don't care	VOUT_SEL

表 13. マルチプレクサからの出力電圧選択

VOUT_SEL, Bits[4:0] ¹					Mux Output
0	X	X	X	X	No output is switched out
1	0	0	0	0	V _{OUT0}
1	0	0	0	1	V _{OUT1}
1	0	0	1	0	V _{OUT2}
1	0	0	1	1	V _{OUT3}
1	0	1	0	0	V _{OUT4}
1	0	1	0	1	V _{OUT5}
1	0	1	1	0	V _{OUT6}
1	0	1	1	1	V _{OUT7}
1	1	0	0	0	V _{OUT8}
1	1	0	0	1	V _{OUT9}
1	1	0	1	0	V _{OUT10}
1	1	0	1	1	V _{OUT11}
1	1	1	0	0	V _{OUT12}
1	1	1	0	1	V _{OUT13}
1	1	1	1	0	V _{OUT14}
1	1	1	1	1	V _{OUT15}

¹ X はドントケア。

動作なし

オール0を書き込んでも、デバイスの状態は変わりません。

表 14. 動作なしレジスタ

D23	D22	D21	D20	D19	D18	D17	D16	D15 to D0
0	0	0	0	0	0	0	0	0000 0000 0000 0000

デイジーチェーン・モード

デイジーチェーン・モードを使用するには、デイジーチェーン制御レジスタの DC_EN ビットを有効にします。このビットは、内部 SDO バッファにリンクされます。この機能が不要の場合、DC_EN ビットを 0 に設定すれば、SDO バッファで消費される電力を節約できます。

表 15. デイジーチェーン制御レジスタ

D23	D22	D21	D20	D19	D18	D17	D16	D15 to D1	D0
0	0	0	0	0	0	0	1	ドントケア	DC_EN

表 16. デイジーチェーン有効/無効ビットの説明

DC_EN	説明
0	デイジーチェーン無効 (デフォルト)
1	デイジーチェーン有効

書き込みコマンドと更新コマンド

DAC x 入力レジスタへの書き込み

このコマンドを実行すると、各 DAC 専用の入力レジスタに個別に値を書き込めます。更新するように指定されたチャンネルが含まれるビットでソフトウェア LDAC レジスタへの書き込みが発生するまで、DAC の出力値は変わりません。

表 17. AD5766 の DAC x 入力レジスタへの書き込み

D23	D22	D21	D20	D19 to D16	D15 to D0
0	0	0	1	DAC x アドレス (表 11 を参照)	入力レジスタ・データ

表 18. AD5767 の DAC x 入力レジスタへの書き込み

D23	D22	D21	D20	D19 to D16	D15 to D4	D3 to D0
0	0	0	1	DAC x アドレス (表 11 を参照)	入力レジスタ・データ	ドントケア

入力レジスタおよび DAC レジスタへの書き込み

このコマンドを実行すると、選択された DAC レジスタに値が書き込まれ、出力が更新されます。

表 19. AD5766 の DACx 入力および DAC レジスタへの書き込み

D23	D22	D21	D20	D19 to D16	D15 to D0
0	0	1	0	DAC x アドレス (表 11 を参照)	入力レジスタ・データ

表 20. AD5767 の DACx 入力および DAC レジスタへの書き込み

D23	D22	D21	D20	D19 to D16	D15 to D4	D3 to D0
0	0	1	0	DAC x アドレス (表 11 を参照)	入力レジスタ・データ	ドントケア

ソフトウェア LDAC レジスタ

このコマンドを実行すると、選択した入力レジスタから対応する DAC レジスタにデータがコピーされ、出力が更新されます。

表 21. ソフトウェア LDAC レジスタ

D23	D22	D21	D20	D19 to D16	D15 to D0
0	0	1	1	ドントケア	LDAC (各チャンネルのビット)

表 22. LDAC ビットの説明

LDAC	説明
0	チャンネルを更新しない
1	チャンネルの更新

スパン・レジスタ

このレジスタは、AD5766/AD5767 の出力スパンを選択します。表 24 および表 25 を参照。スパン・レジスタへの書込みを実行する前に、必ずソフトウェア・リセットを実行してください。

表 23. スパン・レジスタ

D23	D22	D21	D20	D19 to D5	D4 to D3	D2 to D0
0	1	0	0	ドントケア	P [1:0] (パワーアップ条件)	S [2:0] (スパン)

表 24. スパン選択

S2	S1	S0	Output Voltage Range
0	0	0	-20 V to 0 V
0	0	1	-16 V to 0 V
0	1	0	-10 V to 0 V
0	1	1	-12 V to +14 V
1	0	0	-16 V to +10 V
1	0	1	-10 V to +6 V
1	1	0	-5 V to +5 V
1	1	1	-10 V to +10 V

表 25. パワーアップ状態の選択

P1	P0	Power-Up Condition
0	0	Zero scale
0	1	Midscale
1	Don't care	Full scale

ディザ・パワー・コントロール・レジスタ

D [19:16] = 0001 のディザ・パワー・コントロール・レジスタを使用して、個別の DAC のディザ機能をパワーアップまたはパワーダウンします。ディザ入力 N0 または N1 にディザ信号が入力されない場合は、AD5766/AD5767 への最初の書込み中に選択したチャンネルのディザ・ブロックをパワーダウンすることが推奨されます。

表 26. ディザ・パワー・コントロール・レジスタ

D23	D22	D21	D20	D19	D18	D17	D16	D15 to D0
0	1	0	1	0	0	0	1	各チャンネルのディザ・ブロックのパワーダウン・ビット (例: D15 = DAC 15, D8 = DAC 8, D0 = DAC 0)

表 27. ディザ電源制御

D16	動作モード
0	通常動作 (デフォルト)
1	パワーダウン

すべての DAC レジスタへの入力データの書込み

このコマンドを実行すると、D [15:0] に含まれるデータがすべての DAC のレジスタに書き込まれ、すべての DAC 出力が同じ値に設定されます。AD5766/AD5767 では、16 ビット分解能 DAC では D [15:0]、12 ビット分解能バージョンでは D [15:4] にデータが書き込まれます。

表 28. AD5766 のすべての DAC レジスタへの入力データの書込み

D23	D22	D21	D20	D19 to D16	D15 to D0
0	1	1	0	ドントケア	DAC 入力レジスタ・データ

表 29. AD5767 のすべての DAC レジスタへの入力データの書込み

D23	D22	D21	D20	D19 to D16	D15 to D4	D3 to D0
0	1	1	0	ドントケア	DAC 入力レジスタ・データ	ドントケア

ソフトウェア・フル・リセット

0x1234 を書き込むと、リセット・ルーチンが開始し、AD5766/AD5767 がパワーオン状態に戻ります。

表 30. ソフトウェア・フル・リセット・レジスタ

D23	D22	D21	D20	D19 to D16	D15 to D12	D11 to D8	D7 to D4	D3 to D0
0	1	1	1	0000	0001	0010	0011	0100

リードバックするレジスタの選択

このコマンドを実行すると、リードバックするレジスタが選択されます（表 31 を参照）。このコマンドの実行後、選択されたレジスタの内容は、次の 24 ビット・フレームで SDO にクロック出力されます（表 32 を参照）。

表 31. リードバック・レジスタの開始

D23	D22	D21	D20	D19 to D16	D15 to D0
1	0	0	0	DAC x アドレス（表 11 を参照）	ドントケア

表 32. リードバック・データ・レジスタ

D23	D22	D21	D20	D19 to D16	D15 to D10	D9	D8 to D7	D6 to D5	D4	D3	D2 to D0
1	0	0	0	DAC x アドレス （表 11 を参照）	000000	Invert dither	Dither scale	Dither signal	予備	予備	Span S[2:0]

表 33. リードバック・レジスタ・データの機能

ビット名	説明			
Span S[2:0]	スパン・レジスタ			
	D2	D1	D0	出力電圧範囲
	0	0	0	-20 V ~ 0 V
	0	0	1	-16 V ~ 0 V
	0	1	0	-10 V ~ 0 V
	0	1	1	-12 V ~ +14 V
	1	0	0	-16 V ~ +10 V
	1	0	1	-10 V ~ +6 V
	1	1	0	-5 V ~ +5 V
1	1	1	-10 V ~ +10 V	
予備	これは予備ビットです。内容は無視			
Dither Signal	N0 または N1 のディザ信号を DAC レジスタに印加			
	D6	D5	ディザ設定	
	0	0	ディザの印加なし	
	0	1	N0 ディザを印加	
	1	0	N1 ディザを印加	
1	1	ディザの印加なし		
Dither Scale	ディザ・スケール・レジスタ			
	D8	D7	スケールリング・ファクタ	
	0	0	スケールリングなし	
	0	1	75 % スケールリング	
	1	0	50 % スケールリング	
1	1	25 % スケールリング		
Invert Dither	反転ディザ・レジスタ			
	D9	ディザ・モード		
	0	ディザ信号は反転されません		
1	ディザ信号は反転されます			

N0 または N1 のディザ信号を DAC レジスタに印加

このコマンドは、選択された DAC に N0 または N1 のどちらのディザ信号を印加するか決定します。ディザ信号を構成し、スパン・レジスタに書き込みを実行してグラウンドへのクランプを除去してから、ディザ信号を AD5766/AD5767 出力に結合します。詳細については、アプリケーション情報のセクションを参照してください。

表 34. N0 または N1 のディザ信号を DAC レジスタ (DAC 7 ~ DAC 0) に印加

D23 to D20	D19 to D16	D15 to D14	D13 to D12	D11 to D10	D9 to D8	D7 to D6	D5 to D4	D3 to D2	D1 to D0
1001	Don't care	DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0

表 35. N0 または N1 のディザ信号を DAC レジスタ (DAC 15 ~ DAC 8) に印加

D23 to D20	D19 to D16	D15 to D14	D13 to D12	D11 to D10	D9 to D8	D7 to D6	D5 to D4	D3 to D2	D1 to D0
1010	Don't care	DAC 15	DAC 14	DAC 13	DAC 12	DAC 11	DAC 10	DAC 9	DAC 8

例として、表 36 にビット [D15:D14] を使用したディザのスケール設定を示します。N0 ディザを DAC 7 に適用するには (表 34 を参照)、D15 を 0、D14 を 1 に設定します。表 34 および表 35 では、同じディザ選択の設定を別のビット、ビット [D13:D12]、ビット [D11:D10]、ビット [D9:D8]、ビット [D7:D6]、ビット [D5:D4]、ビット [D3:D2]、およびビット [D1:D0] に適用します。

表 36. DAC x (DAC 0 ~ DAC 15) のディザ選択

D15	D14	ディザ設定
0	0	ディザの印加なし
0	1	N0 ディザを適用
1	0	N1 ディザを適用
1	1	ディザの印加なし

DITHER SCALE

このコマンドは、ディザをスケールしてから選択されたチャンネルに適用します。

表 37. ディザ・スケール・レジスタ (DAC 7 ~ DAC 0)

D23 to D20	D19 to D16	D15 to D14	D13 to D12	D11 to D10	D9 to D8	D7 to D6	D5 to D4	D3 to D2	D1 to D0
1100	Don't care	DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0

表 38. ディザ・スケール・レジスタ (DAC 15 ~ DAC 8)

D23 to D20	D19 to D16	D15 to D14	D13 to D12	D11 to D10	D9 to D8	D7 to D6	D5 to D4	D3 to D2	D1 to D0
1101	Don't care	DAC 15	DAC 14	DAC 13	DAC 12	DAC 11	DAC 10	DAC 9	DAC 8

例として、表 39 にビット [D15:D14] を使用したディザのスケール設定を示します。DAC 7 に 25% のスケールを適用するには (表 37 を参照)、D15 を 1、D14 を 1 に設定します。表 34 および表 35 では、同じディザスケール設定を別のビット、ビット [D13:D12]、ビット [D11:D10]、ビット [D9:D8]、ビット [D7:D6]、ビット [D5:D4]、ビット [D3:D2]、およびビット [D1:D0] に適用します。

表 39. DAC x (DAC 0 ~ DAC 15) へのディザ信号の印加

D15	D14	スケール・ファクタ
0	0	スケールなし
0	1	75% スケール
1	0	50% スケール
1	1	25% スケール

反転ディザ・レジスタ

適切なビットが 0 に設定されている場合にこのコマンドを実行すると、選択された DAC に適用されるディザが反転します。

表 40. 反転ディザ・レジスタ

D23	D22	D21	D20	D19 to D16	D15 to D0
1	0	1	1	ドントケア	Dx (各チャンネルの反転ディザ・ビット)

表 41. Invert Dither

Dx	ディザ・モード
0	ディザ信号は反転されません (デフォルト)
1	ディザ信号は反転されます

アプリケーション情報

ディザ構成

AD5766/AD5767には、16個のDAC出力チャンネルのいずれかにディザ・トーン信号を結合できる2つのディザ入力ピンがあります。

ディザ機能を使用してAD5766/AD5767を動作させると、ディザ機能が有効または無効な場合にDAC出力で発生するトランジェントの振幅を最低限に抑えられます。ディザ機能の推奨される構成は、次のとおりです。

1. AD5766/AD5767のパワーアップ後、ディザ・スケール・レジスタに書き込みを実行し、必要に応じてディザ・レジスタを反転させ、入力ディザ信号を構成する必要があります。
2. AD5766/AD5767を通常動作モードに設定してから、スパン・レジスタをプログラミングしてディザを適用します。
3. 書き込みを実行してN0またはN1のディザ信号をDACレジスタに適用し、N0/N1の入力ディザ信号を任意のDAC出力V_{OUTX}に結合します。

チャンネルでディザ機能を有効にすると、デジタル・フィードスルーの感度が向上します。

熱に関する考慮事項

AD5766/AD5767の各チャンネルでは、最大±20 mAの電流を供給できます。そのため、パッケージの消費電力による影響とジャンクション温度に与える影響を理解することが重要です。内部ジャンクション温度が150 °Cを超えないようにしてください。AD5766/AD5767は、49ボール、4 mm×4 mm WLCSPパッケージと40ピン6 mm×6 mm LFCSPPパッケージを採用しています。熱抵抗θ_{JA}は、絶対最大定格のセクションで仕様規定されています。デバイスの動作中は、ジャンクション温度が絶対最大定格のセクションで仕様規定された最大温度を超えないように注意してください。

熱計算の例(WLCSP)のセクションでは、ダイ温度と許容周辺温度の最大値の計算方法について詳細に説明しています。AV_{DD}、AV_{SS}、AV_{CC}、V_{LOGIC}ピンでの静止電流もジャンクション温度の計算に含める必要があります。これらの計算には、表1で仕様規定されている代表的な電源電流を使用します。

熱計算の例 (WLCSP)

この熱計算の例では、16個のチャンネルすべてを±10 Vの出力電圧でイネーブルにする必要があります。各チャンネルでは、1 Vの出力電圧に対して2 mAの電流が流れます。

$$AV_{DD} = \text{スパン} + 2 \text{ V} = 12 \text{ V}$$

$$AV_{SS} = \text{スパン} - 2 \text{ V} = -12 \text{ V}$$

$$AV_{CC} = V_{LOGIC} = 3.3 \text{ V}$$

ここで、スパンは出力電圧の範囲、±10 Vです。

16個のチャンネルに給電するのに必要な電流（出力電力）は、次のとおりです。

$$2 \text{ mA} \times 16 = 32 \text{ mA}$$

16個のチャンネルおよび6 mAの代表的な電源電流に給電するのに必要なAD5766/AD5767のAV_{DD}レールの電力は、次のとおりです。

$$12 \text{ V} \times (32 \text{ mA} + 6 \text{ mA}) = 0.456 \text{ W}$$

次のように、AV_{SS}、AV_{CC}、V_{LOGIC}レール（入力電力）による消費電力を追加します。

$$0.456 \text{ W} + (-12 \text{ V} \times -9 \text{ mA}) + (3.3 \text{ V} \times 8.3 \text{ mA}) + (3.3 \text{ V} \times 0.02 \mu\text{A}) = 0.59 \text{ W}$$

AD5766/AD5767の消費電力を計算するには、次式を使用します。

$$P_{DISS} = \text{入力電力} - \text{出力電力}$$

例えば

$$0.59 \text{ W} - (32 \text{ mA} \times 1 \text{ V}) = 0.558 \text{ W}$$

次に、ダイ温度を計算します。

$$0.558 \text{ W} \times 53 \text{ }^\circ\text{C/W} = 29.57 \text{ }^\circ\text{C}$$

次式を使用して、最大許容周辺温度を計算します。

$$T_{A\text{MAX}} = T_{J\text{MAX}} - \text{ダイ温度}$$

例えば

$$150 \text{ }^\circ\text{C} - 29.57 \text{ }^\circ\text{C} = 120 \text{ }^\circ\text{C}$$

θ_{JA}の仕様は、レイアウトのガイドラインセクションで説明されているように、適切なレイアウトとグラウンド技術に従い、消費電力が最低限に抑えられていると想定しています。

マイクロプロセッサ・インターフェース

マイクロプロセッサとAD5766/AD5767のインターフェースは、DSPやマイクロコントローラとの互換性を備えた標準プロトコルを使用するシリアル・バスを介して形成されます。この通信チャンネルでは、クロック信号、データ入力信号、データ出力信号、同期信号で構成される4線式のシリアル・インターフェースが必要です。デバイスには24ビットのデータワードが必要で、データはSCLKの立下がりエッジで有効になります。

AD5766/AD5767のSPIインターフェース

AD5766/AD5767のSPIインターフェースは、業界標準のDSPとマイクロコントローラに容易に接続できるように設計されています。図74に、アナログ・デバイセズADSP-BF531 Blackfin® DSPに接続されたAD5766/AD5767を示します。Blackfinは、AD5766/AD5767のSPIピンに直接接続できるSPIポートを内蔵しています。

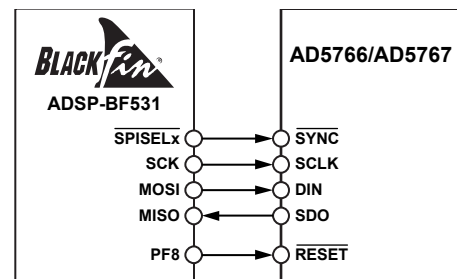


図 74. ADSP-BF531 SPI インターフェース

レイアウトのガイドライン

精度が重要になる回路では、電源とグラウンド・リターンレイアウトを慎重に検討することが、定格性能の確保に役立ちます。AD5766/AD5767がマウントされるPCBでは、AD5766/AD5767をアナログ・プレーン上に配置するように設計する必要があります。ボード上では、アナログとデジタルのセクションを分離してください。別のデバイスがAGNDとDGNDの接続を必要とするシステムでAD5766/AD5767を使用する場合、1点のみで接続する必要があります。このグラウンド・ポイントは、可能な限りAD5766/AD5767に近づけてください。

AD5766/AD5767には、各電源に10 μF と0.1 μF の並列接続による十分な電源バイパスが必要で、パッケージのできるだけ近くに、理想的にはデバイスに隣接させて配置します。10 μF のコンデンサには、タンタルのビード型を使用します。0.1 μF のコンデンサには、低い等価直列抵抗 (ESR) と低い等価直列インダクタンス (ESI) が必要です。例えば、セラミック・コンデンサは、高い周波数ではグラウンドへの低インピーダンス経路を提供することで、内部ロジックの切り替えによる過渡電流に対応します。

電源ラインのパターンをできるだけ大きくして低インピーダンス経路を確保し、電源ラインのグリッチによる影響を減らすようにします。クロックなどの高速スイッチング・デジタル信号をボード上の他の部分からシールドするには、デジタル・グラウンドを使用します。可能であれば、デジタル信号とアナログ信号のクロ

スオーバーは避けてください。各パターンがボードの両側で交差する場合は、アナログ配線とデジタル配線を直角に交差させ、ボードのフィードスルーを削減するようにしてください。ボードのレイアウトには、マイクロストリップ技術が最適です。この技術では、ボードのグラウンド・プレーンの上に部品を配置し、信号パターンはハンダ面に配置します。ただし、この技術は2層ボードで実現できない場合があります。

多くの場合、放熱を容易にするため、なんらかのヒートシンクを備えると効果的です。

WLCSPパッケージでは、ハンダ・ボールからPCBボードに熱が伝達されます。 θ_{JA} の熱抵抗は、ボード構造によって決定されます。銅の層を増やすと、効率よく熱を除去できます。

AD5766/AD5767のLFCSPパッケージには、デバイスの下に露出パッドがあります。このパッドを、デバイスのAV_{SS}電源に接続してください。性能を最大限に引き出すために、マザーボードの設計中と、パッケージの取り付け時は特に注意してください。熱、電気、ボード・レベルの性能を高めるには、PCB上の対応するサーマル・ランド・パットに、パッケージ下部の露出パッドをハンダ付けしてください。さらに放熱性を高めるには、PCBランド・パット領域でサーマル・バイアスを設計します。

デバイス上のAV_{SS}プレーンを大きくすることにより、自然な放熱効果を達成できます (図75参照)。

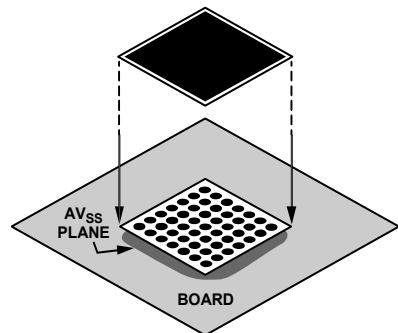


図 75. ボードに接続された露出パッド

外形寸法

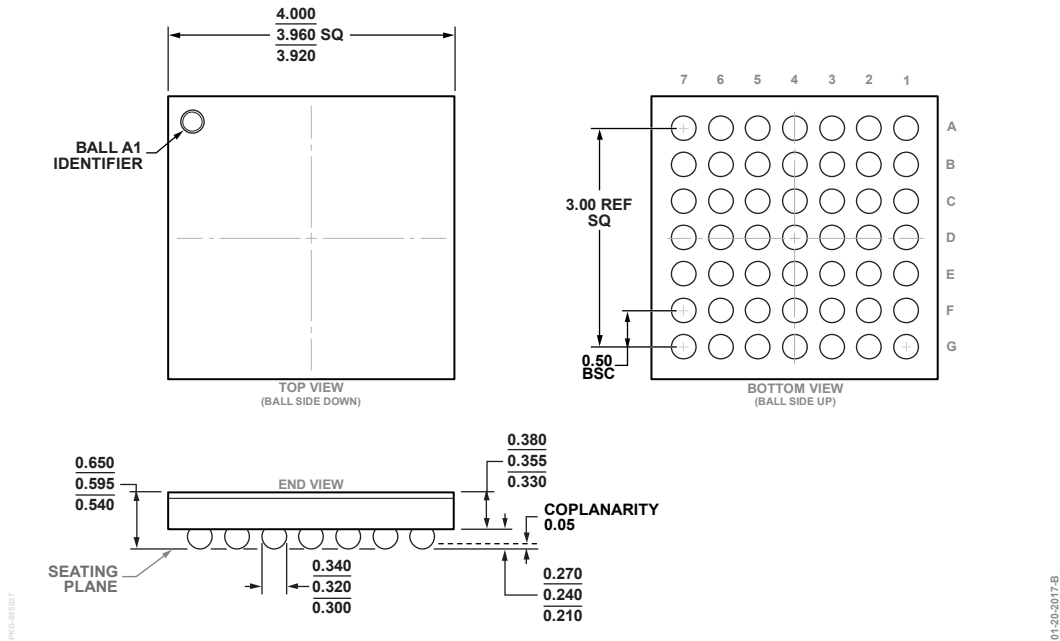


図 76.49 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-49-4)
寸法単位: mm

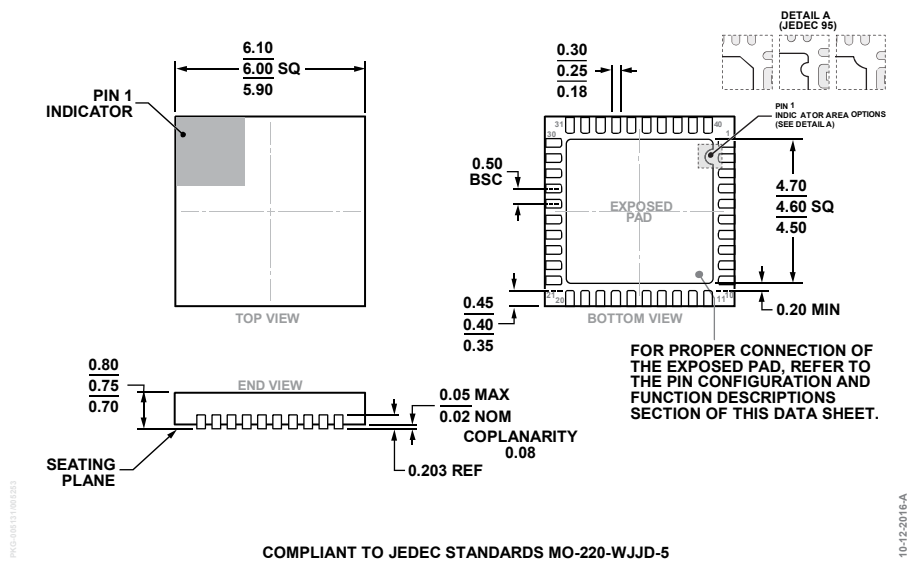


図 77.40 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
6 mm × 6 mm、0.75 mm パッケージ高 (CP-40-7)
寸法: mm

オーダー・ガイド

Model ¹	Resolution (Bits)	Temperature Range	Package Description	Package Option
AD5766BCBZ-RL7	16	-40°C to +105°C	49-Ball Wafer Level Chip Scale Package [WLCSP]	CB-49-4
AD5767BCBZ-RL7	12	-40°C to +105°C	49-Ball Wafer Level Chip Scale Package [WLCSP]	CB-49-4
AD5767BCPZ-RL7	12	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-7
EVAL-AD5766SD2Z			Evaluation Board	
EVAL-AD5767SD2Z			Evaluation Board	

¹ Z = RoHS 準拠製品