



# 2ppm/°C リファレンス SPI インターフェース内蔵の 16/14/12 ビット クワッド nanoDAC+

## AD5686R/AD5685R/AD5684R

### データシート

#### 特長

- 高い相対精度 (INL)。16 ビットで最大±2LSB
- 低ドリフト 2.5V リファレンス：2ppm/°C (代表値)
- 小型パッケージ：3mm × 3mm の 16 ピン LFCSP パッケージ
- 総合未調整誤差 (TUE)：FSR の±0.1% (最大値)
- オフセット誤差：±1.5mV (最大値)
- ゲイン誤差：FSR の±0.1% (最大値)
- 高い駆動能力：20mA、電源レールから 0.5V
- ユーザー設定可能なゲイン：1 または 2 (GAIN ピン)
- ゼロ・スケールまたはミッドスケールへのリセット (RSTSEL ピン)
- 1.8V ロジックに互換
- リードバックまたはデジチェーン付きの 50MHz SPI
- 低グリッチ：0.5nV-sec
- 低消費電力：3V で 3.3mW
- 電源電圧：2.7V~5.5V
- 温度範囲：-40°C~+105°C

#### アプリケーション

- 光トランシーバー
- 基地局用パワー・アンプ
- プロセス制御 (PLC I/O カード)
- 工業用オートメーション
- データ・アキュイジション・システム

#### 概要

nanoDAC+®ファミリに属する AD5686R/AD5685R/AD5684R は、低消費電力、クワッド、16/14/12 ビットのバッファ付き電圧出力 DAC です。このデバイスは、2.5V の 2ppm/°C リファレンス電圧 (デフォルトでイネーブル)、2.5V (ゲイン=1) または 5V (ゲイン=2) のフルスケール出力を選択するゲイン選択ピンを内蔵しています。すべてのデバイスは 2.7V~5.5V の単電源で動作し、デザインにより単調性が保証され、ゲイン誤差は 0.1% FSR 以下でオフセット誤差性能は 1.5mV です。これらのデバイスは、3mm × 3mm LFCSP パッケージまたは TSSOP パッケージを採用しています。

また、AD5686R/AD5685R/AD5684R はパワーオン・リセット回路と RSTSEL ピンも内蔵しています。この RSTSEL ピンを使うと、DAC 出力がゼロ・スケールまたはミッドスケールでパワーアップし、有効な書き込みが行われるまでその状態を維持させることができます。各デバイスは、チャンネルごとのパワーダウン機能を内蔵しています。この機能はパワーダウン・モードのデバイス消費電流を 3V で 4μA へ削減します。

AD5686R/AD5685R/AD5684R は、最大 50MHz のクロック・レートで動作する多機能な SPI インターフェースを採用し、すべてのデバイスは 1.8V/3V/5V ロジック用の V<sub>Logic</sub> ピンを内蔵しています。

#### 機能ブロック図

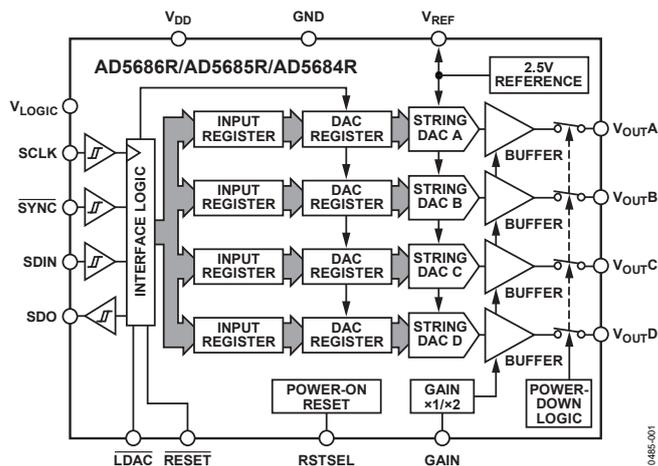


図 1.

表 1. クワッド nanoDAC+ デバイス

Interface	Reference	16-Bit	14-Bit	12-Bit
SPI	Internal	AD5686R	AD5685R	AD5684R
	External	AD5686		AD5684
I <sup>2</sup> C	Internal	AD5696R	AD5695R	AD5694R
	External	AD5696		AD5694

#### 製品のハイライト

- 高い相対精度 (INL)。
  - AD5686R (16 ビット)：最大±2LSB
  - AD5685R (14 ビット)：最大±1LSB
  - AD5684R (12 ビット)：最大±1LSB
- 低ドリフトの 2.5V リファレンス電圧を内蔵。
  - 温度係数：2ppm/°C (typ)
  - 最大温度係数：5ppm/°C
- 2 種類のパッケージ・オプション。
  - 3mm × 3mm の 16 ピン LFCSP パッケージ
  - 16 ピン TSSOP

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. E

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F  
電話 052 (569) 6300



## 仕様

特に指定がない限り、 $V_{DD} = 2.7V \sim 5.5V$ 、 $1.62V \leq V_{LOGIC} \leq 5.5V$ 、すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。 $R_L = 2k\Omega$ 、 $C_L = 200pF$ 。

表 2.

パラメータ	A グレード <sup>1</sup>			B グレード <sup>1</sup>			単位	テスト条件/コメント
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE <sup>2</sup>								
AD5686R								
Resolution	16			16			Bits	
Relative Accuracy		±2	±8		±1	±2	LSB	ゲイン=2
		±2	±8		±1	±3		ゲイン=1
Differential Nonlinearity			±1			±1	LSB	設計により単調増加性を確保
AD5685R								
Resolution	14			14			Bits	
Relative Accuracy		±0.5	±4		±0.5	±1	LSB	
Differential Nonlinearity			±1			±1	LSB	設計により単調増加性を確保
AD5684R								
Resolution	12			12			Bits	
Relative Accuracy		±0.12	±2		±0.12	±1	LSB	
Differential Nonlinearity			±1			±1	LSB	設計により単調増加性を確保
Zero-Code Error		0.4	4		0.4	1.5	mV	DAC レジスタの全ビットに 0 をロード
Offset Error		+0.1	±4		+0.1	±1.5	mV	
Full-Scale Error		+0.01	±0.2		+0.01	±0.1	% of FSR	DAC レジスタの全ビットに 1 をロード
Gain Error		±0.02	±0.2		±0.02	±0.1	% of FSR	
Total Unadjusted Error		±0.01	±0.25		±0.01	±0.1	% of FSR	外部リファレンス、ゲイン=2、TSSOP
			±0.25			±0.2	% of FSR	内部リファレンス、ゲイン=1、TSSOP
Offset Error Drift <sup>3</sup>		±1			±1		μV/°C	
Gain Temperature Coefficient <sup>3</sup>		±1			±1		ppm	FSR 比/°C
DC Power Supply Rejection Ratio <sup>3</sup>		0.15			0.15		mV/V	DAC コード = ミッドスケール、 $V_{DD} = 5V \pm 10\%$
DC Crosstalk <sup>3</sup>		±2			±2		μV	シングル・チャンネル、フルスケール出力変化による値
		±3			±3		μV/mA	負荷電流変化による値
		±2			±2		μV	パワーダウンによる値 (チャンネルあたり)
OUTPUT CHARACTERISTICS <sup>3</sup>								
Output Voltage Range	0		$V_{REF}$	0		$V_{REF}$	V	ゲイン=1
	0		$2 \times V_{REF}$	0		$2 \times V_{REF}$	V	ゲイン=2、 <a href="#">図 33</a> を参照
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1k\Omega$
Resistive Load <sup>4</sup>	1			1			kΩ	
Load Regulation		80			80		μV/mA	$5V \pm 10\%$ (DAC コード = ミッドスケール)、 $-30mA \leq I_{OUT} \leq 30mA$
		80			80		μV/mA	$3V \pm 10\%$ (DAC コード = ミッドスケール)、 $-20mA \leq I_{OUT} \leq 20mA$
Short-Circuit Current <sup>5</sup>		40			40		mA	
Load Impedance at Rails <sup>6</sup>		25			25		Ω	<a href="#">図 33</a> を参照
Power-Up Time		2.5			2.5		μs	パワーダウン・モード終了時、 $V_{DD} = 5V$

パラメータ	A グレード <sup>1</sup>			B グレード <sup>1</sup>			単位	テスト条件/コメント
	Min	Typ	Max	Min	Typ	Max		
REFERENCE OUTPUT								
Output Voltage <sup>7</sup>	2.4975		2.5025	2.4975		2.5025	V	室温時
Reference TC <sup>8,9</sup>		5	20		2	5	ppm/°C	用語の定義のセクションを参照してください。
Output Impedance <sup>3</sup>		0.04			0.04		Ω	
Output Voltage Noise <sup>3</sup>		12			12		μV p-p	0.1Hz~10Hz
Output Voltage Noise Density <sup>3</sup>		240			240		nV/√Hz	室温時、f = 10kHz、C <sub>L</sub> = 10nF
Load Regulation Sourcing <sup>3</sup>		20			20		μV/mA	室温時
Load Regulation Sinking <sup>3</sup>		40			40		μV/mA	室温時
Output Current Load Capability <sup>3</sup>		±5			±5		mA	V <sub>DD</sub> ≥ 3V
Line Regulation <sup>3</sup>		100			100		μV/V	室温時
Thermal Hysteresis <sup>3</sup>		125			125		ppm	最初のサイクル
		25			25		ppm	追加のサイクル
LOGIC INPUTS <sup>3</sup>								
Input Current			±2			±2	μA	ピンごと
V <sub>INL</sub> , Input Low Voltage			0.3 × V <sub>LOGIC</sub>			0.3 × V <sub>LOGIC</sub>	V	
V <sub>INH</sub> , Input High Voltage	0.7 × V <sub>LOGIC</sub>			0.7 × V <sub>LOGIC</sub>			V	
Pin Capacitance		2			2		pF	
LOGIC OUTPUTS (SDO) <sup>3</sup>								
Output Low Voltage, V <sub>OL</sub>			0.4			0.4	V	I <sub>SINK</sub> = 200μA
Output High Voltage, V <sub>OH</sub>	V <sub>LOGIC</sub> - 0.4			V <sub>LOGIC</sub> - 0.4			V	I <sub>SOURCE</sub> = 200μA
Floating State Output Capacitance		4			4		pF	
POWER REQUIREMENTS								
V <sub>LOGIC</sub>	1.62		5.5	1.62		5.5	V	
I <sub>LOGIC</sub>			3			3	μA	
V <sub>DD</sub>	2.7		5.5	2.7		5.5	V	ゲイン = 1
V <sub>DD</sub>	V <sub>REF</sub> + 1.5		5.5	V <sub>REF</sub> + 1.5		5.5	V	ゲイン = 2
I <sub>DD</sub>								V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = GND, V <sub>DD</sub> = 2.7V~5.5V
Normal Mode <sup>10</sup>		0.59	0.7		0.59	0.7	mA	内部リファレンスをオフ
		1.1	1.3		1.1	1.3	mA	内部リファレンスをオン、フルスケール時
All Power-Down Modes <sup>11</sup>		1	4		1	4	μA	-40°C~+85°C
			6			6	μA	-40°C~+105°C

<sup>1</sup> 温度範囲 (A および B グレード) : -40°C~+105°C。

<sup>2</sup> 特に指定がない限り、DC 仕様は出力無負荷でテスト。上側デッドバンド = 10mV で、これは V<sub>REF</sub> = V<sub>DD</sub> かつゲイン = 1 の場合、または V<sub>REF</sub>/2 = V<sub>DD</sub> かつゲイン = 2 の場合のみ存在します。直線性は、縮小コード範囲 256~65,280 (AD5686R)、64~16,320 (AD5685R)、12~4080 (AD5684R) を使って計算。

<sup>3</sup> 設計と特性評価により確認されていますが、出荷テストは行われません。

<sup>4</sup> チャンネル A とチャンネル B は、最大 30mA の組み合わせ出力電流を持つことができます。同様に、チャンネル C とチャンネル D は、ジャンクション温度 110°C までで最大 30mA の組み合わせ出力電流を持つことができます。

<sup>5</sup> V<sub>DD</sub> = 5V。このデバイスは、一時的過負荷状態でデバイスを保護することを目的とした電流制限機能を内蔵しています。電流制限時にはジャンクション温度を超えることができます。規定の最大動作ジャンクション温度より上での動作はデバイスの信頼性を損なう可能性があります。

<sup>6</sup> いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 25Ω (typ) により制限されます。例えば、1mA のシンク電流の場合、最小出力電圧 = 25Ω × 1mA = 25mV となります (図 33 参照)。

<sup>7</sup> 前処理ハンダ・リフローでの初期精度は ±750μV です。出力電圧は前処理でのドリフトの影響を含みます。内蔵リファレンスのセットアップのセクションを参照してください。

<sup>8</sup> リファレンス電圧は 2 点の温度で調整/テストし、キャラクタライゼーションは -40°C~+105°C で行います。

<sup>9</sup> リファレンス電圧の温度係数はボックス法に準拠して計算します。詳細については、用語の定義のセクションを参照してください。

<sup>10</sup> インターフェースは非アクティブ状態。すべての DAC はアクティブ状態。DAC 出力は無負荷。

<sup>11</sup> すべての DAC がパワーダウン。

## AC 特性

特に指定がない限り、 $V_{DD} = 2.7V \sim 5.5V$ 、 $R_L = 2k\Omega$  (GND へ接続)、 $C_L = 200pF$  (GND へ接続)、 $1.62V \leq V_{Logic} \leq 5.5V$ 、すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定<sup>1</sup>

表 3.

パラメータ <sup>2</sup>	Min	Typ	Max	単位	テスト条件/コメント <sup>3</sup>
Output Voltage Settling Time					
AD5686R		5	8	$\mu s$	$\pm 2LSB$ までの $\frac{1}{4} \sim \frac{1}{4}$ スケール・セトリング・タイム
AD5685R		5	8	$\mu s$	$\pm 2LSB$ までの $\frac{1}{4} \sim \frac{1}{4}$ スケール・セトリング・タイム
AD5684R		5	7	$\mu s$	$\pm 2LSB$ までの $\frac{1}{4} \sim \frac{1}{4}$ スケール・セトリング・タイム
Slew Rate		0.8		$V/\mu s$	
Digital-to-Analog Glitch Impulse		0.5		$nV\text{-sec}$	メジャー・キャリー周辺で 1LSB の変化
Digital Feedthrough		0.13		$nV\text{-sec}$	
Digital Crosstalk		0.1		$nV\text{-sec}$	
Analog Crosstalk		0.2		$nV\text{-sec}$	
DAC-to-DAC Crosstalk		0.3		$nV\text{-sec}$	
Total Harmonic Distortion <sup>4</sup>		-80		dB	室温時、 $BW = 20kHz$ 、 $V_{DD} = 5V$ 、 $f_{OUT} = 1kHz$
Output Noise Spectral Density		300		$nV/\sqrt{Hz}$	DAC コード = ミッドスケール (10kHz)、ゲイン = 2 (内部リファレンスをイネーブル)
Output Noise		6		$\mu V$ p-p	0.1Hz~10Hz
SNR		90		dB	室温時、 $BW = 20kHz$ 、 $V_{DD} = 5V$ 、 $f_{OUT} = 1kHz$
SFDR		83		dB	室温時、 $BW = 20kHz$ 、 $V_{DD} = 5V$ 、 $f_{OUT} = 1kHz$
SINAD		80		dB	室温時、 $BW = 20kHz$ 、 $V_{DD} = 5V$ 、 $f_{OUT} = 1kHz$

<sup>1</sup> 設計と特性評価により確認されていますが、出荷テストは行われません。

<sup>2</sup> 用語の定義のセクションを参照してください。

<sup>3</sup> 温度範囲は  $-40^{\circ}C \sim +105^{\circ}C$ 、代表値は  $25^{\circ}C$  での値。

<sup>4</sup> デジタル的に生成した 1kHz のサイン波。

## タイミング特性

すべての入力信号は  $t_r = t_f = 1\text{ns}/V$  ( $V_{DD}$  の 10% から 90%) で規定し、電圧レベル ( $V_{IL} + V_{IH}$ ) / 2 からの時間とします。図 2 参照。特に指定がない限り、 $V_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $1.62\text{V} \leq V_{LOGIC} \leq 5.5\text{V}$ 、 $V_{REFIN} = 2.5\text{V}$ 。すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 4.

Parameter <sup>1</sup>	Symbol	$1.62\text{V} \leq V_{LOGIC} < 2.7\text{V}$		$2.7\text{V} \leq V_{LOGIC} \leq 5.5\text{V}$		Unit
		Min	Max	Min	Max	
SCLK Cycle Time	$t_1$	20		20		ns
SCLK High Time	$t_2$	10		10		ns
SCLK Low Time	$t_3$	10		10		ns
$\overline{\text{SYNC}}$ to SCLK Falling Edge Setup Time	$t_4$	15		10		ns
Data Setup Time	$t_5$	5		5		ns
Data Hold Time	$t_6$	5		5		ns
SCLK Falling Edge to $\overline{\text{SYNC}}$ Rising Edge	$t_7$	10		10		ns
Minimum $\overline{\text{SYNC}}$ High Time	$t_8$	20		20		ns
$\overline{\text{SYNC}}$ Rising Edge to $\overline{\text{SYNC}}$ Rising Edge (DAC Register Updates)	$t_9$	870		830		ns
$\overline{\text{SYNC}}$ Falling Edge to SCLK Fall Ignore	$t_{10}$	16		10		ns
$\overline{\text{LDAC}}$ Pulse Width Low	$t_{11}$	15		15		ns
$\overline{\text{SYNC}}$ Rising Edge to $\overline{\text{LDAC}}$ Rising Edge	$t_{12}$	20		20		ns
$\overline{\text{SYNC}}$ Rising Edge to $\overline{\text{LDAC}}$ Falling Edge	$t_{13}$	30		30		ns
$\overline{\text{LDAC}}$ Falling Edge to $\overline{\text{SYNC}}$ Rising Edge	$t_{14}$	840		800		ns
Minimum Pulse Width Low	$t_{15}$	30		30		ns
Pulse Activation Time	$t_{16}$	30		30		ns
Power-Up Time <sup>2</sup>		4.5		4.5		$\mu\text{s}$

<sup>1</sup> 設計と特性評価により確認されていますが、出荷テストは行われていません。

<sup>2</sup> AD5686R/AD5685R/AD5684R の動作がパワーダウン・モードから通常モードに移行するために要する時間。出力無負荷で、 $\overline{\text{SYNC}}$  の立上がりエッジから DAC ミッドスケール値の 90% まで。

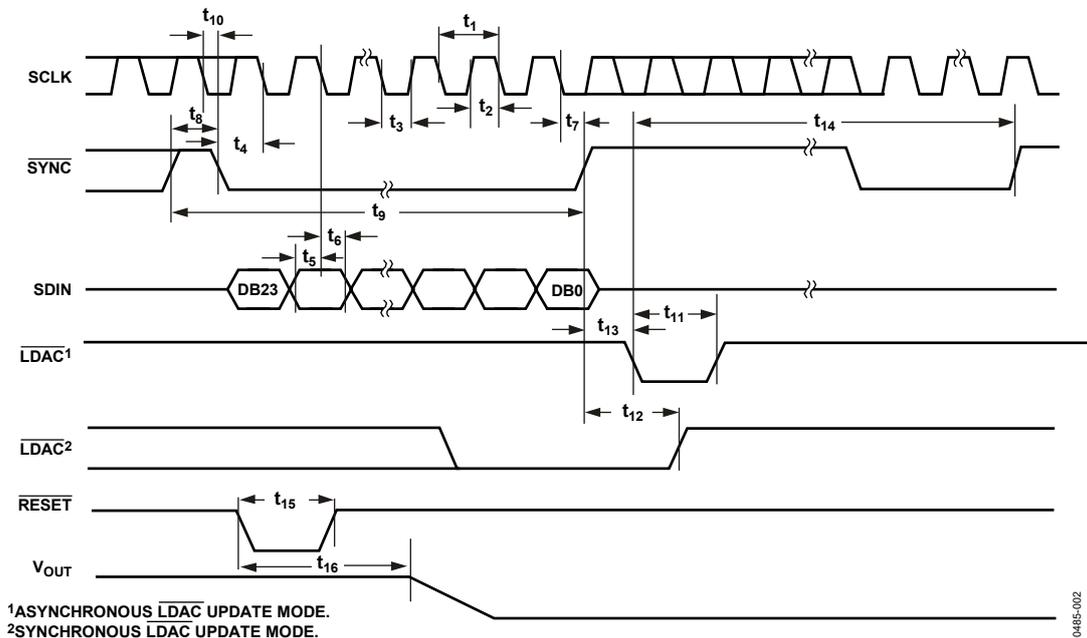


図 2. シリアル書き込み動作

## デジチェーンおよびリードバックのタイミング特性

すべての入力信号は  $t_r = t_f = 1\text{ns}/V$  ( $V_{DD}$  の 10% から 90%) で規定し、電圧レベル ( $V_{IL} + V_{IH}$ ) / 2 からの時間とします。図 4 と図 5 参照。特に指定がない限り、 $V_{DD} = 2.7V \sim 5.5V$ 、 $1.62V \leq V_{LOGIC} \leq 5.5V$ 、 $V_{REF} = 2.5V$ 。すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。  $V_{DD} = 2.7V \sim 5.5V$ 。

表 5.

Parameter <sup>1</sup>	Symbol	1.62V ≤ V <sub>LOGIC</sub> < 2.7V		2.7V ≤ V <sub>LOGIC</sub> ≤ 5.5V		Unit
		Min	Max	Min	Max	
SCLK Cycle Time	t <sub>1</sub>	66		40		ns
SCLK High Time	t <sub>2</sub>	33		20		ns
SCLK Low Time	t <sub>3</sub>	33		20		ns
SYNC to SCLK Falling Edge	t <sub>4</sub>	33		20		ns
Data Setup Time	t <sub>5</sub>	5		5		ns
Data Hold Time	t <sub>6</sub>	5		5		ns
SCLK Falling Edge to SYNC Rising Edge	t <sub>7</sub>	15		10		ns
Minimum SYNC High Time	t <sub>8</sub>	60		30		ns
SDO Data Valid from SCLK Rising Edge	t <sub>9</sub>		45		30	ns
SYNC Rising Edge to SCLK Falling Edge	t <sub>10</sub>	15		10		ns
SYNC Rising Edge to SDO Disable	t <sub>11</sub>	60		60		ns

<sup>1</sup> 設計と特性評価により確認されていますが、出荷テストは行われません。

## 回路およびタイミング図

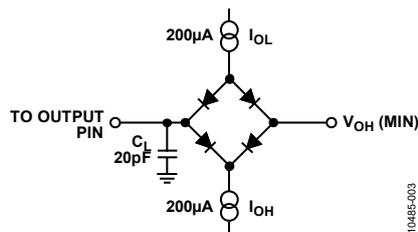


図 3. デジタル出力 (SDO) タイミング仕様の負荷回路

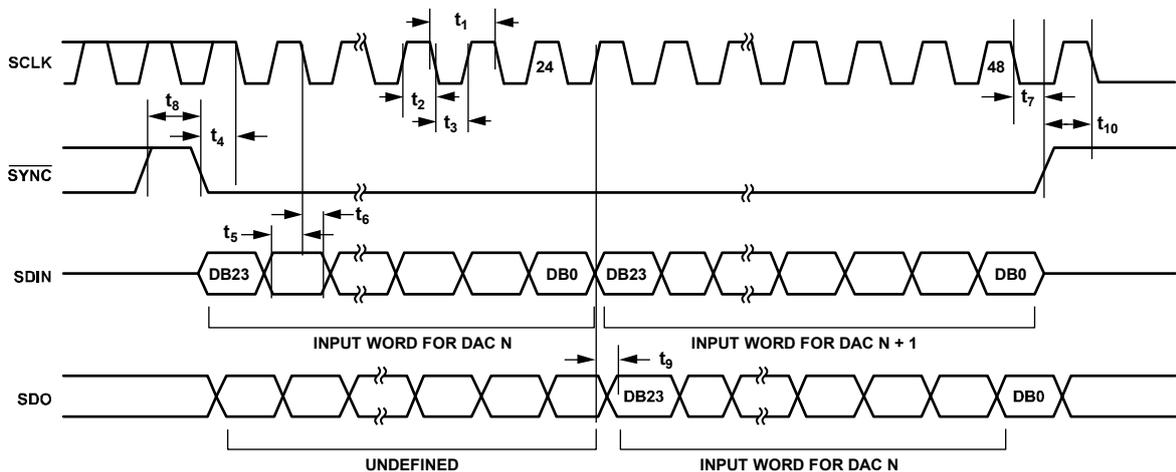


図 4. デジチェーンのタイミング図

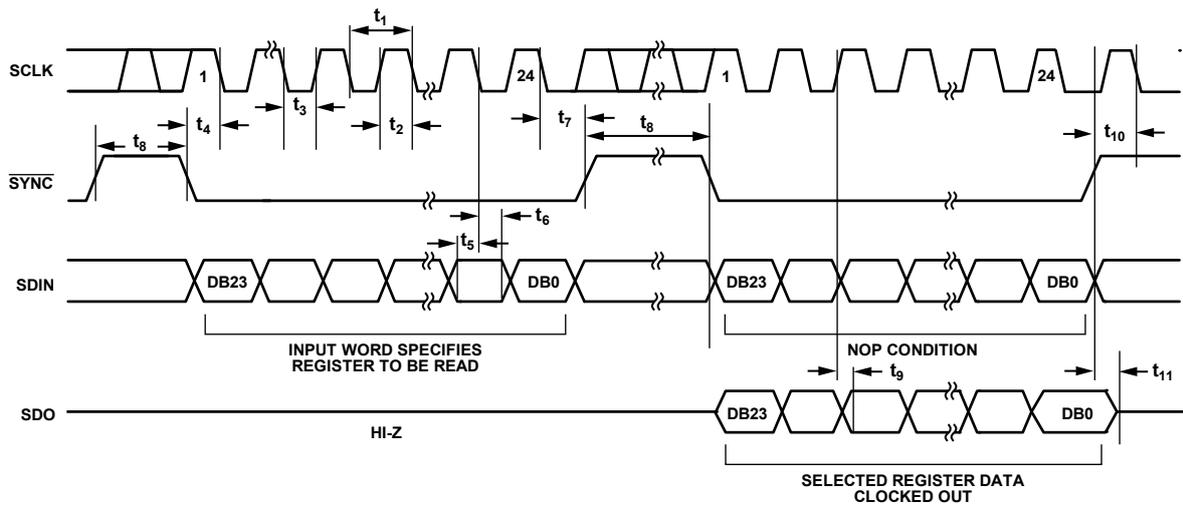


図 5. リードバックのタイミング図

10485-005

## 絶対最大定格

特に指定のない限り  $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7 V
$V_{LOGIC}$ to GND	-0.3 V to +7 V
$V_{OUT}$ to GND	-0.3 V to $V_{DD} + 0.3$ V
$V_{REF}$ to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
16-Lead TSSOP, $\theta_{JA}$ Thermal Impedance, 0 Airflow (4-Layer Board)	112.6°C/W
16-Lead LFCSP, $\theta_{JA}$ Thermal Impedance, 0 Airflow (4-Layer Board)	70°C/W
Reflow Soldering Peak Temperature, Pb Free (J-STD-020)	260°C

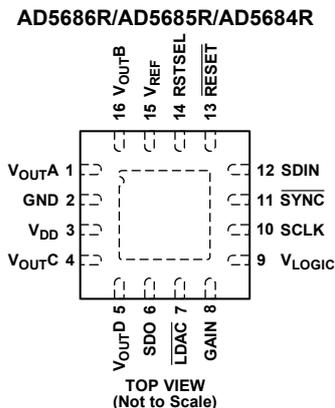
上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明



NOTES  
1. THE EXPOSED PAD MUST BE TIED TO GND.

図 6. 16 ピン LFCSP のピン配置

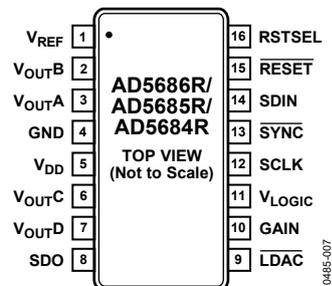


図 7. 16 ピン TSSOP のピン配置

表 7. ピン機能の説明

ピン番号		記号	説明
LFCSP	TSSOP		
1	3	V <sub>OUTA</sub>	DAC A からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
2	4	GND	デバイス上の全回路に対するグラウンド基準ポイント。
3	5	V <sub>DD</sub>	電源入力。これらのデバイスは 2.7V~5.5V で動作し、電源は 10μF のコンデンサと 0.1μF のコンデンサとの並列接続により GND へデカップリングする必要があります。
4	6	V <sub>OUTC</sub>	DAC C のアナログ出力電圧。出力アンプはレール to レール動作。
5	7	V <sub>OUTD</sub>	DAC D のアナログ電圧出力。出力アンプはレール to レールの動作。
6	8	SDO	シリアル・データ出力。複数の AD5686R/AD5685R/AD5684R デバイスのデジタイズチェーン接続、またはリードバックに使用できます。シリアル・データは SCLK の立上がりエッジで転送され、クロックの立下がりエッジで有効になります。
7	9	LDAC	LDAC は、非同期と同期の 2 つのモードで動作することができます。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、すべての DAC レジスタが更新されます。この信号を使うと、全 DAC 出力を同時に更新することができます。あるいは、このピンをロー・レベルに固定することができます。
8	10	GAIN	振幅設定ピン。このピンを GND に接続すると、4 個すべての DAC 出力の振幅は 0V~V <sub>REF</sub> になります。このピンを V <sub>LOGIC</sub> に接続すると、4 個すべての DAC 出力の振幅は 0V~2 × V <sub>REF</sub> になります。
9	11	V <sub>LOGIC</sub>	デジタル電源。電圧範囲は 1.8V~5.5V。
10	12	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大 50MHz のレートで転送できます。
11	13	SYNC	アクティブ・ローのコントロール入力。これは、入力データに対するフレーム同期化信号です。SYNC がロー・レベルになると、データは次の 24 個のクロックの立下がりエッジで転送されます。
12	14	SDIN	シリアル・データ入力。このデバイスは、24 ビットの入力シフトレジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
13	15	RESET	非同期リセット入力。RESET 入力は、立下がりエッジ検出です。RESET がロー・レベルのときは、すべての LDAC パルスが無視されます。RESET がロー・レベルになると、入力レジスタと DAC レジスタが RSTSEL ピンの状態に応じてゼロ・スケールまたはミッドスケールで更新されます。パワーアップ時にこのピンを強制的にローにすると、POR 回路は、このピンが解放されるまで正しく初期化されません。
14	16	RSTSEL	パワーオン・リセット・ピン。このピンを GND に接続すると、4 個すべての DAC はゼロ・スケールでパワーアップします。このピンを V <sub>LOGIC</sub> に接続すると、4 個の DAC がすべてミッドスケールにパワーアップします。
15	1	V <sub>REF</sub>	リファレンス電圧。AD5686R/AD5685R/AD5684R は共通のリファレンス・ピンを持っています。内蔵リファレンス電圧を使用する場合、このピンがリファレンス出力ピンになります。外付けリファレンスを使用する場合は、このピンはリファレンス入力ピンになります。このピンは、デフォルトでリファレンス出力になります。
16	2	V <sub>OUTB</sub>	DAC B のアナログ電圧出力。出力アンプはレール to レールの動作を行います。
17	N/A	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは GND に接続する必要があります。

代表的な性能特性

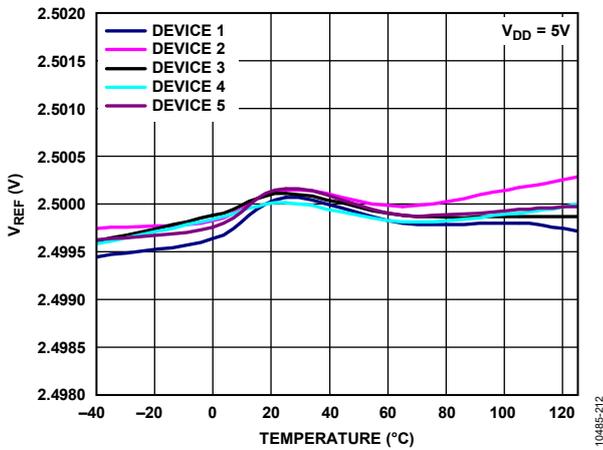


図 8. 内蔵リファレンス電圧の温度特性 (グレード B)

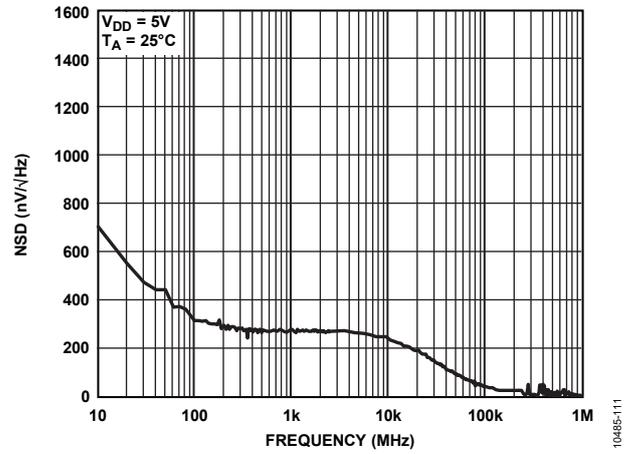


図 11. 内蔵リファレンス・ノイズ・スペクトル密度の周波数特性

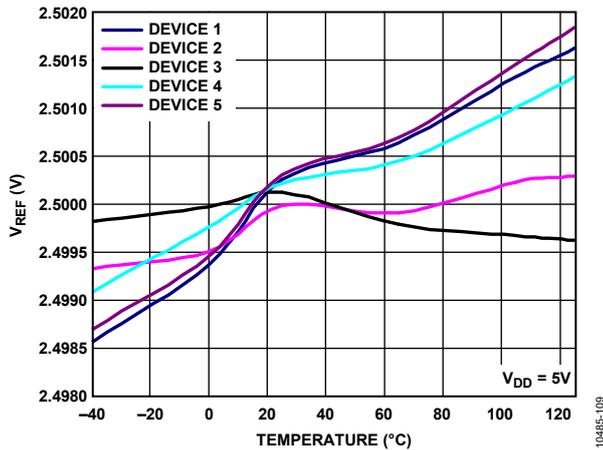


図 9. 内蔵リファレンス電圧の温度特性 (グレード A)

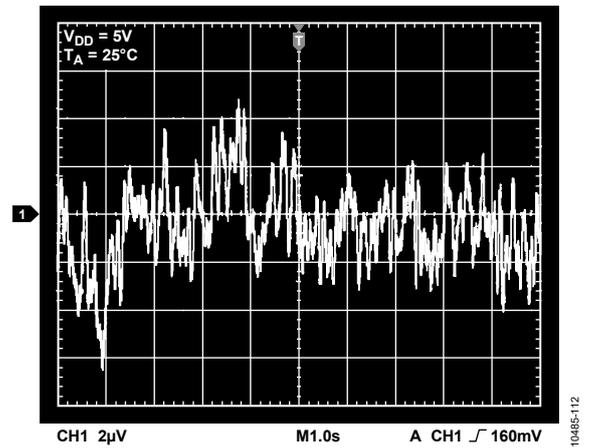


図 12. 内蔵リファレンスのノイズ、0.1Hz~10Hz

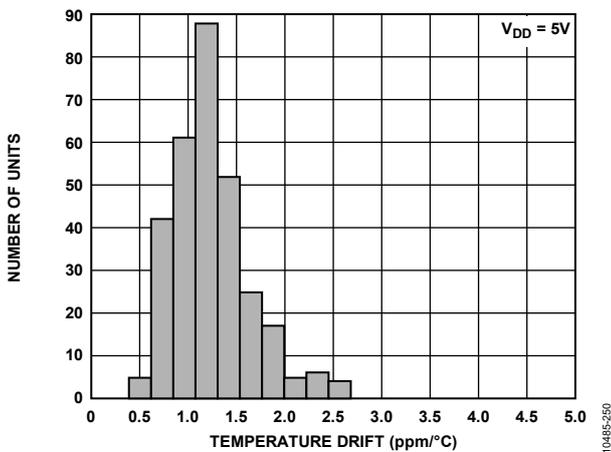


図 10. リファレンス出力温度ドリフトのヒストグラム

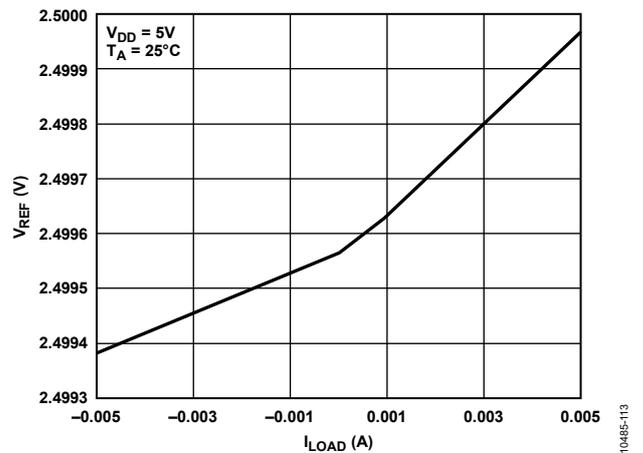


図 13. 負荷電流対内蔵リファレンス電圧

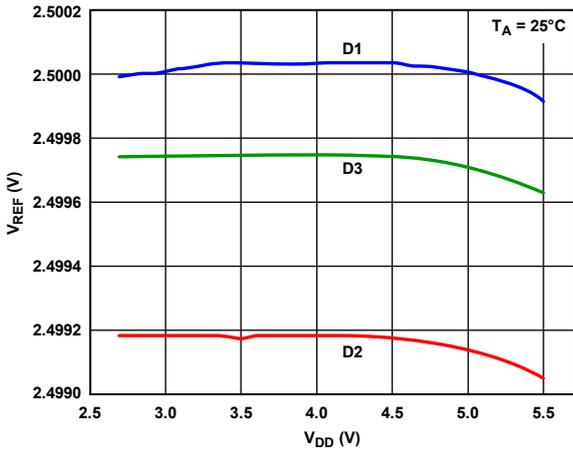


図 14. 電源電圧対内蔵リファレンス電圧

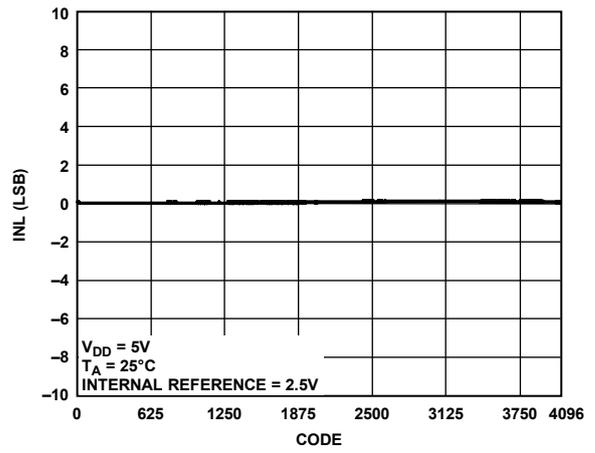


図 17. AD5684R の INL

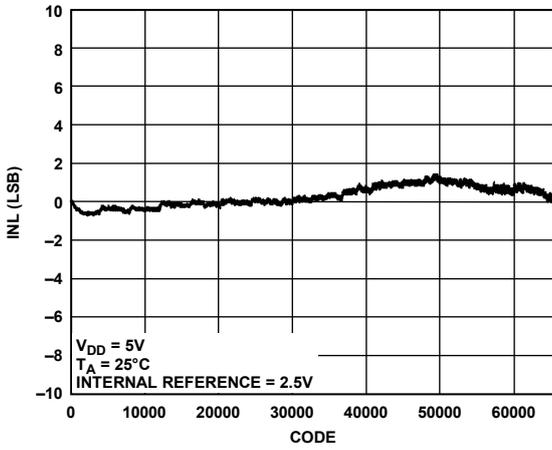


図 15. AD5686R の INL

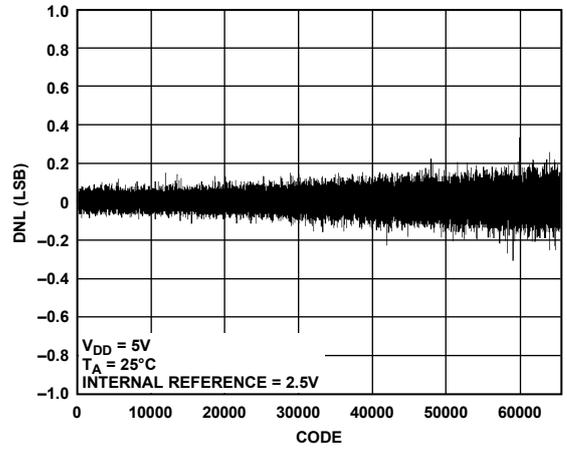


図 18. AD5686R の DNL

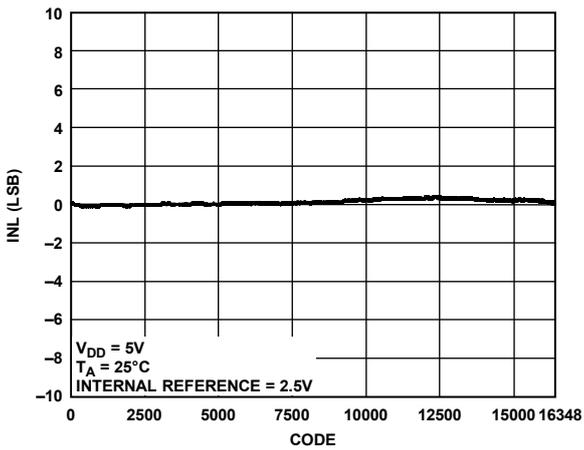


図 16. AD5685R の INL

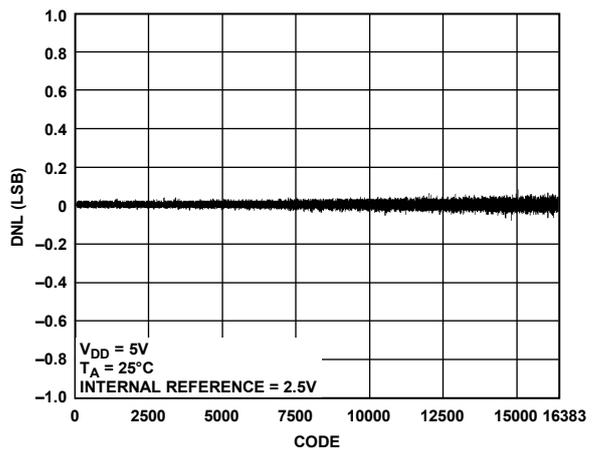


図 19. AD5685R の DNL

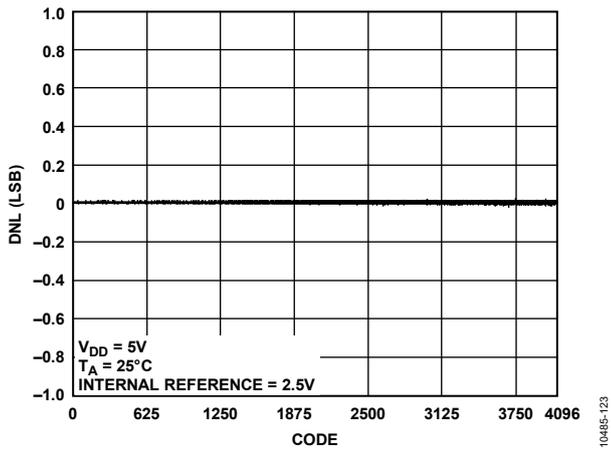


図 20. AD5684R の DNL

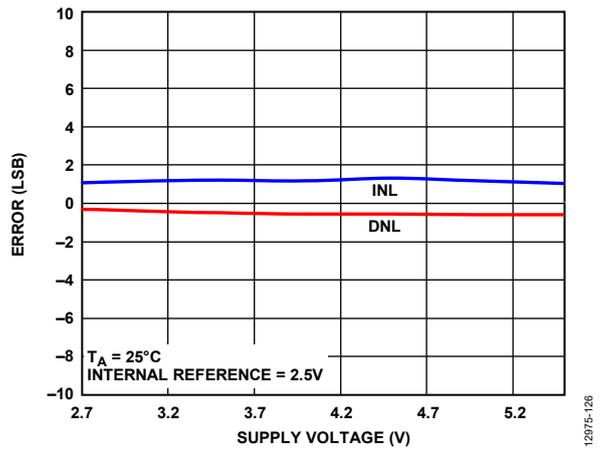


図 23. 電源電圧対 INL 誤差および DNL 誤差

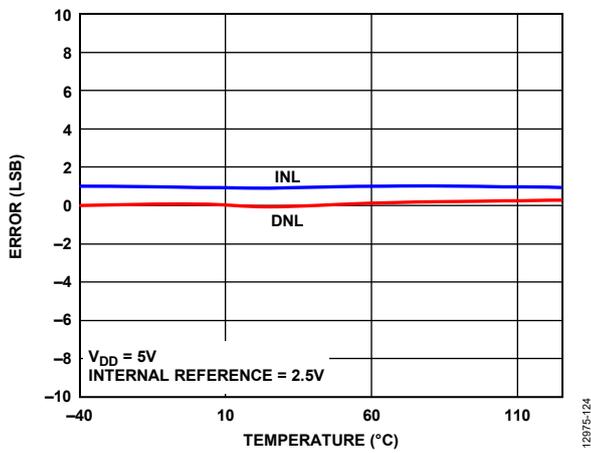


図 21. INL 誤差と DNL 誤差の温度特性

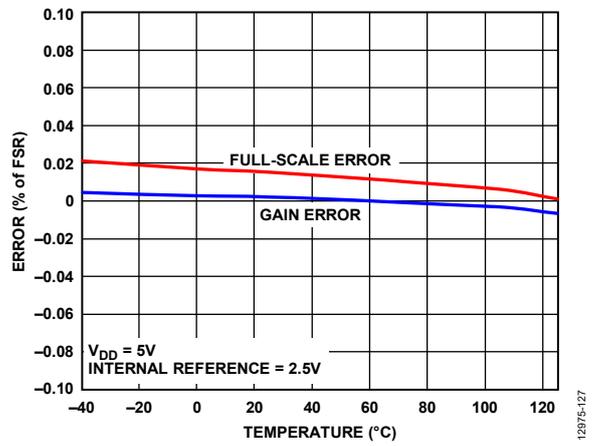


図 24. ゲイン誤差とフルスケール誤差の温度特性

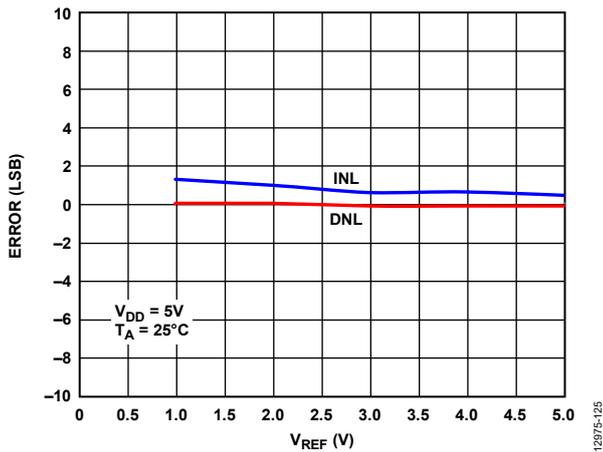


図 22.  $V_{REF}$  対 INL 誤差および DNL 誤差

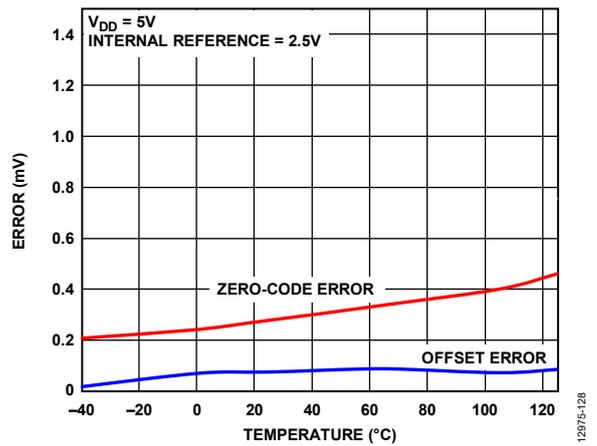


図 25. ゼロコード誤差とオフセット誤差の温度特性

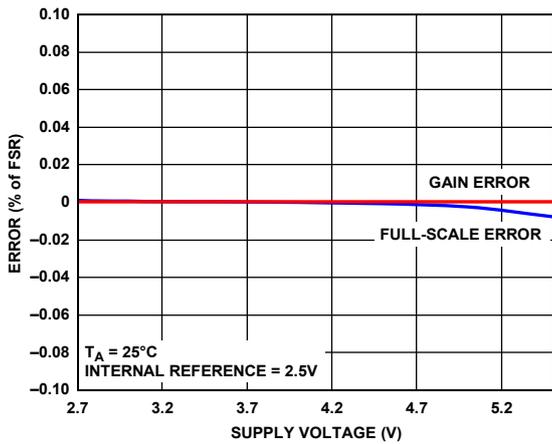


図 26. 電源対ゲイン誤差およびフルスケール誤差

12975-129

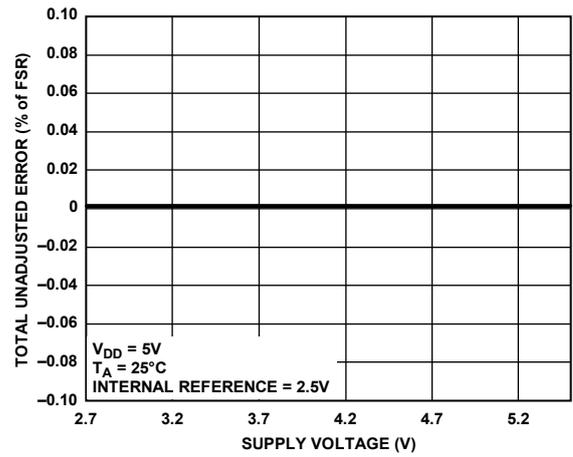


図 29. 電源対 TUE、ゲイン=1

10485-132

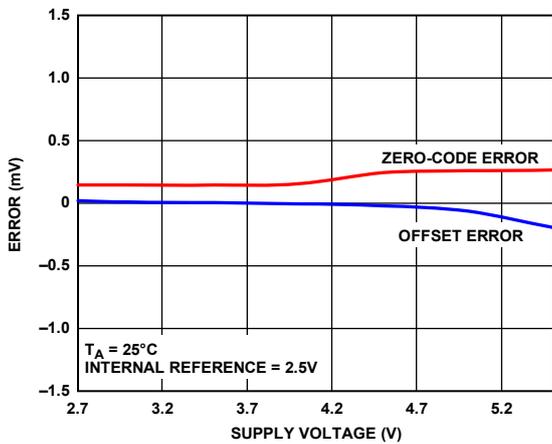


図 27. 電源対ゼロコード誤差およびオフセット誤差

12975-130

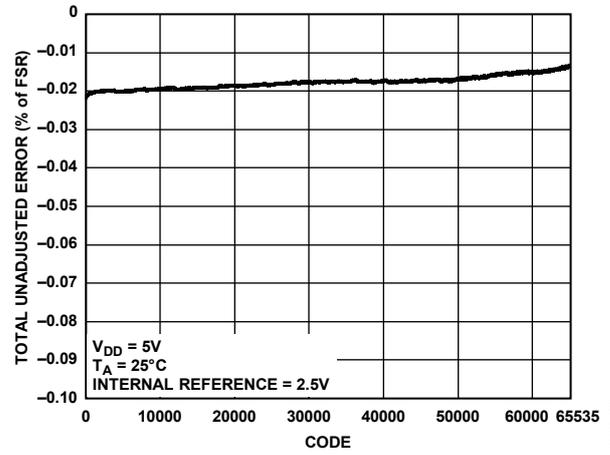


図 30. コード対 TUE

10485-133

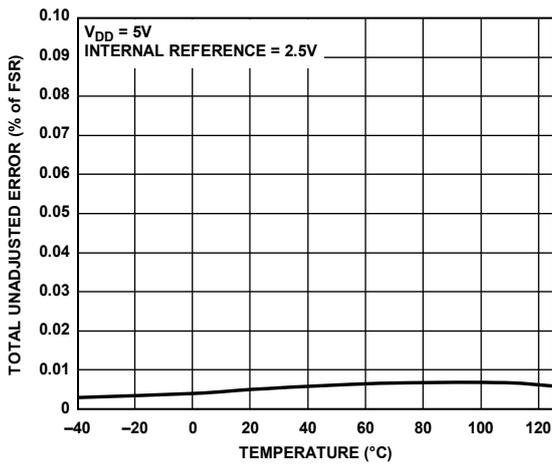


図 28. TUE の温度特性

12975-131

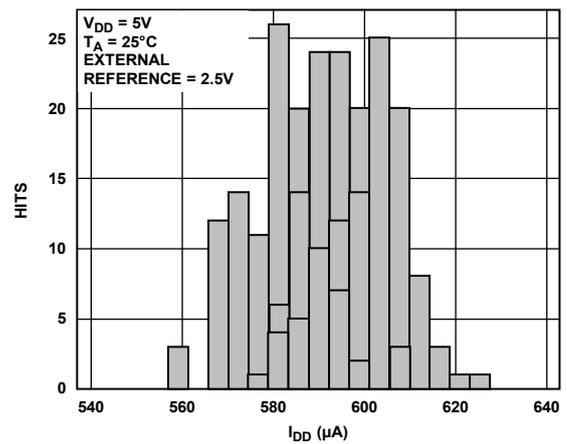


図 31. 外付けリファレンス電圧 5V での  $I_{DD}$  ヒストグラム

12975-135

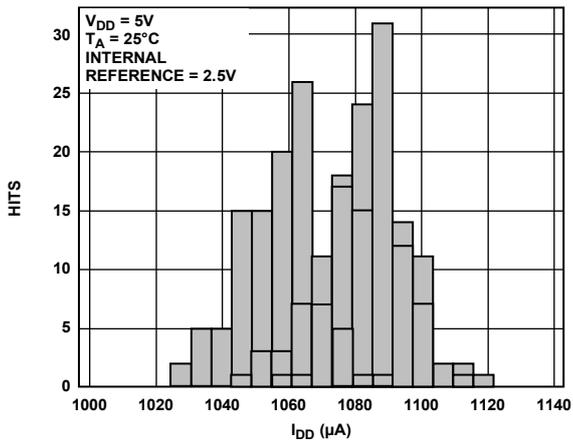


図 32. 内蔵リファレンス電圧での  $I_{DD}$  ヒストグラム、 $V_{REFOUT} = 2.5V$ 、ゲイン=2

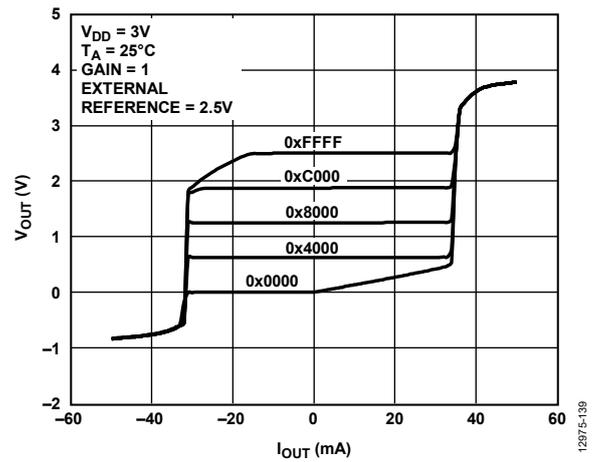


図 35. 3V でのソース能力とシンク能力

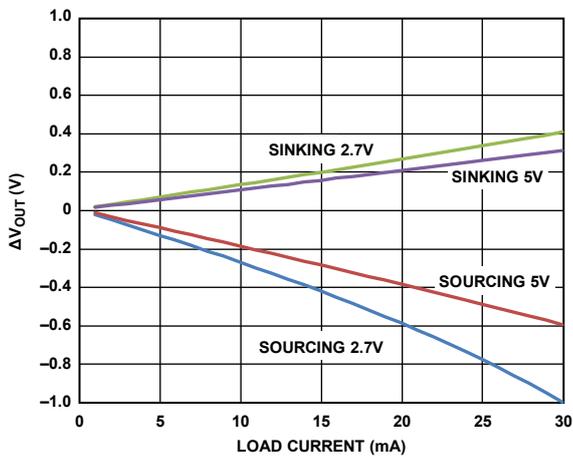


図 33. 負荷電流対ヘッドルーム/フットルーム

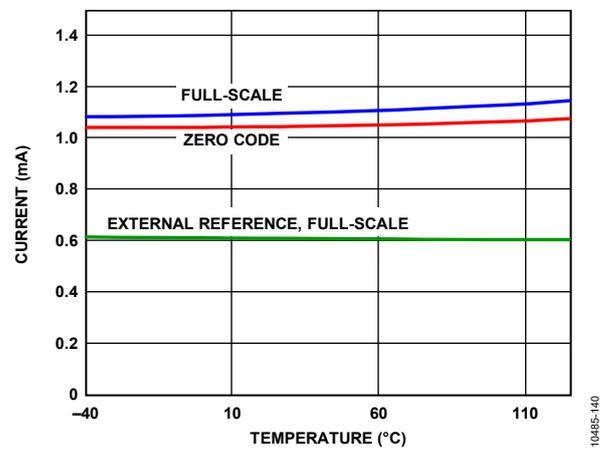


図 36. 電源電流の温度特性

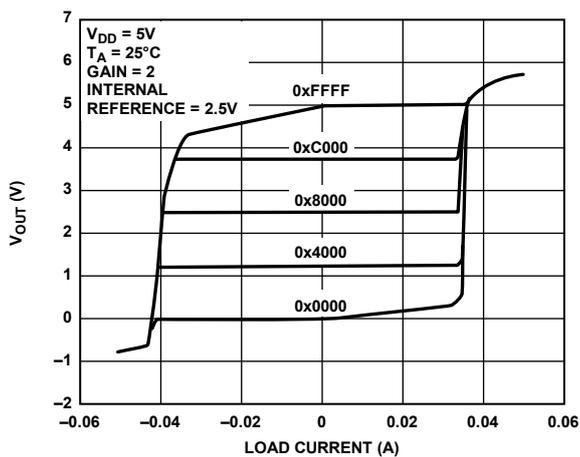


図 34. 5V でのソース能力とシンク能力

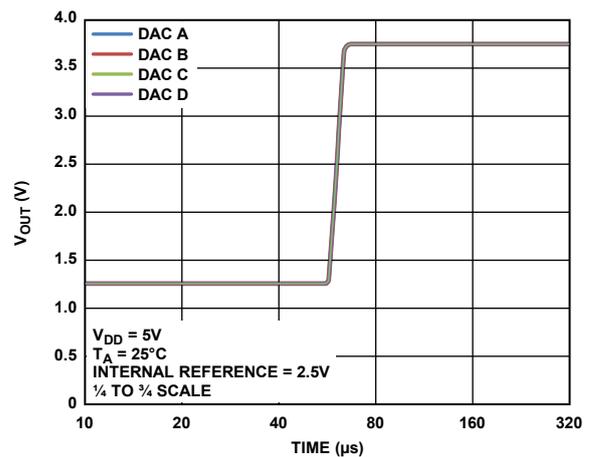


図 37. セットリング・タイム、5.25V

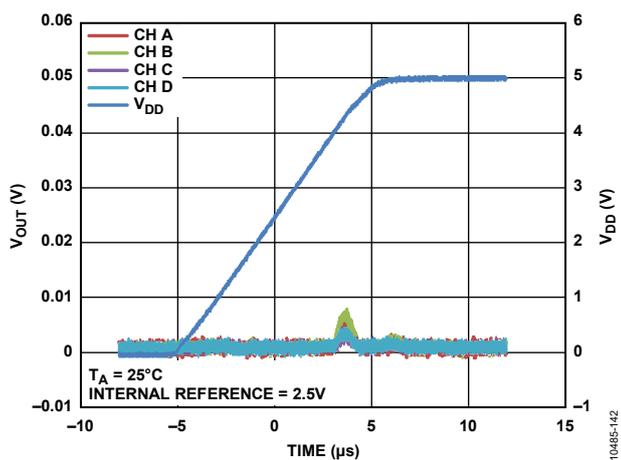


図 38. 0V へのパワーオン・リセット

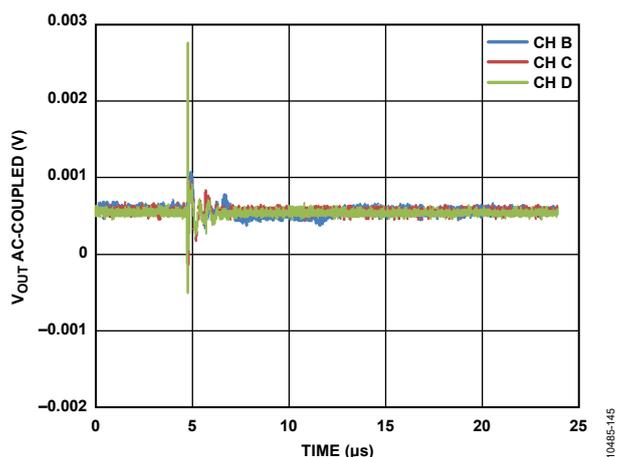


図 41. アナログ・クロストーク、チャンネル A

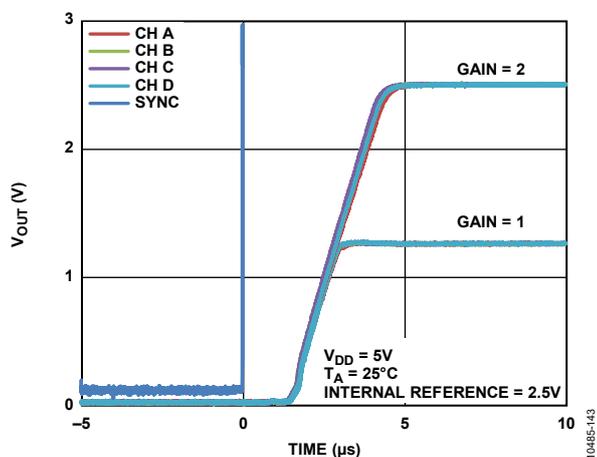


図 39. パワーダウン終了時のミッドスケール出力

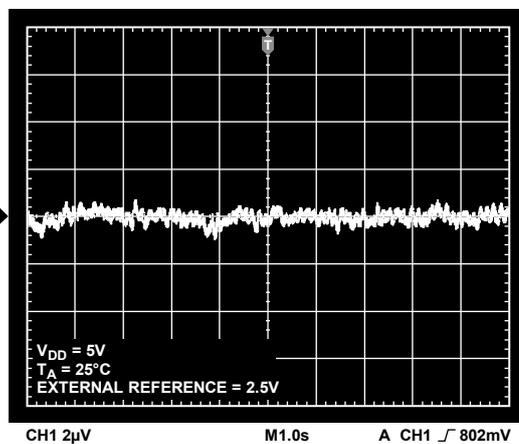


図 42. 0.1Hz~10Hz での出力ノイズ・プロット、外付けリファレンス電圧

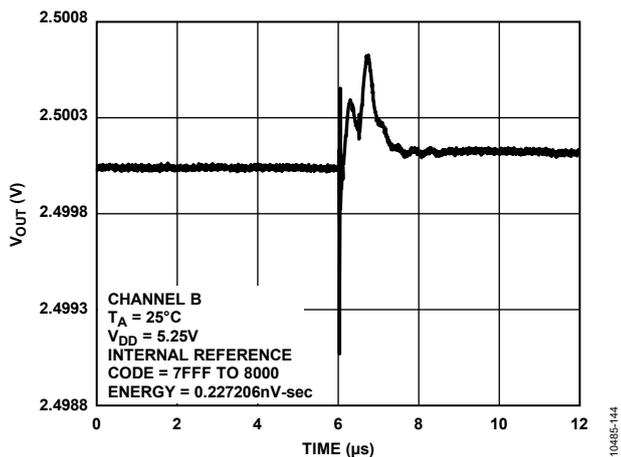


図 40. デジタル/アナログ・グリッチ・インパルス

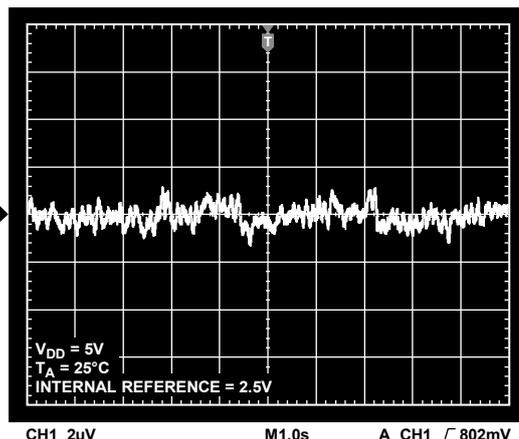


図 43. 0.1Hz~10Hz 出力ノイズ・プロット、2.5V 内蔵リファレンス電圧

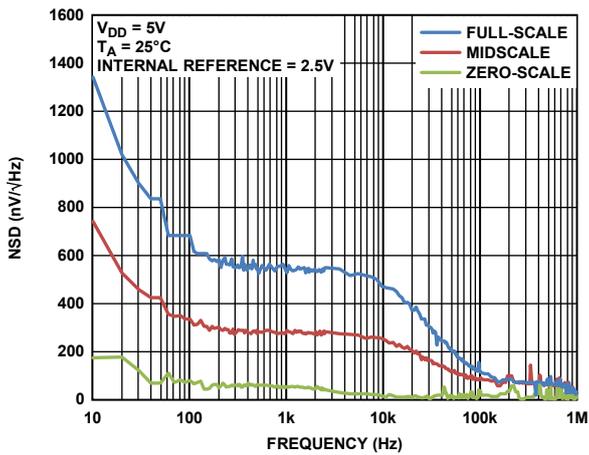


図 44. ノイズ・スペクトル密度

10485-148

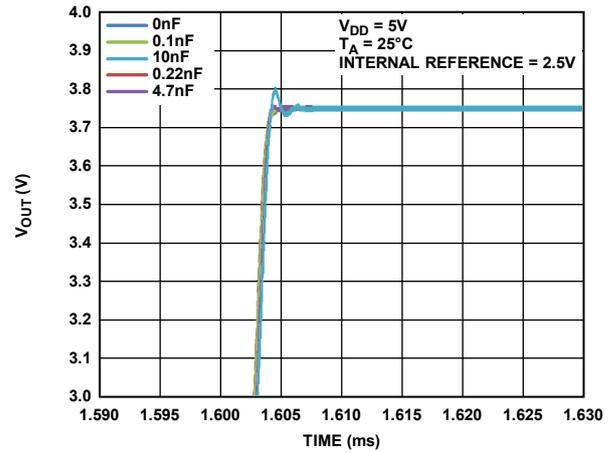


図 46. 容量性負荷対セトリング・タイム

10485-150

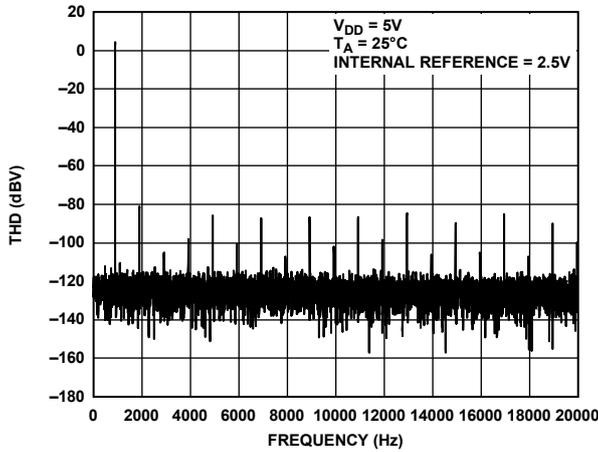


図 45. 1kHz での全高調歪み

10485-149

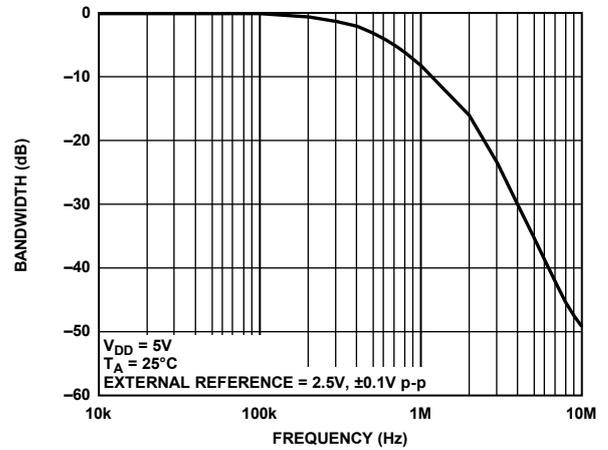


図 47. 乗算帯域幅、外付けリファレンス電圧=2.5V、  
±0.1V p-p、10kHz~10MHz

10485-151

## 用語の定義

### 相対精度または積分非直線性 (INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離 (LSB 数で表示) を表します。INL (typ) 対コードのプロットを [図 15](#) に示します。

### 微分非直線性 (DNL)

微分非直線性 (DNL) は、隣接する 2 つのコードの間における測定された変化と理論的な 1LSB 変化との差をいいます。最大  $\pm 1$ LSB の微分非直線性の規定により、単調性が保証されます。この DAC はデザインにより単調性を保証しています。代表的な DNL 対コードについては [図 18](#) を参照してください。

### ゼロコード誤差

ゼロコード誤差は、ゼロコード (0x0000) を DAC レジスタにロードしたときの出力誤差として測定されます。ゼロコード誤差は AD5686R では常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0V より低くなることができないためです。ゼロコード誤差は mV で表します。ゼロコード誤差の温度特性を [図 25](#) に示します。

### フルスケール誤差

フルスケール誤差は、フルスケール・コード (0xFFFF) を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には出力は  $V_{DD} - 1$ LSB である必要があります。フルスケール誤差はフルスケール・レンジのパーセント値 (FSR の%) で表します。フルスケール誤差の温度特性を [図 24](#) に示します。

### ゲイン誤差

DAC のスパン誤差を表します。理論 DAC 伝達特性傾斜からの変位を表し、FSR の%で表示されます。

### オフセット誤差ドリフト

これは温度変化に伴うオフセット誤差の変化を表し、単位は  $\mu V/^{\circ}C$  です。

### ゲイン温度係数

これは温度変化に伴うゲイン誤差の変化を表し、単位は FSR の ppm/ $^{\circ}C$  です。

### オフセット誤差

オフセット誤差は、伝達関数の直線領域での  $V_{OUT}$  (実測値) と  $V_{OUT}$  (理論) の差を表し、mV で表示されます。オフセット誤差は、AD5686R の DAC レジスタにコード 512 をロードして測定されています。この誤差は正または負になります。

### DC 電源電圧変動除去比 (PSRR)

電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC フルスケール出力での、 $V_{OUT}$  変化の  $V_{DD}$  変化に対する比です。mV/V で表されます。 $V_{REF}$  を 2V に維持して、 $V_{DD}$  を  $\pm 10\%$  変化させます。

### 出力電圧セトリング・タイム

これは、1/4 フルスケール入力から 3/4 フルスケール入力への変化に対して、DAC 出力が所定のレベルまでに安定するために要する時間であり、SYNC の立上がりエッジから測定されます。

### デジタル/アナログ・グリッチ・インパルス

デジタル/アナログ・グリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要なキャリ変化時に (0x7FFF から 0x8000)、デジタル入力コードが 1LSB だけ変化したときに測定されます ([図 40](#) 参照)。

### デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で仕様規定され、データ・バス上でのフルスケール・コードの変更時、すなわち全ビット 0 から全ビット 1 への変更時、または全ビット 1 から全ビット 0 への変更時に測定されます。

### リファレンス・フィードスルー

リファレンス・フィードスルーは、DAC 出力の更新が行われていないときの DAC 出力の信号振幅とリファレンス入力の比を表します。(dB で表されます。)

### ノイズ・スペクトル密度

これは、内部で発生されたランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度 (nV/ $\sqrt{Hz}$ ) としてキャラクタライズされます。DAC にミッドスケールを読み込み、その出力で発生するノイズを測定します。nV/ $\sqrt{Hz}$  で表されます。ノイズ・スペクトル密度のプロットを [図 44](#) に示します。

### DC クロストーク

別の DAC 出力での変化に起因する 1 つの DAC の出力レベルの DC 変化。ミッドスケールに維持した別の DAC をモニタしながら、1 つの DAC 上でのフルスケール出力変化 (または、ソフト・パワーダウンおよびパワーアップ) を使って測定し、単位は  $\mu V$  です。

負荷電流変化に起因する DC クロストークでは、ある DAC の負荷電流の変化がミッドスケールに維持された別の DAC へ与える影響を測定します。単位は  $\mu V/mA$  です。

### デジタル・クロストーク

1 の DAC の入力レジスタにおけるフルスケール・コード変化 (全ビット 0 から全ビット 1 への変化、およびその逆の変化) から、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルス。スタンドアロン・モードで測定し、nV-sec で表されます。

**アナログ・クロストーク**

これは、DAC の出力変化に起因して別の DAC 出力に混入するグリッチ・インパルスです。入力レジスタの 1 つにフルスケール・コード変化（全ビット 0 から全ビット 1 への変化、およびその逆の変化）をロードして測定します。次に、ソフトウェア LDAC を実効して、デジタル・コードが変化しない DAC の出力をモニタします。グリッチの面積は nV-sec で表示します。

**DAC 間クロストーク**

これは、デジタル・コードの変化とそれに続く DAC のアナログ出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルスです。書込みコマンドと更新コマンドを使って、DAC の 1 つにフルスケール・コード変化（全ビット 0 から全ビット 1 への変化、およびその逆変化）をロードして、この間にミッドスケールにある別の DAC 出力をモニタすることにより測定します。グリッチのエネルギーの単位は nV-sec です。

**乗算帯域幅**

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅はこれを表します。入力された基準サイン波（DAC にフルスケール・コードをロード）は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3dB 小さくなる周波数で表します。

**全高調波歪み（THD）**

理論サイン波と DAC を使ったために減衰したそのサイン波との差。DAC に対してリファレンスとしてサイン波を使ったときに、DAC 出力に現われる高調波が THD になります。dB で表されま

**電圧リファレンス TC**

電圧リファレンス TC は、温度変化に伴うリファレンス出力電圧の変化を表します。この方法では、与えられた温度範囲でのリファレンス出力の最大変化として TC を定義し、次式のように ppm/°C で表します。

$$TC = \left[ \frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

ここで、

$V_{REFmax}$  は全温度範囲で測定した最大リファレンス出力。

$V_{REFmin}$  は全温度範囲で測定した最小リファレンス出力。

$V_{REFnom}$  は公称リファレンス出力電圧（2.5V）、

$TempRange$  は仕様規定された温度範囲（-40°C ~ +105°C）です。

## 動作原理

### D/A コンバータ (DAC)

AD5686R/AD5685R/AD5684R は、リファレンス電圧を内蔵したクワッド 16/14/12 ビット、シリアル入力、電圧出力 DAC です。これらのデバイスは 2.7V~5.5V の電源電圧で動作します。データは、3 線式シリアル・インターフェースを介して、24 ビット・ワード・フォーマットで AD5686R/AD5685R/AD5684R に書き込まれます。AD5686R/AD5685R/AD5684R は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力を既知出力状態に維持することができます。これらのデバイスは、消費電流を 4 $\mu$ A (typ) まで減少させるソフトウェア・パワーダウン・モードも持っています。

### 伝達関数

内部リファレンスはデフォルトでオンになります。外付けリファレンスを使うときは、非リファレンス・オプションのみが使用できます。DAC への入力コーディングはストレート・バイナリを使っているため、外付けリファレンスを使う場合、理論出力電圧は次式で与えられます。

$$V_{OUT} = V_{REF} \times Gain \left[ \frac{D}{2^N} \right]$$

ここで、

D は DAC レジスタにロードされるバイナリ・コードの 10 進数表示です

12 ビット・デバイスの場合 0~4,095。

14 ビット・デバイスの場合 0~16,383。

16 ビット・デバイスの場合 0~65,535。

N は、DAC の分解能です。

Gain は、出力アンプのゲインで、デフォルトで 1 に設定されます。この値は、ゲイン選択ピンを使って  $\times 1$  または  $\times 2$  に設定することができます。このピンを GND に接続すると、4 個すべての DAC 出力の振幅は 0V~V<sub>REF</sub> になります。このピンを V<sub>DD</sub> に接続すると、4 個すべての DAC 出力の振幅は 0V~2  $\times$  V<sub>REF</sub> になります。

### DAC アーキテクチャ

DAC アーキテクチャは、ストリング DAC とそれに続く出力アンプから構成されています。図 48 に、DAC アーキテクチャのブロック図を示します。

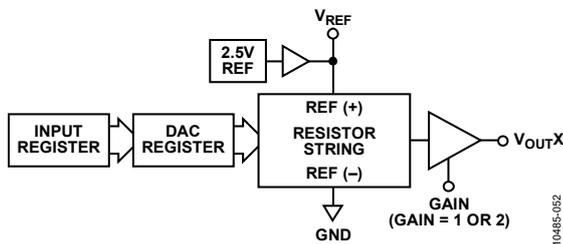


図 48. DAC 1 チャンネルあたりのアーキテクチャのブロック図

抵抗ストリング構造を図 49 に示します。DAC レジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。抵抗のストリングであるため、単調整が保証されます。

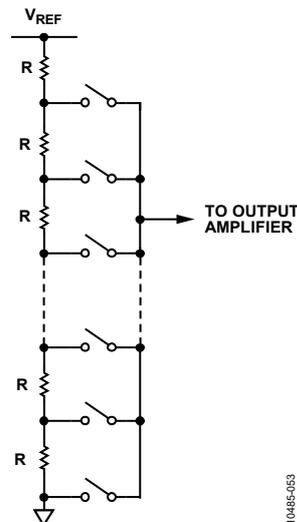


図 49. 抵抗ストリング構造

### 内部リファレンス

AD5686R/AD5685R/AD5684R の内蔵リファレンスはパワーアップ時にオンになりますが、コントロール・レジスタへの書き込みによりディスエーブルすることができます。詳細については、[内蔵リファレンスのセットアップ](#)のセクションを参照してください。

AD5686R/AD5685R/AD5684R は 2.5V、2ppm/°C のリファレンス電圧を内蔵し、GAIN ピンの状態に応じてフルスケール出力 2.5V または 5V になります。デバイスの内蔵リファレンス電圧は V<sub>REF</sub> ピンに出力されます。このバッファ付きリファレンス電圧は、最大 10mA の外部負荷を駆動することができます。

### 出力アンプ

出力バッファ・アンプは、出力でレール to レール電圧を発生することができます。0V~V<sub>DD</sub> の出力範囲になります。実際の範囲は、V<sub>REF</sub> の値、GAIN ピン、オフセット誤差、ゲイン誤差に依存します。GAIN ピンで出力のゲインを選択します。

- このピンを GND に接続すると、4 個すべての出力のゲインは 1 になり、出力範囲は 0V~V<sub>REF</sub> になります。
- このピンを V<sub>LOGIC</sub> に接続すると、4 個すべての出力のゲインは 2 になり、出力範囲は 0V~2  $\times$  V<sub>REF</sub> になります。

これらのアンプは、GND へ接続した 1k $\Omega$  と 2nF の並列接続負荷を駆動することができます。スルーレートは 0.8V/ $\mu$ s であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5 $\mu$ s です。

## シリアル・インターフェース

AD5686R/AD5685R/AD5684R は、SPI、QSPI、MICROWIRE の各インターフェース規格や大部分の DSP と互換性のある 3 線式シリアル・インターフェース (SYNC、SCLK、SDIN) を内蔵しています。図 2 に、代表的な書込みシーケンスのタイミング図を示します。AD5686R/AD5685R/AD5684R は SDO ピンを内蔵しています。このピンを使うと、複数のデバイスをデジチェーン接続することができます (デジチェーン動作のセクション参照)。あるいはリードバックに使うことができます。

## 入力シフトレジスタ

AD5686R/AD5685R/AD5684R の入力シフトレジスタは 24 ビット幅です。データは MSB ファースト (DB23) でロードされ、先頭の 4 ビットはコマンド・ビット C3~C0 です (表 8 参照)。その後ろに、4 ビットの DAC アドレス・ビット DAC A、DAC B、DAC C、DAC D が続き (表 9 参照)、最後はデータワードのビットです。

このデータワードは、16 ビット、14 ビット、または 12 ビットの入力コード、その後ろに AD5686R、AD5685R、AD5684R では、それぞれ 0、2、または 4 個の don't care ビットが続きます (図 50、図 51、図 52 参照)。これらのデータ・ビットは、SCLK の 24 個の立下がりエッジで入力レジスタに転送され、SYNC の立上がりエッジで更新されます。

コマンドは、選択したアドレス・ビットに応じて、個別 DAC チャンネル、組み合わせ DAC チャンネル、またはすべての DAC に対して実行することができます。

表 8. コマンドの定義

コマンド				説明
C3	C2	C1	C0	
0	0	0	0	No operation (無操作)
0	0	0	1	入力レジスタ n への書込み (LDAC に依存)
0	0	1	0	入力レジスタ n の値による DAC レジスタ n の更新
0	0	1	1	DAC チャンネル n への書込みと更新
0	1	0	0	DAC のパワーアップとパワーダウン
0	1	0	1	ハードウェア LDAC マスク・レジスタ
0	1	1	0	ソフトウェア・リセット (パワーオン・リセット)
0	1	1	1	内部リファレンス・セットアップ・レジスタ
1	0	0	0	DCEN レジスタのセットアップ (デジチェーンをイネーブル)
1	0	0	1	リードバックのセットアップ (リードバックをイネーブル)
1	0	1	0	予備
...	...	...	...	予備
1	1	1	1	無操作、デジチェーン・モード

表 9. アドレス・コマンド

アドレス (n)				選択 DAC チャンネル <sup>1</sup>
DAC D	DAC C	DAC B	DAC A	
0	0	0	1	DAC A
0	0	1	0	DAC B
0	1	0	0	DAC C
1	0	0	0	DAC D
0	0	1	1	DAC A、および DAC B
1	1	1	1	すべての DAC

<sup>1</sup> アドレス・ビットを使って DAC チャンネルの任意の組み合わせを選択できます。

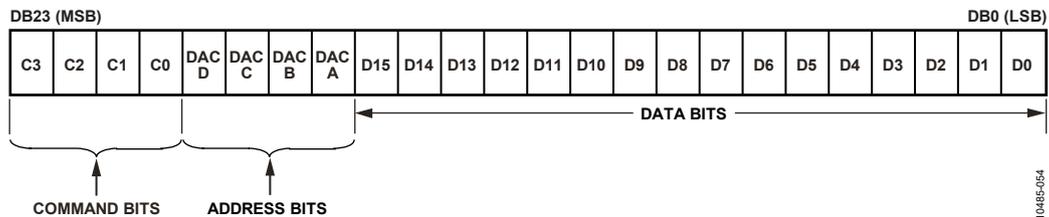


図 50. AD5686R の入力シフトレジスタの内容

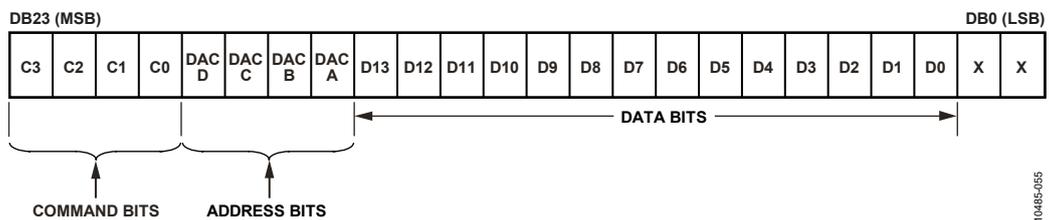


図 51. AD5685R の入力シフトレジスタの内容

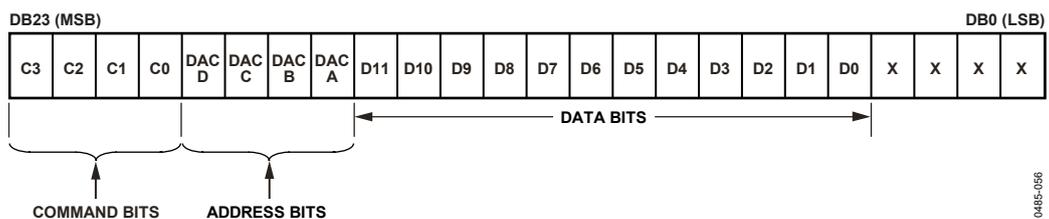


図 52. AD5684R の入力シフトレジスタ値

## スタンドアロン動作

SYNCラインをロー・レベルにすると、書込みシーケンスが開始されます。SDINラインからのデータは、SCLKの立下がりエッジで24ビット入力シフトレジスタに入力されます。24個のデータ・ビットの最後が入力された後に、SYNCをハイ・レベルにする必要があります。次いで、設定された機能、すなわちLDACに応じたDACレジスタ値の変更や動作モードの変更が実行されます。24番目のクロックの前のクロックでSYNCをハイ・レベルにすると、有効なフレームと無効なデータがDACへロードされたものと見なされます。次の書込みシーケンス前にSYNCを最小20ns間ハイ・レベルにして（シングル・チャンネル、図2の $t_8$ 参照）、SYNCの立下がりエッジで次の書込みシーケンスを開始できるようにする必要があります。SYNCは、デバイスの消費電力を小さくするため書込みシーケンスと書込みシーケンスの間にレール間でアイドルする必要があります。SYNCラインはSCLKの24個の立下がりエッジ間ロー・レベルに維持され、DACはSYNCの立上がりエッジで更新されます。

データがアドレス指定されたDACの入力レジスタへ転送されたときに、SYNCラインがハイ・レベルの間にLDACをロー・レベルにすると、すべてのDACレジスタと出力を更新することができます。

## 書込みコマンドと更新コマンド

### 入力レジスタ n への書込み (LDACに依存)

コマンド 0001 を使うと、各 DAC の専用入力レジスタへ個別に書込みを行うことができます。LDACがロー・レベルのとき、入力レジスタはトランスペアレントになります (LDACマスク・レジスタから制御されていない場合)。

### 入力レジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、選択した入力レジスタ値を DAC レジスタ/出力へロードして DAC 出力を直接更新します。

### DAC チャンネル n への書込みと更新 (LDACに依存しない)

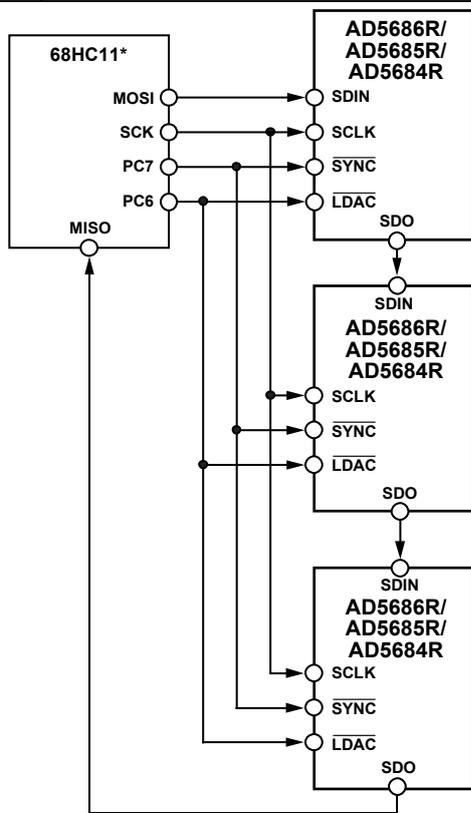
コマンド 0011 を使うと、DAC レジスタへ書込みを行なって、DAC 出力を直接更新することができます。

## デジチェーン動作

複数の DAC を使うシステムでは、SDO ピンを使って複数のデバイスをデジチェーン接続し、ソフトウェアからデジチェーン・イネーブル (DCEN) コマンドを実行してイネーブルすることができます。コマンド 1000 は、この DCEN 機能として予約されています (表 8 参照)。デジチェーン・モードは、DCEN レジスタのビット DB0 をセットしてイネーブルします。デフォルト設定はスタンダオン・モードで、この場合は DB0 = 0 です。ビットの状態と対応するデバイスの動作モードを表 10 に示します。

表 10. デジチェーン・イネーブル (DCEN) レジスタ

DB0	説明
0	スタンダオン・モード (デフォルト)
1	DCEN モード



\*ADDITIONAL PINS OMITTED FOR CLARITY.

10485-057

図 53. AD5686R/AD5685R/AD5684R のデジチェーン接続

SYNC がロー・レベルのとき、SCLK ピンは連続的に入力シフトレジスタに接続されます。24 個を超えるクロック・パルスが入力されると、データは入力シフトレジスタからはみ出して、SDO ラインに出力されます。データは SCLK の立上がりエッジで出力され、SCLK の立下がりエッジで有効になります。このラインをチェーン内の次の DAC の SDIN 入力に接続すると、デジチェーン・インターフェースが構成されます。システム内の各 DAC は、24 個のクロック・パルスを必要とします。したがって、必要な合計クロック・サイクル数は  $24 \times N$  になります。ここで、N は更新される合計デバイス数です。24 の整数倍でないクロックで SYNC がハイ・レベルになると、有効なフレームと無効なデータが DAC にロードされたものと見なされます。す

べてのデバイスに対するシリアル転送が完了したら、SYNC をハイ・レベルにします。この動作により、デジチェーン内にある各デバイス内の入力データがラッチされて、入力シフトレジスタに更にデータが入力されるのを防止します。シリアル・クロックとしては、連続クロックまたはゲーテッド・クロックが可能です。正しいクロック・サイクル数間、SYNC をロー・レベルに維持することが可能な場合にのみ、連続 SCLK ソースを使用することができます。ゲーテッド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後に SYNC をハイ・レベルにしてデータをラッチする必要があります。

## リードバック動作

リードバック・モードは、ソフトウェアで実行可能なリードバック・コマンドによって開始されます。コントロール・レジスタのデジチェーン・モード・ディスエーブル・ビットによって SDO 出力をディスエーブルした場合、SDO 出力は読出し動作の間自動的にイネーブルされ、その後に再度ディスエーブルされます。コマンド 1001 は、リードバック機能に割り当てられています。このコマンドは、アドレス・ビット DAC A ~ DAC D の選択に対応して、読出し対象レジスタを選択します。リードバックでは 1 個の DAC レジスタだけが選択可能であることに注意してください。残りの 3 個のアドレス・ビットはロジック 0 に設定する必要があります。書込みシーケンス内の残りのデータ・ビットはドント・ケア・ビットです。1 個以外のビットを選択すると、デフォルトで DAC チャンネル A がリードバックされます。次の SPI への書込み時に SDO に出力されるデータに、前にアドレス指定したレジスタのデータが含まれています。

例えば、チャンネル A の DAC レジスタをリードバックするときは、次のシーケンスを使うことができます。

1.  $0x900000$  を AD5686R/AD5685R/AD5684R 入力レジスタへ書き込みます。この動作により、デバイスが読出しモードに設定され、チャンネル A の DAC レジスタが選択されます。データ・ビット DB15 ~ DB0 は、すべてドント・ケア・ビットです。
2. 次に、2 番目の書込みで NOP 状態  $0x000000$  を書き込みます (デジチェーン・モードでは  $0xF00000$ )。この書込みの間、レジスタからのデータが SDO ラインへ出力されます。

16 ビットの AD5686R では、DB23 ~ DB20 に未定義データが格納され、最後の 16 ビットに DAC レジスタ値の DB19 ~ DB4 が格納されます。

14 ビットの AD5685R では DB23 ~ DB20 および DB1 ~ DB0 に未定義データが格納され、14 ビット DAC レジスタの値は DB19 ~ DB2 に格納されます。

12 ビットの AD5684R では DB23 ~ DB20 および DB3 ~ DB0 に未定義データが格納され、12 ビット DAC レジスタの値は DB19 ~ DB4 に格納されます。

## パワーダウン動作

AD5686R/AD5685R/AD5684R には 3 種類のパワーダウン・モードがあります。コマンド 0100 は、パワーダウン機能に割り当てられています (表 8 参照)。これらのパワーダウン・モードは、入力シフトレジスタの 8 ビット (ビット DB7~ビット DB0) を設定することにより、ソフトウェアから設定することができます。各 DAC チャンネルに対応した 2 ビットがあります。2 ビットの状態と、対応するデバイスの動作モードを表 11 に示します。

表 11. 動作モード

Operating Mode	PDx1	PDx0
Normal Operation	0	0
Power-Down Modes		
1 kΩ to GND	0	1
100 kΩ to GND	1	0
Three-State	1	1

対応するビットをセットすることにより、任意またはすべての DAC (DAC A~DAC D) を選択したモードにパワーダウンさせることができます。パワーダウン/パワーアップ動作時の入力シフトレジスタ値については表 12 を参照してください。

入力シフトレジスタのビット PDx1 とビット PDx0 (ここで x は選択したチャンネル) を 0 に設定すると、デバイスは通常の消費電力 (5V で 4mA) で通常動作しますが、3 つのパワーダウン・モードでは、電源電流は 5V で 4μA に減少します。電源電流が減少するだけでなく、出力ステージも内部でアンプ出力から既知値の抵抗回路へ切り替えられます。これは、デバイスの

出力インピーダンスが既知であると同時にデバイスがパワーダウン・モードになるという利点を持っています。3 種類のパワーダウン・オプションがあります。すなわち、出力が内部で 1kΩ または 100kΩ 抵抗を介して GND に接続されるか、あるいはオープン (スリーステート) になります。出力ステージを図 54 に示します。

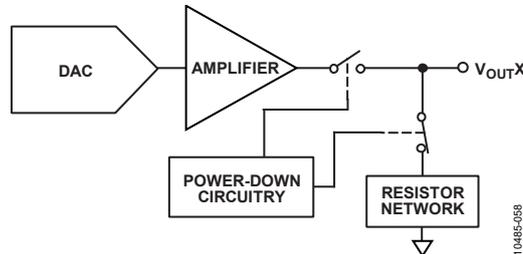


図 54. パワーダウン時の出力段

パワーダウン・モードのときは、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他の関係するリニア回路はシャットダウンされます。ただし、DAC レジスタの値はパワーダウン・モードで影響を受けることはありません。デバイスがパワーダウン・モードのとき、DAC レジスタを更新することができます。パワーダウンから抜け出すために要する時間は、 $V_{DD} = 5V$  で  $4.5\mu s$  (typ) です。

消費電流を更に減らすときは、内蔵リファレンスをパワーオフさせることができます。内蔵リファレンスのセットアップのセクションを参照してください。

表 12. パワーダウン/パワーアップ動作の 24 ビット入力シフトレジスタ値<sup>1</sup>

DB23	DB22	DB21	DB20	DB19 to DB16	DB15 to DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
0	1	0	0	X	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0
Command bits (C3 to C0)				Address bits Don't care		Power-Down Select DAC D		Power-Down Select DAC C		Power-Down Select DAC B		Power-Down Select DAC A	

<sup>1</sup> X はドント・ケア。

## DAC のロード (ハードウェア LDACピン)

AD5686R/AD5685R/AD5684R の DAC は、入力レジスタと DAC レジスタの 2 つのレジスタ・バンクで構成されているダブル・バッファ化されたインターフェースを内蔵しています。入力レジスタの任意の組み合わせへ書込みを行うことができます。DAC レジスタの更新は、LDACピンから制御されます。

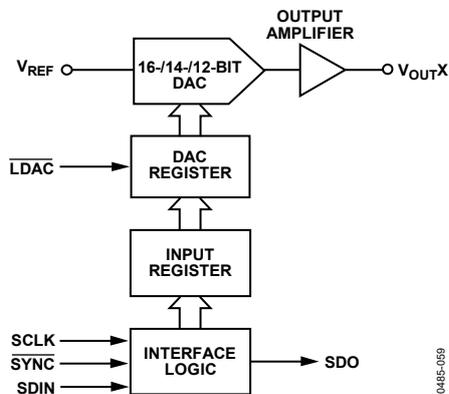


図 55. 1 個の DAC の入力ロード回路の簡略図

## DAC の瞬時更新 (LDACをロー・レベルに維持)

DAC の瞬時更新の場合、コマンド 0001 を使ってデータを入力レジスタへクロックインする間、LDAC をロー・レベルに維持します。アドレス指定された入力レジスタと DAC レジスタの両方が SYNC の立上がりエッジで更新されて、出力が変化を開始します (表 14 参照)。

## DAC の遅延更新 (LDACへ立上がりパルスを入力)

コマンド 0001 を使ってデータを入力レジスタへクロックインする間、LDAC をハイ・レベルに維持します。SYNC をハイ・レベルにした後に LDAC をロー・レベルにすることにより、すべての DAC 出力が非同期的に更新されます。更新は、LDAC の立上がりエッジで行われるようになります。

表 14. 書込みコマンドと LDACピンの真値表<sup>1</sup>

コマンド	説明	ハードウェア LDACピンの状態	入力レジスタの内容	DAC 入力レジスタの内容
0001	入力レジスタ n への書込み (LDACに依存)	V <sub>LOGIC</sub>	データ更新	変化なし (更新なし)
		GND <sup>2</sup>	データ更新	データ更新
0010	入力レジスタ n の値による DAC レジスタ n の更新	V <sub>LOGIC</sub>	変化なし	入力レジスタの内容で更新
		GND	変化なし	入力レジスタの内容で更新
0011	DAC チャンネル n への書込みと更新	V <sub>LOGIC</sub>	データ更新	データ更新
		GND	データ更新	データ更新

<sup>1</sup> ハードウェア LDACピンのハイ・レベルからロー・レベルへの変化により、常に DAC レジスタ値が、LDACマスク・レジスタでマスクされていないチャンネルの入力レジスタ値で更新されます。

<sup>2</sup> LDAC をロー・レベルに固定すると、LDAC マスク・ビットは無視されます。

## LDACマスク・レジスタ

コマンド 0101 は、このソフトウェア LDAC機能用です。アドレス・ビットは無視されます。コマンド 0101 を使って DAC へ書込みを行うと、4 ビットの LDAC レジスタ (DB3~DB0) がロードされます。DB0、DB1、DB2、および DB3 ビットは、それぞれ DAC A、DAC B、DAC C、および DAC D に対応しています。

各チャンネルのデフォルト値は 0、すなわち LDACピンは通常動作をします。ビットを 1 に設定すると、ハードウェア LDACピンの状態に無関係に、この DAC チャンネルは LDACピンでの変化を無視します。この柔軟性は、LDACピンに応答するチャンネルを選択する必要があるアプリケーションで効果を発揮します。

表 13. LDAC上書きの定義

LDACレジスタのロード		LDACの動作
LDACビット (DB3~DB0)	LDACピン	
0	1 or 0	LDACピンにより決定されます。
1	X <sup>1</sup>	DAC チャンネルが更新されて、LDACピンをオーバーライドします。DAC チャンネルは LDAC を 1 と見なします。

<sup>1</sup> X は、ドント・ケア。

この LDAC レジスタにより、ハードウェア LDACピンを柔軟に制御することができます (表 13 参照)。ある DAC チャンネルに対して LDAC ビット (DB0~DB3) を 0 に設定することは、このチャンネルの更新がハードウェア LDACピンから制御されることを意味します。

## ハードウェア・リセット (RESET)

RESETはアクティブ・ローのリセットで、出力をゼロ・スケールまたはミッドスケールへクリアできるようにします。クリア・コード値は、リセット・セレクト・ピン (RSTSEL) を使って選択できます。動作を完了するためには、RESETを最小時間ロー・レベルに維持する必要があります (図 2 参照)。RESET信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。RESETピンがロー・レベルの間、出力は新しい値で更新できません。これらのデバイスには、DAC をパワーオン・リセット・コードにリセットする、ソフトウェアからのリセット機能もあります。コマンド 0110 は、このソフトウェア・リセット機能に割り当てられています (表 8 参照)。パワーオン・リセット時のLDACの動作は、すべて無視されます。パワーアップ時に RESETピンをローにすると、デバイスは、このピンが解放されるまで正しく初期化されません。

## リセット選択ピン (RSTSEL)

AD5686R/AD5685R/AD5684R は、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。RSTSEL ピンをロー・レベルにすると、出力はゼロ・スケールでパワーアップします。これは DAC のリニア領域の外側にあることに注意してください。RSTSEL ピンをハイ・レベルにすると、V<sub>OUT</sub> はミッドスケールでパワーアップします。出力はこのレベルでパワーアップを維持し、有効な書込みシーケンスが実行されるまでこの状態が維持されます。

## 内蔵リファレンスのセットアップ

内蔵リファレンスは、デフォルトでパワーアップ時にオンになります。電源電流を減少させるときは、コントロール・レジスタのソフトウェアから設定可能なビット DB0 をセットすることにより、このリファレンスをターンオフさせることができます。表 15 に、ビットの状態と動作モードの対応を示します。コマンド 0111 は、内蔵リファレンス電圧のセットアップ用に予約されています (図 9 参照)。表 15 に、入力シフトレジスタのビットの状態と、内蔵リファレンス電圧セットアップ時のデバイス動作モードとの対応を示します。

表 15. リファレンス・セットアップ・レジスタ

内部リファレンス・セットアップ・レジスタ (DB0)	動作
0	リファレンス・オン (デフォルト)
1	リファレンス・オフ

## ハンダ加熱リフロー

すべての IC リファレンス電圧回路と同様に、リファレンス値がハンダ処理でシフトすることがあります。アナログ・デバイスは、デバイスをボードへハンダ付けする影響を模倣する、プリコンディションと呼ばれる信頼性テストを実施しています。前述の出力電圧仕様には、この信頼性テストの影響が含まれません。

図 56 に、この信頼性テスト (プリコンディション) で測定したハンダ加熱リフロー (SHR) の影響を示します。

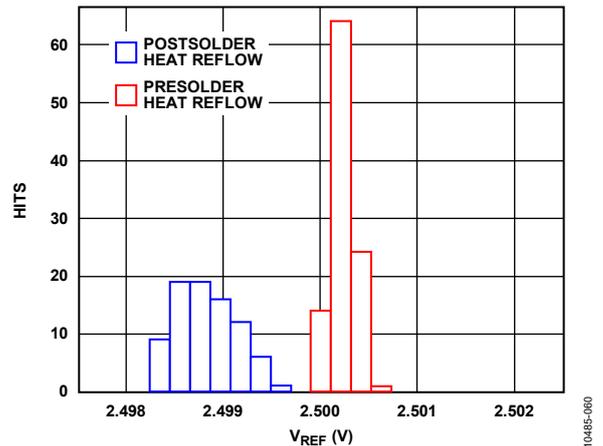


図 56. SHR でのリファレンス電圧シフト

## 熱ヒステリシス

熱ヒステリシスは、周囲温度→低温→高温→周囲温度で温度変化させた場合にリファレンス電圧に発生する電圧差です。

熱ヒステリシス・データを図 57 に示します。このデータは、室温から-40°C まで変化させてから+105°C まで変化させ、更に室温に戻すことによって測定したものです。その際の  $V_{REF}$  の変化量を 2 つの室温測定の間で測定し、図 57 に青で示します。同じ温度掃引と測定を続けて繰り返し、その結果を図 57 に赤で示します。

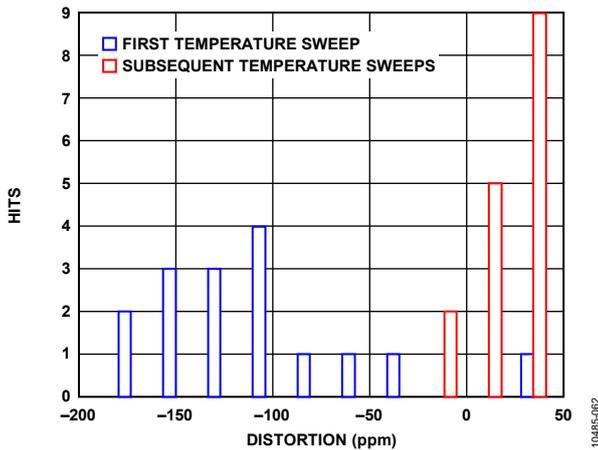


図 57. 熱ヒステリシス

## 長時間温度ドリフト

図 58 に、25°C の周囲温度下に 1000 時間置いた後の  $V_{REF}$  値の変化 (ppm) を示します。

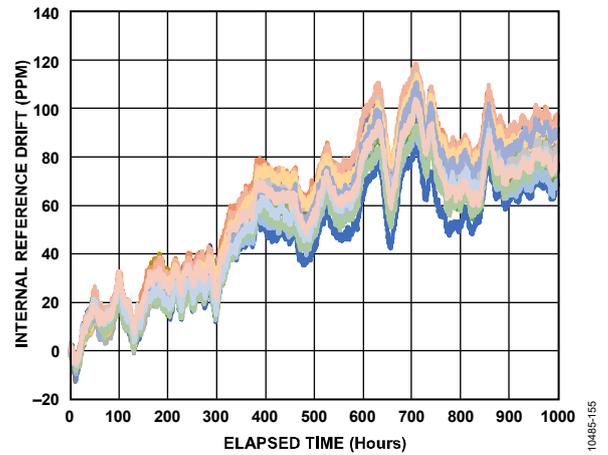


図 58. 1000 時間経過後のリファレンス・ドリフト

表 16. 内蔵リファレンス電圧セットアップ・コマンドに対する 24 ビット入力シフトレジスタ値<sup>1</sup>

DB23 (MSB)	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB1	DB0 (LSB)
0	1	1	1	X	X	X	X	X	1/0
Command bits (C3 to C0)				Address bits (A2 to A0)				Don't care	Reference setup register

<sup>1</sup> X はドント・ケア。

## アプリケーション情報

### マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5686R/AD5685R/AD5684R とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルには、クロック信号、データ信号、同期信号から構成される 3 線式または 4 線式のインターフェースが必要です。このデバイスでは、24 ビットのデータワードを使用し、SYNC の立上がりエッジでデータが有効である必要があります。

### AD5686R/AD5685R/AD5684R と ADSP-BF531 とのインターフェース

AD5686R/AD5685R/AD5684R の SPI インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるようにデザインされています。図 59 に、AD5686R/AD5685R/AD5684R とアナログ・デバイゼの Blackfin® DSP との接続方法を示します。Blackfin は、AD5686R/AD5685R/AD5684R の SPI ピンへ直接接続できる SPI ポートを内蔵しています。

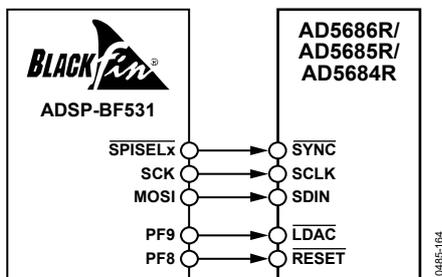


図 59. ADSP-BF531 インターフェース

### AD5686R/AD5685R/AD5684R と SPORT とのインターフェース

アナログ・デバイゼの ADSP-BF527 は、1 個の SPORT シリアル・ポートを内蔵しています。図 60 に、1 個の SPORT インターフェースを使って、AD5686R/AD5685R/AD5684R を制御する方法を示します。

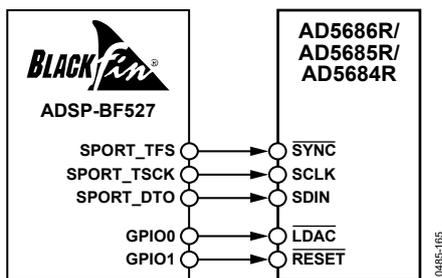


図 60. SPORT インターフェース

### レイアウトのガイドライン

精度が重要になる回路では、電源とグラウンド・リターンノイズのレイアウトを慎重に検討することが、定格性能の確保に役立ちます。AD5686R/AD5685R/AD5684R を実装する PCB は、AD5686R/AD5685R/AD5684R をアナログ・プレーン上に配置するようにデザインする必要があります。

AD5686R/AD5685R/AD5684R に対しては、10 $\mu$ F と 0.1 $\mu$ F の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。10 $\mu$ F のコンデンサはタンタルのビーズ型を使います。0.1 $\mu$ F のコンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような等価直列抵抗 (ESR) が小さく、かつ等価直列インダクタンス (ESI) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

1 枚のボード上に多くのデバイスを実装するシステムでは、ヒート・シンク能力を設けて電力の消費を容易にすることが有効であることがあります。

AD5686R/AD5685R/AD5684R には、デバイスの底にエクスポート・パッドが設けてあります。このパッドをデバイスの GND へ接続してください。最適性能を得るためには、マザーボードのデザインに特別な注意を払って、パッケージを実装してください。熱的性能、電気的性能、ボード・レベルの性能を強化するため、パッケージ底面のエクスポート・パッドは対応する PCB のサーマル・ランド・パッドにハンダ付けしてください。PCB ランド・パッド領域にサーマル・ビアを配置するようにデザインして更に熱放散を強化してください。

自然なヒート・シンク効果を提供するため、デバイス上の GND プレーンを大きくすることができます (図 61 参照)。

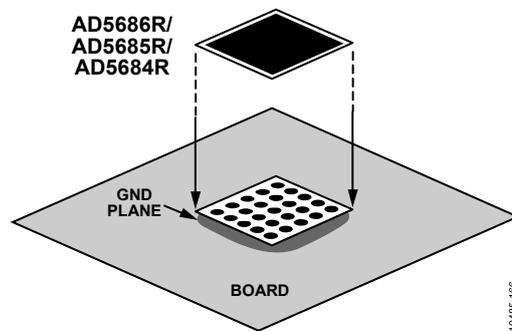
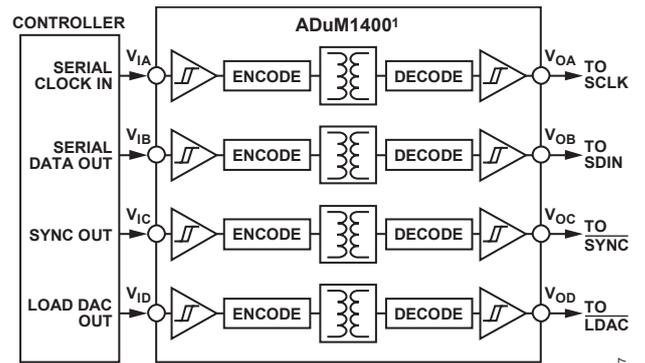


図 61. パッドとボードの接続

## デジタル・アイソレータ (iCoupler) を用いた 絶縁インターフェース

多くのプロセス制御アプリケーションでは、制御する装置と制御される装置の間に絶縁バリアを設けて、危険なコモンモード電圧から制御回路を保護し、絶縁する必要があります。アナログ・デバイセズの iCoupler<sup>®</sup>製品は、2.5kV を超える電圧アイソレーションを提供します。AD5686R/AD5685R/AD5684R はシリアル・ローディング構造を採用しているため、インターフェース線数が最小で済むので、インターフェースのアイソレーションに最適です。図 62 に、ADuM1400 を使用した、AD5686R/AD5685R/AD5684R に対する 4 チャンネル絶縁型インターフェースを示します。詳細については <http://www.analog.com/jp/iCoupler> をご覧ください。

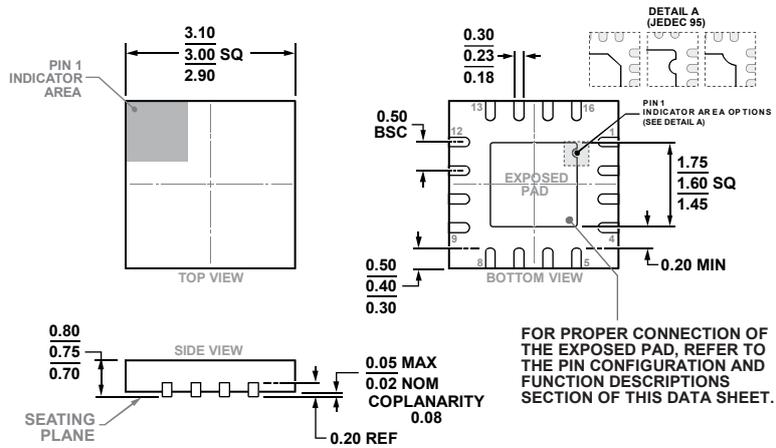


<sup>1</sup>ADDITIONAL PINS OMITTED FOR CLARITY.

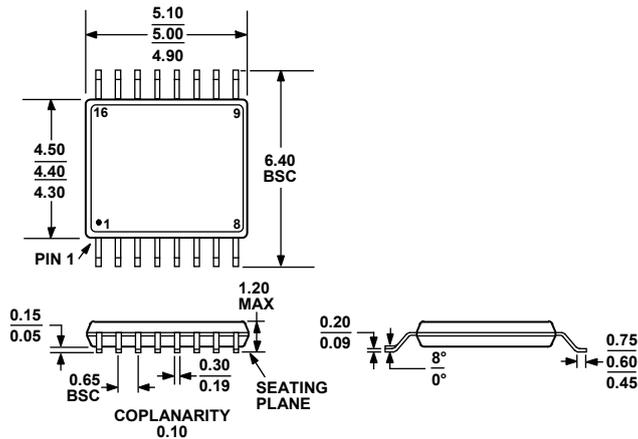
図 62. 絶縁型インターフェース

10485-167

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6  
 図 63. 16 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP]  
 3 mm×3 mm ボディ、0.75mm パッケージ高  
 (CP-16-22)  
 寸法：mm



COMPLIANT TO JEDEC STANDARDS MO-153-AB  
 図 64. 16 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]  
 (RU-16)  
 寸法：mm

## オーダー・ガイド

Model <sup>1</sup>	Resolution	Temperature Range	Accuracy	Reference Tempco (ppm/°C)	Package Description	Package Option	Branding
AD5686RACPZ-RL7	16 Bits	-40°C to +105°C	±8 LSB INL	±5 (typ)	16-Lead LFCSP	CP-16-22	DJM
AD5686RBCPZ-RL7	16 Bits	-40°C to +105°C	±2 LSB INL	±5 (max)	16-Lead LFCSP	CP-16-22	DJN
AD5686RARUZ	16 Bits	-40°C to +105°C	±8 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5686RARUZ-RL7	16 Bits	-40°C to +105°C	±8 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5686RBRUZ	16 Bits	-40°C to +105°C	±2 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5686RBRUZ-RL7	16 Bits	-40°C to +105°C	±2 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5685RBCPZ-RL7	14 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead LFCSP	CP-16-22	DJK
AD5685RARUZ	14 Bits	-40°C to +105°C	±4 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5685RARUZ-RL7	14 Bits	-40°C to +105°C	±4 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5685RBRUZ	14 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5685RBRUZ-RL7	14 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5684RBCPZ-RL7	12 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead LFCSP	CP-16-22	DJG
AD5684RARUZ	12 Bits	-40°C to +105°C	±2 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5684RARUZ-RL7	12 Bits	-40°C to +105°C	±2 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5684RBRUZ	12 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5684RBRUZ-RL7	12 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
EVAL-AD5686RSDZ					AD5686R TSSOP Evaluation Board		
EVAL-AD5684RSDZ					AD5684R TSSOP Evaluation Board		

<sup>1</sup> Z = RoHS 準拠製品