



高温動作、16ビット、非バッファ 電圧出力DAC、SPIインターフェース

データシート

AD5600

特長

高温動作：-55°C~+175°C

16ビット分解能

完全な単調増加性

3線式SPI

パワーオン・リセット機能

ハードウェアLDAC機能

単電源動作：2.7V~5.5V

小型フットプリント

10ピン、3mm×3mm、単一金属ワイヤ・ボンディング
MSOP

1.8Vロジックとの互換性あり

アプリケーション

ダウンホール掘削および計測器

重工業

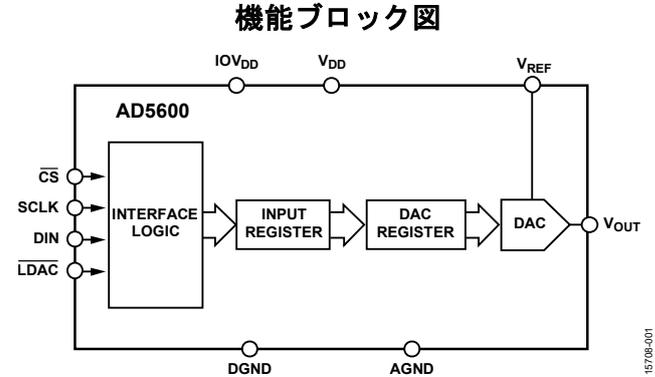
高温環境

概要

AD5600は、高温動作向けに設計された、シングル・チャンネル、16ビット分解能の電圧出力D/Aコンバータ(DAC)です。

AD5600は、仕様規定されている温度範囲で16ビットの単調増加性を確保し、2.7V~5.5Vの単電源で動作します。スペースに制約のあるアプリケーション向けに、AD5600は10ピンMSOPを採用しており、-55°C~+175°Cでの動作が仕様規定されています。このパッケージは(単一金属ワイヤ・ボンディングを含めて)極めて高い温度でも堅牢性を発揮するように設計されており、最大定格温度で最大1000時間の動作評価が行われています。

AD5600は、50MHz SPI、QSPI™、MICROWIRE™、およびDSPインターフェース規格と互換性のある、汎用3線式シリアル・ペリフェラル・インターフェース(SPI)を採用しています。



AD5600は、アナログ・デバイセズが提供する、高温環境向け認定済みシリーズの製品です。利用可能な高温製品すべての選択については、www.analog.com/jp/hightempの製品リストと品質評価データを参照してください。

製品のハイライト

1. 16ビット単調増加性DAC
2. 単電源動作：2.7V~5.5V
3. 1.8Vロジックとの互換性あり
4. 広い動作温度範囲：-55°C~+175°C

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料はREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	代表的な性能特性	7
アプリケーション	1	用語の定義	11
機能ブロック図	1	動作原理	12
概要	1	DAC	12
製品のハイライト	1	シリアル・インターフェース	12
改訂履歴	2	ハードウェア $\overline{\text{LDAC}}$	12
仕様	3	パワーオン・リセット	12
AC 特性	4	アプリケーション情報	13
タイミング特性	4	レイアウトのガイドライン	13
絶対最大定格	5	複数の DAC のデコード	13
熱抵抗	5	外形寸法	14
ESD に関する注意	5	オーダー・ガイド	14
ピン配置およびピン機能の説明	6		

改訂履歴

10/2019–Revision 0: 初版

仕様

特に指定のない限り、 $V_{DD} = 2.7V \sim 5.5V$ 、 $IOV_{DD} = 1.8V \sim 5.5V$ 、 $2.5V \leq V_{REF} \leq V_{DD}$ 、 $AGND = DGND = 0V$ 、 $T_A = -55^\circ C \sim +175^\circ C$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit	
STATIC PERFORMANCE						
Resolution	Guaranteed monotonic	16			Bit	
Relative Accuracy (INL)			± 0.5	± 17	LSB	
Differential Nonlinearity (DNL)			± 0.5	± 1.0	LSB	
Zero-Scale Error			0.3	± 16	LSB	
Temperature Coefficient			± 0.05		ppm/ $^\circ C$	
Gain Error			0.5	± 22	LSB	
Temperature Coefficient			± 0.1		ppm/ $^\circ C$	
DC Power Supply Rejection Ratio (PSRR)					± 1.2	LSB
OUTPUT CHARACTERISTICS						
Voltage Range		0		$V_{REF} - 1$ LSB	V	
Impedance			6.25		k Ω	
VOLTAGE REFERENCE INPUT						
Impedance		9			k Ω	
Range		2		V_{DD}	V	
Capacitance			26		pF	
LOGIC INPUTS						
Input Current				± 1.0	μA	
Input Voltage						
Low (V_{INL})	$IOV_{DD} = 1.65 V$ to $5.5 V$			0.4	V	
	$IOV_{DD} = 2.7 V$ to $5.5 V$			0.8	V	
High (V_{INH})	$IOV_{DD} = 1.65 V$ to $5.5 V$	1.3			V	
	$IOV_{DD} = 2.7 V$ to $5.5 V$	2.4			V	
Pin Capacitance			10		pF	
Hysteresis Voltage			0.15		V	
POWER REQUIREMENTS						
Power Supply						
V_{DD} Voltage	$V_{INH} = IOV_{DD}$ or $V_{INL} = DGND$	2.7		5.5	V	
IOV_{DD} Voltage	$V_{INH} = IOV_{DD}$ or $V_{INL} = DGND$	1.65		5.5	V	
Analog Current (AI_{DD})			125	130	μA	
IOV_{DD} Current (IOI_{DD})			15	24	μA	

AC 特性

特に指定のない限り、 $V_{DD} = 2.7V \sim 5.5V$ 、 $IOV_{DD} = 1.8V \sim 5.5V$ 、 $2.5V \leq V_{REF} \leq V_{DD}$ 、 $AGND = DGND = 0V$ 、 $T_A = -55^\circ C \sim +175^\circ C$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Condition
OUTPUT VOLTAGE SETTling TIME		30		μs	To divide the LSB of the full scale in half, load capacitance (C_L) = 18 pF
SLEW RATE		7		V/ μs	$C_L = 18$ pF, measured from 0% to 63%
DIGITAL-TO-ANALOG GLITCH IMPULSE		1.5		nV \cdot sec	1 LSB change around major carry
REFERENCE					
-3 dB Bandwidth		1.2		MHz	All 1s loaded, V_{REF} capacitance (C_{REF}) = 0.1 μF
Feedthrough		1.4		mV p-p	All 0s loaded, $V_{REF} = 1$ V p-p at 100 kHz
DIGITAL FEEDTHROUGH		0.4		nV \cdot sec	
SIGNAL-TO-NOISE RATIO		95		dB	
SPURIOUS-FREE DYNAMIC RANGE		80		dB	Digitally generated sine wave at 1 kHz
TOTAL HARMONIC DISTORTION		74		dB	DAC code = 0xFFFF, frequency 10 kHz, $V_{REF} = 2.5$ V \pm 1 V p-p
OUTPUT					
Noise Spectral Density		14		nV/ \sqrt{Hz}	DAC code = 0x0000, frequency = 1 kHz
Noise		1.25		μV p-p	0.1 Hz to 10 Hz

タイミング特性

特に指定のない限り、 $V_{DD} = 5V$ 、 $2.5V \leq V_{REF} \leq V_{DD}$ 、 $V_{INH} = IOV_{DD}$ の 90%、 $V_{INL} = IOV_{DD}$ の 10%、 $AGND = DGND = 0V$ 、 $-55^\circ C < T_A < +175^\circ C$ 。

表 3.

Parameter ^{1,2}	$1.62V \leq IOV_{DD} \leq 2.7V$ での限界値	$2.7V \leq IOV_{DD} \leq 5.5V$ での限界値	単位	説明
f_{SCLK}	14	50	MHz max	SCLK サイクル周波数
t_1	70	20	ns min	SCK サイクル・タイム
t_2	35	10	ns min	SCLK ハイ時間
t_3	35	10	ns min	SCLK ロー時間
t_4	5	5	ns min	\overline{CS} ローから SCLK ハイへのセットアップ
t_5	5	5	ns min	\overline{CS} ハイから SCLK ハイへのセットアップ
t_6	5	5	ns min	SCLK ハイから \overline{CS} ローへのホールド・タイム
t_7	10	5	ns min	SCLK ハイから \overline{CS} ハイへのホールド・タイム
t_8	35	10	ns min	データ・セットアップ・タイム
t_9	5	4	ns min	データ・ホールド・タイム (V_{INH} は IOV_{DD} の 90%、 V_{INL} は IOV_{DD} の 10%)
t_9	5	5	ns min	データ・ホールド・タイム ($V_{INH} = 3V$ 、 $V_{INL} = 0V$)
t_{10}	20	20	ns min	LDACパルス幅
t_{11}	10	10	ns min	\overline{CS} ハイからLDACローへのセットアップ
t_{12}	15	15	ns min	アクティブ周期間の \overline{CS} ハイ時間

¹ 設計および特性評価により確保。出荷テストの対象外です。

² すべての入力信号は立上がり時間 (t_r) = 立下がり時間 (t_f) = 1ns/V で仕様規定し、 $(V_{INL} + V_{INH})/2$ の電圧レベルで時間を測定しています。

絶対最大定格

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Rating
V_{DD} to AGND	-0.3 V to +6 V
IOV_{DD} to AGND	-0.3 V to +6 V
Digital Inputs ¹ to DGND	-0.3 V to $IOV_{DD} + 0.3$ V
V_{OUT} to AGND	-0.3 V to $V_{DD} + 0.3$ V
AGND to DGND	0.3 V
Digital Input Pin Current	± 10 mA
Temperature	
Operating Range ²	-55°C to $+175^\circ\text{C}$
Junction Temperature, T_{JMAX}	175°C
Power Dissipation	$(T_{JMAX} - T_A)/\theta_{JA}$
Reflow Soldering Peak, Pb Free	260°C
Electrostatic Discharge (ESD)	5 kV

¹ デジタル入力には、SCLK、DIN、 $\overline{\text{CS}}$ 、およびLDACが含まれます。

² 最大温度範囲で最大 1000 時間の動作テストを実施して性能を評価しています。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

表 5.熱抵抗

Package Type	θ_{JA}	θ_{JB}	θ_{JC}	Ψ_{JT}	Ψ_{JB}	Unit
RM-10 ¹	146.76	84.21	38.12	2.56	82.41	$^\circ\text{C}/\text{W}$

¹ 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

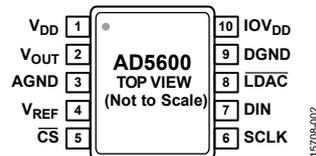


図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	V _{DD}	電源入力。このデバイスは 2.7V~5.5V の電圧範囲で動作します。V _{DD} は AGND にデカップリングします。
2	V _{OUT}	DAC からのアナログ出力電圧。
3	AGND	アナログ・グラウンド。デバイスのすべてのアナログ回路のグラウンド基準ポイント。
4	V _{REF}	電圧リファレンス入力。このピンは外部電圧リファレンスに接続します。
5	$\overline{\text{CS}}$	チップ・セレクト入力信号。 $\overline{\text{CS}}$ はシリアル・データ入力をフレーミングします。
6	SCLK	シリアル・クロック入力信号。データは、SCLK の立上がりエッジでシリアル入力レジスタにクロック入力されます。
7	DIN	シリアル・データ入力信号。このデバイスは 16 ビット・ワードを受け入れます。データは、SCLK の立上がりエッジでシリアル入力レジスタにクロック入力されます。
8	$\overline{\text{LDAC}}$	$\overline{\text{LDAC}}$ 入力信号。このピンにローのパルスを入力すると DAC レジスタが更新されます。この更新は、入力レジスタに新しいデータがある場合に実行されます。このピンはロー・レベルに固定できます。この場合、DAC レジスタは自動的に更新されます。この更新は、 $\overline{\text{CS}}$ の立上がりエッジで入力レジスタに新しい値が書き込まれたときに実行されます。
9	DGND	デジタル・グラウンド。デバイスのすべてのデジタル回路のグラウンド基準ポイント。
10	IOV _{DD}	デジタル・インターフェースの電源電圧。電圧範囲は 1.65V~5.5V です。IOV _{DD} は DGND にデカップリングします。

代表的な性能特性

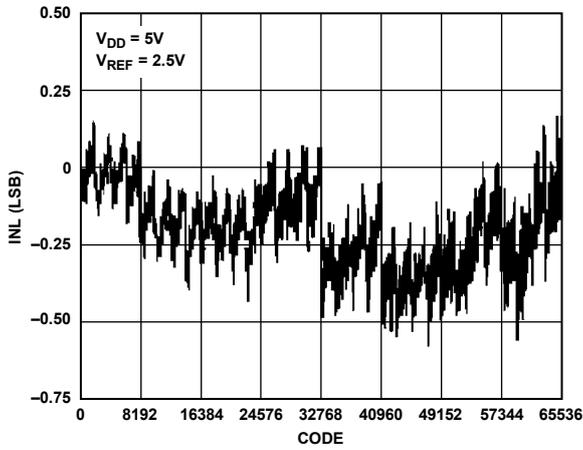


図 3. INL とコードの関係

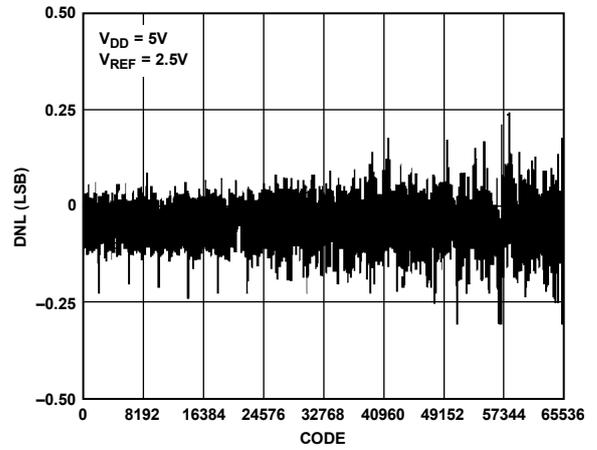


図 6. DNL とコードの関係

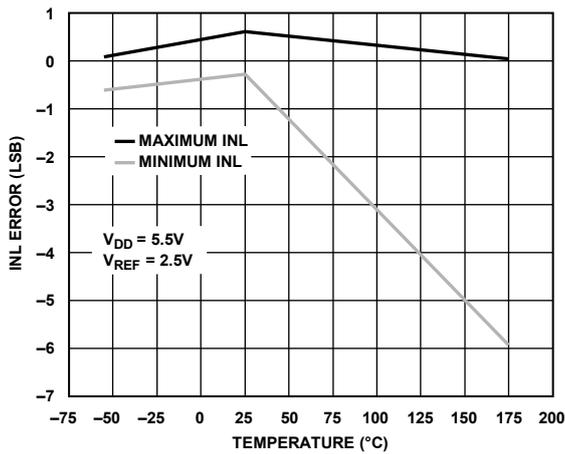


図 4. INL 誤差の温度特性

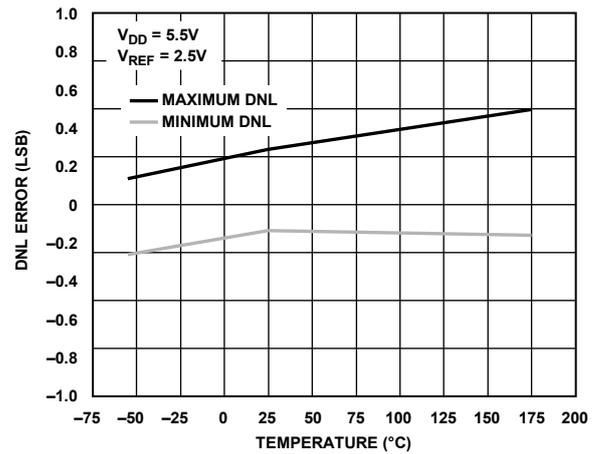


図 7. DNL 誤差の温度特性

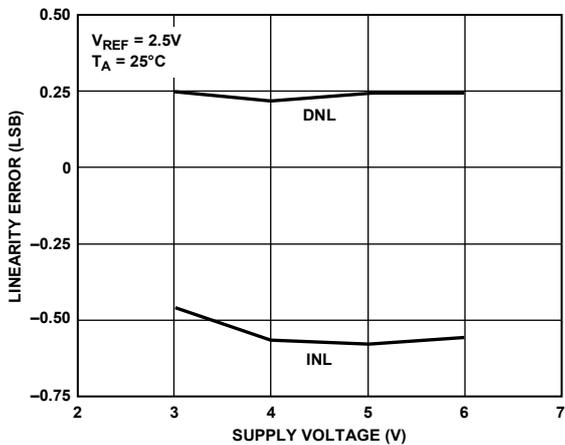


図 5. 直線性誤差と電源電圧の関係

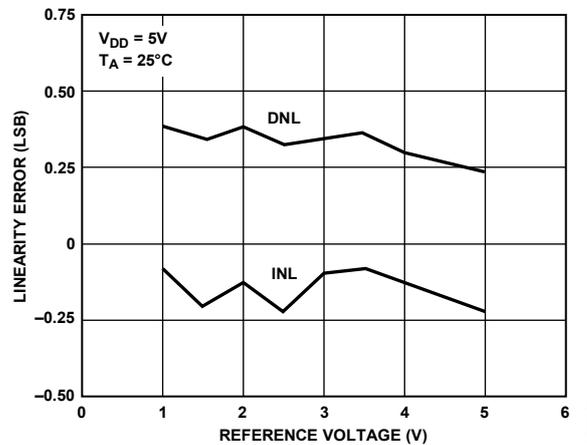


図 8. 直線性誤差とリファレンス電圧の関係

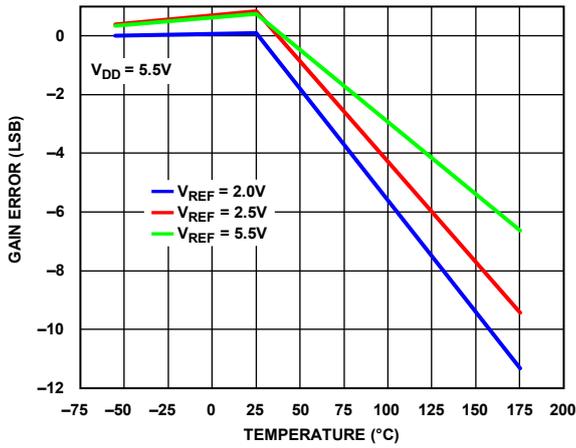


図 9. ゲイン誤差の温度特性

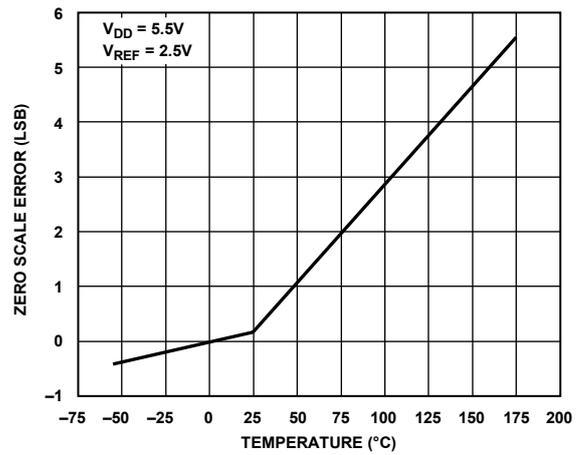


図 12. ゼロスケール誤差の温度特性

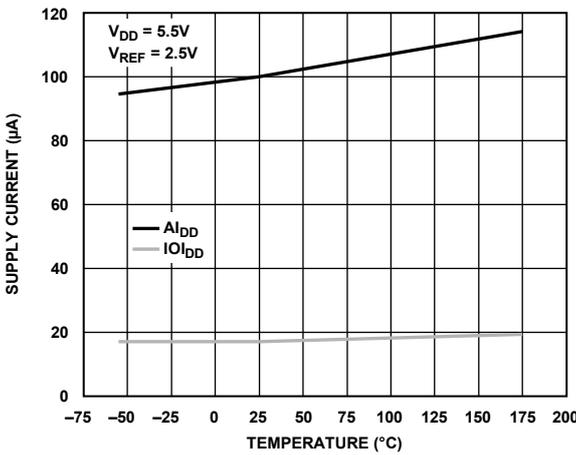


図 10. 電源電流の温度特性

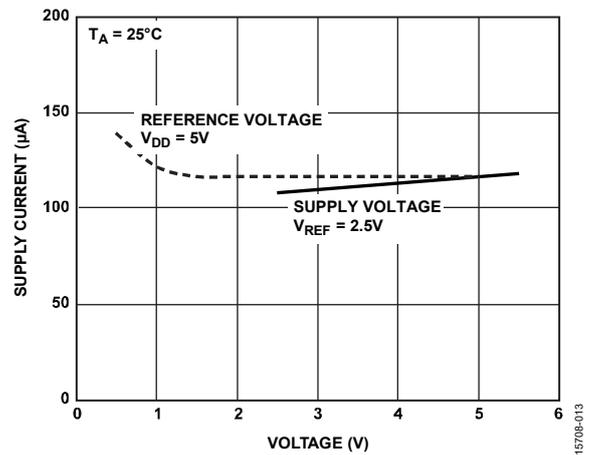


図 13. 電源電流と電圧（リファレンスおよび電源）の関係

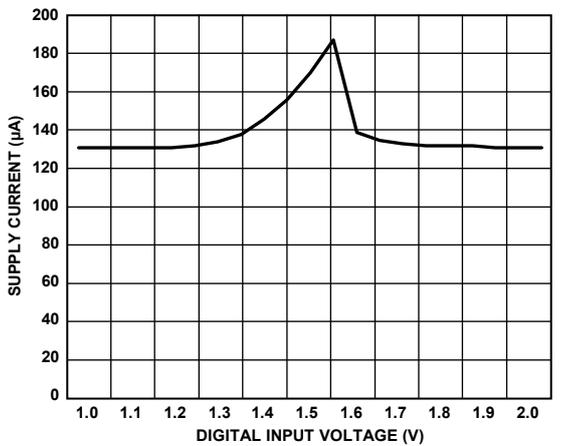


図 11. 電源電流とデジタル入力電圧の関係

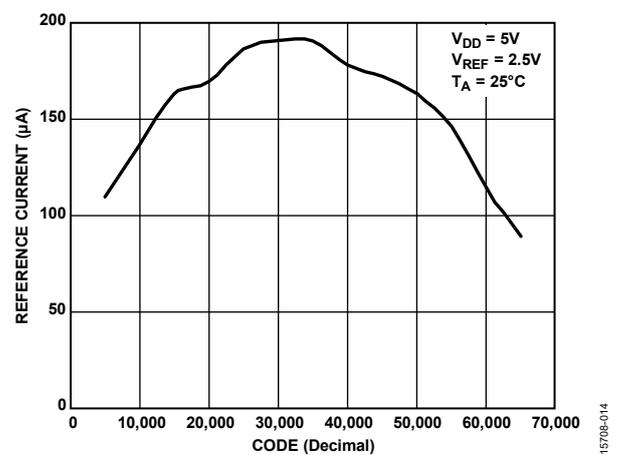


図 14. リファレンス電流とコードの関係

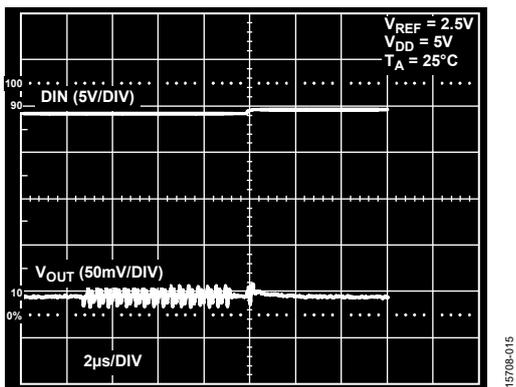


図 15. デジタル・フィードスルー

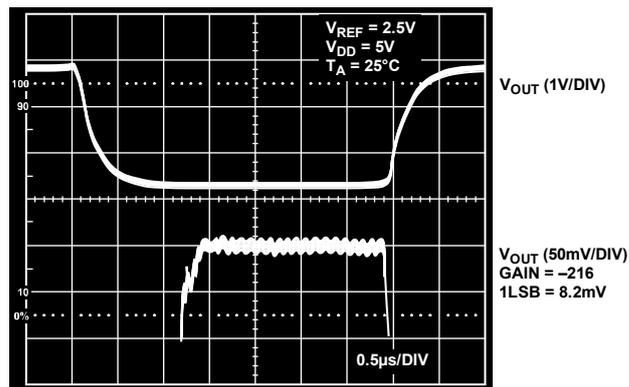


図 18. 小信号のセトリング・タイム

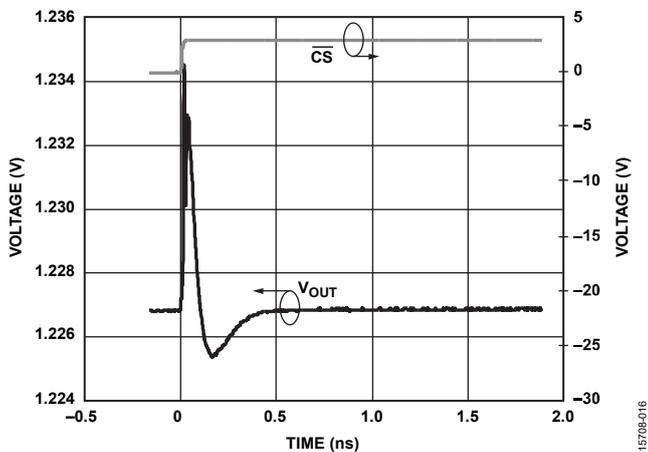


図 16. デジタル/アナログ・グリッチ・インパルス

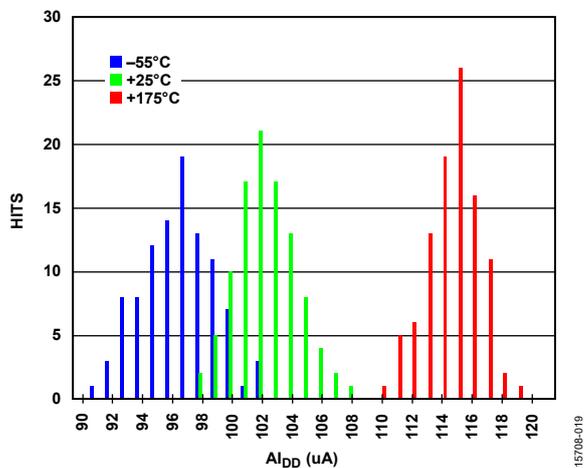


図 19. AI_{DD} ヒストグラム

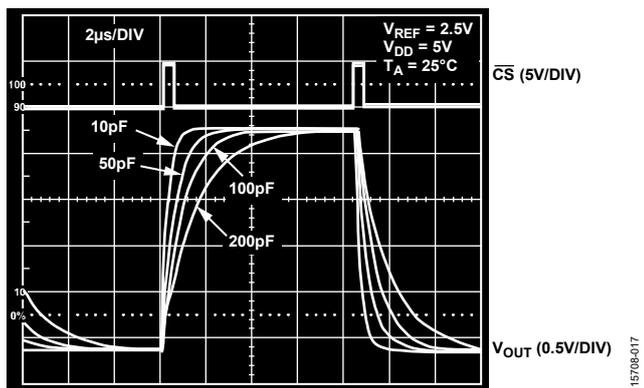


図 17. 大信号のセトリング・タイム

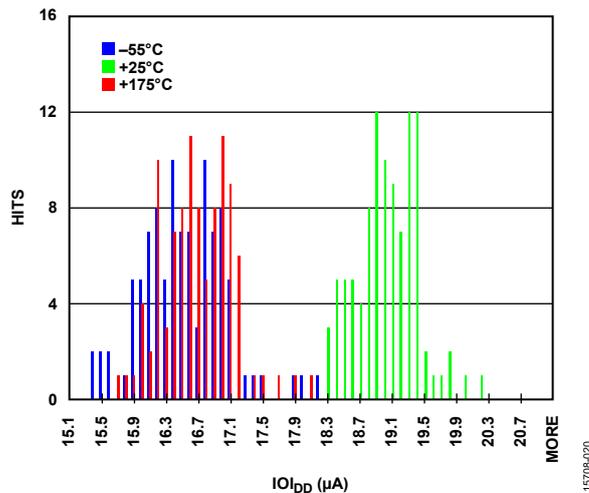


図 20. IOI_{DD} ヒストグラム

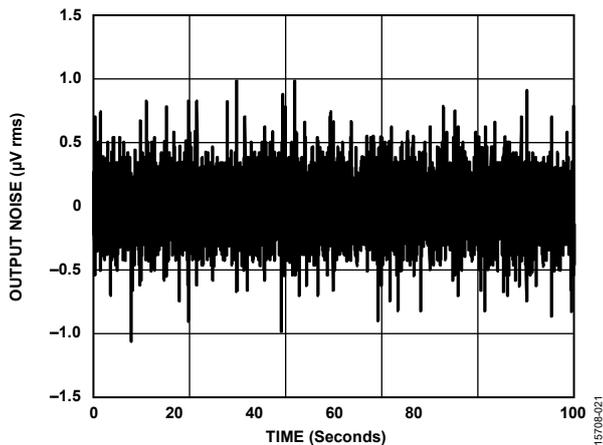


図 21. 0.1Hz~10Hz での出力ノイズ

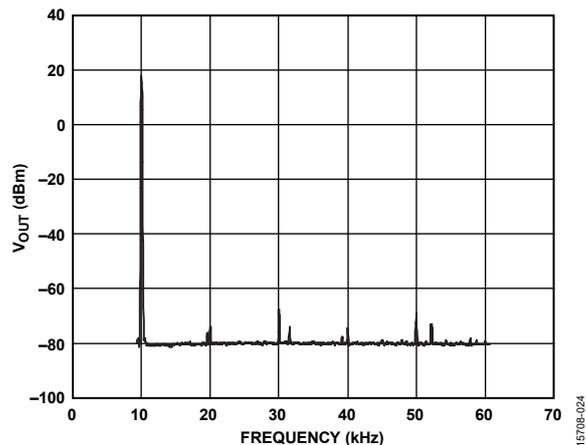


図 24. 全高調波歪み (THD)

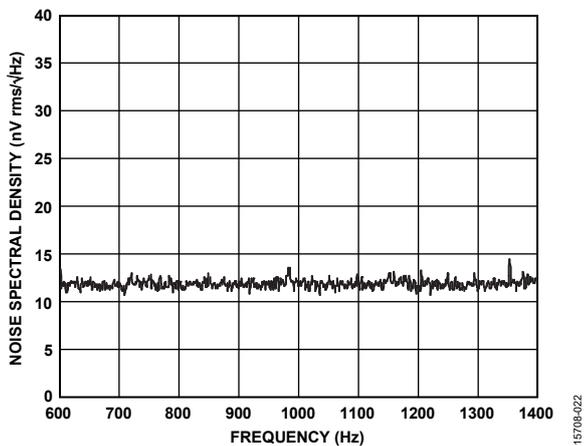


図 22. ノイズ・スペクトル密度の周波数特性 (1kHz)

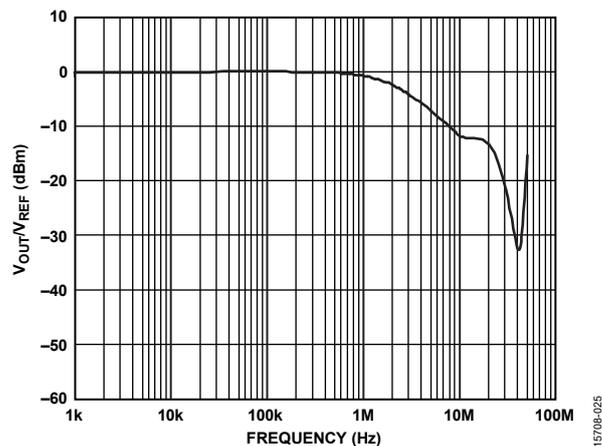


図 25. 乗算帯域幅

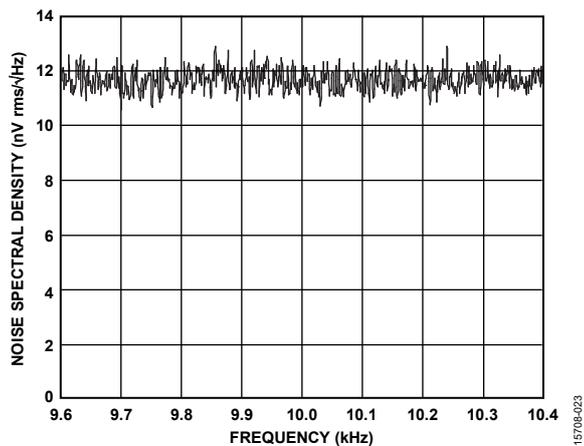


図 23. ノイズ・スペクトル密度の周波数特性 (10kHz)

用語の定義

相対精度または積分非直線性 (INL)

DAC の場合、相対精度すなわち INL は、DAC の伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB 単位) を表します。INL (代表値) とコードのプロットを図 3 に示します。

微分非直線性 (DNL)

DNL は、隣接する 2 つのコードの間で測定された変化と理論的な 1LSB 変化との差を表します。微分非直線性の仕様が ± 1 LSB 以内の場合は、単調増加性が確保されます。DNL (代表値) とコードのプロットを図 6 に示します。

ゲイン誤差

ゲイン誤差は、理論アナログ出力範囲 (LSB 単位) と実際の出力範囲の差です。これは DAC の伝達特性の傾き (理論値) からの偏差です。

ゲイン誤差の温度係数

ゲイン誤差の温度係数は、温度変化に伴うゲイン誤差の変化の程度を表す値です。この温度係数は ppm/°C で表されます。

ゼロスケール誤差

ゼロスケール誤差は、ゼロのスケーリングを DAC レジスタに読み込んだときの出力誤差を測定したものです。

ゼロスケール温度係数

ゼロスケール温度係数は、温度変化に伴うゼロスケール誤差の変化の程度を表す値です。この温度係数は ppm/°C で表されます。

デジタル/アナログ・グリッチ・インパルス

デジタル/アナログ・グリッチ・インパルスは、DAC レジスタの入力コードが変化したときに、アナログ出力に混入するインパルスを表します。このインパルスは通常、nV·sec で表されるグリッチの面積として規定され、メジャー・キャリー遷移時にデジタル入力コードが 1LSB だけ変化したときに測定されます。デジタル/アナログ・グリッチ・インパルスのプロットを図 16 に示します。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC のデジタル入力から DAC のアナログ出力に混入するインパルスを表す値です。このフィードスルーは、DAC 出力の更新が行われていないときに測定されます。SCLK 信号と DIN 信号がトグルされている間、CS はハイに保たれます。デジタル・フィードスルーは nV·sec 単位で仕様規定され、データ・バス上でのフルスケール・コードの変更時、すなわち オール 0 からオール 1 への変更時またはオール 1 からオール 0 への変更時に測定されます。標準的なデジタル・フィードスルーのプロットを図 15 に示します。

DC 電源電圧変動除去比 (PSRR)

DC PSRR は、電源電圧の変化が DAC の出力に及ぼす影響を表します。DC 電源電圧変動除去比は、DAC 出力の LSB 数の変化で表されます。V_{DD} は $\pm 10\%$ 変化します。

リファレンス・フィードスルー

リファレンス・フィードスルーは、DAC レジスタにオール 0 がロードされたときの V_{REF} 入力から DAC 出力へのフィードスルーを表す値です。100kHz の 1V_{p-p} が V_{REF} に入力されます。リファレンス・フィードスルーは mV_{p-p} 単位で表されます。

動作原理

AD5600 は、高温動作向けに設計された、シングル・チャンネル、16 ビット、シリアル入力、電圧出力 DAC です。このデバイスは 2.7V~5.5V の電源電圧範囲で動作します。

AD5600 の入力シフト・レジスタは 16 ビット幅です。データは 3 線式 SPI を介して最大 50MHz のクロック周波数でデバイスに書き込まれます。

AD5600 は、パワーアップ時に DAC 出力レジスタを既知の状態に戻すパワーオン・リセット回路を内蔵しています。

DAC

DAC アーキテクチャ

DAC アーキテクチャは、2 個のマッチングした DAC セクションで構成されています。簡略化した回路アーキテクチャを図 26 に示します。AD5600 の DAC アーキテクチャは 2 つに分かれています。16 ビット DAC 駆動ワードの上位 4 ビットはデコードされて、15 個のスイッチ (E1~E15) を駆動します。各スイッチは、15 個のマッチング抵抗のうち 1 つを AGND または V_{REF} に接続します。DAC 駆動ワードの残りの 12 ビットは、12 ビット電圧モードの R・2R ラダー回路のスイッチ S0~S11 を駆動します。

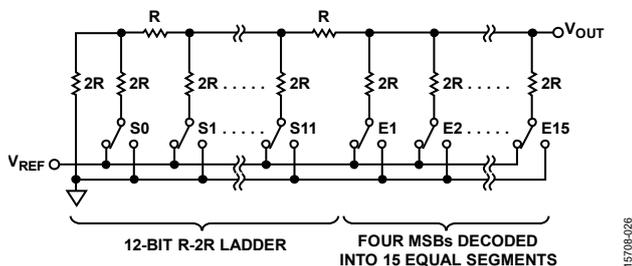


図 26. DAC アーキテクチャの簡略図

伝達関数

DAC の入力コーディングはストレート・バイナリです。理論出力電圧は次式で求められます。

$$V_{OUT} = V_{REF} \times (D/65,536)$$

ここで、 D は、DAC レジスタに読み込まれるバイナリ・コード(10 進数表示)です。

シリアル・インターフェース

AD5600 は、SPI、QSPI、MICROWIRE、および DSP インターフェース規格と互換性のある 3 線式シリアル・インターフェースを採用しています。このシリアル・インターフェースは、最大 50MHz のクロック・レートで動作します。AD5600 は、16 ビット幅の入力シフト・レ

ジスタを内蔵しています。入力シフト・レジスタへの書き込み時に、 \overline{CS} ピンは SPI トランザクションをフレーミングします。 \overline{CS} ピンがハイからローへ遷移すると書き込みトランザクションが開始され、 \overline{CS} ピンがローからハイへ遷移するとトランザクションが終了します。データは、シリアル・クロック (SCLK) の立上がりエッジで入力シフト・レジスタに (MSB ファーストで) ロードされます。16 ビットを超えるデータが入力シフト・レジスタにロードされた場合、最後の 16 ビットが維持されます。16 ビット未満のデータがロードされた場合、前にロードされたワードのビットがレジスタに残ります。

ハードウェア LDAC

AD5600 には、入力シフト・レジスタから DAC レジスタへのデータ転送を制御するハードウェア LDAC ピンがあります。

即時更新

SPI 書き込みトランザクション中に \overline{CS} の立下がりエッジで LDAC がローになっている場合、フレームの終わりの \overline{CS} の立上がりエッジで、DAC レジスタは入力レジスタの内容で更新されます。

アップデートの延長

SPI 書き込みフレーム中に LDAC がハイになっている場合、LDAC ピンで立下がりエッジが検出されるまで、入力レジスタの内容は DAC レジスタに転送されません。 \overline{CS} ピンがローのときは、LDAC ピンの立下がりエッジは無視されます。

パワーオン・リセット

AD5600 には、パワーアップ時に DAC 出力を既知の状態に戻すパワーオン・リセット回路があります。パワーアップ時には、AD5600 の DAC レジスタの内容はオール 0 にクリアされます。入力レジスタからデータがロードされるまで、DAC レジスタはこの状態のままになります。AD5600 の入力レジスタは、パワーアップ時にクリアされません。DAC に最初にデータをロードする際は、少なくとも 16 ビットのデータを DAC にロードして、パワーアップ時の未定義のデータを上書きする必要があります。

パワーアップ時に LDAC がローになっている場合、 \overline{CS} がローからハイへ遷移すると、入力レジスタの誤った内容が DAC レジスタに転送されることがあります。 \overline{CS} をハイにする前に、入力レジスタの内容をクリアしてください。

アプリケーション情報

レイアウトのガイドライン

精度が重要になる回路では、電源とグラウンド・リターンのレイアウトを慎重に検討することが、定格性能の確保に役立ちます。AD5600 を実装する PCB は、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するようにデザインします。複数のデバイス間でアナログ・グラウンドとデジタル・グラウンドを接続する必要があるシステムで AD5600 を使用する場合は、1 点でのみ接続します。デバイスのできるだけ近くにスター結線を構成する必要があります。

AD5600 の各電源には、 $0.1\mu\text{F}$ のコンデンサと並列に接続された $10\mu\text{F}$ の電源バイパス用コンデンサが必要です。このコンデンサは、パッケージのできるだけ近くに、理想的にはデバイスに隣接させて配置します。 $10\mu\text{F}$ のタンタル・ビーズ型コンデンサの使用を推奨します。 $0.1\mu\text{F}$ のコンデンサには、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESL) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

複数の DAC のデコード

AD5600 の $\overline{\text{CS}}$ ピンは、複数の DAC のうち 1 つを選択できます。すべてのデバイスが同じシリアル・クロックとシリアル・データを受信しますが、 $\overline{\text{CS}}$ 信号を受信するデバイスは一度に 1 つだけです。アドレス指定される DAC は、デコーダによって決定されます。デジタル入力ラインからのデジタル・フィードスルーが多少あります。バースト・クロックを使用して、アナログ信号チャンネルへのデジタル・フィードスルーの影響を最小限に抑えます。標準的な回路を図 27 に示します。

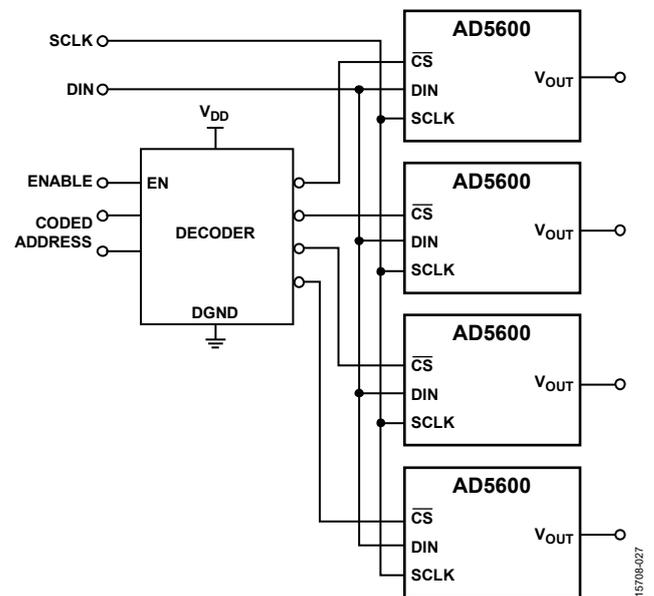


図 27. 複数の DAC のアドレス指定

外形寸法

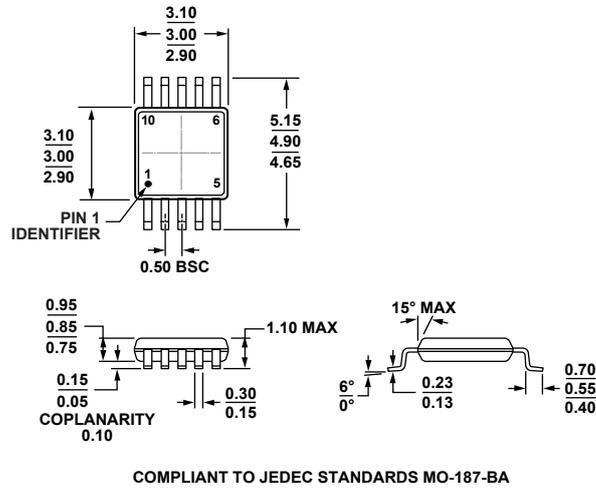


図 28. 10 ピン、ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-10)
寸法単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD5600HRMZ	-55°C to +175°C	10-Lead Mini Small Outline Package [MSOP]	RM-10
EVAL-AD5600PMDZ		Evaluation Board	

¹ Z = RoHS 準拠製品