

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2021年3月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年3月17日

製品名：AD4695 / AD4696

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：42 ページ

左の段 最下行

【誤】

「MB\_STRICT=1 の場合・・・」

【正】

「MB\_STRICT=0 の場合・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2021年3月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年3月17日

製品名：AD4695 / AD4696

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：64 ページ

右の段 上から5行目の計算式

【誤】

$R_{EXT} + V_{IN,max} - V_{REF}/5 \text{ mA } (\Omega)$

【正】

$R_{EXT} = (V_{IN,max} - V_{REF}) / 5 \text{ mA } (\Omega)$

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2021年3月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年3月17日

製品名：AD4695 / AD4696

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：67 ページ

左の段 上から 14 行目の計算式

【誤】

$$N = 16 \log_4(\text{OSR})$$

【正】

$$N = 16 \times \log_4(\text{OSR})$$



# Easy Drive 機能を備えた 16 ビット、16 チャンネル 500kSPS/1MSPS の マルチプレクス SAR ADC

## データシート

## AD4695/AD4696

### 特長

#### Easy Drive

アナログ入力条件およびリファレンス駆動条件の緩和  
アナログ入力ごとに最大 5mA の過電圧クランプ入力電流保護  
長いアキュイジション・フェーズ：1MSPS で  
サイクル・タイムの 71.5%以上 (715ns/1000ns)

#### 高性能

サンプリング・レート：500kSPS (AD4695) または  
1MSPS (AD4696)

INL：±1LSB (最大値)

16 ビットのノー・ミス・コードを確保

SINAD：93dB (代表値)、 $V_{REF} = 5V$ 、 $f_{IN} = 1kHz$

オーバーサンプリング・ダイナミック・レンジ：111.2dB、  
OSR = 64

#### 小型フットプリント、高チャンネル密度

32 ピン 5mm × 5mm LFCSP

Easy Drive 機能により、より少ない部品数でシステムレベル  
の設計をサポート

#### 強化されたデジタル機能

最初の変換から高精度、遅延またはパイプライン遅延なし  
高速変換とデュアル SDO モードで低 SPI クロック・レート  
を実現

カスタマイズ可能なチャンネル・シーケンサ

オーバーサンプリングおよびデシメーション機能内蔵

閾値検出アラート

オフセットおよびゲイン補正

自律的変換 (自動サイクル) モード

シリアル・インターフェース：SPI/QPSI/MICROWIRE/DSP  
互換

#### 低消費電力

$f_s = 1MSPS$  で 8mW

$f_s = 500kSPS$  で 4mW

内部 LDO がディスエーブルの場合、スタンバイ時の消費電力  
が 4 $\mu$ W

内部 LDO により 3.15V~5.5V のアナログ単電源動作が可能

1.14V~1.98V のロジック・インターフェース

広い動作温度範囲：-40°C~+125°C

### アプリケーション

フォトダイオード・モニタリング

医療用計測機器

バイタル・サイン・モニタリング

電子テストおよび計測

ATE (自動試験装置)

計測器およびプロセス制御

バッテリー駆動装置

### 概要

AD4695/AD4696 は、小型で正確度の高い低消費電力 16 チャンネル、16 ビット、500kSPS/1MSPS、マルチプレクス入力の高精度逐次比較レジスタ (SAR) A/D コンバータ (ADC) で、Easy Drive 機能と幅広いデジタル機能を備えています。

AD4695/AD4696 は、スペースに制約のあるマルチチャンネル高精度データ・アキュイジション・システムおよびモニタリング回路への使用に最適です。AD4695/AD4696 は、ノー・ミス・コードの真の 16 ビット SAR ADC コアのほか、低クロストークの 16 チャンネル・マルチプレクサ、柔軟性のあるチャンネル・シーケンサ、アナログ入力ごとの過電圧保護クランプ回路、内蔵のオーバーサンプリングおよびデシメーション機能、閾値検出およびアラート・インジケータ、自律的変換 (自動サイクル) モードを備えています。

AD4695/AD4696 の Easy Drive 機能は、アナログ・フロントエンド (AFE) およびリファレンス回路の駆動条件を緩和します。アナログ入力高インピーダンス・モードおよびリファレンス入力高インピーダンス・モードでは、専用的高速 ADC ドライバとリファレンス・バッファが不要となり、システム設計が簡素化され、部品数が低減し、チャンネル密度を増加できます。

アナログ入力ごとの入力過電圧保護クランプは、過電圧イベントから AD4695/AD4696 を保護し、1 つのチャンネルでの過電圧イベントによる他のチャンネルの性能低下を防ぎます (図 26 参照)。

高度なデジタル機能を通じて、AD4695/AD4696 は様々な低消費電力デジタル・ホストに対応可能です。シリアル・ペリフェラル・インターフェース (SPI) の低クロック・レート条件、カスタマイズ可能な内蔵のチャンネル・シーケンサ、オーバーサンプリングおよびデシメーション機能により、デジタル・ホスト・システムにかかる負荷が軽減されます。自動サイクル・モードおよび閾値検出機能によって、変換を自律的に実施し、チャンネル固有の閾値に基づいてアラートを生成することで、低消費電力の割込み駆動ファームウェアを設計できます。

AD4695/AD4696 は、5mm × 5mm の 32 ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP) を採用し、-40°C ~ +125°C の範囲で動作するように仕様規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F  
電話 052 (569) 6300

## 目次

特長 .....	1	ビジー・インジケータ .....	36
アプリケーション .....	1	チャンネル・シーケンシング・モード .....	36
概要 .....	1	デジタル・インターフェース .....	41
改訂履歴 .....	2	レジスタ設定モード .....	41
機能ブロック図 .....	3	変換モード .....	48
仕様 .....	4	自動サイクル・モード .....	54
タイミング仕様 .....	8	汎用ピン .....	56
絶対最大定格 .....	10	デバイスのリセット .....	56
熱抵抗 .....	10	アプリケーション情報 .....	60
静電放電 (ESD) 定格 .....	10	アナログ・フロントエンド設計 .....	61
ESD に関する注意 .....	10	アナログ入力過電圧保護 .....	64
ピン配置およびピン機能の説明 .....	11	リファレンス回路設計 .....	65
代表的な性能特性 .....	13	REF 入力駆動のためのリファレンス回路設計 .....	65
用語の定義 .....	23	コードと電圧の間の変換 .....	67
動作原理 .....	24	ノイズ低減のためのオーバーサンプリング .....	67
概要 .....	24	デジタル・インターフェース動作 .....	67
コンバータの動作 .....	24	デバイス設定の推奨事項 .....	74
伝達関数 .....	26	実効チャンネル・サンプリング・レート .....	75
アナログ入力 .....	27	レイアウトのガイドライン .....	77
入力過電圧保護クランプ .....	31	AD4695/AD4696 の性能評価 .....	77
温度センサー .....	32	レジスタの情報 .....	78
電圧リファレンス入力 .....	32	レジスタの概要 .....	78
電源 .....	32	レジスタの詳細 .....	79
オーバーサンプリングおよびデシメーション .....	33	外形寸法 .....	96
オフセットおよびゲイン補正 .....	34	オーダー・ガイド .....	96
閾値検出とアラート・インジケータ .....	34		

## 改訂履歴

12/2020—Revision 0: Initial Version

機能ブロック図

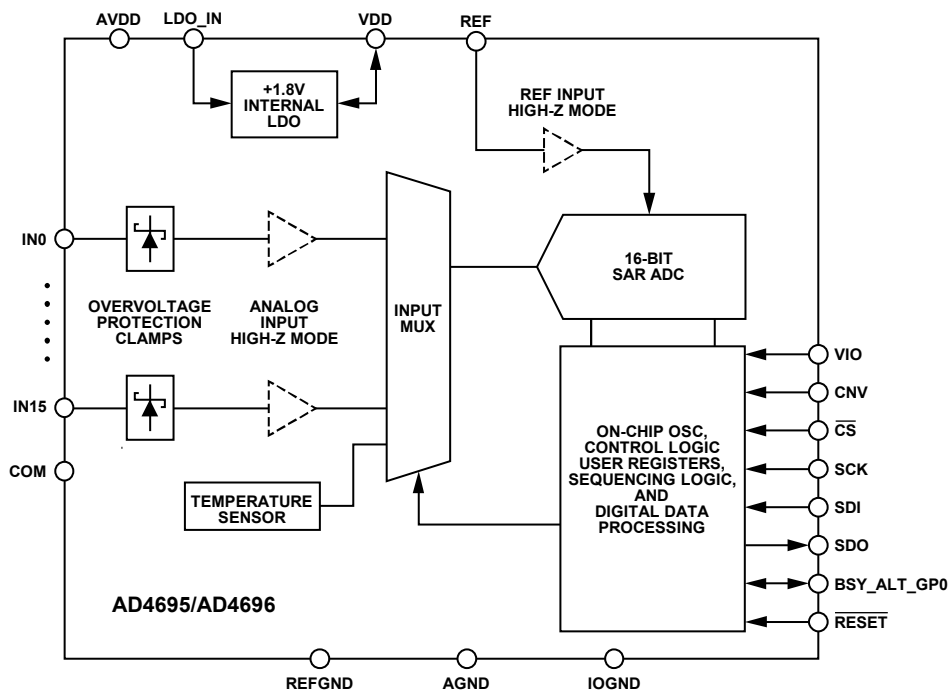


図 1.

24816-001

## 仕様

特に指定のない限り、AVDD = 3.15V ~ 5.5V、LDO\_IN = 2.4V ~ 5.5V（内部低ドロップアウト（LDO）イネーブル）、LDO\_IN = AGND（内部 LDO ディスエーブル）、VDD = 1.71V ~ 1.89V（内部 LDO ディスエーブル）、VIO = 1.14V ~ 1.98V、AGND = REFGND = IOGND = 0V、リファレンス電圧 ( $V_{REF}$ ) = 2.4V ~ 5.1V、REF =  $V_{REF}$ 、サンプリング・レート ( $f_s$ ) = 1MSPS (AD4696)、 $f_s$  = 500kSPS (AD4695)、入力周波数 ( $f_{IN}$ ) = 1kHz、デジタル出力負荷容量 = 20pF、自動サイクル・モード無効、アナログ入力高インピーダンス・モード有効、リファレンス入力高インピーダンス・モード有効、ビジー・インジケータおよびアラート・インジケータは BSY\_ALT\_GP0 でイネーブルされていない、アクティブ過電圧保護クランプなし、 $T_A$  = -40°C ~ +125°C。

表 1.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
RESOLUTION		16			Bits
ANALOG INPUT <sup>1,2</sup>					
Input Voltage Range	正の ADC 入力電圧 (IN+) - 負の ADC 入力電圧 (IN-)				
Unipolar Mode		0		+ $V_{REF}$	V
Pseudobipolar Mode		- $V_{REF}/2$		+ $V_{REF}/2$	V
Operating Input Voltage					
IN+ - REFGND	IN- = REFGND	0		+ $V_{REF}$	V
IN- - REFGND	IN- = COM、奇数番号入力	-0.1		$V_{REF} + 0.1$	V
IN- - REFGND	IN- = COM、奇数番号入力 ユニポーラ・モード	-0.1		$V_{REF} + 0.1$	V
IN- - REFGND	擬似バイポーラ・モード	$V_{REF}/2 - 0.1$	$V_{REF}/2$	$V_{REF}/2 + 0.1$	V
Common-Mode Rejection Ratio (CMRR)	$f_{IN} = 250\text{kHz}$ 、IN- = COM、奇数番号入力		69.5		dB
Analog Input Leakage Current <sup>3</sup>			10		nA
SAMPLING DYNAMICS					
Sample Rate	自動サイクル・モード無効				
AD4695				500	kSPS
AD4696				1	MSPS
Autocycle Sample Period	自動サイクル・モード有効				
AC_CYC = 0x0		8.5	10	11.5	$\mu\text{s}$
AC_CYC = 0x1		17	20	23	$\mu\text{s}$
AC_CYC = 0x2		34	40	46	$\mu\text{s}$
AC_CYC = 0x3		68	80	92	$\mu\text{s}$
AC_CYC = 0x4		85	100	115	$\mu\text{s}$
AC_CYC = 0x5		170	200	230	$\mu\text{s}$
AC_CYC = 0x6		340	400	460	$\mu\text{s}$
AC_CYC = 0x7		680	800	920	$\mu\text{s}$
Aperture Delay			2		ns
Aperture Jitter			0.5		ps rms
DC ACCURACY					
No Missing Codes		16			Bits
Integral Nonlinearity Error (INL)	$V_{REF} = 5\text{V}$ 、オーバーサンプリング比 (OSR) = 1	-1	$\pm 0.4$	+1	LSB
Differential Nonlinearity Error (DNL)	$V_{REF} = 5\text{V}$ 、OSR = 1	-0.6	$\pm 0.3$	+0.6	LSB
Transition Noise	$V_{REF} = 5\text{V}$		0.5		LSB rms
Offset Error <sup>4</sup>	$V_{REF} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$		$\pm 0.03$		mV
Offset Error Match <sup>4</sup>	$V_{REF} = 5\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-0.43		+0.43	mV
Offset Error Match <sup>4</sup>	$V_{REF} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$		$\pm 0.025$		mV
Offset Error Match <sup>4</sup>	$V_{REF} = 5\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-0.23		+0.23	mV
Gain Error <sup>4</sup>	$V_{REF} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$		$\pm 0.001$		%FS <sup>5</sup>
Gain Error Match <sup>4</sup>	$V_{REF} = 5\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-0.025		+0.025	%FS
Gain Error Match <sup>4</sup>	$V_{REF} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$		$\pm 0.002$		%FS
Gain Error Match <sup>4</sup>	$V_{REF} = 5\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-0.012		+0.012	%FS

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
<b>AC PERFORMANCE</b>					
Dynamic Range	$V_{REF} = 5V$				
	OSR = 1		93.4		dB
	OSR = 4		99.3		dB
	OSR = 16		105.3		dB
Input RMS Noise	OSR = 64		111.2		dB
	OSR = 1		37.8		$\mu V$ rms
	OSR = 4		19.2		$\mu V$ rms
	OSR = 16		9.6		$\mu V$ rms
1/f Noise	OSR = 64		4.9		$\mu V$ rms
	帯域幅 = 0.1Hz~10Hz		5		$\mu V$ p-p
Signal-to-Noise Ratio (SNR)	$V_{REF} = 5V, f_{IN} = 1kHz$	91.25	93		dB
	$V_{REF} = 4.096V, f_{IN} = 1kHz$		91.3		dB
	$V_{REF} = 2.5V, f_{IN} = 1kHz$		87		dB
Total Harmonic Distortion (THD)	$V_{REF} = 5V, f_{IN} = 1kHz$		-117		dB
	$V_{REF} = 4.096V, f_{IN} = 1kHz$		-117.5		dB
	$V_{REF} = 2.5V, f_{IN} = 1kHz$		-119		dB
Signal-to-Noise-and-Distortion (SINAD)	$V_{REF} = 5V, f_{IN} = 1kHz$		93		dB
	$V_{REF} = 4.096V, f_{IN} = 1kHz$		91.3		dB
	$V_{REF} = 2.5V, f_{IN} = 1kHz$		87		dB
Spurious-Free Dynamic Range (SFDR)	$V_{REF} = 5V$		121		dB
Channel to Channel Isolation	$f_{IN} = 100kHz$		-123		dB
Channel to Channel Memory	$f_{IN} = 100kHz, f_S = 1MSPS$		-100		dB
-3 dB Input Bandwidth	$f_{IN} = 100kHz, f_S = 500kSPS$		-110		dB
			11.7		MHz
<b>REFERENCE</b>					
$V_{REF}$ Range		2.4		AVDD + 0.25	V
REF Leakage Current	$V_{REF} = 5V$				
	アクティブ過電圧保護クランプなし		165		nA
	全クランプ・アクティブ、過電圧減少、電流モード無効		375		$\mu A$
REF Average Input Current	全クランプ・アクティブ、過電圧減少、電流モード有効		8		$\mu A$
	$V_{REF} = AVDD = 5V$				
	$f_S = 10kSPS$ 、ユニポーラ・モード		3.3		$\mu A$
Reference High-Z Mode Enabled	$f_S = 500kSPS$ 、ユニポーラ・モード		160		$\mu A$
	$f_S = 1MSPS$ 、ユニポーラ・モード		320		$\mu A$
	$f_S = 10kSPS$ 、擬似バイポーラ・モード		4.0		$\mu A$
	$f_S = 500kSPS$ 、擬似バイポーラ・モード		195		$\mu A$
	$f_S = 1MSPS$ 、擬似バイポーラ・モード		390		$\mu A$
	$f_S = 10kSPS$ 、ユニポーラ・モード		0.3		$\mu A$
	$f_S = 500kSPS$ 、ユニポーラ・モード		6		$\mu A$
	$f_S = 1MSPS$ 、ユニポーラ・モード		12		$\mu A$
	$f_S = 10kSPS$ 、擬似バイポーラ・モード		0.4		$\mu A$
	$f_S = 500kSPS$ 、擬似バイポーラ・モード		11		$\mu A$
$f_S = 1MSPS$ 、擬似バイポーラ・モード		22		$\mu A$	
<b>TEMPERATURE SENSOR</b>					
Temperature Sensor Voltage	$T_A = 25^\circ C$		680		mV
Temperature Sensitivity	$T_A = 0^\circ C$		725		mV
	$T_A = -40^\circ C \sim +125^\circ C$		-1.8		mV/ $^\circ C$



パラメータ	テスト条件/コメント	Min	Typ	Max	単位
<b>OVERVOLTAGE CLAMP</b>					
External Series Resistance ( $R_{EXT}$ ) <sup>6</sup>	安定したクランプ動作の場合 過電圧減少電流モード無効 過電圧減少電流モード有効			2000	$\Omega$
External Series Capacitance ( $C_{EXT}$ ) <sup>6</sup>	安定したクランプ動作の場合	500		1000	$\mu F$
Clamp Input Current	アクティブ・クランプごと			5	mA
Clamp Activation Voltage				$V_{REF} + 0.55$	V
Clamp Deactivation Voltage		$V_{REF} + 0.1$			V
Input Clamping Voltage	クランプ電流 = 5mA		$V_{REF} + 0.2$		V
Activation Time			50		ns
Deactivation Time			100		ns
<b>DIGITAL INPUTS</b>					
Logic Levels					
Input Low Voltage ( $V_{IL}$ )		-0.3		$+0.3 \times V_{IO}$	V
Input High Voltage ( $V_{IH}$ )		$0.7 \times V_{IO}$		3.6	V
Input Current ( $I_L$ )		-1		+1	$\mu A$
Input Pin Capacitance			5		pF
<b>DIGITAL OUTPUTS</b>					
Conversion Mode Data Format	ユニポーラ・モード 擬似バイポーラ・モード		Straight binary Twos complement		
Logic Levels					
Output Low Voltage ( $V_{OL}$ )	デジタル出力電流 = +500 $\mu A$			0.4	V
Output High Voltage ( $V_{OH}$ )	デジタル出力電流 = -500 $\mu A$	$V_{IO} - 0.3$			V
<b>POWER REQUIREMENTS</b>					
AVDD to AGND		3.15		5.5	V
LDO_IN to AGND	内部 LDO イネーブル	2.4		5.5	V
	内部 LDO ディスエーブル		0		V
VDD to AGND	内部 LDO ディスエーブル	1.71	1.8	1.89	V
VIO to IOGND		1.14		1.98	V
<b>POWER SUPPLY CURRENT<sup>7</sup></b>					
Standby Current					
AVDD	AVDD = 5V		160		nA
LDO_IN	LDO_IN = 5V				
	内部 LDO イネーブル		9		$\mu A$
	内部 LDO ディスエーブル		0.3		$\mu A$
VDD	VDD = 1.8V、内部 LDO ディスエーブル		1.5		$\mu A$
VIO	VIO = 1.8V		250		nA
AVDD Current (Conversion Mode)	AVDD = 5V				
Reference High-Z Mode Disabled, Analog	$f_s = 10kSPS$		680		nA
Input High-Z Mode Disabled	$f_s = 500kSPS$		26		$\mu A$
	$f_s = 1MSPS$		52		$\mu A$
Reference High-Z Mode Enabled, Analog	$f_s = 10kSPS$		13		$\mu A$
Input High-Z Mode Enabled	$f_s = 500kSPS$		0.64	0.73	mA
	$f_s = 1MSPS$		1.28	1.46	mA
LDO_IN Current (Conversion Mode)	LDO_IN = 5V、内部 LDO イネーブル				
Reference High-Z Mode Disabled, Analog	$f_s = 10kSPS$		52		$\mu A$
Input High-Z Mode Disabled	$f_s = 500kSPS$		2		mA
	$f_s = 1MSPS$		4		mA
Reference High-Z Mode Enabled, Analog	$f_s = 10kSPS$		64		$\mu A$
Input High-Z Mode Enabled					

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
VDD Current (Conversion Mode) Reference High-Z Mode Disabled, Analog Input High-Z Mode Disabled	$f_s = 500\text{kSPS}$		2.6	3.3	mA
	$f_s = 1\text{MSPS}$		5.2	6.6	mA
	VDD = 1.8V、内部 LDO ディスエーブル				
	$f_s = 10\text{kSPS}$		42		$\mu\text{A}$
	$f_s = 500\text{kSPS}$		2		mA
	$f_s = 1\text{MSPS}$		4		mA
	$f_s = 10\text{kSPS}$		53		$\mu\text{A}$
	$f_s = 500\text{kSPS}$		2	3.2	mA
	$f_s = 1\text{MSPS}$		5	6.4	mA
	VIO Dynamic Current Register Configuration Mode	VIO = 1.8V ストリーミング・モード、SCK 周波数 ( $f_{\text{SCK}} = 50\text{MHz}$ )		125	
Conversion Mode	ステータス・ビット・イネーブル				
	$f_s = 10\text{kSPS}$		3.5		$\mu\text{A}$
	$f_s = 500\text{kSPS}$		162		$\mu\text{A}$
	$f_s = 1\text{MSPS}$		325	360	$\mu\text{A}$
POWER DISSIPATION <sup>7</sup>	AVDD = 5V、VIO = 1.8V				
Standby Power Dissipation Internal LDO Disabled	VDD = 1.8V		4		$\mu\text{W}$
	Internal LDO Enabled LDO_IN = 5V		46		$\mu\text{W}$
Power Dissipation, Internal LDO Disabled Reference High-Z Mode Disabled, Analog Input High-Z Mode Disabled	LDO_IN = AGND、VDD = 1.8V				
	$f_s = 10\text{kSPS}$		85		$\mu\text{W}$
	$f_s = 500\text{kSPS}$		4		mW
	$f_s = 1\text{MSPS}$		8		mW
Reference High-Z Mode Enabled, Analog Input High-Z Mode Enabled	$f_s = 10\text{kSPS}$		170		$\mu\text{W}$
	$f_s = 500\text{kSPS}$		8	9.8	mW
	$f_s = 1\text{MSPS}$		16	19.5	mW
Power Dissipation, Internal LDO Enabled Reference High-Z Mode Disabled, Analog Input High-Z Mode Disabled	LDO_IN = 5V				
	$f_s = 10\text{kSPS}$		270		$\mu\text{W}$
Reference High-Z Mode Enabled, Analog Input High-Z Mode Enabled	$f_s = 500\text{kSPS}$		10.5		mW
	$f_s = 1\text{MSPS}$		21		mW
	$f_s = 10\text{kSPS}$		395		$\mu\text{W}$
	$f_s = 500\text{kSPS}$		16.5	20.5	mW
Autocycle Mode Power Dissipation	$f_s = 1\text{MSPS}$		33	41.0	mW
	LDO_IN = 5V、内部 LDO イネーブル、自動サイクル・モード有効				
	AC_CYC = 0x0		2.3		mW
	AC_CYC = 0x7		0.2		mW
TEMPERATURE RANGE Specified Performance	$T_{\text{MIN}} \sim T_{\text{MAX}}$	-40		+125	$^{\circ}\text{C}$

<sup>1</sup> ユニポーラ・モード、擬似バイポーラ・モード、チャンネル・ピン割り当てオプションの詳細については、[チャンネル設定オプション](#)のセクションを参照してください。

<sup>2</sup> IN+と IN-は、内部マルチプレクサを通じて AD4695/AD4696 ADC コアの正および負の入力部に接続されるアナログ入力を表します ([マルチプレクサ](#)のセクションおよび[チャンネル設定オプション](#)のセクションを参照)。

<sup>3</sup> アナログ入力カーク電流の仕様値は、ADC が変換を実行しておらず、アナログ入力電圧が既にセトリングしている期間におけるアナログ入力ピンの入力電流を指します。

<sup>4</sup> オフセット誤差とゲイン誤差の仕様値は、オフセット補正レジスタおよびゲイン補正レジスタがデフォルト値 (オフセット補正およびゲイン補正を行わない) に設定されている場合のもので、詳細については[オフセットおよびゲイン補正](#)のセクションを参照してください。

<sup>5</sup> %FS は ADC のフルスケールに対する百分率です (フルスケールの定義については[伝達関数](#)のセクションを参照)。

<sup>6</sup> R<sub>EXT</sub> および C<sub>EXT</sub> は、アナログ入力部に推奨される外付け RC フィルタを構成する抵抗とコンデンサを指します ([外付け RC フィルタ](#)のセクションを参照)。

<sup>7</sup> アナログ入力高インピーダンス・モードが有効化されている場合の電源電流と消費電力の仕様値では、アナログ入力高インピーダンス・モードが全チャンネルについて有効になるように設定されています。消費電力は、アナログ入力高インピーダンス・モードを有効にして実行される変換の割合に比例します。

## タイミング仕様

特に指定のない限り、AVDD=3.15V~5.5V、LDO\_IN=2.4V~5.5V（内部 LDO イネーブル）、LDO\_IN = AGND（内部 LDO ディスエーブル）、VDD = 1.71V~1.89V（内部 LDO ディスエーブル）、VIO = 1.14V~1.98V、AGND = REFVDD = IOGND = 0V、リファレンス電圧 ( $V_{REF}$ ) = 2.4V~5.1V、REF =  $V_{REF}$ 、 $f_s$  = 1MSPS (AD4696)、 $f_s$  = 500kSPS (AD4695)、デジタル出力負荷容量 = 20pF、自動サイクル・モード無効、アクティブ過電圧保護クランプなし、 $T_A$  = -40°C~+125°C。

表 2.

Parameter <sup>1</sup>	Symbol	Min	Typ	Max	Unit
Conversion Time	$t_{CONVERT}$		380	415	ns
Acquisition Time	$t_{ACQ}$				
Two-Cycle Command Mode, Standard Sequencer, or Advanced Sequencer Enabled					
$f_s$ = 1 MSPS		715			ns
$f_s$ = 500 kSPS		1715			ns
Single-Cycle Command Mode <sup>2</sup> Enabled					
CNV Period (Time Between Conversions)	$t_{CYC}$				
$f_s$ = 1 MSPS, Autocycle Mode Disabled		1000			ns
$f_s$ = 500 kSPS, Autocycle Mode Disabled		2000			ns
Autocycle Mode Enabled					
AC_CYC = 0x0		8.5	10	11.5	$\mu$ s
AC_CYC = 0x1		17	20	23	$\mu$ s
AC_CYC = 0x2		34	40	46	$\mu$ s
AC_CYC = 0x3		68	80	92	$\mu$ s
AC_CYC = 0x4		85	100	115	$\mu$ s
AC_CYC = 0x5		170	200	230	$\mu$ s
AC_CYC = 0x6		340	400	460	$\mu$ s
AC_CYC = 0x7		680	800	920	$\mu$ s
CNV High Time	$t_{CNVH}$	10			ns
CNV Low Time	$t_{CNVL}$	80			ns
CS High Time	$t_{CSBH}$	5			ns
CS Low to Digital Interface Ready Delay	$t_{EN}$			15	ns
CS High to SDO High Impedance Delay	$t_{CSBDIS}$			15	ns
SCK Period	$t_{SCK}$				
Register Configuration Mode		40			ns
Conversion Mode		12.5			ns
SCK Low Time	$t_{SCKL}$				
Register Configuration Mode		16			ns
Conversion Mode		5			ns
SCK High Time	$t_{SCKH}$				
Register Configuration Mode		16			ns
Conversion Mode		5			ns
SDI Data Setup Time Prior to SCK Rising Edge	$t_{SSDI}$	2			ns
SDI Data Hold Time After SCK Rising Edge	$t_{HSDI}$	2			ns
SCK Falling Edge to Data Remains Valid Delay	$t_{HSDO}$	1.5			ns
SCK Falling Edge to Data Valid Delay	$t_{DSO}$			10.5	ns
Last SCK Edge to CNV Rising Edge Delay	$t_{SCKCNV}$	80			ns
Last SCK Rising Edge to CS Rising Edge Delay	$t_{SCKCSB}$	1			ns
CNV Rising Edge to Busy Indicator Rising Edge (Busy Indicator Enabled on General-Purpose Pin)	$t_{CNVBUSY}$			20	ns
CNV Rising Edge to Alert Indicator Transition (Alert Indicator Enabled on General-Purpose Pin)	$t_{CNVALT}$			425	ns
Busy Indicator Low Time, Autocycle Mode Enabled (Busy Indicator Enabled on General-Purpose Pin)	$t_{ACBSY}$				
AC_CYC = 0x0		8			$\mu$ s
AC_CYC = 0x1		16.5			$\mu$ s
AC_CYC = 0x2		33.5			$\mu$ s
AC_CYC = 0x3		67.5			$\mu$ s
AC_CYC = 0x4		84.5			$\mu$ s

Parameter <sup>1</sup>	Symbol	Min	Typ	Max	Unit
AC_CYC = 0x5		169			μs
AC_CYC = 0x6		339			μs
AC_CYC = 0x7		679			μs
Register Configuration Mode Setup Time	t <sub>REGCONFIG</sub>	20			ns
RESET Low Time	t <sub>RESETL</sub>	10			ns
Hardware Reset Delay (VDD Always Supplied)	t <sub>HWR_DELAY</sub>	310			μs
Software Reset Delay	t <sub>SWR_DELAY</sub>	310			μs
VDD Power-On Reset Delay	t <sub>POR_VDD</sub>		2		ms
VIO Power-On Reset Delay (VDD Supplied Externally)	t <sub>POR_VIO1</sub>		1.3		ms
LDO_IN Power-On Reset Delay	t <sub>POR_LDO</sub>		3.2		ms
VIO Power-On Reset Delay (VDD Supplied by Internal LDO)	t <sub>POR_VIO2</sub>		3		ms
LDO Wake-Up Command Power-On Reset Delay	t <sub>WAKEUP_SW</sub>		3		ms
Hardware Reset Delay (Internal LDO Disabled)	t <sub>WAKEUP_HW</sub>		3		ms

<sup>1</sup> すべての仕様値に対し、AVDD と REF の入力の相対電圧は、表 1 のリファレンスおよび電源条件の各セクションで仕様規定されている動作条件に従います。

<sup>2</sup> 単一サイクル・コマンド・モードのアクイジション時間は、サンプリング・レートと SCK 周波数に依存します（単一サイクル・コマンド・モードのセクションを参照）。

## 絶対最大定格

表 3.

Parameter	Rating
Analog Inputs	
INn <sup>1</sup> , COM to REFGND	-0.3 V to REF + 0.3 V
Reference Inputs	
REF to AGND, REFGND, IOGND	-0.3 V to +6 V
Supply Inputs	
AVDD, LDO_IN to AGND, REFGND, IOGND	-0.3 V to +6 V
VDD, VIO to AGND, REFGND, IOGND	-0.3 V to +2.1 V
AVDD to LDO_IN	-6.3 V to +6.3 V
AVDD, LDO_IN to REF	-6.3 V to +6.3 V
VDD, VIO to AVDD, LDO_IN, REF	-6.3 V to +2.4 V
VDD to VIO	-2.4 V to +2.4 V
Ground	
AGND, IOGND to REFGND	-0.3 V to +0.3 V
AGND to IOGND	-0.3 V to +0.3 V
Digital Inputs <sup>2</sup> to IOGND	-0.3 V to +6 V
Digital Outputs <sup>2</sup> to IOGND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Lead Temperature Soldering	260°C reflow, as per JEDEC J-STD-020

<sup>1</sup> INn は、ピン IN0～ピン IN15 のアナログ入力を指します。

<sup>2</sup> デジタル入力ピンとデジタル出力ピンの一覧については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

$\theta_{JA}$  は最も厳しい条件で仕様規定されたもので、1 立方フィートの密閉容器内で測定された、自然対流でのジャンクションと周囲の間の熱抵抗です。 $\theta_{JC}$  は、ジャンクションとケースの間の熱抵抗です。

表 4 に仕様規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されており、JESD51-12 に準拠して使用します。最も厳しい条件でのジャンクション温度が記載されています。

$\theta_{JA}$  は、アプリケーションとボード・レイアウトに大きく依存します。最大消費電力が大きいアプリケーションでは、ボードの熱設計に細心の注意が必要です。 $\theta_{JA}$  値は、プリント回路基板 (PCB) 材料、レイアウト、環境条件に応じて異なる場合があります。

表 4. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
CP-32-7	40.2 <sup>1</sup>	17.5 <sup>2</sup>	°C/W

<sup>1</sup> シミュレーション値は、JEDEC 自然対流環境での 9 個のサーマル・ビアを備えた JEDEC 2S2P 熱テスト・ボードに基づいたものです。JEDEC JESD51 を参照してください。

<sup>2</sup> シミュレーション値は、冷却板が直接取り付けられたパッケージ上面について測定されたものです。

## 静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを ESD に対して保護された環境においてのみ取り扱う場合のものです。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘導帯電デバイス・モデル (FICDM)。

## AD4695/AD4696 の ESD 定格

表 5. AD4695/AD4696、32 ピン LFCSP

ESD Model	Withstand Threshold (kV)	Class
HBM	4	3A
FICDM	1.25	C3

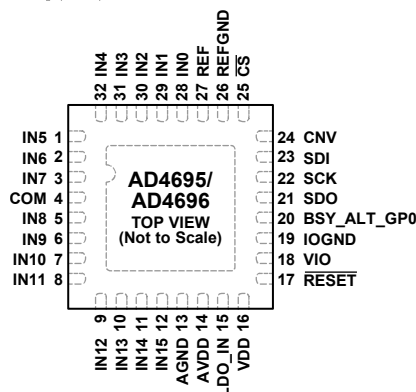
## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明



NOTES  
 1. EXPOSED PAD. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SYSTEM GROUND PLANE.

24816-002

図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1	IN5	AI	アナログ入力 5。
2	IN6	AI	アナログ入力 6。
3	IN7	AI	アナログ入力 7。
4	COM	AI	共通のチャンネル入力。IN0～IN15 は COM と対をなし、ADC コアがそれらの間の差動電圧をサンプルすることもできます。COM は、通常、信号グラウンド（ユニポーラ・モード）または $V_{REF}/2$ （擬似バイポーラ・モード）に接続します。入力のベアリング、ユニポーラ・モード、擬似バイポーラ・モードの詳細については、 <a href="#">チャンネル設定オプション</a> のセクションを参照してください。
5	IN8	AI	アナログ入力 8。
6	IN9	AI	アナログ入力 9。
7	IN10	AI	アナログ入力 10。
8	IN11	AI	アナログ入力 11。
9	IN12	AI	アナログ入力 12。
10	IN13	AI	アナログ入力 13。
11	IN14	AI	アナログ入力 14。
12	IN15	AI	アナログ入力 15。
13	AGND	P	アナログ電源のグラウンド。AVDD、LDO_IN、VDD は AGND を基準とします。
14	AVDD	P	アナログ電源。AVDD は公称 3.15V～5.5V です。AVDD は 100nF のコンデンサを局所的に用いて AGND とデカップリングします。
15	LDO_IN	P	内部 LDO 入力。LDO_IN は、内部 LDO がイネーブル時に、公称 2.4V～5.5V です。LDO_IN は 100nF のコンデンサを局所的に用いて AGND とデカップリングします。VDD に外部 1.8V レールで給電する場合、LDO_IN は AGND に接続します。詳細については、 <a href="#">内部 LDO</a> のセクションを参照してください。
16	VDD	P	ADC コア電源。VDD は公称 1.8V です。内部 LDO で VDD に給電する場合、VDD はフロートのままにします。外部レールで VDD に給電する場合は、内部 LDO はディセーブルします。VDD は 100nF のコンデンサを局所的に用いて AGND とデカップリングします。
17	RESET	DI	ハードウェア・リセット入力。RESET をローに駆動するとデバイスのハードウェア・リセットを実行し、レジスタの状態をデフォルト値にリセットすることができます（ <a href="#">デバイスのリセット</a> のセクションを参照）。
18	VIO	P	入出力インターフェースのデジタル電源。VIO は設計上はホスト・インターフェース（例えば 1.2V～1.8V）と同じ電源です。VIO は 100nF のコンデンサを局所的に用いて IOGND とデカップリングします。
19	IOGND	P	入出力インターフェースのデジタル電源グラウンド。VIO は IOGND を基準とします。
20	BSY_ALT_GP0	DI/DO	汎用ピン 0。BSY_ALT_GP0 は、汎用入出力（GPIO）、閾値検出アラート・インジケータ、ビジー・インジケータ、または二次シリアル・データ出力として機能するよう設定できます（ <a href="#">汎用ピン</a> のセクションを参照）。
21	SDO	DO	シリアル・データ出力。デバイスがレジスタ設定モードに設定されている場合、SPI 読出しトランザクションの間に SDO を使用して設定レジスタのデータを読み出すことができます。デバイスが変換モードに設定されている場合、SDO を使用して変換結果を読み出すことができます。データ出力は、SCK の立下がりエッジに同期しています。

ピン番号	記号	タイプ <sup>1</sup>	説明
22	SCK	DI	シリアル・データ・クロック入力。SCKは、デバイスがレジスタ設定モードまたは変換モードに設定されている場合に、データをSDOにクロック・アウトしSDIにクロック・インするために使用されます。
23	SDI	DI	シリアル・データ入力。デバイスがレジスタ設定モードに設定されている場合、SDIを使用すると、SPIの読出しトランザクションおよび書込みトランザクションを実行して設定レジスタの読書きを行うことができます。変換モードでは、SDIは表16に示すように、デジタル・ホストから5ビットのコマンドを受け取ります。
24	CNV	DI	変換入力。デバイスが変換モードに設定されている場合、CNVの立上がりエッジによって選択したアナログ入力の変換が開始されます。AD4695/AD4696では、CNVをCSに接続することで4線式SPIとインターフェース接続できます。詳細については、 <a href="#">デジタル・インターフェース動作</a> のセクションを参照してください。
25	$\overline{\text{CS}}$	DI	チップ・セレクト入力。レジスタ設定モードに設定されている場合、 $\overline{\text{CS}}$ は、設定レジスタの読書きを行うSPIの読出しトランザクションおよび書込みトランザクションをフレイム化します。デバイスが変換モードに設定されている場合は、 $\overline{\text{CS}}$ は、変換全体を通じてローを維持するか、変換結果をリード・バックするSPIトランザクションをフレイム化します。AD4695/AD4696では、CNVを $\overline{\text{CS}}$ に接続することで4線式SPIとインターフェース接続できます。詳細については、 <a href="#">デジタル・インターフェース動作</a> のセクションを参照してください。
26	REFGND	P	リファレンス・グラウンド。REFはREGNDを基準とします。IN0～IN15はREFGNDと対をなし、ADCコアがそれらの間の差動電圧をサンプルすることもできます。入力のペアリングの詳細については、 <a href="#">チャンネル設定オプション</a> のセクションを参照してください。
27	REF	AI	リファレンス入力。V <sub>REF</sub> は、外部の2.4V～5.1V高精度リファレンス電圧から供給する必要があります。最適な動作のために、REFピンは、最小1μFのコンデンサを使用してデカップリングする必要があります。詳細は、 <a href="#">電圧リファレンス入力</a> のセクションを参照してください。
28	IN0	AI	アナログ入力0。
29	IN1	AI	アナログ入力1。
30	IN2	AI	アナログ入力2。
31	IN3	AI	アナログ入力3。
32	IN4	AI	アナログ入力4。
33	EPAD	NC	露出パッド。露出パッドは内部で接続されていません。ハンダ接続の信頼性を向上させるため、このパッドをシステムのグラウンド・プレーンにハンダ付けすることを推奨します。

<sup>1</sup> AIはアナログ入力、Pは電源、DIはデジタル入力、DOはデジタル出力、NCは内部接続なしです。

## 代表的な性能特性

特に指定のない限り、 $AVDD = LDO\_IN = 5V$ 、 $VIO = 1.8V$ 、 $V_{REF} = 5V$ 、 $f_{SCK} = 50MHz$ 、ユニポーラ・モード、アナログ入力高インピーダンス・モード有効、リファレンス入力高インピーダンス・モード有効、内部 LDO イネーブル、 $f_S = 1MSPS$  (AD4696)、 $f_S = 500kSPS$  (AD4695)、アクティブ・クランプなし、自動サイクル・モード無効、 $OSR = 1$ 、 $T_A = 25^\circ C$ 。

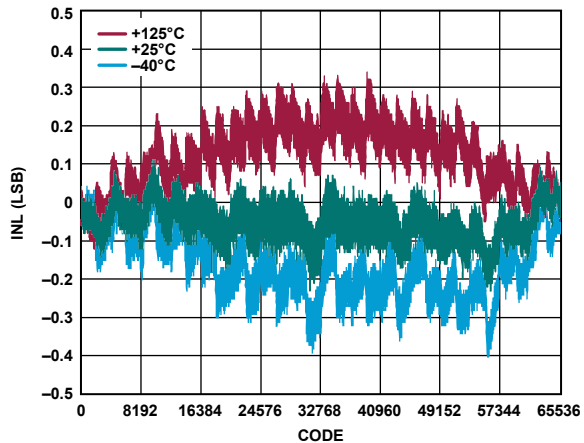


図 3. INL とコードの関係、 $V_{REF} = 5V$

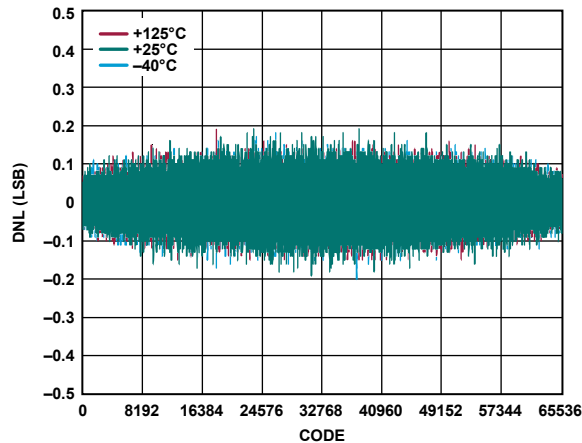


図 6. DNL とコードの関係、 $V_{REF} = 5V$

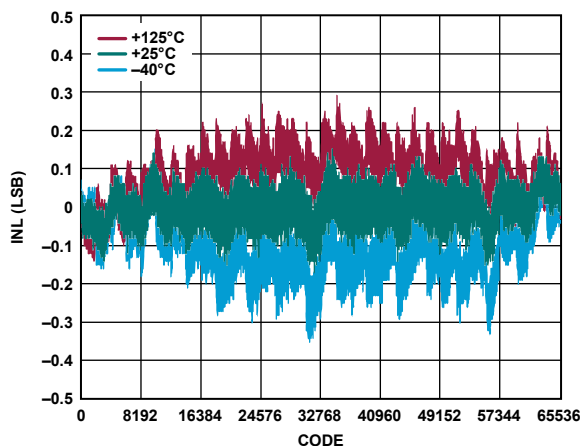


図 4. INL とコードの関係、 $V_{REF} = 4.096V$

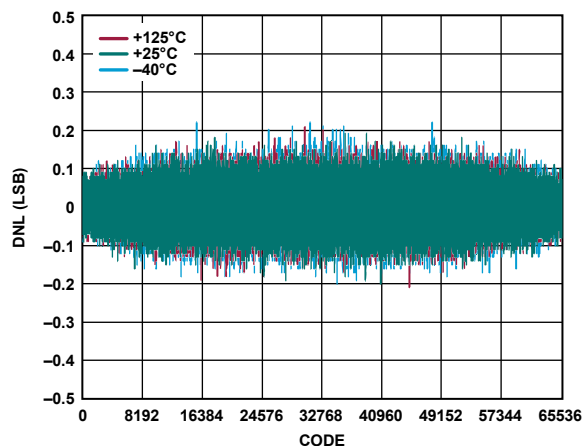


図 7. DNL とコードの関係、 $V_{REF} = 4.096V$

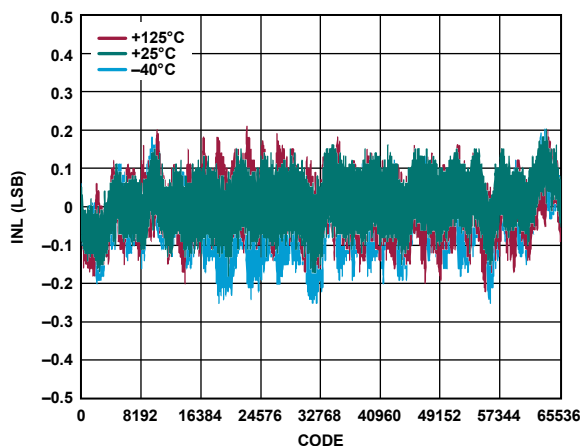


図 5. INL とコードの関係、 $V_{REF} = 2.5V$

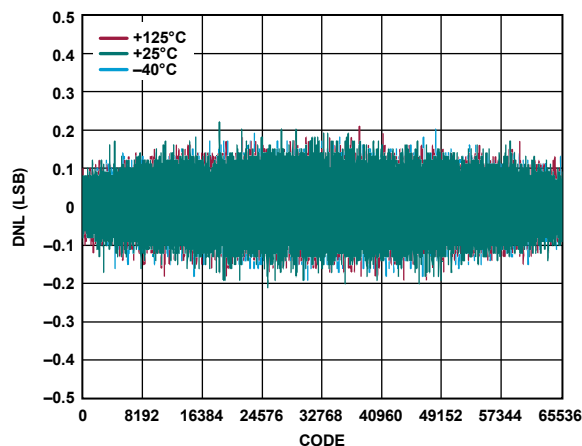


図 8. DNL とコードの関係、 $V_{REF} = 2.5V$



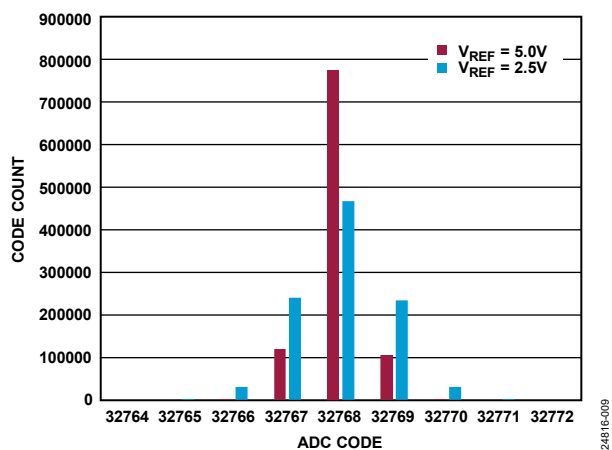


図 9. コード中心での DC 入力のヒストグラム、OSR = 1

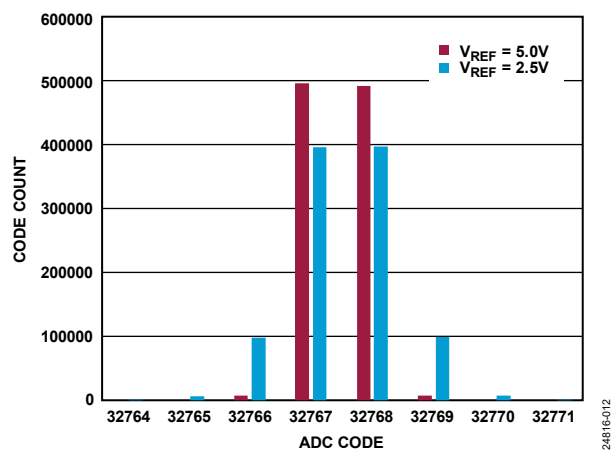


図 12. コード遷移での DC 入力のヒストグラム、OSR = 1

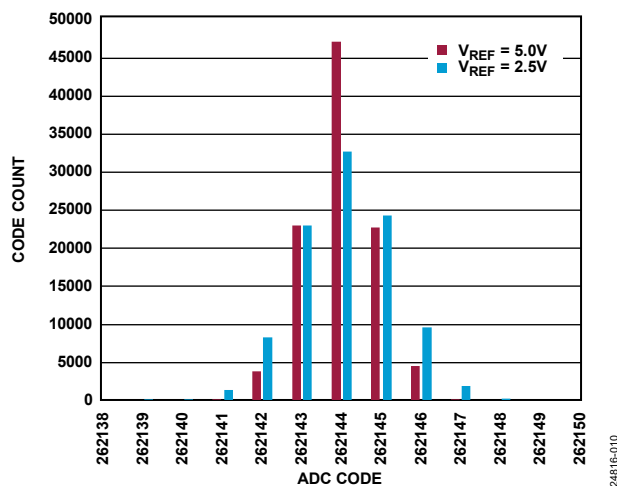


図 10. コード中心での DC 入力のヒストグラム、OSR = 64

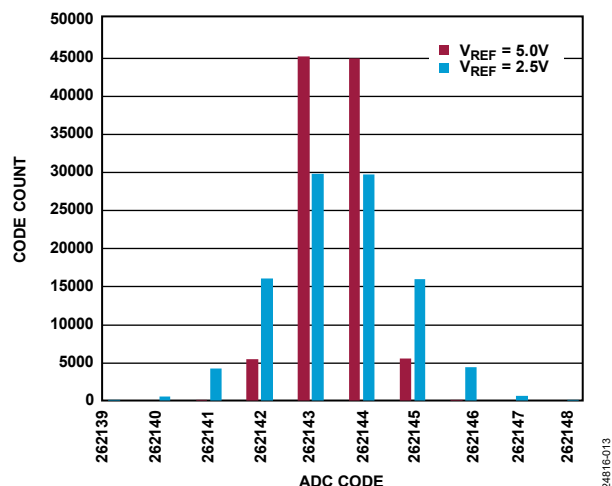


図 13. コード遷移での DC 入力のヒストグラム、OSR = 64

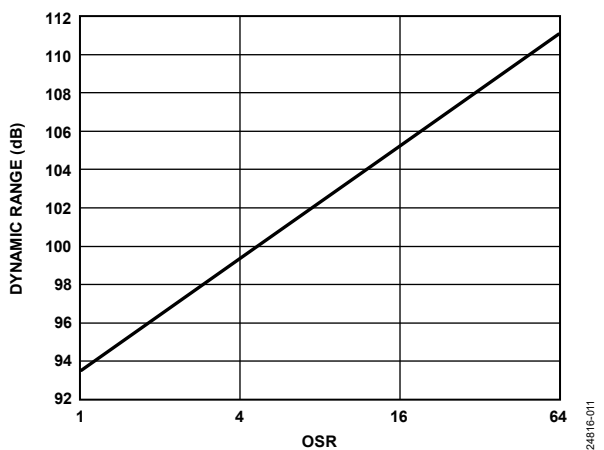


図 11. ダイナミック・レンジと OSR の関係

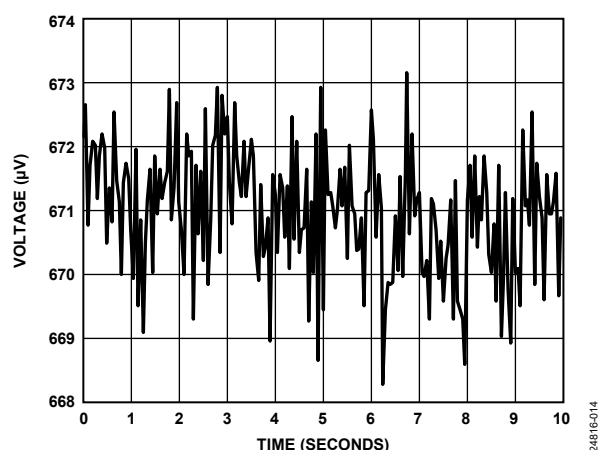


図 14. 1/f ノイズ (0.1Hz~10Hz の帯域幅)、50kSPS、1 回の読出して 2500 個のサンプルを平均化

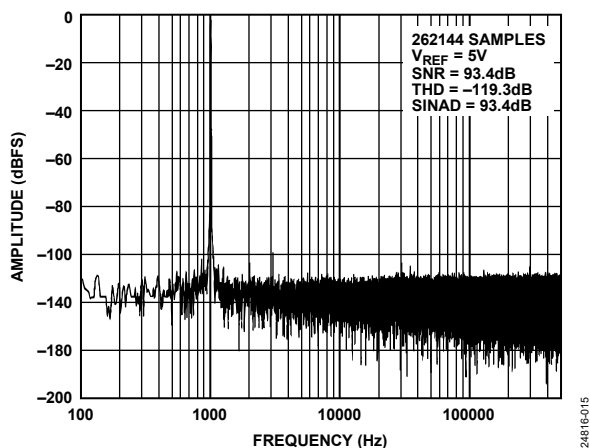


図 15. 高速フーリエ変換 (FFT)、 $f_{IN} = 1\text{kHz}$ 、 $V_{REF} = 5\text{V}$ 、 $OSR = 1$

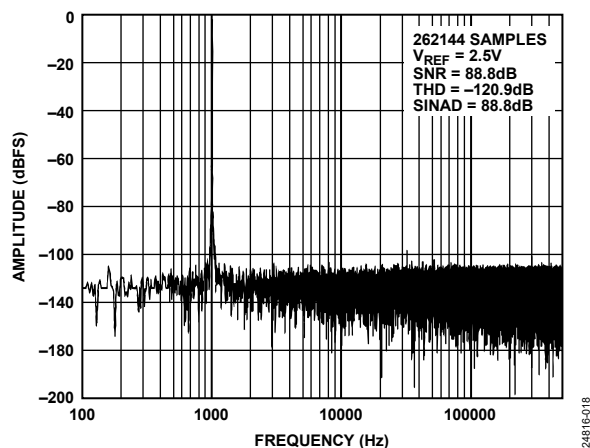


図 18. FFT、 $f_{IN} = 1\text{kHz}$ 、 $V_{REF} = 2.5\text{V}$ 、 $OSR = 1$

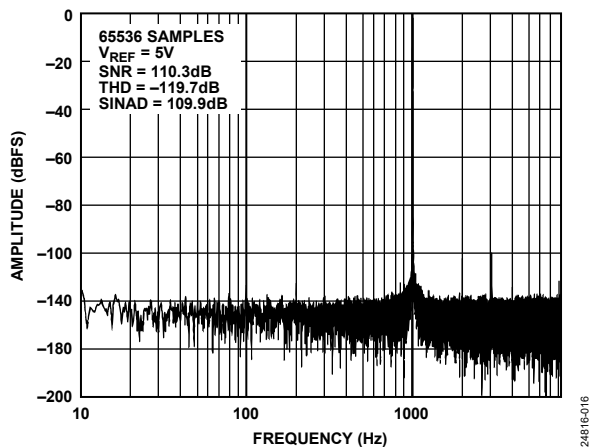


図 16. FFT、 $f_{IN} = 1\text{kHz}$ 、 $V_{REF} = 5\text{V}$ 、 $OSR = 64$

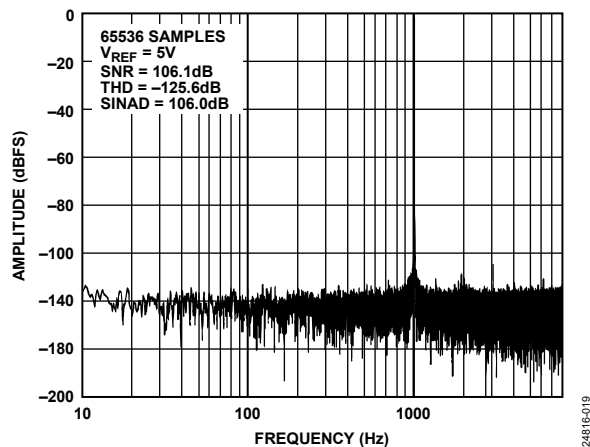


図 19. FFT、 $f_{IN} = 1\text{kHz}$ 、 $V_{REF} = 2.5\text{V}$ 、 $OSR = 64$

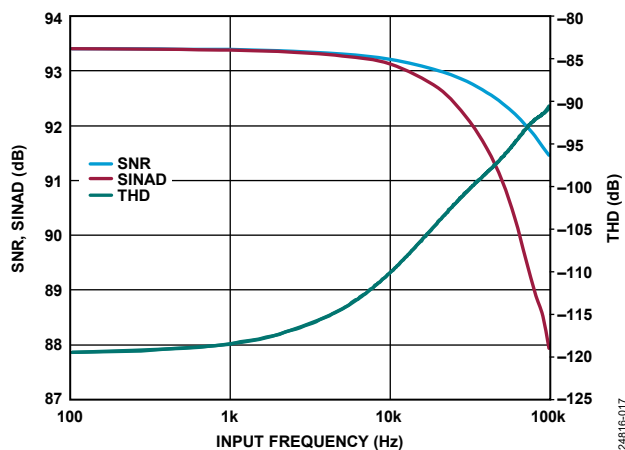


図 17. SNR、SINAD、THD と入力周波数の関係

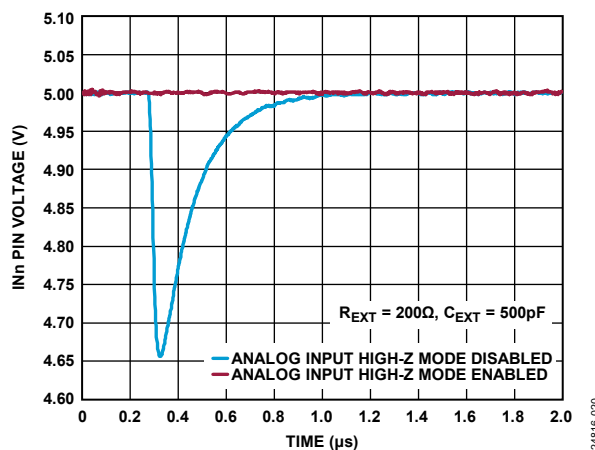


図 20. アナログ入力高インピーダンス・モードがディスエーブルの場合とイネーブルの場合のアナログ入力電圧ステップ

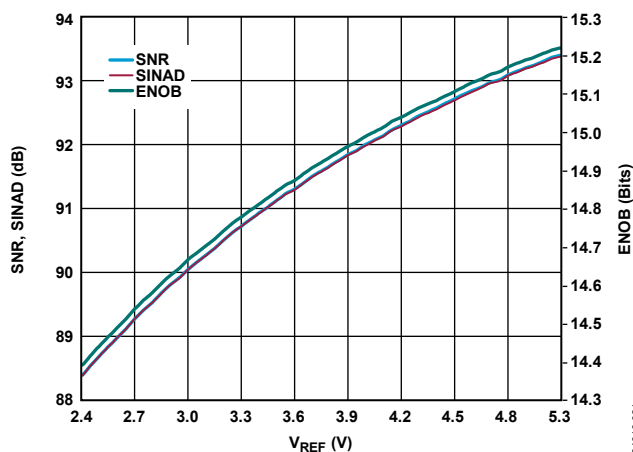


図 21. SNR、SINAD、有効ビット数 (ENOB) と  $V_{REF}$  の関係、 $f_{IN} = 1\text{kHz}$

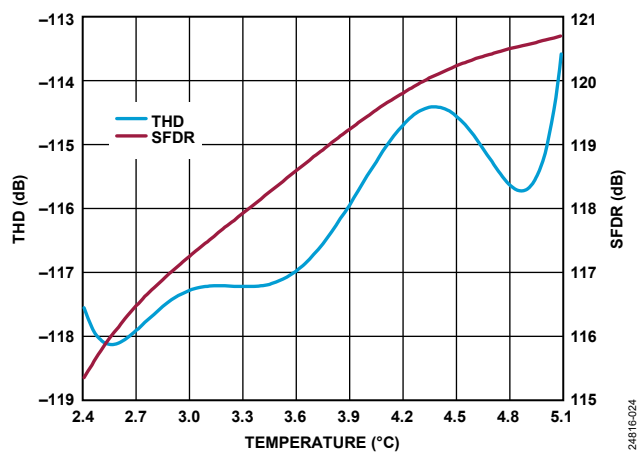


図 24. THD、SFDR と温度の関係、 $f_{IN} = 1\text{kHz}$

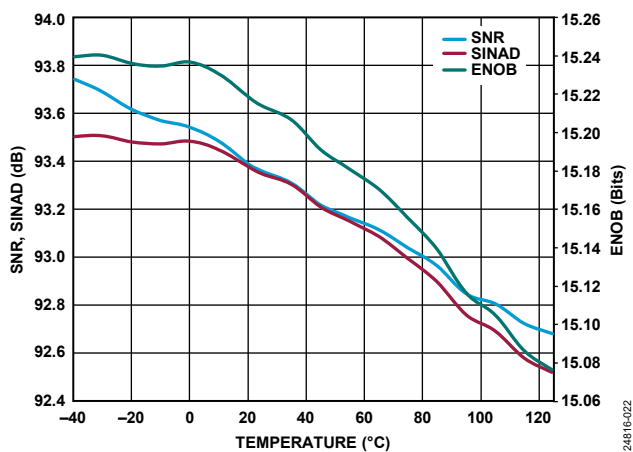


図 22. SNR、SINAD、ENOB と温度の関係、 $f_{IN} = 1\text{kHz}$

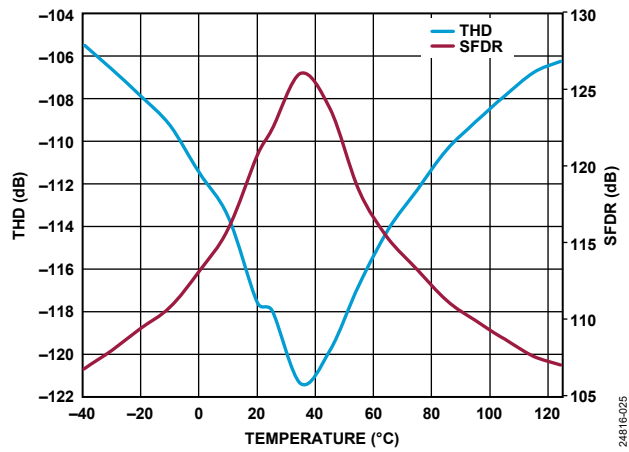


図 25. THD、SFDR と温度の関係、 $f_{IN} = 1\text{kHz}$

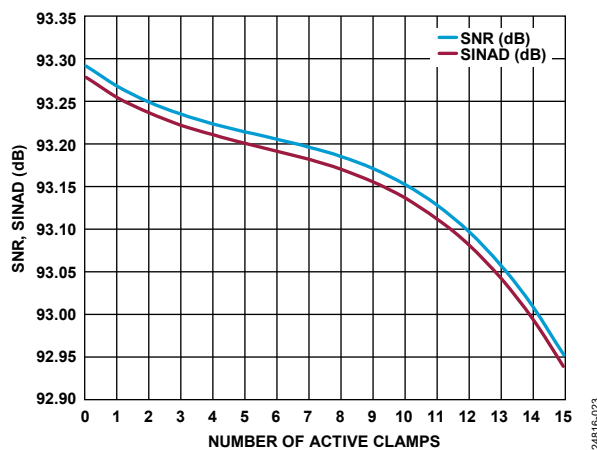


図 23. SNR、SINAD とアクティブ・クランプ数の関係、減少電流モード無効

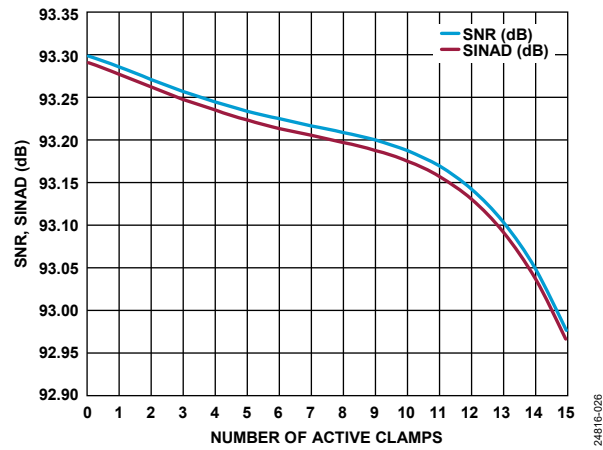


図 26. SNR、SINAD とアクティブ・クランプ数の関係、減少電流モード有効

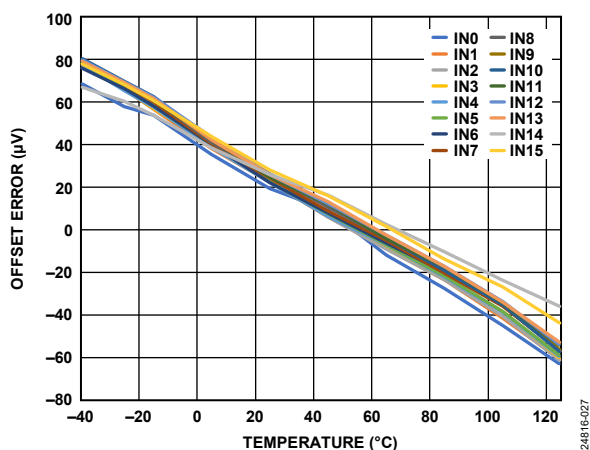


図 27. オフセット誤差と温度の関係

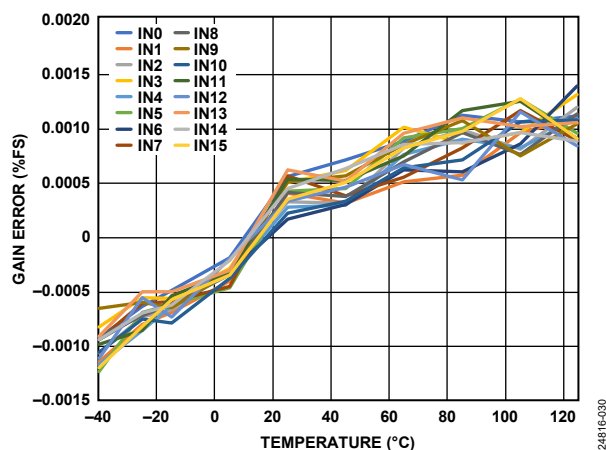


図 30. ゲイン誤差と温度の関係

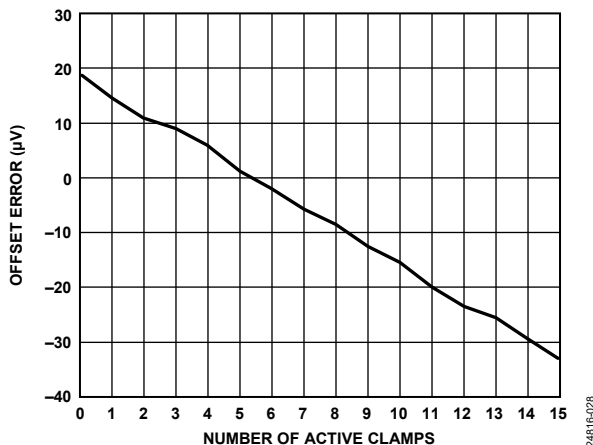


図 28. オフセット誤差とアクティブ・クランプ数の関係、クランプ電流 = 5mA、減少電流モード無効

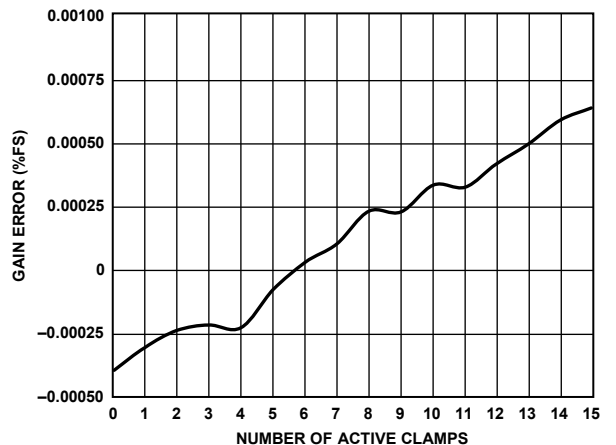


図 31. ゲイン誤差とアクティブ・クランプ数の関係、クランプ電流 = 5mA、減少電流モード無効

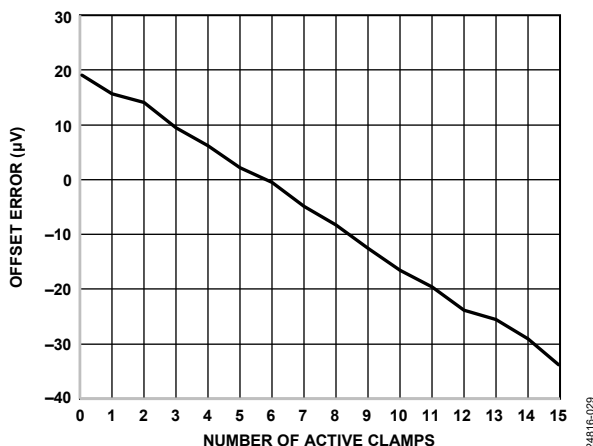


図 29. オフセット誤差とアクティブ・クランプ数の関係、クランプ電流 = 5mA、減少電流モード有効

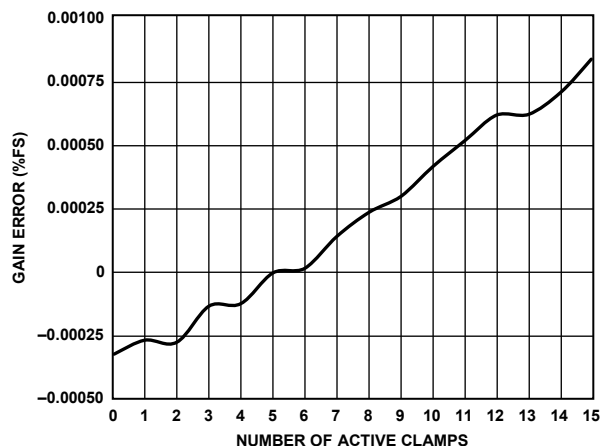


図 32. ゲイン誤差とアクティブ・クランプ数の関係、クランプ電流 = 5mA、減少電流モード有効

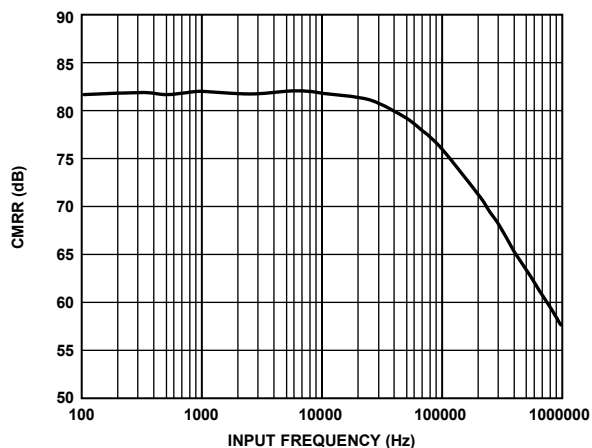


図 33. CMRR と入力周波数の関係

2481E-033

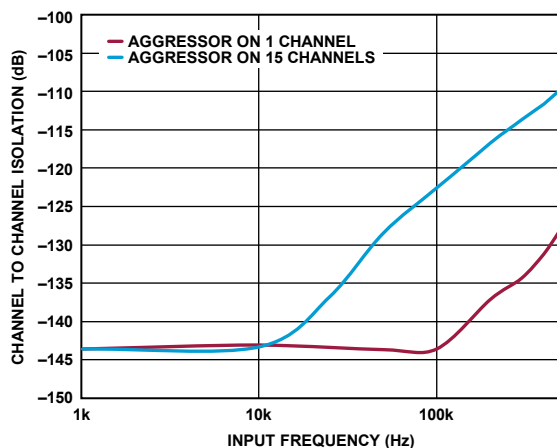


図 36. チャンネル間絶縁と入力周波数の関係

2481E-036

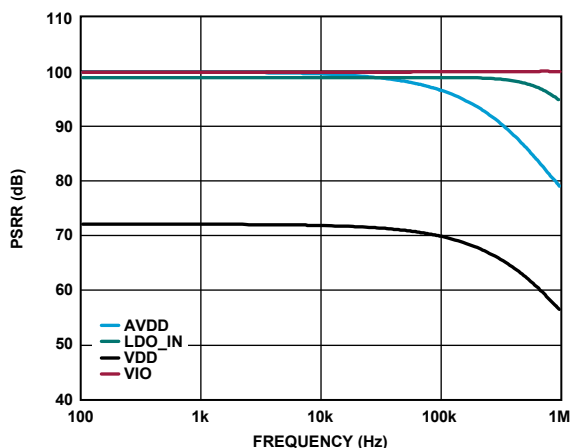


図 34. PSRR と周波数の関係

2481E-034

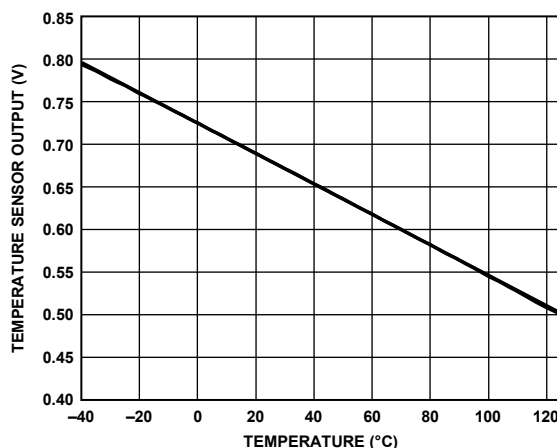


図 37. 温度センサーの出力と温度の関係

2481E-037

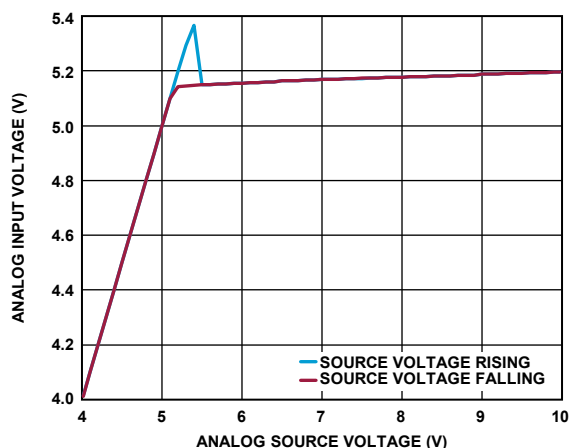


図 35. アナログ入力電圧とアナログ・ソース電圧の関係、 $R_{EXT} = 1k\Omega$ 、 $V_{REF} = 5V$

2481E-035

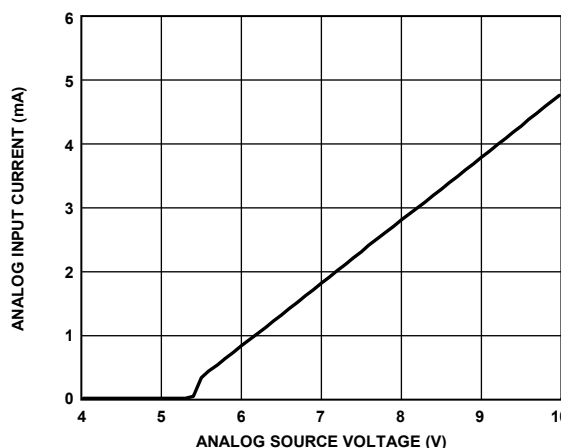


図 38. アナログ入力電流とアナログ・ソース電圧の関係、 $R_{EXT} = 1k\Omega$ 、 $V_{REF} = 5V$

2481E-038

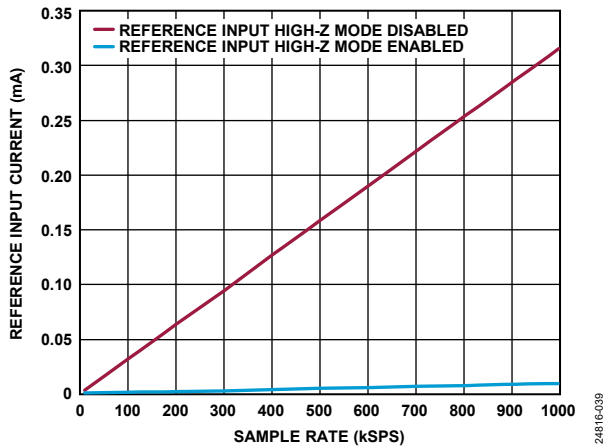


図 39. リファレンス入力電流とサンプリング・レートの関係、 $V_{REF} = 5V$

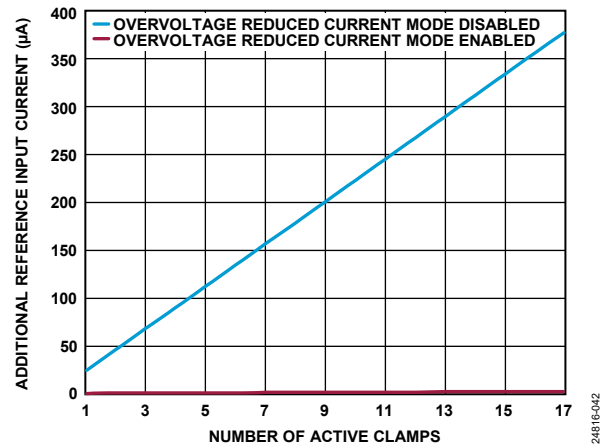


図 42. 追加リファレンス入力電流とアクティブ・クランプ数の関係、クランプ電流 = 5mA、 $V_{REF} = 5V$

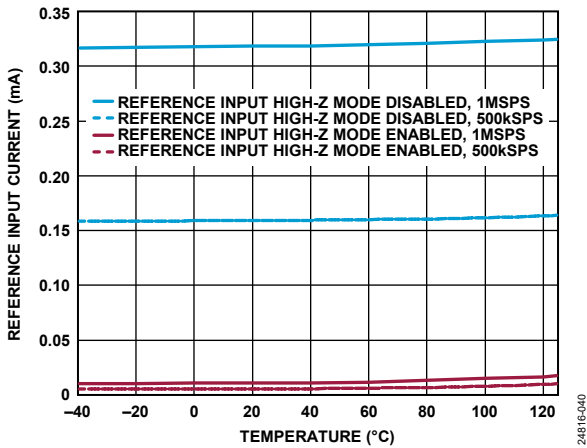


図 40. リファレンス入力電流と温度の関係、 $V_{REF} = 5V$ 、 $f_{CNV}$  信号の周波数 ( $f_{CNV}$ ) = 1MSPS

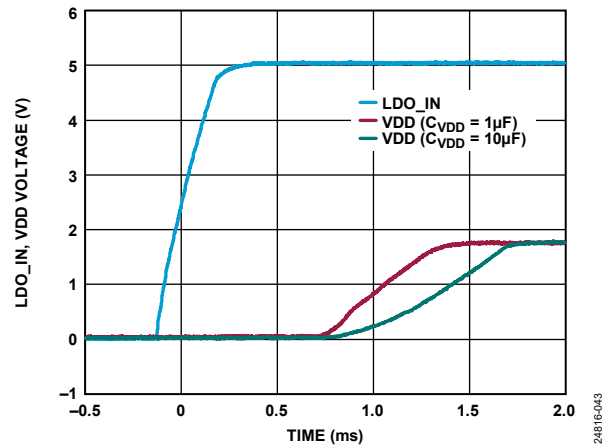


図 43. LDO\_IN、VDD の電圧と時間の関係、 $C_{VDD}$  は VDD のデカップリング容量

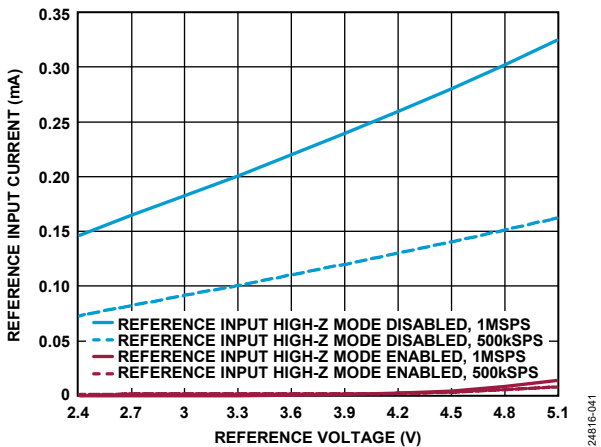


図 41. リファレンス入力電流とリファレンス電圧の関係、 $f_s = 1MSPS$  および 500kSPS

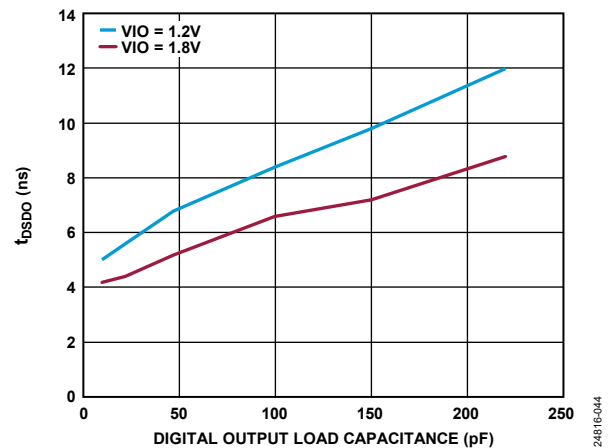


図 44.  $t_{psDO}$  とデジタル出力負荷容量の関係

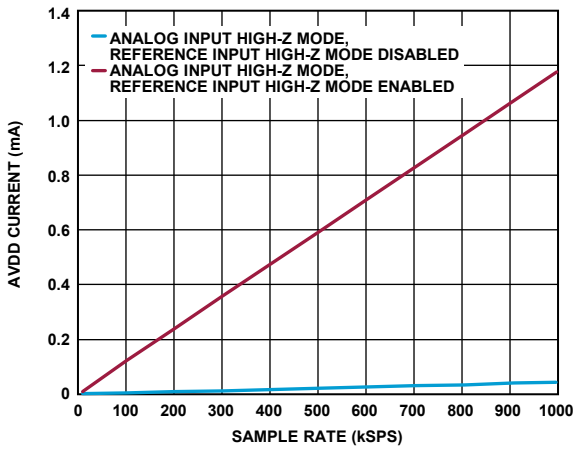


図 45. AVDD 電流とサンプリング・レートの関係

24816-045

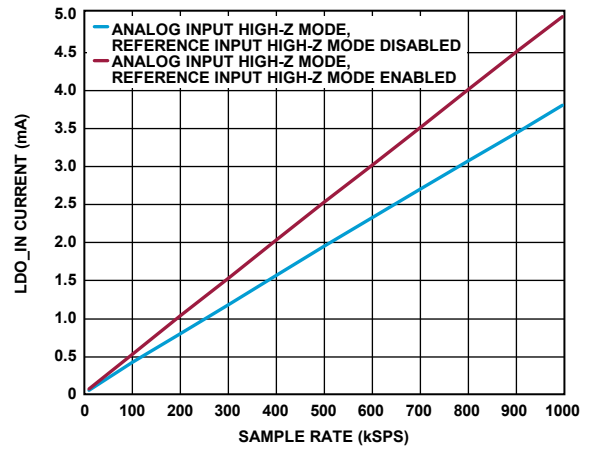


図 48. LDO\_IN 電流とサンプリング・レートの関係、内部 LDO イネーブル

24816-048

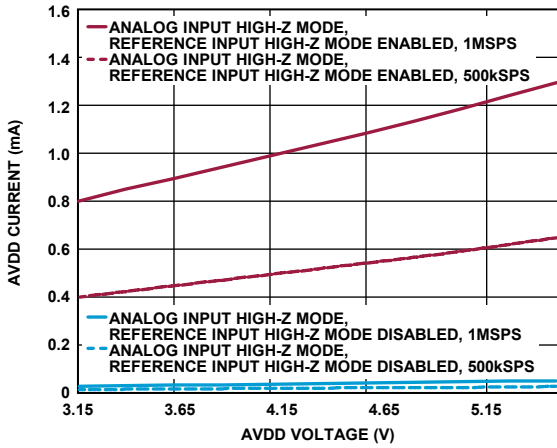


図 46. AVDD 電流と AVDD 電圧の関係

24816-046

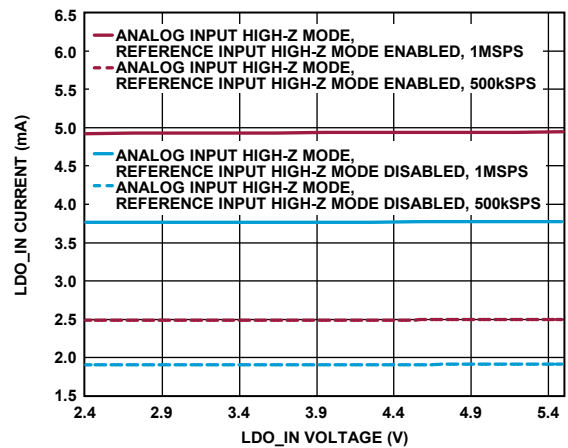


図 49. LDO\_IN 電流と LDO\_IN 電圧の関係、内部 LDO イネーブル

24816-049

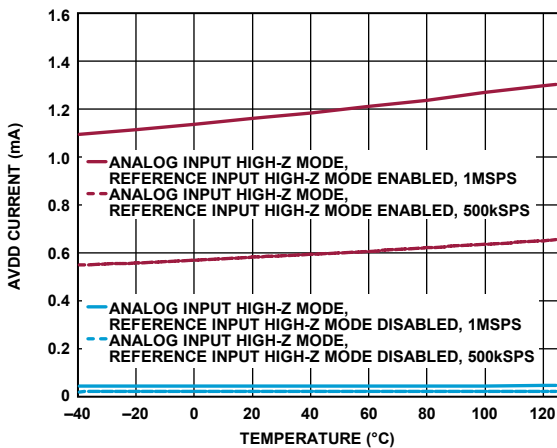


図 47. AVDD 電流と温度の関係

24816-047

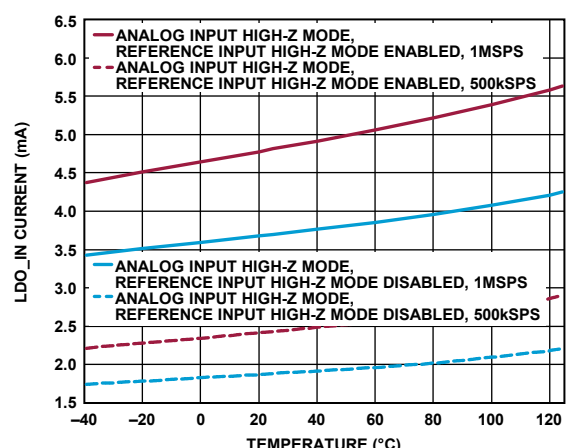


図 50. LDO\_IN 電流と温度の関係、内部 LDO イネーブル

24816-050

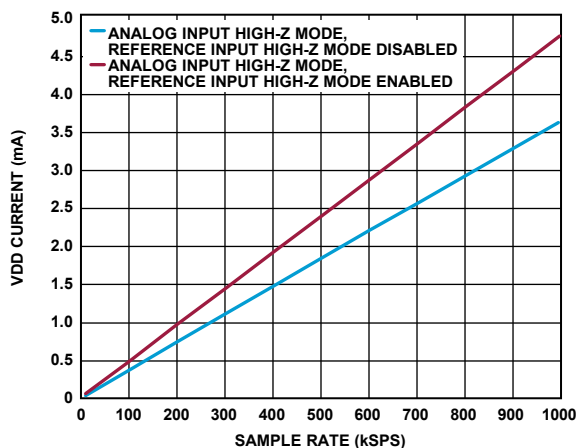


図 51. VDD 電流とサンプリング・レートの関係、内部 LDO ディスエーブル

24816-051

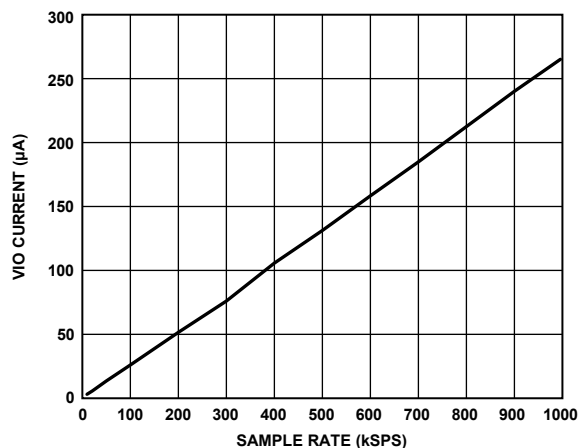


図 54. VIO 電流とサンプリング・レートの関係、変換モード、OSR = 1

24816-054

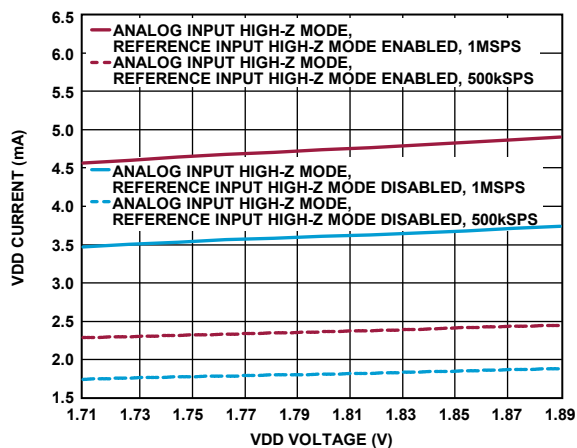


図 52. VDD 電流と VDD 電圧の関係、内部 LDO ディスエーブル

24816-052

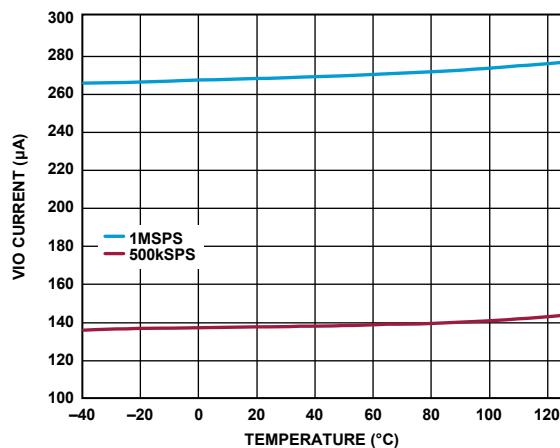


図 55. VIO 電流と温度の関係、変換モード、OSR = 1

24816-055

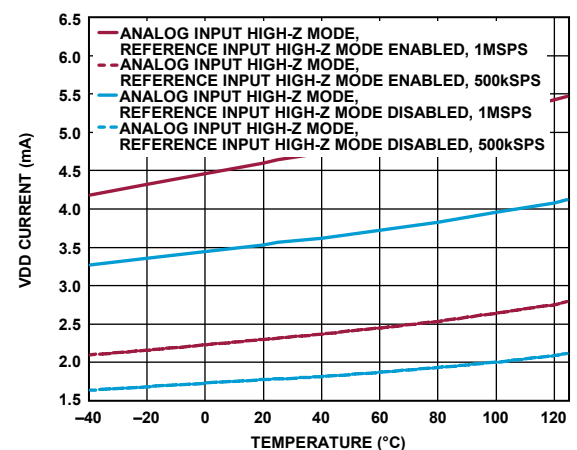


図 53. VDD 電流と温度の関係、内部 LDO ディスエーブル

24816-053

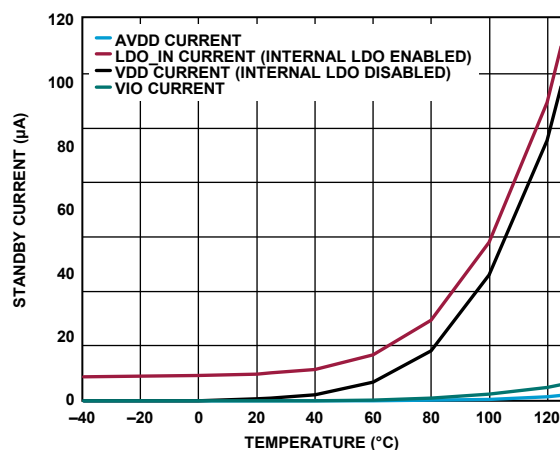


図 56. スタンバイ電流と温度の関係

24816-056



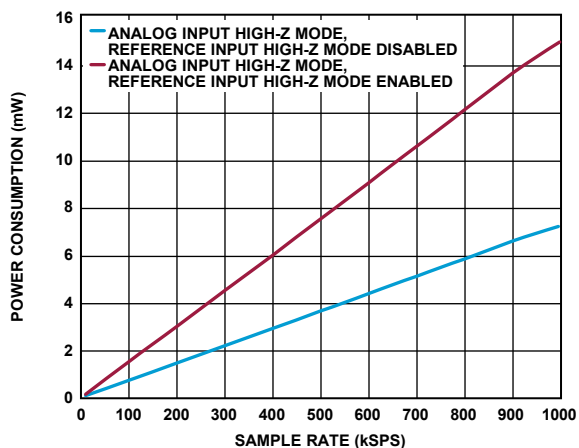


図 57. 消費電力とサンプリング・レートの関係、内部 LDO ディスエーブル

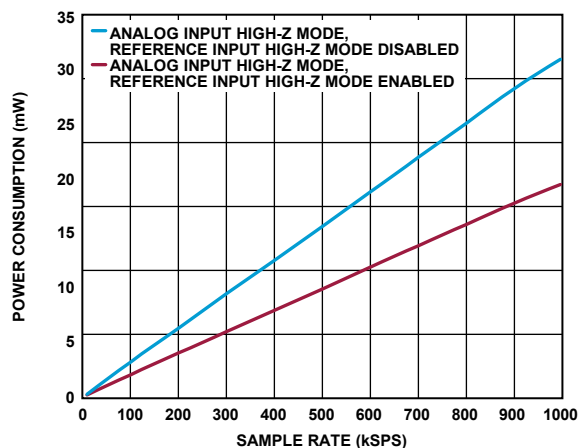


図 59. 消費電力とサンプリング・レートの関係、内部 LDO イネーブル

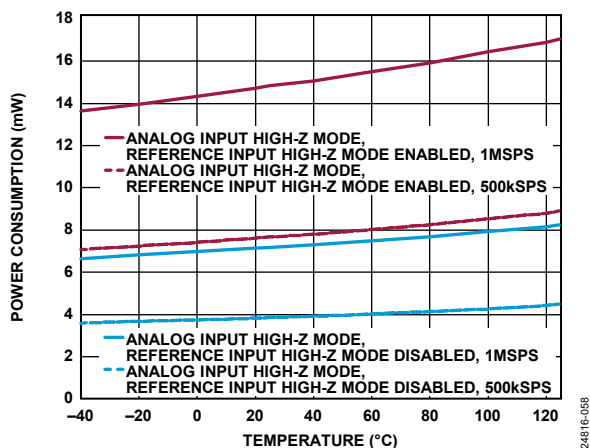


図 58. 消費電力と温度の関係、内部 LDO ディスエーブル、 $f_s = 1\text{MSPS}$  および  $500\text{kSPS}$

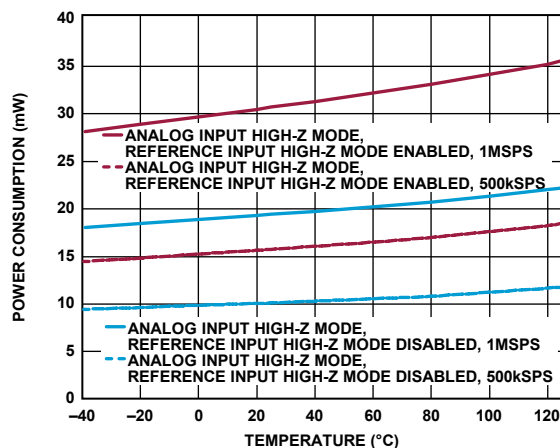


図 60. 消費電力と温度の関係、内部 LDO イネーブル、 $f_s = 1\text{MSPS}$  および  $500\text{kSPS}$

## 用語の定義

### 積分非直線性誤差 (INL)

ADC 伝達関数の両端を結ぶ直線からの最大偏差です。伝達関数の両端は、ゼロ・スケール（最初のコード遷移より  $\frac{1}{2}$ LSB 下の点）とフルスケール（最後のコード遷移より  $\frac{1}{2}$ LSB 上の点）です。

### 微分非直線性誤差 (DNL)

理想的な ADC では、コード遷移は 1LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードが確保される分解能で仕様規定されます。

### オフセット誤差

オフセット誤差は、 $-FSR$  と  $-FSR + 1$  の間で測定された遷移の理想的な遷移からの偏差で、単位はボルトです。 $-FSR$  と  $-FSR + 1$  の間での理想的な遷移は、IN-の電圧より  $\frac{1}{2}$ LSB 上のアナログ入力レベルで発生します（伝達関数のセクションを参照）。

### オフセット誤差マッチング

オフセット誤差マッチングは、任意の 2 入力チャンネル間のオフセット誤差の差です。

### ゲイン誤差

ゲイン誤差は、 $+FSR - 1$  と  $+FSR$  の間で測定された遷移の理想的な遷移からの偏差で、単位はフルスケールに対する百分率 (%FS) です。 $+FSR - 1$  と  $+FSR$  の間での理想的な遷移は、公称フルスケールより  $\frac{1}{2}$ LSB 下のアナログ入力レベルで発生します（伝達関数のセクションを参照）。

### ゲイン誤差マッチング

ゲイン誤差マッチングは、任意の 2 つの入力チャンネル間のゲイン誤差の差です。

### スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

### 有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値で、SINAD と次式の関係があります。

$$ENOB = (SINAD - 1.76) / 6.02$$

ENOB の単位はビットです。

### ノイズ・フリー・コードの分解能

ノイズ・フリー・コードの分解能は、個別のコードをそのビット数を超えては明確に分解できない場合のビット数です。分解能は次式で計算します。

$$\text{ノイズ・フリー・コードの分解能} = \log_2(2^N \text{ ピーク to ピーク} / \text{ノイズ})$$

ノイズ・フリー・コードの分解能はビットで表されます。

### ダイナミック・レンジ

ダイナミック・レンジは、入力を短絡して測定した合計実効値ノイズに対するフルスケールの実効値の比率です。ダイナミック・レンジの単位は dB で、すべてのノイズ源と DNL アーティファクトが含まれるように、 $-60$ dBFS の信号で測定します。

### S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波成分と直流成分を除く）の実効値の総和に対する実際の入力信号の実効値の比です。S/N 比の単位は dB です。

### 信号/ノイズ+歪み (SINAD) 比

SINAD は、A/D コンバータ出力での信号対（ノイズ+歪み）比の測定値です。信号は基本波の実効値振幅で表します。ノイズは  $1/2$  サンプリング周波数 ( $f_s/2$ ) までの非基本波の総和で表します（DC を除く）。

### チャンネル間メモリ

チャンネル間メモリは、チャンネル・シーケンスでのチャンネル間の切り替え時に発生するクロストークのレベルを表す尺度です。100kHz のフルスケール信号を 1 つのアナログ入力チャンネルに加え、別のアナログ入力チャンネルに DC 電圧を加えて、各変換の間にこの 2 つのチャンネルを繰り返し切り替えることで測定が行われます。チャンネル間メモリは DC チャンネルのデータから計測された 100kHz のスペクトル成分の大きさです。

### チャンネル間アイソレーション

チャンネル間アイソレーションは、非アクティブなチャンネルの信号からアクティブなチャンネルへのクロストークのレベルを表す尺度です。チャンネル間アイソレーションを測定するには、1 つのアナログ入力チャンネルに DC 入力に加え、それ以外のすべてのアナログ入力チャンネルに 100kHz のフルスケール・サイン波を加えて、DC 入力チャンネルのみで変換を実行します。チャンネル間アイソレーションは、DC チャンネルのデータから計測された 100kHz のスペクトル成分の大きさです。

### 全高調波歪み (THD)

THD は、高調波の実効値の総和と基本波の比で、次式で定義されます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

$V_1$  は基本波の実効値振幅。

$V_2, V_3, V_4, V_5, V_6$  は、第二高調波から第六高調波までの実効値振幅です。

### アパーチャ遅延

アパーチャ遅延はアクイジション性能の尺度です。アパーチャ遅延は、CNV 入力の立上がりエッジから、入力信号が変換のために保持されるまでの時間です。

## 動作原理

### 概要

AD4695/AD4696 は、低消費電力、16 チャンネル、16 ビット、500kSPS/1MSPS のマルチプレクス高精度 SAR ADC です。AD4695/AD4696 は、長時間のアイドルング後でも最初の変換から有効な結果を提供します。

AD4695/AD4696 には、周辺機器の回路の設計条件を簡素化すると共に、低消費電力でチャンネル密度の高い高性能データ・アキュイジション・システムの設計を容易にする機能が備わっています。これらの機能には次のものがあります。

- ノー・ミス・コードの 16 ビット SAR ADC コア
- 低クロストーク・マルチプレクサによる 16 個のマルチプレクス・アナログ入力
- 柔軟性の高いチャンネル・シーケンシング・モード
- アナログ入力とリファレンスの高インピーダンス・モード
- 温度センサー
- アナログ入力ごとの入力過電圧保護クランプ
- アナログ入力ごとにプログラム可能な閾値検出
- 自律的に変換を実行するための自動サイクル・モード
- アナログ入力ごとの一次オフセットおよびゲイン補正
- アナログ入力ごとのオーバーサンプリングおよびデシメーション・オプション

チャンネル間のマルチプレクス時には、アナログ入力高インピーダンス・モード機能により、アナログ入力部に発生する非直線性電圧ステップが削減されます。アナログ入力高インピーダンス・モードは、アナログ・フロントエンド回路のセトリング条件と帯域幅条件を緩和し、帯域幅の狭い低消費電力アンプが直接アナログ入力を駆動できるようにします。

リファレンス入力高インピーダンス・モード機能は、ADC コアが変換を実行している間の REF 入力電流を大幅に減少させ、リファレンス回路の駆動条件を緩和します。この機能により、従来の SAR ADC よりも低消費電力のリファレンスと小さいデカップリング・コンデンサ (1 $\mu$ F) が使用できます。

各アナログ入力には入力過電圧保護クランプが備わっており、デバイスを過電圧イベントから保護します。クランプの回路は堅牢で、また、1 つのアナログ入力の過電圧イベントがそれ以外のアナログ入力の性能に大きな影響を及ぼすことのないようにします。

AD4695/AD4696 には、様々なチャンネル・シーケンシング・モードがあり、アナログ入力チャンネルのシーケンスで変換を実行する際の柔軟な手段を提供します。標準シーケンサと詳細シーケンサにより、変換の発生時にチャンネル・シーケンスが再プログラムされ自動的に実行されます。2 サイクル・コマンド・モードと単一サイクル・コマンド・モードは、デジタル・ホストが SPI コマンドを使用して手動でチャンネルを選択できるようにします。

AD4695/AD4696 には、強化されたデジタル・インターフェースがあり、これを使用して、デバイスのレジスタ内容にアクセスして変換結果を起こし読み出すと共に、追加のユーティリティを提供することができます。レジスタ設定モードは、レジスタの内容を書き替えるために使用されます。変換モードは、変換を開始し、変換結果をリード・バックするために使用されます。

AD4695/AD4696 の変換時間は短いため、フル・スループットで動作する場合でも、低いシリアル・クロック・レートで変換をリード・バックできます。AD4695/AD4696 は 4 線式 SPI プロトコルに対応し、また、デュアル SDO モードのオプションもあるため、変換結果を複数のデータ出力に並行してシフトすることで、SCK レートを低くすることができます。

変換の間は ADC コアがパワーダウンするため、AD4695/AD4696 の消費電力はスループットに比例します。例えば、10kSPS で動作している場合、AD4695/AD4696 の消費電力は通常 0.1mW であるため (内部 LDO、アナログ入力高インピーダンス・モード、リファレンス入力高インピーダンス・モードが無効)、バッテリ駆動アプリケーションに最適です。

AD4695/AD4696 は 32 ピンの 5mm  $\times$  5mm LFCSP パッケージを採用しています。

### コンバータの動作

AD4695/AD4696 には SAR ベースの ADC コアがあり、電荷再分配方式の D/A コンバータ (DAC) を使用して印加された入力電圧を出力コードに量子化します。図 61 に AD4695/AD4696 SAR ADC コアの簡略化した回路図を示します。

アナログ入力と温度センサーは、図 61 において SW<sub>MUX+</sub> および SW<sub>MUX-</sub> と表記された内蔵の低クロストーク・マルチプレクサを介して、コンデンサ・アレイ入力 (ADCIN+ および ADCIN-) に接続されます。マルチプレクサ・スイッチは、内部チャンネル・シーケンシング・ロジックで制御され、変換ごとに更新されます (マルチプレクサのセクションとチャンネル・シーケンシング・モードのセクションを参照)。

AD4695/AD4696 SAR ADC の変換ルーチンは、アキュイジション・フェーズと変換フェーズから成っています。ADC は変換フェーズが始まるまでアキュイジション・フェーズを維持します。アキュイジション・フェーズの間、コンデンサ・アレイには、内蔵マルチプレクサによって選択されたアナログ入力チャンネルの電圧が加わります。変換フェーズの間は、ADC コアがこの入力電圧をサンプリングし、対応する出力コード結果を生成します。図 62 に、AD4695/AD4696 ADC コアによって生成された変換結果のデータ処理経路を示します。

変換フェーズを開始するには、AD4695/AD4696 は変換モードである必要があります (変換モードのセクションを参照)。レジスタ設定モードでは、SAR ADC コアはアキュイジション・フェーズのままです。

アキュイジション・フェーズ中、コンパレータの入力に接続されたコンデンサ・アレイの端子は、SW+スイッチと SW-スイッチを介して REF<sub>GND</sub> に接続されています。アレイ内の各コンデンサのスイッチはすべて、ADCIN+ および ADCIN- に接続され、ADCIN+ および ADCIN- は SW<sub>MUX+</sub> および SW<sub>MUX-</sub> を介して選択されたアナログ入力チャンネルに接続されています。アキュイジション・フェーズは、変換フェーズが開始されると直ちに終了します。

変換フェーズは、CNV 入力の立上がりエッジで開始されます（変換モードの場合のみ）。変換フェーズが開始すると、SW+、SW-、SW<sub>MUX+</sub>、SW<sub>MUX-</sub>が最初に開き、コンデンサ・アレイのアナログ入力電圧をサンプリングします。次にこの 2 つのコンデンサ・アレイは ADCIN+および ADCIN-から切り離され、REFGND に接続されます。サンプリングされた電圧はコンパレータの入力に印加され、コンパレータはアンバランスとなります。ADC の制御ロジックは、コンデンサ・アレイの各エレメントを REFGND と REF の間で順次切り替えることで、アレイ内の各コンデンサのビット・トライアルを MSB から順に実行します。各ビット・トライアル中、コンパレータの入力はバイナリの重み付けされた電圧ステップ ( $V_{REF}/2$ ,  $V_{REF}/4$ , ...,  $V_{REF}/65536$ ) によって変化し、制御ロジックは、コンパレータをバランス状態に戻すよう作用します。コンパレータの状態は、結果として生じる変換結果を生成できるよう、ビット・トライアルごとに記録されます。変換フェーズは、すべてのビット・トライアルが完了し、変換結果の準備が整ったら終了します。

SAR ADC コアは、変換フェーズごとに 1 つの出力コードを生成します。アクティブなチャンネルの OSR 設定が 1 より大きい場合は、複数の出力コードが平均されてオーバーサンプリングされた ADC の結果を生成します（[伝達関数のセクション](#)と[オーバーサンプリングおよびデシメーションのセクション](#)を参照）。

表 2 に示す変換時間の仕様値 ( $t_{CONVERT}$ ) は、CNV の立上がりエッジと変換フェーズの終了の間の遅延を示すものです。変換フェーズ中、変換が完了し SPI を通じて読み出せるようになったら、ADC はデジタル・ホストと通信を行うためにビジー・インジケータを生成します（[ビジー・インジケータのセクション](#)を参照）。有効化されている場合、ビジー・インジケータは変換フェーズの開始時にハイに遷移し、変換フェーズが終了するとローに遷移します。

各アクイジション・フェーズの終了とそれに続くアクイジション・フェーズの開始の間の遅延は、選択するチャンネル・シーケンシング・モードによって異なります。2 サイクル・コマンド・モードが有効化され、標準シーケンサまたは詳細シーケンサがイネーブルの場合、内部の制御ロジックが次のアクイジション・フェーズの開始タイミングを決定します。単一サイクル・コマンド・モードが有効となっている場合は、5 ビットのチャンネル・コマンドを SPI 経由で受信するまで、ADC コアはアクイジション・フェーズに入ることができません（[単一サイクル・コマンド・モードのセクション](#)を参照）。

表 2 に示す最小アクイジション時間の仕様値 ( $t_{ACQ}$ ) は、AD4695/AD4696 が最大サンプリング・レートで動作している場合に、アクイジション・フェーズになっている時間の最小量を示すものです。

アナログ入力高インピーダンス・モードが無効化されている場合、アナログ入力をコンデンサ・アレイに接続するスイッチは、アクイジション・フェーズが開始されると直ちにクローズします。アナログ入力高インピーダンス・モードが有効化されている場合は、これらのスイッチはアクイジション・フェーズの途中でクローズしますが、その結果生じる電圧キックバックは、大幅に減少されます。その結果、アナログ入力高インピーダンス・モードが有効となっている場合、アナログ・フロントエンド回路のセトリング時間と帯域幅の条件は緩和されます（[図 20](#)および[シグナル・セトリング条件のセクション](#)を参照）。

AD4695/AD4696 ADC コアは内部クロックで制御され、SPI シリアル・クロック (SCK) は変換プロセスには不要です。

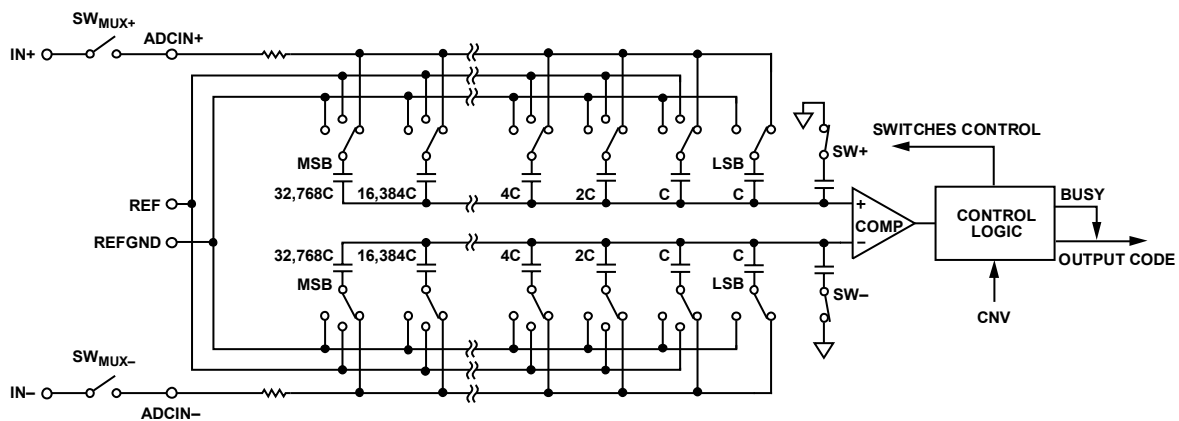


図 61. ADC の簡略化した回路図

24816-064

伝達関数

図 62 に AD4695/AD4696 のデータ処理経路を示します。SAR ADC コアは、変換周期ごとに1つの16ビット出力コードを生成します。選択するアナログ入力チャンネルの OSR 設定によって、平均化処理を行う連続する16ビット出力コード結果の数が決まりますが、変換モードで更にオフセット補正とゲイン補正の設定が適用されて、SPI を介して読み出される最終結果が生成されます（オーバーサンプリングおよびデシメーションのセクションおよびオフセットおよびゲイン補正のセクションを参照）。

変換結果の長さは OSR 設定によって決まります。変換結果の分解能は、16ビット~19ビットの範囲で、これは1~64のOSRに対応しています（オーバーサンプリングおよびデシメーションのセクションを参照）。

変換結果のコード化形式は、選択した極性モードによって決まります。ユニポーラ・モードに設定されたチャンネルでは、結

果はストレート・バイナリ形式となり、擬似バイポーラ・モードに設定されたチャンネルでは2の補数です（チャンネル設定オプションのセクションを参照）。

AD4695/AD4696 にはチャンネルごとにオフセット補正とゲイン補正が備わっており、これらは一次のシステム誤差を補償するよう設定できます。オフセットおよびゲイン補正レジスタによって、ADC の伝達関数はデジタル的に変更されます（オフセットおよびゲイン補正のセクションを参照）。

理想的な伝達関数を図 63 に示します。出力コードおよび入力電圧と  $V_{REF}$ 、OSR、極性モード、オフセットおよびゲイン補正設定の関係は、コードと電圧の間の変換のセクションで説明します。表 7~表 10 に、様々な電圧入力とそれに対応する結果の例を、各 OSR と極性モードのオプションについて示します（理想的な ADC 伝達関数を仮定し、オフセットおよびゲイン補正値はデフォルト値に設定されていると想定）。

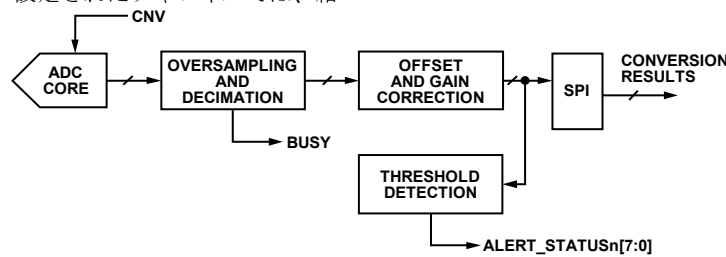


図 62. ADC のデータ処理経路

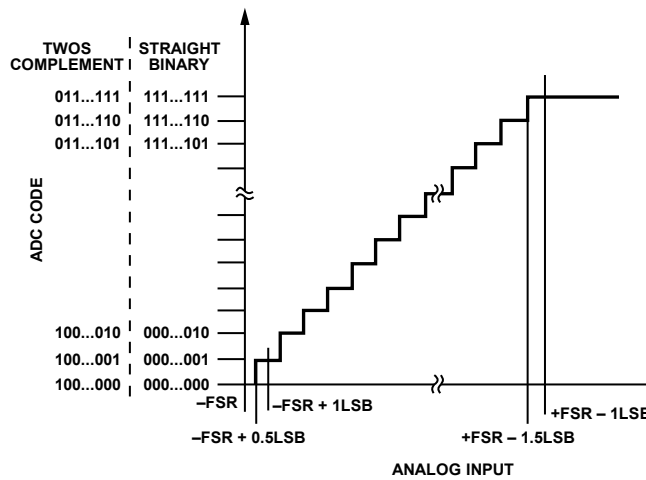


図 63. ADC の理想的な伝達関数（FSR はフルスケール範囲）

表 7. 出力コードと理想的な入力電圧、 $V_{REF} = 5V$ 、OSR = 1

Description	Input Voltage in Unipolar Mode	Digital Output Code (Straight Binary)	Input Voltage in Pseudo Bipolar Mode	Digital Output Code (Twos Complement)
FSR - 1 LSB	4.999924 V	0xFFFF	2.499924 V	0x7FFF
Midscale + 1 LSB	2.500076 V	0x8001	76.3 $\mu$ V	0x0001
Midscale	2.5 V	0x8000	0 V	0x0000
Midscale - 1 LSB	2.499924 V	0x7FFF	-76.3 $\mu$ V	0xFFFF
-FSR + 1 LSB	76.3 $\mu$ V	0x0001	-2.499924 V	0x8001
-FSR	0 V	0x0000	-2.5 V	0x8000

表 8. 出力コードと理想的な入力電圧、 $V_{REF} = 5V$ 、 $OSR = 4$

Description	Input Voltage in Unipolar Mode	Digital Output Code (Straight Binary)	Input Voltage in Pseudo Bipolar Mode	Digital Output Code (Twos Complement)
FSR - 1 LSB	4.999962 V	0x1FFFF	2.499962 V	0x0FFFF
Midscale + 1 LSB	2.500038 V	0x10001	38.1 $\mu$ V	0x00001
Midscale	2.5 V	0x10000	0 V	0x00000
Midscale - 1 LSB	2.499962 V	0x0FFFF	-38.1 $\mu$ V	0x1FFFF
-FSR + 1 LSB	38.1 $\mu$ V	0x00001	-2.499962 V	0x10001
-FSR	0 V	0x00000	-2.5 V	0x10000

表 9. 出力コードと理想的な入力電圧、 $V_{REF} = 5V$ 、 $OSR = 16$

Description	Input Voltage in Unipolar Mode	Digital Output Code (Straight Binary)	Input Voltage in Pseudo Bipolar Mode	Digital Output Code (Twos Complement)
FSR - 1 LSB	4.999981 V	0x3FFFF <sup>3</sup>	2.499981 V	0x1FFFF
Midscale + 1 LSB	2.500019 V	0x20001	19.1 $\mu$ V	0x00001
Midscale	2.5 V	0x20000	0 V	0x00000
Midscale - 1 LSB	2.499981 V	0x1FFFF	-19.1 $\mu$ V	0x3FFFF
-FSR + 1 LSB	19.1 $\mu$ V	0x00001	-2.499981 V	0x20001
-FSR	0 V	0x00000 <sup>4</sup>	-2.5 V	0x20000

表 10. 出力コードと理想的な入力電圧、 $V_{REF} = 5V$ 、 $OSR = 64$

Description	Input Voltage in Unipolar Mode	Digital Output Code (Straight Binary)	Input Voltage in Pseudo Bipolar Mode	Digital Output Code (Twos Complement)
FSR - 1 LSB	4.999910 V	0x7FFFF <sup>3</sup>	2.499990 V	0x3FFFF
Midscale + 1 LSB	2.500010 V	0x40001	9.54 $\mu$ V	0x00001
Midscale	2.5 V	0x40000	0 V	0x00000
Midscale - 1 LSB	2.499990 V	0x3FFFF	-9.54 $\mu$ V	0x7FFFF
-FSR + 1 LSB	9.54 $\mu$ V	0x00001	-2.499990 V	0x40001
-FSR	0 V	0x00000 <sup>4</sup>	-2.5 V	0x40000

## アナログ入力

図 64 に、AD4695/AD4696 のアナログ入力 (IN0~IN15 および COM) の等価回路を示します。

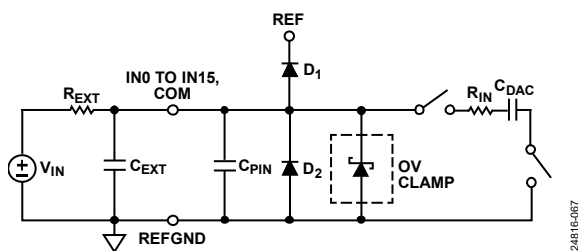


図 64. アナログ入力の等価回路

低クロストークのアナログ・マルチプレクサが、アナログ入力ピンから ADC コア入力に信号を配信します。アナログ入力のインピーダンスは、ピン容量 ( $C_{PIN}$ ) と、 $R_{IN}$  および  $C_{DAC}$  を直列接続して形成された回路を並列に組み合わせたものとしてモデル化されています。 $R_{IN}$  は、ADC 入力の直列抵抗とマルチプレクサのスイッチ抵抗を表し、代表値は 240 $\Omega$  です。 $C_{DAC}$  は、図 61 に示す ADC サンプリング容量性 DAC を表し、代表値は 60pF です。

各アナログ入力には固有の過電圧保護クランプ回路があり、図 64 では「OV CLAMP」と表示されています。このクランプは、アナログ入力に DC 過電圧状態にならないよう保護するもので、追加の保護ダイオードを外付けする必要はありません。過電圧保護クランプの詳細については、[入力過電圧保護クランプ](#)のセクションを参照してください。

図 64 の  $R_{EXT}$  と  $C_{EXT}$  は、外付けの RC ローパス・フィルタを表し、入力信号の帯域幅を制限するためにシステム設計に組み込まれます。 $R_{EXT}$  は、アナログ入力の過電圧保護機能を向上するために使用される場合もあります。 $R_{EXT}$  と  $C_{EXT}$  の機能の詳細は、[外付け RC フィルタ](#)のセクションを参照してください。

## マルチプレクサ

AD4695/AD4696 には、柔軟性の高い低クロストークのアナログ・マルチプレクサがあり、16 のアナログ入力と内部温度センサーから選択し、それらを 16 ビットの擬似差動 SAR ADC コアの入力に接続できます。図 65 に、内部マルチプレクサの簡略化した回路図を示します。図 61 と図 65 の  $SW_{MUX+}$  スイッチおよび  $SW_{MUX-}$  スイッチは、選択したチャンネルを ADC 入力（図 61 に  $ADCIN+$  および  $ADCIN-$  と表示）に接続するマルチプレクサ・スイッチを表します。 $SW_{MUX+}$  および  $SW_{MUX-}$  はブレークビフォアメークで、内部チャンネル・シーケンシング・ロジックで制御されます（チャンネル・シーケンシング・モードのセクションを参照）。

このマルチプレクサによって、柔軟なアナログ入力チャンネル設定が可能となります。 $SW_{MUX-}$  の位置はユーザ設定可能で、図 65 に示すどのピンにも割り当てることができます（チャンネル設定オプションのセクションを参照）。

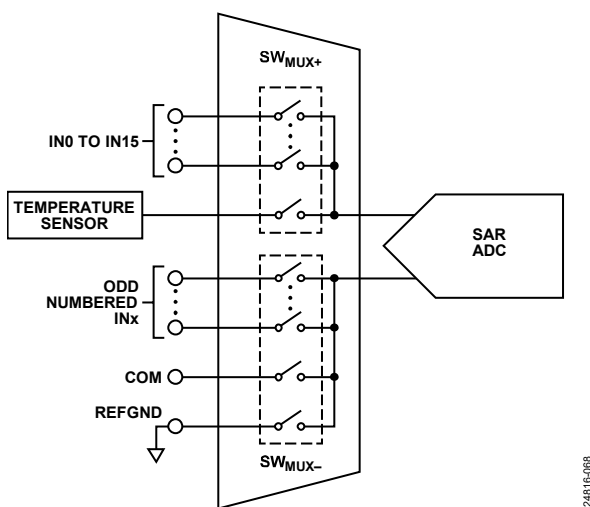


図 65. マルチプレクサの簡略化した回路図

## チャンネル設定オプション

AD4695/AD4696 には、いくつかのチャンネル設定オプションが備わっているため、デバイスは多様な信号とインターフェース接続できます。チャンネル設定は、16 のアナログ入力 ( $IN0 \sim IN15$ ) のそれぞれについて個別にプログラムできます。

チャンネル構成の設定には、ピン・ペアリング割当てや信号極性モードなどがあります。ピン・ペアリング・オプションは、 $SW_{MUX-}$  のポジションを  $SW_{MUX+}$  のポジションごとに割り当て、どの信号を SAR ADC コアの負側（図 61 の  $ADCIN-$ ）に伝送するかを決定します。信号極性モードは、 $ADCIN-$  の電圧範囲を設定します。図 66 に、異なるチャンネル設定オプションでのピン・ペアリングと電圧範囲を示します。

ピン・ペアリング割当てオプションには次のようなものがあります。

- 図 66、 $IN0 \sim IN15$  が  $REFNGND$  とペアリング
- 図 67、 $IN0 \sim IN15$  が  $COM$  とペアリング
- 図 68、偶数番号の入力が次に大きな奇数番号の入力とペアリング（例えば、 $IN0$  が  $IN1$  とペアリング、 $IN2$  が  $IN3$  とペアリング、など）。

2 つの信号極性モードは、ユニポーラ・モードおよび擬似バイポーラ・モードと呼ばれます。チャンネルがユニポーラ・モードの場合、 $ADCIN-$  に伝送される信号は公称 0V です（ $REFNGND$  基準）。チャンネルが擬似バイポーラ・モードの場合、 $ADCIN-$  に伝送される信号は公称  $V_{REF}/2V$  です（ $REFNGND$  基準）。ユニポーラおよび擬似バイポーラ・モードに対する有効な動作入力電圧仕様値は、表 1 に示されています。

入力がユニポーラ・モードの場合、その出力コードはストレート・バイナリ形式です。入力が擬似バイポーラ・モードの場合、その出力コードは、2 の補数形式です。ユニポーラ・モードと擬似バイポーラ・モードの出力コード形式の例については、伝達関数のセクションを参照してください。

ピン・ペアリングの割当ては、 $CONFIG\_INn$  レジスタの  $IN\_PAIR$  ビット・フィールドで選択されます。信号極性モードは、 $CONFIG\_INn$  レジスタの  $IN\_MODE$  フィールドで選択されます。

偶数番号の入力をそれに対応する奇数番号の入力にペアリングする場合、いずれかのチャンネル・シーケンシング・モードを通じて奇数番号入力を選択することは、機能的には偶数番号入力を選択することと同じです。偶数番号入力は常に  $ADCIN+$  に接続され、奇数番号入力は常に  $ADCIN-$  に接続されます。そして、偶数番号入力  $CONFIG\_INn$  レジスタの設定のみが適用されます。入力をチャンネル・ペアの一部として割り当てる場合、チャンネル・シーケンスには偶数番号入力のみを含めることを推奨します。

標準シーケンサがイネーブルとなっている場合、ピン・ペアリング割当て設定は 16 のアナログ入力すべてについて同じで、 $CONFIG\_IN0$  レジスタの  $IN\_PAIR$  フィールドで設定されます。詳細シーケンサ、2 サイクル・コマンド・モード、または単一サイクル・コマンド・モードがイネーブルとなっている場合は、ピン・ペアリング割当て設定は 16 のアナログ入力すべてに対し独立で、各入力に対応する  $CONFIG\_INn$  レジスタの  $IN\_PAIR$  フィールドで設定されます。各アナログ入力の極性モード設定は、チャンネル・シーケンシング・モードによらず常に、対応する  $CONFIG\_INn$  レジスタの  $IN\_MODE$  ビットで設定されます。

なお、擬似バイポーラ・モードは、 $REFNGND$  のピン・ペアリング割当てが選択されているチャンネルに対しては使用できません。チャンネル・ピン・ペアリング割当てが  $REFNGND$  に設定されている場合、 $IN\_PAIR$  フィールドの状態は無視されます。

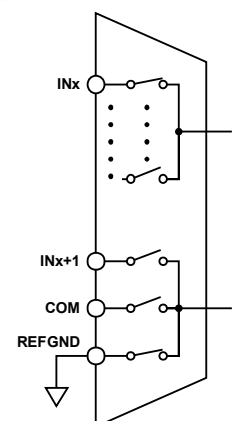


図 66. チャンネル設定オプション A

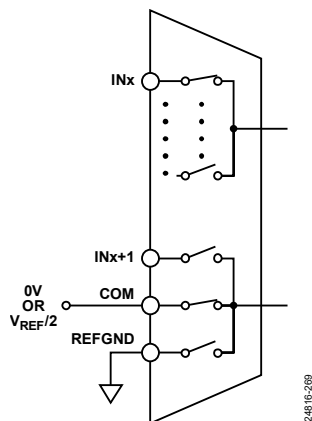


図 67. チャンネル設定オプション B

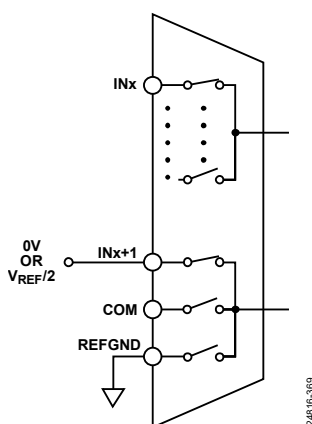


図 68. チャンネル設定オプション C

## アナログ入力高インピーダンス・モード

従来の高分解能マルチプレクス SAR ADC から最適なデータシート性能を引き出すために、システム設計者は多くの場合、専用の広帯域幅低ノイズの ADC ドライバ・アンプをアナログ・シグナル・コンディショニング回路と ADC 入力のために配置して、変換の間にアナログ入力で発生する電圧キックバックを安定させる必要があります。AD4695/AD4696 のアナログ入力高インピーダンス・モードは、アナログ入力を駆動する AFE 回路の設計条件を簡素化し、小型フットプリント高チャンネル密度の高精度マルチプレクス SAR ADC シグナル・チェーンの設計を容易なものにします。

アナログ入力高インピーダンス・モードは、ADC とマルチプレクサ・スイッチが ADC のアキュイジション・フェーズの開始時に再接続する際にアナログ入力で発生する電圧キックバックの大きさを大幅に低減します（シグナル・セトリング条件のセクションを参照）。図 20 に、0V 駆動の別のアナログ入力から 5V 駆動のアナログ入力に切り替わった後に発生する電圧キックバックを、アナログ入力高インピーダンス・モードが有効の場合と無効の場合について示します。

電圧キックバックが減少すると、AD4695/AD4696 のアナログ入力の実効入力インピーダンスが増加し、目的のセトリング精度と性能を達成するための AFE 回路の帯域幅条件が緩和されます。AD4695/AD4696 の帯域幅条件が緩和されることで、互換性のあるアンプと外付け RC フィルタ部品の選択幅が広がるため、AFE 回路設計が簡素化されます。そのため、アナログ入力高インピーダンス・モードによって、チャンネルごとに専用の ADC ドライバ・アンプを配置する必要がなくなり、システムのフットプリントと消費電力を著しく削減できます。

アナログ入力高インピーダンス・モードは、フロントエンド・アンプと AD4695/AD4696 アナログ入力との間の直列抵抗を原因とする性能劣化も抑制します。それによって、外付け RC フィルタの抵抗（図 64 と図 107 の  $R_{EXT}$ ）を従来のマルチプレクス SAR ADC に比べ大きなものとすることができます。大きな  $R_{EXT}$  と小さな  $C_{EXT}$  を使用することで、歪み性能に大きな影響を及ぼさず、アンプの安定性に関する問題を緩和できます。

図 69 と図 70 は、低消費電力狭帯域幅アンプ（ADA4077-1）が、AD4695/AD4696 のアナログ入力高インピーダンス・モードを利用することで、低ノイズ広帯域幅 ADC ドライバ・アンプ（ADA4807-1）と同じ AC 性能を達成できることを示しています。これらの図は、様々な外付け RC フィルタ部品を用いた ADA4077-1 および ADA4807-1 と組み合わせた AD4695/AD4696 の SNR と THD 性能を、アナログ入力高インピーダンス・モードを有効化した場合と無効化した場合について示したものです。図 71 に、図 69 と図 70 の性能メトリクスを測定するために使用した回路構成を示します。標準シーケンサは、変換ごとに 2 つの AD4695/AD4696 チャンネルを切り替えるよう設定されています。チャンネルは、1kHz の逆位相フルスケール・サイン波で駆動されています。

ADA4807-1 は低ノイズ広帯域幅アンプで、高精度 SAR ADC を駆動するために通常推奨されるものです。また、ADA4077-1 は高精度低ドリフトのアンプで、比較的狭い帯域幅となっています。表 11 に、ADA4807-1 と ADA4077-1 の帯域幅、入力ノイズ、電源電流の各仕様値を示します。アナログ入力高インピーダンス・モードが無効化されている場合、変換の間の電圧キックバックを安定化できないため、ADA4077-1 の THD 性能は低下します。アナログ入力高インピーダンス・モードが有効化されている場合、ADA4077-1 は、帯域幅が比較的狭いにも関わらず、ADA4807-1 と同等の THD 性能を達成できます。図 71 に示す例では、アナログ入力高インピーダンス・モードによって、16 のアナログ入力チャンネルごとに ADA4807-1 またはこれと同等の ADC ドライバ・アンプを必要とすることがなくなり、そのため、スタンバイ時のシステムの消費電流は約 16mA 減少し、ソリューション全体のフットプリントは大幅に縮小します。

表 23 に、各種目標サンプリング・レートと入力信号帯域幅に対し、AD4695/AD4696 と併用するために推奨されるアンプおよび外付け RC フィルタ部品の一覧を示します。



アナログ入力高インピーダンス・モードは、CONFIG\_INn レジスタの AINHIZ\_EN ビットで有効化できます。標準シーケンサがイネーブルの場合、アナログ入力高インピーダンス・モードは 16 のアナログ入力すべてに対し有効化または無効化され、CONFIG\_IN0 レジスタの AINHIZ\_EN ビットで設定されます。詳細シーケンサがイネーブルの場合または、2 サイクル・コマンド・モードまたは単一サイクル・コマンド・モードを使用している場合は、アナログ入力高インピーダンス・モードは 16 のアナログ入力すべてに対し、個別に有効化または無効化され、入力ごとに、対応する CONFIG\_INn レジスタの AINHIZ\_EN ビットで設定されます。温度センサーをサンプリングする場合は、アナログ入力高インピーダンス・モードは常に有効化されます。

リファレンス入力高インピーダンス・モードを有効にする場合は、アナログ入力高インピーダンス・モードを有効にする必要があります。いずれかのアナログ入力チャンネルでアナログ入力高インピーダンス・モードが無効となっている場合は、リファレンス入力高インピーダンス・モードも無効とする必要があります。

表 11. 併用アンプの仕様

Amplifier	Input Voltage Noise	-3dB Bandwidth	Supply Current per Amplifier
ADA4807-1/ ADA4807-2/ ADA4807-4	3.1 nV/√Hz	180 MHz	1.0 mA
ADA4077-1/ ADA4077-2/ ADA4077-4	6.9 nV/√Hz	5.9 MHz	400 μA

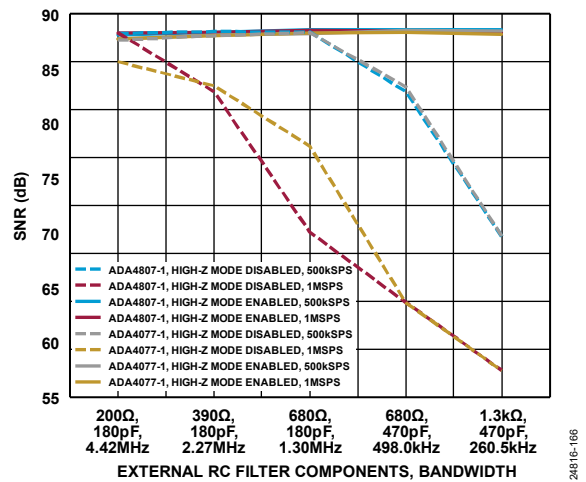


図 69. 様々なアンプの SNR と外付け RC フィルタ部品と帯域幅の関係 ( $V_{REF} = 5V$ 、 $f_{IN} = 1kHz$ )

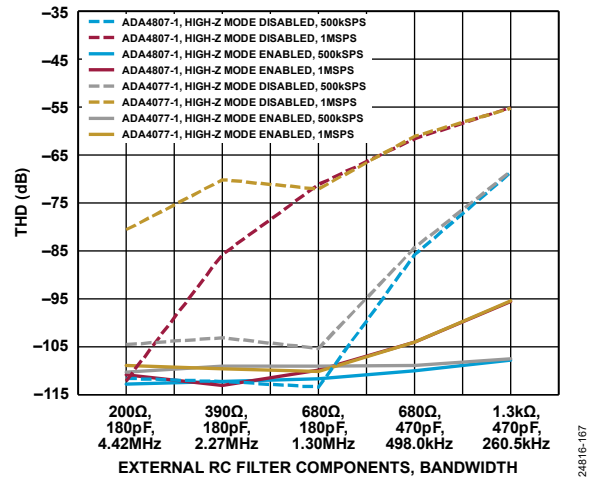


図 70. 様々なアンプの THD と外付け RC フィルタ部品と帯域幅の関係 ( $V_{REF} = 5V$ 、 $f_{IN} = 1kHz$ )

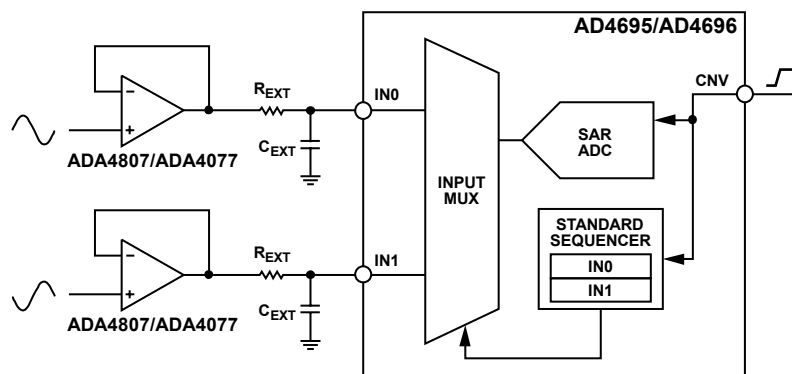


図 71. アナログ入力高インピーダンス・モードでのアンプおよび RC フィルタの性能を測定するための試験回路

## 入力過電圧保護クランプ

AD4695/AD4696には、IN0～IN15とCOMに過電圧保護クランプがあり、長時間のDC過電圧イベントからのデバイスの損傷リスクを抑制します。これらのクランプにより、入力駆動回路の正側電源レールが $V_{REF}$ より大きいようなシステムでも、クランプ用ダイオードを外付けする必要がなくなります(図107を参照)。

表1に、過電圧保護クランプのアクティブ化電圧、非アクティブ化電圧、クランピング電圧を示します。図35と図38には、過電圧状態中のクランプの代表的な作用を示します。クランプ回路がアクティブになるのは、アナログ入力電圧がアクティブ化電圧を超えた場合です。クランプ回路が非アクティブになるのは、入力電圧が非アクティブ化電圧を下回った場合です。クランプがアクティブになっている間、ステータス・レジスタにフラグがセットされ、これはデジタル・ホストが読み出せます。各クランプのステータスの読み出しオプションについての詳細は、[過電圧クランプ・フラグ](#)のセクションを参照してください。

入力過電圧イベントによってリファレンス源が妨害される程度が、過電圧保護クランプにより抑制されます。アクティブな場合、クランプはアナログ入力の電圧を仕様規定されたクランプ電圧に制限し、入力電流をアナログ入力とREF入力を接続するESDダイオード(図64の $D_1$ )を通さずに、グラウンドに流します。これによって、1つのアナログ入力の過電圧状態が別のアナログ入力またはリファレンスを共有する別のデバイスの性能を低下させることを防止します。図42に、1つのクランプ入力電流とその結果生じる追加リファレンス入力電流の関係を示します。

図26、図29、図32は、1つのアナログ入力チャンネルのオフセット誤差、ゲイン誤差、AC性能と、その他の入力のアクティブな過電圧保護クランプ数の関係を示したものです。

各過電圧保護クランプ回路は、5mAの最大持続電流に対応します。17個のクランプ回路はすべて、デバイスに損傷を与えることなく同時に5mAをシンクできます。クランプ電流は、 $V_{REF}$ 、外付け直列抵抗(図64の $R_{EXT}$ など)、AFE回路の出力電圧の関数です。過電圧イベント中に過剰なクランプ電流を防止するために $R_{EXT}$ を選択する方法についての詳細は、[入力過電圧保護クランプ](#)のセクションを参照してください。

## 過電圧減少電流モード

過電圧減少電流モードは、過電圧イベント中に追加されるリファレンス電流を更に減少させます。図42は、過電圧減少電流モードを有効にした場合と無効にした場合とで、様々なクランプ入力電流に対して引き出される追加リファレンス入力電流の差を示したものです。

過電圧減少電流モードは、REF\_CTRLレジスタのOV\_MODEビットが0に設定されている場合に有効化されます。過電圧減少電流モードはデフォルトで有効化されています。

過電圧減少電流モードを有効化すると、 $R_{EXT}$ の最大値が変わり、安定したクランプ動作が実現できます。外付けRCフィルタとクランプ動作の関係についての詳細は、[過電圧保護クランプの安定性のセクション](#)を参照してください。

## 過電圧保護クランプの安定性

アナログ入力の過電圧イベントが問題とはならないアプリケーション、またはクランプの安定性が問題とはならないようなアプリケーションでは、 $R_{EXT}$ および $C_{EXT}$ の値がこのセクションで説明するガイドラインに沿うものである必要はありません。

過電圧保護クランプ回路の安定性は、外付けRCフィルタの部品値と、過電圧減少電流モードが有効か無効かによって異なります。クランプが不安定な場合、過電圧保護イベント中にクランプがアクティブ状態と非アクティブ状態の間を切り替わります。この不安定性は、オーバードライブされた入力とリファレンスの両方にわずかな変調電流が流入する原因となり、リファレンス回路に適切な負荷レギュレーションがなく追加リファレンス電流に対応して安定したリファレンス電圧を維持できない場合、その他のアナログ入力の変換時に測定誤差を生じる可能性があります。表1と図42に、アクティブなクランプごとの追加リファレンス入力(REF)を示します。

安定したクランプ動作を確保するには、外付けRCフィルタの $C_{EXT}$ (図64を参照)は500pF以上であることが必要です。 $R_{EXT}$ の最大値は、過電圧減少電流モードが有効な場合は1k $\Omega$ 、過電圧減少電流モードが無効な場合は2k $\Omega$ です。

## 過電圧クランプ・フラグ

AD4695/AD4696は、過電圧保護クランプのステータスを確認するための手段をいくつか備えています。

CLAMP\_STATUS1およびCLAMP\_STATUS2レジスタのINX\_CLAMP\_FLAGビットは、IN0～IN15の過電圧保護クランプのステータスを指示します。各INX\_CLAMP\_FLAGビットは、対応する入力クランプ回路がアクティブになるとアサートされ、対応する入力クランプ回路が非アクティブになるとデアサートされます。ステータス・レジスタのCLAMP\_FLAGビットは、IN0～IN15のいずれかの組み合わせの過電圧クランプがアクティブになるとアサートされます(いずれかのINX\_CLAMP\_FLAGビットがアサートされている場合)。このビットはスティッキーで、すべてのクランプが非アクティブなときに読み出された場合のみ、クリアされます。

ステータス・レジスタのCOM\_CLAMP\_FLAGビットは、COM入力過電圧保護クランプがアクティブになるとアサートされ、COM入力過電圧保護クランプが非アクティブになるとデアサートされます。これらのビットは、レジスタ設定モード時に読み出すことで、各過電圧入力クランプ回路のその時点のステータスを確認できます。

オプション・ステータス・ビットのOV\_ALTフラグを使用すると、変換の実行中にすべての過電圧保護クランプのステータスを確認できます。OV\_ALTフラグは、CLAMP\_STATUS1およびCLAMP\_STATUS2レジスタの16個のINX\_CLAMP\_FLAGビットのビットワイズ論理和です。また、OV\_ALTフラグは、過電圧クランプ・フラグと汎用閾値アラート・インジケータの論理和として設定することもできます([閾値検出とアラート・インジケータ](#)のセクションを参照)。OV\_ALTフラグの設定についての詳細は、[ステータス・ビット](#)のセクションを参照してください。

## 温度センサー

AD4695/AD4696 には、ダイの温度を出力電圧に変換する温度センサーが備わっています。この出力電圧は SAR ADC コアによってサンプリングされ、出力コードに変換されます。測定されたダイ温度 (T) と温度センサーの出力電圧 ( $V_{TEMP}$ ) の関係式は、形式的に次式で表されます。

$$V_{TEMP} = \left( -1.8 \frac{\text{mV}}{^{\circ}\text{C}} \times T \right) + 725 \text{ mV}$$

温度センサーの感度は、デバイス温度の変化に対する出力電圧の変化を測定して求め、代表値は  $-1.8 \text{ mV}/^{\circ}\text{C}$  です。 $0^{\circ}\text{C}$  での温度センサーの出力は  $725 \text{ mV}$  (代表値) です。

温度センサーが選択されている場合、マルチプレクサの  $\text{SW}_{\text{MUX}+}$  スイッチ (図 65 を参照) が温度センサー出力を選択し、 $\text{SW}_{\text{MUX}-}$  スイッチが  $\text{REF}_{\text{GND}}$  を選択します。そして、SAR ADC コアが  $V_{TEMP}$  をサンプリングして対応する出力コードを生成します。温度センサーの A/D 変換では、 $\text{OSR} = 1$  のユニポーラ・モードで設定されたアナログ入力と同じ伝達関数が使用されます (伝達関数のセクションを参照)。

標準シーケンサまたは詳細シーケンサがイネーブルで、 $\text{TEMP\_CTRL}$  レジスタの  $\text{TEMP\_EN}$  ビットが 1 に設定されている場合、温度センサーは、事前にプログラムされたチャンネル・シーケンスの終了時にサンプリングされます。

2 サイクル・コマンド・モードまたは単一サイクル・コマンド・モードを使用している場合、温度センサーは、アナログ入力を選択されている場合と同様、 $\text{SCK}$  の最初の 5 個の立上がりエッジで  $\text{SDI}$  にコード  $0x0F$  を書き込むことで選択できます (表 16 を参照)。

温度センサーがイネーブルになっている場合、アナログ入力高インピーダンス・モードは常に有効化され、 $\text{OSR}$  は常に 1 です。温度センサーには閾値検出アラートはありません。

## 電圧リファレンス入力

$V_{\text{REF}}$  により、ADC のフルスケール電圧が設定されます (伝達関数のセクションを参照)。ADC コアは、変換プロセスのビット・トライアルの間にリファレンス入力 (REF) の電圧をサンプリングし、出力コードの結果を定めます。AD4695/AD4696 は、 $2.4 \text{ V} \sim 5.1 \text{ V}$  のリファレンス電圧に対応します。

AD4695/AD4696 は、選択したリファレンス電圧で最適な性能が発揮できるよう設定する必要があります。 $\text{REF\_CTRL}$  レジスタの  $\text{VREF\_SET}$  フィールドは、表 46 に示すように、 $V_{\text{REF}}$  の範囲に関し 5 通りのオプションがあります。この値は、REF ピンに加わる  $V_{\text{REF}}$  電圧と一致するようプログラムする必要があります。

従来の SAR ADC の一般的な課題は、高精度の  $V_{\text{REF}}$  を維持しながら SAR のビット・トライアル中に REF 入力が動的に流入電流を引き出せるだけの、十分な駆動能力を持つリファレンス回路を設計することにあります。 $V_{\text{REF}}$  の偏差は、ゲイン誤差や歪みが増大するなど、ADC の精度と性能の低下につながります。REF 入力は、入力が SAR プロセスの様々なタイミングで外付けリファレンス回路から電荷を引き出す際に、動的な負荷となります。このプロセスは従来、十分な負荷レギュレーション機能と駆動能力を持つ電圧リファレンスを使用すること、または、REF 入力を駆動するための専用のリファレンス・バッファを大きなリファレンス・デカップリング・コンデンサと共に使用することが必要でした。リファレンス回路部品の適切な選択についての詳細は、リファレンス回路設計のセクションを参照してください。

AD4695/AD4696 には、併用リファレンス回路の設計を簡素化し、小型の低消費電力システムの設計を容易にする機能が組み込まれています。リファレンス入力高インピーダンス・モードは、REF 入力電流を約 95% 減少させるため、性能に影響を及ぼすことなく、REF 入力を駆動する電圧リファレンスとアンプの選択幅を拡大できます (リファレンス入力高インピーダンス・モードのセクションを参照)。

リファレンス入力電流はサンプリング・レートに比例します (表 1 および図 39 を参照)。

## リファレンス入力高インピーダンス・モード

リファレンス入力高インピーダンス・モードが有効化されている場合、平均 REF 電流は  $320 \mu\text{A}/\text{MSPS}$  から  $11 \mu\text{A}/\text{MSPS}$  へ約 95% 減少します。この REF 電流の減少により、AD4695/AD4696 は、リファレンス源と REF 入力間の大きな直列抵抗を性能を低下させることなく許容できます。そのため、リファレンス入力高インピーダンス・モードでは、専用のリファレンス・バッファを必要とせずに直接 REF 入力を駆動できる、負荷レギュレーション仕様値の高い電圧リファレンスを使用できます。

REF 入力にはリファレンス・デカップリング・コンデンサ ( $C_{\text{REF}}$ ) が必要です。リファレンス入力高インピーダンス・モードが無効な場合、 $C_{\text{REF}}$  は  $10 \mu\text{F}$  以上であることが必要です。リファレンス入力高インピーダンス・モードが有効な場合は、 $C_{\text{REF}}$  は  $1 \mu\text{F}$  という小さな値にすることができます。

その他のリファレンス回路設計の推奨事項については、リファレンス回路設計のセクションを参照してください。

リファレンス入力高インピーダンス・モードの有効化および無効化は、 $\text{REF\_CTRL}$  レジスタの  $\text{REFHIZ\_EN}$  ビットの値を設定することで行うことができます。リファレンス入力高インピーダンス・モードはデフォルトで有効化されています。

リファレンス入力高インピーダンス・モードを有効にする場合は、アナログ入力高インピーダンス・モードを有効にする必要があります。いずれかのアナログ入力チャンネルでアナログ入力高インピーダンス・モードが無効となっている場合は、リファレンス入力高インピーダンス・モードも無効とする必要があります。

## 電源

AD4695/AD4696 には、アナログ電源 ( $\text{AVDD}$ )、ADC コア電源 ( $\text{VDD}$ )、デジタル入出力インターフェース電源 ( $\text{VIO}$ ) の 3 つの電源ピンがあります。また、AD4695/AD4696 には内部 LDO があり、これを用いると、より幅広い電源電圧で  $\text{VDD}$  レールを供給できます (または、 $\text{LDO\_IN}$  を  $\text{AVDD}$  に接続することで単電源システムで使用できます)。表 1 に、仕様規定された電源電圧条件を示します。

$\text{AVDD}$  の範囲は  $3.15 \text{ V} \sim 5.5 \text{ V}$  で、アナログ入力高インピーダンス・モードおよびリファレンス入力高インピーダンス・モード回路を含む、AD4695/AD4696 のアナログ・フロントエンド機能に電力を供給します。

$\text{VDD}$  は公称  $1.8 \text{ V}$  で、ADC コアとデバイス・レジスタ・メモリの両方に電力を供給します。最初に電力が  $\text{VDD}$  に供給されると、ADC コアが初期化され、デバイス・レジスタの内容がデフォルト状態に設定されます (レジスタの情報のセクションを参照)。

VIO の範囲は 1.2V~1.8V で、デジタル・インターフェース・ピンの入出力レベルを設定します。VIO によって、1.2V と 1.8V の間のデジタル・コントローラ・ロジック・レベルとの直接的なインターフェース接続が可能になります（詳細は [デジタル・インターフェース](#) のセクションを参照）。

AVDD と AGND および VIO と IOGND は最低 100nF でデカップリングし、VDD と AGND は最低 1μF でデカップリングしてください。VDD の供給に LDO を使用しない場合は、LDO\_IN のデカップリングは不要です。

AD4695/AD4696 は、VIO、VDD、AVDD（および内部 LDO がイネーブルの場合は LDO\_IN）の間の電源シーケンスには依存しません。VIO と VDD が最初に供給されると、パワーオン・リセット（POR）が起動します（[デバイスのリセット](#) のセクションを参照）。また、AD4695/AD4696 は広い周波数範囲にわたって電源のリップルによる影響を受けません（[図 34](#) を参照）。

### 内部 LDO

AD4695/AD4696 に電力を供給するために必要なシステム電源レールの数を最小限に抑えるために、内部 LDO を使用して VDD 電圧を内部で供給することができます。LDO\_IN を AVDD に接続すると、単電源でデバイス全体に給電することができます（VIO は除く、これはデジタル・ホストの入出力電圧で給電する必要があります）。

内部 LDO をイネーブルするには、LDO\_IN を 2.4V 以上に駆動し、VIO が既に給電されている必要があります。内部 LDO は、セットアップ・レジスタの LDO\_EN ビットを 1 に設定することでイネーブルできます。デバイスのパワーアップ時とデバイス・リセット後は、内部 LDO はデフォルトでイネーブルされません。内部 LDO がイネーブル時、その出力は VDD を内部で駆動します。内部 LDO がディスエーブル時、その出力は高インピーダンスになります。

内部 LDO 出力で VIO に電源供給することはできません。VIO は、デジタル・ホストまたはその他のシステム電源レールで供給する必要があります。

内部 LDO を使用している場合、VDD はフローティングであることが必要で、VDD 電源電圧は、LDO\_IN と VIO が供給されたときに、内部 LDO 出力によって自動的に駆動されます。内部 LDO を使用しない場合、LDO\_IN は AGND に接続し、VDD は外部から供給することが必要です。

内部 LDO 出力は、別の 1.8V 電源で駆動されている VDD、または偶然 AGND に短絡された VDD でパワーアップされることに耐えられるよう設計されています。VDD は他のレールや負荷とは確実に切断されることを推奨します。内部 LDO は、追加のデバイスに電源供給することは目的としていません。VDD での電源を外部から供給する場合は、LDO\_IN 入力が AGND に短絡されている場合でも、LDO\_EN ビットをクリアすることを推奨します（[デバイス設定の推奨事項](#) のセクションを参照してください）。

内部 LDO をディスエーブルすると、AVDD、LDO\_IN、または VIO レールをディスエーブルせずに AD4695/AD4696 を低消費電力状態にすることができます。内部 LDO がディスエーブルで、VDD が外部電源から供給を受けていない場合、ADC コアはシャットダウンし、設定レジスタの内容は消去されます。内部 LDO は、SPI を介したウェイクアップ・コマンド、またはハードウェア・リセットにより再度イネーブルできます。ウェイクアップ・コマンドは 0x81 で、ソフトウェア・リセットを実行することと同等です（ハードウェア・リセットとソフトウェア・リセットの詳細については、[デバイスのリセット](#) のセクションを参照してください）。デジタル・インターフェースでは、ウェイクアップ・コマンドを受けられるよう VIO が引き続き電源供給

されていることが必要です。また、内部 LDO は、VIO が仕様規定された範囲にない場合はイネーブルされません（[表 1](#) を参照）。

### オーバーサンプリングおよびデシメーション

AD4695/AD4696 には、オーバーサンプリングおよびデシメーション・エンジンがあり、連続的な ADC サンプルを平均化して、オーバーサンプリング結果を高い実効分解能と低い実効ノイズで生成します（[表 1](#) を参照）。

各アナログ入力チャンネルは、OSR を 1、4、16、または 64 として設定できます。[表 19](#) と [表 20](#)、および [伝達関数](#) のセクションで示すように、OSR が 4、16、または 64 のチャンネルで生成された変換結果は、17ビット、18ビット、または 19ビットの長さとなります。

チャンネル・シーケンシング・ロジックによって所定のアナログ入力チャンネルが選択されている場合、マルチプレクサは、指定された数の変換が実行されるまでそのチャンネルを選択し続けます。そして、それらの変換の各結果が共に平均化されて 1 つの出力コードが生成されます。例えば、IN0 の OSR が 64 に設定されている場合、1 つの平均化された結果は、64 番目の CNV 立上がりエッジ後に生成されます（AD4695/AD4696 が変換モードになっている場合）。チャンネルの OSR を 1 に設定することは、そのチャンネルについてはオーバーサンプリングを行わないことに相当します。

ビジー・インジケータが BSY\_ALT\_GP0 ピンまたはシリアル・データ出力でイネーブルになっている場合、インジケータはデータ・レディ信号として作用し、オーバーサンプリング結果が使用可能となった場合にのみローに遷移します（[ビジー・インジケータ](#) のセクションを参照）。[図 75](#) は、あるチャンネルの OSR が 1 より大きい値に設定されている場合の、ビジー・インジケータの相対的なタイミングを示すものです。

所定のチャンネルの実効的なサンプリング周期は、[表 2](#) の変換周期 ( $t_{\text{cyc}}$ ) にその OSR を乗じた値に等しくなります。[図 75](#) は、CNV 信号の相対的なタイミングとオーバーサンプリング結果の可用性を示しています。チャンネルごとに特定の必要実効サンプリング・レート達成するチャンネル・シーケンスを設計する場合、各チャンネルの OSR を考慮してください（[実効チャンネル・サンプリング・レートのセクション](#) を参照）。

OSR は、CONFIG\_INn レジスタの OSR\_SET フィールドで設定されます（[表 54](#) を参照）。

標準シーケンサがイネーブルの場合、全アナログ入力チャンネルの OSR は同じで、CONFIG\_IN0 レジスタの OSR\_SET フィールドで設定されます。詳細シーケンサがイネーブルの場合、16 個のアナログ入力チャンネルはそれぞれ、対応する CONFIG\_INn レジスタの OSR\_SET フィールドを使用して別々の OSR 設定に設定できます。

2 サイクル・コマンド・モードまたは単一サイクル・コマンド・モードでは、オーバーサンプリングは使用できません。2 サイクル・コマンド・モードまたは単一サイクル・コマンド・モードを使用する場合は、すべてのアクティブ・チャンネルの OSR\_SET フィールドを 0x0 に設定してください。

自動サイクル・モードがイネーブルの場合、変換信号は AD4695/AD4696 によって内部で生成され、オーバーサンプリング・エンジンは OSR 変換周期の間待機し続けてから出力結果を生成します。

## オフセットおよびゲイン補正

AD4695/AD4696 にはオフセットとゲインの誤差補正機能があり、アナログ・フロントエンド・シグナル・チェーン全体にわたって一次の非理想特性を補正できます。オフセットおよびゲイン誤差補正は、ADC の伝達関数全体のオフセットとゲインをデジタル的に調整します（[伝達関数のセクション](#)を参照）。

最終的な出力コードは次式を用いて計算されます。

$$OUT = (IN + B) \times M$$

ここで、

*OUT* は、最終的な出力コード結果。

*IN* は、ADC が生成する結果（オーバーサンプリング後）。

*B* は、オフセット補正值。

*M* は、ゲイン補正值。

各アナログ入力のゲイン補正值 (*M*) は、対応する *GAIN\_INn* レジスタのゲイン・フィールドで設定されます。ゲイン・フィールドは 16 ビット幅のストレート・バイナリ形式です。ゲイン補正值の範囲は 0~1.99997 で、次式から計算されます。

$$M = Gain/2^{15}$$

ここで、*Gain* は、ゲイン・フィールドに書き込まれている値です。

各アナログ入力のオフセット補正值 (*B*) は、対応する *OFFSET\_INn* レジスタのオフセット・フィールドで設定されます。オフセット・フィールドは 16 ビット幅で、正負のオフセット補正ができるよう 2 の補数形式となっています。オフセット補正值の範囲は、すべての OSR オプションに対し  $\pm FSR/8$  です。つまり、オフセット・フィールドの MSB は、常に ADC の結果の MSB - 3 ビットに対応します。例えば、所定のアナログ入力チャンネルの OSR が 1 の場合、オフセット補正值はオフセット [15:3] に相当し、OSR が 64 の場合のオフセット補正值は、オフセット [15:0] となります。表 12 に、各 OSR オプションのオフセット補正值を示します。

オフセットおよびゲイン補正は、すべてのアナログ入力チャンネルに対し常に有効となっています。所定のアナログ入力の *OFFSET* フィールドが 0x0000 となっている場合、オフセット補正值は 0 で、これはオフセット補正を適用しないのと同じことです。所定のアナログ入力の *GAIN* フィールドが 0x8000 となっている場合、ゲイン補正值は 1 で、これはゲイン補正を適用しないのと同じことです。

表 12. オーバーサンプリング比とオフセット補正值の関係

Oversample Ratio	Offset Correction Value (B)
1	Offset[15:3]
4	Offset[15:2]
16	Offset[15:1]
64	Offset[15:0]

## 閾値検出とアラート・インジケータ

AD4695/AD4696 には、アラート・インジケータを備えた閾値検出機能があり、変換結果がユーザ定義の上限および下限から逸脱した場合に、デジタル・ホスト・システムに通知されます。

*CONFIG\_INn* レジスタの *TD\_EN* ビットによって、対応するアナログ入力の閾値検出が有効化または無効化されます。標準シーケンサがイネーブルの場合、閾値検出は、*CONFIG\_IN0* レジスタの *TD\_EN* ビットで全アナログ入力に対し有効化または無効化されます。詳細シーケンサ、2 サイクル・コマンド・モード、または単一サイクル・コマンド・モードがイネーブルの場合、閾値検出は、対応する *CONFIG\_INn* レジスタごとの *TD\_EN* ビットで、アナログ入力ごとに個別に有効化または無効化されます。

閾値検出が所定のアナログ入力に対し有効化されている場合、そのアナログ入力に対し生成された ADC の結果は、上限閾値および下限閾値と比較されます。上限および下限閾値は、16 個のアナログ入力ごとに個別に割り当てることができます。16 個のアナログ入力の上限および下限閾値は、*UPPER\_INn* レジスタおよび *LOWER\_INn* レジスタの上限フィールドと下限フィールドで設定されます。上限フィールドおよび下限フィールドは 12 ビット幅で、すべての OSR オプションに対し ADC 結果の 12MSB に対応します。例えば、上限フィールドを 0xFFFF に設定すると、そのチャンネルの OSR が 1 の場合は上限閾値 0xFFFF0 に対応し、そのチャンネルの OSR が 64 の場合は 0x7FF80 に対応します（[オーバーサンプリングおよびデシメーションのセクション](#)を参照）。

アナログ入力ユニポーラ・モードに設定されている場合、対応する上限および下限フィールドはストレート・バイナリ形式となります。アナログ入力が擬似バイポーラ・モードに設定されている場合は、対応する上限および下限フィールドは 2 の補数形式となります。

## アラート・インジケータ・レジスタ

*ALERT\_STATUS1*~*ALERT\_STATUS4* のレジスタには、16 個のアナログ入力すべてに対し、上限アラート・インジケータ (*HI\_INn*) と下限アラート・インジケータ (*LO\_INn*) があります。ステータス・レジスタの *TD\_ALERT* ビットは、*HI\_INn* ビットと *LO\_INn* ビットの論理和です。ADC の結果が上限閾値以上の場合、対応する *HI\_INn* フラグが 1 にセットされます。ADC の結果が下限閾値以下の場合、対応する *LO\_INn* フラグが 1 にセットされます。*INn* アナログ入力の OSR が 1 より大きい場合、それに対応する *HI\_INn* フラグと *LO\_INn* フラグの状態は、オーバーサンプリング結果が生成されると更新されます。

*TD\_ALERT* ビットを読み出すと、いずれかの上限閾値または下限閾値から逸脱しているかどうかデジタル・ホストに通知され、*HI\_INn* ビットと *LO\_INn* ビットを読み出すと、どのチャンネルでどのタイプの閾値からの逸脱があったかが通知されます。これらのアラート・インジケータ・ビットを含むレジスタから読み出しを行うには、AD4695/AD4696 がレジスタ制御モードになっていることが必要ですが、*TD\_ALERT* の状態は、ステータス・ビットまたは *BSY\_ALT\_GP0* ピンを介して読み出すこともできます（これらのオプションが有効になっている場合、[ステータス・ビットのセクション](#)および [BSY\\_ALT\\_GP0 のアラート・インジケータのセクション](#)を参照）。

HI\_INn と LO\_INn のビットは、読み出されるとクリアされ、SPI 読出しトランザクションを通じて読み出されると自動的に 0 にリセットされます (レジスタ設定モードの場合)。

セットアップ・レジスタの ALERT\_MODE ビットが 0 に設定されている場合、HI\_INn と LO\_INn のビットは、ユーザ・プログラマブルなヒステリシス設定に基づいて自動的にクリアされます。16 個の HYST\_INn レジスタのヒステリシス・フィールドが、対応するアナログ入力 of ヒステリシス値を設定します。各アナログ入力は、異なるヒステリシス値でプログラムできます。このオプションが選択されている場合、各 HI\_INn ビットは、対応するアナログ入力生成した変換結果が上限閾値からヒステリシス値を差し引いた値より小さい場合に、自動的にクリアされます。各 LO\_INn ビットは、対応するアナログ入力生成した変換結果が下限閾値にヒステリシス値を加えた値より大きい場合に、自動的にクリアされます。図 72 に、対応するアナログ入力チャンネルで変換結果が生成されたとき、ALERT\_MODE が 0 および 1 に設定されている場合に、どのように HI\_INn と LO\_INn のビットがセットされクリアされるかを示します。ALERT\_MODE はデフォルトで 0 に設定されています。

### BSY\_ALT\_GP0 のアラート・インジケータ

アラート・インジケータが BSY\_ALT\_GP0 でイネーブルとなっている場合、TD\_ALERT ビットの状態は BSY\_ALT\_GP0 ピンで駆動され、変換を中断せずに閾値超えを検知できます。BSY\_ALT\_GP0 ピンでのアラート・インジケータに自動サイクル・モードを組み合わせると、デジタル・ホスト・シリアル・インターフェースは閾値超えが検知されるまでアイドルのままとなります (自動サイクル・モードのセクションを参照)。

図 91～図 98 に、CNV 立上がりエッジの相対的なタイミングと、アラート・インジケータが更新されたときに BSY\_ALT\_GP0 ピンの状態が設定されるタイミングを示します。

GP\_MODE モード・レジスタの ALERT\_GP\_EN ビットを 1 に設定すると、BSY\_ALT\_GP0 ピンのアラート・インジケータが有効になります。

BSY\_ALT\_GP0 ピンは、アラート・インジケータ以外の機能を実行するようにも設定できるため、ビジー・インジケータとして設定するには、優先度の高いその他の機能をすべて無効にする必要があります。BSY\_ALT\_GP0 ピンの機能の設定に関する詳細は、汎用ピンのセクションを参照してください。

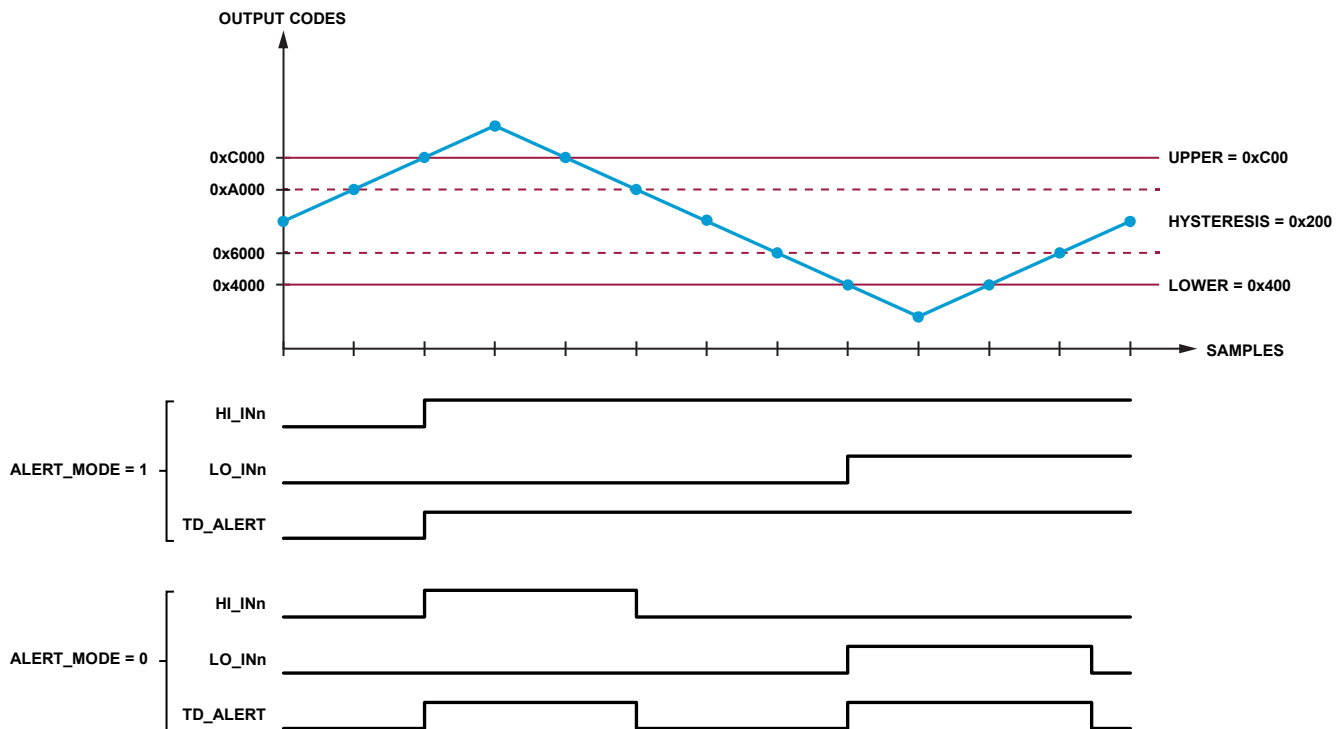


図 72. ヒステリシスを有効にした場合と無効にした場合のアラート・インジケータの動作 (ユニポーラ・モード、OSR = 1)。

24616-072

## ビジー・インジケータ

ビジー・インジケータは、データ・レディ信号として作用し、これを使用するとデジタル・ホストの割込みサービス・ルーチンをトリガして、ADC 結果を読み出す SPI トランザクションを開始します（**変換モード**のセクションと**変換モードでの SPI パリフェラル同期**のセクションを参照）。ビジー・インジケータは、シリアル・データ出力と BSY\_ALT\_GP0 ピンでイネーブルできます。

### シリアル・データ出力のビジー・インジケータ

ビジー・インジケータがシリアル・データ出力でイネーブルされている場合、シリアル・データ出力は、ADC が変換フェーズにある間は高インピーダンスになり、ADC の結果がレディになると低インピーダンスになります。セットアップ・レジスタの SDO\_STATE ビットを 1 に設定すると、シリアル・データ出力でビジー・インジケータをイネーブルできます。

図 91～図 98 に、シリアル・データ出力のビジー・インジケータに対する CNV 立上がりエッジの相対的なタイミングを示します。

SDO\_MODE フィールドで選択されたシリアル・データ出力モードによって、シリアル・データ出力に割り当てられるピンが決まります（**シリアル・データ出力モード**のセクションを参照）。SDO\_STATE が 1 に設定されている場合、ビジー・インジケータは、シリアル・データ出力として割り当てられたすべてのピンでイネーブルになります。単一 SDO モードが選択されている場合、ビジー・インジケータは、SDO でのみ出力されます。デュアル SDO モードが選択されている場合、ビジー・インジケータは、SDO と BSY\_ALT\_GP0 の両方で出力されます。

シリアル・データ出力でビジー・インジケータがイネーブルされている場合、使用されているそれぞれのピンにプルアップ抵抗（最小 2kΩ）を配置し、ADC の結果がレディ状態となるまで確実にシリアル・データ出力ラインがハイとなるようにします。

シリアル・データ出力は、CS ピンがハイになっている場合は常に、強制的に高インピーダンスになります。ADC の結果がレディ状態のときに CS ピンがハイであれば、シリアル・データ出力は、CS ピンがローになるまで高インピーダンスを維持します（**デジタル・インターフェース**のセクションを参照）。

### BSY\_ALT\_GP0 のビジー・インジケータ

ビジー・インジケータが BSY\_ALT\_GP0 ピンでイネーブルされている場合、BSY\_ALT\_GP0 は、ADC が変換フェーズにある間はハイになり、ADC の結果がレディになるとローになります。GP\_MODE モード・レジスタの BUSY\_GP\_EN ビットを 1 に設定すると、BSY\_ALT\_GP0 のビジー・インジケータが有効になります。

図 91～図 98 に、ビジー・インジケータの立上がりおよび立下がりエッジに対する CNV 立上がりエッジの相対的なタイミングを示します。

BSY\_ALT\_GP0 ピンがビジー・インジケータとして割り当てられている場合、CS ピンがハイになっても、BSY\_ALT\_GP0 ピンは、強制的に高インピーダンスにされることはありません。そのため、デジタル・ホストは、ビジー・インジケータの立下がりエッジが記録されるまで、シリアル・インターフェースを完全にディスエーブルのままにしておくことができます（**変換モードでの SPI パリフェラル同期**のセクションを参照）。

BSY\_ALT\_GP0 ピンは、ビジー・インジケータ以外の機能を実行するようにも設定できるため、BSY\_ALT\_GP0 ピンをビジー・インジケータとして設定するには、優先度の高いその他の機能をすべて無効にする必要があります。BSY\_ALT\_GP0 ピンの設定に関する詳細は、**汎用ピン**のセクションを参照してください。

## チャンネル・シーケンシング・モード

変換モードでは、**コンバータの動作**のセクションで説明するように、AD4695/AD4696 のマルチプレクサ・チャンネルは、ADC コアのアクイジション・フェーズの開始時、変換周期ごとに更新されます。マルチプレクサは内部のチャンネル・シーケンシング・ロジックで制御され、また、チャンネル・シーケンスをプログラムするには 4 通りのオプションがあります。

標準シーケンサと詳細シーケンサは、事前にプログラムされたチャンネル・シーケンスの進行を自動化します。標準シーケンサまたは詳細シーケンサのどちらかがイネーブルとなっている場合、デジタル・ホストは、SPI を介して変換結果を読み出す間にチャンネル・シーケンシング命令を発する必要がなくなり、デジタル・リソース条件が緩和されます。

2 サイクル・コマンド・モードと単一サイクル・コマンド・モードの場合、デジタル・ホストは、変換データのリードバック・フレームの間にシリアル・インターフェースで書き込まれる 5 ビット・コマンドを通じて、チャンネル・シーケンスを直接制御できます。2 サイクル・コマンド・モードと単一サイクル・コマンド・モードを使用することで、制御ループ・アプリケーションなど、動的で適応型のチャンネル・シーケンシング条件が課せられたシステムが可能となります。

図 73～図 77 に、チャンネル・シーケンシング設定と CNV 信号を基準とした、AD4695/AD4696 のマルチプレクサ・チャンネル選択、ADC サンプリング、変換データ出力の変換モードでのタイミング例を示します。「BUSY」のラベルが付いた信号はビジー・インジケータを示し、**ビジー・インジケータ**のセクションで説明されているように、BSY\_ALT\_GP0 ピンまたはシリアル・データ出力でイネーブルできます。「SDOx」のラベルが付いた信号は、**シリアル・データ出力モード**のセクションで説明されているように、SDO ピンと、デュアル SDO モードがイネーブルの場合は BSY\_ALT\_GP0 ピンを示します。

表 13 に、4 つのチャンネル・シーケンシング・モードを選択するために使用する設定を示します。STD\_SEQ\_EN ビットと NUM\_SLOTS\_AS フィールドは、どちらも SEQ\_CTRL レジスタにあります。CYC\_CTRL ビットはセットアップ・レジスタにあります。

**チャンネル設定オプション**のセクションに記されているように、偶数番号と奇数番号の入力がペアとなっている場合、4 つのチャンネル・シーケンシング・モードのいずれかを使用して奇数番号入力を選択すると、その代わりに偶数番号入力が選択された場合と同じ動作となります。そのため、チャンネル・シーケンスには偶数番号の入力のみを含めるよう推奨します。

### 標準シーケンサ

標準シーケンサは、事前にプログラムされた一連のイネーブル・チャンネルを通じて、進行を自動化します。標準シーケンサは、4 つのチャンネル・シーケンシング・モードの中で最も単純なもので、固定された静的なチャンネル・シーケンスに最適です。

標準シーケンサは、イネーブルされたチャンネルを昇順に進行し、デバイスが変換モードを終了するまで、そのシーケンスを繰り返します。マルチプレクサ・チャンネルは、変換結果がレディ状態になるたびに、次のイネーブルされたチャンネルに更新されます。図 73 に、どのチャンネルでもオーバーサンプリングが行われないシーケンスにおいて、標準シーケンサ、3 個のアナログ入力 (IN0、IN2、IN15)、温度センサーがイネーブルされている場合の例を示します。

STD\_SEQ\_CONFIG レジスタのビットは、標準シーケンサがイネーブルされている場合にどのチャンネルをチャンネル・シーケンスに含めるかを制御します。STD\_SEQ\_CONFIG レジスタの各ビットは、16 個のアナログ入力の 1 つに対応し、各チャンネルは、対応するビットが 1 にセットされた場合、イネーブルになります。TEMP\_CTRL レジスタの TEMP\_EN ビットが 1 に設定されている場合、シーケンスの最後に温度センサーも追加されます。例えば、[図 73](#) では、STD\_SEQ\_CONFIG レジスタにプログラムされた値が 0x1005 で、TEMP\_EN ビットが 1 に設定されています。

標準シーケンサをイネーブルするには、SEQ\_CTRL レジスタの STD\_SEQ\_EN ビットを 1 に設定し、セットアップ・レジスタの CYC\_CTRL ビットを 0 に設定します ([表 13](#) を参照)。標準シーケンサはデフォルトでイネーブルされています。

AD4695/AD4696 がレジスタ設定モードで、SEQ\_CTRL レジスタの STD\_SEQ\_EN ビットが 1 に設定されている場合、マルチプレクサは自動的に、シーケンスの最初のイネーブル・チャンネルを ADC コア入力に接続します。それによって、ADC はデバイスが変換モードに入る前でもそのチャンネルで信号を取得できます。

標準シーケンサがイネーブルの場合、CONFIG\_IN0 レジスタのコントロール・ビットが、すべての INn アナログ入力の設定を決定します (極性モードを除きます)。このモードは、各 INn アナログ入力について、対応する CONFIG\_INn レジスタの IN\_MODE ビットで個別に設定されます) そのため、アナログ入力はすべて、ピン・ペアリング・オプション、アナログ入力高インピーダンス・モード有効化設定、OSR 設定、閾値有効化設定が同じになります。

マルチプレクサは、選択されたチャンネルの OSR 設定によって定められた必要な変換数が完了するまで、シーケンスの次のチャンネルには進みません。例えば、OSR が 16 に設定されている場合、変換結果がレディ状態となりマルチプレクサがシーケンスの次のチャンネルを選択するまでに、16 個の CNV 立上がりエッジが必要です。[図 74](#) に、すべてのチャンネルの OSR が N に設定されている場合のタイミング例を示します。詳細については、[オーバーサンプリングおよびデジメーション](#)のセクションを参照してください。

標準シーケンサがイネーブルの場合、イネーブルされた各アナログ入力はシーケンスの繰り返しごとに一回サンプリングされます。つまり、各アナログ入力は同じ実効サンプリング・レートとなります。詳細については、[実効チャンネル・サンプリング・レート](#)のセクションを参照してください。

表 13. チャンネル・シーケンシング・モードのレジスタ設定

Channel Sequencing Mode	STD_SEQ_EN	NUM_SLOTS_AS	CYC_CTRL
Two-Cycle Command Mode	0	0x00	0
Single-Cycle Command Mode	0	0x00	1
Standard Sequencer	1	Don't care	0
Advanced Sequencer	0	0x01 to 0x7F	0

## 詳細シーケンサ

詳細シーケンサは、チャンネルの順番が完全にカスタマイズ可能な事前プログラムされたチャンネル・シーケンスを通じて、進行を自動化します。詳細シーケンサは、最小のデジタル・オーバーヘッドで柔軟性に優れたチャンネル・シーケンスを可能にします。

詳細シーケンサは、一式のチャンネル・スロットを段階的に進行します。ここで、各スロットは、16 個のアナログ入力のいずれかに割り当てられ、シーケンスは 2 スロット～128 スロットとなります。このシーケンスは、イネーブルされたスロットをスロット 0 から昇順で進行し、デバイスが変換モードを終了するまで繰り返されます。[図 74](#) に、詳細シーケンサがイネーブルされ、4 個のスロットがイネーブルされて IN6、IN10、IN6、IN3 に割り当てられ、温度センサーがイネーブルとなっている場合の例を示します (いずれのチャンネルにもオーバーサンプリングはなし)。

シーケンスのスロット数は、SEQ\_CTRL レジスタの NUM\_SLOTS\_AS フィールドで設定されます。各チャンネル・スロットの割当ては、AS\_SLOTn レジスタ (レジスタ・アドレス 0x100～レジスタ・アドレス 0x17F) の SLOT\_INX フィールドで設定されます。AS\_SLOT0 はスロット 0、AS\_SLOT1 はスロット 1 に対応し、以下同様に対応します。[表 60](#) に、16 個のアナログ入力それぞれの SLOT\_INX の値を示します。

TEMP\_CTRL レジスタの TEMP\_EN ビットが 1 に設定されている場合、シーケンスの最後に温度センサーが追加されます。温度センサーは、AS\_SLOTn レジスタの SLOT\_INX フィールドでは選択できません。

詳細シーケンサをイネーブルするには、STD\_SEQ\_EN ビットを 0、CYC\_CTRL ビットを 0、NUM\_SLOTS\_AS フィールドを 1～127 の任意の値に設定します ([表 13](#) を参照)。

AD4695/AD4696 がレジスタ設定モードで、SEQ\_CTRL レジスタの STD\_SEQ\_EN ビットが 0 に設定されている場合、マルチプレクサは自動的に、AS\_SLOT0 レジスタで指定されたチャンネルを ADC コア入力に接続します。それによって、ADC はデバイスが変換モードに入る前でもそのチャンネルで信号を取得できます。

詳細シーケンサがイネーブルの場合、各チャンネルの構成設定は対応する CONFIG\_INn レジスタで行われます。そのため、すべてのアナログ入力は、チャンネル設定オプション、アナログ入力高インピーダンス・モード有効化設定、OSR 設定、閾値有効化設定が異なる可能性があります。変換モードに入り変換を開始する前に、CONFIG\_INn レジスタを設定してください。

マルチプレクサは、選択されたチャンネルの OSR 設定によって定められた必要な変換数が完了するまで、シーケンスの次のチャンネルには進みません。シーケンスの 1 つのチャンネルの OSR が 1 以外の値に設定されている場合 (対応する CONFIG\_INn レジスタの OSR\_SET フィールドが 0x0 に設定されていない場合)、詳細シーケンサはシーケンスの次のチャンネルには進まず、ビジー・インジケータは、必要な数の変換が完了するまでローに遷移しません。例えば、OSR が 16 に設定されている場合、変換結果がレディ状態となりマルチプレクサがシーケンスの次のチャンネルを選択するまでに、16 個の CNV 立上がりエッジが必要です。[図 75](#) に、IN0 の OSR が N に設定されている場合のタイミング例を示します。詳細については、[オーバーサンプリングおよびデジメーション](#)のセクションを参照してください。



詳細シーケンサがイネーブルの場合、チャンネル・シーケンスは、チャンネルごとに異なる実効サンプリング・レートを実現できるよう設定できます。詳細については、[実効チャンネル・サンプリング・レート](#)のセクションを参照してください。

## 2 サイクル・コマンド・モード

2 サイクル・コマンド・モードを使用すると、デジタル・ホスト・システムがシーケンスの次のチャンネルをその場で手動制御できるようになり、変換を中断することなく動的なチャンネル・シーケンシングが可能となります。

2 サイクル・コマンド・モードでは、チャンネル・シーケンスは、変換結果のリードバック・フレームの間にデジタル・ホストから転送される 5 ビット・コマンドで決まります。この 5 ビット・コマンドは、フレームの最初の 5 個の SCK 立上がりエッジで SDI にクロック・インされ、フレームの 6 個目の SCK 立上がりエッジでメモリにラッチされます。有効なチャンネル・コマンドが受信されると、そのチャンネルの変換結果は 2 変換周期後に読み出し可能となります。図 76 に、2 サイクル・コマンド・モードにおける、5 ビット・コマンド (CMD と表示) と対応するアクイジション・フェーズ、変換フェーズ、変換結果リードバックの相対的なタイミングを示します。

5 ビットのチャンネル・コマンドがラッチされてから、マルチプレクサが対応するチャンネルを選択し ADC 変換フェーズを開始するため、2 サイクル・コマンド・モードによりすべてのチャンネルのアクイジション時間は最大化されます。

表 16 に、IN0~IN15 または温度センサーを選択するための有効なコマンドを示します。表 16 に挙げたもの以外のコマンドは無動作 (NOOP) コマンドとして処理され、マルチプレクサはその前のチャンネルを繰り返すこととなります。

2 サイクル・コマンド・モードが有効になっている場合、最初に選択されるアナログ入力チャンネルは、AS\_SLOT0 レジスタで指定されているものです。チャンネルは、有効なコマンド・コードを受信した場合のみ更新されます。

2 サイクル・コマンド・モードを有効化するには、STD\_SEQ\_EN ビットを 0、NUM\_SLOTS\_AS フィールドを 0x00、CYC\_CTRL ビットを 0 に設定します (表 13 を参照)。

AD4695/AD4696 がレジスタ設定モードで、SEQ\_CTRL レジスタの STD\_SEQ\_EN ビットが 0 に設定されている場合、マルチプレクサは自動的に、AS\_SLOT0 レジスタで指定されたチャンネルを ADC コア入力に接続します。それによって、ADC はデバイスが変換モードに入る前でもそのチャンネルで信号を取得できます。

2 サイクル・コマンド・モードが有効となっている場合、各チャンネルの構成設定は対応する CONFIG\_INn レジスタで行われます。そのため、すべてのアナログ入力は、チャンネル設定オプション、アナログ入力高インピーダンス・モード有効化設定、閾値有効化設定が異なる可能性があります。変換モードに入り変換を開始する前に、CONFIG\_INn レジスタを設定してください。

2 サイクル・コマンド・モードが有効な場合、オーバーサンプリングは使用できません。すべてのアナログ入力の OSR を 1 に設定してから、2 サイクル・コマンド・モードを有効化して変換モードを開始してください ([オーバーサンプリングおよびデジメーション](#)のセクションを参照)。

## 単一サイクル・コマンド・モード

単一サイクル・コマンド・モードを使用すると、デジタル・ホスト・システムがシーケンスの次のチャンネルをその場で手動制御できるようになり、変換を中断することなく動的なチャンネル・シーケンシングが可能となります。

単一サイクル・コマンド・モードでは、チャンネル・シーケンスは、変換結果のリードバック・フレームの間にデジタル・ホストから転送される 5 ビット・コマンドで決まります。この 5 ビット・コマンドは、フレームの最初の 5 個の SCK 立上がりエッジで SDI にクロック・インされ、フレームの 6 個目の SCK 立上がりエッジでメモリにラッチされます。

有効なチャンネル・コマンドが受信されると、そのチャンネルの変換結果はわずか 1 回の変換周期後に読み出し可能となります。図 77 に、単一サイクル・コマンド・モードにおける、5 ビット・コマンド (CMD と表示) と対応するアクイジション・フェーズ、変換フェーズ、変換結果リードバックの相対的なタイミングを示します。

単一サイクル・コマンド・モードでは、5 ビット・コマンドがメモリにラッチされると直ちにマルチプレクサ・スイッチが指定されたチャンネルを選択するため、5 ビットのチャンネル・コマンドと対応する ADC データの間の遅延は最小限に抑えられます。そのため、アクイジション時間は、デジタル・ホストが 5 ビット・コマンドの書込みをどれだけ高速に終了できるかに依存します。図 95 に、単一サイクル・コマンド・モードが有効な場合の変換モードのタイミング図を示します。また、表 2 に、関連するタイミング仕様を示します。単一サイクル・コマンド・モードの  $t_{ACQ}$  は、 $t_{CYC}$  および SCK 周期 ( $t_{SCK}$ ) の関数で、次式を用いて計算できます。

$$t_{ACQ} = t_{CYC} - t_{CONVERT} - (5.5 \times t_{SCK})$$

表 16 に、IN0~IN15 または温度センサーを選択するための有効なコマンドを示します。表 16 に挙げたもの以外のコマンドは NOOP コマンドとして処理され、マルチプレクサはその前のチャンネルを繰り返すこととなります。

単一サイクル・コマンド・モードが有効になっている場合、最初に選択されるアナログ入力チャンネルは、AS\_SLOT0 レジスタで指定されているものです。チャンネルは、有効なコマンド・コードを受信した後でのみ更新されます。

単一サイクル・コマンド・モードを有効化するには、STD\_SEQ\_EN ビットを 0、NUM\_SLOTS\_AS フィールドを 0x00、CYC\_CTRL ビットを 1 に設定します (表 13 を参照)。

単一サイクル・コマンド・モードが有効となっている場合、各チャンネルの構成設定は対応する CONFIG\_INn レジスタで行われます。そのため、すべてのアナログ入力は、チャンネル設定オプション、アナログ入力高インピーダンス・モード有効化設定、閾値有効化設定が異なる可能性があります。変換モードに

入り変換を開始する前に、CONFIG\_INn レジスタを設定してください。

単一サイクル・コマンド・モードが有効な場合、オーバーサンプリングは使用できません。すべてのアナログ入力の OSR を 1 に設定してから、単一サイクル・コマンド・モードを有効化して変換モードを開始してください (オーバーサンプリングおよびデジメーションのセクションを参照)。

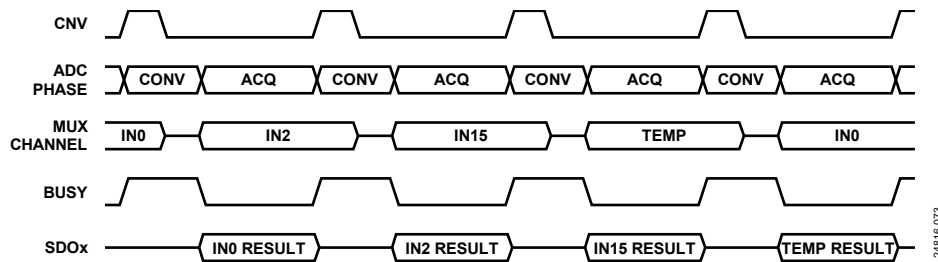


図 73. OSR = 1 の場合の標準シーケンスの例

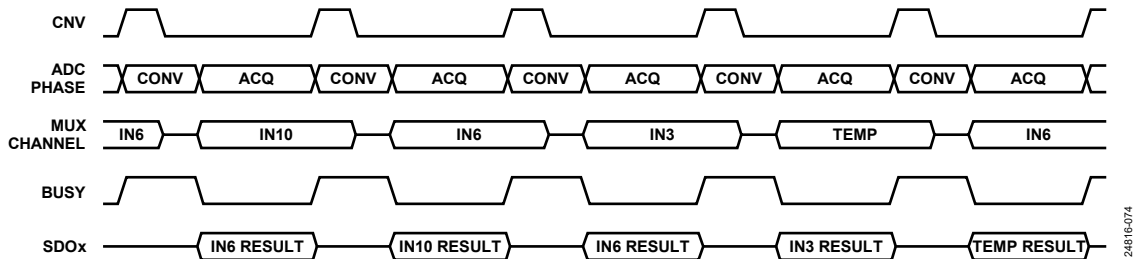


図 74. 全チャンネルについて OSR = 1 の場合の詳細シーケンスの例

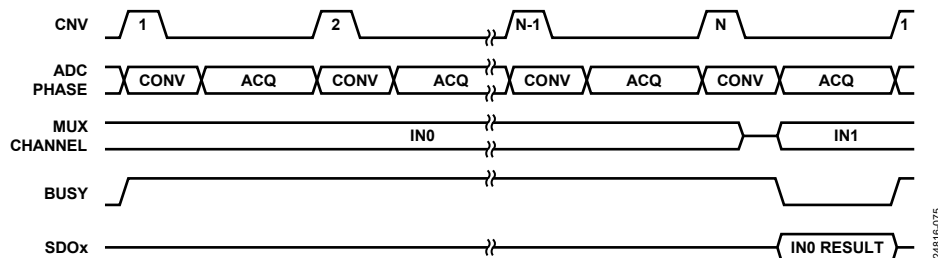


図 75. IN0 OSR = N の場合の標準シーケンスおよび詳細シーケンスの SPI フレーム

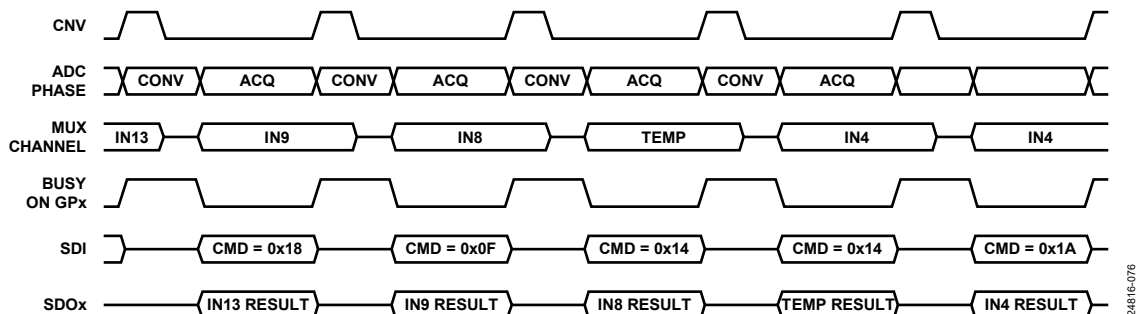


図 76. 2 サイクル・コマンド・モードのタイミング

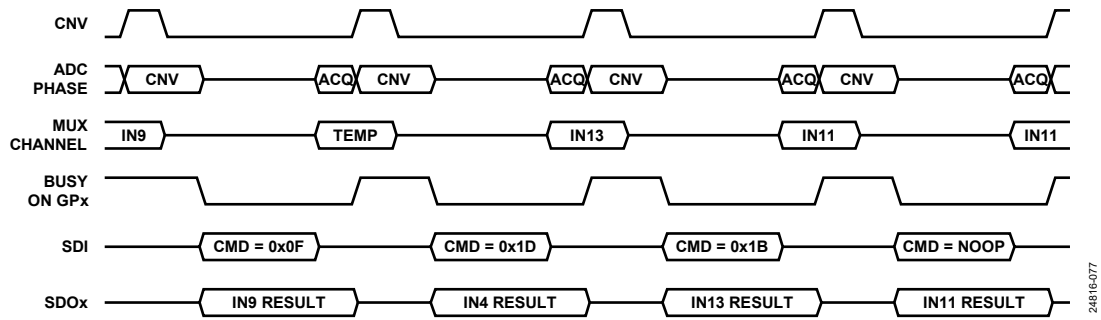


図 77. 単一サイクル・コマンド・モードのタイミング

248164077

## デジタル・インターフェース

AD4695/AD4696のデジタル・インターフェースには、4線式SPI、変換開始入力（CNV）、アクティブ・ロー・リセット入力（RESET）、汎用ピンとして機能するBSY\_ALT\_GP0があります。

AD4695/AD4696 デジタル・インターフェースの動作モードには、レジスタ設定モードと変換モードの2つがあります。レジスタ設定モードでは、SPIを使用して設定レジスタとの間で読書きを行います。変換モードでは、SPIを使用して変換結果とオプションのステータス・ビットの読出しを行います。これらの動作モードの詳細については、[レジスタ設定モード](#)のセクションと[変換モード](#)のセクションを参照してください。

インターフェースのロジック・レベルは、VIO 電圧で設定され、1.2V~1.8Vの範囲です。AD4695/AD4696はSPIモード3を使用します（クロック・フェーズ（CPHA）=クロック極性（CPOL）=1）。

### レジスタ設定モード

レジスタ設定モードの場合、デジタル・ホストは、SPIを通じてAD4695/AD4696の設定レジスタとの間で読書きを行うことができます。レジスタの読出し命令および書込み命令を実行するには、デバイスがレジスタ設定モードになっていることが必要です。レジスタ設定モードは、デバイスの電源投入時とリセット時のデフォルトの動作モードです。

レジスタ設定モードのプロトコルは柔軟で、設定レジスタ・マップの大きなブロックに効率的にアクセスできるよう設定できます。各SPIフレームは、少なくとも1つの命令フェーズ、少なくとも1つのデータ・フェーズ、およびオプションの8ビット巡回冗長検査（CRC）チェックサム（[チェックサム保護](#)のセクションを参照）で構成されています。データはMSBファーストでSPIを通じて伝送されます。[命令フェーズ](#)のセクションから[チェックサム保護](#)のセクションで説明されているように、命令フェーズとデータ・フェーズの形式および順序はユーザによる設定が可能です。[図 78](#)に、命令フェーズ、データ・フェーズ、オプションのCRCチェックサムで構成される基本SPIフレームの例を示します。

$\overline{CS}$ の立下がりエッジでSPIフレームが開始され、このSPIフレームはその後の $\overline{CS}$ 立上がりエッジで終了します。データはSCKの立上がりエッジでSDIにラッチされ、SCKの立下がりエッジでSDOにシフト・アウトされます。すべてのSPIトランザクションで、データはMSBファーストに整列されています。

[図 90](#)に、デバイスがレジスタ設定モードになっている場合の、SPIを介したレジスタ読出し動作と書込み動作の詳細なタイミング図を示します。[図 90](#)に示したタイミング仕様については、[表 2](#)を参照してください。

AD4695/AD4696の設定レジスタのアドレスと機能についての詳細な説明は、[レジスタの詳細](#)のセクションを参照してください。

5ビットのレジスタ設定モード・コマンドによって、デバイスは変換モードからレジスタ設定モードに切り替わります（[レジスタ設定モード・コマンド](#)のセクションを参照）。

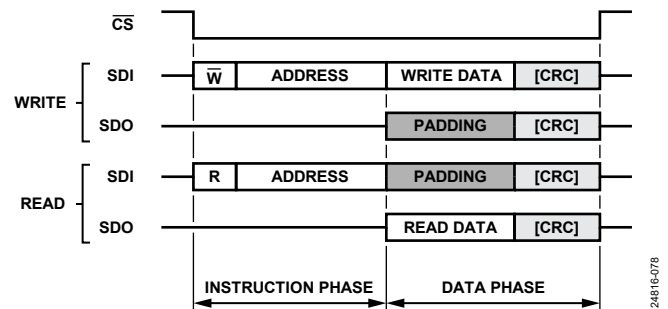


図 78. 基本 SPI フレーム

### 命令フェーズ

各SPIフレームは命令フェーズから始まります。命令フェーズは、 $\overline{CS}$ 立下がりエッジの直後に続きます（[図 78](#)を参照）。命令フェーズは、読出し/書込み（R/W）ビットの後にレジスタ・アドレス・ワードが続く形式となっています。R/Wビットをハイに設定すると読出し命令が開始され、R/Wビットをローに設定すると書込み命令が開始されます。レジスタ・アドレス・ワードはアクセスするレジスタのアドレスを指定します。レジスタ・アドレス・ワードのデフォルト長は15ビット（長アドレス指定）ですが、SPI\_CONFIG\_BレジスタのADDR\_LENビットを使用すると7ビット長（短アドレス指定）に変更できます。

単一命令モードを使用すると、SPIフレーム内の各レジスタ読出しトランザクションまたは書込みトランザクションは、命令フェーズで開始されます。ストリーミング・モードを使用すると、1式の連続するレジスタにアクセスするために必要な命令フェーズは、SPIフレームごとに1つだけです。これらのモードを選択して使用する方法については、[単一命令モード](#)のセクションと[ストリーミング・モード](#)のセクションを参照してください。

### データ・フェーズ

データ・フェーズの間、レジスタのデータは、SCKの立下がりエッジでSDOからシフト・アウトされるか（レジスタ読出しの場合）、SCKの立上がりエッジでSDIにラッチされます（レジスタ書込みの場合）。データ・フェーズには、レジスタ全体のデータ、またはレジスタの個々のバイトを含めることができます（[複数バイト・レジスタ・アクセス](#)のセクションを参照）。

CRCが無効の場合、レジスタの内容は、データ・フェーズの最後のSCK立上がりエッジの直後に更新されます。CRCが有効の場合、レジスタの内容は、チェックサムの最後のSCK立上がりエッジの直後に更新されます（チェックサム値がデータ・フェーズのデータと一致する場合）。

### アドレス方向オプション

アドレス方向オプションは、単一のデータ・フェーズで複数バイトのデータにアクセスする場合（例えば、複数バイトのレジスタにアクセスする場合やストリーミング・モードが有効となっている場合）、アドレスを自動的にインクリメントするかデクリメントするかを決定します。[図 79](#)と[図 80](#)に、両方のアドレス方向オプションのSPIフレームを示します。

2つのアドレス方向オプションの選択は、SPI\_CONFIG\_A レジスタの ADDR\_DIR ビットで行います。ADDR\_DIR ビットが 0 に設定されている場合、降順のアドレス・オプションが選択され、バイトにアクセスするごとにアドレスはデクリメントされます。ADDR\_DIR ビットが 1 に設定されている場合、昇順のアドレス・オプションが選択され、バイトにアクセスするごとにアドレスはインクリメントされます。デフォルトでは降順のアドレス・オプションが選択されます。

## 複数バイト・レジスタ・アクセス

一部の AD4695/AD4696 設定レジスタでは、メモリ内の隣接するアドレス位置に複数バイトのデータが格納されている場合があります。これらのレジスタを複数バイト・レジスタと呼びます。各複数バイト・レジスタのアドレスは、その最下位バイト (LSByte) のアドレスで定義されますが、複数バイト・レジスタの内容は、複数のレジスタ・アドレスにわたって展開します。例えば、STD\_SEQ\_CONFIG レジスタ (アドレス 0x024) は 2 バイト長で、LSByte のアドレスは 0x024、MSByte のアドレスは 0x025 です。表 28 に、レジスタが単一バイトか複数バイトかが示されています。

SPI\_CONFIG\_C レジスタの MB\_STRICT ビットの状態により、複数バイト・レジスタを 1 つのレジスタ・アドレスを持つ単一ユニットのメモリとして処理するか、個々にレジスタ・アドレスを持つそれぞれが 1 バイト長の複数レジスタとして処理するかを決定します。

MB\_STRICT ビットが 0 に設定されている場合、複数バイト・レジスタの各バイトを個別に読み書きする必要がありますが、それによって、デジタル・ホストは複数バイト・レジスタの他のバイトにアクセスすることなく、1 つのバイトにアクセスできます。この設定では、SPI フレームのすべてのデータ・フェーズは、複数バイト・レジスタ全体ではなく単一バイトで構成され、複数バイト・レジスタ内の各バイトは直接アドレス設定することが可能です。新しいデータがそのバイト全体に供給される限り、いずれのバイトの内容も SPI 書き込みトランザクションで更新されます。図 82 と図 87 に、MB\_STRICT = 1 の場合に、複数バ

イト・レジスタ (アドレス = 0x0043) の各バイトが、ストリーミング・モードおよび単一命令モードにおいて複数の SPI トランザクションで読み書きされる例を示します。

MB\_STRICT ビットが 1 に設定されている場合、複数バイト・レジスタのすべてのバイトは同じ SPI トランザクションで読み書きする必要があります。この設定では、複数バイト・レジスタにアクセス時、データ・フェーズにはすべてのバイトが含まれます。デジタル・ホストが複数バイト・レジスタ全体に対し読み書きできない場合、SPI トランザクションは無効とみなされ、SPI\_STATUS レジスタの MB\_ERROR フラグは 1 にセットされます。この設定により、複数バイト・レジスタに関連するすべてのモードまたはイネーブル・ビットは、確実に同時に更新されるようになります。MB\_STRICT ビットはデフォルトで 1 に設定されています。

MB\_STRICT ビットが 1 に設定されている場合、複数バイト・レジスタの各バイトが読み書きされる順序は、選択されたアドレス方向オプションによって決まります (アドレス方向オプションのセクションを参照)。降順のアドレス・オプションが選択されている場合、データ・フェーズで最初に読み書きされるバイトは、複数バイト・レジスタの MSByte で、後続の各バイトは、次の最下位アドレスのデータに対応します。昇順のアドレス・オプションが選択されている場合、データ・フェーズで最初に読み書きされるバイトは、複数バイト・レジスタの LSByte で、後続の各バイトは、次の最上位アドレスのデータに対応します。図 79 と図 80 は、両アドレス方向オプションについて、複数バイト・レジスタの一般的な読み書きトランザクションを示したものです。

CRC が有効な場合、チェックサムは各 SPI トランザクションのデータ・フェーズに従います。MB\_STRICT ビットが 0 に設定されている場合、複数バイト・レジスタの各バイトが読み書きされた後にチェックサムが発生します (図 82 および図 87 を参照)。MB\_STRICT ビットが 1 に設定されている場合、複数バイト・レジスタの全バイトが読み書きされた後のみチェックサムが発生します (図 83 および図 88 を参照)。

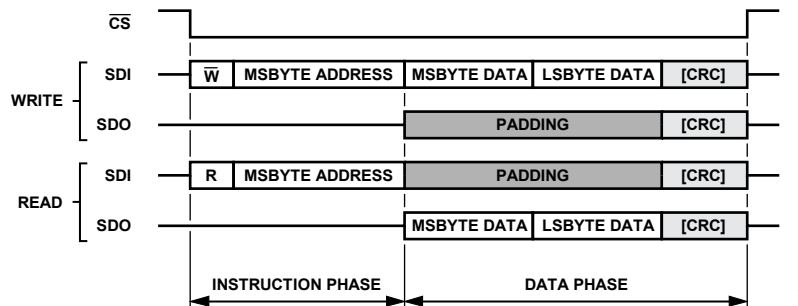


図 79. MB\_STRICT = 1 で降順アドレスの場合の複数バイト・レジスタ・アクセス

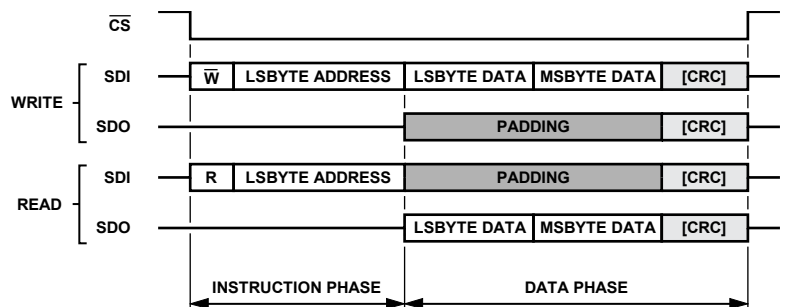


図 80. MB\_STRICT = 1 で昇順アドレスの場合の複数バイト・レジスタ・アクセス

## ストリーミング・モード

SPI\_CONFIG\_B レジスタの INST\_MODE ビットが 0 に設定されている場合、ストリーミング・モードが有効となります。ストリーミング・モードでは、SPI フレームあたり 1 つの命令フェーズのみが必要で、読書きされるレジスタ・アドレスは各データ・フェーズの後に自動更新されます（選択したアドレス方向オプションに基づく）。命令フェーズの後、読書きされるレジスタごとに、SPI フレームの末尾まで複数のデータ・フェーズが続きます。ストリーミング・モードによって、詳細シーケンサのスロット・レジスタ (AS\_SLOTn) を更新して詳細シーケンサを設定する場合のように、大規模な連続セクションの設定レジスタ・マップに効率的にアクセスできるようになります。

図 81 に、ストリーミング・モードを選択して複数レジスタの読書きトランザクションを実行するための一般的な SPI フレームを示します。ストリーミング・モードでは 1 フレームにつき 1 つの命令フェーズしかないため、所定の SPI フレーム内のすべての SPI トランザクションは、すべて読出し、またはすべて書込みのどちらかです。チェックサムは、CRC が有効な場合のみ各データ・フェーズに含まれます（[チェックサム保護](#)のセクションを参照）。

図 82 と図 84 に、両アドレス方向オプションおよび両 MB\_STRICT オプションでのレジスタ・マップの様々な部分にアクセスする例を示します（[複数バイト・レジスタ・アクセス](#)のセクションを参照）。

ストリーミング・モードがアクティブな場合、指定された数のレジスタがループされ、1 つの SPI フレーム内で同じレジスタに複数回繰り返しアクセスできます。LOOP\_MODE レジスタの LOOP\_COUNT フィールドによって、レジスタ・アドレスが開始アドレス（命令フェーズで指定されたアドレス）にリセットされるまでにアクセスされるレジスタ数が決まります。MB\_STRICT ビットが 1 に設定されている場合、複数バイト・レジスタは、ループ時に 1 つのレジスタとみなされます。MB\_STRICT ビットが 0 に設定されている場合、複数バイト・レジスタのそれぞれのバイトが、ループ時に 1 つのレジスタとみなされます。図 85 に、ループを使用して CLAMP\_STATUSn レジスタから繰り返し読出しを行う例を示します。

LOOP\_COUNT が 0x0 に設定されると、ループは無効化されます。ループが無効化され、降順アドレス・オプションが選択されて

いる場合、アドレスは 0x0000 に達するまでデクリメントされ、その後のバイト・アクセス時に、使用可能な最大のレジスタ・アドレス（アドレス 0x013F）に設定されます。ループが無効化され、昇順アドレス・オプションが選択されている場合、アドレスは使用可能な最大レジスタ・アドレス（アドレス 0x013F）に達するまでインクリメントされ、その後のバイト・アクセス時に、アドレス 0x0000 に設定されます。ループはデフォルトでは無効化されています。

なお、7 ビット・アドレス指定を使用している場合でも、0xFF より大きいアドレスのレジスタは、引き続きストリーミング・モードでアクセスできます。ただし、これらのレジスタにアクセスする場合は、15 ビット・アドレス指定を使用の方が効率的です。

## 単一命令モード

SPI\_CONFIG\_B レジスタの INST\_MODE ビットが 1 に設定されている場合、単一命令モードが有効となります。単一命令モードでは、SPI 読出しトランザクションまたは書込みトランザクションのそれぞれに命令フェーズがあり、トランザクションが読出ししか書込みか、および、どのアドレスにアクセスするかが指定されます。新たな SPI フレームを開始せずに隣接アドレスのレジスタに対して独占的に読書きを行うことができるストリーミング・モードとは異なり、単一命令モードでは、デジタル・ホストは 1 つの SPI フレーム内で非隣接のレジスタ・アドレスのレジスタに対して手早く読書きを行うことができます。

図 86 に、単一命令モードを選択して複数レジスタの読書きトランザクションを実行するための一般的な SPI フレームを示します。チェックサムは、CRC が有効な場合のみ各データ・フェーズに含まれます（[チェックサム保護](#)のセクションを参照）。

図 87 に、UPPER\_IN1 レジスタの MSByte および LSByte に対して読書きを行う例を示します (MB\_STRICT=0)。図 88 と図 89 には、両アドレス方向オプションでの UPPER\_IN1 レジスタから読出しを行い同じフレーム内の UPPER\_IN0 レジスタに書込みを行う場合の例を示します (MB\_STRICT = 1)。なお、UPPER\_INn レジスタは複数バイト・レジスタで、MB\_STRICT が 1 に設定されている場合、どちらのバイトも 1 つのデータ・フェーズで読出しまたは書込みを行う必要があります（[複数バイト・レジスタ・アクセス](#)のセクションを参照）。

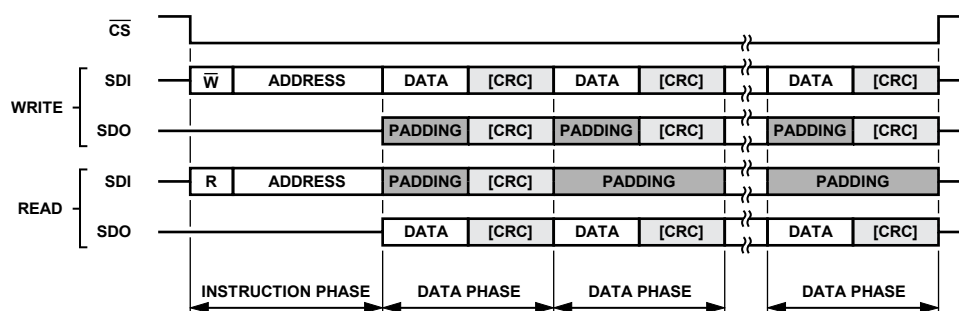


図 81. ストリーミング・モードの SPI フレーム

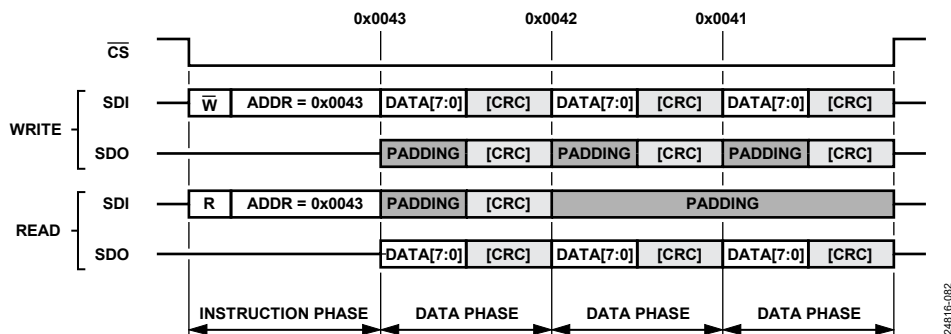


図 82. ストリーミング・モードの SPI フレーム、ループ無効、降順アドレス、MB\_STRICT = 0

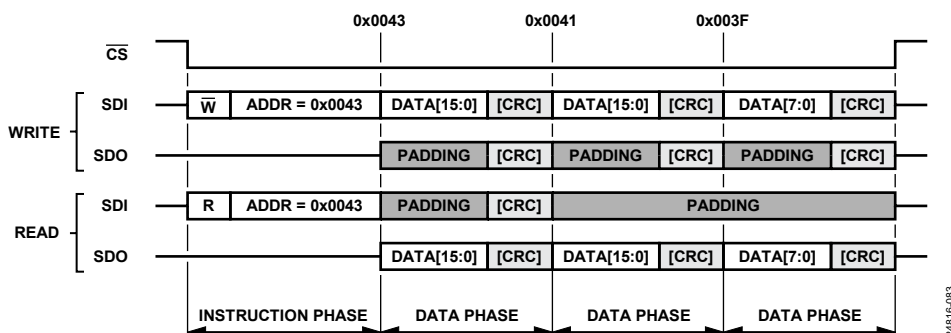


図 83. ストリーミング・モードの SPI フレーム、ループ無効、降順アドレス、MB\_STRICT = 1

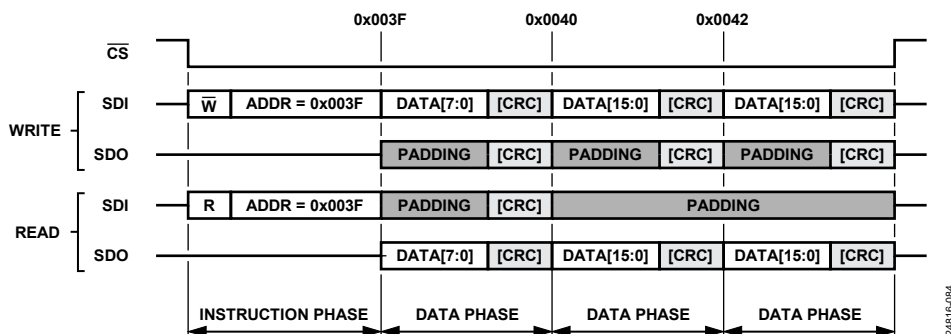


図 84. ストリーミング・モードの SPI フレーム、ループ無効、昇順アドレス、MB\_STRICT = 1

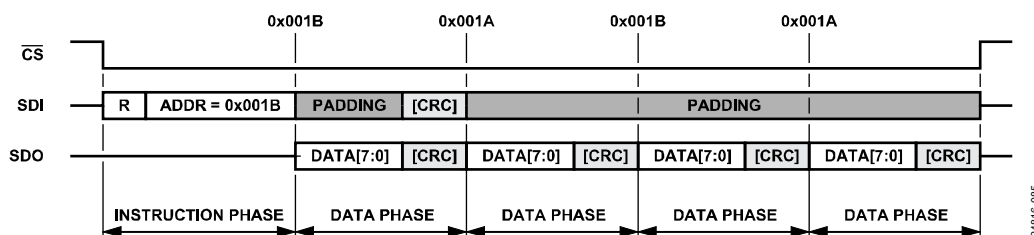


図 85. ストリーミング・モードの SPI フレーム、ループ有効、LOOP\_COUNT = 7、降順アドレス

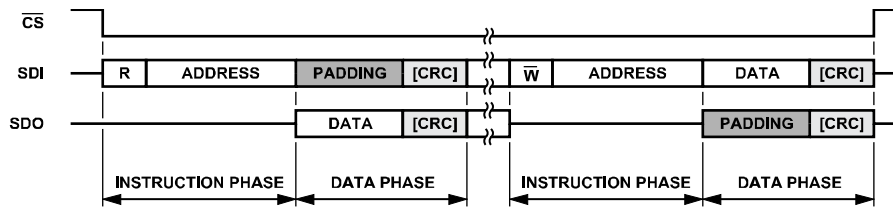


図 86. 単一命令モードの SPI フレーム

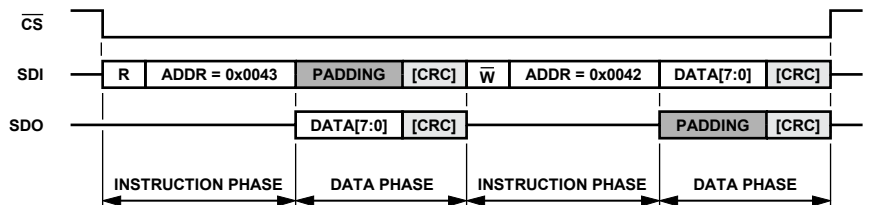


図 87. 単一命令モードの SPI フレーム、MB\_STRICT = 0

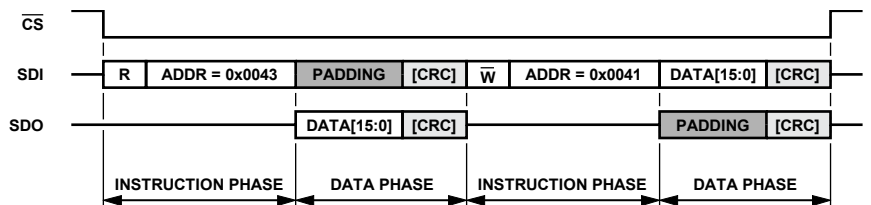


図 88. 単一命令モードの SPI フレーム、MB\_STRICT = 1、降順アドレス

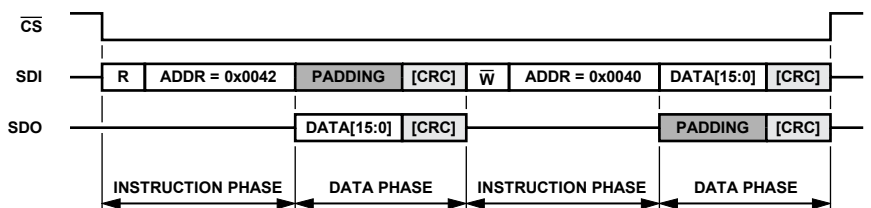


図 89. 単一命令モードの SPI フレーム、MB\_STRICT = 1、昇順アドレス

## チェックサム保護

AD4695/AD4696 には、レジスタ設定モードの場合、オプションで 8 ビット CRC に基づくエラー・チェック機能があります。CRC が有効化されている場合、各レジスタの読出しトランザクションまたは書き込みトランザクションのデータ・フェーズに 8 ビット・チェックサム・コードが追加されます。チェックサムの値は、SPI で読み出されたデータまたは書き込まれたデータで計算されます。そのため、AD4695/AD4696 とデジタル・ホストは破損されたデータを検出できます。チェックサムが対応するレジスタのデータに一致しない場合、そのレジスタの読出しまたは書き込みは無効とみなされます。

図 81 に、ストリーミング・モードを選択してレジスタの読書きを実行するための一般的な SPI フレームを、CRC チェックサムを含めて示します。図 86 には、単一命令モードを選択してレジスタの読書きを実行するための一般的な SPI フレームを、CRC チェックサムを含めて示します。なお、図 81 と図 86 の両方に示した SDI のチェックサムは、デジタル・ホストから AD4695/AD4696 に送られる点に注意してください。デジタル・ホストは、図示した SPI 読書きトランザクションの間に有効なチェックサムを送信する必要があります。唯一の例外は、ストリーミング・モードを選択して複数のレジスタ読出しを実行している場合です。この場合、デジタル・ホストは最初のトラン

ザクションでの SDI の CRC を送信するだけで済みます (図 81 を参照)。

AD4695/AD4696 が、対応する SPI トランザクションに一致しないチェックサムを受信した場合は、そのトランザクションは無効とみなされ、SPI ステータス・レジスタの CRC\_ERROR ビットが 1 にセットされます。CRC\_ERROR ビットは 1 を書き込んでクリアするビットで (R/WIC)、クリアするには 1 を書き込む必要があります。

書き込みトランザクションが無効とみなされる場合、レジスタの内容は更新されません。読出しトランザクションが無効とみなされる場合は、デジタル・ホストは、受信したレジスタ・データを無視して、再度レジスタ読出しトランザクションを試行する必要があります。読み出してクリアするビットも、レジスタ読出しトランザクションが無効とみなされる場合は、クリアされません (例えば、ALERT\_STATUSn レジスタの HI\_INn ビットおよび LO\_INn ビット)。

ストリーミング・モードと CRC が共に有効化されていて、所定の SPI トランザクションで無効なチェックサムを受信された場合、その後のすべての SPI トランザクションは、残りの SPI フレームについて無効とみなされます (CS がハイになるまで)。



CRCは、SPI\_CONFIG\_CレジスタのCRC\_ENおよびCRC\_EN\_Nフィールドで有効化されます。CRCを有効化するには、CRC\_ENを0x1、CRC\_EN\_Nを0x2に設定する必要があります。それ以外のCRC\_ENとCRC\_EN\_Nの組み合わせでは、CRCは無効化されます。

AD4695/AD4696では、CRCが有効化されるとチェックサムが直ちに各SPIトランザクションに含められるものと想定されています。SPI\_CONFIG\_Cレジスタに書き込みを行ってCRCを有効にしてからその他のレジスタへの書き込みを行い、CRCが有効化されていることを前提にSPI\_CONFIG\_Cレジスタを読み出してください。SPIマスタがCRC\_ENおよびCRC\_EN\_Nフィールドの正しい状態と有効なチェックサムを受信した場合、CRCは有効化され、SPIマスタは残りの設定レジスタの設定を開始できます。

次のCRC多項式を使用してチェックサムを計算します。

$$x^8 + x^2 + x + 1$$

各SPIトランザクションには対応するコードがあり、そのコードに多項式が適用されてチェックサムが生成されます。コードは、SPIトランザクションからのデータに追加された8ビットのシード値で構成されます。表14に、可能なタイプの各SPIトランザクションに対するデータとシード値を示します。

単一命令モードでは、シードはすべてのCRCについて0xA5です。ストリーミング・モードでは、フレームの最初のCRCのシードはやはり0xA5ですが、フレーム内のその他のCRCのシードは、アクセスするレジスタ・アドレスのLSByteです。MB\_STRICTが1にセットされ、複数バイト・レジスタにアクセスする場合、シードに使用されるレジスタは、選択したアドレス方向オプションによって異なります。降順アドレスではMSByteのアドレスが使用され、昇順アドレスではLSByteのアドレスが使用されます。例えば、図83と図84の両方において、2番目のデータ・フェーズにはUPPER\_IN0レジスタの値が含まれますが、チェックサムに使用するシードは、降順アドレス・オプション(図83)の場合は0x41、昇順アドレス・オプションの場合(図84)の場合は0x40です。

表 14. SPIのモードおよびトランザクションに対するCRC入力値

SPIトランザクション・タイプ	ピン	単一命令モードの場合またはストリーミング・モード時の最初のCRCの場合	ストリーミング・モード時の後続CRCの場合
Write	SDI	SPIデータ = 命令フェーズ・ビット、データ・フェーズ・ビット シード = 0xA5	SPIデータ = データ・フェーズ・ビット  シード = その時点のレジスタ・アドレスのLSByte
	SDO	SPIデータ = 命令フェーズ・ビット、データ・フェーズ・ビット シード = 0xA5	SPIデータ = データ・フェーズ・ビット  シード = その時点のレジスタ・アドレスのLSByte
Read	SDI	SPIデータ = 命令フェーズ・ビット、パッド・ビット シード = 0xA5	該当せず
	SDO	SPIデータ = 命令フェーズ・ビット、データ・フェーズ・ビット シード = 0xA5	SPIデータ = データ・フェーズ・ビット  シード = その時点のレジスタ・アドレスのLSByte

## レジスタの読出しと書き込みのタイミング図

AD4695/AD4696 がレジスタ設定モードの場合の、SPI のタイミング図を図 90 に示します。図 90 に示したタイミング仕様については表 2 を参照してください。

レジスタの読出しと書き込みのトランザクションは、 $\overline{\text{CS}}$  でフレーム化されます。 $\overline{\text{CS}}$  がハイの間、 $\overline{\text{SCK}}$  エッジは無視され、 $\text{SDO}$  は高インピーダンスになります。 $\overline{\text{CS}}$  の立下がりエッジで SPI フレームが始まり、 $\text{SDI}$  のデータは  $\overline{\text{SCK}}$  立上がりエッジでラッチされ、この間データは  $\overline{\text{SCK}}$  の立下がりエッジで  $\text{SDO}$  にシフト・アウトされます。 $\overline{\text{CS}}$  の立上がりエッジで SPI フレームは終了し、 $\text{SDO}$  は高インピーダンスにされます。

$\overline{\text{CS}}$  立下がりエッジ直後の SPI フレームの最初のフェーズは、命令フェーズです。命令フェーズの後にデータ・フェーズが続きます。SPI 読出しトランザクションでは、データ・フェーズ中にレジスタの内容が  $\text{SDO}$  からシフト・アウトされます。SPI 書き込みトランザクションでは、データ・フェーズ中にレジスタの内容が  $\text{SDI}$  にラッチされます。SPI フレームごとの命令フェーズとデータ・フェーズの順序に関する詳細は、[ストリーミング・モード](#) および [単一命令モード](#) のセクションを参照してください。

命令フェーズのアドレスの長さ (図 90 では M と表示) は、 $\text{SPI\_CONFIG\_B}$  レジスタの  $\text{ADDR\_LEN}$  ビットで設定できます ([命令フェーズ](#) のセクションを参照)。

データ・フェーズの長さ (図 90 では N と表示) は、CRC が有効化されているかどうかと、アクセス先のレジスタ長によって異なります ([チェックサム保護および複数バイト・レジスタ・アクセスのセクション](#) を参照)。

レジスタ設定モードの場合、AD4695/AD4696 は  $\text{CNV}$  の状態は無視します。[変換モードの起動](#) のセクションで、AD4695/AD4696 を変換モードにするための処理を説明します。

## 変換モードの起動

AD4695/AD4696 を変換モードにするには、セットアップ・レジスタの  $\text{SPI\_MODE}$  ビットを 1 に設定します。 $\text{SPI\_MODE}$  ビットが 1 に設定されると、SPI フレームは直ちに終了し、デバイスは変換モードに入ります。その後のレジスタの読書きは、デバイスが再度レジスタ設定モードになるまで、行うことはできません。

デジタル・ホストは、レジスタ書き込みの最後の  $\overline{\text{SCK}}$  立上がりエッジから  $\text{CNV}$  立上がりエッジで変換が開始されるまで、 $t_{\text{SCKCNV}}$  で指定される遅延を備えている必要があります (表 2 および図 90 を参照)。

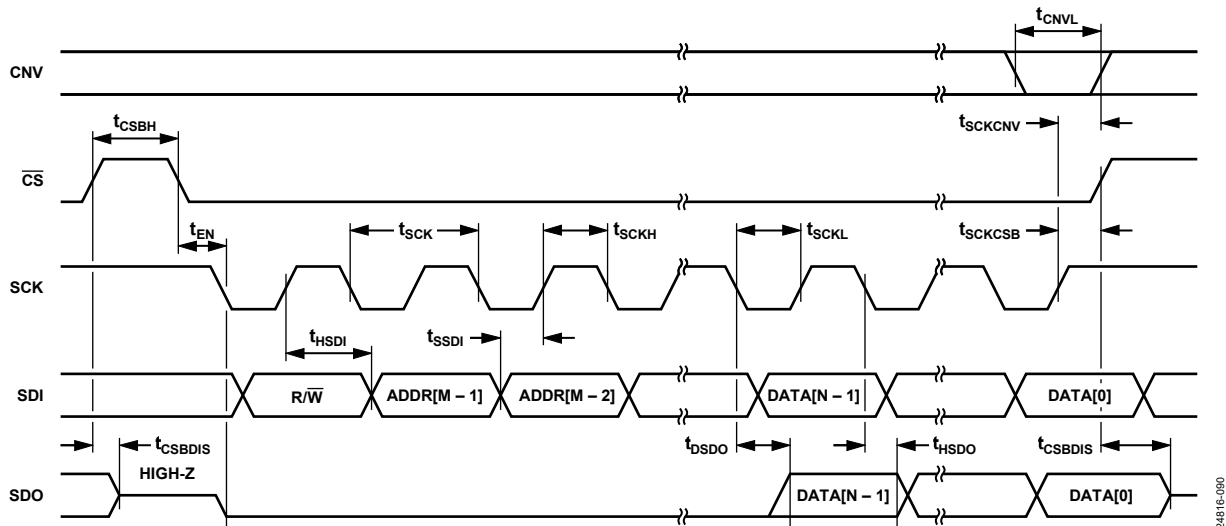


図 90. レジスタ設定モードのタイミング図

## 変換モード

AD4695/AD4696 が変換モードの場合、CNV 立上がりエッジによって選択したチャンネルでの変換が開始され、チャンネル・シーケンシング・ロジックに従ってマルチプレクサが次のチャンネルに切り替えられます（[コンバータの動作およびチャンネル・シーケンシング・モード](#)のセクションを参照）。デバイスは、セットアップ・レジスタの SPI\_MODE ビットが 1 に設定されると、変換モードに入ります。

変換モードでは、SPI を使用して ADC の結果の読出しと、[表 16](#) に示す 5 ビット SDI コマンドの書込みを行います。[図 91](#)～[図 96](#) に、変換の実行に関する SPI フレームのタイミング図を示します。CNV ピンと CS ピンを互いに接続することで、1 つの 4 線式 SPI ポートとインターフェース接続できるようになります（[図 96](#) を参照）。ADC の結果はそれぞれ、次の CNV 立上がりエッジが発生するまで使用できます。

オプションの 5 個のステータス・ビットを ADC データに追加することができます。これらのステータス・ビットには、チャンネル情報、過電圧クランプ・フラグ、閾値検出アラート・インジケータが含まれます。ステータス・ビットの説明とイネーブルにする方法については、[ステータス・ビット](#)のセクションを参照してください。

変換モードでは、BSY\_ALT\_GP0 ピンを追加のシリアル・データ出力として割り当て、次の変換が生じる前に ADC 結果とオプションのステータス・ビットをシフト・アウトするために必要な SCK 周波数を低減することができます。AD4695/AD4696 の両方のパッケージ・オプションで使用できるオプションと、これらのモードを有効化する方法については、[シリアル・データ出力モード](#)のセクションを参照してください。

BSY\_ALT\_GP0 ピンは、ビジー・インジケータまたは閾値検出アラート・インジケータとして割り当てすることもできます。[図 91](#)～[図 96](#) に、CNV 信号と、BSY\_ALT\_GP0 に割り当てられている場合のビジー・インジケータおよびアラート・インジケータの相対的なタイミングを示します。BSY\_ALT\_GP0 を目的の機能に設定する方法については、[汎用ピン](#)のセクションを参照してください。

自動サイクル・モードが有効化されている場合、AD4695/AD4696 は固有の内部変換開始信号を生成し、デジタル・ホストからの CNV 信号がなくても自律的に変換を実行します（[自動サイクル・モード](#)のセクションを参照）。

## ステータス・ビット

5 個一組のステータス・ビットを各変換結果の末尾に追加することができます。ステータス・ビットによって、デジタル・ホストは、A/D 変換を中断することなく、アナログ入力 of ステータスをモニタできます。[表 15](#) に、ステータス・ビットの名前と説明を示します。

デフォルトでは、OV\_ALT ステータス・ビットは過電圧クランプ・フラグのステータスを示します（ステータス・レジスタの CLAMP\_FLAG ビットと COM\_CLAMP\_FLAG ビットのビットワイズ論理和）。GP\_MODE レジスタの OV\_ALT\_MODE ビットが 1 に設定されている場合、OV\_ALT ステータス・ビットは、CLAMP\_FLAG ビットと閾値検出アラート・インジケータ（ステータス・レジスタの TD\_ALERT ビット）の論理和です。デジタル・ホストは、範囲を逸脱するイベントを検出しこれに応答するために、OV\_ALT ビットの状態をモニタすることができます。

INX ビットは、変換結果が 16 のアナログ入力のどれに対応するのかを示します。INX ビットの値の範囲は 0～15 (0x0～0xF) で、それぞれ IN0～IN15 に対応します。INX の値が 15 の場合、IN15 または温度センサーのどちらかに対応します。INX ビットは、デジタル・ホストが使用して、ADC データをアナログ入力チャンネルのシーケンスと揃えることができます。

ステータス・ビットを有効にするには、セットアップ・レジスタの STATUS\_EN ビットを 1 にセットします。ステータス・ビットはデフォルトで無効化されています。ステータス・ビットが有効化されている場合、シリアル・データ出力ワードは 24 ビットに拡大し、ビット 20～ビット 24 にステータス・ビットが含まれます（[表 19](#) および [表 20](#) を参照）。

表 15. ステータス・ビットの名前と説明

ステータス・ワード・インデックス	ビット名	説明
ビット 4	OV_ALT	アクティブ・ハイ。過電圧保護クランプ・フラグのステータスと閾値検出アラート・インジケータ（有効化されている場合）のステータスを示します。
ビット [3:0]	INX	ADC データがどのアナログ入力チャンネル (IN0～IN15) に対応するかを示します。

表 16. 変換モード・コマンド

チャンネル・シーケンシング・モード	5 ビット SDI コマンド (CMD)	説明
Two-Cycle Command Mode and Single-Cycle Command Mode	0x00 to 0x09, 0x0B to 0x0E 0x0A 0x0F 0x10 to 0x1F	NOOP レジスタ設定モード・コマンド 温度センサー・チャンネル選択 IN0～IN15 のチャンネル選択
Standard Sequencer and Advanced Sequencer	0x00 to 0x09, 0x0B to 0x1F 0x0A	NOOP レジスタ設定モード・コマンド

## シリアル・データ出力モード

AD4695/AD4696 のデジタル・インターフェースによって、ADC データを複数のシリアル・データ出力にクロック・アウトすることができます。それによって、ADC の結果全体にアクセスするために必要な SCK 周期の数を削減でき、SCK 周波数を下げることができます。2 つのシリアル・データ出力モードには、シングル SDO モードとデュアル SDO モードがあります。シングル SDO モードでは、ADC の結果は SDO にのみシフト・アウトされます。デュアル SDO モードでは、ADC の結果は、SDO および BSY\_ALT\_GP0 に並列にシフト・アウトされます。

表 17 に、シリアル・データ出力モードごとに、それぞれのシリアル・データ出力信号で利用できるピンを示します。表 19 と表 20 には、シリアル・データ出力モード、ステータス・ビット、OSR オプションのすべての組み合わせに対し、変換結果の形式を示します。表 19 および表 20 で空白のセルの値は、変換モードのタイミング図のセクションで説明するように、SDO\_STATE の設定によって異なります。

シリアル・データ出力モードは、デバイスが変換モードになっている場合のみ適用されます。レジスタ設定モードでは、レジスタ読出しデータは、常にシリアルで SDO にのみシフト・アウトされます。

セットアップ・レジスタの SDO\_MODE フィールドで、どのシリアル・データ出力モードが選択されているかが定められます。表 18 に、SDO\_MODE の値と対応するシリアル・データ出力モードを示します。

表 17. シリアル・データ出力モードのピン割当て

Mode	Signal	Pin
Single-SDO Mode	SDO0	SDO
Dual-SDO Mode	SDO1	BSY_ALT_GP0
	SDO0	SDO

表 18. SDO\_MODE の値とシリアル・データ出力モードの関係

SDO_MODE	Mode
0x0	Single-SDO Mode
0x1	Dual-SDO Mode
0x2	Single-SDO Mode
0x3	Single-SDO Mode

表 19. シングル SDO モードのデータ出力形式

OSR Setting	Status Bits	Signal	SCK Falling Edge Number															
			1	2	3	...	15	16	17	18	19	20	21	22	23	24		
1	Disabled	SDO0	D15	D14	D13	...	D1	D0										
4	Disabled	SDO0	D16	D15	D14	...	D2	D1	D0									
16	Disabled	SDO0	D17	D16	D15	...	D3	D2	D1	D0								
64	Disabled	SDO0	D18	D17	D16	...	D4	D3	D2	D1	D0							
1	Enabled	SDO0	D15	D14	D15	...	D1	D0	0	0	0	OV_ALT	INX[3]	INX[2]	INX[1]	INX[0]		
4	Enabled	SDO0	D16	D15	D16	...	D2	D1	D0	0	0	OV_ALT	INX[3]	INX[2]	INX[1]	INX[0]		
16	Enabled	SDO0	D17	D16	D17	...	D3	D2	D1	D0	0	OV_ALT	INX[3]	INX[2]	INX[1]	INX[0]		
64	Enabled	SDO0	D18	D17	D16	...	D4	D3	D2	D1	D0	OV_ALT	INX[3]	INX[2]	INX[1]	INX[0]		

表 20. デュアル SDO モードのデータ出力形式

OSR Setting	Status Bits	Signal	SCK Falling Edge Number												
			1	2	3	4	5	6	7	8	9	10	11	12	
1	Disabled	SDO1	D15	D13	D11	D9	D7	D5	D3	D1					
		SDO0	D14	D12	D10	D8	D6	D4	D2	D0					
4	Disabled	SDO1	D16	D14	D12	D10	D8	D6	D4	D2	D0				
		SDO0	D15	D13	D11	D9	D7	D5	D3	D1					
16	Disabled	SDO1	D17	D15	D13	D11	D9	D7	D5	D3	D1				
		SDO0	D16	D14	D12	D10	D8	D6	D4	D2	D0				
64	Disabled	SDO1	D18	D16	D14	D12	D10	D8	D6	D4	D2	D0			
		SDO0	D17	D15	D13	D11	D9	D7	D5	D3	D1				
1	Enabled	SDO1	D15	D13	D11	D9	D7	D5	D3	D1	0	0		INX[3]	INX[2]
		SDO0	D14	D12	D10	D8	D6	D4	D2	D0	0	OV_ALT		INX[1]	INX[0]
4	Enabled	SDO1	D16	D14	D12	D10	D8	D6	D4	D2	D0	0		INX[3]	INX[2]
		SDO0	D15	D13	D11	D9	D7	D5	D3	D1	0	OV_ALT		INX[1]	INX[0]
16	Enabled	SDO1	D17	D15	D13	D11	D9	D7	D5	D3	D1	0		INX[3]	INX[2]
		SDO0	D16	D14	D12	D10	D8	D6	D4	D2	D0	OV_ALT		INX[1]	INX[0]
64	Enabled	SDO1	D18	D16	D14	D12	D10	D8	D6	D4	D2	D0		INX[3]	INX[2]
		SDO0	D17	D15	D13	D11	D9	D7	D5	D3	D1	OV_ALT		INX[1]	INX[0]

## 変換モードのタイミング図

図 91～図 96 に、AD4695/AD4696 が各シリアル・データ出力モード・オプションで変換モードになっている場合の、A/D 変換を実行するための詳細なタイミング図を示します（自動サイクル・モードは無効）。

デバイスが変換モードの場合、CNV 立上がりエッジで変換が開始され、変換フェーズに入ります（コンバータの動作のセクションを参照）。変換が開始されると、CNV の状態に関係なく、完了するまで変換が継続されます。標準シーケンサ、詳細シーケンサ、または 2 サイクル・コマンド・モードが有効となっている場合は、デバイスがアキュイジション・フェーズに入ってから変換フェーズが完了します。単一サイクル・コマンド・モードが有効の場合、デバイスがアキュイジション・フェーズに入るの、SPI フレームの 6 個の SCK 立上がりエッジの後です。図 91～図 94 および図 96 に、標準シーケンサ、詳細シーケンサ、または 2 サイクル・コマンド・モードが有効な場合の  $t_{ACQ}$  を示します。図 95 には、単一サイクル・コマンド・モードが有効な場合の  $t_{ACQ}$  を示します。

$\overline{CS}$  は変換結果データをフレーム化します。 $\overline{CS}$  がハイの場合、SCK エッジは無視され、シリアル・データ出力に割り当てられたすべてのピンは高インピーダンスになります。 $\overline{CS}$  がローの場合、データは、SCK 立上がりエッジではシリアル・データ出力に MSB ファーストでクロック・アウトされ、SCK 立上がりエッジでは SDI にラッチされます。

CNV と  $\overline{CS}$  は互いに接続でき、SPI マスタのチップ・セレクトで駆動することで、AD4695/AD4696 とインターフェース接続するために必要なデジタル信号の数を最小限に抑えることができます（SPI パリフェラルの接続のセクションを参照）。図 96 に、CNV と  $\overline{CS}$  信号を連結して 4 線式 SPI とインターフェース接続する AD4695/AD4696 のタイミング図を示します。

変換フェーズは、デジタル・ホストが最初の SCK 立上がりエッジを供給する前に完了している必要があります。デジタル・ホストは、ビジー・インジケータの立下がりエッジを使用することで変換フェーズの終了を検出し、ADC の結果のクロック・アウトを開始することができます。それ以外の場合、デジタル・ホストは、CNV の立上がりエッジと最初の SCK 立上がりエッジとの間に、表 2 の変換時間仕様 ( $t_{CONVERT}$ ) で指定された遅延を含める必要があります。

表 16 に示す 5 ビット SDI コマンドは、SPI フレーム内の最初の 5 個の SCK 立上がりエッジで SDI にラッチされます。レジスタ設定モード・コマンドは、AD4695/AD4696 に変換モードを終了しレジスタ設定モードになるよう指示します（レジスタ設定モード・コマンドのセクションを参照）。表 16 のチャンネル選択コマンドを使用するのは、2 サイクル・コマンド・モードまたは単一サイクル・コマンド・モードが有効となっている場合のみであり、標準シーケンサまたは詳細シーケンサが有効な場合は NOOP コマンドとして中断されます（チャンネル・シーケンシング・モードのセクションを参照）。

最適な性能を確保するため、最後の SCK エッジと次の CNV 立上がりエッジの間には十分な遅延があり、変換時間が経過するまで SCK 動作が行われないことが必要です（表 2 の  $t_{SCKCNV}$  および図 91～図 96 を参照）。

セットアップ・レジスタの SDO\_STATE ビットによって、変換モード SPI フレームの開始と終了時のシリアル・データ出力の動作が決まります。SDO\_STATE ビットが 0 に設定されている場合、シリアル・データ出力は、次の変換結果の MSB がクロック・アウトされるまでその最終値を維持します。すべての結果がシフト・アウトされた後、追加の SCK 立下がりエッジが複数発生した場合でも、シリアル・データ出力はこの状態を維持します。シリアル・データ出力は、 $\overline{CS}$  がハイになった場合に高インピーダンスになりますが、 $\overline{CS}$  が再びローになると以前の状態に復帰します。図 91 と図 93 に、SDO\_STATE が 0 に設定されている場合のシリアル・データ出力の動作を示します。SDO\_STATE はデフォルトで 0 に設定されています。

SDO\_STATE が 1 に設定されている場合、ビジー・インジケータがシリアル・データ出力でイネーブルされます（ビジー・インジケータのセクションを参照）。結果の最終ビットが既にクロック・アウトされた後、あるいは CNV または  $\overline{CS}$  がハイになっているときに SCK 立下がりエッジが発生すると、シリアル・データ出力は高インピーダンスになります。CNV 立上がりエッジで変換を開始すると、変換フェーズが完了し、結果が SPI を通じて読み出せるようになるまで、シリアル・データ出力は高インピーダンスを維持します。データが読み出せるようになると、シリアル・データ出力はローに駆動されます。その時点で選択されているチャンネルの OSR が 1 より大きい場合、シリアル・データ出力はオーバーサンプリングされた結果が読み出せるようになるまで、ローに駆動されます。なお、シリアル・データ出力にビジー・インジケータが出力されるためには、 $\overline{CS}$  がローに駆動されている必要があることに注意してください。

ビジー・インジケータが BSY\_ALT\_GP0 でイネーブルされている場合、BSY\_ALT\_GP0 ピンは、CNV 立上がりエッジ後にハイに駆動され、変換が終了するとローに駆動されます（BSY\_ALT\_GP0 のビジー・インジケータのセクションを参照）。図 91～図 95 で BUSY と記された信号は、ビジー・インジケータとして割り当てられた BSY\_ALT\_GP0 ピンを示します。チャンネル・シーケンシング・モードのセクションの図 75 は、OSR 設定が 1 および 1 より大きい場合の CNV 立上がりエッジと BSY\_ALT\_GP0 上のビジー・インジケータの相対的なタイミングを示しています。

BSY\_ALT\_GP0 で閾値検出アラート・インジケータがイネーブルされている場合は、BSY\_ALT\_GP0 ピンはステータス・レジスタの TD\_ALERT ビットの値を反映します。図 91～図 95 で ALERT と記された信号は、アラート・インジケータとして割り当てられた BSY\_ALT\_GP0 ピンを示します。チャンネル・シーケンシング・モードのセクションの図 75 は、OSR 設定が 1 および 1 より大きい場合の CNV 立上がりエッジと BSY\_ALT\_GP0 上のアラート・インジケータの相対的なタイミングを示しています。

## レジスタ設定モード・コマンド

レジスタ設定モード・コマンドは、SDI に書き込まれる 5 ビットのコマンドで、変換モードを終了してレジスタ設定モードに入るようデバイスに指示します。レジスタ設定モード・コマンドは 0x0A です。図 97 に、レジスタ設定モード・コマンドとレジスタ設定モードに入る AD4695/AD4696 の相対的なタイミングを示します。

レジスタ設定モード・コマンドは、変換後の最初の 5 個の SCK 立上がりエッジで SDI にクロック・インされます。レジスタ設定モード・コマンドが受信されると、 $\overline{\text{CS}}$ の後続の立上がりエッジによって、AD4695/AD4696 がレジスタ設定モードになります。デジタル・ホストは、5 個の SCK 立下がりエッジと  $\overline{\text{CS}}$ 立上がり

エッジの間の経過時間である、 $t_{\text{REGCONFIG}}$ の遅延分を待機する必要があります (図 97 および表 2 を参照)。

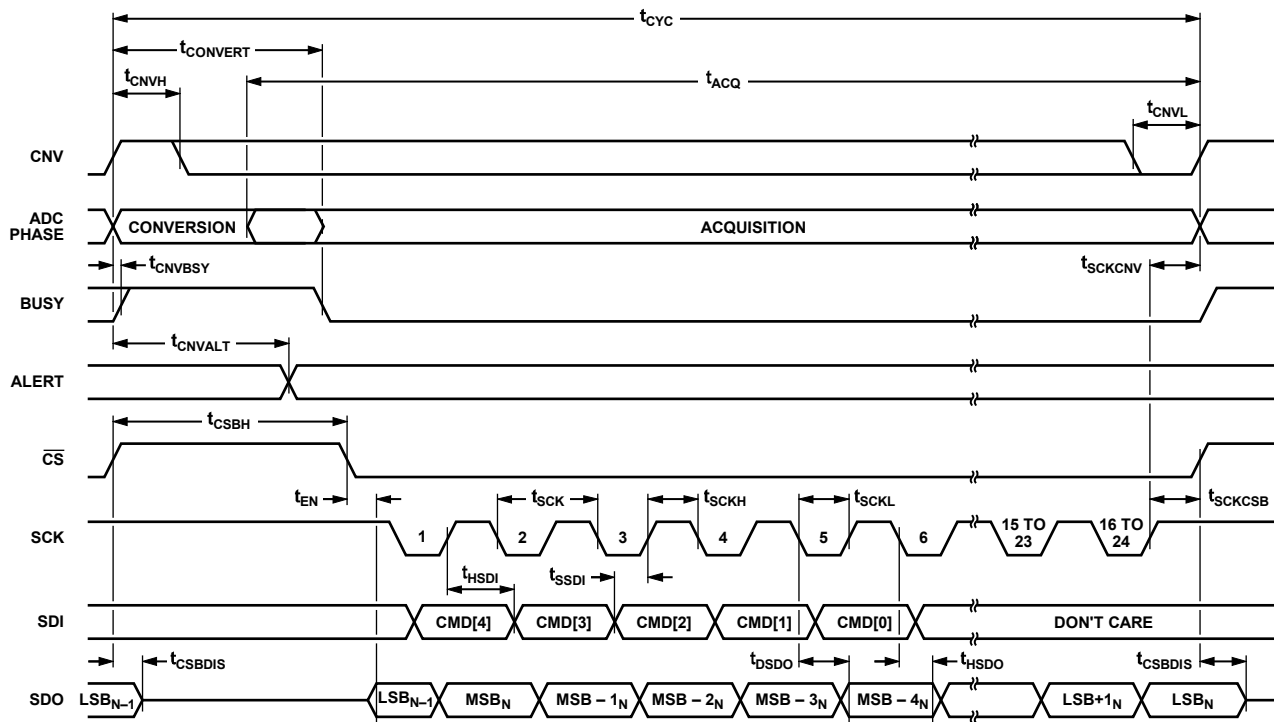


図 91. 変換モードのタイミング図、シングル SDO モード、SDO\_STATE = 0

24816-091

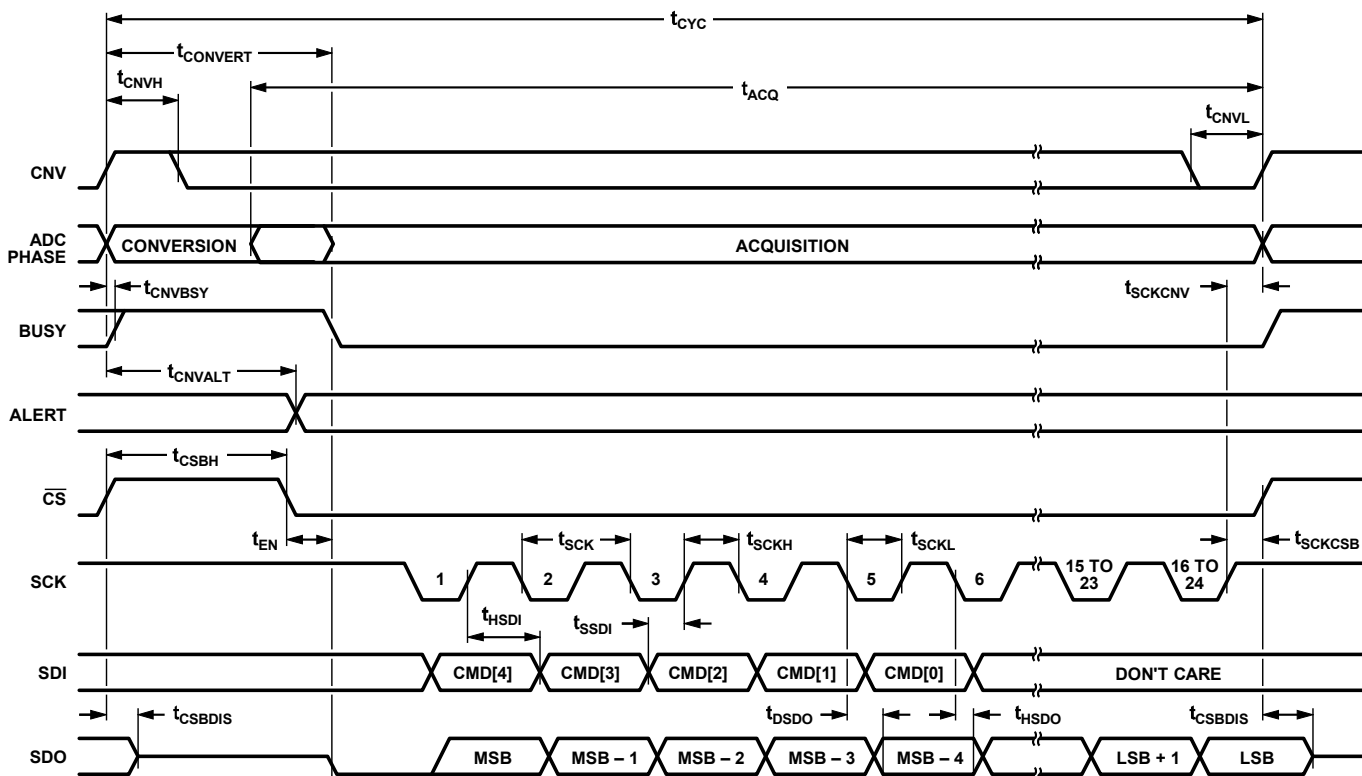


図 92. 変換モードのタイミング図、シングル SDO モード、SDO\_STATE = 1

24816-002

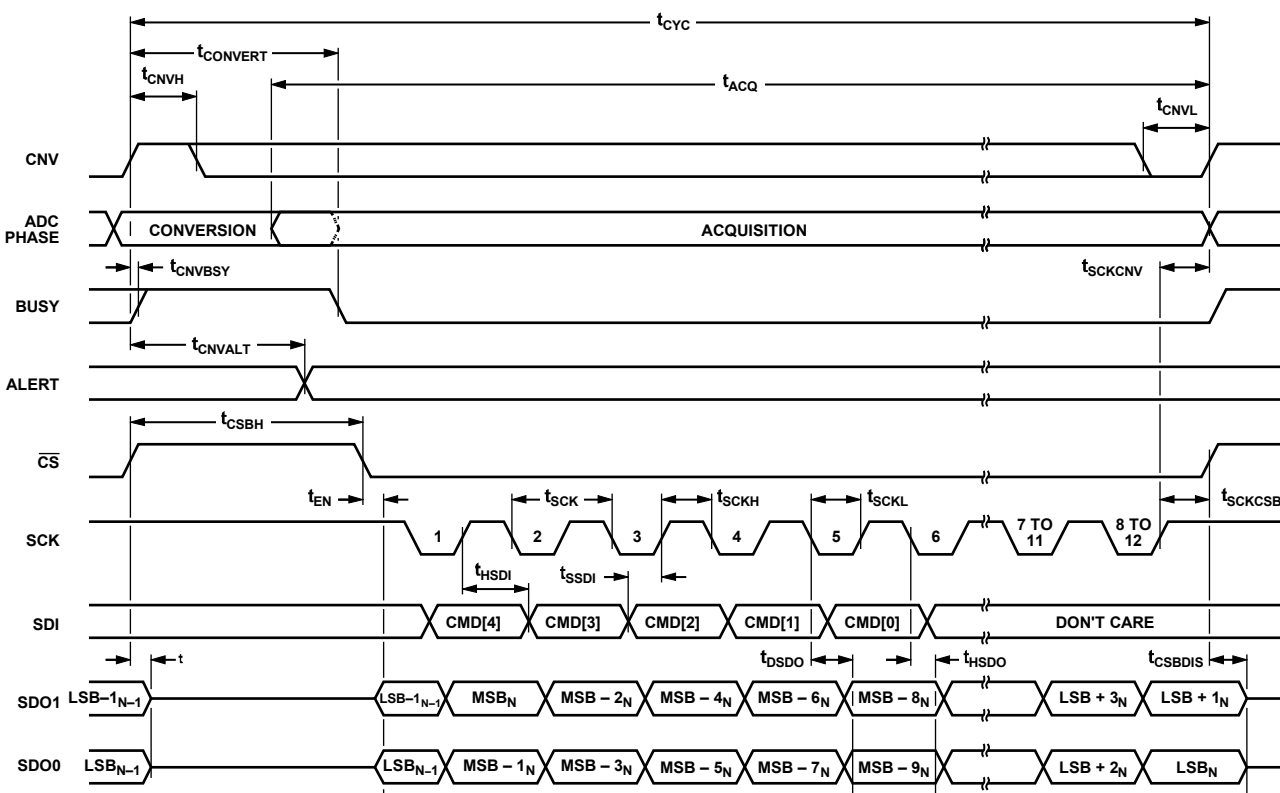


図 93. 変換モードのタイミング図、デュアル SDO モード、SDO\_STATE = 0

24816-003

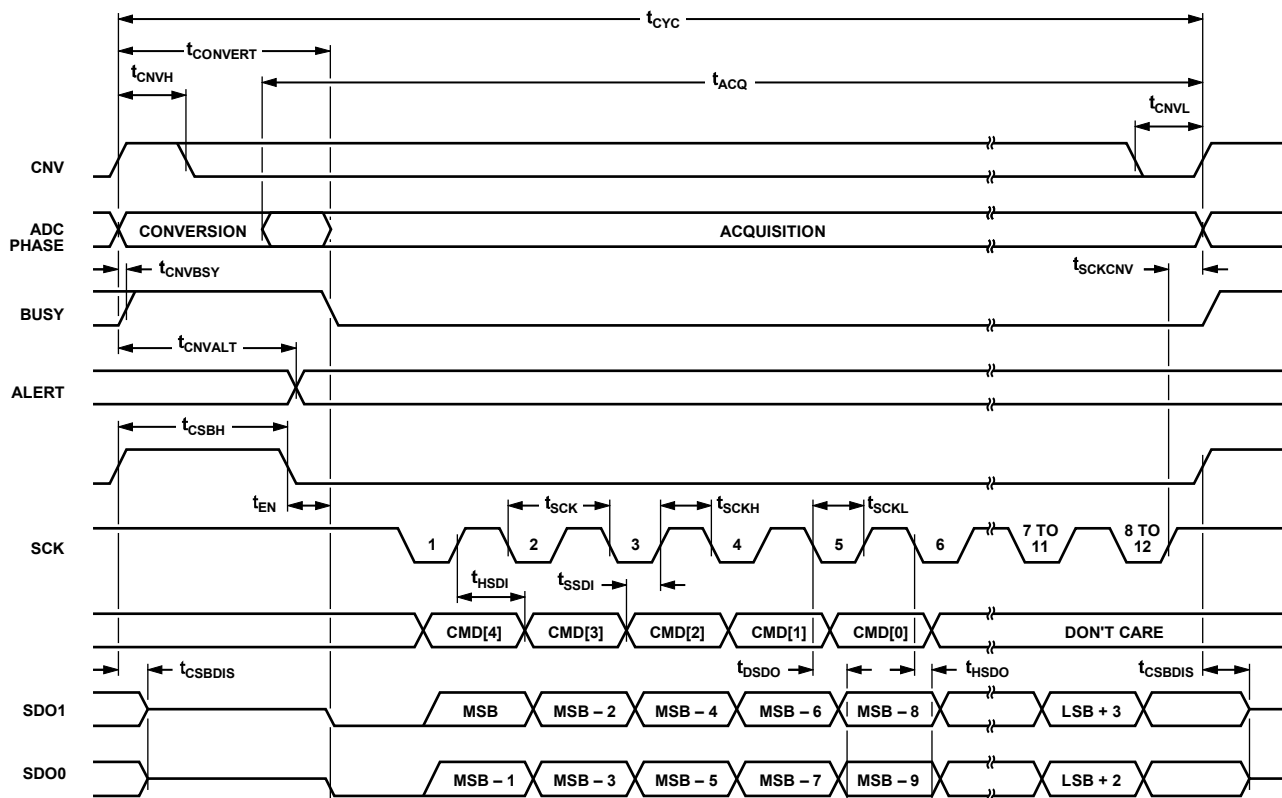


図 94. 変換モードのタイミング図、デュアル SDO モード、SDO\_STATE = 1

24816-094

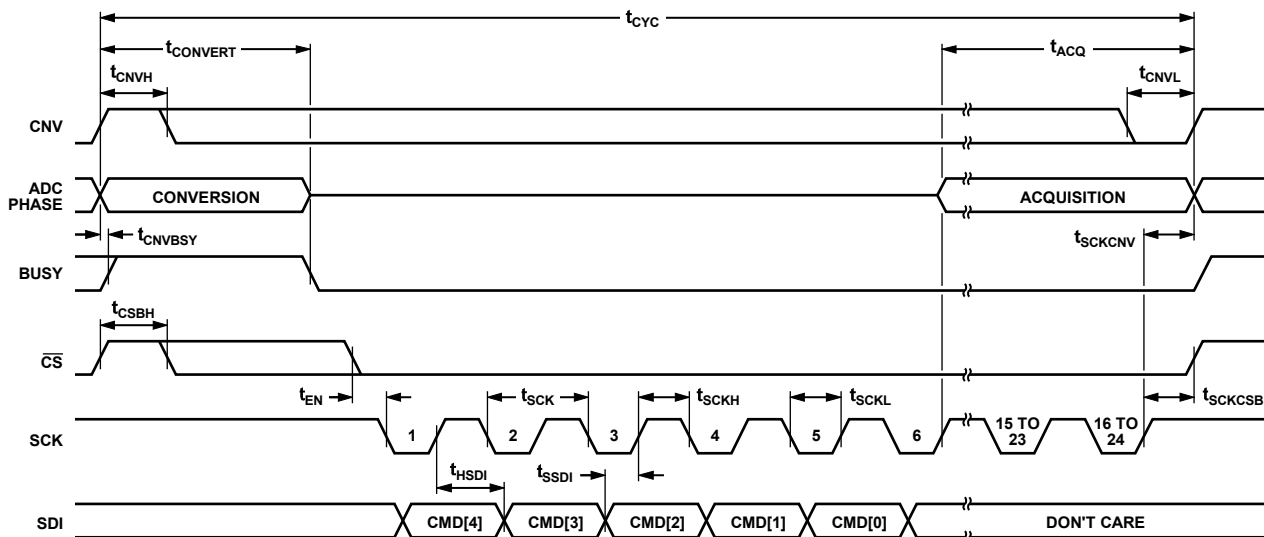


図 95. 変換モードのタイミング図、単一サイクル・コマンド・モード有効

24816-095



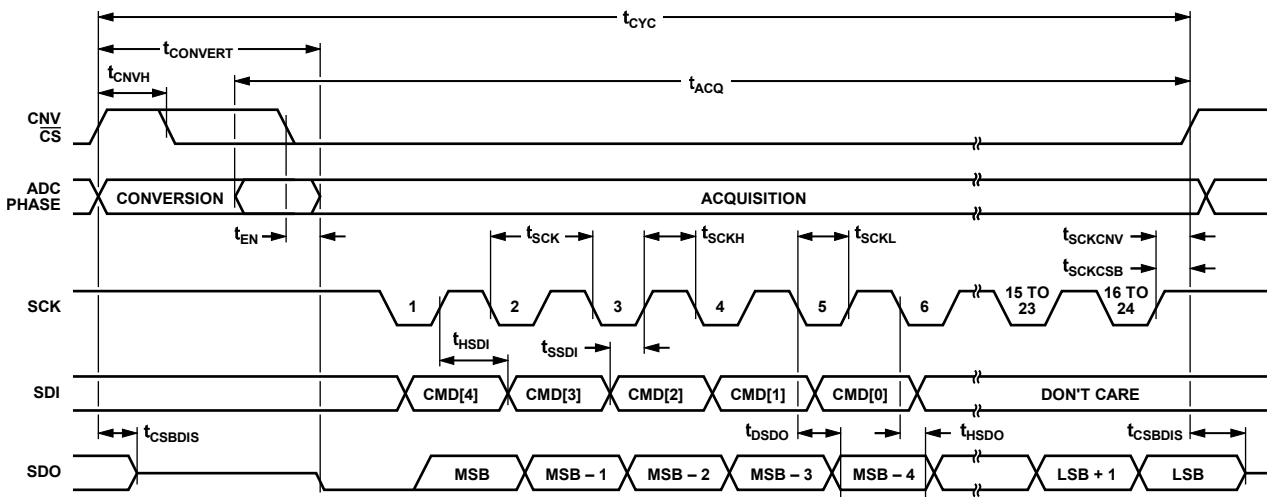


図 96. 4 線式 SPI での変換モードのタイミング図、シングル SDO モード、SDO\_STATE = 1

24816-096

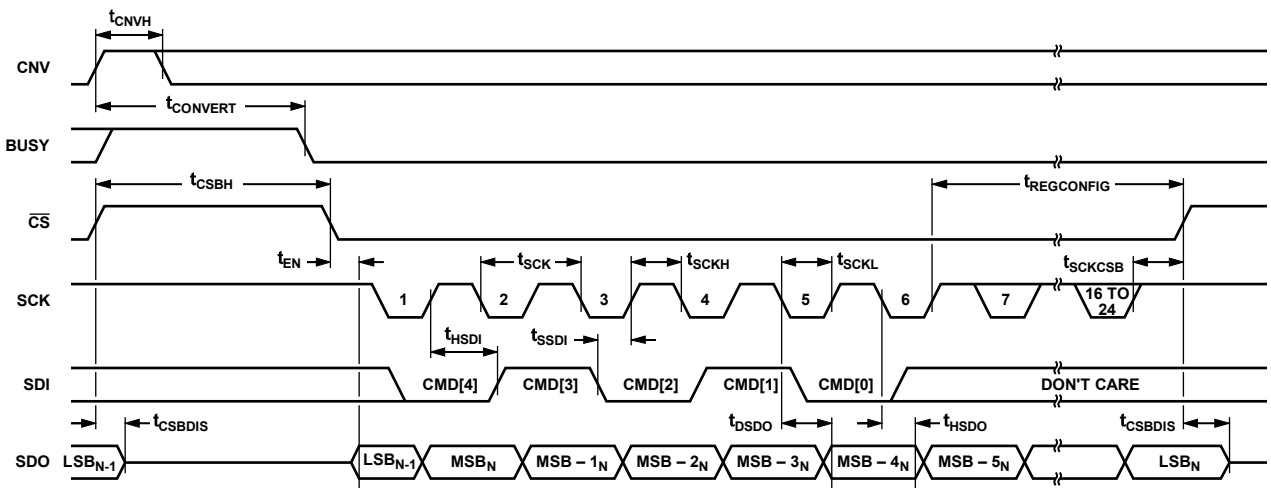


図 97. 変換モードのタイミング図、レジスタ設定モード・コマンド

24816-097

### 自動サイクル・モード

AD4695/AD4696 は、システム監視に最適な動作モードである、ユーザ・プログラムによるチャンネル・シーケンスで自律的に変換を行うように設定できます。自動サイクル・モードが有効化されている場合、AD4695/AD4696 は、変換開始信号として作用する内部クロックを生成し、デジタル・ホストが CNV で信号を生成する必要はありません。内部変換開始クロックは、AD4695/AD4696 が変換モードに入るとイネーブルされ、AD4695/AD4696 がレジスタ設定モードに入るとディスエーブルされます。そのため、変換が発生するのは、AD4695/AD4696 が変換モードになっている場合のみです。

自動サイクル・モードは、AC\_CTRL レジスタの AC\_EN ビットが 1 に設定されている場合に有効化されます。内部変換開始信号の周期については 8 通りの選択肢があります。変換開始信号の周期は、AC\_CTRL レジスタの AC\_CYC フィールドで選択されます。表 21 に、変換周期と対応するサンプリング・レートを AC\_CYC 値ごとに示します。

表 21. 自動サイクル・モードの変換周期オプション

AC_CYC, Bits[2:0] Value	Conversion Period ( $\mu$ s)	Sample Rate (kSPS)
0x0	10	100
0x1	20	50
0x2	40	25
0x3	80	12.5
0x4	100	10
0x5	200	5
0x6	400	2.5
0x7	800	1.25

自動サイクル・モードは、ビジー・インジケータ、閾値検出アラート、標準または詳細シーケンサと共に使用することで、デジタル・ホスト・システムのオーバーヘッドを緩和できます。閾値検出アラート・インジケータは、BSY\_ALT\_GP0 ピンに割り当て、事前定義された領域外イベントを示す割込みとして使用することができます。閾値検出の割込みサービス・ルーチンは、オプションで SPI 命令をトリガし、最新の変換結果をリード・バックして変換モードを終了し、アラート・インジケータ・レジスタ (ALERT\_STATUS1~ALERT\_STATUS4) を使用して特定のタイプの領域外イベントを判定します。

自動サイクル・モードが有効となっている場合の SPI トランザクションは、変換モードのタイミング仕様を遵守する必要があります。変換モードのセクションおよび表 2 を参照)。アラート・インジケータまたはビジー・インジケータを `BSY_ALT_GP0` ピンに割り当てることで、デジタル・ホストが SPI トランザクションを開始するタイミングを決定できます。ビジー・インジケータまたはアラート・インジケータを出力するよう `BSY_ALT_GP0` ピンを設定する方法については、汎用ピンのセクションを参照してください。

図 98 に示すように、自動サイクル・モードを使用する場合の SPI トランザクションは、 $t_{CONVERT}$  が経過するまで開始することはできません。デジタル・ホストが確実に内部変換開始クロックに同期するには、ビジー・インジケータまたはアラート・インジケータを使用する必要があります(自動サイクル・モードにおける SPI ペリフェラルの同期のセクションを参照してください)。次の変換が開始される前に目的の SPI トランザクションを完了するには、`SCK` のレートが十分に高速であることも必要です(変換モードの SPI クロック周波数条件を参照)。

$t_{ACBSY}$  の仕様値によって、自動サイクル・モードが有効となっている場合に 2 つの変換の間でビジー・インジケータがローになっている時間が決まります。 $t_{SCKCNV}$  の仕様値からは、SPI トランザクションの最後の `SCK` 立上がりエッジから次の変換の開始までに必要な時間が決まります。

$t_{CNVALT}$  の仕様値は、変換の開始からアラート・インジケータの状態が更新されるまでの遅延を示しています。アラート・インジケータの立上がりエッジは、AD4695/AD4696 のインターフェースが SPI トランザクションを受け入れられることを意味するものではありませんが、 $t_{CYC}$  の残り時間が経過する前に SPI トランザクションが完了している場合は、そのトランザクションをトリガする割込みとして使用できます。

自動サイクル・モードは標準シーケンサおよび詳細シーケンサと共に使用して、デジタル・ホストのオーバーヘッドを最小限に抑えることができます。自動サイクル・モードは 2 サイクル・コマンド・モードおよび単一サイクル・コマンド・モードと共に使用できますが、デジタル・ホストは 5 ビットの `SDI` コマンドを送信してチャンネルを選択する必要があります。

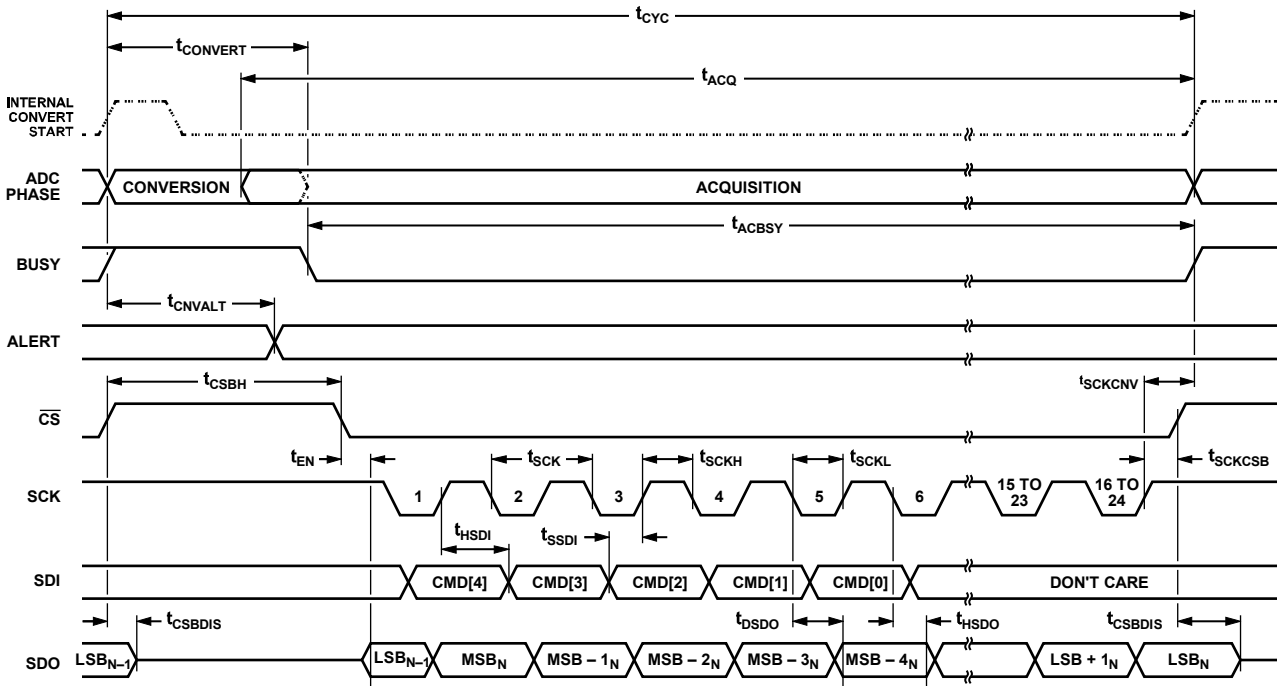


図 98. 自動サイクル・モード有効時の変換モードのタイミング図 (シングル SDO モード、`SDO_STATE = 0`)

## 汎用ピン

表 22 に、BSY\_ALT\_GPO ピンで使用可能な機能と機能の優先度（数字の小さい方が高優先度）を示します。BSY\_ALT\_GPO に目的の機能を設定するには、それより優先度の高い機能はすべて無効にする必要があります。ビジー・インジケータのセクション、閾値検出とアラート・インジケータのセクション、シリアル・データ出力モードのセクション、GPIO のセクションでは、BSY\_ALT\_GPO が表 22 に示す各機能に設定されている場合の BSY\_ALT\_GPO の動作を説明しています。

BSY\_ALT\_GPO ピンが汎用入力以外の機能に設定されている場合、BSY\_ALT\_GPO ピンはデジタル出力として機能します。BSY\_ALT\_GPO ピンがデジタル出力に設定されているときに他のデバイスが BSY\_ALT\_GPO ピンを駆動しようとした場合、競合が発生し、AD4695/AD4696 が損傷する可能性があります。BSY\_ALT\_GPO ピンはデフォルトでデジタル入力に設定されています。

表 22. BSY\_ALT\_GPO ピンの汎用ピン機能と機能の優先度

Pin	Function Priority			
	1 (Highest Priority)	2	3	4 (Lowest Priority)
BSY_ALT_GPO	SDO1 signal (dual-SDO mode)	Alert indicator	Busy indicator	GPIO

## GPIO

GPIO\_CTRL レジスタの GPIO\_EN ビットおよび GPO0\_EN ビットを使用すると、BSY\_ALT\_GPO ピンはそれぞれ汎用入力または汎用出力に設定できます（表 50 を参照）。BSY\_ALT\_GPO ビットは、対応する GPIO\_EN ビットが 1 に設定されている場合は入力、対応する GPO0\_EN ビットが 1 に設定されている場合は出力として設定されます。

BSY\_ALT\_GPO ピンの GPIO 機能によって、デジタル・ホストはその他のデジタル・ホスト GPIO ピンを使用するのではなく AD4695/AD4696 の SPI を通じて、システム内の他のデバイスのロジック出力をモニタしたりロジック入力を制御したりできます。必要なデジタル・アイソレーション・チャンネルの数を減らすことができるため、AD4695/AD4696 の GPIO 機能は、デジタル的に絶縁されたアプリケーションで特に有効です。

BSY\_ALT\_GPO ピンが汎用入力に設定されている場合、BSY\_ALT\_GPO ピンはシステム内の他のデバイスのロジック出力に接続でき、デジタル・ホストは GPIO\_STATE レジスタを読み出して BSY\_ALT\_GPO ピンの状態をモニタできます。GPIO\_STATE レジスタの GPI\_READ フィールドのビット 0 が、BSY\_ALT\_GPO ピンの状態を示します（表 52 を参照）。BSY\_ALT\_GPO ピンのロジック入力閾値は、表 1 において  $V_{IL}$  および  $V_{IH}$  で仕様規定されています。

BSY\_ALT\_GPO ピンが汎用出力に設定されている場合、BSY\_ALT\_GPO ピンは他のマルチプレクサやプログラマブル・ゲイン・アンプなどシステム内の他のデバイスのロジック入力に接続でき、デジタル・ホストは GPIO\_STATE レジスタに書き込みを行ってこの信号の状態を設定できます。GPIO\_STATE レジスタの GPO\_WRITE フィールドのビット 0 が、汎用出力として設定されている場合の BSY\_ALT\_GPO ピンの状態を制御します（表 52 を参照）。BSY\_ALT\_GPO ピンのロジック出力閾値は、表 1 において  $V_{OL}$  および  $V_{OH}$  で仕様規定されています。

## デバイスのリセット

デバイス・リセットにより、AD4695/AD4696 の設定レジスタが再初期化されます。AD4695/AD4696 には、ハードウェア・リセット、ソフトウェア・リセット、POR など、デバイスをリセットするためのオプションがいくつかあります。

ハードウェア・リセット、ソフトウェア・リセット、POR はすべて、ステータス・レジスタの RESET\_FLAG ビットをアサートします。RESET\_FLAG ビットは、読み出してクリアするビットで、ステータス・レジスタからの有効な読出し後は自動的に 0 に設定されます。RESET\_FLAG ビットは、デバイスがデバイス・リセットを実行したことを確認するため、またはリセットが意図せずに実行された場合に、デジタル・ホストが使用できます。

すべてのデバイス・リセット方法で、リセット命令が開始されてから AD4695/AD4696 の SPI がデジタル・ホストからの通信を受信する準備が整うまで、一定の遅延時間が必要です。このデバイス・リセット遅延は図 99～図 106 および表 2 に示されています。デジタル・ホストが、デバイスの準備が整う前に SPI 読出しまたは書き込みトランザクションを実行しようとする、トランザクションは無効とみなされ、SPI\_STATUS の NOT\_RDY\_ERROR ビットが 1 にセットされます。NOT\_RDY\_ERROR ビットは R/WIC ビットで、リセットされるのは有効なレジスタ書き込みトランザクションで 1 にセットされた場合のみです。

## ハードウェア・リセット

ハードウェア・リセットは、RESET 立下がりエッジで開始されます。図 99 に、ハードウェア・リセットを実行するためのタイミング図を示します。t<sub>RESETL</sub> は、RESET ローとなっていることが必要な最小時間量で、t<sub>HWR\_DELAY</sub> は、RESET 立下がりエッジから SPI フレームの開始までにデジタル・ホストが待機する必要がある時間です（表 2 を参照）。

内部 LDO が VDD を供給し、ハードウェア・リセットの前にデイスエーブルされている場合、内部 LDO はハードウェア・リセットによってイネーブルされ、内部 LDO の出力が VDD の必要最低電圧に達するだけの追加遅延が必要となります（パワーオン・リセットのセクションを参照）。

## ソフトウェア・リセット

ソフトウェア・リセットを開始するには、SPI\_CONFIG\_A レジスタの SW\_RST\_MSB ビットと SW\_RST\_LSB ビットを 1 に設定します。ソフトウェア・リセットは、SPI\_CONFIG\_A レジスタを除き、レジスタの情報のセクションに示されているすべての設定レジスタの状態をデフォルト値に再初期化します。ソフトウェア・リセットが完了すると、SW\_RST\_MSB ビットと SW\_RST\_LSB ビットは自動的にクリアされません。図 100 に、ソフトウェア・リセットを実行するためのタイミング条件を示します。t<sub>SWR\_DELAY</sub> は、ソフトウェア・リセットから新しい SPI フレームの開始までにデジタル・ホストが待機する必要がある時間です（表 2 を参照）。

パワーオン・リセット (PORs)

PORは、VDDまたはVIOが最初に供給されたときに開始されます。POR イベントが検知されると、AD4695/AD4696 の設定レジスタはデフォルト値に初期化されますが、それでもなお、POR後にハードウェア・リセットまたはソフトウェア・リセットを実行することを推奨します。

図 101 に、VIO が既に供給されている場合の VDD POR のタイミング図を示します。t<sub>POR\_VDD</sub> は、VDD が最初に供給されてから SPI フレームが開始されるまでにデジタル・ホストが待機する必要がある時間です (表 2 を参照)。図 102 に、VDD が既に供給されている場合の VIO POR のタイミング図を示します。t<sub>POR\_VIO1</sub> は、VIO が最初に供給されてから SPI フレームが開始されるまでにデジタル・ホストが待機する必要がある時間です (表 2 を参照)。

VDD が内部 LDO から供給されている場合、VDD POR は、内部 LDO 出力が少なくとも最小 VDD 仕様値まで VDD を駆動した場合にトリガされます。内部 LDO 出力がイネーブルされるのは、LDO\_IN と VIO が共に供給された場合と、SETUP レジスタの LDO\_EN ビットが 1 に設定されている場合のみです (内部 LDO のセクションを参照)。

図 103 に、VIO が既に供給されている場合の LDO\_IN POR のタイミング図を示します。t<sub>POR\_LDO</sub> は、LDO\_IN が最初に供給されてから SPI フレームが開始されるまでにデジタル・ホストが待機する必要がある時間です。

図 104 に、内部 LDO が VDD を供給するために使用されている場合の VIO POR のタイミング図を示します。t<sub>POR\_VIO2</sub> は、VIO が供給されてから SPI フレームが開始されるまでにデジタル・ホストが待機する必要がある時間です。

内部 LDO が VDD を供給している場合、POR が発生するのは、内部 LDO が LDO ウェイクアップ・コマンドによって、または内部 LDO がそれ以前にディスエーブルされている場合 (LDO\_EN bit=0) はハードウェア・リセットによって、イネーブルされた場合です。図 105 に、内部 LDO が LDO ウェイクアップ・コマンドによってイネーブルされている場合の POR のタイミング図を示します。t<sub>WAKEUP\_SW</sub> は、LDO ウェイクアップ・コマンドから新しい SPI フレームが開始されるまでにデジタル・ホストが待機する必要がある時間です。図 106 に、内部 LDO がハードウェア・リセットによってイネーブルされている場合の POR のタイミング図を示します。t<sub>WAKEUP\_HW</sub> は、ハードウェア・リセットから SPI フレームが開始されるまでにデジタル・ホストが待機する必要がある時間です。

t<sub>POR\_LDO</sub>、t<sub>POR\_VIO2</sub>、t<sub>WAKEUP\_HW</sub>、t<sub>WAKEUP\_SW</sub> はすべて、VDD デカップリング・コンデンサ (C<sub>VDD</sub>) によって異なります。C<sub>VDD</sub> の値を大きくすると、内部 LDO の出力電圧が VDD POR をトリガする最小 VDD 電源電圧に到達するまでの時間が長くなります。表 2 に、C<sub>VDD</sub> = 1μF の場合のリセット遅延の代表的な仕様値を示します。

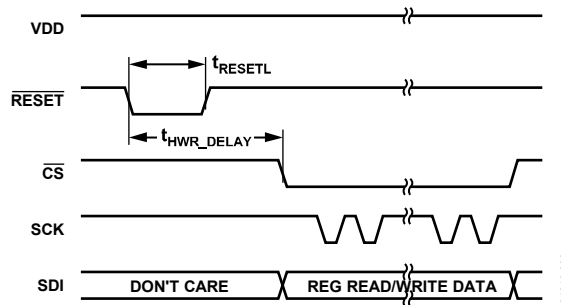


図 99. ハードウェア・リセットのタイミング図

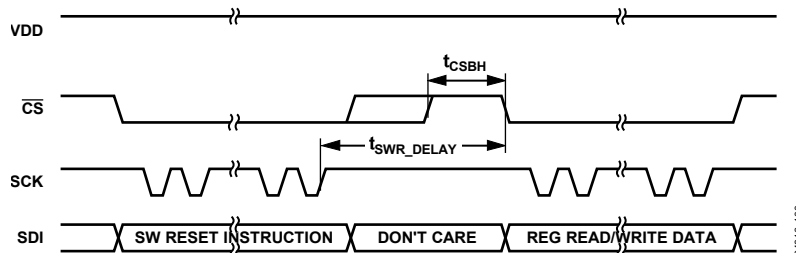


図 100. ソフトウェア・リセットのタイミング図

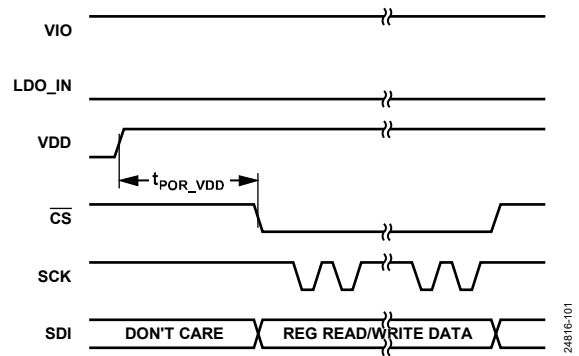


図 101. VDD POR のタイミング図

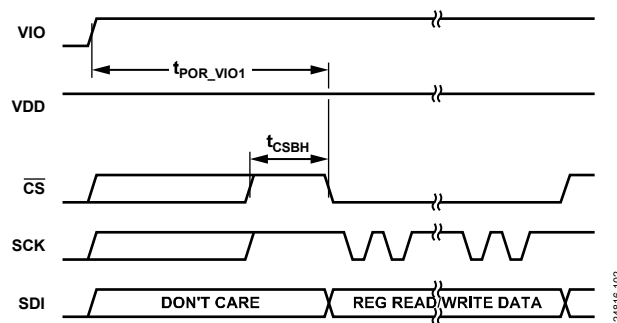


図 102. VIO POR のタイミング図 (VDD は外部供給)

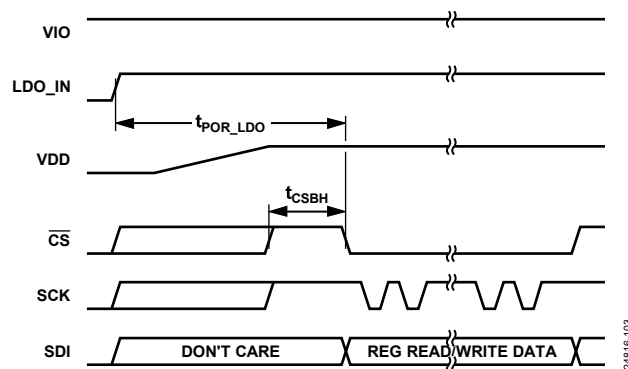


図 103. LDO\_IN POR のタイミング図 (内部 LDO が VDD を供給)

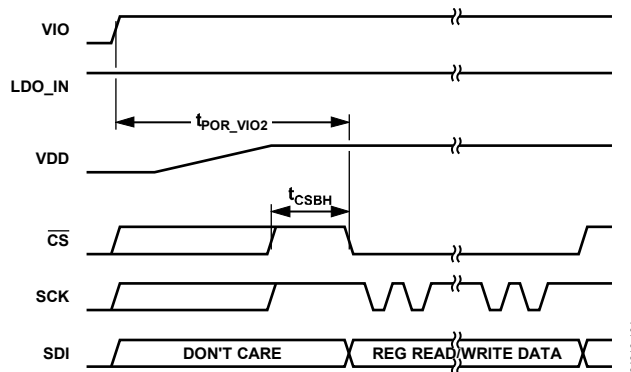


図 104. VIO POR のタイミング図 (内部 LDO が VDD を供給)

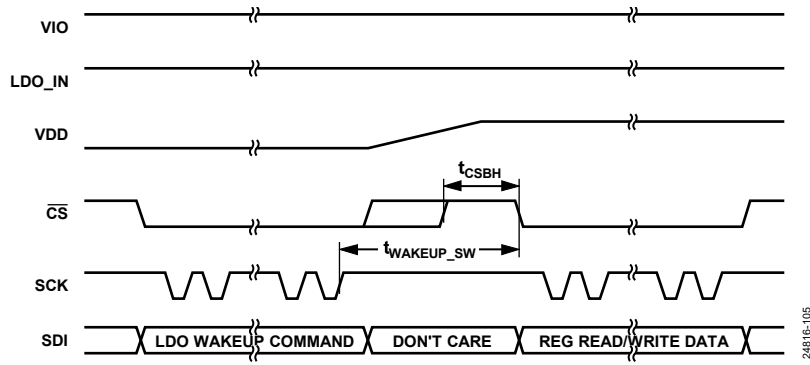


図 105. LDO ウェイクアップ・コマンド POR のタイミング図

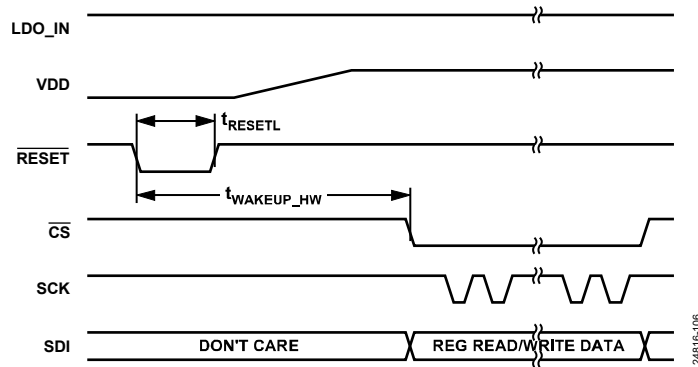


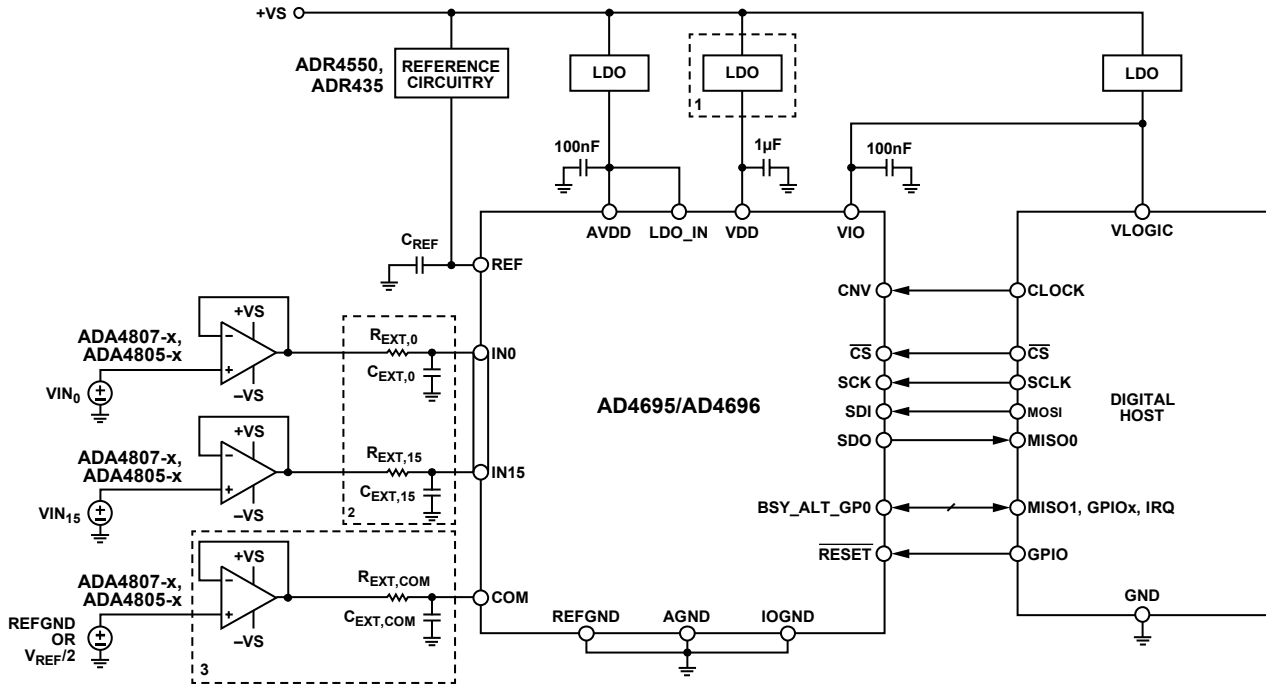
図 106. LDO がハードウェア・リセットによってイネーブルされている場合の POR のタイミング図

## アプリケーション情報

図 107 に、AD4695/AD4696 の付随回路の推奨接続図を示します。

AD4695/AD4696 の付随回路には、電源、電圧リファレンス回路、アナログ・フロントエンド・シグナル・コンディショニング、SPI 互換デジタル・コントローラ（他にオプションのデジタル・

アイソレーション）が含まれます。以下のセクションでは、一般的なアプリケーション条件に基づいて AD4695/AD4696 の付随回路を選択し接続するための、推奨事項や提案事項を説明します。



1. DEDICATED +1.8V SUPPLY FOR VDD NOT REQUIRED WHEN USING INTERNAL LDO
2.  $R_{EXT,x}$  AND  $C_{EXT,x}$  REPRESENT EXTERNAL INPUT RC FILTERS FOR ANALOG INPUT  $IN_x$  OR COM
3. DEDICATED ADC DRIVER FOR COM INPUT NOT REQUIRED IF CONNECTING COM TO REFGND

図 107. 代表的な接続図

24816-107

## アナログ・フロントエンド設計

通常、AD4695/AD4696 のアナログ・フロントエンド付随回路には、測定される信号と AD4695/AD4696 のアナログ入力に間に配置される、外付け RC フィルタと ADC ドライバまたは高精度オペアンプが含まれます。

AD4695/AD4696 のアナログ入力を駆動するアナログ・フロントエンド回路の部品選択および設計は、システムの全体性能に直接影響します。アナログ・フロントエンドは、システムの目標ノイズ、精度、歪み、最終アプリケーションの設定条件を考慮して設計する必要があります。以下のセクションでは、これらの条件に基づいてアナログ・フロントエンド回路とシグナル・コンディショニング回路を設計するための推奨事項について説明します。

### 外付け RC フィルタ

外付け RC ローパス・フィルタは、外付けの抵抗とコンデンサ（図 64 と図 107 において  $R_{EXT}$  および  $C_{EXT}$  と表示）で構成されます。これらの部品は、アナログ・フロントエンド回路からの広帯域幅ノイズを削減し、アナログ入力で発生する電圧キックバックを抑止し、また、アナログ入力を過電圧イベントから保護するように作用します。こうした機能のために適切な値の  $R_{EXT}$  と  $C_{EXT}$  を選択する方法については、[アナログ・フロントエンドのノイズに関する考慮事項](#)のセクション、[シグナル・セトリング条件](#)のセクション、[アナログ入力過電圧保護](#)のセクションで説明します。

$C_{EXT}$  は歪みアーティファクトを抑制するために NP0 セラミック・コンデンサとし、PCB レイアウトは  $C_{EXT}$  とアナログ入力ピンの間の寄生インピーダンスを最小限に抑えるようにしてください。詳細については、[レイアウトのガイドライン](#)のセクションを参照してください。

### シグナル・セトリング条件

[コンバータの動作](#)のセクションと[アナログ入力](#)のセクションで説明しているように、AD4695/AD4696 のアナログ入力 (IN0～IN15 および COM) は、内部のアナログ・マルチプレクサを通じて ADC コア入力に接続されています。

図 64 に示すように、ADC コアの容量性 DAC は、スイッチ付き容量性負荷で代用できます。

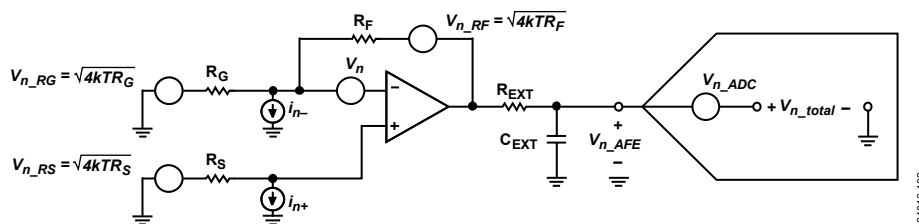


図 108. 代表的な ADC アナログ・フロントエンド回路のノイズ源

変換フェーズの開始時、マルチプレクサ・スイッチは切断され、その時点で選択されているアナログ入力チャンネルの電圧が容量性 DAC でサンプリングされます。アキュイジション・フェーズの間は、マルチプレクサ・スイッチ ( $SW_{MUX+}$  および  $SW_{MUX-}$ ) が閉じて、次に選択するアナログ入力チャンネルを容量性 DAC に接続します。これらのスイッチが閉じられると、容量性 DAC の電圧と選択したアナログ入力ピンの電圧の差が原因となって、電圧グリッチ（一般にはキックバックと呼ばれます）が発生します。

AD4695/AD4696 の仕様規定された性能を実現するには、次の変換フェーズ（次の CNV 立上がりエッジ）が始まる前に、このキックバックが ADC コアの半 LSB 以内までセトリングする必要があります。キックバック電圧がセトリングするレートは、アナログ・フロントエンド回路のトランジェント特性と帯域幅によって異なります。そのため、信号のセトリング条件によって、許容可能な最小限のアナログ・フロントエンド帯域幅が決まり、ドライバ・アンプと外付け RC フィルタの選択に制約を加えています。

表 23 に、異なるサンプリング・レートと信号帯域幅について、推奨するアンプと外付け RC フィルタ部品の一覧を示します。[アナログ入力高インピーダンス・モード](#)のセクションの図 69 と図 70 には、異なるアンプと外付け RC 部品値での、SNR と THD の性能が示されています。

アナログ入力高インピーダンス・モードは、電圧キックバックの大きさを最小限に抑制することで、アナログ・フロントエンドの帯域幅条件を大幅に緩和しています。図 20 に、アナログ入力高インピーダンス・モードが有効な場合と無効な場合でのキックバックの大きさの違いを示します。

### アナログ・フロントエンドのノイズに関する考慮事項

アナログ・フロントエンドのノイズの大きさは、AD4695/AD4696 のシグナル・チェーン全体のダイナミック・レンジと SNR 性能に直接影響します。システム全体の目標ノイズ仕様を達成できるアナログ・フロントエンドの部品と構成を選択してください。

図 108 に、代表的なアナログ・フロントエンド回路の主要ノイズ源を図示します。



すべてのノイズ源がガウシアンで無相関であると仮定すると、システム全体の実効値ノイズ ( $v_{n\_total}$ ) は次式で計算されます。

$$v_{n\_total} = \sqrt{v_{n\_AFE}^2 + v_{n\_ADC}^2}$$

ここで、 $v_{n\_AFE}$  は、アナログ・フロントエンドの出力換算 (RTO) 実効値ノイズ。

$v_{n\_ADC}$  は、AD4695/AD4696 の入力換算実効値ノイズ。

推定されるシステム・ダイナミック・レンジ ( $DR_{total}$ ) は、システム実効値ノイズとフルスケール入力範囲の指標となります。

$$DR_{total} = 20 \log \left( \frac{V_{REF} / (2\sqrt{2})}{v_{n\_total}} \right)$$

AD4695/AD4696 の入力換算実効値ノイズ仕様値 ( $v_{n\_ADC}$ ) は  $37.8 \mu\text{V rms}$  (代表値) です (表 1 を参照)。図 109 に、 $v_{n\_ADC} = 37.8 \mu\text{V rms}$ 、 $V_{REF} = 5\text{V}$  での代表的なシステム・ダイナミック・レンジと  $v_{n\_AFE}$  の関係を示します。 $v_{n\_AFE}$  が  $13 \mu\text{V rms}$  未満の場合、システム全体のダイナミック・レンジは、AD4695/AD4696 のダイナミック・レンジ仕様値の  $0.5\text{dB}$  以内にとどまります (表 1 を参照)。

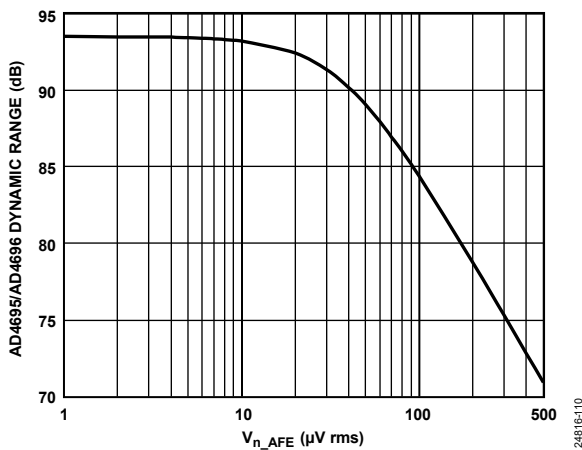


図 109. AD4695/AD4696 の代表的なダイナミック・レンジと  $v_{n\_AFE}$  の関係、 $V_{REF} = 5\text{V}$

アナログ・フロントエンドの RTO ノイズ ( $v_{n\_AFE}$ ) は、アナログ・フロントエンド内の各構成要素の実効値ノイズに等しく、外付け RC フィルタ (図 107 および外付け RC フィルタのセクションの  $R_{EXT}$  と  $C_{EXT}$ ) の出力に換算されます。RC フィルタの帯域幅がアンプ回路の帯域幅より大幅に小さいと仮定すると、 $v_{n\_AFE}$  は、これらの各要素のノイズ・スペクトル密度 (アンプ出力換算) に RC フィルタの実効ノイズ帯域幅 ( $ENBW_{RC}$ ) を乗じたものと等しくなります。ここで、

$$ENBW_{RC} = \sqrt{\frac{\pi}{2}} \times \frac{1}{2\pi R_{EXT} C_{EXT}}$$

および、

$$v_{n\_AFE} = ENBW_{RC} \times$$

$$\sqrt{4kTR_F + \left(1 + \frac{R_F}{R_G}\right)^2 \left(4kTR_S + (i_{n+} \times R_S)^2 + v_n^2\right) + \left(\frac{R_F}{R_G}\right)^2 4kTR_G + (i_{n-} \times R_F)^2}$$

ここで、

$k$  は、ボルツマン定数。

$T$  は、絶対温度 (ケルビン)。

$R_F$  および  $R_G$  は、帰還回路網の抵抗 (図 108 を参照)。

$R_S$  はソース抵抗 (図 108 を参照)。

$i_{n+}$  および  $i_{n-}$  は、アンプ入力電流のノイズ・スペクトル密度 ( $\text{pA}/\sqrt{\text{Hz}}$ )。

$v_n$  は、アンプ入力電圧のノイズ・スペクトル密度 ( $\text{nV}/\sqrt{\text{Hz}}$ )。

$v_{n\_AFE}$  の詳細な導出とアナログ・フロントエンド部品および構成の関係については、MT-049 と MT-050 を参照してください。

## 擬似バイポーラ・モードでのアナログ・フロントエンドのノイズ

擬似バイポーラ・モードでチャンネルを設定している場合、通常は、負側入力を  $V_{REF}/2V$  に駆動するために 2 つめのアナログ・フロントエンド回路が必要です (チャンネル設定オプションのセクションを参照)。この場合、追加のアナログ・フロントエンドの RTO 実効値ノイズ ( $v_{n\_AFE2}$ ) を二乗和平方根 (rss) の式に追加して、システム全体の实効値ノイズを計算します。

$$v_{n\_total} = \sqrt{v_{n\_AFE}^2 + v_{n\_AFE2}^2 + v_{n\_ADC}^2}$$

AD4695/AD4696 のアナログ入力のセトリング条件があるため、RC フィルタの帯域幅および  $R_{EXT}$  と  $C_{EXT}$  の値は任意に低く設定することはできない点に注意してください。目標サンプリング・レートに対して最適な RC フィルタ部品を選択するためのガイドラインについては、シグナル・セトリング条件のセクションを参照してください。

## ドライバ・アンプ選択のガイドライン

最終システム条件に基づいて AD4695/AD4696 のアナログ・フロントエンドで使用されるアンプを選択するためのガイドラインを以下に列挙します。

**アナログ・フロントエンドのノイズに関する考慮事項**のセクションで説明しているように、目的の実効値ノイズとダイナミック・レンジ性能を実現するには、アンプの電圧と電流のノイズ仕様値が十分に低いことが必要です。

アンプの歪み性能は、目的の THD 性能を実現するのに十分である必要があります。AD4695/AD4696 の THD に関するデータシートの仕様値を満たすためには、アンプ回路の歪み仕様がそれと同等かそれ以下であることが必要です。

**シグナル・セトリング条件**のセクションで説明しているように、アンプの小信号帯域幅は、2 つのアナログ入力チャンネル間の切り替え時に発生する電圧ステップを適切にセトリングするために必要な最小帯域幅より十分大きいことが必要です。

また、アンプには、フルスケール信号を AD4695/AD4696 のアナログ入力に適切に出力するための十分な供給ヘッドルームがあることが必要です (表 1 の入力電圧範囲のセクションを参照)。所定のチャンネルに対する目的のフルスケール・レンジをサポートするために必要な電源電圧を決定するには、アンプのデータシートの入出力ヘッドルーム条件を参照してください。

ADA4805-1、ADA4807-1 およびそれらのデュアル・アンプ・モデルとクロッド・アンプ・モデルは、極めて低ノイズ、低歪み、広帯域幅であるため、AC 波形を取得するチャンネルにとって最適なアンプです。

ADA4610-1、ADA4077-1 およびそれらのデュアル・アンプ・モデルとクロッド・アンプ・モデルは、高分解能を必要とする DC

または低周波数信号をモニタリングするチャンネルにとって最適なアンプです。ADA4610-1、ADA4077-1、または同様の帯域幅仕様を持つアンプで直接駆動する場合には、適切なセトリング性能を確保するために、AD4695/AD4696 のアナログ入力チャンネルでアナログ入力高インピーダンス・モードを有効化することを推奨します（シグナル・セトリング条件のセクションとアナログ入力高インピーダンス・モードのセクションを参照）。

表 23. 推奨するアンプと、外付け RC フィルタの部品を選択する場合の推奨値

Input Signal Bandwidth (kHz)	Sample Rate	Amplifier	R <sub>EXT</sub> (Ω)	C <sub>EXT</sub> (pF)
≤10	≤1 MSPS	ADA4805-1/ADA4805-2	390	180
		ADA4807-1/ADA4807-2/ADA4807-4	390	180
		ADA4610-1/ADA4610-2/ADA4610-4	680	180
		ADA4077-1/ADA4077-2/ADA4077-4	680	180
	≤500 kSPS	ADA4805-1/ADA4805-2	680	180
		ADA4807-1/ADA4807-2/ADA4807-4	680	180
		ADA4610-1/ADA4610-2/ADA4610-4	680	470
		ADA4077-1/ADA4077-2/ADA4077-4	680	470
>10	≤1 MSPS	ADA4805-1/ADA4805-2	200	180
		ADA4807-1/ADA4807-2/ADA4807-4	200	180
		ADA4896-2	200	180
	≤500 kSPS	ADA4805-1/ADA4805-2	390	180
		ADA4807-1/ADA4807-2/ADA4807-4	390	180
		ADA4896-2	390	180

## アナログ入力過電圧保護

外付けフィルタの外付け抵抗 (図 64、図 107、図 110 の  $R_{EXT}$ ) は、アナログ入力を過電圧から保護する入力過電圧保護クランプとして機能します (入力過電圧保護クランプのセクションを参照)。

過電圧イベントは、 $IN0 \sim IN15$  または  $COM$  の入力電圧がクランプ・アクティブ化電圧仕様値 (図 110 の  $V_{ACT}$ ) を超えたために過電圧保護クランプがアクティブ化するようなイベントとして定義されます。 $V_{ACT}$  電圧の最大仕様値は  $V_{REF} + 0.55V$  です (表 1 を参照)。

該当のチャンネルのクランプは、アクティブになると、ソースからの電流をグラウンドにシンクし (図 110 の  $I_{CLAMP}$  を参照)、その結果、 $R_{EXT}$  で電圧降下が発生します。AD4695/AD4696 の過電圧保護クランプは、最大で  $5mA$  までの  $I_{CLAMP}$  電流に対応します (表 1 を参照)。そのため、 $R_{EXT}$  は、アナログ入力ピンの電圧を印加電圧 ( $V_{IN}$ ) から分離します。対象となるアナログ入力

でサポートできる  $V_{IN}$  の最大電圧値は、 $V_{REF}$  および  $R_{EXT}$  の関数です。次の関係式を使用すると、 $V_{REF}$  と最大予想  $V_{IN}$  電圧値が与えられた場合に、クランプ電流を最大サポート電流 ( $5mA$ ) に制限するために必要な  $R_{EXT}$  の値が求められます。

$$R_{EXT} + V_{IN,max} - V_{REF}/5mA \text{ (}\Omega\text{)}$$

例えば、アナログ入力ソースが、 $7.5V$  まで振幅する可能性があり、 $V_{REF} = 5V$  の場合、クランプ電流を  $5mA$  に制限するには、 $R_{EXT}$  を約  $500\Omega$  とする必要があります。クランプ電流制限に基づいてこの抵抗の大きさを定めた場合、適切な入力帯域幅を確実に実現できるよう、 $C_{EXT}$  は慎重に選択する必要があります (詳細については、[アナログ・フロントエンドのノイズに関する考慮事項](#)のセクションと[シグナル・セトリング条件](#)のセクションを参照)。

$R_{EXT}$  の値は、必要に応じ、過電圧保護クランプ回路の安定性を確保できるよう選択する必要があります。詳細については、[過電圧保護クランプの安定性](#)のセクションを参照してください。

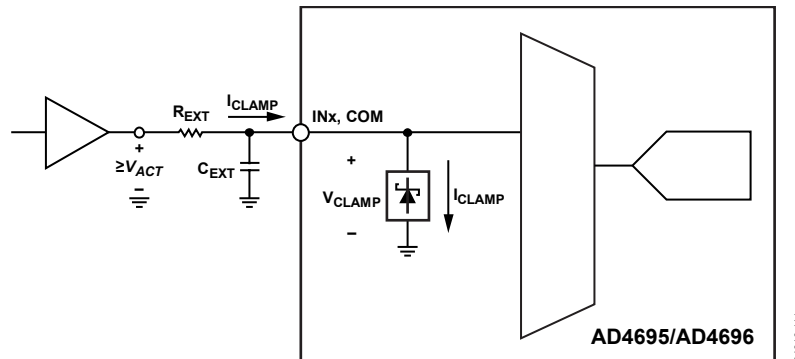


図 110. アナログ入力過電圧イベント

## リファレンス回路設計

AD4695/AD4696 の  $V_{REF}$  により、ADC コアのフルスケール・レンジが設定され、所定のアナログ入力電圧に対する結果の出力コードが定まります（[伝達関数](#)のセクションを参照）。そのため、 $V_{REF}$  の電圧値は、システム全体の精度と AC 性能に直接影響します。AD4695/AD4696 のリファレンス付随回路は、最終アプリケーションに対して適切なノイズ性能、精度、ドリフト、シグナル・セトリング特性が備わっている必要があります。

REF 入力は動的な電流負荷で、ADC コアの変換フェーズの間にリファレンス回路から電荷を引き出します。また、リファレンス回路は ADC が変換を実行している間に安定した  $V_{REF}$  を保ち、性能（つまりゲイン誤差）を維持できる必要があります。

AD4695/AD4696 のリファレンス入力高インピーダンス・モードは、有効化された場合、REF の平均電流の大きさを大幅に削減します。リファレンス入力高インピーダンス・モードによって、リファレンス回路の駆動条件が大きく緩和されるため、システム設計者は DC 精度、消費電力、システムのフットプリントなどの目標を優先させることができます。

図 111 に、AD4695/AD4696 の付随リファレンス回路の代表的な接続図を示します。リファレンス回路は、電圧リファレンス、 $C_{REF}$ 、すべての付随リファレンス・バッファまたはアナログ・ローパス・フィルタリングで構成されます。リファレンス・バ

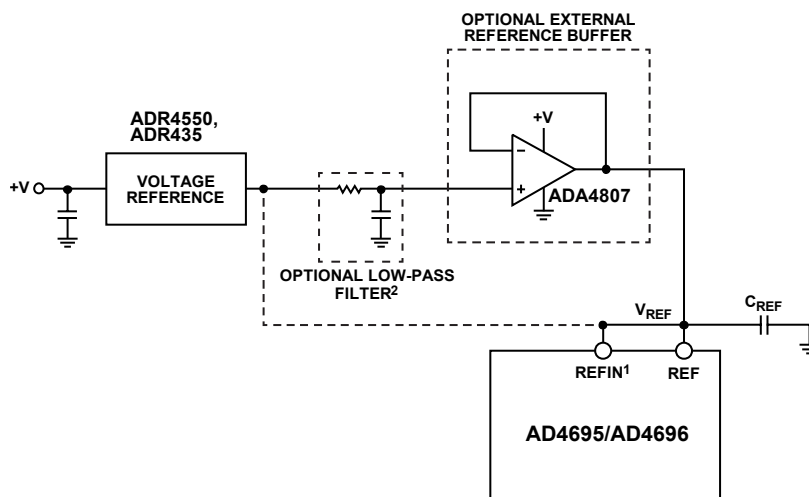
ッファが必要となるのは、選択した電圧リファレンスに、目的の ADC サンプリング・レートで REF 入力を駆動できる適切な負荷レギュレーションがない場合です（REF 入力駆動のためのリファレンス回路設計を参照）。

$C_{REF}$  は、ADC コアが変換フェーズの一部としてビット・トライアルを実行するために必要な電荷を供給し、また、その他のリファレンス回路からのノイズを除去します。 $C_{REF}$  は、ADC のビット・トライアルの間に  $V_{REF}$  に偏差が生じるのを防ぐだけの大きさであることが必要です。リファレンス入力高インピーダンス・モードが有効な場合、REF 入力から引き出される電荷の量は大幅に削減されるため、 $C_{REF}$  の最小容量を小さくできます。リファレンス入力高インピーダンス・モードが無効な場合は、 $C_{REF}$  は  $10\mu\text{F}$  とすることを推奨します。リファレンス入力高インピーダンス・モードが有効な場合には、推奨される  $C_{REF}$  は  $1\mu\text{F}$  です。

AD4695/AD4696 に関するリファレンス回路の PCB レイアウトは、最適性能を確保するうえで重要です。[レイアウトのガイドライン](#)のセクションで、リファレンス回路部品のレイアウトに関する推奨事項およびガイドラインを説明しています。

## REF 入力駆動のためのリファレンス回路設計

図 111 に、AD4695/AD4696 の REF 入力を駆動するリファレンス回路の代表的な接続図を示します。



<sup>1</sup>WHEN DRIVING REF DIRECTLY ON WLCSP OPTION, SHORT REFIN TO REF AND ENSURE THE INTERNAL REFERENCE BUFFER AND REFERENCE BUFFER BYPASS OPTION ARE DISABLED. (REFBUF\_EN = REFBUF\_BP = 0)

<sup>2</sup>ADDITIONAL LOW-PASS FILTERING MUST NOT BE IMPLEMENTED WITHOUT A REFERENCE BUFFER.

24816-112

図 111. REF 入力駆動のための代表的な接続図

REF 入力を駆動するデバイスは、リファレンス入力電流によって  $V_{REF}$  に偏差が生じ、目標とするシステム性能が阻害されてしまうことのないよう、出力インピーダンスが十分に低いことが必要です。データシートの性能を達成するには、 $V_{REF}$  は半 LSB 以内にとどまる必要があります。したがって、REF 入力を駆動するデバイスの最大出力インピーダンス ( $R_{o\_max}$ ) は、次式となります。

$$R_{o\_max} = \frac{V_{REF} / 2^{(16+1)}}{I_{REF}}$$

ここで、 $I_{REF}$  は、平均の REF 入力電流です。

大半の電圧リファレンスは負荷レギュレーションを ppm/mA 単位で仕様規定しています。これは、次式を用いて実効出力インピーダンスに変換できます。

$$L_{max} = 1000 \times \frac{R_{o\_max}}{V_{REF}}$$

ここで、 $L_{max}$  は、ppm/mA を単位とした電圧リファレンスに対する負荷レギュレーション仕様値で、計算した  $R_{o\_max}$  に対応します。

$I_{REF}$  は、リファレンス入力高インピーダンス・モードが有効な場合は 1MSPS で 11 $\mu$ A (代表値)、リファレンス入力高インピーダンス・モードが無効な場合は 1MSPS で 320 $\mu$ A です (ユニポーラ・モードの場合)。 $I_{REF}$  は、ADC のサンプリング・レートに比例して増加します (表 1 および図 39 を参照)。そのため、リファレンス回路の出力インピーダンスと負荷レギュレーションの条件は、サンプリング・レートが低くなるほど緩和されます。表 24 に、リファレンス入力高インピーダンス・モードが無効な場合と有効な場合について、 $V_{REF} = 5V$  で異なるサンプリング・レートに対する、 $R_{o\_max}$  および  $L_{max}$  の計算値を示します。また、表 24 には、これらの条件ごとに推奨される電圧リファレンスとディスクリット・リファレンス・バッファも示します。

表 24. リファレンス回路の推奨事項、REF 入力

Sample Rate	Reference Input High-Z Mode	$I_{REF}$ ( $\mu$ A)	$R_{o\_max}$ ( $\Omega$ )	$L_{max}$ (ppm/mA)	Recommended Voltage References and Reference Buffers
1 MSPS	Disabled	320	0.12	24	<a href="#">ADR4550</a> with ADA4807-1, <a href="#">ADR445</a> with ADA4807-1, <a href="#">ADR435</a>
1 MSPS	Enabled	12	3.2	640	<a href="#">ADR4550</a> , <a href="#">ADR445</a> , <a href="#">ADR435</a>
500 kSPS	Disabled	160	0.24	48	<a href="#">ADR445</a> with ADA4807-1, <a href="#">ADR4550</a> , <a href="#">ADR435</a>
500 kSPS	Enabled	6	6.4	320	<a href="#">ADR4550</a> , <a href="#">ADR445</a> , <a href="#">ADR435</a>

## コードと電圧の間の変換

伝達関数のセクションでは、AD4695/AD4696 の ADC コアによってサンプリングされるアナログ入力電圧とその結果の出力コードの関係について説明しています。取り得る出力コード値 (CODE<sub>OUT</sub>) のそれぞれに対応するアナログ入力電圧 (V<sub>INx</sub>) は、次式のように、V<sub>REF</sub> 電圧および選択したチャンネルの OSR 設定と極性モードの関数です。

$$V_{INx} = LSB \times CODE_{OUT} = \frac{V_{REF}}{2^N} \times CODE_{OUT}$$

ここで、

LSB は LSB の大きさ。

N は出力コードの分解能です。AD4695/AD4696 の ADC コアは 16 ビットの結果 (N=16) を出力しますが、出力コードの分解能は、対象チャンネルについて選択された OSR (DR) の関数です。

$$N = 16 \log_4(OSR)$$

OSR は 1、4、16、または 64 に設定できますが、これはそれぞれ、16、17、18、19 の出力コード分解能に対応します。表 7～表 10 に、各 OSR に対する負および正のフルスケール出力コードを示します。チャンネルごとの OSR の設定に関する詳細は、オーバーサンプリングおよびデシメーションのセクションを参照してください。

選択したチャンネルの極性モードによって、CODE<sub>OUT</sub> が使用するのがストレート・バイナリ形式か 2 の補数形式かが決まります。ユニポーラ・モードが選択されている場合、CODE<sub>OUT</sub> はストレート・バイナリで、そのため、符号なし整数値となります。擬似バイポーラ・モードが選択されている場合、CODE<sub>OUT</sub> は 2 の補数エンコードを使用し、そのため、符号付き整数値となります。各チャンネルの極性モード設定の詳細については、チャンネル設定オプションのセクションを参照してください。

各チャンネルのオフセット補正とゲイン補正の設定によって AD4695/AD4696 の伝達関数が変更され、観測された伝達関数が理想値から外れる原因となる、システムの一次の不正確さを補正します。システム・キャリブレーション中に各チャンネルのオフセットおよびゲイン・フィールドを更新してください。オフセットおよびゲイン・フィールドによって AD4695/AD4696 の伝達関数がどのように変更されるかについては、オフセットおよびゲイン補正のセクションを参照してください。

## ノイズ低減のためのオーバーサンプリング

AD4695/AD4696 には、デジタル・ドメインでのシステムの全実効ガウシアン・ノイズを低減する手段として、オーバーサンプリングおよびデシメーション機能が内蔵されています (オーバーサンプリングおよびデシメーションのセクションを参照)。アナログ・フロントエンド・ノイズがガウシアンと仮定すると、オーバーサンプリング後の実効システム・ノイズ (V<sub>n,OSR</sub>) は次式で表せます。

$$V_{n,OSR} = \frac{V_{n,total}}{\sqrt{OSR}}$$

ここで、OSR は対象のアナログ入力チャンネルのオーバーサンプリング比の設定値、V<sub>n,total</sub> は、RTO システム・ノイズ (アナログ・フロントエンドのノイズに関する考慮事項のセクションで定義) です。OSR が 1 に設定されている場合、オーバーサンプリングは行われず、実効ノイズは V<sub>n,total</sub> のままです。OSR が 4、16、64 に設定されると、ノイズはそれぞれ、2、4、8 分の 1 に減少します。

その結果、オーバーサンプリングを使用した場合のダイナミック・レンジ (DR<sub>OSR</sub>) は次のようになります。

$$DR_{OSR} = DR_{total} + 10 \log(OSR)$$

ここで、DR<sub>total</sub> は、OSR が 1 の場合のシステム・ダイナミック・レンジ (アナログ・フロントエンドのノイズに関する考慮事項のセクションで定義) です。

システムの有効ビット数 (ENOB) は、ノイズが半減するごとに 1 だけ増加します。そのため、OSR が 4 倍になると ENOB は 1 だけ増加します。これを反映して、AD4695/AD4696 のチャンネルで OSR 設定が 4、16、または 64 の場合、そのチャンネルの変換結果の分解能は、それぞれ、17、18、19 ビットに拡大します (伝達関数のセクションとシリアル・データ出力モードのセクションを参照)。

なお、オーバーサンプリングとデシメーションは、均一に分布したガウシアン・ノイズ源の電圧ノイズのみを低減し、その他の種類のノイズ源 (1/f ノイズなど) には影響しない点に注意してください。

## デジタル・インターフェース動作

図 107 に、デジタル・ホストに接続された AD4695/AD4696 のデジタル・インターフェースの代表的な接続図を示します。AD4695/AD4696 は 1 つの 4 線式 SPI 互換ホストで動作させることができますが、一部の機能には、GPIO やタイマーなどのデジタル・リソースを追加する必要があります。

以下のセクションでは、AD4695/AD4696 のインターフェースおよび機能セットと相互作用するデジタル・インターフェース接続と動作について、推奨事項を説明します。

### ADC 変換開始信号オプション

CNV 入力は、エッジでトリガされる割込みピンに似たもので、AD4695/AD4696 の ADC コアに変換を実行するよう指示を出します (コンバータの動作のセクションを参照)。CNV 入力は、AD4695/AD4696 が変換モードにある場合にのみアクティブになり、レジスタ設定モードの場合は無視されます。CNV 入力を駆動する信号の周期によって、AD4695/AD4696 のサンプリング・レートが設定され、この周期は、表 2 および図 91～図 95 の t<sub>CV</sub> の仕様値に従う必要があります。

ADC コアは、選択したチャンネルのアナログ入力電圧を CNV の立上がりエッジでサンプリングします。そのため、目標の入力周波数で必要なノイズ性能を達成するために、CNV 入力を駆動する信号は、ジッタが十分小さく、エッジ・レートが高いことが必要です。AD4695/AD4696 の CNV 入力をデジタル・ホストに接続するパターンのレイアウトはできるだけ短くし、使用するビアも最低限にして、パターンのインピーダンスを最小限に抑える必要があります (レイアウトのガイドラインのセクションを参照)。

変換モードでは、デジタル・ホストの SPI マスタ・ペリフェラルは、CNV 信号に同期し、変換モードのタイミング図のセクションで指定したタイミング条件に従う必要があります。適切な SPI タイミングを維持するための推奨事項については、変換モードでの SPI ペリフェラル同期のセクションを参照してください。

組み込みクロック分周器やタイマー・ペリフェラルは、通常、システム・クロックの整数分周を出力します。組み込みクロック分周器ペリフェラルを使用する場合、デジタル・ホストのクロック出力を CNV に接続し、クロック出力周波数を目的のサンプリング・レートに設定します。クロック出力は、AD4695/AD4696 が変換モードの間はイネーブルする必要がありますが、レジスタ設定モードの間はイネーブルとディスエーブルのどちらにすることもできます。

CNV 入力は、SPI マスタ・ペリフェラルの  $\overline{\text{CS}}$  の立上がりエッジのタイミングが確定的で周期的である場合は、その  $\overline{\text{CS}}$  出力に接続できます (図 114 を参照)。なお、OSR が 1 より大きい設定の場合、結果を SPI で読み出せるようになるまでには、複数の CNV 立上がりエッジが必要です (オーバーサンプリングおよびデシメーションのセクションを参照)。データ・レディとなる前に、SPI は、CNV/ $\overline{\text{CS}}$  フレーム中ですべて 0 を出力します。

CMOS クロック・ドライバを組み合わせた外部水晶発振器も CNV 入力を駆動できます。このオプションでは、発振器の出力と AD4695/AD4696 からのビジー・インジケータはどちらも、デジタル・ホストに接続され、タイマーまたは割込みトリガとして使用して CNV 信号と SPI マスタ・ペリフェラルとの同期を実現する必要があります (変換モードでの SPI ペリフェラル同期のセクションを参照)。

なお、自動サイクル・モードのセクションで説明しているように、自動サイクル・モードが有効化されている場合は、CNV 入力は無視され、変換は AD4695/AD4696 の内部タイマーでトリガされます。自動サイクル・モードだけを使用する場合は、CNV 入力を IOGND に接続する必要があります。自動サイクル・モードを使用する場合に、AD4695/AD4696 を SPI マスタ・ペリフェラルと同期させるには、ビジー・インジケータが必要です (自動サイクル・モードにおける SPI ペリフェラルの同期のセクションを参照)。

### SPI ペリフェラルの接続

AD4695/AD4696 には複数のシリアル・データ出力モードがあり、変換結果を 1 つまたは 2 つの MISO ラインで出力できます (シリアル・データ出力モードのセクションを参照)。シングル SDO モードが選択されている場合、SDO ピンのみがシリアル・データ出力として機能します。デュアル SDO モードが選択されている場合、SDO と BSY\_ALT\_GP0 の両方がシリアル・データ出力として機能します。

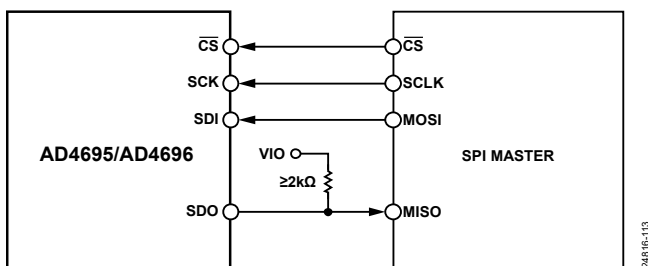
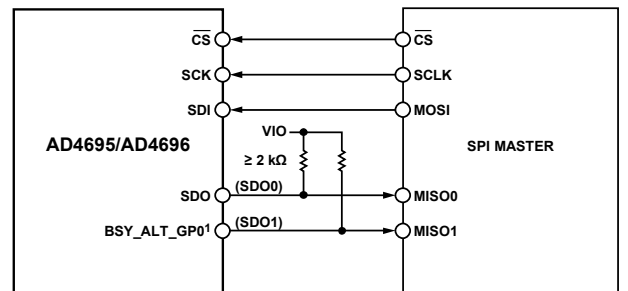


図 112. AD4695/AD4696 の SPI 接続図 (シングル SDO モード)

図 112 に、シングル SDO モードに設定されている場合に、AD4695/AD4696 の SPI をデジタル・ホストの SPI マスタ・ペリフェラルにインターフェース接続するための接続図を示します。ビジー・インジケータが SDO でイネーブルとなっている場合は特に、SDO ラインの VIO にプルアップ抵抗 (最小  $2\text{k}\Omega$ ) を接続することを推奨します (シリアル・データ出力のビジー・インジケータのセクションを参照)。



<sup>1</sup>BSY\_ALT\_GP0 FUNCTIONS AS SDO1 WHEN DUAL-SDO MODE IS ENABLED. GP1 FUNCTIONS AS SDO1.

図 113. AD4695/AD4696 の SPI 接続図 (デュアル SDO モード)

図 113 に、デュアル SDO モードに設定されている場合に、AD4695/AD4696 の SPI をデジタル・ホストの SPI マスタ・ペリフェラルにインターフェース接続するための接続図を示します。BSY\_ALT\_GP0 はデジタル・ホストの 2 番目の MISO 入力 (MISO1) に接続します。ビジー・インジケータがシリアル・データ出力でイネーブルとなっている場合は特に、SDO0 ラインと SDO1 ラインにプルアップ抵抗を接続することを推奨します (シリアル・データ出力のビジー・インジケータのセクションを参照)。

### 変換モードでの SPI ペリフェラル同期

AD4695/AD4696 には、SPI モード 3 の 4 線式 SPI があり、レジスタの内容と ADC の結果にアクセスできます。AD4695/AD4696 を動作させるには、デジタル・ホストには最低でも 4 線式 SPI 互換のペリフェラルがあることが必要です (SPI ペリフェラルの接続のセクションを参照)。

変換モードでは、SPI は、 $t_{\text{CONVERT}}$  が経過してから開始し、次の CNV 立上がりエッジの前  $t_{\text{SCKCNV}}$  以内に終了する必要があります (表 2 および変換モードのタイミング図のセクションのタイミング図を参照)。変換モードのタイミング条件が確実に満たされるようにするため、デジタル・ホストの SPI マスタ・ペリフェラルは、CNV 信号を生成するクロック源または AD4695/AD4696 からのビジー・インジケータ出力のいずれかに同期する必要があります。すべての変換モード結果が次の変換フレームが開始される前に確実にクロック・アウトされるよう、SCK の周波数が十分高いことも必要です (変換モードの SPI クロック周波数条件のセクションを参照)。

図 114 に、AD4695/AD4696 を 4 線式 SPI のみで動作させるための簡略化した接続図とソフトウェア・アーキテクチャを示します。CNV 入力は、デジタル・ホストの SPI ペリフェラルからの  $\overline{\text{CS}}$  出力で駆動されます。図 114 の構成は、アプリケーションに必要なジッタを実現するために、 $\overline{\text{CS}}$  信号が周期的で立上がりエッジ・タイミングが確定的であることが必要です。SPI フレームは、タイマー・ペリフェラルに同期する必要があり、 $\overline{\text{CS}}$  の出力は明確なデューティ・サイクルを持つことが必要です。図 96 に、図 114 の構成を使用した SPI のタイミング図を示します。

図 115 は、デジタル・ホストのカウントダウン・タイマー・ペリフェラルを使用して SPI マスタ・ペリフェラルを CNV 信号源に同期させるための、簡略化した接続図とソフトウェア・アーキテクチャです。カウントダウン・タイマーは、CNV の立上がりエッジでトリガし、 $t_{\text{CONVERT}}$  が経過するまで待機した後、転送を実行するよう SPI マスタを呼び出す割込みサービス・ルーチンをトリガします。カウントダウン・タイマーは整数値 (カウント) でプログラムされます。この値は、SPI の転送割込みルーチンを呼び出すまでに待機するための、システム・クロック (SYS\_CLK) の周期数を指定するものです。表 2 に示す最大  $t_{\text{CONVERT}}$  仕様値に相当する遅延を設定することを推奨します。実際には、大半のデジタル・ホストには、割込みサービス・ルー

チン・トリガから実行までの間に一定の遅延があります。そのため、CNV の立上がりエッジから SPI 転送の開始までの遅延は増加します。対象となるアプリケーションに最適なカウント値を決定するには、デジタル・ホストの仕様を参照してください。

図 116 は、AD4695/AD4696 のビジー・インジケータを使用して SPI マスタ・ペリフェラルを ADC 変換タイミングに同期させるための簡略化した接続図とソフトウェア・アーキテクチャです。ビジー・インジケータは、BSY\_ALT\_GP0 のビジー・インジケータのセクションで説明しているように、BSY\_ALT\_GP0 ピンでイネーブルする必要があります。デジタル・ホストは、割込みサービス・ルーチンのトリガとして設定できるデジタル入力を備えている必要があります。ビジー・インジケータはデジタル・ホストの割込み入力に接続し、割込みはビジー・インジケータの立下がりエッジでトリガするよう設定します。ビジー・インジケータの立下がりエッジは、データ・レディ信号と解釈されるため、デジタル・ホストは、ビジー・インジケータの立下がりエッジと SPI フレームの開始との間に更に遅延を追加する必要はありません。

図 116 の構成は、オーバーサンプリングを使用する場合に最適なものです。ビジー・インジケータは、オーバーサンプリングされた結果がレディ状態となるまではローにならず、それ以外の場合では追加ロジックなしに発生する冗長な SPI 転送の数が減少するためです (図 75 を参照)。

図 117 は、AD4695/AD4696 の閾値検出アラート・インジケータを使用して SPI マスタ・ペリフェラルを ADC 変換タイミングに同期させるための簡略化した接続図とソフトウェア・アーキテクチャです。アラート・インジケータは、BSY\_ALT\_GP0 のアラート・インジケータのセクションで説明しているように、BSY\_ALT\_GP0 ピンでイネーブルされている必要があります。

図 117 の構成は、ユーザ定義の領域外状態が発生するまで ADC が継続的に変換を行う間、SPI はアイドリング状態となっているような、自律的な変換アプリケーションに最適です。アラート・インジケータは、ADC の変換フェーズの最後に更新されます。そのため、SPI フレームが次の変換の開始までに終了できる場合は、その SPI フレームを開始するトリガとして使用できます。通常、アラート・インジケータの立上がりエッジで呼び出された割込みサービス・ルーチンは、SPI を呼び出して変換結果を読み出し、SDI を介してレジスタ設定モード・コマンドを送信して AD4695/AD4696 をレジスタ設定モードにします。

図 117 の構成は、AD4695/AD4696 を自動サイクル・モードで動作させる場合に最適です。この構成によって、デジタル・ホストは領域外状態が生じるまで完全にアイドリング状態となることができ、デジタル・ホストが内部変換タイミングと同期している状態を確実に維持できるためです (自動サイクル・モードにおける SPI ペリフェラルの同期のセクションを参照)。

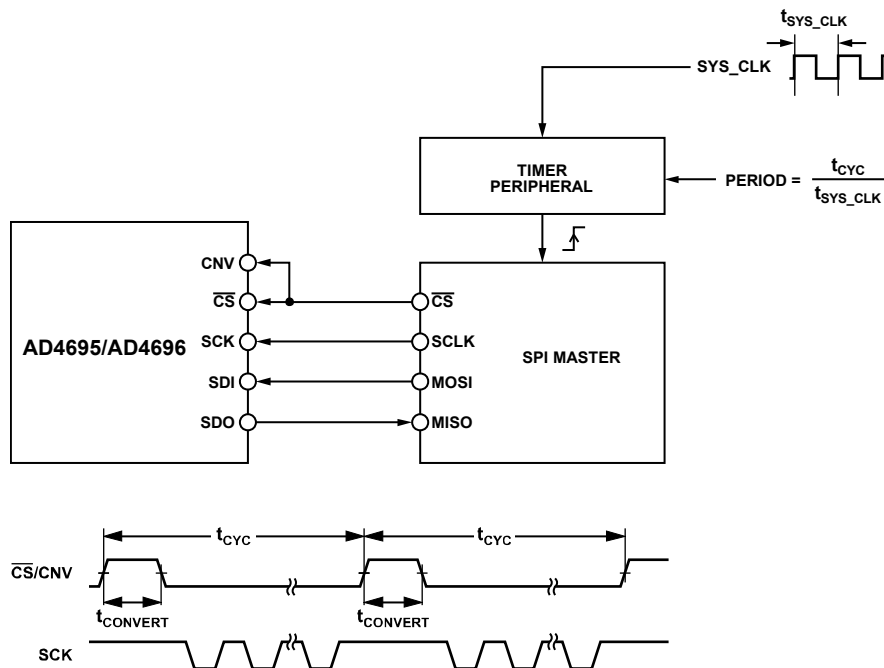


図 114. 4 線式 SPI の動作図

24816E-115



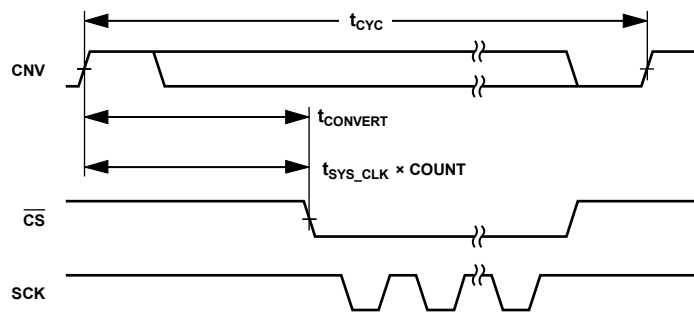
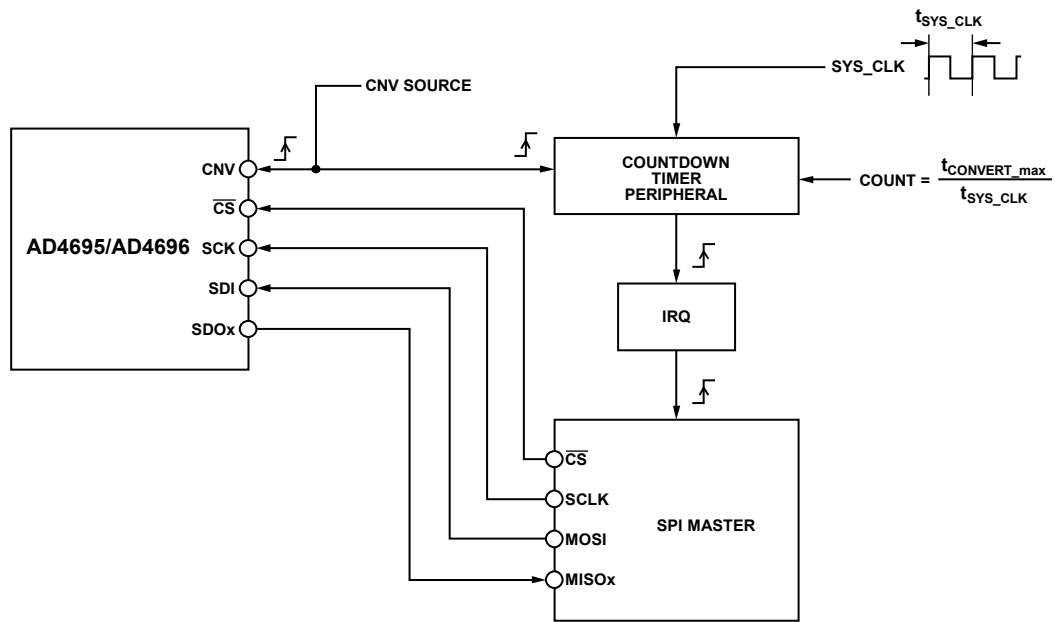


図 115. カウントダウン・タイマー・ペリフェラルとの SPI 同期

24816-116

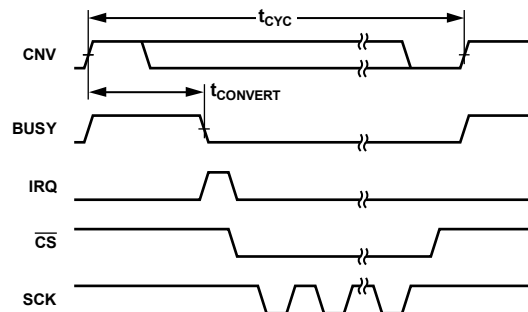
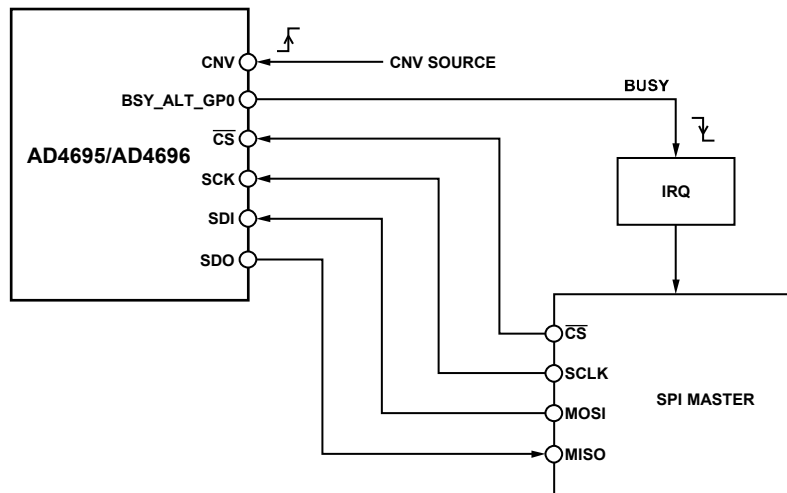


図 116. ビジー・インジケータとの SPI 同期

24816-117

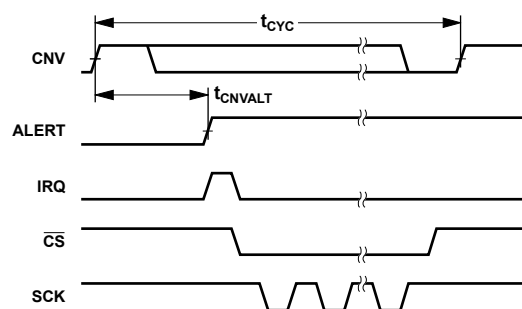
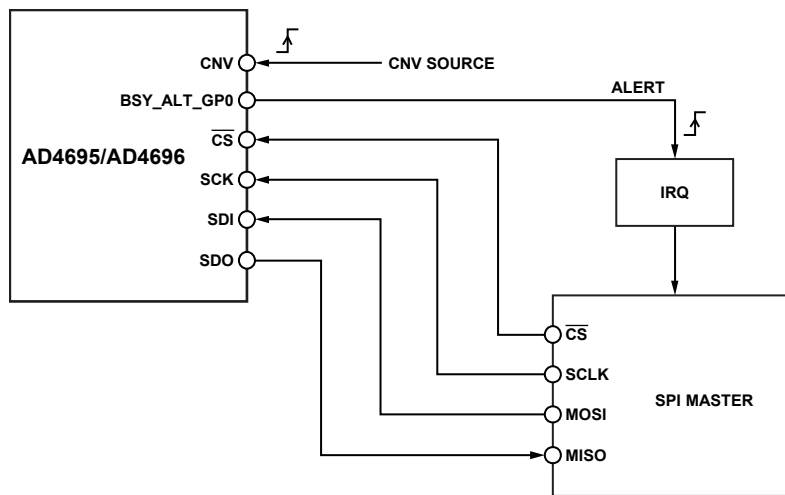


図 117. アラート・インジケータとの SPI 同期

24816-118

## 自動サイクル・モードにおける SPI ペリフェラルの同期

AD4695/AD4696 が変換モードになったときに自動サイクル・モードが有効な場合、内部発振器によって ADC コアに対する変換開始命令が生成されます（**自動サイクル・モード**のセクションを参照）。そのため、自動サイクル・モードは、**閾値検出とアラート・インジケータ**のセクションで説明しているように、ユーザ定義の閾値検出イベントが発生するまでデジタル・ホストがアイドル状態またはスリープ状態になっている、自律的な変換アプリケーションに最適です。

デジタル・ホストの SPI は、AD4695/AD4696 が変換フェーズにとどまっている間はデータの読書きを行うことはできません。自動サイクル・モードでは、変換開始信号が内部で生成されるため、デジタル・ホストは **BSY\_ALT\_GP0** ピンを通じてビジー・インジケータまたはアラート・インジケータを参照し、AD4695/AD4696 とデジタル・ホストの SPI を同期させて、ADC の変換フェーズ間で SPI フレームが発生するようにする必要があります。図 98 に、自動サイクル・モードが有効な場合のビジー・インジケータとアラート・インジケータに関して必要な、SPI フレーム・タイミングを示します。

ビジー・インジケータを使用すると、割り込みサービス・ルーチンをトリガして最新の変換結果を読み出し、5 ビットの SDI コマンドを送出できます（図 116 を参照）。ビジー・インジケータは各変換フェーズの終了時にローに遷移し、次の各変換フェーズの開始時にハイに遷移します。図 98 と表 2 の  $t_{SCKCNV}$  の仕様を満たすためには、デジタル・ホストがビジー・インジケータの立下がりエッジに続いて SPI フレームを開始する必要があり、SCK レートは、次のビジー・インジケータの立下がりエッジの少なくとも 80ns 前に SPI フレームを完了できるよう、十分に高速である必要があります（**変換モードの SPI クロック周波数条件**のセクションを参照）。ビジー・インジケータの立下がりエッジと立下がりエッジの間の時間間隔は、表 2 の  $t_{ACBSY}$  の仕様で定められています。

アラート・インジケータは、デジタル・ホストの割り込みサービス・ルーチンのためのワンショット・トリガとして使用でき、それによって、SPI マスタ・ペリフェラルに、レジスタ設定モード・コマンドを送出しアラート・レジスタをポーリングするよう命令できます（図 117 を参照）。変換フェーズの終了後、アラート・インジケータの状態は更新されます。そのため、アラート・インジケータの立下がりエッジによって、AD4695/AD4696 の SPI が SPI フレームに対する用意ができていないことをデジタル・ホストに通知できます。アラート・インジケータは、所定のチャンネルで閾値超えが検出された場合にのみ遷移しますが、そのため、デジタル・ホストは、変換結果がアラート・インジケータをハイにする原因となるものでない限り、その変換結果を読み出すことはできません（**BSY\_ALT\_GP0 のアラート・インジケータ**のセクションを参照）。

**変換モードでの SPI ペリフェラル同期**のセクションで説明しているように、デジタル・ホストは、次の変換が開始されるまでに SPI フレームを完了する必要があります。選択したサンプリング・レートに対する適切な SPI 転送レートを実現するための、最小の SCK 周波数および全体的なシステム遅延に関するガイドラインについては、図 98 および**変換モードの SPI クロック周波数条件**のセクションを参照してください。

## 変換モードの SPI クロック周波数条件

目的のサンプルの変換結果は、次の変換フェーズが始まるまで読み出すことができます。そのため、SCK 周波数は、次の CNV の立下がりエッジの前（または自動サイクル・モードが有効となっている場合は内部変換開始信号の前）に AD4695/AD4696 の SPI からデータを読み出せるよう、十分高速であることが必要です。

必要とされる最低 SCK 周波数は、使用するサンプリング・レート、SPI フレームの長さ（ビット単位）、使用するシリアル・データ出力モードの関数です。サンプリング・レートが高速になると、変換の間の時間が短くなるため、SCK 周波数を高くする必要があります。デュアル SDO モードは、SCK 周期あたりの SPI ビット出力数が 2 倍になるため、対象となるサンプリング・レートに必要な SCK 周波数は大幅に減少します（**シリアル・データ出力モード**のセクションを参照）。

変換モードのフレームあたりに必要な SCK 周期の数 ( $N_{SCK}$ ) は、次式のように、フレームあたりのビット数 ( $N_{BITS}$ ) とシリアル・データ出力の数 ( $N_{SDO}$ ) の関数です。

$$N_{SCK} = N_{BITS}/N_{SDO}$$

$N_{BITS}$  は、使用する最大 OSR と、ステータス・ビットがイネーブルかどうかにかかわらず（表 19 および表 20 を参照）。 $N_{SDO}$  は、シングル SDO モードの場合は 1、デュアル SDO モードの場合は 2 です。

**変換モードのタイミング図**のセクションでは、変換モードにおける SPI フレームのタイミング図が示されています。変換モードの SPI フレームは、 $t_{CONVERT}$  の時間が経過するまで開始することはできず、最小  $t_{SCKCNV}$  仕様を満たすよう早く終了する必要があります（表 2 を参照）。変換モードにおいて、SPI フレームを終了するために必要な時間量 ( $t_{FRAME}$ ) は、次式から計算できます。

$$t_{FRAME} = t_{CYC} - t_{CONVERT\_max} - t_{SCKCNV} = 1/f_{CNV} - t_{CONVERT\_max} - t_{SCKCNV}$$

ここで

$t_{CYC}$  は、サンプリング周期。

$t_{CONVERT\_max}$  は、最大  $t_{CONVERT}$  仕様値。

$t_{SCKCNV}$  は、SCK の立下がりエッジから CNV の立下がりエッジまでの遅延の仕様値（表 2 を参照）。

$f_{SCK}$  は、 $t_{FRAME}$  および  $N_{SCK}$  の関数です。

$$f_{SCK} > N_{SCK}/t_{FRAME} = \frac{N_{BITS}}{N_{SDO} \times (t_{CYC} - t_{CONVERT} - t_{SCKCNV})}$$

表 25 に、OSR を 1 に設定し、ステータス・ビットをイネーブルにした場合とディスエーブルにした場合について、いくつかのサンプリング・レートに必要な最小 SCK 周波数の例をシリアル・データ出力モードごとに示します。

単一サイクル・コマンド・モードが有効な場合、マルチプレクサは、5 ビット・コマンドが SDI にクロック・インされるまでチャンネルを更新しません。そのため、単一サイクル・コマンド・モードが選択されている場合、SCK 周波数は、 $t_{ACQ}$  には影響しません（**単一サイクル・コマンド・モード**のセクションを参照）。

自動サイクル・モードが有効な場合、 $t_{CYC}$  は内部変換開始信号によって決まります。この周期は **AC\_CYC** フィールドで設定されます。また、デジタル・ホストはビジー・インジケータまたはアラート・インジケータを使用して、SPI フレームを内部変換タイミングと同期させる必要があります（**自動サイクル・モードにおける SPI ペリフェラルの同期**のセクションを参照）。

デジタル・ホストの SPI マスタ・ペリフェラルは、変換モードの SPI フレームより多くの SCK 周期を提供する必要があります。LSB がクロック・アウトされた後に追加の SCK 立下がりエッジが生じた場合の SDO の動作は、SDO\_STATE ビットの設定によって異なります。SDO\_STATE = 0 の場合、SDO は追加の立下がりエッジが生じて、そのままの状態を維持します。SDO\_STATE = 1 の場合、追加の SCK 立下がりエッジが生じると、SDO は高インピーダンスに遷移します。

最小の SCK 周期は、変換モードの場合よりもレジスタ設定モードの方が長いことに注意してください（表 2 の  $t_{SCK}$  を参照）。変換モードでは、最小の  $t_{SCK}$  は 12.5ns で、これは 80MHz の最大  $f_{SCK}$  に対応したものです。レジスタ設定モードでは、最小の  $t_{SCK}$  は 40ns で、これは 25MHz の最大  $f_{SCK}$  に対応したものです。そのため、変換モードの SCK 周波数が 25MHz を超える必要があるアプリケーションでは、AD4695/AD4696 がレジスタ設定モードになっている間の SPI マスタ・ペリフェラルのシリアル・クロック・レートは、上記に従ってプログラムするようにしてください。

表 25. 最小  $f_{SCK}$  条件とサンプリング・レートおよびシリアル・データ出力モードの関係 (OSR = 1)

Sample Rate (kSPS)	Status Bits <sup>1</sup>	Single-SDO Mode	Dual-SDO Mode
1000 (AD4696 Only)	Disabled	32 MHz	16 MHz
1000 (AD4696 Only)	Enabled	48 MHz	24 MHz
500	Disabled	11 MHz	5.5 MHz
500	Enabled	16 MHz	8 MHz
100	Disabled	2 MHz	1 MHz
100	Enabled	2.6 MHz	1.3 MHz

<sup>1</sup> 表 25 の計算では、ステータス・ビットがディスエーブルの場合は  $N_{BITS} = 16$ 、ステータス・ビットがイネーブルの場合は  $N_{BITS} = 24$  です。

## RESETの接続に関する推奨事項

RESET入力により、デジタル・ホストは、GPIOを使用して完全なデバイス・リセットをトリガできます（ハードウェア・リセットのセクションを参照）。RESET入力はアクティブ・ローで、ハードウェア・リセットを開始するにはローに駆動する必要があります。AD4695/AD4696 は、RESET入力がハイに駆動されるまで、リセット状態を維持します。

ハードウェア・リセットは、AD4695/AD4696 の動作のためには必要ありません。SPIにはソフトウェア・リセットのオプションがあるためです（ソフトウェア・リセットのセクションを参照）。ハードウェア・リセット機能を使用しないシステムでは、デバイス動作の間は確実にハイになっているように、RESET入力をボード上でVIOに接続してください。

ハードウェア・リセットを使用するためには、RESET入力をGPIOまたはそれと等価なデジタル・ホストのデジタル出力に接続します。RESETを駆動する信号は、アイドル時はハイとなっている必要があります。デジタル・ホストの出力が定義された状態になるまでRESET入力が確実にハイになっているように、RESET入力にはVIOに対し弱いプルアップ抵抗を配置することを推奨します。ハードウェア・リセットを実行するためのホストのファームウェア機能は、図99のタイミング条件に従い、RESETをパルス的にローにする必要があります。

## デバイス設定の推奨事項

レジスタの情報のセクションで説明する設定レジスタを通じてAD4695/AD4696の目的の機能や設定値を設定する場合の推奨事項を以下に説明します。

SPIを通じて設定レジスタにアクセスするには、AD4695/AD4696がレジスタ設定モードであることが必要です。AD4695/AD4696は、デバイスのパワーアップ時とデバイス・リセット後に、レジスタ設定モードになります。設定レジスタの設定値は、変換モードに入り変換を実行する前に、指定アプリケーションに対し適切にプログラムする必要があります。

デバイスのパワーアップ時は、デバイスのリセットのセクションで説明しているように、ハードウェア・リセットまたはソフトウェア・リセットを実行することを推奨します。

まず、SPI\_CONFIG\_A、SPI\_CONFIG\_B、SPI\_CONFIG\_Cの各レジスタの内容を必要な設定値にプログラムし、AD4695/AD4696のSPIプロトコルが確実にデジタル・ホストに対応するよう設定します（レジスタ設定モードのセクションを参照）。スクラッチ・パッド・レジスタ（SCRATCH\_PAD）を使用すると、デバイス設定に影響することなくテスト値を書き込みそれをリード・バックすることで、デジタル・ホストはAD4695/AD4696との通信を検証できます。

次に、VDDを外部から供給する場合、セットアップ・レジスタのLDO\_ENビットを0に設定することで内部LDOをディスエーブルすることを推奨します（内部LDOのセクションを参照）。なお、SPI\_MODEビットを1に設定すると、AD4695/AD4696は変換モードになります。その他の設定レジスタが適切に設定されるまで、SPI\_MODEは確実に0に設定してください。

次に、チャンネル・シーケンシング・レジスタを目的のチャンネル・シーケンシング・モードに設定します。SEQ\_CTRLレジスタには、STD\_SEQ\_ENビットとNUM\_SLOTS\_ASフィールドがあり、これらが目的のチャンネル・シーケンシング・モードを選択するように設定される必要があります。デフォルトでは、STD\_SEQ\_ENビットは1に設定されており、標準シーケンサが選択されます（表47を参照）。

標準シーケンサを使用する場合、STD\_SEQ\_ENビットが1に設定されていることを確認してください。次に、STD\_SEQ\_CONFIGレジスタとTEMP\_CTRLレジスタを、シーケンスのチャンネルを選択するようプログラムします（表49および表53を参照）。

詳細シーケンサを使用する場合、SEQ\_CTRLレジスタを更新して、STD\_SEQ\_ENビットを0、NUM\_SLOTS\_ASフィールドを詳細シーケンサ・スロットの必要数に設定します。次いで適切な数のAS\_SLOTnレジスタとTEMP\_CTRLレジスタを、目的のチャンネル・シーケンスを実行するようにプログラムします（表53および表60を参照）。

2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードを使用する場合、SEQ\_CTRLレジスタを更新してSTD\_SEQ\_ENビットを0に設定しますが、NUM\_SLOTS\_ASフィールドは0x0のままにします。CYC\_CTRLビットも2サイクル・コマンド・モードと単一サイクル・コマンド・モードの間で選択を行うよう設定する必要がありますが、CYC\_CTRLはセットアップ・レジスタ内にあるため、SPI\_MODEビットがデバイスを変換モードにするよう設定されるのと同じフレームで設定できます。

チャンネル・シーケンシング・モードの設定値が設定された後、必要に応じてCONFIG\_INnレジスタの設定値を更新してチャンネル設定の設定値を選択します。この設定値には、閾値検出アラート・イネーブル設定、極性モード、ピン・ペアリング・オプション、アナログ入力高インピーダンス・モード・イネーブル設定、OSRなどがあります。標準シーケンサがイネーブルの場合、CONFIG\_INnレジスタのビットにプログラムされた設定値はすべてのアナログ入力チャンネルに適用されます。その他のチャンネル・シーケンシング・モードが選択されている場合、各CONFIG\_INnレジスタの設定値は、その対応するINnチャンネルに適用されます。CONFIG\_INnレジスタ内のビットの詳細な説明については、表54を参照してください。

いずれかの組み合わせのチャンネルで閾値検出を有効化する場合、対応するUPPER\_INnおよびLOWER\_INnレジスタの値を更新し、必要な上限閾値および下限閾値を設定してください（表55および表56を参照）。ヒステリシスを有効化または無効化するには、ALERT\_MODEビットを更新する必要がありますが、ALERT\_MODEはSETUPレジスタ内にあるため、SPI\_MODEビットがデバイスを変換モードにするよう設定されるのと同じフレームで設定できます。ヒステリシスを有効にする場合、HYST\_INnレジスタを更新して必要なヒステリシス設定値を設定する必要があります。

汎用ピンのセクションで説明している汎用ピンのいずれかの機能を使用する場合、それに応じてGPIO\_CTRLおよびGP\_MODEのレジスタ内容を更新してください（表50および表51を参照）。

自動サイクル・モードを使用する場合は、AC\_CTRLレジスタの設定値を更新して自動サイクル・モードを有効にし、必要なサンプリング・レートを選択してください（表48を参照）。自動サイクル・モードはデフォルトでは無効になっています。そのため、自動サイクル・モードを使用しない場合は、デバイスのリセット後にAC\_CTRLレジスタを更新する必要はありません。

オフセットおよびゲイン補正を使用する場合は、それに対応してOFFSET\_INnおよびGAIN\_INnのレジスタ設定値を更新してください。チャンネルごとに必要なオフセットおよびゲイン補正值を決定するためにキャリブレーション・ルーチンが必要な場合は、AD4695/AD4696を変換モードにして十分な変換データを収集した後に、OFFSET\_INnおよびGAIN\_INnのレジスタを更新します。

その他の必要な設定レジスタの設定値をすべて更新したら、セットアップ・レジスタの `SPI_MODE` ビットを 1 に設定して AD4695/AD4696 を変換モードにします。セットアップ・レジスタのその他のビットはすべて、必要なデバイス設定値となるよう確実に設定してください (表 45 を参照)。

セットアップ・レジスタを更新してデバイスを変換モードにする前に、デジタル・ホストは、ステータス・レジスタの `SPI_ERROR` ビットの状態を確認して、設定レジスタの更新にエラーがないことを検証することもできます。また、ホストは、`CLAMP_STATUS1` レジスタと `CLAMP_STATUS2` レジスタの状態をチェックして、AD4695/AD4696 が変換モードになる前にいずれかのアナログ入力チャンネルで過電圧保護イベントが発生しているかどうかを確認することもできます。

AD4695/AD4696 が変換モードとなっている間、SPI を使用して設定レジスタを更新することはできません。デバイスが既に変換モードになっているときに設定レジスタを読み出すか更新する必要がある場合は、変換モードの SPI フレーム中にレジスタ設定モード・コマンドを送出して、デバイスをレジスタ変換モードに戻します (レジスタ設定モード・コマンドのセクションを参照)。

### 実効チャンネル・サンプリング・レート

AD4695/AD4696 のアナログ入力は 1 つの ADC コアにマルチプレクサされ、マルチプレクサの状態は変換フェーズの最後で更新されます。そのため、チャンネル・シーケンスにおけるチャンネルごとの実効サンプリング・レートは、 $f_{CNV}$  で設定される ADC のサンプリング・レートの一部になります。チャンネルの実効サンプリング・レートは、そのチャンネルで新しい各変換結果が生成される頻度で定義されます。

アナログ入力の実効サンプリング・レートが有効となるためには、新しい結果がチャンネル・シーケンス全体、あるいは少なくとも必要な分析を実行できるだけの時間、一定のレートで生成される必要があります。例えば、目的のチャンネルの ADC データの FFT を計算して AC 分析を実行するには、そのチャンネルに関して収集される各サンプル間のサンプリング間隔が一定であることが必要です。アナログ入力の実効サンプリング・レート ( $f_{S\_INx}$ ) は、 $f_{CNV}$  とサンプリングとサンプリングの間の CNV 周期数 ( $N_{CNV}$ ) の関数です。16 個のアナログ入力 (IN0~IN15) および温度センサーのそれぞれについて、次の関係式が成り立ちます。

$$f_{S\_INx} = f_{CNV} / N_{CNV}$$

各アナログ入力に必要な  $f_{S\_INx}$  は、その入力信号の周波数範囲によって決まります。対象となるアナログ入力のナイキスト周波数 ( $f_{S\_INx}$  の半分) は、エイリアシングを避けるため、測定される最高信号周波数より大きいことが必要です。

標準シーケンサがイネーブルの場合、`STD_SEQ_CONFIG` レジスタの各イネーブル・チャンネルは、シーケンスの繰り返しごとに一回サンプリングされます。そのため、 $f_{S\_INx}$  は、標準シーケンサがイネーブルの場合、各イネーブル・チャンネルについて常に一定で、次式で計算できます。

$$f_{S\_INx} = f_{CNV} / (N_{EN} \times OSR)$$

ここで

$N_{EN}$  は、チャンネル・シーケンスに含まれる入力の数で、1 (イネーブルされているチャンネルは 1 つのみの場合) から 17 (すべてのチャンネルと温度センサーがイネーブルされている場合) の範囲です。

$OSR$  は、`CONFIG_IN0` レジスタの `OSR_SET` フィールドで選択されるオーバーサンプリング比です。

$N_{EN}=4$  および  $OSR=1$  の図 73 の例では、 $f_{S\_INx}$  は  $f_{CNV}/4$  となります。この例で  $OSR$  を 4 にプログラムすると、 $f_{S\_INx}$  は  $f_{CNV}/16$  です。

詳細シーケンサ、2 サイクル・コマンド・モード、または単一サイクル・コマンド・モードが有効な場合、アナログ入力のシーケンスはより柔軟なものとなり、複数の実効サンプリング・レートを実行するようチャンネル・シーケンスを設計できます。これは、低周波数または DC 信号のチャンネルと高周波数または AC 信号のチャンネルが組み合わさったアプリケーションで便利です。2 つの実効チャンネル・サンプリング・レートの実行のセクションでは、2 セットのチャンネルで 2 つの実効サンプリング・レートを実行するチャンネル・シーケンスを設計する方法を説明しています。

表 26 と図 118 に、4 個のアナログ入力を使用して 3 つの実効サンプリング・レートを実行するシーケンスの例を示します。表 26 と図 118 に示すシーケンスは、詳細シーケンサ、2 サイクル・コマンド・モード、または単一サイクル・コマンド・モードで実効できます。

詳細シーケンサ、2 サイクル・コマンド・モード、単一サイクル・コマンド・モードは、アナログ入力に対し不規則な変換を実行するために使用することもできます。例えば、すべてのチャンネルに DC タイプの信号がある場合や、チャンネル・シーケンシングに適応型のコントロール・ロジックが含まれる場合などです。

表 26. 複数の実効サンプリング・レートの例

Sequence Position	Input	Effective Sample Rate of Input
0	IN0	$f_{CNV}/2$
1	IN1	$f_{CNV}/4$
2	IN0	$f_{CNV}/2$
3	IN2	$f_{CNV}/8$
4	IN0	$f_{CNV}/2$
5	IN1	$f_{CNV}/4$
6	IN0	$f_{CNV}/2$
7	IN3	$f_{CNV}/8$

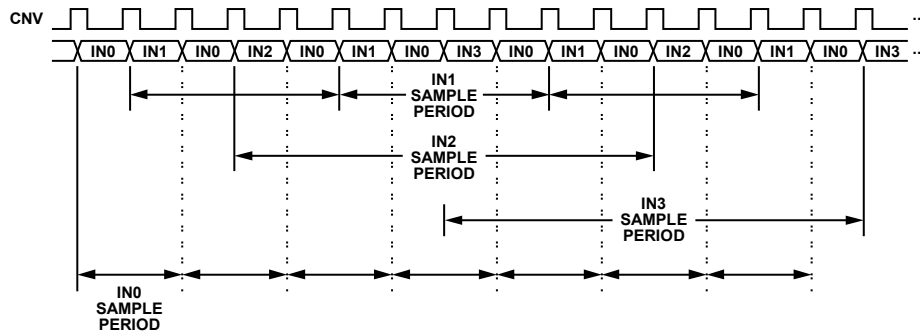


図 118. 複数の実効サンプリング・レートの例

**2つの実効チャンネル・サンプリング・レートの実行**

複数チャンネルのデータ・アクイジション・システムでは、ADCは、高周波数と低周波数またはDCタイプの信号が混合したものをモニタリングする場合があります。最高入力周波数が高いチャンネルでは、ナイキスト周波数も高いことが必要で、そのため、実効サンプリング・レートも、最高入力周波数が低いチャンネルより高い必要があります。入力信号の周波数が高いアナログ入力チャンネルの実効サンプリング・レートを最大限に増加するために、チャンネル・シーケンスは、2つの異なる実効サンプリング・レートを実行するよう設計できます。

2つの実効サンプリング・レートを実行するカスタム・チャンネル・シーケンスでは、シーケンスに含まれるAD4695/AD4696チャンネルのそれぞれが、高サンプリング・レート(HSR)チャンネルまたは低サンプリング・レート(LSR)チャンネルに分類されます。図119に、HSRチャンネルとLSRチャンネルを実行する一般的なチャンネル・シーケンスを示します。

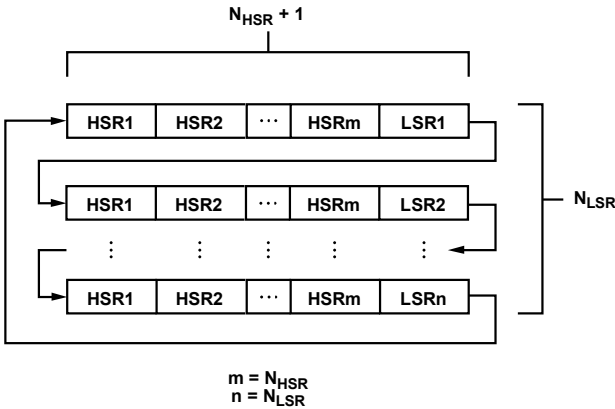


図 119. HSR入力とLSR入力の2つの実効サンプリング・レートでのシーケンス

図119のチャンネル・シーケンス全体は、すべてのHSRチャンネルとそれに続く1つのLSRチャンネルから成るサブシーケンスの繰り返しで構成されています。サブシーケンスは、すべてのLSRチャンネルが一回サンプリングされるまで繰り返され、その後、シーケンス全体がもう一度開始されます。その結果、シーケンスの繰り返しごとにLSRチャンネルがサンプリングされるのは一回だけですが、HSRチャンネルは、シーケンスのLSRチャンネルごと一回サンプリングされます。

HSRのチャンネル数(N<sub>HSR</sub>)とLSRのチャンネル数(N<sub>LSR</sub>)に加え、2つのサンプリング・レートを実行するのに必要なシーケンス・ポジションの数によって、実効サンプリング・レート

が決まります。必要なシーケンス・ポジション数(N<sub>S</sub>)は、次の関係を満たします。

$$N_S = N_{LSR} \times (N_{HSR} + 1)$$

ここで、  
N<sub>HSR</sub>は、HSR入力の数。  
N<sub>LSR</sub>は、LSR入力の数。

詳細シーケンスがイネーブルとなっている場合、N<sub>S</sub>の最大値はAS\_SLOTnレジスタの数で制限されます。2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードがイネーブルの場合は、N<sub>S</sub>の大きさは任意です。

LSRチャンネルがサンプリングされるのは、シーケンスの全繰り返しごとに一回だけなので、その実効サンプリング・レート(f<sub>S,LSR</sub>)は、次のように、ADCコアのサンプリング・レート(f<sub>CNV</sub>で設定)をN<sub>S</sub>で除したものとなります。

$$f_{S,LSR} = f_{CNV} / N_S$$

HSR入力は、シーケンスのLSR入力ごと一回サンプリングされるため、HSRの実効サンプリング・レート(f<sub>S,HSR</sub>)は次のようになります。

$$f_{S,HSR} = (f_{CNV} \times N_{LSR}) / N_S$$

表27に、IN5、IN9、IN14がHSRチャンネルで、IN2、IN10、温度センサーがLSRチャンネルの場合の例を示します。

表 27. 2つの実効チャンネル・サンプリング・レートでのシーケンス

Sequence Position	Input	Effective Sample Rate of Input
0	IN5	f <sub>CNV</sub> /4
1	IN9	f <sub>CNV</sub> /4
2	IN14	f <sub>CNV</sub> /4
3	IN2	f <sub>CNV</sub> /12
4	IN5	f <sub>CNV</sub> /4
5	IN9	f <sub>CNV</sub> /4
6	IN14	f <sub>CNV</sub> /4
7	IN10	f <sub>CNV</sub> /12
8	IN5	f <sub>CNV</sub> /4
9	IN9	f <sub>CNV</sub> /4
10	IN14	f <sub>CNV</sub> /4
11	Temperature sensor	f <sub>CNV</sub> /12

なお、詳細シーケンサで表 27 のシーケンスを実行する場合には、次のレジスタ設定値が必要です。

- STD\_SEQ\_EN = 0
- NUM\_SLOTS\_AS = 10
- TEMP\_EN = 1

温度センサーは、詳細シーケンサ・スロットではなく、TEMP\_EN ビットで有効化されるため、詳細シーケンサ・スロットの最初の 11 個 (AS\_SLOT0~AS\_SLOT10) が、表 27 に示すアナログ入力と共にプログラムされます。

詳細シーケンサを使用する場合、温度センサーは AS\_SLOTn レジスタで割り当てることができないため、HSR チャンネルに割り当てることができない点に注意してください。ただし、TEMP\_CTRL レジスタの TEMP\_EN ビットを通じてイネーブルすることで、表 27 に示すように、温度センサーを LSR チャンネルとして含めることはできます。

## レイアウトのガイドライン

AD4695/AD4696 をプリント回路基板 (PCB) に配置して最高性能を実現するための推奨レイアウト技術を、以下で説明します。AD4696 を使用した PCB レイアウトの例は、AD4696 評価用ボード (EVAL-AD4696FMCZ) のユーザ・ガイドに記載されています。

アナログ・パターン (アナログ入力およびリファレンス入力に接続されるパターン) は、デジタル・パターン (CNV 入力、SPI、汎用ピンに接続されるパターン) とは物理的に分離し、高速スイッチング・デジタル信号からアナログ入力信号への相互結合を抑制する必要があります。同じ PCB 層上のアナログ・パターンとデジタル・パターンの間には、グラウンド・フィルを追加してください。また、間にグラウンド・プレーンの PCB 層を挟まずに、デジタル・パターンをアナログ・パターンまたは AD4695/AD4696 デバイスと交差させることのないようにしてください。AD4695/AD4696 のアナログ・ピンとデジタル・ピンは、アナログ・パターンとデジタル・パターンを容易に分離できるよう配列されています。

AD4695/AD4696 のアナログ入力 (IN0~IN15) の入力インピーダンスは、変換と変換の間で切り替わるマルチプレクサ・スイッチと ADC コア入力スイッチによって、動的なものとなります。アナログ入力の非線形電圧ステップを緩和するために、コンデ

ンサを外付けすることを推奨します。これらの外付けコンデンサは、アナログ入力にできるだけ近づけ、性能低下の原因となる、両者の間での寄生インピーダンスを最小限に抑制します。詳細については、[アナログ・フロントエンド設計](#)のセクションを参照してください。

AD4695/AD4696 の電圧リファレンス入力 (REF) の入力インピーダンスも動的です。リファレンス駆動回路の出力と REF 入力間の実効インピーダンスは、非常に小さくなくてはならず、REF ピンのできるだけ近くにデカップリング・コンデンサを配置する必要があります。外付けリファレンス回路と REF ピンを幅の広いパターンで接続し、パターンのインピーダンスを最小限にしてください ([リファレンス回路設計](#)のセクションを参照)。

AD4695/AD4696 の電源は、電源ピンの近くに配置した低 ESR のセラミック・コンデンサでデカップリングし、接続には短く幅の広いパターンを使用して経路を低インピーダンスにし、電源ラインのグリッチの影響を抑える必要があります ([電源](#)のセクションを参照)。AVDD と同じ電源で LDO\_IN に電源供給している場合は、幅広の共通パターンでこれらのピンを短絡し、100nF の 1 つのコンデンサを使用して両方のピンをデカップリングします。

## AD4695/AD4696 の性能評価

AD4695/AD4696 の評価ツール用に、AD4696 を含むすべての部品を組み込んだテスト済み評価用ボード (EVAL-AD4696FMCZ)、PC からボードを制御するための評価ソフトウェア、ハードウェアおよびソフトウェア用サポート文書が用意されています。評価ソフトウェアには、PC と EVAL-AD4696FMCZ ボード間の通信を確立するための EVAL-SDP-CH1Z コントローラ・ボードが必要です。

EVAL-AD4696FMCZ ボードを使用することで、AD4696 が提供する様々なデジタル機能を使用して、アナログ・フロントエンド回路とリファレンス回路をプロトタイプ化できます。また、このボードには、標準的な 160 ピンの FPGA (フィールド・プログラマブル・ゲート・アレイ) メザニン・カード (FMC) と 12 ピンの拡張 SPI ペリフェラル・モジュール (PMOD) コネクタも備わっているため、オンボード AD4696 と多くのサード・パーティ製 FPGA 開発ボードの間の通信をプロトタイプ化できます。



## レジスタの情報

### レジスタの概要

AD4695/AD4696 には、デバイスのステータスをモニタしデバイスを設定するために使用されるビットやフィールドを含む、プログラマブルな設定レジスタがあります。これらのビットやフィールドとの間で読書きを行うには、それらを含むレジスタとの間の読書きが必要です。AD4695/AD4696 の SPI を使用すると、設定レジスタとの間での読書きができます（[レジスタ設定モード](#)のセクションを参照）。

AD4695/AD4696 のレジスタ・マップのメモリ空間はバイト単位で分割されています。メモリの各バイトには、0x000~0x17F の固有のアドレスがあります。表 28 に、AD4695/AD4696 の設定レジスタすべてについて、レジスタへのメモリ・アドレスの割当てを示します。

各設定レジスタの長さはシングル・バイトまたは複数バイトです。複数バイト長のレジスタは複数バイト・レジスタと呼ばれます。各複数バイト・レジスタのアドレスは、その最下位バイトのアドレスで指定されますが、複数バイト・レジスタ内の各バイトには、レジスタ・マップのメモリ空間に固有のアドレスがあります。例えば、STD\_SEQ\_CONFIG レジスタは 2 バイト長で、その最下位バイト (LSByte) のアドレスは 0x24、最上位バイト (MSByte) のアドレスは 0x25 です。SPI\_CONFIG\_C レジスタの MB\_STRICT ビットの状態によって、複数バイト・レジスタのすべてのバイトが、1 つの SPI トランザクションで読出しま

たは書込みをされるのか、別々の SPI トランザクションで読出しまたは書込みをされるのかが決まります（[複数バイト・レジスタ・アクセス](#)のセクションを参照）。

AD4695/AD4696 設定レジスタのビットとフィールドは、読出し専用、読出し/書込み、または R/WIC で定義されています。読出し専用ビットは読出しのみが可能で、SPI マスタからの SPI 書込みによって更新することはできません。読出し/書込みビットは、読出しまたは書込みができます。1 を書き込んでクリアするビットは読出しが可能で、0 にリセットされるのはデジタル・ホストがそのメモリ・ロケーションに 1 を書き込んだ場合のみです。

表 28 の「アクセス」列には、読出し専用ビットのみを含むレジスタが R、書込み可能ビットのあるレジスタが R/W と記されています。表 29~表 60 の「アクセス」列では、読出し専用ビットは R、読出し/書込みビットは R/W、1 を書き込んでクリアするビットは R/WIC と記されています。

SPI\_STATUS レジスタには様々なエラー・フラグがあり、[レジスタ設定モード](#)のセクションで概要を説明しているいくつかのプロトコルの形態のいずれかに対し、SPI 読出しまたは書込みトランザクションが違反しているかどうかを示します（表 37 を参照）。ステータス・レジスタの SPI\_ERROR ビットは、SPI\_STATUS レジスタのエラー・フラグのビットワイズ論理和です（表 38 を参照）。

表 28. 設定レジスタの名前と説明

アドレス	レジスタ名	説明	長さ	リセット	アクセス
0x000	SPI_CONFIG_A	インターフェース設定 A。	Single byte	0x10	R/W
0x001	SPI_CONFIG_B	インターフェース設定 B。	Single byte	0x00	R/W
0x003	DEVICE_TYPE	デバイス・タイプ。	Single byte	0x07	R
0x00A	SCRATCH_PAD	スクラッチ・パッド。	Single byte	0x00	R/W
0x00C	VENDOR_L	ベンダ ID (下位バイト)。	Single byte	0x56	R
0x00D	VENDOR_H	ベンダ ID (上位バイト)。	Single byte	0x04	R
0x00E	LOOP_MODE	ループ・モード。	Single byte	0x00	R/W
0x010	SPI_CONFIG_C	インターフェース設定 C。	Single byte	0x23	R/W
0x011	SPI_STATUS	インターフェース・ステータス。	Single byte	0x00	R/W
0x014	STATUS	デバイス・ステータス。	Single byte	0x20	R
0x015	ALERT_STATUS1	アラート・ステータス (IN0~IN3)。	Single byte	0x00	R
0x016	ALERT_STATUS2	アラート・ステータス (IN4~IN7)。	Single byte	0x00	R
0x017	ALERT_STATUS3	アラート・ステータス (IN8~IN11)。	Single byte	0x00	R
0x018	ALERT_STATUS4	アラート・ステータス (IN12~IN15)。	Single byte	0x00	R
0x01A	CLAMP_STATUS1	クランプ・ステータス (IN0~IN7)。	Single byte	0x00	R
0x01B	CLAMP_STATUS2	クランプ・ステータス (IN8~IN15)。	Single byte	0x00	R
0x020	SETUP	デバイス設定。	Single byte	0x10	R/W
0x021	REF_CTRL	リファレンス・コントロール。	Single byte	0x12	R/W
0x022	SEQ_CTRL	シーケンサ・コントロール。	Single byte	0x80	R/W
0x023	AC_CTRL	自動サイクル・コントロール。	Single byte	0x00	R/W
0x024	STD_SEQ_CONFIG	標準シーケンサ設定。	Multibyte	0x0001	R/W
0x026	GPIO_CTRL	GPIO イネーブル。	Single byte	0x00	R/W
0x027	GP_MODE	汎用ピン機能コントロール。	Single byte	0x00	R/W
0x028	GPIO_STATE	GPIO の状態。	Single byte	0x00	R/W
0x029	TEMP_CTRL	温度センサー・コントロール。	Single byte	0x00	R/W
0x030 to 0x03F	CONFIG_INn	アナログ入力設定値の設定。	Single byte	0x08	R/W
0x040 to 0x05E	UPPER_INn	上限閾値。	Multibyte	0x07FF	R/W
0x060 to 0x07E	LOWER_INn	下限閾値。	Multibyte	0x0000	R/W

アドレス	レジスタ名	説明	長さ	リセット	アクセス
0x080 to 0x09E	HYST_INn	ヒステリシス設定。	Multibyte	0x0010	R/W
0x0A0 to 0x0BE	OFFSET_INn	INn オフセット補正。	Multibyte	0x0000	R/W
0x0C0 to 0x0DE	GAIN_INn	INn ゲイン補正。	Multibyte	0x8000	R/W
0x100 to 0x17F	AS_SLOTn	詳細シーケンサ・スロット。	Single byte	0x00	R/W

## レジスタの詳細

### SPI 設定 A レジスタ

アドレス：0x000、リセット：0x10、レジスタ名：SPI\_CONFIG\_A

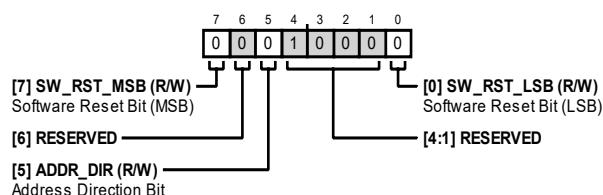


表 29. SPI\_CONFIG\_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RST_MSB	ソフトウェア・リセット・ビット (MSB)。SW_RST_MSB ビットと SW_RST_LSB ビットの両方を 1 に設定すると、デバイスのソフトウェア・リセットが開始されます。それによって、INTERFACE_CONFIG_A レジスタ以外のすべてのレジスタがデフォルトのパワーアップ状態にリセットされます (ソフトウェア・リセットのセクションを参照)。	0x0	R/W
6	RESERVED	予備。	0x0	R
5	ADDR_DIR	アドレス方向ビット。このビットによって、1つのデータ・フェーズで複数バイトのデータにレジスタ読出しおよび書込みを実行する際の、シーケンシャルなアドレス指定動作が決まります (アドレス方向オプションのセクションを参照)。 0：降順アドレス・オプションを選択。 1：昇順アドレス・オプションを選択。	0x0	R/W
[4:1]	RESERVED	予備。	0x8	R
0	SW_RST_LSB	ソフトウェア・リセット・ビット (LSB)。SW_RST_MSB ビットと SW_RST_LSB ビットの両方を 1 に設定すると、デバイスのソフトウェア・リセットが開始されます。それによって、INTERFACE_CONFIG_A レジスタ以外のすべてのレジスタがデフォルトのパワーアップ状態にリセットされます (ソフトウェア・リセットのセクションを参照)。	0x0	R/W

### SPI 設定 B レジスタ

アドレス：0x001、リセット：0x00、レジスタ名：SPI\_CONFIG\_B

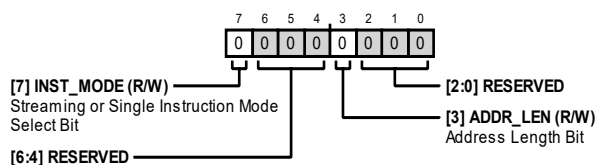


表 30. SPI\_CONFIG\_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INST_MODE	ストリーミング・モードまたは単一命令モード選択ビットこのビットは、ストリーミング・モードと単一命令モードの選択を行います (ストリーミング・モードのセクションおよび単一命令モードのセクションを参照)。 0：ストリーミング・モードを有効化。 1：単一命令モードを有効化。	0x0	R/W
[6:4]	RESERVED	予備。	0x0	R
3	ADDR_LEN	アドレス長ビット。このビットは、命令フェーズのレジスタ・アドレスの長さを 7 ビットまたは 15 ビットに設定します (命令フェーズのセクションを参照)。 0：15 ビットのアドレス指定。 1：7 ビットのアドレス指定。	0x0	R/W
[2:0]	RESERVED	予備。	0x0	R

デバイス・タイプ・レジスタ

アドレス : 0x003、リセット : 0x07、レジスタ名 : DEVICE\_TYPE

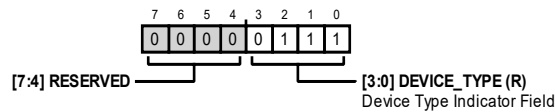


表 31. DEVICE\_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	DEVICE_TYPE	デバイス・タイプ・インジケータ・フィールド。このフィールドは、デバイスが属するアナログ・デバイセズの製品カテゴリを示します。0x7の値が高精度 ADC に対応します。	0x7	R

スクラッチ・パッド・レジスタ

アドレス : 0x00A、リセット : 0x00、レジスタ名 : SCRATCH\_PAD

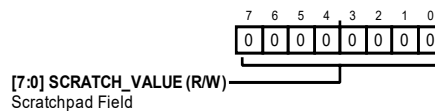


表 32. SCRATCH\_PAD ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	スクラッチパッド・フィールド。このレジスタに書き込まれた値はデバイス動作に影響しません。デバイスとの SPI 通信をテストするために、このレジスタを使用します。	0x00	R/W

ベンダ ID (下位バイト) レジスタ。

アドレス : 0x00C、リセット : 0x56、レジスタ名 : VENDOR\_L

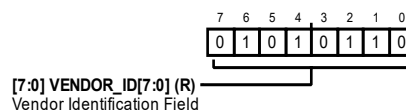


表 33. VENDOR\_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[7:0]	ベンダ ID フィールド。VENDOR_ID[15:0] フィールドは、すべてのアナログ・デバイセズの高精度 ADC で同じ値 (0x0456) です。	0x56	R

ベンダ ID (上位バイト) レジスタ。

アドレス : 0x00D、リセット : 0x04、レジスタ名 : VENDOR\_H

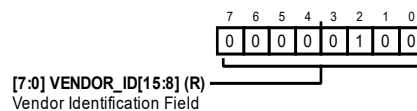


表 34. VENDOR\_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[15:8]	ベンダ ID フィールド。VENDOR_ID[15:0] フィールドは、すべてのアナログ・デバイセズの高精度 ADC で同じ値 (0x0456) です。	0x04	R

ループ・モード・レジスタ

アドレス：0x00E、リセット：0x00、レジスタ名：LOOP\_MODE

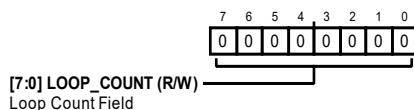


表 35. LOOP\_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	ループ・カウント・フィールド。このフィールドは、ストリーミング・モードが選択されている場合に、SPI フレームごとにループするレジスタの数を指定します（ストリーミング・モードのセクションを参照）。0x00 の値はループをディセーブルします。0x01～0xFF の値は、元のレジスタ・アドレスに戻るまでにループするレジスタの数を設定します。	0x00	R/W

SPI 設定 C レジスタ

アドレス：0x010、リセット：0x23、レジスタ名：SPI\_CONFIG\_C

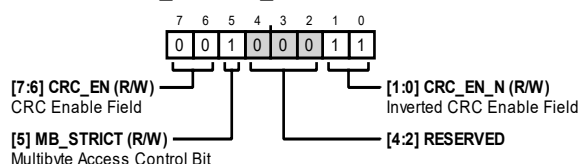


表 36. SPI\_CONFIG\_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_EN	CRC イネーブル・フィールド。このフィールドは 0x1 に設定されている（同時に CRC_EN_N が 0x2 に設定されている）場合に CRC を有効化します。0x1 以外の値に設定されている場合は CRC を無効化します（チェックサム保護のセクションを参照）。 0：CRC を無効化。 1：CRC_EN_N = 0x2 の場合に CRC を有効化。	0x0	R/W
5	MB_STRICT	複数バイト・アクセス・コントロール・ビットこのビットは、複数バイトのレジスタの SPI トランザクション条件を設定します（複数バイト・レジスタ・アクセスのセクションを参照）。 0：複数バイト・レジスタの各バイトは、個別のデータ・フィールドで読出または書き込みが行われる。 1：複数バイト・レジスタのすべてのバイトは、1つのデータ・フェーズで読出または書き込みが行われる。	0x1	R/W
[4:2]	RESERVED	予備。	0x0	R
[1:0]	CRC_EN_N	反転 CRC イネーブル・ビットこのフィールドは 0x2 に設定されている（同時に CRC_EN が 0x1 に設定されている）場合に CRC を有効化します。0x2 以外の値に設定されている場合は CRC を無効化します（チェックサム保護のセクションを参照）。	0x3	R/W

インターフェース・ステータス・レジスタ

アドレス：0x011、リセット：0x00、レジスタ名：SPI\_STATUS

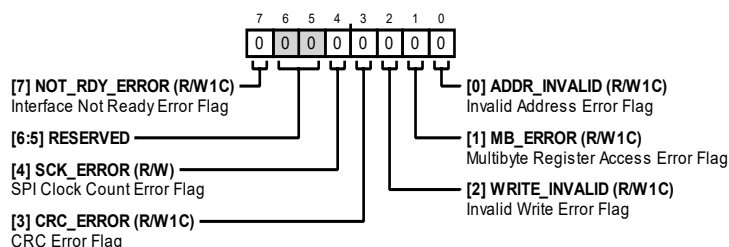


表 37. SPI\_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_RDY_ERROR	インターフェース・ノット・レディ・エラー・フラグ。このビットは、AD4695/AD4696 のインターフェースが応答する準備ができる前、例えば、デバイス・リセットが完了する前に、デジタル・ホストが SPI トランザクションを開始した場合に 1 にセットされます。	0x0	R/W1C
[6:5]	RESERVED	予備。	0x0	R

ビット	ビット名	説明	リセット	アクセス
4	SCK_ERROR	SPI クロック・カウント・エラー・フラグ。このビットは、SPI の読出しまたは書き込みのトランザクションで受信したシリアル・クロック・エッジ数が不適切な場合、例えば、SPI フレームがデータ・フェーズの途中で終了してしまった場合などに 1 にセットされます。	0x0	R/W
3	CRC_ERROR	CRC エラー・フラグ。このビットは、AD4695/AD4696 が予想値と一致しないチェックサムを受信した場合に 1 にセットされます (チェックサム保護のセクションを参照)。このエラー・フラグは、CRC が有効化されている場合にのみ、アクティブとなります。	0x0	R/WIC
2	WRITE_INVALID	無効書き込みエラー・フラグ。このビットは、読出し専用ビットのみを含むレジスタにデジタル・ホストが SPI 書き込みを行おうとした場合に 1 にセットされます。	0x0	R/WIC
1	MB_ERROR	複数バイト・レジスタ・アクセス・エラー・フラグ。このビットは、SPI トランザクションが複数バイト・レジスタのすべてのバイトにはアクセスしていない場合に 1 にセットされます。このエラー・フラグは、MB_STRICT ビットが 1 に設定されている場合にのみ、アクティブになります。	0x0	R/WIC
0	ADDR_INVALID	無効アドレス・エラー・フラグ。このビットは、SPI トランザクションが存在しないレジスタ (表 28 で指定された範囲にないアドレスのレジスタ) にアクセスしようとした場合に 1 にセットされます。	0x0	R/WIC

### デバイス・ステータス・レジスタ

アドレス : 0x014、リセット : 0x20、レジスタ名 : STATUS

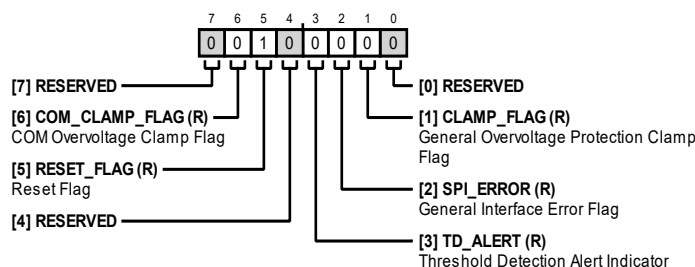


表 38. STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
6	COM_CLAMP_FLAG	COM 過電圧クランプ・フラグ。このビットは、COM 過電圧保護クランプが過電圧イベントによりアクティブになっているかどうかを示します。このビットは、非スティッキーで、COM 過電圧保護クランプが非アクティブになるとクリアされます。 0 : COM 過電圧保護クランプが非アクティブ。 1 : COM 過電圧保護クランプがアクティブ。	0x0	R
5	RESET_FLAG	リセット・フラグ。このビットは、このビットが最後に読み出されてからハードウェア・リセットまたはソフトウェア・リセットが行われたかどうかを示します。このビットは読み出されると自動でクリアされます。 0 : このビットが最後に読み出されてからデバイス・リセットは行われていない。 1 : このビットが最後に読み出されてからデバイス・リセットが行われている。	0x1	R
4	RESERVED	予備。	0x0	R
3	TD_ALERT	閾値検出アラート・インジケータ。このビットは、IN0~IN15 の上限または下限アラート・インジケータのいずれかの組み合わせがアサートされているかどうかを示します。このビットは、ALERT_STATUS1 レジスタ~ALERT_STATUS4 レジスタのすべての HI_INn ビットおよび LO_INn ビットの論理和です。このビットは非スティッキーです。 0 : いずれの上限または下限アラート・インジケータもアサートされていない。 1 : 少なくとも 1 つの上限または下限アラート・インジケータがアサートされている。	0x0	R
2	SPI_ERROR	一般インターフェース・エラー・フラグ。このビットは、SPI_STATUS レジスタのいずれかのエラー・フラグがアサートされているかどうかを示します。このビットは、SPI_STATUS レジスタのすべてのビットのビットワイズ論理和です。 0 : インターフェース・エラーは検出されてない。 1 : 少なくとも 1 つのインターフェース・エラーが検出されている。	0x0	R
1	CLAMP_FLAG	一般過電圧保護クランプ・フラグ。このビットは、IN0~IN15 の過電圧保護クランプが過電圧イベントによってアクティブ化されているかどうか (いずれかの INX_CLAMP_FLAG ビットがアサートされているかどうか) を示します。このビットはスティッキーで、ビットが読み出されてすべての INX_CLAMP_FLAG ビットがデアサートされた場合のみクリアされます。 0 : IN0~IN15 のすべての過電圧クランプが非アクティブ。 1 : 少なくとも 1 つの IN0~IN15 過電圧クランプがアクティブ。	0x0	R
0	RESERVED	予備。	0x0	R

## アラート・ステータス (IN0~IN3) レジスタ

アドレス : 0x015、リセット : 0x00、レジスタ名 : ALERT\_STATUS1

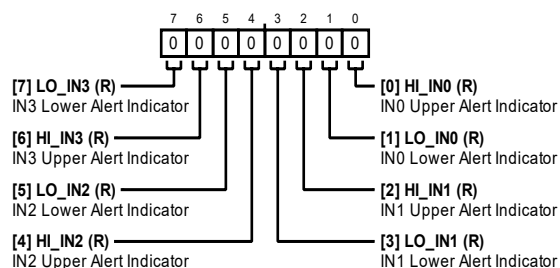


表 39. ALERT\_STATUS1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_IN3	IN3 下限アラート・インジケータ。このビットは、IN3の変換結果が IN3 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN3 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN3 の変換が HYST_IN3 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
6	HI_IN3	IN3 上限アラート・インジケータ。このビットは、IN3 の変換結果が IN3 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN3 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN3 の変換が HYST_IN3 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
5	LO_IN2	IN2 下限アラート・インジケータ。このビットは、IN2 の変換結果が IN2 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN2 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN2 の変換が HYST_IN2 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
4	HI_IN2	IN2 上限アラート・インジケータ。このビットは、IN2 の変換結果が IN2 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN2 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN2 の変換が HYST_IN2 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
3	LO_IN1	IN1 下限アラート・インジケータ。このビットは、IN1 の変換結果が IN1 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN1 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN1 の変換が HYST_IN1 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
2	HI_IN1	IN1 上限アラート・インジケータ。このビットは、IN1 の変換結果が IN1 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN1 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN1 の変換が HYST_IN1 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
1	LO_IN0	IN0 下限アラート・インジケータ。このビットは、IN0 の変換結果が IN0 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN0 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN0 の変換が HYST_IN0 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
0	HI_IN0	IN0 上限アラート・インジケータ。このビットは、IN0 の変換結果が IN0 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN0 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN0 の変換が HYST_IN0 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R

アラート・ステータス (IN4~IN7) レジスタ

アドレス : 0x016、リセット : 0x00、レジスタ名 : ALERT\_STATUS2

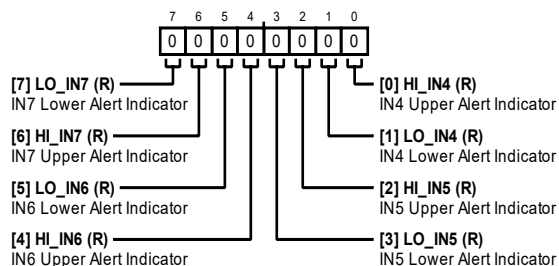


表 40. ALERT\_STATUS2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_IN7	IN7 下限アラート・インジケータ。このビットは、IN7の変換結果が IN7 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN7 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN7 の変換が HYST_IN7 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
6	HI_IN7	IN7 上限アラート・インジケータ。このビットは、IN7の変換結果が IN7 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN7 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN7 の変換が HYST_IN7 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
5	LO_IN6	IN6 下限アラート・インジケータ。このビットは、IN6の変換結果が IN6 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN6 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN6 の変換が HYST_IN6 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
4	HI_IN6	IN6 上限アラート・インジケータ。このビットは、IN6の変換結果が IN6 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN6 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN6 の変換が HYST_IN6 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
3	LO_IN5	IN5 下限アラート・インジケータ。このビットは、IN5の変換結果が IN5 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN5 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN5 の変換が HYST_IN5 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
2	HI_IN5	IN5 上限アラート・インジケータ。このビットは、IN5の変換結果が IN5 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN5 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN5 の変換が HYST_IN5 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
1	LO_IN4	IN4 下限アラート・インジケータ。このビットは、IN4の変換結果が IN4 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN4 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN4 の変換が HYST_IN4 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
0	HI_IN4	IN4 上限アラート・インジケータ。このビットは、IN4の変換結果が IN4 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN4 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN4 の変換が HYST_IN4 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R

## アラート・ステータス (IN8~IN11) レジスタ

アドレス : 0x017、リセット : 0x00、レジスタ名 : ALERT\_STATUS3

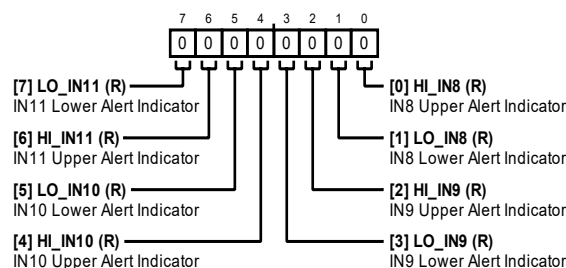


表 41. ALERT\_STATUS3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_IN11	IN11 下限アラート・インジケータ。このビットは、IN11の変換結果が IN11 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN0 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN11 の変換が HYST_IN11 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
6	HI_IN11	IN11 上限アラート・インジケータ。このビットは、IN11の変換結果が IN11 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN11 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN11 の変換が HYST_IN11 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
5	LO_IN10	IN10 下限アラート・インジケータ。このビットは、IN10の変換結果が IN10 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN0 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN10 の変換が HYST_IN10 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
4	HI_IN10	IN10 上限アラート・インジケータ。このビットは、IN10の変換結果が IN10 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN10 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN10 の変換が HYST_IN10 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
3	LO_IN9	IN9 下限アラート・インジケータ。このビットは、IN9の変換結果が IN9 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN9 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN9 の変換が HYST_IN9 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
2	HI_IN9	IN9 上限アラート・インジケータ。このビットは、IN9の変換結果が IN9 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN9 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN9 の変換が HYST_IN9 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
1	LO_IN8	IN8 下限アラート・インジケータ。このビットは、IN8の変換結果が IN8 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN8 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN8 の変換が HYST_IN8 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
0	HI_IN8	IN8 上限アラート・インジケータ。このビットは、IN8の変換結果が IN8 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN8 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN8 の変換が HYST_IN8 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R



アラート・ステータス (IN12~IN15) レジスタ

アドレス : 0x018、リセット : 0x00、レジスタ名 : ALERT\_STATUS4

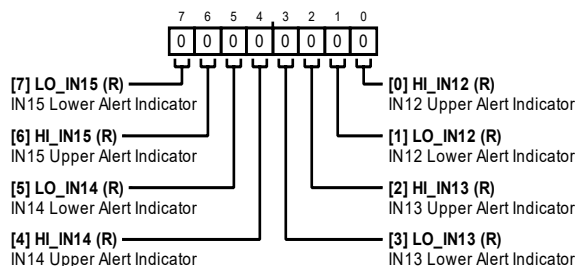


表 42. ALERT\_STATUS4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_IN15	IN15 下限アラート・インジケータ。このビットは、IN15 の変換結果が IN15 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN0 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN15 の変換が HYST_IN15 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
6	HI_IN15	IN15 上限アラート・インジケータ。このビットは、IN15 の変換結果が IN15 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN15 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN15 の変換が HYST_IN15 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
5	LO_IN14	IN14 下限アラート・インジケータ。このビットは、IN14 の変換結果が IN14 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN0 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN14 の変換が HYST_IN14 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
4	HI_IN14	IN14 上限アラート・インジケータ。このビットは、IN14 の変換結果が IN14 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN14 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN14 の変換が HYST_IN14 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
3	LO_IN13	IN13 下限アラート・インジケータ。このビットは、IN13 の変換結果が IN13 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN0 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN13 の変換が HYST_IN13 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
2	HI_IN13	IN13 上限アラート・インジケータ。このビットは、IN13 の変換結果が IN13 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN13 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN13 の変換が HYST_IN13 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
1	LO_IN12	IN12 下限アラート・インジケータ。このビットは、IN12 の変換結果が IN12 の下限閾値以下の場合に 1 にセットされます。このインジケータは、閾値検出が IN0 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN12 の変換が HYST_IN12 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R
0	HI_IN12	IN12 上限アラート・インジケータ。このビットは、IN12 の変換結果が IN12 の上限閾値以上の場合に 1 にセットされます。このインジケータは、閾値検出が IN12 で有効化されている場合にのみアクティブになります (閾値検出とアラート・インジケータのセクションを参照)。このビットは読み出すとクリアされます。セットアップ・レジスタの ALERT_MODE ビットが 1 に設定されている場合、後続の IN12 の変換が HYST_IN12 レジスタの HYSTERESIS フィールドで設定された範囲内にあると、このビットも自動的にクリアされます (アラート・インジケータ・レジスタのセクションを参照)。	0x0	R

## クランプ・ステータス (IN0~IN7) レジスタ

アドレス : 0x01A、リセット : 0x00、レジスタ名 : CLAMP\_STATUS1

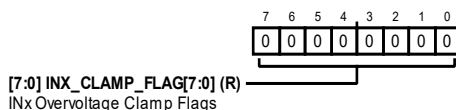


表 43. CLAMP\_STATUS1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INX_CLAMP_FLAG[7:0]	INx 過電圧クランプ・フラグ。このフィールドは、INx 過電圧保護クランプが過電圧イベントによりアクティブになっているかどうかを示します。各ビットがアナログ入力 (IN0~IN15) の 1 つに対応します。つまり、INX_CLAMP_FLAG[x]は、INx の過電圧保護クランプ・ステータスに対応します。INX_CLAMP_FLAG[x]は、INx の過電圧保護クランプがアクティブな場合に 1 にセットされます。このビットは非スティッキーで、対応する過電圧保護クランプが非アクティブになると自動的にクリアされます。	0x0	R

## クランプ・ステータス (IN8~IN15) レジスタ

アドレス : 0x01B、リセット : 0x00、レジスタ名 : CLAMP\_STATUS2

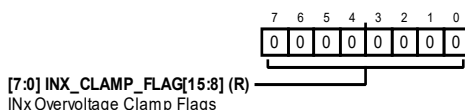


表 44. CLAMP\_STATUS2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INX_CLAMP_FLAG[15:8]	INx 過電圧クランプ・フラグ。このフィールドは、INx 過電圧保護クランプが過電圧イベントによりアクティブになっているかどうかを示します。各ビットがアナログ入力 (IN0~IN15) の 1 つに対応します。つまり、INX_CLAMP_FLAG[x]は、INx の過電圧保護クランプ・ステータスに対応します。INX_CLAMP_FLAG[x]は、INx の過電圧保護クランプがアクティブな場合に 1 にセットされます。このビットは非スティッキーで、対応する過電圧保護クランプが非アクティブになると自動的にクリアされます。	0x0	R

## デバイス・セットアップ・レジスタ

アドレス : 0x020、リセット : 0x10、レジスタ名 : SETUP

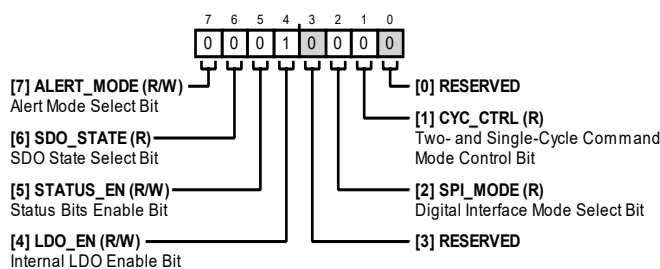


表 45. SETUP のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ALERT_MODE	アラート・モード選択ビット。このビットは、上限および下限アラート・インジケータ (HI_INn および LO_INn) をクリアする方法を定めます (アラート・インジケータ・レジスタのセクションを参照)。 0 : ヒステリシス有効化。 1 : ヒステリシス無効化。	0x0	R/W
6	SDO_STATE	SDO 状態選択ビット。このビットは、変換モード SPI フレームの開始時と終了時におけるシリアル・データ出力の動作を定めます (変換モードのタイミング図のセクションを参照)。 0 : シリアル・データ出力は、次の変換データの MSB がクロック・アウトされるまでその最終値を維持。 1 : シリアル・クロック出力でビジー・インジケータがイネーブル。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
5	STATUS_EN	ステータス・ビット・イネーブル・ビット。このビットは、変換モード時にステータス・ビットが変換データに追加されるかどうかを定めます（ <b>ステータス・ビット</b> のセクションを参照）。 0：ステータス・ビットをディスエーブル。 1：ステータス・ビットをイネーブル。	0x0	R/W
4	LDO_EN	内部 LDO イネーブル・ビット。このビットは、内部 LDO をイネーブルまたはディスエーブルします。VDD を外部の 1.8V 電源で駆動する場合は、内部 LDO をディスエーブルします。内部 LDO で VDD に給電している場合に内部 LDO をディスエーブルすると、VDD への電源供給がなくなり、ADC コアと設定レジスタがディスエーブルされます（ <b>内部 LDO</b> のセクションを参照）。 0：内部 LDO ディスエーブル。 1：内部 LDO イネーブル。	0x1	R/W
3	RESERVED	予備。	0x0	R/W
2	SPI_MODE	デジタル・インターフェース・モード選択ビット。このビットは、デバイスがレジスタ設定モードか変換モードかを定めます。このビットを 1 に設定すると変換モードになります。レジスタ設定モード・コマンドを受信すると、このビットは 0 にセットされます（ <b>レジスタ設定モード・コマンド</b> のセクションを参照）。 0：レジスタ設定モードを選択。 1：変換モードを選択。	0x0	R/W
1	CYC_CTRL	2 サイクルおよび単一サイクル・コマンド・モード・コントロール・ビット。このビットは、2 サイクル・コマンド・モードと単一サイクル・コマンド・モードの選択を行います。2 サイクル・コマンド・モード、標準シーケンサ、または詳細シーケンサを使用する場合はこのビットを 0 に設定する必要があります（ <b>チャンネル・シーケンシング・モード</b> のセクションを参照）。 0：2 サイクル・コマンド・モードを選択。 1：単一サイクル・コマンド・モードを選択。	0x0	R/W
0	RESERVED	予備。	0x0	R/W

## リファレンス・コントロール・レジスタ

アドレス：0x021、リセット：0x12、レジスタ名：REF\_CTRL

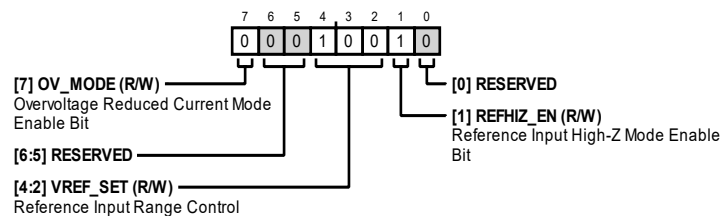


表 46. REF\_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	OV_MODE	過電圧減少電流モード有効化ビット。このビットは、過電圧減少電流モードを有効化または無効化します（ <b>入力過電圧保護クランプ</b> のセクションを参照）。 0：クランプ中に REF 電流を減少させる。 1：クランプ中に REF 電流を減少させない。	0x0	R/W
[6:5]	RESERVED	予備。	0x0	R/W
[4:2]	VREF_SET	リファレンス入力範囲制御。このフィールドは、使用中のリファレンス電圧に基づいて性能を最適化するようにデバイスを設定します。このフィールドは、REF ピンに印加される V <sub>REF</sub> 電圧に一致するようプログラムする必要があります。 0x0：2.4V ≤ V <sub>REF</sub> ≤ 2.75V。 0x1：2.75V < V <sub>REF</sub> ≤ 3.25V。 0x2：3.25V < V <sub>REF</sub> ≤ 3.75V。 0x3：3.75V < V <sub>REF</sub> ≤ 4.50V。 0x4：4.5V < V <sub>REF</sub> ≤ 5.10V。	0x4	R/W

ビット	ビット名	説明	リセット	アクセス
1	REFHIZ_EN	リファレンス入力高インピーダンス・モード有効化ビット。このビットは、リファレンス入力高インピーダンス・モードを有効化または無効化します（ <a href="#">リファレンス入力高インピーダンス・モード</a> のセクションを参照）。 0：リファレンス入力高インピーダンス・モードを無効化。 1：リファレンス入力高インピーダンス・モードを有効化。	0x1	R/W
0	RESERVED	予備。	0x0	R/W

## シーケンサ・コントロール・レジスタ

アドレス：0x022、リセット：0x80、レジスタ名：SEQ\_CTRL

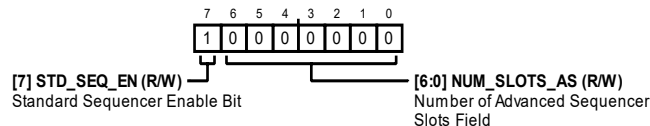


表 47. SEQ\_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	STD_SEQ_EN	標準シーケンサ・イネーブル・ビットこのビットは、標準シーケンサをイネーブルまたはディスエーブルします（ <a href="#">チャンネル・シーケンシング・モード</a> のセクションを参照）。 0：標準シーケンサをディスエーブル。 1：標準シーケンサをイネーブル。	0x1	R/W
[6:0]	NUM_SLOTS_AS	詳細シーケンサ・スロット数フィールド。このフィールドは、詳細シーケンサがイネーブルとなっている場合のシーケンスにおけるスロット数を定めます。スロット数は、NUM_SLOTS_AS + 1 です。このフィールドは、2 サイクル・コマンド・モードまたは単一サイクル・コマンド・モードを有効化する場合は、0x00 に設定する必要があります（ <a href="#">チャンネル・シーケンシング・モード</a> のセクションを参照）。	0x0	R/W

## 自動サイクル・コントロール・レジスタ

アドレス：0x023、リセット：0x00、レジスタ名：AC\_CTRL

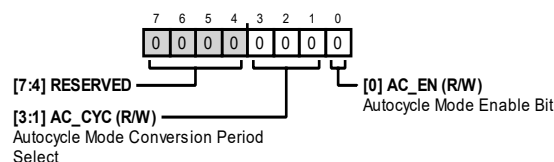


表 48. AC\_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:1]	AC_CYC	自動サイクル・モードの変換周期の選択。このフィールドは、自動サイクル・モードが有効となっている場合に内部変換開始信号の周期を設定します（ <a href="#">自動サイクル・モード</a> のセクションを参照）。 0x0：自動サイクル変換周期 = 10μs。 0x1：自動サイクル変換周期 = 20μs。 0x2：自動サイクル変換周期 = 40μs。 0x3：自動サイクル変換周期 = 80μs。 0x4：自動サイクル変換周期 = 100μs。 0x5：自動サイクル変換周期 = 200μs。 0x6：自動サイクル変換周期 = 400μs。 0x7：自動サイクル変換周期 = 800μs。	0x0	R/W
0	AC_EN	自動サイクル・モード有効化ビット。このビットは、自動サイクル・モードを有効化または無効化します（ <a href="#">自動サイクル・モード</a> のセクションを参照）。 0：自動サイクル・モードを無効化。 1：自動サイクル・モードを有効化。	0x0	R/W

標準シーケンサ設定レジスタ

アドレス : 0x024、リセット : 0x0001、レジスタ名 : STD\_SEQ\_CONFIG

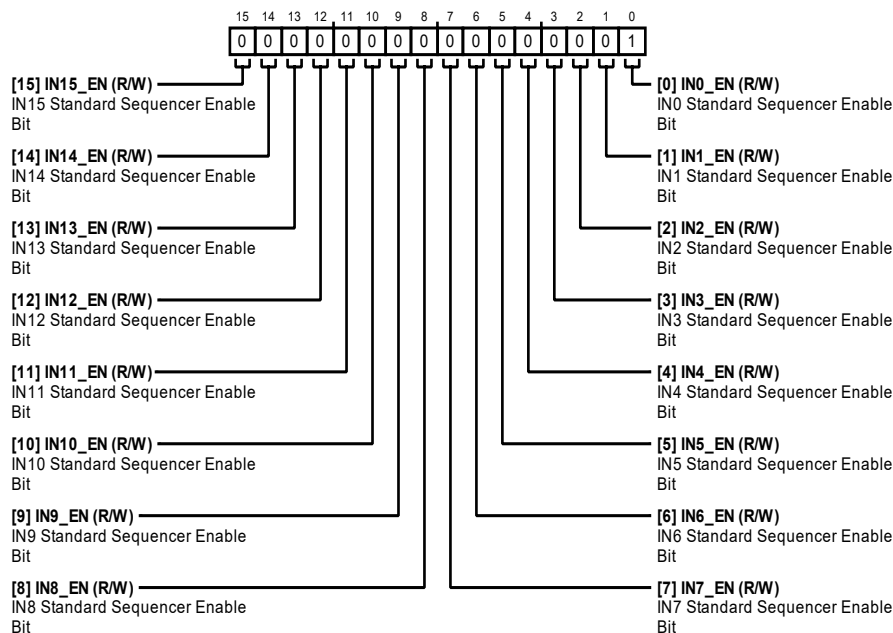


表 49. STD\_SEQ\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	IN15_EN	IN15 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN15 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
14	IN14_EN	IN14 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN14 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
13	IN13_EN	IN13 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN13 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
12	IN12_EN	IN12 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN12 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
11	IN11_EN	IN11 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN11 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
10	IN10_EN	IN10 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN10 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
9	IN9_EN	IN9 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN9 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
8	IN8_EN	IN8 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN8 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
7	IN7_EN	IN7 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN7 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
6	IN6_EN	IN6 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN6 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
5	IN5_EN	IN5 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN5 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
4	IN4_EN	IN4 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN4 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
3	IN3_EN	IN3 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN3 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
2	IN2_EN	IN2 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN2 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
1	IN1_EN	IN1 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN1 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x0	R/W
0	IN0_EN	IN0 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN0 がチャンネル・シーケンスに含まれます (標準シーケンサのセクションを参照)。	0x1	R/W

**GPIO イネーブル・レジスタ**

アドレス：0x026、リセット：0x00、レジスタ名：GPIO\_CTRL

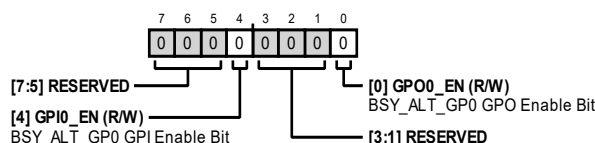


表 50. GPIO\_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R/W
4	GPIO_EN	BSY_ALT_GP0 GPI イネーブル・ビット。このビットは、優先度が上位の機能が無効化されている場合に、BSY_ALT_GP0 ピンを汎用入力として設定します（汎用ピンのセクションを参照）。 0：BSY_ALT_GP0 での汎用入力機能を無効化。 1：BSY_ALT_GP0 での汎用入力機能を有効化。	0x0	R/W
[3:1]	RESERVED	予備。	0x0	R/W
0	GPO0_EN	BSY_ALT_GP0 GPO イネーブル・ビット。このビットは、優先度が上位の機能がすべて無効化されている場合に、BSY_ALT_GP0 ピンを汎用出力として設定します（汎用ピンのセクションを参照）。 0：BSY_ALT_GP0 での汎用出力機能を無効化。 1：BSY_ALT_GP0 での汎用出力機能を有効化。	0x0	R/W

**汎用ピン機能コントロール・レジスタ**

アドレス：0x027、リセット：0x00、レジスタ名：GP\_MODE

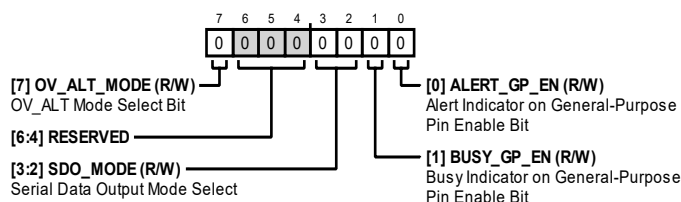


表 51. GP\_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	OV_ALT_MODE	OV_ALT モード選択ビット。このビットは、閾値検出アラート・インジケータの状態をレポートする、ステータス・ビットの OV_ALT ビットを設定します（ステータス・ビットのセクションを参照）。 0：OV_ALT ビットを TD_ALERT ビットの状態をレポートするように設定しない。 1：OV_ALT ビットを TD_ALERT ビットの状態をレポートするように設定する。	0x0	R/W
6	RESERVED	予備。	0x0	R
[5:4]	RESERVED	予備。	0x0	R/W
[3:2]	SDO_MODE	シリアル・データ出力モードの選択。このフィールドは、シリアル・データの出力モードを選択します。 0：シングル SDO モードを有効化。 1：デュアル SDO モードを有効化。 01：シングル SDO モードを有効化。 11：シングル SDO モードを有効化。	0x0	R/W
1	BUSY_GP_EN	汎用ピンでのビジー・インジケータ・イネーブル・ビット。このフィールドは、優先度が上位の機能がすべて無効化されている場合に、BSY_ALT_GP0 ピンのビジー・インジケータをイネーブルまたはディスエーブルします（汎用ピンのセクションを参照）。 0：汎用ピン機能でのビジー・インジケータをディスエーブル。 1：汎用ピン機能でのビジー・インジケータをイネーブル。	0x0	R/W
0	ALERT_GP_EN	汎用ピンでのアラート・インジケータ・イネーブル・ビット。このビットは、優先度が上位の機能がすべて無効化されている場合に、BSY_ALT_GP0 ピンのアラート・インジケータをイネーブルまたはディスエーブルします（汎用ピンのセクションを参照）。 0：汎用ピン機能でのアラート・インジケータをディスエーブル。 1：汎用ピン機能でのアラート・インジケータをイネーブル。	0x0	R/W

### GPIO 状態レジスタ

アドレス : 0x028、リセット : 0x00、レジスタ名 : GPIO\_STATE

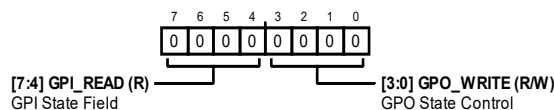


表 52. GPIO\_STATE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GPI_READ	GPIの状態フィールド。GPI_READのビット0は、BSY_ALT_GPOピンが汎用入力として設定されている場合に、その状態を示します。	0x0	R
[3:0]	GPO_WRITE	GPOの状態制御。GPO_WRITEのビット0は、BSY_ALT_GPOピンが汎用出力として設定されている場合に、その状態を設定します。 0000 : BSY_ALT_GPOはロジック・ロー電圧に駆動されます。 0001 : BSY_ALT_GPOはロジック・ハイ電圧に駆動されます。	0x0	R/W

### 温度センサー・コントロール・レジスタ

アドレス : 0x029、リセット : 0x00、レジスタ名 : TEMP\_CTRL

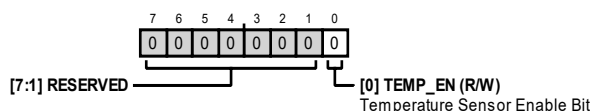


表 53. TEMP\_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	TEMP_EN	温度センサー・イネーブル・ビットこのビットは、標準シーケンスまたは詳細シーケンスがイネーブルの場合に、チャンネル・シーケンスで温度センサーをイネーブルまたはディスエーブルします（温度センサーのセクションを参照）。 0 : 温度センサーはチャンネル・シーケンスに含まれない。 1 : 温度センサーがチャンネル・シーケンスに含まれる。	0x0	R/W

### アナログ入力設定値設定レジスタ

アドレス : 0x030~アドレス 0x03F (0x001のインクリメント)、リセット : 0x08、レジスタ名 : CONFIG\_INn

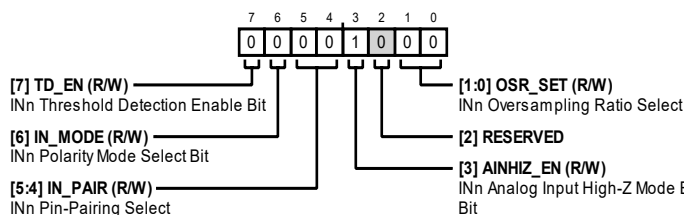


表 54. CONFIG\_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	TD_EN	INn 閾値検出イネーブル・ビット。標準シーケンスがイネーブルの場合、CONFIG_IN0レジスタのTD_ENビットはIN0~IN15の閾値検出を有効化または無効化します。詳細シーケンスがイネーブルの場合、各CONFIG_INnレジスタのTD_ENビットは、対応するINnアナログ入力の閾値検出のみを有効化または無効化します。HI_INnおよびLO_INnアラート・インジケータ・ビットは、閾値検出が対応するINnアナログ入力に有効化されている場合にアクティブになります（閾値検出とアラート・インジケータのセクションを参照）。 0 : INnの閾値検出を無効化。 1 : INnの閾値検出を有効化。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
6	IN_MODE	IN <sub>n</sub> 極性モード選択ビット。このビットは、対応する IN <sub>n</sub> アナログ入力の極性モードを選択します（ <a href="#">チャンネル設定オプション</a> のセクションを参照）。CONFIG_IN <sub>n</sub> レジスタのその他のコントロール・ビットとは異なり、各 IN <sub>n</sub> のアナログ入力の極性モードは、チャンネル・シーケンシング・モードにかかわらず常に、対応する CONFIG_IN <sub>n</sub> レジスタの IN_MODE ビットで設定されます。 0：IN <sub>n</sub> にユニポーラ・モードを選択。 1：IN <sub>n</sub> に擬似バイポーラ・モードを選択。	0x0	R/W
[5:4]	IN_PAIR	IN <sub>n</sub> ピン・ペアリング選択。このフィールドは、対応する IN <sub>n</sub> アナログ入力のピン・ペアリング・オプションを選択します（ <a href="#">チャンネル設定オプション</a> のセクションを参照）。標準シーケンサがイネーブルの場合、CONFIG_IN0 レジスタの IN_PAIR フィールドが IN0～IN15 のピン・ペアリング・オプションを設定します。詳細シーケンサがイネーブルの場合、各 CONFIG_IN <sub>n</sub> レジスタの IN_PAIR ビットは、対応する IN <sub>n</sub> アナログ入力のピン・ペアリング・オプションのみを設定します。 0x0：IN <sub>n</sub> は REF <sub>GND</sub> とペアリング。 0x1：IN <sub>n</sub> は COM とペアリング。 0x2：偶数入力と奇数入力ペアリング。 0x3：無効。	0x0	R/W
3	AINHIZ_EN	IN <sub>n</sub> アナログ入力高インピーダンス・モード有効化ビット。標準シーケンサがイネーブルの場合、CONFIG_IN0 レジスタの AINHIZ_EN ビットが IN0～IN15 のアナログ入力高インピーダンス・モードを有効化または無効化します。詳細シーケンサがイネーブルの場合、各 CONFIG_IN <sub>n</sub> レジスタの AINHIZ_EN ビットは、対応する IN <sub>n</sub> アナログ入力のアナログ入力高インピーダンス・モードのみを有効化または無効化します（ <a href="#">アナログ入力高インピーダンス・モード</a> のセクションを参照）。 0：IN <sub>n</sub> のアナログ入力高インピーダンス・モードを無効化。 1：IN <sub>n</sub> のアナログ入力高インピーダンスを有効化。	0x1	R/W
2	RESERVED	予備。	0x0	R
[1:0]	OSR_SET	IN <sub>n</sub> のオーバーサンプリング比を選択。標準シーケンサがイネーブルの場合、CONFIG_IN0 レジスタの OSR_SET フィールドが IN0～IN15 の OSR を設定します。詳細シーケンサがイネーブルの場合、各 CONFIG_IN <sub>n</sub> レジスタの OSR_SET フィールドは、対応する IN <sub>n</sub> アナログ入力の OSR のみを設定します。2 サイクル・コマンド・モードまたは単一サイクル・コマンド・モードがイネーブルの場合は、すべての CONFIG_IN <sub>n</sub> レジスタの OSR_SET フィールドを 0x0 に設定します（ <a href="#">オーバーサンプリングおよびデシメーション</a> のセクションを参照）。 0x0：OSR = 1（オーバーサンプリングなし）。 0x1：OSR = 4。出力コードの結果分解能は 17 ビットに増加。 0x2：OSR = 16。出力コードの結果分解能は 18 ビットに増加。 0x3：OSR = 64。出力コードの結果分解能は 19 ビットに増加。	0x0	R/W

## 上限閾値レジスタ

アドレス：0x040～アドレス 0x05E（0x002 のインクリメント）、リセット：0x07FF、レジスタ名：UPPER\_IN<sub>n</sub>

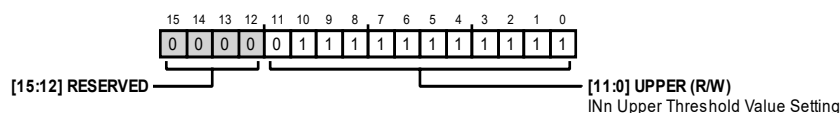


表 55. UPPER\_IN<sub>n</sub> のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
[11:0]	UPPER	IN <sub>n</sub> の上限閾値の設定値。このフィールドは、対応する IN <sub>n</sub> アナログ入力の上限閾値を定めます（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。UPPER フィールドの値は、ADC の結果の 12MSB に対応します。	0x7FF	R/W



下限閾値レジスタ

アドレス：0x060～アドレス 0x07E（0x002 のインクリメント）、リセット：0x0000、レジスタ名：LOWER\_INn

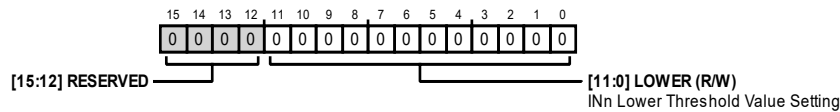


表 56. LOWER\_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
[11:0]	LOWER	INn の下限閾値の設定値。このフィールドは、対応する INn アナログ入力の下限閾値を定めます（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。LOWER フィールドの値は、ADC の結果の 12MSB に対応します。	0x0	R/W

ヒステリシス設定値レジスタ

アドレス：0x080～アドレス 0x09E（0x002 のインクリメント）、リセット：0x0010、レジスタ名：HYST\_INn

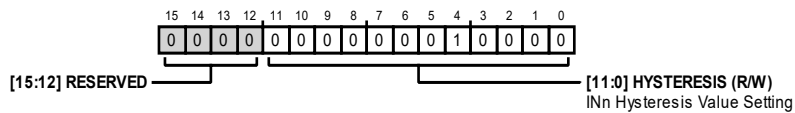


表 57. HYST\_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
[11:0]	HYSTERESIS	INn のヒステリシス値の設定値。このフィールドは、対応する INn アナログ入力のヒステリシス値を定めます（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。HYSTERESIS フィールドの値は、ADC の結果の 12MSB に対応します。	0x10	R/W

INn オフセット補正レジスタ

アドレス：0x0A0～アドレス 0x0BE（0x002 のインクリメント）、リセット：0x0000、レジスタ名：OFFSET\_INn

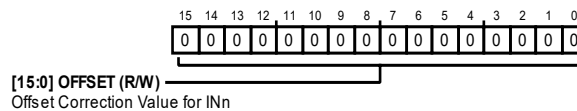


表 58. OFFSET\_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	OFFSET	INn のオフセット補正值。このレジスタは、INn チャンネルの結果に適用されるオフセット補正を設定します。オフセット補正の詳細な説明については、 <a href="#">オフセットおよびゲイン補正</a> のセクションを参照してください。	0x0	R/W

INn ゲイン補正レジスタ

アドレス：0x0C0～アドレス 0x0DE（0x002 のインクリメント）、リセット：0x8000、レジスタ名：GAIN\_INn

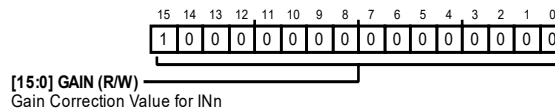


表 59. GAIN\_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	GAIN	INn のゲイン補正值。このレジスタは、INn チャンネルの結果に適用されるゲイン補正を設定します。ゲイン補正の詳細な説明については、 <a href="#">オフセットおよびゲイン補正</a> のセクションを参照してください。	0x8000	R/W

詳細シーケンサ・スロット・レジスタ

アドレス : 0x100~アドレス 0x17F (0x001 のインクリメント) 、リセット : 0x00、レジスタ名 : AS\_SLOTn

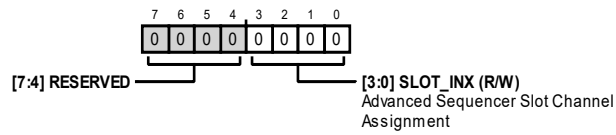
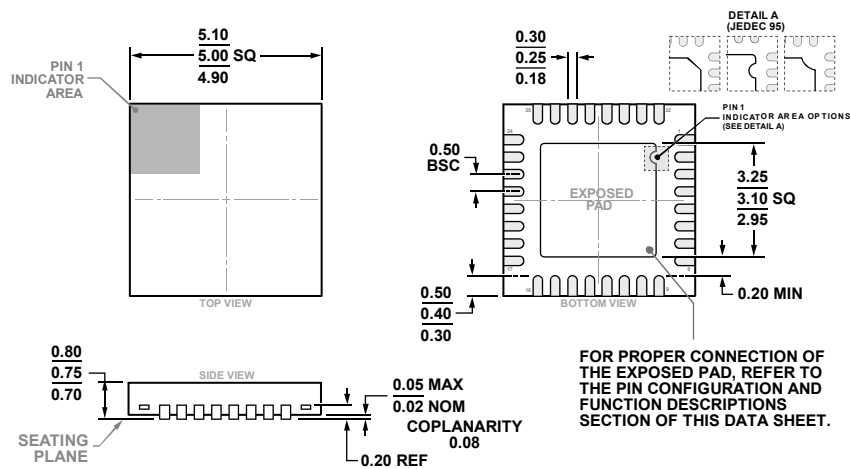


表 60. AS\_SLOTn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	SLOT_INX	<p>詳細シーケンサのスロット・チャンネル割当て。このフィールドは、16 個のアナログ入力 (INx) のどれをスロット n に割り当てるかを定めます (詳細シーケンサのセクションを参照)。</p> <p>0x0 : IN0。                      0x1 : IN1。                      0x2 : IN2。                      0x3 : IN3。                      0x4 : IN4。                      0x5 : IN5。                      0x6 : IN6。                      0x7 : IN7。                      0x8 : IN8。                      0x9 : IN9。                      0xA : IN10。                      0xB : IN11。                      0xC : IN12。                      0xD : IN13。                      0xE : IN14。                      0xF : IN15。</p>	0x0	R/W

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD

☒ 120. 32ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP]  
 5mm × 5mm ボディ、0.75mm パッケージ高  
 (CP-32-7)  
 寸法：mm

オーダー・ガイド

Model <sup>1</sup>	Sample Rate	Temperature Range	Package Description	Ordering Quantity	Package Option
AD4695BCPZ	500 kSPS	-40°C to +125°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	490	CP-32-7
AD4695BCPZ-RL7	500 kSPS	-40°C to +125°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	1500	CP-32-7
AD4696BCPZ	1 MSPS	-40°C to +125°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	490	CP-32-7
AD4696BCPZ-RL7	1 MSPS	-40°C to +125°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	1500	CP-32-7

<sup>1</sup> Z = RoHS 準拠製品