

特長

- ▶ 高性能
 - ▶ スループット：2MSPS (AD4030-24) または500kSPS (AD4032-24) のオプション
 - ▶ INL：±0.9ppm (最大値) (-40°C~+125°C)
 - ▶ S/N比：108.4dB (代表値)
 - ▶ THD：-127dB (代表値)
 - ▶ NSD：-169dBFS/Hz (代表値)
- ▶ 低消費電力
 - ▶ 30mW (2MSPS時)
 - ▶ 10mW (500kSPS時)
 - ▶ 3mW (10kSPS時)
- ▶ Easy Drive™機能によるシステムの複雑さの軽減
 - ▶ DC入力に対し1.2μAの低入力電流 (2MSPS時)
 - ▶ 広いコモンモード入力範囲：-(1/128) × V_{REF} ~ +(129/128) × V_{REF}
- ▶ 柔軟な外部リファレンス電圧範囲：4.096V~5V
 - ▶ 2μFのバイパス・コンデンサを使用する高精度リファレンス・バッファを内蔵
- ▶ プログラマブルなブロック平均化フィルタによる最大2¹⁶のデシメーション
 - ▶ サンプリング分解能を30ビットに拡張
 - ▶ オーバーレンジ・ビットおよび同期ビット
- ▶ Flexi-SPIデジタル・インターフェース
 - ▶ 1、2、または4個のSDOレーンによりSCKの低速化が可能
 - ▶ エコー・クロック・モードにより、デジタル・アイソレータが容易に使用可能
 - ▶ 1.2V~1.8Vのロジックに対応
- ▶ 7mm x 7mmの64ボール CSP_BGAパッケージに電源およびリファレンス・コンデンサを内蔵し、システム・フットプリントを低減

アプリケーション

- ▶ ATE (自動試験装置)
- ▶ デジタル制御ループ
- ▶ 医療用計測機器
- ▶ 地震計測
- ▶ 半導体製造
- ▶ 科学計測器

機能ブロック図

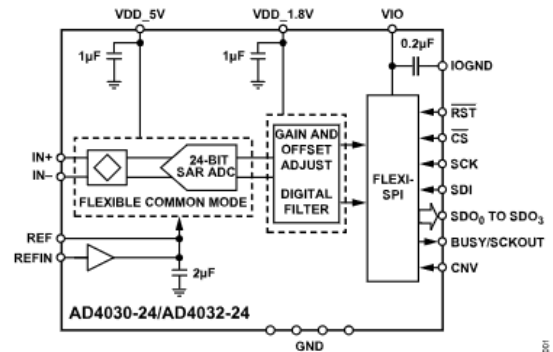


図 1. 機能ブロック図

概要

AD4030-24/AD4032-24は、Easy Drive™を備えた2MSPSまたは500kSPSの逐次比較レジスタ (SAR) A/Dコンバータ (ADC) です。最大±0.9ppmの積分非直線性 (INL) と24ビットでのノー・ミス・コードが確保されたAD4030-24/AD4032-24は、-40°C~+125°Cで比類ない精度を実現します。AD4030-24/AD4032-24の機能アーキテクチャを図1に示します。

低ドリフト高精度のリファレンス・バッファが内蔵されているため、電圧リファレンスを他のシステム回路と容易に共有できます。5Vのリファレンスを使用する場合、AD4030-24/AD4032-24のダイナミック・レンジは109dB (代表値) です。低ノイズ・フロアであるため、シグナル・チェーンに必要なゲインや消費電力を下げる事ができます。デシメーション・レシオがプログラマブルなブロック平均化フィルタにより、ダイナミック・レンジを最大155.5dBまで増加させることができます。差動入力範囲とコモンモード電圧範囲が広いため、入力において±V_{REF}の全範囲を飽和することなく使用でき、シグナル・コンディショニング条件とシステム・キャリブレーションを簡素化できます。Easy Driveアナログ入力ではセトリングが向上しているため、AD4030-24/AD4032-24に対応可能なアナログ・フロント・エンド部品の選択肢が広がります。シングルエンド信号と差動信号のどちらもサポートされています。

用途の広いFlexi-SPIシリアル・ペリフェラル・インターフェース (SPI) により、ホスト・プロセッサとADCの統合を容易に行うことができます。広いデータ・クロック・ウィンドウ、複数のSDOレーン、オプションのデュアル・データ・レート (DDR) データ・クロックにより、2MSPSまたは500kSPSのサンプリング・レートで動作しながら、シリアル・クロックを10MHzに下げることができます。エコー・クロック・モードとADCホスト・クロック・モードは、タイミング条件を緩和し、デジタル・アイソレータの使用を簡素化します。

AD4030-24/AD4032-24の7mm x 7mm、64ボールCSP_BGAパッケージには、重要な電源とリファレンス・バイパス・コンデンサがすべて搭載されているため、フットプリントとシステムの部品数を削減すると共に、ボード・レイアウトによる影響を軽減することができます。

目次

特長.....	1	デバイスのリセット.....	27
アプリケーション.....	1	電源.....	27
機能ブロック図.....	1	シリアル・インターフェース.....	29
概要.....	1	SPI信号.....	29
仕様.....	4	サンプル変換タイミングとデータ転送.....	31
タイミング仕様.....	6	クロック・モード.....	32
絶対最大定格.....	12	データ・クロック条件とタイミング.....	35
熱抵抗.....	12	レイアウトのガイドライン.....	39
静電放電 (ESD) 定格.....	12	レジスタ.....	40
ESDに関する注意.....	12	レジスタの詳細.....	41
ピン配置およびピン機能の説明.....	13	インターフェース設定Aレジスタ.....	41
代表的な性能特性.....	15	インターフェース設定Bレジスタ.....	41
用語.....	20	デバイス設定レジスタ.....	42
積分非直線性誤差 (INL).....	20	チップ・タイプ・レジスタ.....	42
微分非直線性誤差 (DNL).....	20	製品IDロー・レジスタ.....	42
ゼロ誤差 (ZE).....	20	製品IDハイ・レジスタ.....	42
ゲイン誤差 (GE).....	20	チップ・グレード・レジスタ.....	43
スプリアスフリー・ダイナミック・レンジ (SFDR).....	20	スクラッチ・パッド・レジスタ.....	43
有効ビット数 (ENOB).....	20	SPIリビジョン・レジスタ.....	43
全高調波歪み (THD).....	20	ベンダIDロー・レジスタ.....	44
ダイナミック・レンジ (DR).....	20	ベンダIDハイ・レジスタ.....	44
S/N比 (SNR).....	20	ストリーム・モード・レジスタ.....	44
信号/ノイズ+歪み (SINAD) 比.....	20	インターフェース・ステータスAレジスタ.....	44
アパーチャ遅延.....	20	設定モード終了レジスタ.....	45
過渡応答.....	20	平均化モード・レジスタ.....	45
同相ノイズ除去比 (CMRR).....	20	オフセット・レジスタ.....	46
電源電圧変動除去比 (PSRR).....	20	ゲイン・レジスタ.....	46
動作原理.....	21	モード・レジスタ.....	47
概要.....	21	内部発振器レジスタ.....	47
コンバータの動作.....	21	出力ドライバ・レジスタ.....	48
伝達関数.....	22	テスト・パターン・レジスタ.....	48
アナログ機能.....	22	デジタル診断レジスタ.....	49
デジタル・サンプリング処理機能.....	22	デジタル誤差レジスタ.....	49
アプリケーション情報.....	25	外形寸法.....	50
代表的なアプリケーション図.....	25	オーダー・ガイド.....	50
アナログ・フロント・エンドの設計.....	25	評価用ボード.....	50
リファレンス回路の設計.....	25		

改訂履歴

2022年8月 Revision 0からRevision Aに改定:

AD4032-24を追加.....	1
特長のセクション、図1、概要のセクションを変更.....	1

表1を変更	4
表2を変更	6
表9を変更	12
表11を変更	13
図25のキャプションを変更.....	17
図26を追加。ナンバリング変更.....	17
図30のキャプション、図35を変更.....	18
図31を追加	18
図36を追加	19
概要のセクションを変更.....	21
図44、図45を変更	25
図46、リファレンス回路の設計のセクションを変更	26
図50を変更	29
図54、図55を変更	33
表23を変更	43
表28を変更	44
表29を変更	45
表38を変更	48
外形寸法を更新.....	50
オーダー・ガイドを変更.....	50

2022年4月 Revision 0: 初版

仕様

特に指定のない限り、VDD_5V = 5.4V、VDD_1.8V = 1.8V、VIO = 1.8V、REFIN = 5V、入力コモンモード = 2.5V、f_S = 2MSPS (AD4030-24) または500kSPS (AD4032-24)、および全仕様はT_{MIN}~T_{MAX}での値です。代表値はT_A = 25°Cでの値です。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RESOLUTION		24			Bits
ANALOG INPUT					
Voltage Range	V _{IN+} - V _{IN-}	$-(65/64) \times V_{REF}$		$+(65/64) \times V_{REF}$	V
Absolute Input Voltage	GNDを基準としたV _{IN+} 、V _{IN-}	$-(1/128) \times V_{REF}$		$+(129/128) \times V_{REF}$	V
Common-Mode Input Range	(V _{IN+} + V _{IN-})/2	$-(1/128) \times V_{REF}$		$+(129/128) \times V_{REF}$	V
Common-Mode Rejection Ratio (CMRR)	f _{IN} = 10kHz		132		dB
Analog Input Current	アクイジション・フェーズ、T = 25°C		0.8		nA
	DC入力を2MSPSで変換		1.2		μA
Analog Input Capacitance	アクイジション・フェーズ		120		pF
	アクイジション・フェーズ (C _{PIN})		4		pF
THROUGHPUT					
Complete Cycle					
AD4030-24		500			ns
AD4032-24		2000			ns
Conversion Time		264	282	300	ns
Acquisition Phase ¹					
AD4030-24		244	260	275	ns
AD4032-24		1744	1760	1775	ns
Throughput Rate					
AD4030-24		0		2	MSPS
AD4032-24		0		500	kSPS
DC ACCURACY					
No Missing Codes		24			Bits
Integral Nonlinearity Error (INL)		-0.9	±0.1	+0.9	ppm
Differential Nonlinearity Error (DNL)			±0.5		LSB
Transition Noise			21		LSB rms
Zero Error		-90	0	+90	μV
Zero Error Drift			±0.007		ppm/°C
Gain Error	バッファをディスエーブル、REF = 5V	-0.004	±0.0002	+0.004	%FS
	バッファをイネーブル、REFIN = 5V	-0.008	±0.0006	+0.008	%FS
Gain Error Temperature Drift	バッファをディスエーブル、REF = 5V		±0.025		ppm/°C
	バッファをイネーブル、REFIN = 5V		±0.07		ppm/°C
Power Supply Sensitivity	VDD_5V = 5.4V ± 0.1V		±0.1		ppm
	VDD_1.8V = 1.8V ± 5%		±0.2		ppm
Low Frequency Noise ²	帯域幅 = 0.1Hz~10Hz		1.3		μV p-p
AC ACCURACY					
Dynamic Range			109		dB
Noise Spectral Density (NSD)			-169		dBFS/Hz
Total RMS Noise			12.5		μV rms
Signal-to-Noise Ratio (SNR)	f _{IN} = 1kHz、-0.5dBFS	105.6	108.4		dB
Spurious-Free Dynamic Range (SFDR)	f _{IN} = 1kHz、-0.5dBFS		127		dB
Total Harmonic Distortion (THD)	f _{IN} = 1kHz、-0.5dBFS		-127	-115	dB
Signal-to-Noise-and-Distortion (SINAD) Ratio	f _{IN} = 1kHz、-0.5dBFS	105.6	108.3		dB
Oversampled Dynamic Range	平均化 = 2		112		dB
	平均化 = 256		133		dB

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位	
SNR	平均化 = 65536		155.5		dB	
	VDD_5V = 5.0V, f _{IN} = 1kHz, -0.5dBFS, REFIN = 4.096V		106.7		dB	
	SFDR	VDD_5V = 5.0V, f _{IN} = 1kHz, -0.5dBFS, REFIN = 4.096V		130		dB
	THD	VDD_5V = 5.0V, f _{IN} = 1kHz, -0.5dBFS, REFIN = 4.096V		-130		dB
	SINAD	VDD_5V = 5.0V, f _{IN} = 1kHz, -0.5dBFS, REFIN = 4.096V		106.7		dB
	SNR	f _{IN} = 100kHz, -0.5dBFS		108.1		dB
	THD	f _{IN} = 100kHz, -0.5dBFS		-113		dB
	SINAD	f _{IN} = 100kHz, -0.5dBFS		106.9		dB
	-3 dB Input Bandwidth			74		MHz
	Aperture Delay			0.7		ns
Aperture Jitter			1.4		ps rms	
INTERNAL REFERENCE BUFFER	外部リファレンスがREFINを駆動					
REFIN Voltage Range	5.3V ≤ VDD_5V ≤ 5.5V	4.95	5	5.05	V	
	4.8V ≤ VDD_5V ≤ 5.25V		4.5		V	
	4.75V ≤ VDD_5V ≤ 5.25V	4.046	4.096	4.146	V	
REFIN Bias Current		-50	5	+50	nA	
REFIN Input Capacitance			40		pF	
Reference Buffer Offset Error	REFIN = 5V, T _A = 25°C	-100	±25	+100	μV	
	REFIN = 4.5V, T _A = 25°C		±25		μV	
	REFIN = 4.096V, T _A = 25°C	-100	±25	+100	μV	
Reference Buffer Offset Drift			±0.3		μV/°C	
Power-On Settling Time			3		ms	
EXTERNALLY OVERDRIVEN REFERENCE	外部リファレンスがREFを駆動 (REFIN = 0)					
REF Voltage Range	5.3V ≤ VDD_5V ≤ 5.5V	4.95	5	5.05	V	
	4.8V ≤ VDD_5V ≤ 5.25V		4.5		V	
	4.75V ≤ VDD_5V ≤ 5.25V	4.046	4.096	4.146	V	
REF Current	AD4030-24		fS = 2MSPS	1.8	μA	
	AD4032-24		fS = 500kSPS	0.5	μA	
REF Input Capacitance			2		μF	
DIGITAL INPUTS	1.14V ≤ VIO ≤ 1.89V					
Logic Levels						
Input Voltage Low (V _{IL})		-0.3		+0.35 × VIO	V	
Input Voltage High (V _{IH})		0.65 × VIO		VIO + 0.3	V	
Input Current Low (I _{IL})		-10		+10	μA	
Input Current High (I _{IH})		-10		+10	μA	
Input Pin Capacitance			2		pF	
DIGITAL OUTPUTS	1.14V ≤ VIO ≤ 1.89V					
Pipeline Delay						
Output Voltage Low (V _{OL})	I _{SINK} = 2mA			0.25 × VIO	V	
Output Voltage High (V _{OH})	I _{SOURCE} = 2mA	0.75 × VIO			V	

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
POWER SUPPLIES					
VDD_5V	REF = 5V	5.3	5.4	5.5	V
	REF = 4.5V	4.8	5	5.25	V
	REF = 4.096V	4.75	5	5.25	V
VDD_1.8V		1.71	1.8	1.89	V
VIO ³		1.14		1.89	V
Standby Current					
VDD_5V			500		μA
VDD_1.8V			90		μA
VIO			< 1		μA
Shutdown Current					
VDD_5V			5		μA
VDD_1.8V			5		μA
VIO			< 1		μA
Operating Current, AD4030-24					
2MSPS					
VDD_5V	VDD_5V = 5.4V		2.7	3.2	mA
VDD_1.8V	VDD_1.8V = 1.8V		8.2	11.2	mA
VIO	VIO = 1.8V, 1レーンSDO		0.6		mA
Operating Current, AD4032-24					
500kSPS					
VDD_5V	VDD_5V = 5.4V		1.1	1.5	mA
VDD_1.8V	VDD_1.8V = 1.8V		2.1	3.1	mA
VIO	VIO = 1.8V, 1レーンSDO		0.15		mA
Power Dissipation					
2MSPS					
500kSPS					
			30	39	mW
			10	14.2	mW
t _{RESET_DELAY}	パワーオン後、VDD_5VおよびVDD_1.8Vが有効になってから $\overline{\text{RST}}$ がアサートされるまでの遅延	3			ms
t _{RESET_PW}	$\overline{\text{RST}}$ のパルス幅	50			ns
TEMPERATURE RANGE					
Specified Performance	T _{MIN} ~ T _{MAX}	-40		+125	°C

- 1 アクイジション・フェーズとは、AD4030-24では2MSPS、AD4032-24では500kSPSのスループット・レートで動作しているときに、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。
- 2 図24の低周波数ノイズ・プロットを参照してください。1/fノイズは、オートゼロ機能により内部で打ち消されます。ノイズ・スペクトル密度は、DC ~ f_s/2の範囲で実質的に一定です。
- 3 VIO < 1.4Vの場合、ビットIO2Xを1に設定する必要があります。出力ドライバ・レジスタのセクションを参照してください。

タイミング仕様

特に指定のない限り、VDD_5V = 5.4V、VDD_1.8V = 1.8V、VIO = 1.8V、REFIN = 5V、入力コモンモード = 2.5V、f_s = 2MSPS (AD4030-24) または500kSPS (AD4032-24)、および全仕様はT_{MIN} ~ T_{MAX}での値です。代表値はT_A = 25°Cでの値です。タイミング電圧レベルについては図2を参照してください。VIO < 1.4Vの場合、ビットIO2Xを1に設定する必要があります。

表 2. デジタル・タイミング・インターフェース

パラメータ ¹	記号	最小値	代表値	最大値	単位
Conversion Time: CNV Rising Edge to Data Available	t _{CONV}	264	282	300	ns
Acquisition Phase ²	t _{ACQ}				
AD4030-24		244	260	275	ns
AD4032-24		1744	1760	1775	ns
Time Between Conversions	t _{CYC}				
AD4030-24		500			ns
AD4032-24		2000			ns

CNV High Time	t_{CNVH}	10			ns
CNV Low Time	t_{CNVL}	20			ns
Internal Oscillator Frequency	f_{OSC}	75.1	80	84.7	MHz

- 1 タイミング仕様は、デジタル出力ピンでの負荷容量が5pFであると仮定しています。 t_{CONV} 、 t_{CYC} 、 t_{SCK} 、 t_{SCKOUT} は出荷テスト済みです。それ以外のタイミング仕様は特性評価および設計により確保されています。
- 2 アクイジション・フェーズとは、AD4030-24では2MSPS、AD4032-24では500kSPSのスループット・レートで動作しているときに、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。

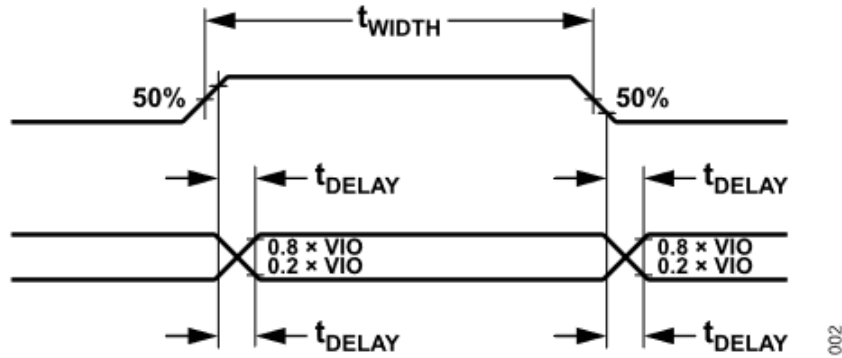


図 2. タイミングの電圧レベル

表 3. レジスタの読出しと書き込みのタイミング

パラメータ	記号	最小値	代表値	最大値	単位
\overline{CS} Pulse Width	t_{CSPW}	10			ns
SCK Period	t_{SCK}				
VIO > 1.71 V		11.6			ns
VIO > 1.14 V		12.3			ns
SCK Low Time	t_{SCKL}	5.2			ns
SCK High Time	t_{SCKH}	5.2			ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	2.1			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}				
VIO > 1.71 V				9.4	ns
VIO > 1.14 V				11.8	ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns
SDI Valid Setup Time to SCK Rising Edge	t_{SSDI}	1.5			ns
SDI Valid Hold Time from SCK Rising Edge	t_{HSDI}	1.5			ns
\overline{CS} Falling Edge to First SCK Rising Edge	t_{CSSCK}				
VIO > 1.71 V		11.6			ns
VIO > 1.14 V		12.3			ns
Last SCK Edge to \overline{CS} Rising Edge	t_{SCKCS}	5.2			ns

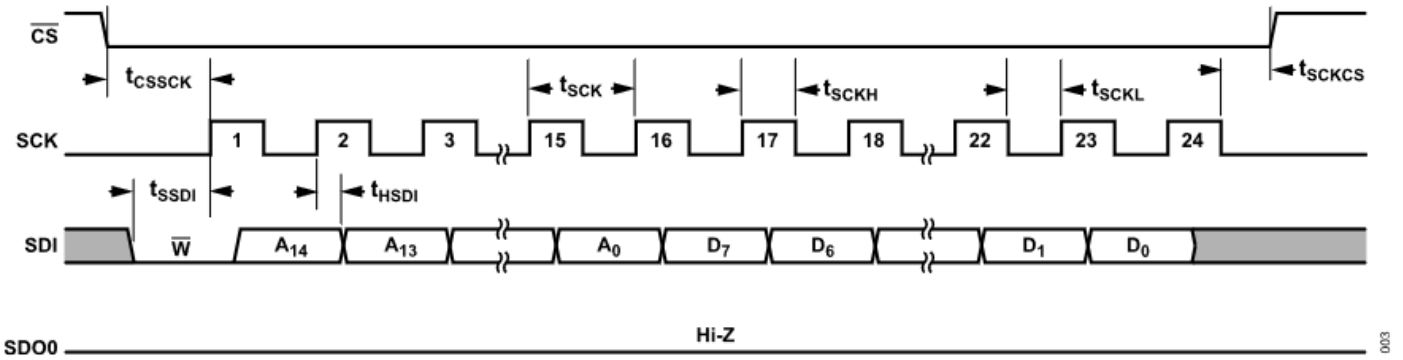


図 3. レジスタ設定モードの書き込みタイミング

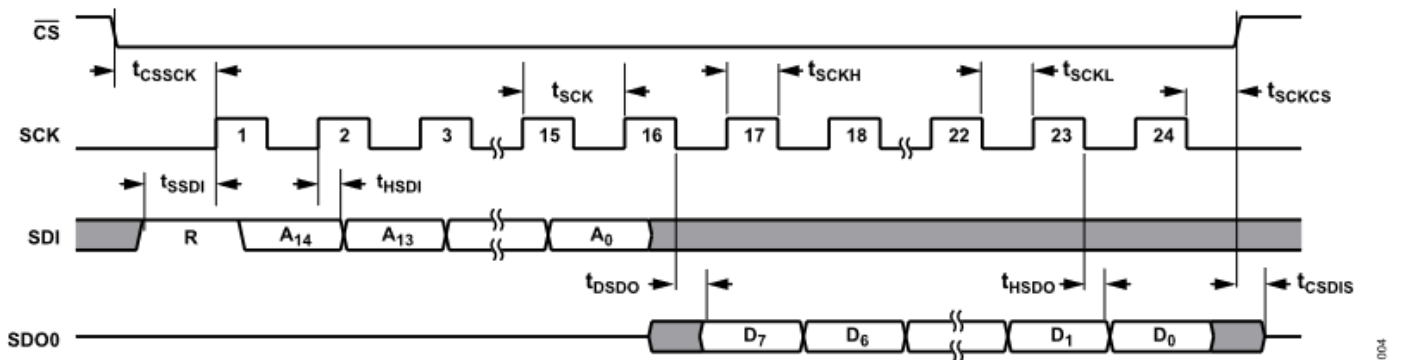


図 4. レジスタ設定モードの読出しタイミング

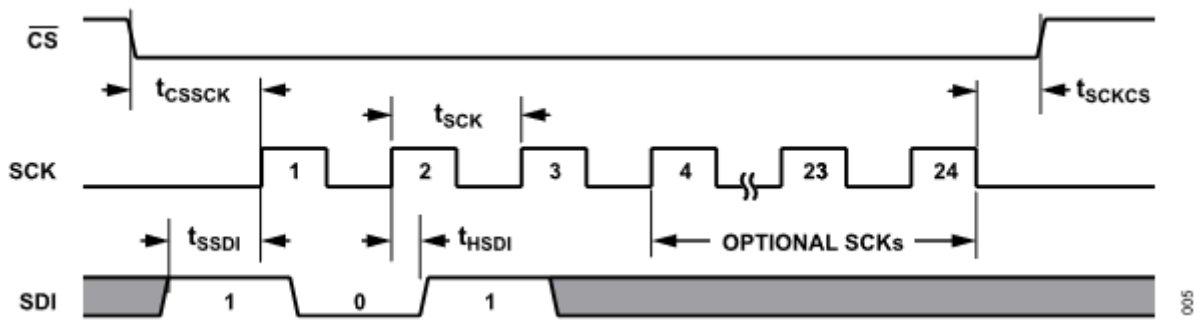


図 5. レジスタ設定モードのコマンド・タイミング

表 4. SPI互換モードのタイミング

パラメータ	記号	最小値	代表値	最大値	単位
SCK Period	t_{SCK}	9.8			ns
VIO > 1.71 V		12.3			ns
VIO > 1.14 V					
SCK Low Time	t_{SCKL}	4.2			ns
VIO > 1.71 V		5.2			ns
VIO > 1.14 V					
SCK High Time	t_{SCKH}	4.2			ns
VIO > 1.71 V		5.2			ns
VIO > 1.14 V					
SCK Falling Edge to Data Remains Valid	t_{HSDO}	1.4			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}			5.6	ns
VIO > 1.71 V				8.1	ns
VIO > 1.14 V					

$\overline{\text{CS}}$ Falling Edge to SDO Valid	t_{CSEN}			ns
VIO > 1.71 V			6.8	ns
VIO > 1.14 V			9.3	ns
$\overline{\text{CS}}$ Falling Edge to First SCK Rising Edge	t_{CSSCK}			
VIO > 1.71 V		9.8		ns
VIO > 1.14 V		12.3		ns
Last SCK Edge to $\overline{\text{CS}}$ Rising Edge	t_{SCKCS}	4.2		ns
$\overline{\text{CS}}$ Rising Edge to SDO High Impedance	t_{CSDIS}		9	ns
$\overline{\text{CS}}$ Falling Edge to BUSY Rising Edge	t_{CSBUSY}		6	ns

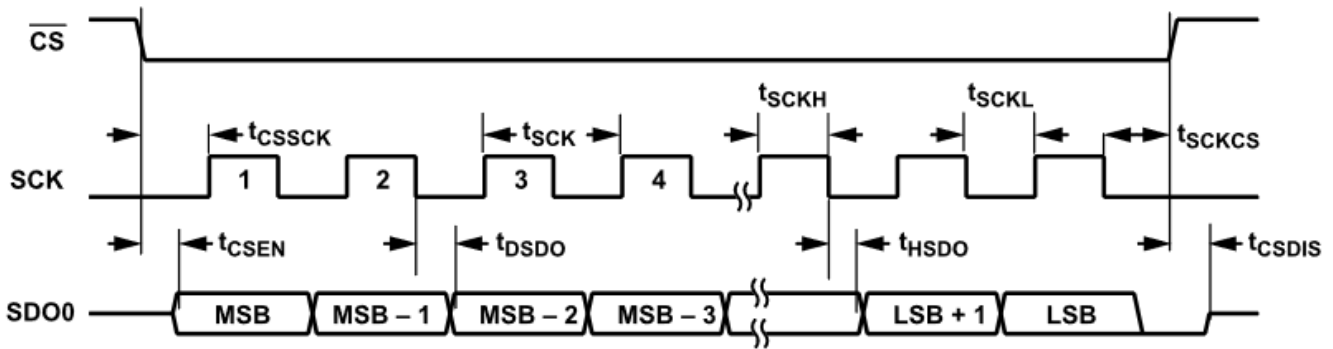
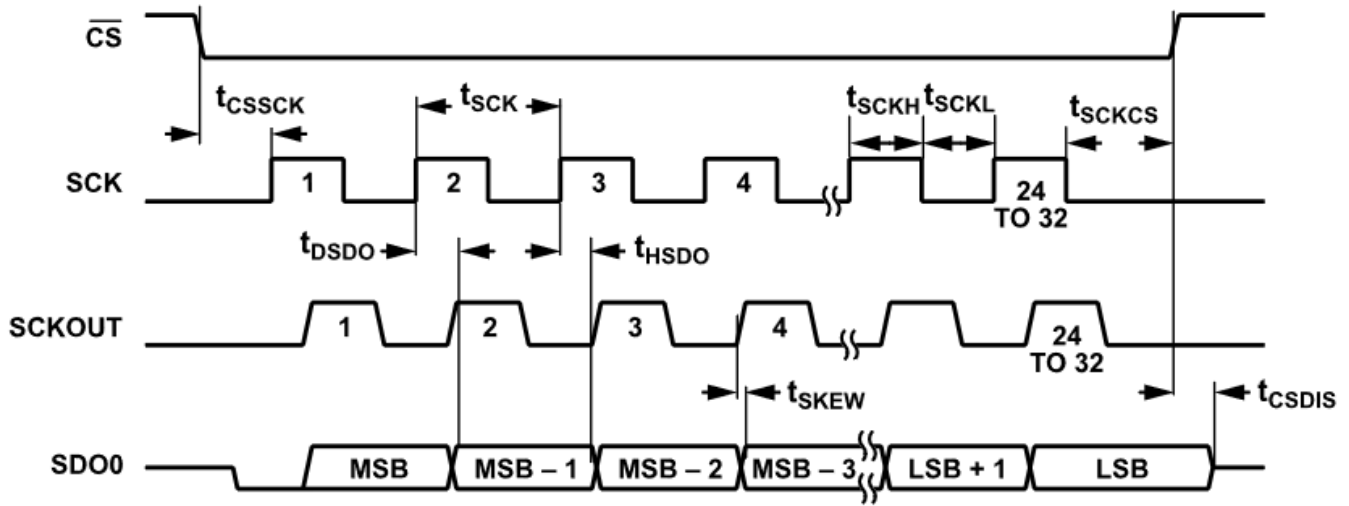


図 6. SPIクロック・モードの1レーンSDRのタイミング

表 5. エコー・クロック・モードのタイミング、SDR、1レーン

パラメータ	記号	最小値	代表値	最大値	単位
SCK Period	t_{SCK}				
VIO > 1.71 V		9.8			ns
VIO > 1.14 V		12.3			ns
SCK Low Time, SCK High Time	$t_{\text{SCKL}}, t_{\text{SCKH}}$				
VIO > 1.71 V		4.2			ns
VIO > 1.14 V		5.2			ns
SCK Rising Edge to Data/SCKOUT Remains Valid	t_{HSCKO}	1.1			ns
SCK Rising Edge to Data/SCKOUT Valid Delay	t_{DSCKO}				
VIO > 1.71 V				5.6	ns
VIO > 1.14 V				8.1	ns
$\overline{\text{CS}}$ Falling Edge to First SCK Rising Edge	t_{CSSCK}				
VIO > 1.71 V		9.8			ns
VIO > 1.14 V		12.3			ns
Skew Between Data and SCKOUT	t_{SKEW}	-0.4	0	+0.4	ns
Last SCK Edge to $\overline{\text{CS}}$ Rising Edge	t_{SCKCS}	4.2			ns
$\overline{\text{CS}}$ Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns

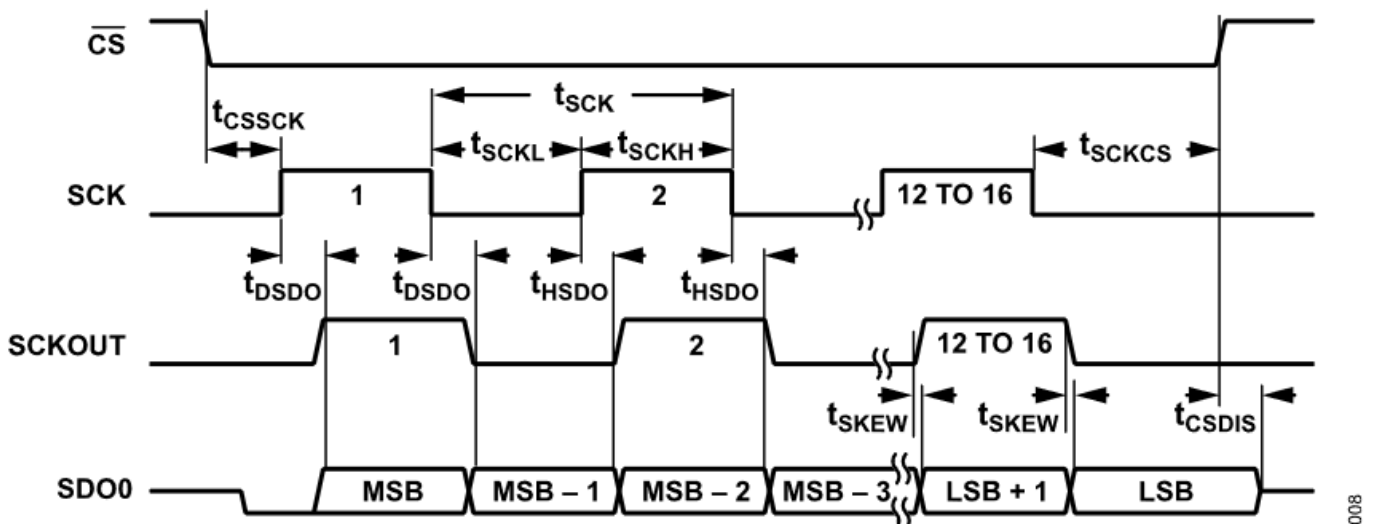


007

図 7. エコー・クロック・モードのタイミング、SDR、1 レーン

表 6. エコー・クロック・モードのタイミング、DDR、1 レーン

パラメータ	記号	最小値	代表値	最大値	単位
SCK Period	t_{SCK}	12.3			ns
SCK Low Time, SCK High Time	t_{SCKL} , t_{SCKH}	5.2			ns
SCK Edge to Data/SCKOUT Remains Valid	t_{HSDO}	1.1			ns
SCK Edge to Data/SCKOUT Valid Delay	t_{DSDO}				
VIO > 1.71 V				6.2	ns
VIO > 1.14 V				8.7	ns
\overline{CS} Falling Edge to First SCK Rising Edge	t_{CSSCK}	12.3			ns
Skew Between Data and SCKOUT	t_{SKEW}	-0.4	0	+0.4	ns
Last SCK Edge to \overline{CS} Rising Edge	t_{SCKCS}	9			ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns



008

図 8. エコー・クロック・モードのタイミング、DDR、1 レーン

表 7. ホスト・クロック・モードのタイミング

パラメータ	記号	最小値	代表値	最大値	単位
SCK Period	t_{SCKOUT}				
OSC_DIV = No Divide		11.8	12.5	13.3	ns
OSC_DIV = Divide by 2		23.6	25	26.6	ns
OSC_DIV = Divide by 4		47.4	50	53.2	ns
SCK Low Time	$t_{SCKOUTL}$	$0.45 \times t_{SCKOUT}$		$0.55 \times t_{SCKOUT}$	ns
SCK High Time	$t_{SCKOUTH}$	$0.45 \times t_{SCKOUT}$		$0.55 \times t_{SCKOUT}$	ns
\overline{CS} Falling Edge to First SCKOUT Rising Edge	$t_{DSCKOUT}$				
VIO > 1.71 V		10	13.6	19	ns
VIO > 1.14 V		10	15	21	ns
Skew Between Data and SCKOUT	t_{SKEW}	-0.4	0	+0.4	ns
Last SCKOUT Edge to \overline{CS} Rising Edge	$t_{SCKOUTCS}$	5.2			ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns

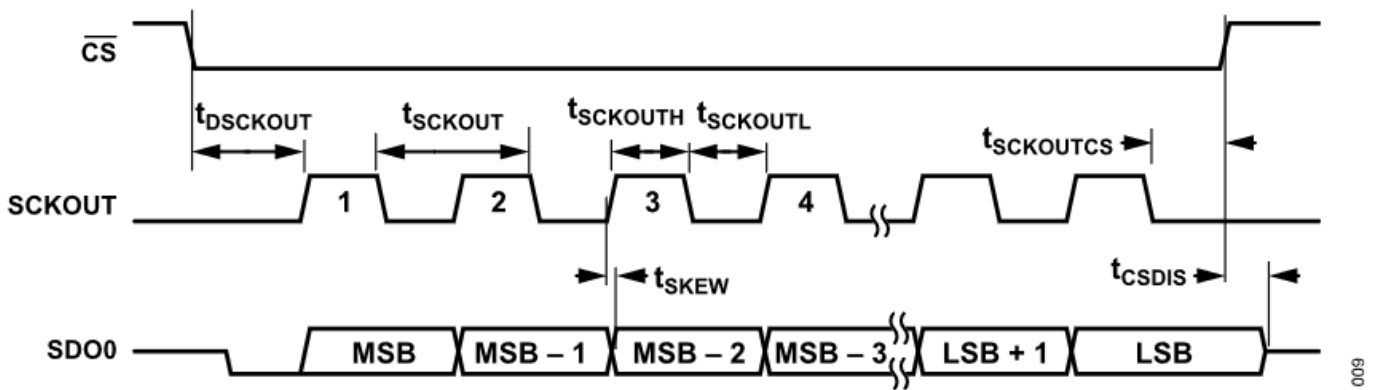


図 9. ホスト・クロック・モードのタイミング、SDR、1レーン

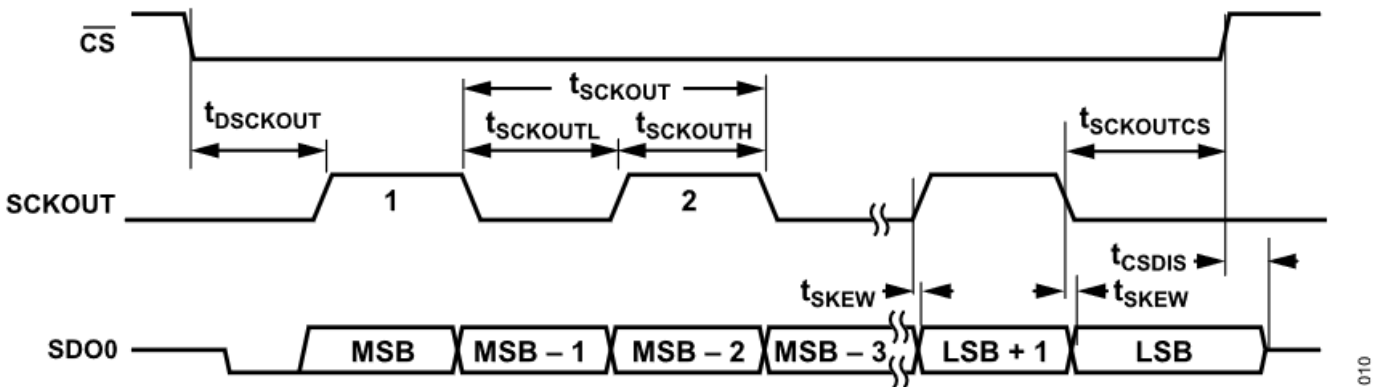


図 10. ホスト・クロック・モードのタイミング、DDR、1レーン

絶対最大定格

表 8.

パラメータ	定格
Analog Inputs	
IN+, IN-, REFIN to GND	-0.3 V to VDD_5V + 0.3 V
Supply Voltage	
VDD_5V, REF to GND	-0.3 V to +6.0 V
VDD_1.8V, VIO to GND	-0.3 V to +2.1 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
CNV to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-55°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C
Maximum Reflow (Package Body) Temperature	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

表 9. 熱抵抗

パッケージ・タイプ	θ_{JA}	θ_{JC}	単位
05-08-1797	35	16	°C/W

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル（FICDM）。

AD4030-24/AD4032-24のESD定格

表 10. AD4030-24/AD4032-24、64ボールCSP_BGA

ESDモデル	耐久閾値 (kV)	クラス
HBM	4	3A
FICDM	1.25	C3

ESDに関する注意



ESD（静電気放電）に敏感なデバイスです。帯電したデバイスおよび回路基板は、検出されことなく放電されることがあります。この製品は特許取得済みまたは独自の保護回路を備えていますが、高エネルギーESDにさらされるとデバイスに損傷が生じる可能性があります。したがって、性能低下や機能低下を避けるために、適切なESD予防措置を講じる必要があります。

ピン配置およびピン機能の説明

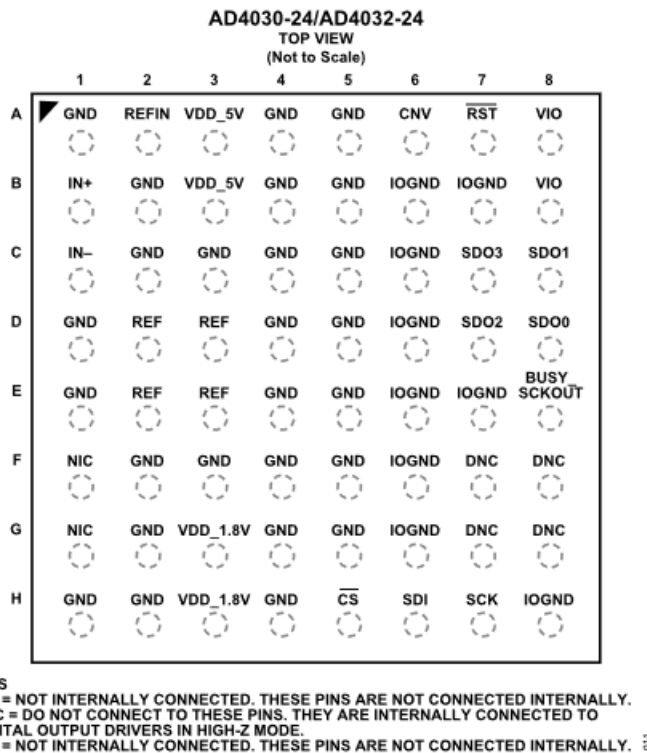


図 11. ピン配置

表 11. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1, A4, A5, B2, B4, B5, C2 to C5, D1, D4, D5, E1, E4, E5, F2 to F5, G2, G4, G5, H1, H2, H4	GND	P	電源グラウンド。
A2	REFIN	AI	バッファ付きリファレンス入力。内部リファレンス・バッファとして用いる場合、REFINは4.096V~5V（グラウンド基準）で駆動します。リファレンス・バッファをディスエーブルするには、REFINをグラウンドに接続し、REFを4.096V~5Vで駆動します。
A3, B3	VDD_5V	P	5V電源。VDD_5Vの範囲はリファレンスの値によって異なり、5Vのリファレンスの場合は5.3V~5.5V、4.096Vのリファレンスの場合は4.75V~5.25Vです。このピンにはパッケージ内に1μFのバイパス・コンデンサがあります。
A6	CNV	DI	変換入力。この入力の立上がりエッジによってデバイスが起動し、変換が開始されます。ADCの仕様規定された性能を実現するには、この信号が低ジッタであることが必要です。ロジック・レベルはVIOピンによって決まります。
A7	$\overline{\text{RST}}$	DI	リセット入力（アクティブ・ロー）。非同期デバイス・リセット。
A8, B8	VIO	P	入出力インターフェースのデジタル電源。形式上、このピンはホスト・インターフェースと同じ電源（1.8V、1.5V、または1.2V）です。このピンにはパッケージ内に0.2μFのバイパス・コンデンサがあります。VIO < 1.4Vの場合、出力ドライバ・レジスタのビットIO2Xを1に設定する必要があります。
B1	IN+	AI	正のアナログ入力。
B6, B7, C6, D6, E6, E7, F6, G6, H8	IOGND	P	VIOグラウンド。すべてのGNDピンと同じグラウンド・プレーンに接続します。
C1	IN-	AI	負のアナログ入力。
C7	SDO3	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
C8	SDO1	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
D2, D3, E2, E3	REF	AI	オプションのバッファなしリファレンス入力REFは4.096V~5V（グラウンド基準）で駆動します。このピンにはパッケージ内に2μFのバイパス・コンデンサがあります。内部リファレンス・バッファを用いる場合は、REFを接続しないでください。

ピン番号	記号	タイプ ¹	説明
D7	SDO2	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
D8	SDO0	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
E8	BUSY_SCKOUT	DO	SPIクロック・モードではBUSYインジケータ。このピンは、新たな変換の開始時にハイとなり、変換が終了するとローになります。ロジック・レベルはVIOピンによって決まります。SCKOUTがイネーブルされている場合、このピン機能は、ホスト・コントローラから入力されるSCKのエコー、または内部発振器から送られるクロックのどちらかになります。
F1	NIC		内部では未接続。これらのピンは、内部で接続されません。
F7, F8, G7, G8	DNC		これらのピンには接続しないでください。高インピーダンス・モードの場合、これらはデジタル出力ドライバに内部で接続されます。
G1	NIC		内部では未接続。これらのピンは、内部で接続されません。
G3, H3	VDD_1.8V	P	1.8V電源。VDD_1.8Vの範囲は1.71V~1.89Vです。このピンにはパッケージ内に1μFのバイパス・コンデンサがあります。
H5	$\overline{\text{CS}}$	DI	チップ・セレクト入力（アクティブ・ロー）。
H6	SDI	DI	シリアル・データ入力。
H7	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されると（ $\overline{\text{CS}}$ = ロー）、変換結果はこのクロックによってシフト出力されます。

1 AIはアナログ入力、Pは電源、DIはデジタル入力、DOはデジタル出力です。

代表的な性能特性

特に指定のない限り、 $V_{DD_5V} = 5.4V$ 、 $V_{DD_1.8V} = 1.8V$ 、 $V_{IO} = 1.8V$ 、 $V_{REFIN} = 5V$ 、入力コモンモード = 2.5V、 $f_s = 2MSPS$ (AD4030-24) または 500kSPS (AD4032-24)、および全仕様は $T_{MIN} \sim T_{MAX}$ での値です。代表値は $T_A = 25^\circ C$ での値です。

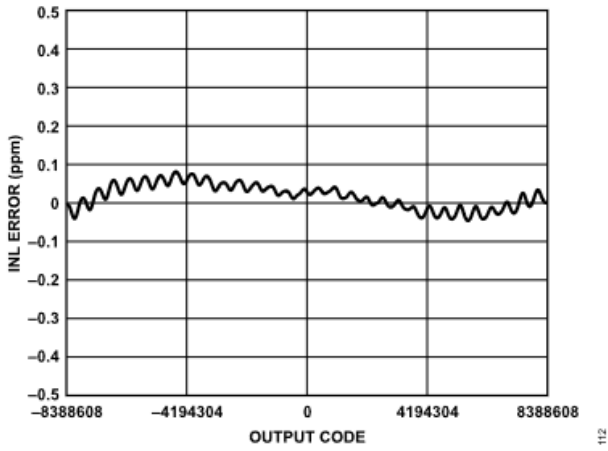


図 12. INL誤差と出力コードの関係 (差動入力)

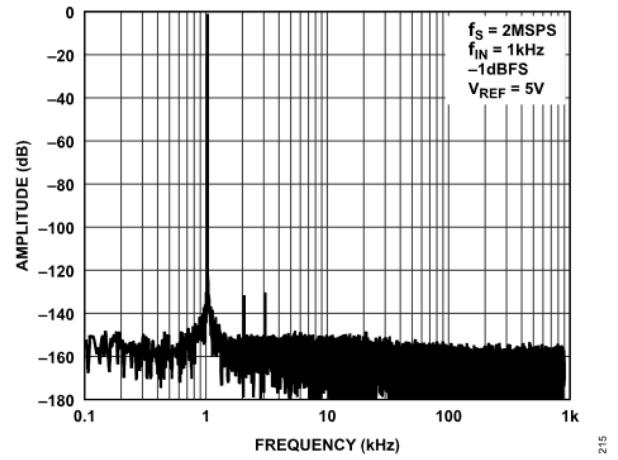


図 15. FFT、2MSPS、 $f_{IN} = 1kHz$ 、 $V_{REF} = 5V$

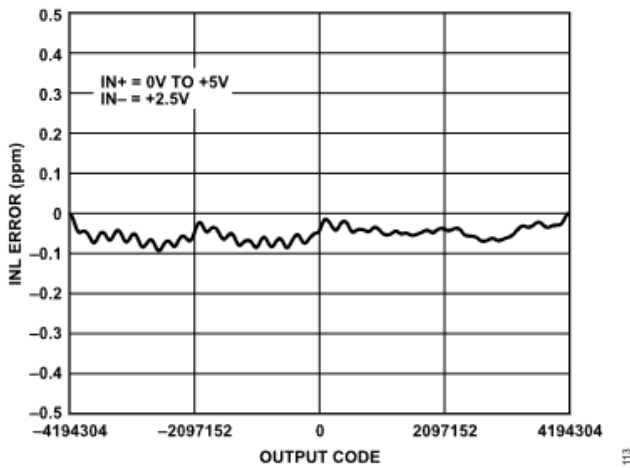


図 13. INL誤差と出力コードの関係 (シングルエンド入力)

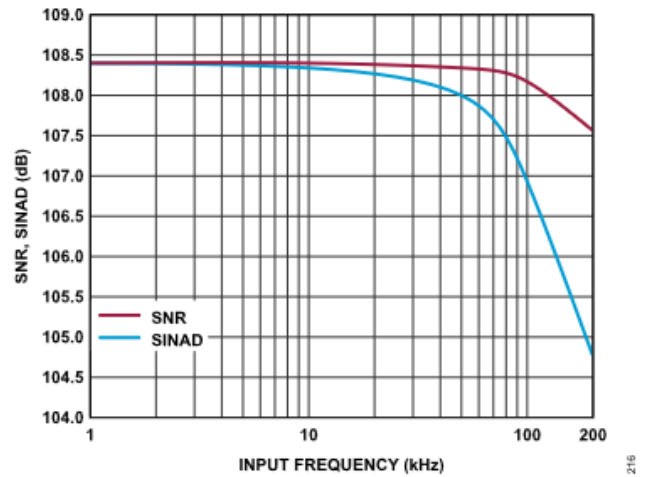


図 16. SNR、SINADと入力周波数の関係

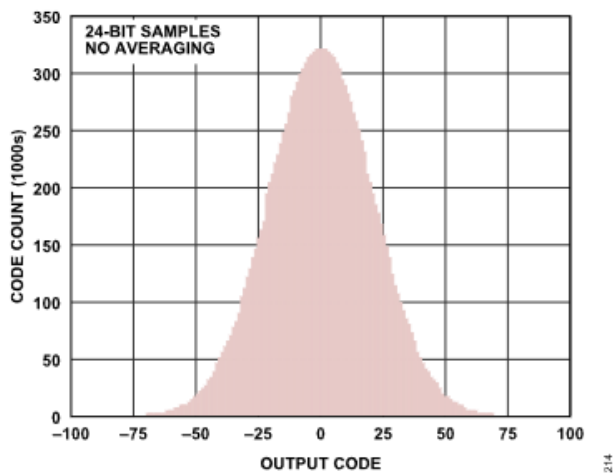


図 14. 入力を短絡した場合のコードのヒストグラム

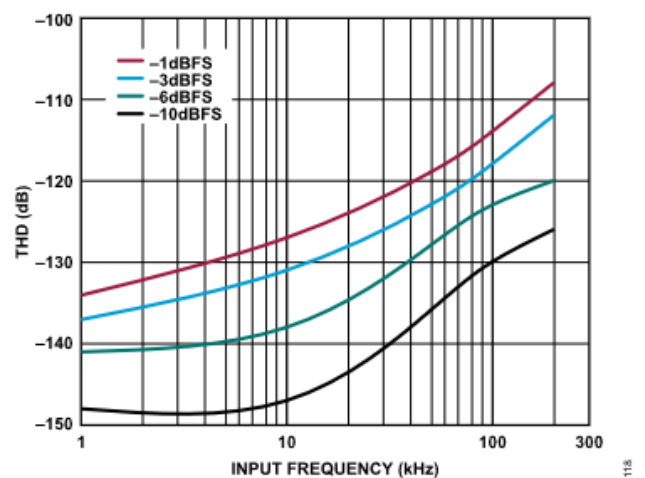


図 17. 異なる振幅でのTHDと入力周波数の関係

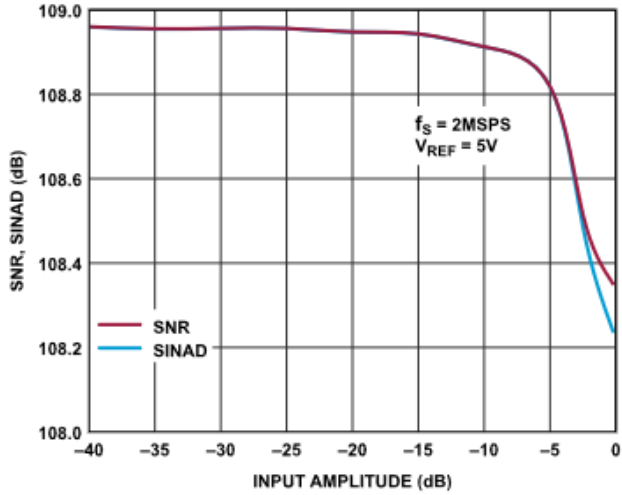


図 18. SNR、SINADと入力振幅の関係、 $f_{IN} = 1\text{kHz}$

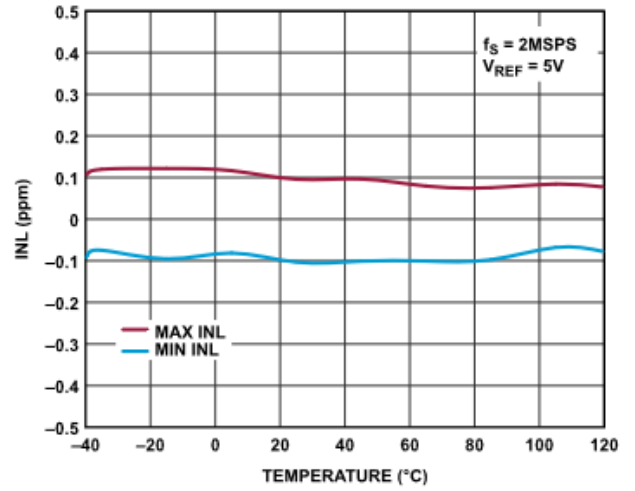


図 21. INLと温度の関係

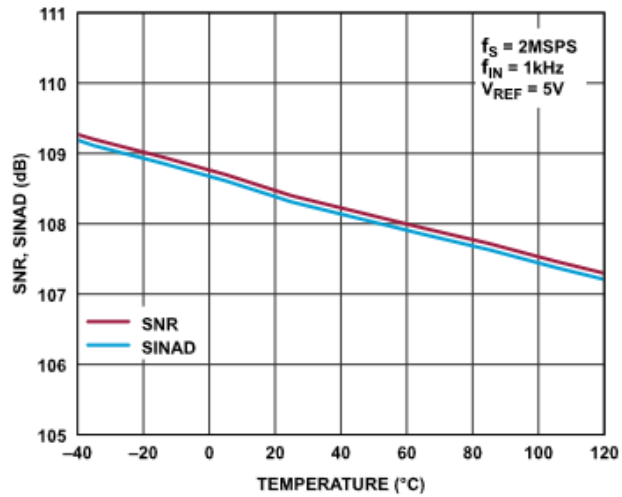


図 19. SNR、SINADと温度の関係、 $f_{IN} = 1\text{kHz}$

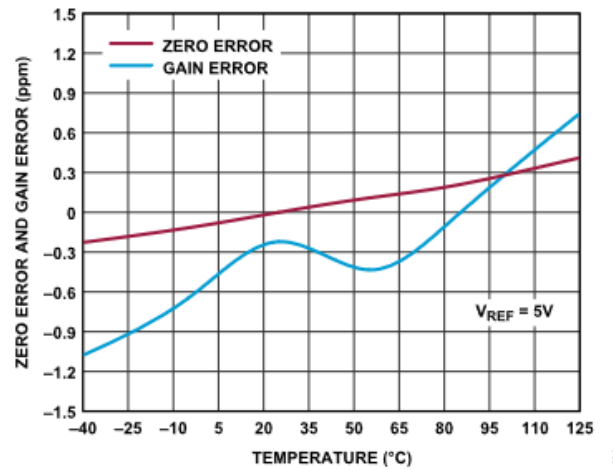


図 22. ゼロ誤差、ゲイン誤差と温度の関係

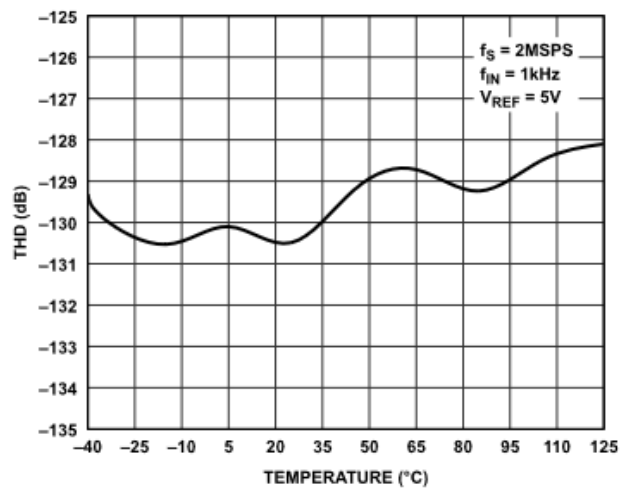


図 20. THDと温度の関係、 $f_{IN} = 1\text{kHz}$

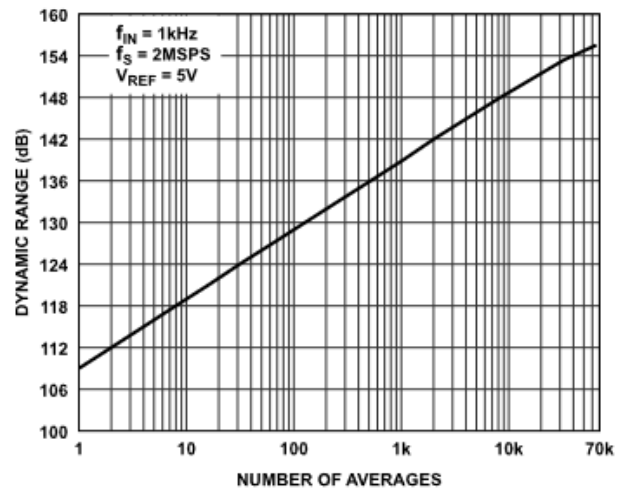


図 23. ダイナミック・レンジと平均化回数との関係

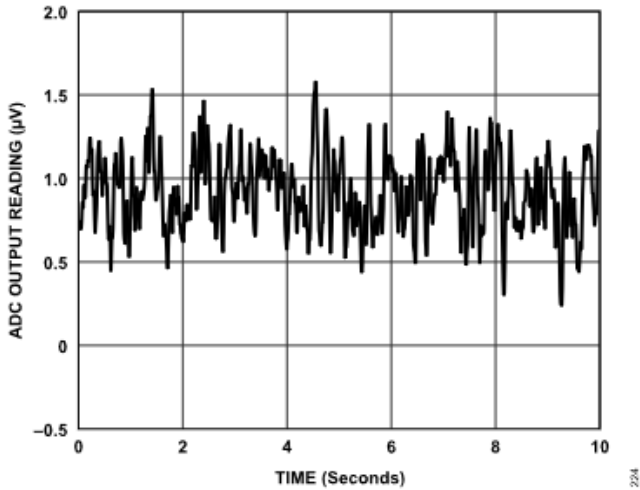


図 24. 低周波数ノイズ（出力データ・レート = 19.5SPS
（2048サンプルの平均化ブロック後））

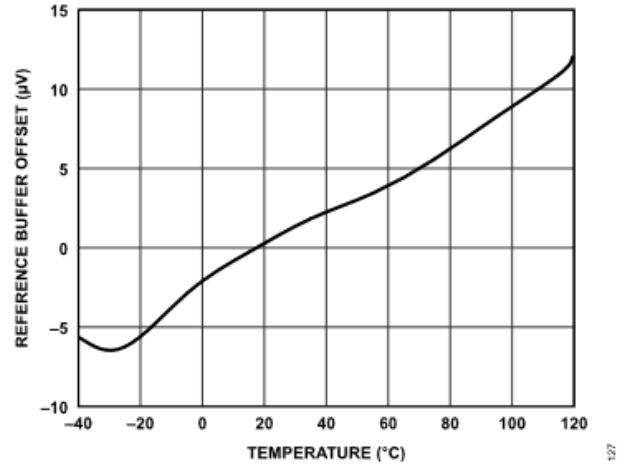


図 27. リファレンス・バッファ・オフセットと温度の関係

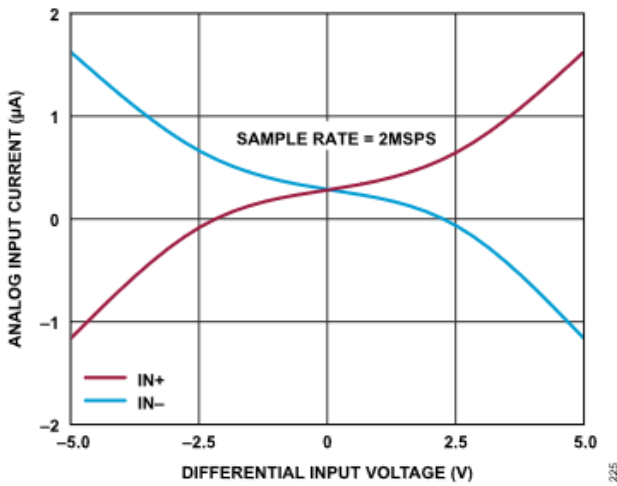


図 25. アナログ入力電流と差動入力電圧の関係、AD4030-24、
2MSPS

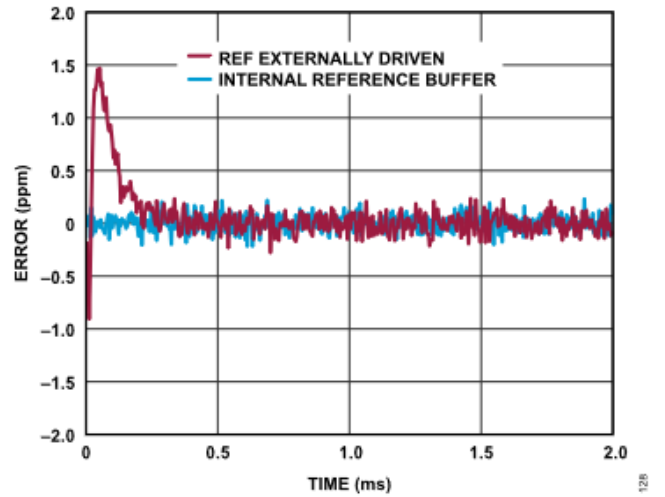


図 28. 長いアイドル時間後の変換バースト時の誤差

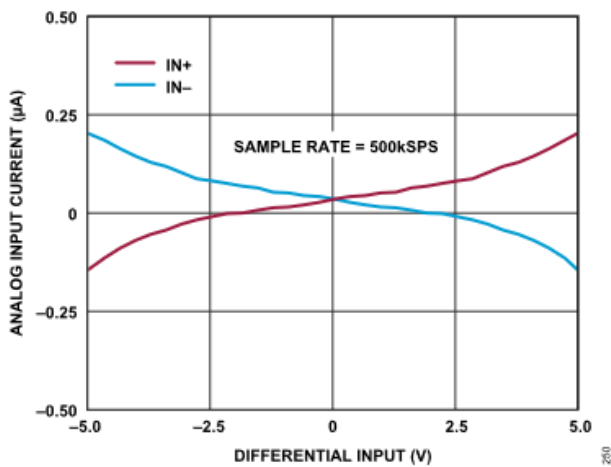


図 26. アナログ入力電流と差動入力電圧の関係、AD4032-24、
500kSPS

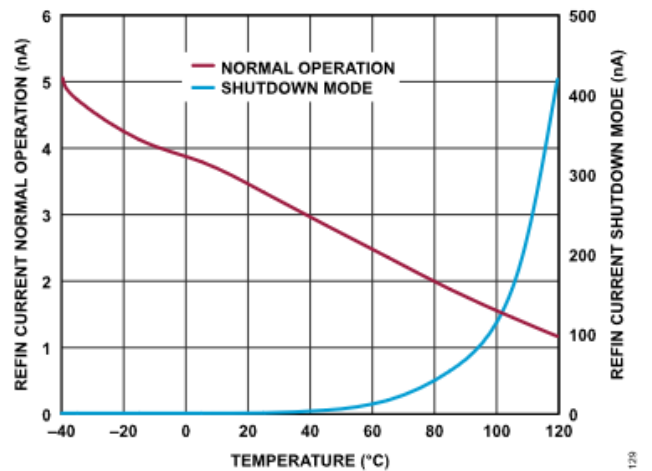


図 29. 通常動作時REFIN電流およびシャットダウン・モード時
REFIN電流と温度の関係

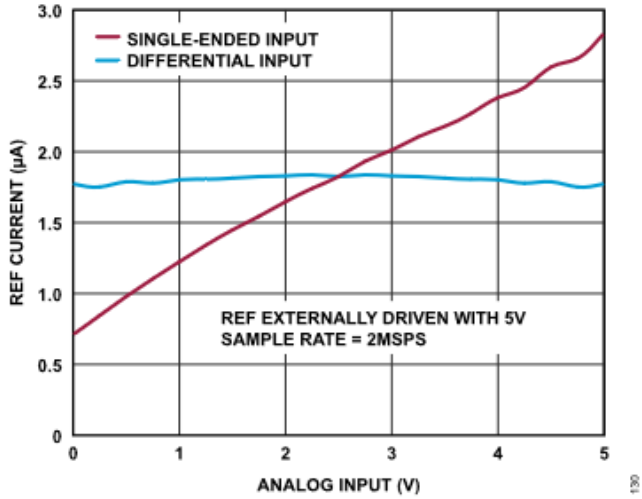


図 30. REF電流とアナログ入力の関係、AD4030-24、2MSPS

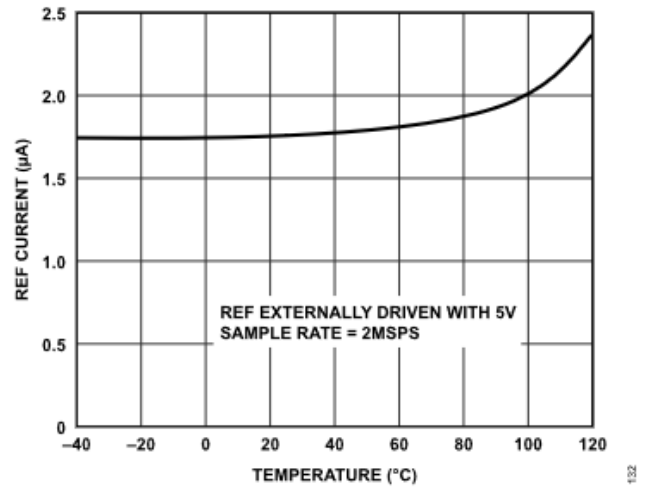


図 33. REF電流と温度の関係

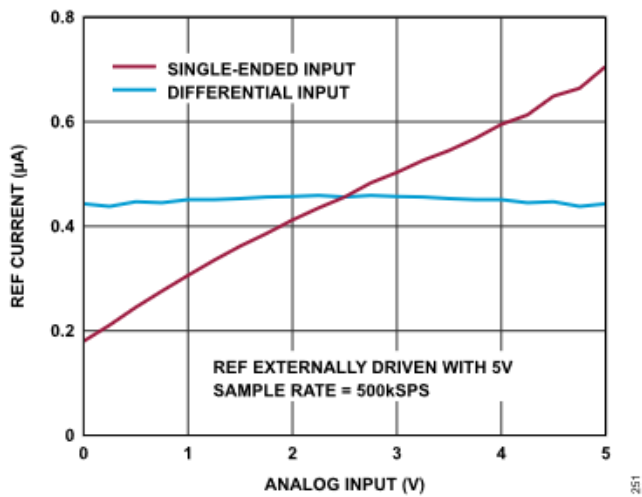


図 31. REF電流とアナログ入力の関係、AD4032-24、500kSPS

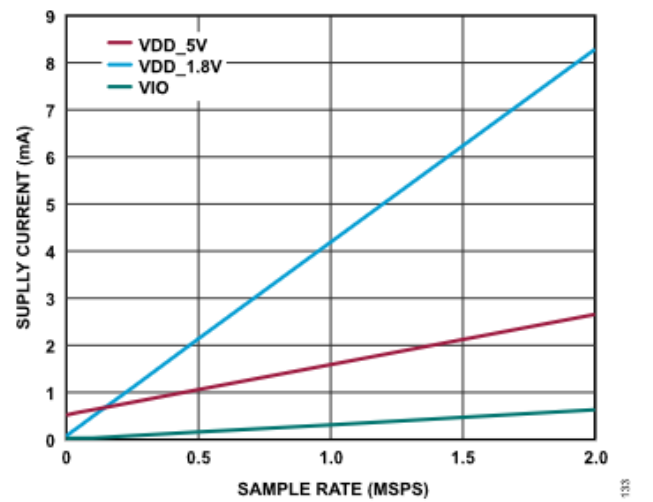


図 34. 電源電流とサンプル・レートの関係

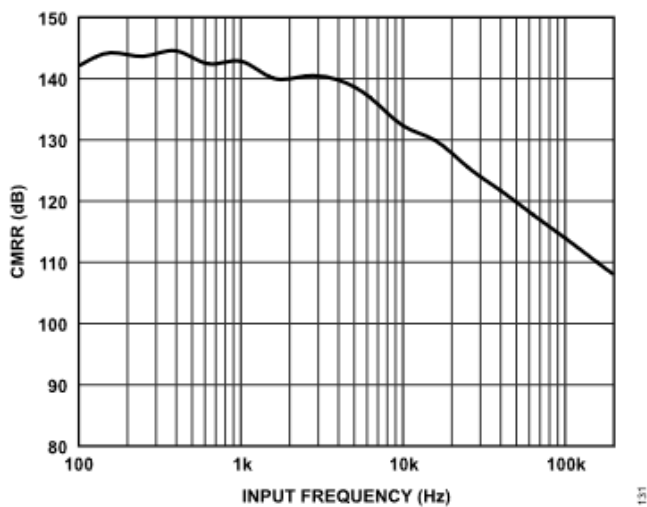


図 32. 同相ノイズ除去比 (CMRR) と入力周波数の関係

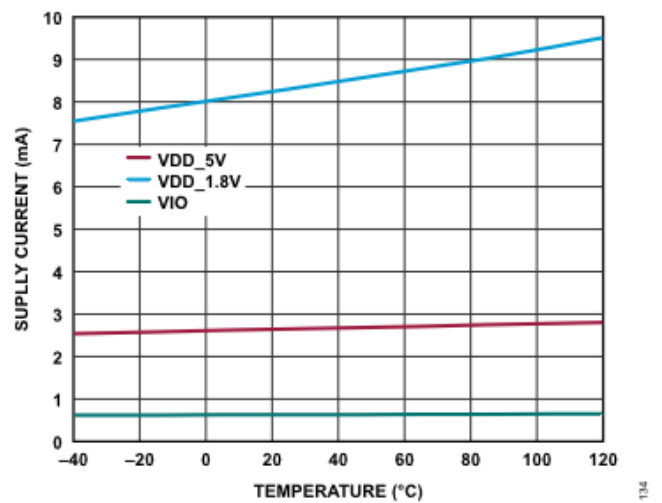


図 35. 電源電流と温度の関係、AD4030-24、2MSPS

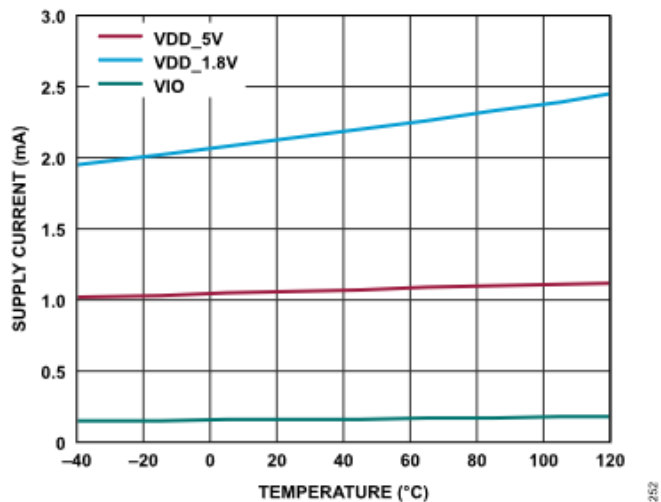


図 36. 電源電流と温度の関係、AD4032-24、500kSPS

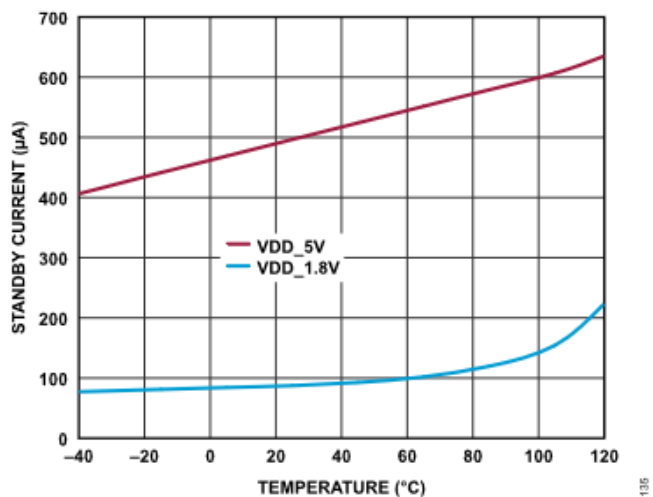


図 37. スタンバイ電流と温度の関係

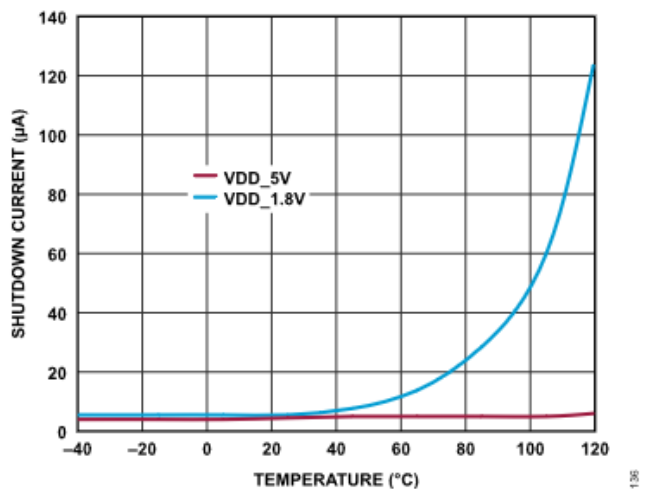


図 38. シャットダウン電流と温度の関係

用語

積分非直線性誤差 (INL)

INLは、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSBだけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $\frac{1}{2}$ LSB上回ったレベルとして定義されます。偏差は各コードの中央から真の直線までの距離として測定されます (図40参照)。

微分非直線性誤差 (DNL)

理想的なADCでは、コード遷移は1LSBだけ離れた位置で発生します。DNLとは、この理想値からの最大偏差のことです。多くの場合、ノー・ミス・コードが確保される分解能で仕様規定されます。

ゼロ誤差 (ZE)

ゼロ誤差は、理想的なミッドスケール電圧 (0V) とミッドスケール出力コード (0LSB) を生成する実際の電圧との差です。

ゲイン誤差 (GE)

最初の遷移 (100...00から100...01) は負の公称フルスケールより $\frac{1}{2}$ LSB上のレベルで発生します。最後の遷移 (011...10から011...11) は、公称フルスケールより $\frac{1}{2}$ LSB低いアナログ電圧で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDRは、フルスケール入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

有効ビット数 (ENOB)

ENOBは、サイン波入力による分解能の測定値です。次のようにSINADを使用して計算します。 $ENOB = (SINAD_{dB} - 1.76)/6.02$ 。ENOBの単位はビットです。

全高調波歪み (THD)

THDは、フルスケール入力信号実効値に対する最初の5次の高調波成分の実効値を合計した値の比率で、単位はデシベルです。

ダイナミック・レンジ (DR)

ダイナミック・レンジは、測定したノイズの合計実効値電圧に対するフルスケール・サイン波の実効値電圧の比率です。ダイナミック・レンジの単位はデシベルです。すべてのノイズ源とDNLアーティファクトが含まれるように、 $-60dBFS$ の信号で測定されます。

S/N比 (SNR)

SNRは、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波とDCを除く) の実効値総和に対するフルスケール・サイン波の実効値電圧値の比率です。S/N比の単位はデシベルです。

信号/ノイズ+歪み (SINAD) 比

SINADは、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和 (高調波成分は含むが、直流成分は除く) に対するフルスケール・サイン波の実効値電圧の比です。SINADの単位はデシベルです。

アパーチャ遅延

アパーチャ遅延は、アキュイジション性能の尺度です。CNV入力の立上がりエッジから入力信号が変換のために保持されている間までの時間です。

過渡応答

過渡応答は、ADCが $\pm 1LSB$ の精度でフルスケール入力ステップを達成するのに必要な時間です。

同相ノイズ除去比 (CMRR)

CMRRは、周波数 f の入力コモンモード電圧に印加される4.5V p-pサイン波の電力と、周波数 f におけるADC出力の比です。

$$CMRR (dB) = 10 \times \log(P_{ADC_IN}/P_{ADC_OUT})$$

ここで、

P_{ADC_IN} は入力に印加された周波数 f のコモンモード電力、

P_{ADC_OUT} は、周波数 f でのADCの出力電力です。

電源電圧変動除去比 (PSRR)

PSRRは、周波数 f でのADC VDD電源に加えられた200mV p-pのサイン波の電力に対する周波数 f でのADC出力電力の比です。

$$PSRR (dB) = 10 \times \log(P_{VDD_IN}/P_{ADC_OUT})$$

ここで、

P_{VDD_IN} は、周波数 f でのVDDピンの電力、 P_{ADC_OUT} は、周波数 f でのADCの出力電力です

動作原理

AD4030-24/AD4032-24の基本機能を図39に示します。

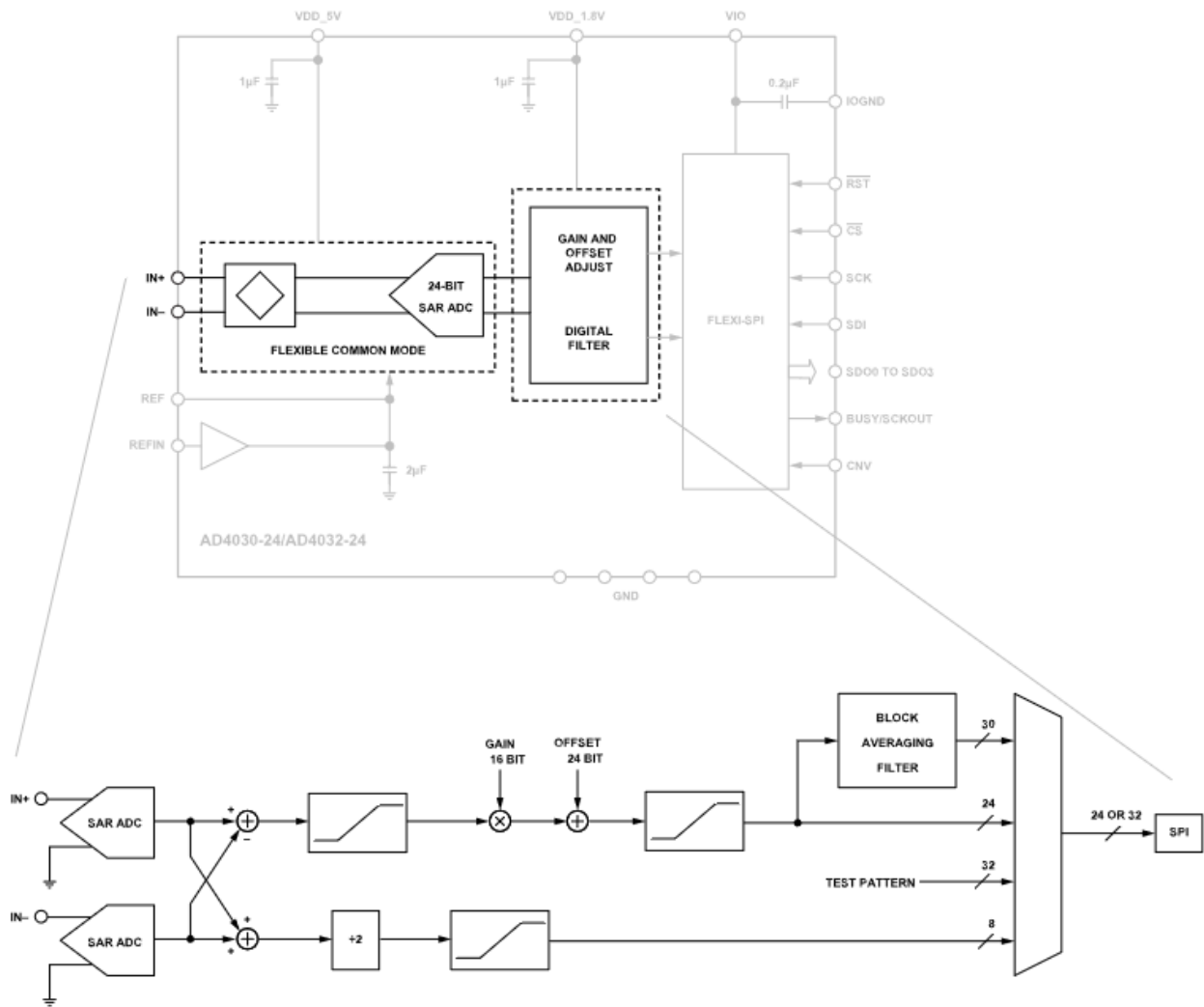


図 39. AD4030-24/AD4032-24の機能ブロック図と信号処理アーキテクチャ

概要

AD4030-24/AD4032-24は低ノイズ、低消費電力の高速24ビット逐次比較レジスタ (SAR) A/Dコンバータ (ADC) です。AD4030-24は1秒あたり2,000,000サンプルを変換でき (2MSPS)、AD4032-24は1秒あたり500,000サンプルを変換できます (500kSPS)。システム設計を簡単なものにする、いくつかのアナログ機能とデジタル機能を備えています。アナログ機能には、レベル・シフト条件を緩和する幅広いコモンモード電圧範囲や、シグナル・コンディショニングのマージン条件を緩和する $\pm(65/64) \times V_{REF}$ の広い完全差動入力範囲などがあります。

AD4030-24/AD4032-24には、デカップリング・コンデンサが統合されたリファレンス・バッファが内蔵されており、ボード上の外付け部品数を最小限に抑えることができます。内部のトラック&ホールド回路にはパイプライン遅延などの遅延がないため、制御ループや高速アプリケーションに最適な回路となっています。デジタル機能には、オフセット補正、ゲイン調整、平均化などがあり、ホスト・プロセッサの負荷を軽減します。ユーザは、デバイスをいくつかの出力コード・フォーマットのいずれかに設定できます (選択可能な出力データ・フォーマットのセクションを参照)。

AD4030-24/AD4032-24はFlexi-SPIを用いているため、複数のSPIレーンを通じてデータにアクセスできます。そのため、ホストSPIコントローラに対するクロック条件が緩和されます。エコー・クロック・モードも、データ・クロックの補助として使用できるため、絶縁型データ・インターフェースを簡単に使用できます。AD4030-24/AD4032-24では、パワーダウン・モードからの復帰後の最初の変換で有効な結果が得られます。このアーキテクチャは、 ± 0.9 ppm (最大値) のINLを実現し、24ビットのノーマス・コード性能と108.4dBのS/N比を備えています。AD4030-24の消費電力は2MSPS時にわずか30mWです。

コンバータの動作

AD4030-24/AD4032-24は、アキュイジション・フェーズと変換フェーズの2つのフェーズで動作します。アキュイジション・フェーズでは、内部のトラック&ホールド回路が各入力ピン (IN+, IN-) に接続され、それぞれのピンで独立に電圧をサンプリングします。立上がりエッジ・パルスがCNVピンに入力されると変換が始まります。CNVピンの立上がりエッジは、変換が進行中であることを示すBUSY信号もアサートします。BUSY信号は変換の終了時にデアサートされます。変換結果は、入力電圧差を表す24ビットのコードと、入力コモンモード電圧を表す8ビットのコードになります。デバイス設定に応じて、こ

の変換結果はデジタル的に処理され、内部の出力レジスタにラッチされます。各入力ピンのアクイジション回路も、直前のサンプル電圧にプリチャージされるため、入力ドライバへのキックバック電荷を最小限に抑えることができます。ホスト・プロセッサは、内蔵の出力レジスタに内部接続されているSDOピンを介して出力コードを再取得します。

伝達関数

デフォルト設定では、AD4030-24/AD4032-24は $2 \times V_{REF}$ のフルスケール差動電圧を 2^{24} のレベルにデジタル化し、LSBサイズは $0.596\mu V$ ($V_{REF} = 5V$ 時)となります。なお、24ビットでの1LSBは約0.06ppmです。理想的な伝達関数を図40に示します。差動出力データは2の補数フォーマットです。表12に、入力電圧と差動出力コードの対応関係を示します。

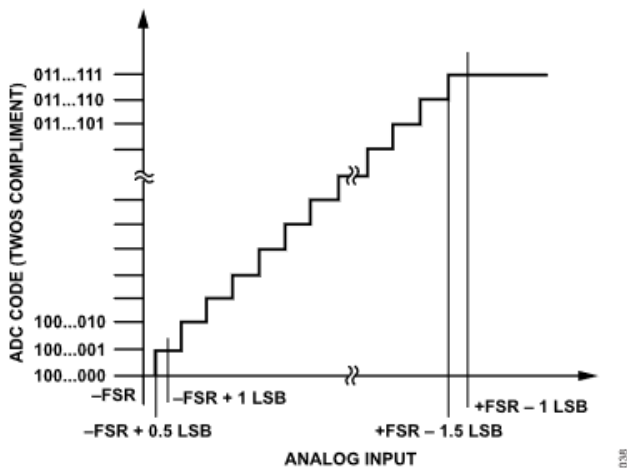


図 40. 差動出力コードに対するADCの理想的な伝達関数 (FSRはフルスケール範囲)

表 12. 入力電圧と出力コードの対応関係

Description	Analog Input Voltage Difference	Digital Output Code (Two's Complement, Hex)
FSR - 1LSB	$(8388607 \times V_{REF}) / (8388608)$	0x7FFFFFFF
Midscale + 1LSB	$V_{REF} / (8388608)$	0x000001
Midscale	0 V	0x000000
Midscale - 1LSB	$-V_{REF} / (8388608)$	0xFFFFFFFF
-FSR + 1LSB	$-(8388607 \times V_{REF}) / (8388608)$	0x800001
-FSR	-VREF	0x800000
FSR - 1LSB	$(8388607 \times V_{REF}) / (8388608)$	0x7FFFFFFF

アナログ機能

AD4030-24/AD4032-24には、内部トラック&ホールド回路の一部としてプリチャージ回路があります。これは、直前にサンプリングした入力電圧まで内部のサンプリング・コンデンサを充電する回路です。

これにより、電荷キックバックが減少し、他の従来のSAR ADCに比べ、AD4030-24/AD4032-24のアナログ入力のプリチャージ回路をより容易に駆動できます。このキックバックの減少とより長いアクイジション・フェーズを組み合わせることで、駆動アンプでのセトリング条件が緩和されます。また、この組み合わせにより、より大きな抵抗値を使用できるようになり、アンプの安定性向上に役立ちます。更に、RCフィルタの帯域幅が狭くなるため、シグナル・チェーンのノイズや消費電力が低減します。

コモンモード電圧には、各入力の絶対電圧範囲 ($-1/128 \times V_{REF} \sim 129/128 \times V_{REF}$) 以外には制限がありません。アナログ入力は、図41に示す等価回路でモデル化できます。アクイジション・フェーズでは、各入力ピンには約116pFの入力容量 (C_{IN}) があり、これは、サンプリング・スイッチの 19Ω のオン抵抗 (R_{ON}) と直列に接続されたサンプリング・コンデンサによるものです。変換フェーズでは、各入力には入力ピンの容量 (C_{PIN}) があり、これは約4pFです。両入力に共通の信号はすべて、ADCの同相ノイズ除去によって減らすことができます。変換時のアナログ入力にはわずかなリーク電流が流れます。

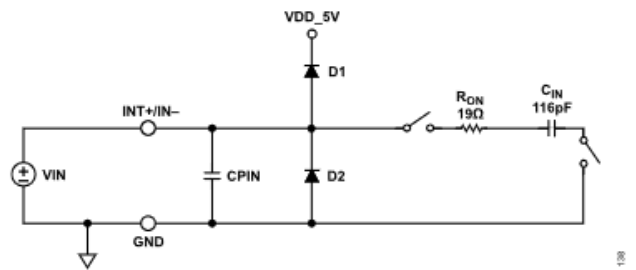


図 41. AD4030-24/AD4032-24の差動アナログ入力の等価回路

入力は独立にサンプリングされます。各入力が仕様規定されたフルスケール入力範囲内にある限り、変換結果は飽和しません。なお、デジタル・オフセット・パラメータおよびデジタル・ゲイン・パラメータが、変換結果をフルスケール・デジタル範囲 (24ビット・ワードの場合 $-2^{23} \sim +2^{23} - 1$) を超える数値に割り当てるよう設定されている場合は、デジタル領域の飽和が発生します。デジタル・ゲイン・パラメータを1未満の値に設定することで、 $\pm(65/64) \times V_{REF}$ までの入力電圧差を飽和することなくキャプチャし変換できます。

良好な性能を発揮するには、アナログ入力ピンのスルー・レートが、アクイジション・フェーズ時には $400V/\mu s$ 未満、サンプリング時には $30V/\mu s$ 未満であることが必要です。これは、RC時定数が $12.5ns$ ($R \times C > 12.5e-9$) より大きくなるよう、外部RC回路の値を選択することで実現できます。

デジタル・サンプリング処理機能

AD4030-24/AD4032-24は、信号サンプルに適用できるいくつかのデジタル処理機能およびデータ処理機能をサポートしています。これらの機能は、AD4030-24/AD4032-24の制御レジスタを介してイネーブルやディスエーブルができます。図39には、使用可能なデジタル処理機能およびアナログ処理機能を示す信号処理アーキテクチャのブロック図が含まれています。

フルスケール飽和

どちらかの入力または両方の入力ここで仕様規定されているアナログ制限値を超えた場合、変換結果は、（ポスト処理の前に）デジタル的に飽和します。オフセットおよびゲインのスケールリングを施したのち、結果は24ビット表示に切り捨てられます（最大値0x7FFFFFFFおよび最小値0x800000で飽和）。オフセットやゲインのデジタル・スケールリングを施す場合は特に、意図せぬ飽和を避けるための注意が必要です。これらの機能の詳細については、[デジタル・オフセット調整](#)および[デジタル・ゲイン](#)のセクションを参照してください。

コモンモード出力

ホスト・コントローラが0x1または0x2をモード・レジスタのOUT_DATA_MDビット・フィールドに書き込むと（[モード・レジスタ](#)のセクションを参照）、入力コモンモード電圧を表す8ビットのコードが、入力電圧差を表す16ビットまたは24ビットのコードに追加されます。この8ビット・コードのLSBの大きさは、 $V_{REF}/256$ です。8ビット・コードは、コモンモード入力電圧が0Vの場合は0、 V_{REF} の場合は255で飽和します。8ビット・コードはオフセットおよびゲインのデジタル・スケールリングには影響されません。これは、入力電圧差を表すコードにのみ追加されるためです。

ブロック平均化

AD4030-24/AD4032-24は、プログラマブルなブロック長 2^N （ $N = 1, 2, 3, \dots, 16$ ）を持つブロック平均化フィルタ（SINC1）を備えています。 2^N サンプルの各ブロックを処理した後、フィルタはリセットされます。このフィルタは、モード・レジスタのOUT_DATA_MDビット・フィールドに0x3を書き込むことでイネーブルできます（[モード・レジスタ](#)のセクションを参照）。また、平均化モード・レジスタのAVG_VALビット・フィールドに値（ $1 \leq N \leq 16$ ）を書き込むことでもイネーブルできます（[平均化モード・レジスタ](#)のセクションを参照）。この設定では、出力サンプル・ワードは32ビットです。30個の最上位ビット（MSB）は 2^N サンプルのブロックで平均化された24ビット・コードの数値を表します。自動スケールリングにより、一定値のブロックを平均化する場合は、30ビット・コードの24MSBが24ビット・コードになるようにできます。31番目のビット（OR）は、ブロックの1つ以上のサンプルが飽和する場合にハイになる、オーバーレンジ警告ビットです。32番目のビット（SYNC）は、 2^N 変換サイクルごとにハイになり、平均値がサンプルの各ブロックの最後でアップデートされたことを通知します。詳細については、[デジタル・サンプリング処理機能](#)のセクションを参照してください。

平均化モデルの実効データ・レートは $f_{CNV}/2^N$ です。AVG_VALビット・フィールドのNのリセット値は、0x00（平均化なし）です。[図47](#)に、平均化モードでのタイミング例の図を示します。[図42](#)に、 $N = 1, 2, 3, 4, 5$ の場合のフィルタの周波数応答を示します。

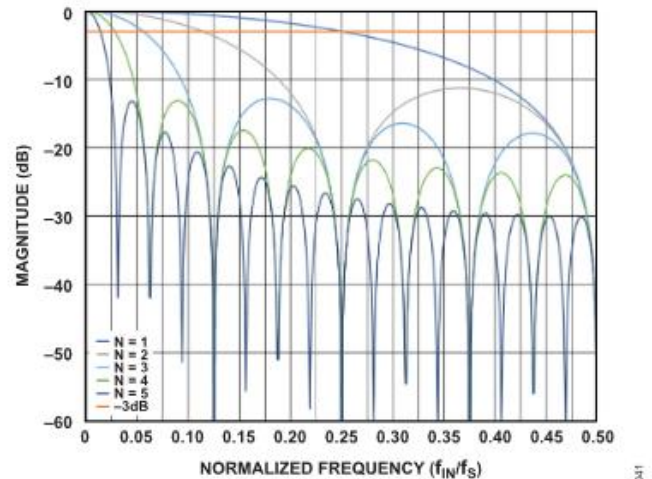


図 42. ブロック平均化フィルタの周波数応答例

デジタル・オフセット調整

ADCは、サンプル・データに24ビットの符号付きオフセット値を追加するようプログラムできます（[レジスタの詳細](#)のセクションを参照）。オフセットをサンプルに追加すると、サンプル・データが数値的に飽和する原因となる場合があります。オフセット機能を使用する場合、このことを考慮する必要があります。デフォルト値は0x000000です。詳細については、[オフセット・レジスタ](#)のセクションを参照してください。

デジタル・ゲイン

ADCは、デジタル・サンプルに16ビットの符号なしデジタル・ゲイン（レジスタ0x1Cおよびレジスタ0x1D）を適用するようプログラムできます（[レジスタの詳細](#)のセクションを参照）。ゲインは次式に基づいて各サンプルに適用されます。

$$\text{Code}_{\text{OUT}} = \text{Code}_{\text{IN}} \times (\text{USER_GAIN}/0x8000)$$

ここで、

$$0x0000 \leq \text{USER_GAIN} \leq 0xFFFF.$$

有効なゲイン範囲は0~1.99997です。なお、サンプルにゲインを適用すると、数値の飽和の原因となる可能性があります。デフォルト値は0x8000（ゲイン = 1）です。 $\pm V_{REF}$ を超える入力電圧差を測定するには、ゲインを1未満に設定して、24ビット、16ビット、30ビットの出力差分コードの数値的な飽和を避けるようにしてください。詳細については、[ゲイン・レジスタ](#)のセクションを参照してください。

テスト・パターン

SPIの機能テストとデバッグを容易にするために、ホスト・コントローラはAD4030-24/AD4032-24に32ビットのテスト・パターンを書き込むことができます（[テスト・パターン・レジスタ](#)のセクションを参照）。テスト・パターン・レジスタに書き込まれた値は、通常のサンプル・サイクル・タイミングを用いて出力されます。32ビットのテスト・パターン出力モードは、モード・レジスタのOUT_DATA_MDビット・フィールドに0x4を書き込むことでイネーブルできます（[モード・レジスタ](#)のセクションを参照）。テスト・パターン・レジスタに保存されているデフォルト値は0x5A5A0F0Fです。

選択可能な出力データ・フォーマットの概要

図43に、AD4030-24/AD4032-24で使用可能な出力データ・フォーマットの概要を示します。これらはモード・レジスタで選択できます（モード・レジスタのセクションを参照してください）。なお、ORフラグとSYNCフラグはそれぞれ1ビットです。

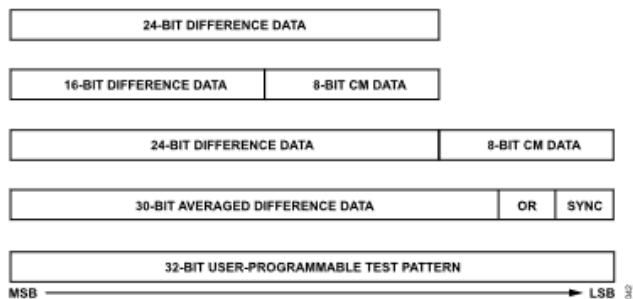


図 43. 選択可能な出力サンプル・フォーマットの概要

アプリケーション情報

代表的なアプリケーション図

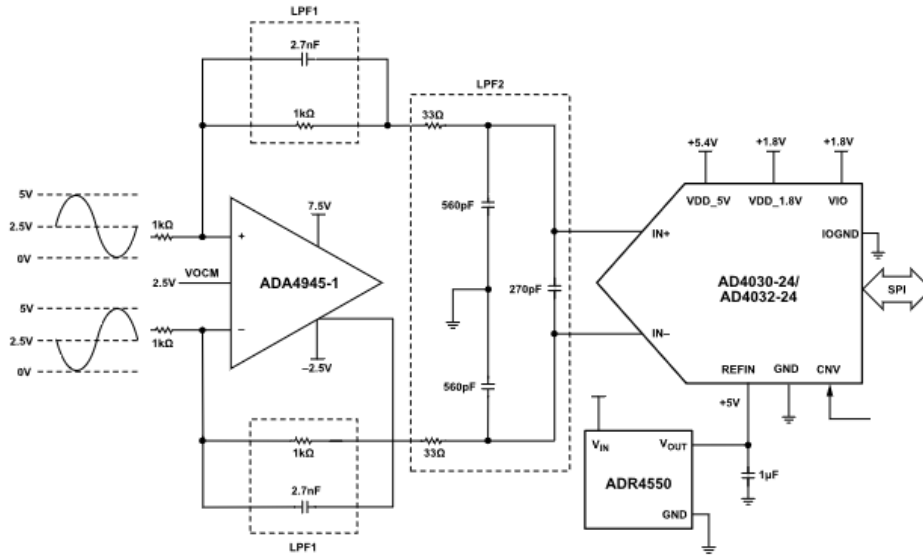


図 44. 差動ドライバのアナログ・フロント・エンド

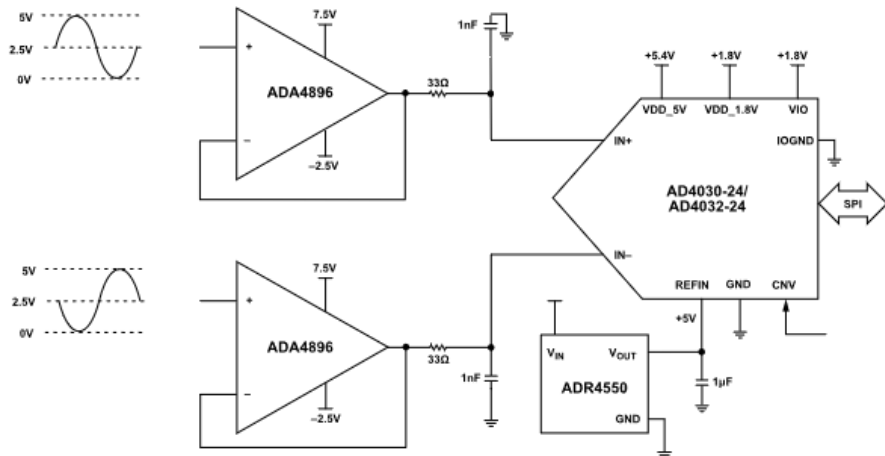


図 45. ユニティ・ゲイン・デュアル・バッファの構成

アナログ・フロント・エンドの設計

ドライバ・アンプの選択

図44にAD4030-24/AD4032-24を駆動する2つの例を示します。どちらも追加のシグナル・コンディショニングを行う上流段と組み合わせられています。また、どちらもシングルエンド入力または差動入力に対応できます。AD4030-24/AD4032-24のSNRとTHDの性能を生かすためには、アプリケーション条件を満たすだけの低ノイズ性能とTHD性能を持つドライバ・アンプを選択することが重要です。図44に示すアンプの他、LTC6227もドライバとして選択できます。アナログ・デバイスでは、いくつかの関連ドライバ・アンプを用意しており、これらはADC用ドライバのウェブページに掲載されています。

リファレンス回路の設計

AD4030-24/AD4032-24は、その入力範囲を指定するために外部リファレンスを必要とします。このリファレンスは4.096V~5Vである必要があります。選択対象となる最適なリファレンスは、ADR4550またはADR4540です。AD4030-24/AD4032-24にはリファレンスから引き出される電荷を減らす機能がいくつかあるため、他のADCよりもかなり使いやすくなります。ほとんどのアプリケーションでは、リファレンスとADC回路を絶縁する高精度バッファが内蔵されているREFINピンをリファレンスが駆動できます。このバッファは高入力インピーダンスで入力電流が小さい（代表値5nA）ため、複数のADCが共通のリファレンスを共有できます。リファレンスとREFINピンの間のRC回路を使用すると、リファレンス・ノイズを除去できます（図46参照）。推奨値は、 $100\Omega < R < 1k\Omega$ 、および、 $C \geq 10\mu F$ です。

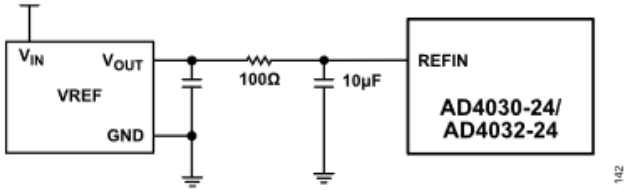


図 46. ノイズ・フィルタ付きリファレンス

ゲイン誤差をできるだけ抑えるために、内部バッファをディスエーブルし ($REFIN = 0V$)、外部リファレンスを用いてREFピンを駆動することができます。REFピンによって引き出される電流は小さく ($2\mu A$ 未満)、サンプル・レートおよび出力コードによって異なります。

(図30参照)。REFピンに内蔵される $2\mu F$ のコンデンサは、最適なリファレンス・バイパスを提供し、部品数とレイアウトの影響を軽減することでPCB設計を簡略化します。

図47に示すように、長時間のアイドルング後にサンプルのバーストが生じるようなアプリケーションでは、リファレンス電流 (I_{REF}) が約 $0\mu A$ から最大値 $1.8\mu A$ (2MSPS時) または約 $0\mu A$ から $0.5\mu A$

(500kSPS時) に急増します。このようにDC電流が流れてステップ状に増加することにより、リファレンスの過渡応答が生じます。リファレンス出力電圧の変化は出力コードの精度に影響するため、この過渡応答を考慮する必要があります。リファレンスが

REFINピンを駆動している場合は、内部バッファによってこれらの遷移を処理できます (図28参照)。REFピンが外部バッファなしで駆動されている場合、およびリファレンスの過渡応答が重要でない場合は、セトリングが高速なLTC6655LN-5リファレンスを推奨します。



図 47. バースト・サンプリングを示すCNV波形

デバイスのリセット

AD4030-24/AD4032-24には、シリアル・インターフェースを使用してデバイス・リセットを実行するオプションが2つあります。ハードウェア・リセットは、**RST** ピンにロー・パルスを入力することによって開始されます。ソフトウェア・リセットは、同じ書き込み命令でインターフェース設定レジスタのSW_RESETビットとSW_RESETXビットの両方を1に設定することで開始されます（インターフェース設定レジスタのセクションを参照）。

ハードウェア・リセットまたはソフトウェア・リセットを実行すると、デジタル診断レジスタのRESET_OCCURREDビットがアサートされます（デジタル診断レジスタのセクションを参照）。RESET_OCCURREDビットはこのビットに1を書き込むとクリアされます。RESET_OCCURREDは、AD4030-24/AD4032-24がデバイス・リセットを実行したことをデジタル・ホストが確認するために用いることができます。

AD4030-24/AD4032-24は、VDD_5VとVDD_1.8Vが最初に印加されたときに、パワーオン・リセット（POR）を生成するように設計されています。PORは、ユーザ設定レジスタの状態をリセットし、RESET_OCCURREDビットをアサートします。VDD_5VまたはVDD_1.8Vが仕様規定された動作範囲を下回ると、PORが発生します。POR後にハードウェア・リセットまたはソフトウェア・リセットを行うことを推奨します。

図48に **RST** 入力を用いてデバイスのリセットを行うためのタイミング図を示します。最小の **RST** パルス幅は50nsで、図48および表1では $t_{RESETPW}$ と表記されています。リセットは、電源が有効になり安定してから3ms以後に実行する必要があります（この遅延は図48および表1では t_{RESET_DELAY} と表記されています）。

ハードウェア・リセットまたはソフトウェア・リセット後は、SPIコマンドや変換は750 μ sの間、開始できません。

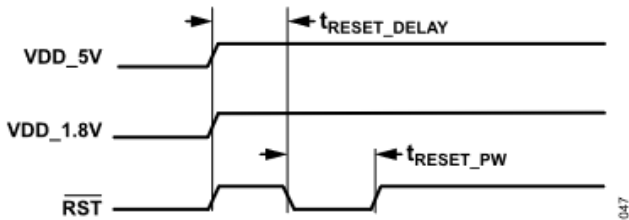


図 48. パワーオン・リセット（POR）のタイミング

電源

AD4030-24/AD4032-24には、特別な電源シーケンシング条件はありません。絶対最大定格のセクションに記載されている最大電圧の関係を遵守してください。VDD_5V電源の電圧範囲は、選択するリファレンス電圧によって異なります（仕様の表のInternal Reference BufferまたはExternally Overdriven Referenceを参照）。図49に、REFINとREFに対するVDD_5Vの最大値と最小値を示します。VDD_5Vの電圧値が、最大値を超える場合、または最小値を下回る場合、デバイスの損傷または性能の低下の原因となります。

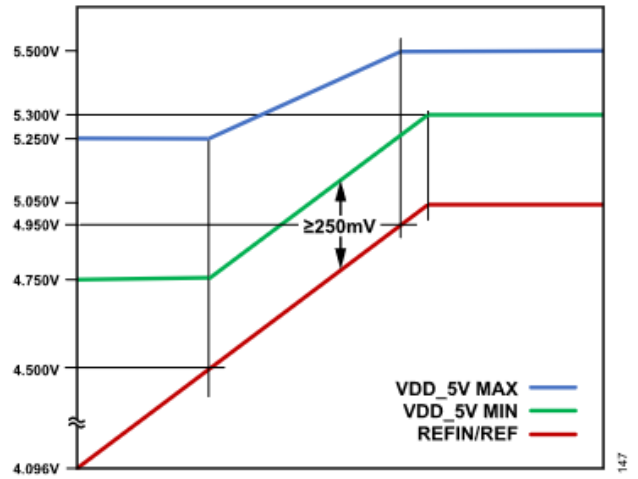


図 49. REFIN/REFに対するVDD_5Vの最小値と最大値

AD4030-24/AD4032-24には、最初の起動時、またはVDD_5VもしくはVDD_1.8Vが規定された動作範囲を下回った場合に、AD4030-24/AD4032-24をリセットするPOR回路があります。

なお、VDD_5V電源およびVDD_1.8V電源はパッケージ内に1 μ Fのバイパス・コンデンサを内蔵しており、VIOは0.2 μ Fのバイパス・コンデンサを内蔵しています。これらの内蔵コンデンサにより、部品表（BOM）数やソリューション・サイズを縮小します。バルク電源バイパス・コンデンサがADCの近くにない場合、外部コンデンサをADCに隣接させることができます。全電源の最小立上がり時間は100 μ sです。

電力消費状態

変換時、AD4030-24/AD4032-24の電力消費率は最大になります。変換が終了すると、スタンバイ状態になり、内部回路の大半がパワーダウンして、消費電流は変換状態時の20%未満に低下します。完全な精度を確保するため、リファレンス・バッファなど一部の回路は、スタンバイ状態時もパワーオン状態を維持します。

デバイス設定レジスタのOPERATING_MODESビット・フィールドに0x3を書き込むことで、変換クロックがアイドル状態になっている間、デバイスをより低消費電力のシャットダウン・モードにすることができます（デバイス設定レジスタのセクションを参照）。このビット・フィールドのデフォルト値は[00]で、通常動作モードになります。シャットダウン・モードでは、消費電流は、10 μ A未満まで低下します。

シャットダウン・モード

ADCがシャットダウン・モードに入ると、内部リファレンス・バッファがディスエーブルされ、500 Ω のスイッチによってREFINピンがREFピンに接続されます（REFINピンが接地され、REFピンが外部駆動されている場合を除く）。これにより、REFピンの2 μ Fのコンデンサが充電され、ADCがシャットダウン・モードを終了したときに高速回復が可能となります。このキープアライブ・スイッチがあるため、

ADCがシャットダウン・モードに入るとき (400pC) とシャットダウン・モードを終了するとき (5pC) に、REFINピンに電荷が注入されます。シャットダウン・モードを終了すると、REFピンは30 μ s後に正確なものとなります。

シリアル・インターフェース

AD4030-24/AD4032-24は、共通のビット・クロック（SCK）を用いた複数レーンのSPIシリアル・デジタル・インターフェースに対応しています。柔軟なVIOピン電源により、AD4030-24/AD4032-24は1.2V～1.8Vで動作する任意のデジタル・ロジックと通信できます。ただし、VIOピンのレベルが1.4V未満の場合は、出力ドライバ・レジスタのIO2Xビットを1に設定する必要があります（出力ドライバ・レジスタのセクションを参照）。シリアル出力データは、最大4個のSDOレーンにクロック同期出力されます。（図50参照）。出力データに同期したエコー・クロック・モードは、デジタル・インターフェースでの絶縁を使用する場合のタイミング条件を緩和するために利用できます。ホスト・クロック・モードも使用でき、内部発振器を使用してデータ・ビットをクロック同期出力できます。

SPIクロック・モードのセクション、エコー・クロック・モードのセクション、ホスト・クロック・モードのセクション、シングル・データ・レート・モードのセクション、デュアル・データ・レート・モードのセクション、1レーン出力データ・クロック・モードのセクション、2レーン出力データ・クロック・モードのセクション、4レーン出力データ・クロック・モードのセクション、データ出力モードの概要の概要のセクションに、AD4030-24/AD4032-24のSPIの動作が記載されています。

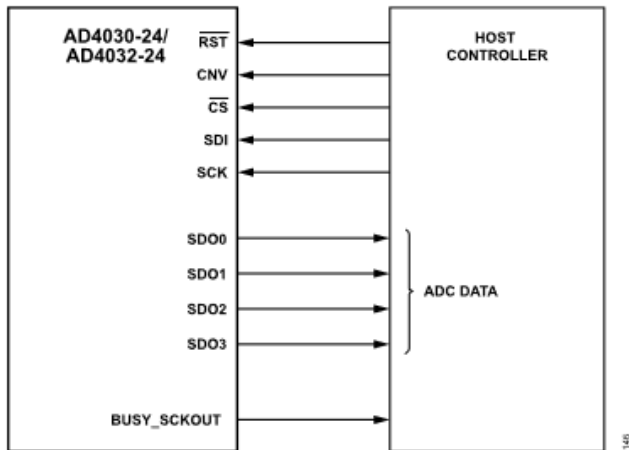


図 50. AD4030-24/AD4032-24の複数レーンSPI

SPI信号

SPIは、ADCの設定とサンプリングされたデータの取得の両方を行うために使用される、複数レーンのインターフェースです。以下の信号で構成されます。

- ▶ \overline{CS} （入力）（チップ・セレクト）。ADCのSDIピンまたはSDOxピンとの間でデータ転送を行うには、 \overline{CS} をローに設定する必要があります。サンプル・データ読出しのための \overline{CS} のタイミングは、BUSYピンの状態を調べることで、極端なものにならないようにできます。エコー・クロック・モードおよびホスト・クロック・モードでは、BUSY_SCKOUTピンがこれらのクロック・モードのビット・クロック出力として用いられるため、 \overline{CS} のタイミングはホスト・プロセッサが制御する必要があります。
- ▶ SDI（入力）。ホスト・コントローラからADCへのシリアル・データ入力の流れ。SDI信号は、AD4030-24/AD4032-24のユーザ・レジスタの1つにデータを書き込む場合にのみ使用されます。
- ▶ CNV（入力）。CNV信号はホスト・コントローラから出され、サンプル変換を開始させます。CNV信号の周波数によってAD4030-24/AD4032-24のサンプリング・レートが決まります。CNVクロックの最大周波数は2MSPSです。

- ▶ SCK（入力）。ホスト・コントローラが供出するシリアル・データ・クロック。出力データ転送をサポートする最大SCKレートは100MHzです。レジスタの読出しと書込みの場合の最大SCKレートは、VIOピン > 1.71Vの場合で86MHz、1.4V ≤ VIOピン < 1.71Vの場合で81MHzです。
- ▶ SDO0～SDO3（出力）。ホスト・コントローラへのデータ・レーン。アクティブなデータ・レーンの数は1、2、または4です（表14参照）。データ・レーンの数はモード・レジスタのセクションで設定されます。
- ▶ BUSY_SCKOUT（出力）。BUSY_SCKOUTピンの機能は、選択するクロック・モードによって異なります。表13に各クロック・モードに対するBUSY_SCKOUTピンの機能を示します。

表 13. BUSY_SCKOUTピンの機能とクロック・モードの関係

Clocking Mode	Behavior
SPI Clocking Mode	Valid BUSY_SCKOUT pin signal for the ADC conversion status. The busy signal on the BUSY_SCKOUT pin goes high when a conversion is triggered by the CNV signal. The busy signal on the BUSY_SCKOUT pin goes low when the conversion is complete.
Echo Clock Mode	Bit clock. The BUSY_SCKOUT pin is a delayed version of SCK input.
Host Clock Mode	Bit clock. The BUSY_SCKOUT pin sources the clock signal from the internal oscillator.

レジスタ・アクセス・モード

AD4030-24/AD4032-24には、レジスタのセクションで説明するように、デバイスを設定するために使用するプログラマブル・ユーザ・レジスタが備わっています。起動時、デバイスはデフォルトで変換モードになっています。そのため、ユーザ・レジスタにアクセスするには、図5に示すように、SPIを介してホスト・コントローラが特別なアクセス・コマンドを送出する必要があります。このレジスタ・アクセス・コマンドがSPIを介して送られると、デバイスはレジスタ設定モードになります。レジスタのセクションに記載されたいずれかのユーザ・レジスタから値を読み出すには、ホスト・コントローラが図4に示すパターンを送る必要があります。いずれかのユーザ・レジスタに書込みを行うには、ホスト・コントローラが図3に示すパターンを送る必要があります。どちらの（読出し／書込み）の場合も、ホスト・コントローラは、全トランザクションにわたって常に24個のクロック・パルスを送出し、 \overline{CS} をローに引き下げる必要があります。

該当のユーザ・レジスタとの間で読み書きを行った後、ホスト・コントローラは、EXIT設定モード・レジスタに詳細を示すように、レジスタ・アドレス0x0014に0x01を書き込むことで、レジスタ設定モードを終了する必要があります。レジスタの読み書きアクセスのアルゴリズムは、以下のとおりです。

1. ダミー・レジスタ・アドレス0x3FFFからの読出しを行って、レジスタ設定モードに入る。
2. 目的のユーザ・レジスタ・アドレスとの間で読出しや書込みを行う。
3. レジスタ・アドレス0x0014に0x01を書き込むことで、レジスタ設定モードを終了する。レジスタ設定モードを終了するとレジスタの更新が有効になります。

ストリーム・モード

AD4030-24/AD4032-24がレジスタ設定モードにある間に、レジスタの読出し/書き込みトランザクションを一括して実行する方法もあります。読出し/書き込みレジスタ・トランザクションを一括して実行するには、 \overline{CS} をローに維持するとともに、各レジスタが1バイト（8ビット）幅のみであるためSCKパルスを8の倍数で送出する必要があります。ストリーム・モードでは、アドレスのデクリメントのみが許容されます。つまり、読み書きできるのは最初のレジスタ・アドレスと最初のレジスタ・アドレスのすぐ下のレジスタ・アドレスです。ストリーム・モードでのレジスタ・アクセスは、連続するアドレスを持つレジスタ・ブロックに対して行うことを推奨します。ただし、レジス

タ・マップにないレジスタのアドレスを指定することができます。これを行うには、これらのレジスタにすべてゼロを書き込むだけです。あるいは、読み出す場合は、単にこれらのレジスタから読み出された内容を廃棄するだけです。これはランダムなデータであるためです。有効で連続的なレジスタ・アドレスを調べるには、[レジスタのセクション](#)を参照してください。例えば、24ビットのオフセット値を一回で読み出すには、レジスタ・アドレス0x0018から始まる24個のSCKパルスを送出する必要があります。所定アドレスから一括読出しを行うためのタイミング図を[図51](#)に示します。

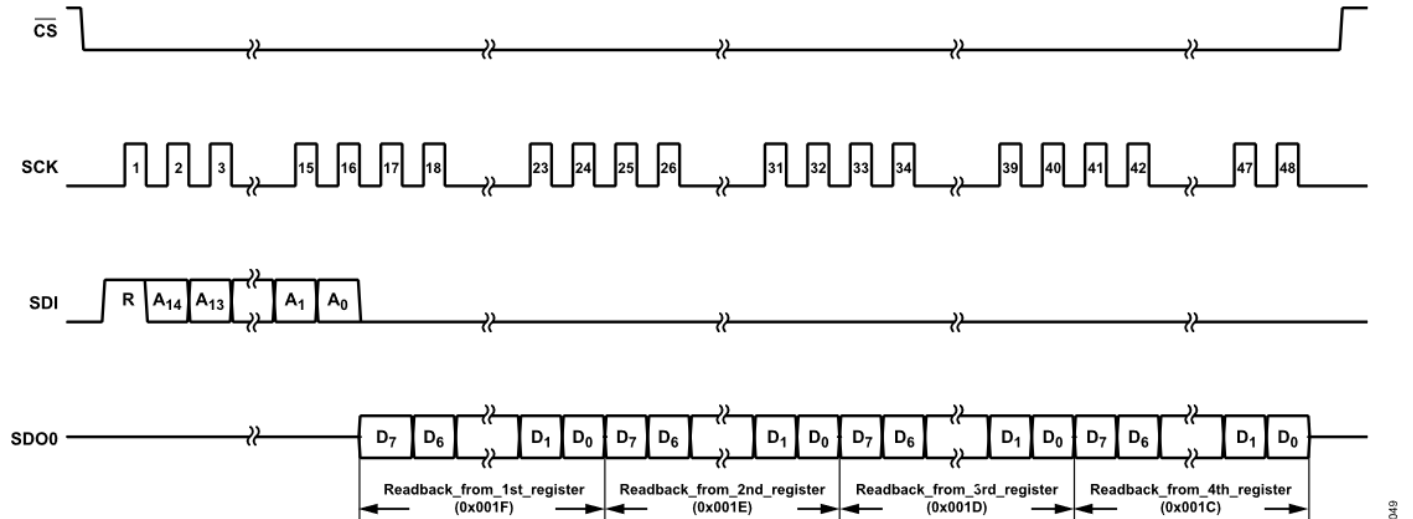


図 51. ストリーム・モードの一括レジスタ読出し動作

サンプル変換タイミングとデータ転送

変換は、図52に示すように、CNV信号の立上がりエッジで開始されます。変換が完了すると、 \overline{CS} をアサートでき、これによって電流変換結果が出力シフト・レジスタにロードされます。

図52に示されるように、サンプルNにはデータ転送ゾーンに2つのオプションがあります。ゾーン1はサンプルNの変換のBUSY信号がアサートされた直後（SPI変換モード）、あるいは300ns後（エコー・モードおよびホスト・クロック・モード）に \overline{CS} がアサートされる場合です。ゾーン1では、サンプルNを読み出すために利用できる時間が次式で与えられます。

$$\text{ゾーン1のデータ読出しウィンドウ} = t_{\text{CYC}} - t_{\text{CONV}} - t_{\text{QUIET_CNV_ADV}}$$

例えば、 f_{CNV} が2MSPS ($t_{\text{CYC}} = 500\text{ns}$) で t_{CONV} の代表値 (282ns) を用いる場合、使用可能なウィンドウ幅は198.4ns (= 500ns - 282ns - 19.6ns) です。

ゾーン2は、サンプルNを読み出すための \overline{CS} のアサートがサンプルN + 1の変換が開始されるまで遅延される場合です。

データの破損を防ぐため、図52に示すように、CNV信号の各立上がりエッジ前後に静止ゾーンを置く必要があります。CNVの立上がりエッジ直前の静止ゾーンは $t_{\text{QUIET_CNV_ADV}}$ で、19.6nsです。CNVの立上がりエッジ直後の静止ゾーンは $t_{\text{QUIET_CNV_DELAY}}$ で、9.8nsです。CNVの立上がりエッジを中心とする静止ゾーンの直後に \overline{CS} がアサートされると仮定すると、データをクロック同期出力するために使用できる時間は次式のようにになります。

$$\text{ゾーン2のデータ読出しウィンドウ} = t_{\text{CYC}} - t_{\text{QUIET_CNV_DELAY}} - t_{\text{QUIET_CNV_ADV}}$$

例えば、 f_{CNV} が2MSPS ($t_{\text{CYC}} = 500\text{ns}$) で t_{CONV} の代表値 (282ns) を用いる場合、使用可能なウィンドウ幅は470.6ns (= 500ns - 9.8ns - 19.6ns) です。ゾーン2の転送ウィンドウはゾーン1のウィンドウより長いので、SPIより低速のSCKを使用でき、インターフェースのタイミング条件を緩和できます。ゾーン2を使用してデータ転送を行う場合、静止ゾーンの直後に \overline{CS} をアサートすることを推奨します。ただし、ゾーン2はサンプルN + 1のBUSYの立下がりエッジより少なくとも25ns前にアサートする必要があります。そうでない場合、サンプルNはサンプルN + 1で上書きされます。

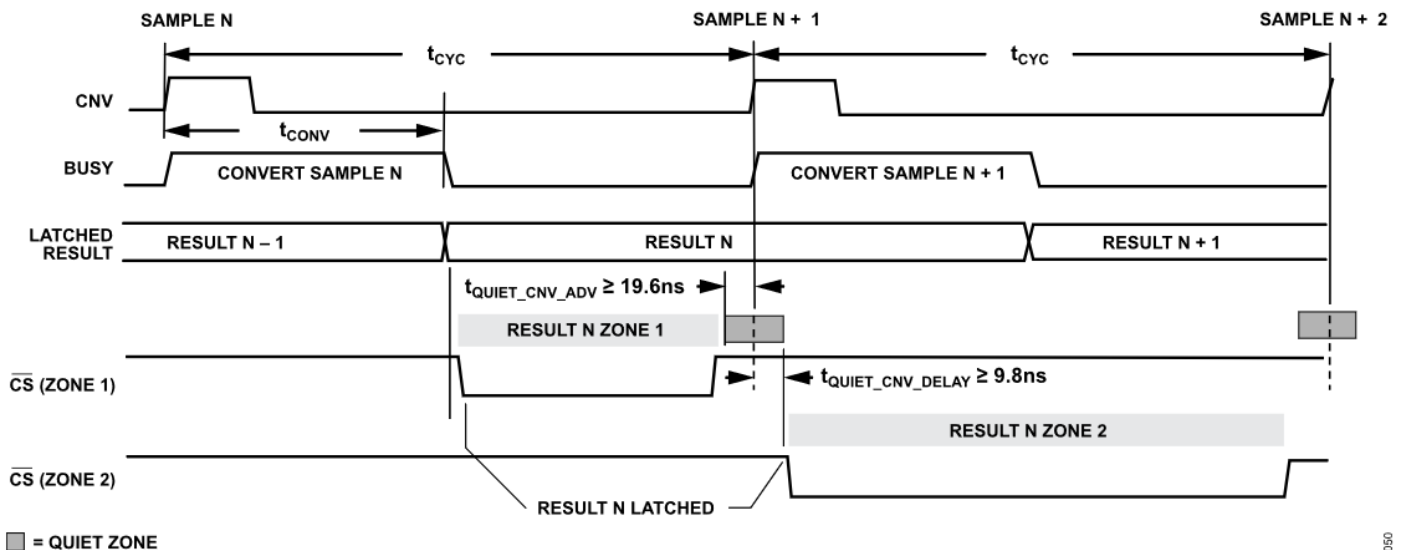


図 52. データ転送ゾーンのタイミング例

クロック・モード

このセクションでは、AD4030-24/AD4032-24 SPIがサポートする各種クロック・モードについて説明します。これらのモードは、1レーン、2レーン、4レーンで使用できます。クロック・モードは、モード・レジスタ（レジスタの説明については表16を参照）で設定できます。

SPIクロック・モード

SPIクロック・モードは、AD4030-24/AD4032-24のデフォルト・クロック・モードで、ホスト・コントローラが固有のクロックを使用して出力データをラッチする、ホストをソースとするビット・クロック（SCK）と等価です。SPI互換のクロック・モードは、モード・レジ

スタのCLK_MDビット・フィールドに0x0を書き込むことでイネーブルできます（モード・レジスタのセクションを参照）。インターフェースの接続を図50に示します。このモードでは、BUSY_SCKOUTピンの信号が有効で、変換の完了を示します（BUSY_SCKOUTピンのハイからローへの遷移）。簡略化したサンプル・サイクルを図53に示します。平均化モード以外では、ホスト・コントローラが変換の完了を検出するためにBUSY_SCKOUTピン信号を使用せず、内部タイマを使用してデータを再取得する場合には、ホスト・コントローラはCNVパルスの立上がりエッジの後300ns以上待機してからCSをローにアサートする必要があります。ブロック平均化モードで動作する場合は、ホスト・コントローラはブロック最後のサンプルにおけるCNVパルスの立上がりエッジの後300ns以上経過してからCSをローにアサートする必要があります。

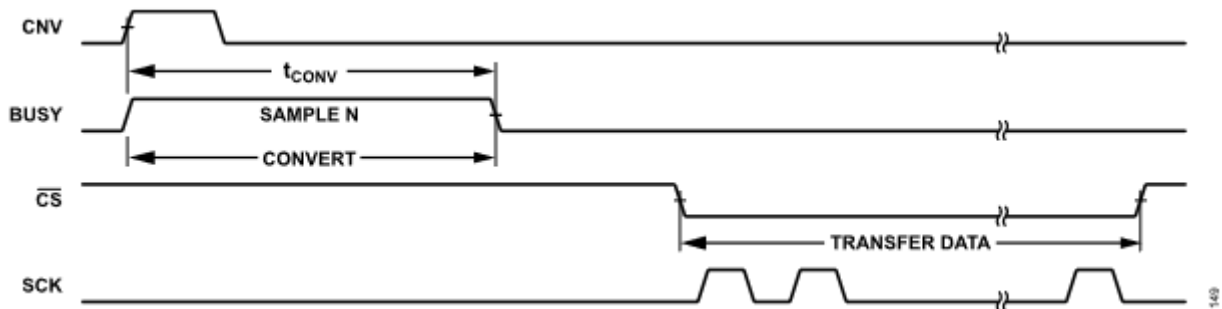


図 53. SPIクロック・モードの代表的なサンプル・サイクル

エコー・クロック・モード

図54にエコー・クロック・モードの信号接続を示します。エコー・クロック・モードは、モード・レジスタのCLK_MDビット・フィールドに0x1を書き込むことでイネーブルできます（モード・レジスタのセクションを参照）。このモードでは、BUSY_SCKOUTピンを使用して変換の完了を検出することはできません。BUSY_SCKOUTピンはビット・クロック出力となり、ホスト・コントローラのSCKを介してBUSY_SCKOUTピンにループすることで出力されます（VIOピンの電圧に応じて5.4ns~7.9nsの固定遅延あり）。非平均化モードで変換データの再取得を開始するには、ホスト・コントローラはCNVパルスの立上がりエッジの後300ns以上経過してからCSをアサートする必要があります。ADCがブロック平均化モードに設定されている場合は、ホスト・コントローラはブロック最後のサンプルにおけるCNVパルスの立上がりエッジの後300ns以上経過してからCSをアサートする必要があります。タイミング図の例は、データ・クロック条件とタイミングのセクションに示されています。エコー・クロック・モードがイネーブルされている場合、BUSY_SCKOUTピンはSDOxピンの遷移に一致するため、データとクロックのタイミングはSDOxピンとSCKピンの経路での非対称伝搬遅延には影響されなくなります。

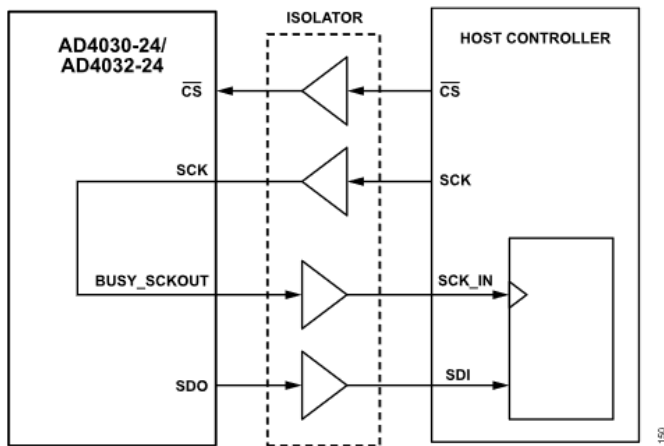


図 54.エコー・クロック・モードの信号経路図

ホスト・クロック・モード

ホスト・クロック・モードがイネーブルされている場合、内部発振器をビット・クロック源として用います。ホスト・クロック・モードは、モード・レジスタのCLK_MDビット・フィールドに0x2を書き込むことでイネーブルできます。ビット・クロックの周波数は、1、2、または4の除数を用いて、内部発振器レジスタのOSC_DIVビット・フィールドでプログラムできます（内部発振器レジスタのセクションを参照）。図55は、ホスト・クロック・モードの信号接続を示しています。このモードでは、BUSY_SCKOUTピンはビット・クロック出力を提供し、これを使用して変換の完了を検出することはできません。AD4030-24/AD4032-24は、ワード・サイズ、アクティブなレーンの数、シングル・データ・レート・モードとデュアル・データ・レート・モードのどちらを選択しているか、に応じて、変換データをクロック同期出力するために必要なクロック・パルス数を自動的に計算します。クロック・パルス数は、内部発振器レジスタのOSC_LIMITビット・フィールドから読み出すことができます。ホストからのSCK_INはアクティブにはできません。非平均化モードで変換データを再取得する場合、ホストはCNVパルスの立上がりエッジ後300nsより前にCSをローにアサートすることはできません。ADCが2^N回平均化を行う平均化モードに設定されている場合、ホストは、ブロック最後のサンプルにおけるCNVパル

ス立上がりエッジ後300nsより前にCSをローにアサートすることはできません。

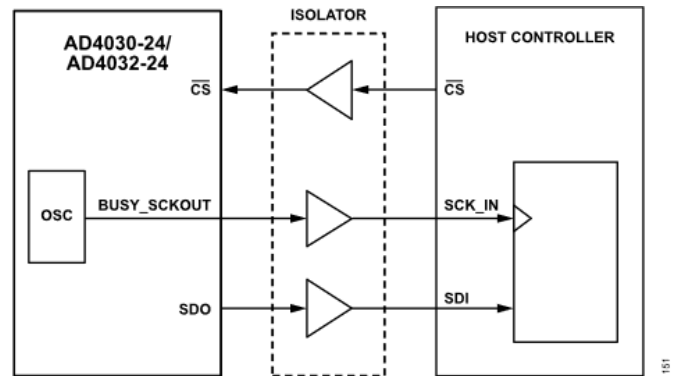


図 55. ホスト・クロック・モードの信号経路例

シングル・データ・レート

シングル・データ・レート・クロック（SDR）は、1クロック・サイクルの間に1個のビット（アクティブ・レーンあたり）がクロック同期出力されるもので、すべての出力設定およびサンプル・フォーマットでサポートされています（表14参照）。SDRクロック・モードは、デフォルトで起動時にイネーブルされる他、モード・レジスタのDDR_MDビットに0を書き込むことでイネーブルできます（モード・レジスタのセクションを参照）。

デュアル・データ・レート

デュアル・データ・レート（DDR）モード（1アクティブ・レーンにつき1クロック・サイクルあたり2個のデータ・ビット遷移）は、ホスト・クロック・モードおよびエコー・クロック・モードでのみ使用可能です。

DDRクロック・モードは、モード・レジスタのDDR_MDビットに1を書き込むことでイネーブルできます（モード・レジスタのセクションを参照）。DDRモードは、SDRモードに比べ、変換データをクロック同期出力するために使用するSCKパルス数の数が半分にになります。

1-レーン出力データ・クロック・モード

1-レーンが起動時のデフォルトの出力データ・クロック・モードです。1レーン出力データ・クロック・モードは、モード・レジスタのLANE_MDビット・フィールドに0x0を書き込むことでイネーブルできます（モード・レジスタのセクションを参照）。アクティブ・レーンはSDO0です。SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する1-レーン・モードのタイミング図の例は、データ・クロック条件とタイミングのセクションにあります。

2-レーン出力データ・クロック・モード

2レーン出力データ・クロック・モードがイネーブルされている場合、サンプル・ワード・ビットは2つのSDOレーン間で分割されます。図58に2レーン・モードのレーン間でのビット割当て方法を示します。ビットの配列は、SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードで同じです。2レーン出力データ・クロック・モードは、モード・レジスタのLANE_MDビット・フィールドに0x1を書き込むことでイネーブルできます（モード・レジスタのセクションを参照）。ホスト・コントローラは、SDOからのデータを再結合し、元のサンプル・ワードを再構築します。変換データをクロック同期出力するために必要なSCKパルス数は、1-レーン・モードに比べ半分にになります。表14に、2レーン・モードでのアクティ

ブなSDOレーンを示します。SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する2レーン・モードのタイミング図の例は、[データ・クロック条件とタイミング](#)のセクションにあります。

4レーン出力データ・クロック・モード

4レーン出力データ・クロック・モードがイネーブルされている場合、サンプル・ワード・ビットは4つのSDOレーン間で分割されます。[図59](#)に4レーン・モードのレーン間でのビット割当て方法を示します。ビットの配列は、SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードで同じです。4レーン出力データ・クロック・モードは、モード・レジスタのLANE_MDビット・フィールドに0x2を書き込むことでイネーブルできます（[モード・レジ](#)

[スタ](#)のセクションを参照）。ホスト・コントローラは、SDOからのデータを再結合し、元のサンプル・ワードを再構築します。変換データをクロック同期出力するために必要なSCKパルス数は、1レーン出力データ・クロックに比べ、4分の1になります。4レーン・モードでのアクティブなSDOレーンを[表14](#)に示します。SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する4レーン・モードのタイミング図の例は、[データ・クロック条件とタイミング](#)のセクションにあります。

データ出力モードのまとめ

AD4030-24/AD4032-24がサポートするデータ出力モードの概要を[表14](#)にまとめます。

表 14. AD4030-24/AD4032-24がサポートするデータ出力モード

Number of Lanes	Active SDO Lanes	Clock Mode	Supported Data Clocking Mode	Output Sample Data-Word Length
1	SDO0	SPI	SDR only	24 or 32
		Echo	SDR and DDR	24 or 32
		Host	SDR and DDR	24 or 32
2	SDO0, SDO1	SPI	SDR only	24 or 32
		Echo	SDR and DDR	24 or 32
		Host	SDR and DDR	24 or 32
4	SDO0, SDO1, SDO2, SDO3	SPI	SDR only	24 or 32
		Echo	SDR and DDR	24 or 32
		Host	SDR and DDR	24 or 32

データ・クロック条件とタイミング

基本および平均化変換サイクル

図56に、1回のサンプリングの基本変換サイクルを示します。このサイクルはSPIクロック・モードにあてはまります。エコー・クロック・モードおよびホスト・クロック・モードを使用する場合は、BUSY_SCKOUTピンの機能はディスエーブルされ、ビット・クロックがBUSY_SCKOUTピンに出力されます。データ転送はサンプル変換タイミングとデータ転送のセクションに記載の条件を満たす必要があります。

表15に、変換タイミング・パラメータの最小値と最大値を示します。これらはすべてのクロック・モードにあてはまります。

表 15. 変換サイクルのタイミング・パラメータ

Parameter	Min	Max
t _{CNVH}	10 ns	No specific maximum
t _{CNVL}	20 ns	No specific maximum
t _{CONV}	264 ns	300 ns

データ転送時間の長さは、サンプル分解能、アクティブなレーンの数、SCK周波数、データ・クロック・モード (SDRまたはDDR) によって異なります。転送時間の公称値は次式で与えられます。

$$\text{Data Transfer Duration} = t_{\text{TRANS}} = \frac{N_{\text{BITS}}}{M_{\text{LANES}}} \times \frac{1}{f_{\text{SCK}}} \times \frac{1}{K} \text{ seconds}$$

ここで、

N_{BITS} = クロック同期出力されるビット数

M_{LANES} = データをクロック同期出力するために使用されるレーン数 (1、2、または4)

f_{SCK} = SCKクロック周波数 (単位はHz)

K = 1 (SDRのみ、DDRはSPIクロック・モードでは使用できません)

所定のf_{SCK}、データ・レーン数、サンプル・ワード・サイズ、SDR/DDRモードに対し、データ転送にゾーン1を使用した場合の最小サンプル時間は、次式のようにになります。

ゾーン1の最小サンプル時間：

$$t_{\text{CYC}} \geq \left(\frac{N_{\text{BITS}}}{M_{\text{LANES}} \times f_{\text{SCK}} \times K} \right) + t_{\text{CONV}} + t_{\text{QUIET_CNV_ADV}}$$

ゾーン2を用いてデータ転送を行う場合の最小サンプル時間は次のとおりです。

$$t_{\text{CYC}} \geq \left(\frac{N_{\text{BITS}}}{M_{\text{LANES}} \times f_{\text{SCK}} \times K} \right) + t_{\text{QUIET_CNV_DELAY}} + t_{\text{QUIET_CNV_ADV}}$$

図57に、平均化モードが有効でSPIクロック・モードが使用されている場合の、代表的な変換サイクルを示します。平均化されるサンプルの設定数に等しいCNVクロック周期数の間、BUSY信号がアサートされます。BUSY信号がデアサートされると平均化されたサンプルが使用できます。非平均化モードの場合と同様、設定されたクロック・モードがエコー・クロックまたはホスト・クロックの場合、BUSY信号は出力ビット・クロック (SCKOUT) で置き換えられます。ホスト・コントローラはCSをアサートするタイミングを管理しなければなりません。

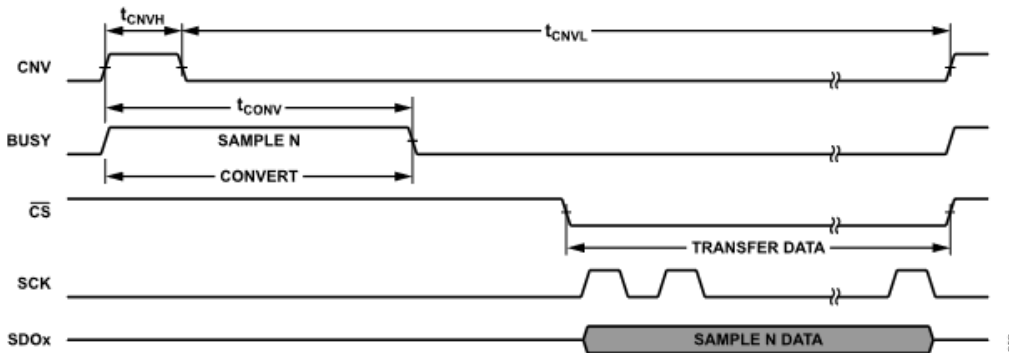


図 56. 基本的なシングル・サンプル変換サイクル

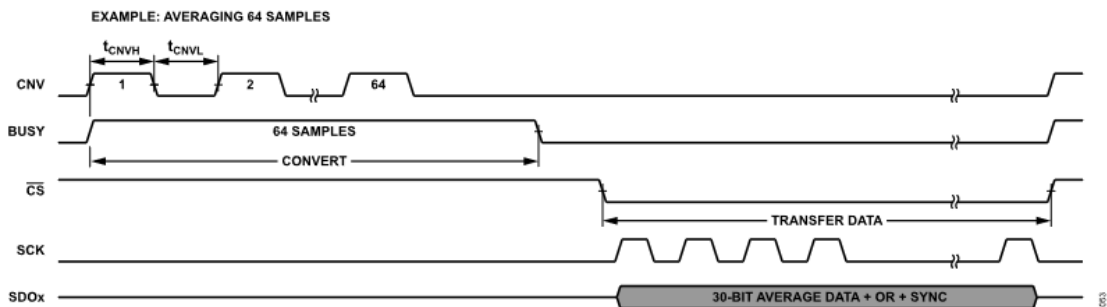


図 57. 平均化モードの変換サイクル例

SPIクロック・モードのタイミング図

1レーン、SDRモード

図6に、1レーン・データ出力でSDRモード（クロック・サイクルあたり1ビット）の場合の変換サイクルを示します。

2-レーン、SDRモード

図58に、SDRクロック・モードを使用する2レーン・データ出力の変換サイクルを示します。詳細については、[2レーン出力データ・クロック・モード](#)のセクションを参照してください。

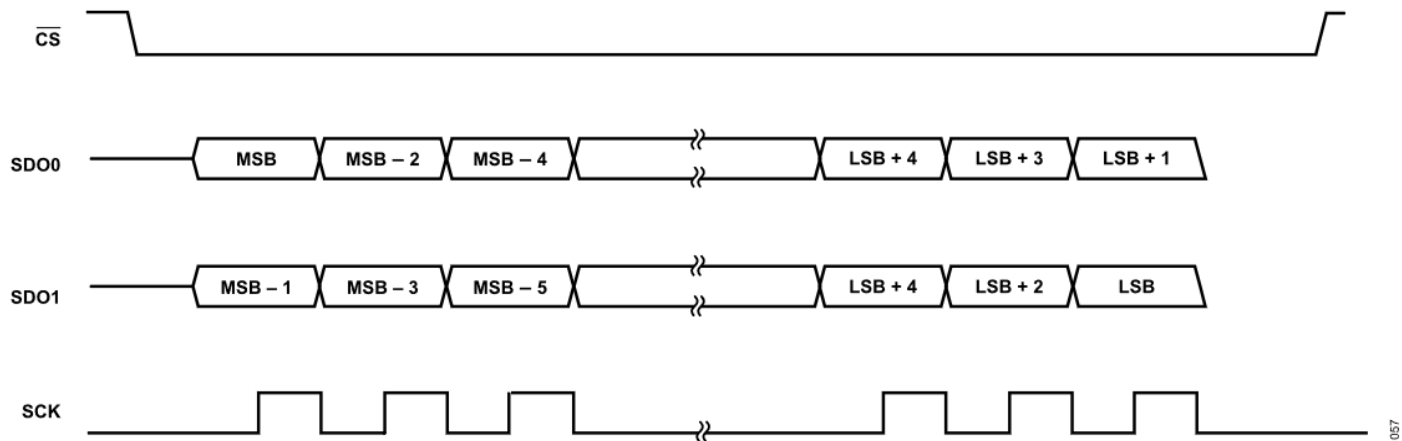


図 58. 2レーン・モード、SDRのタイミング図

4レーン、SDRモード

図59にSDRクロック・モードを使用する4レーン・データ出力の変換サイクルを示します。詳細については、[4レーン出力データ・クロック・モード](#)のセクションを参照してください。

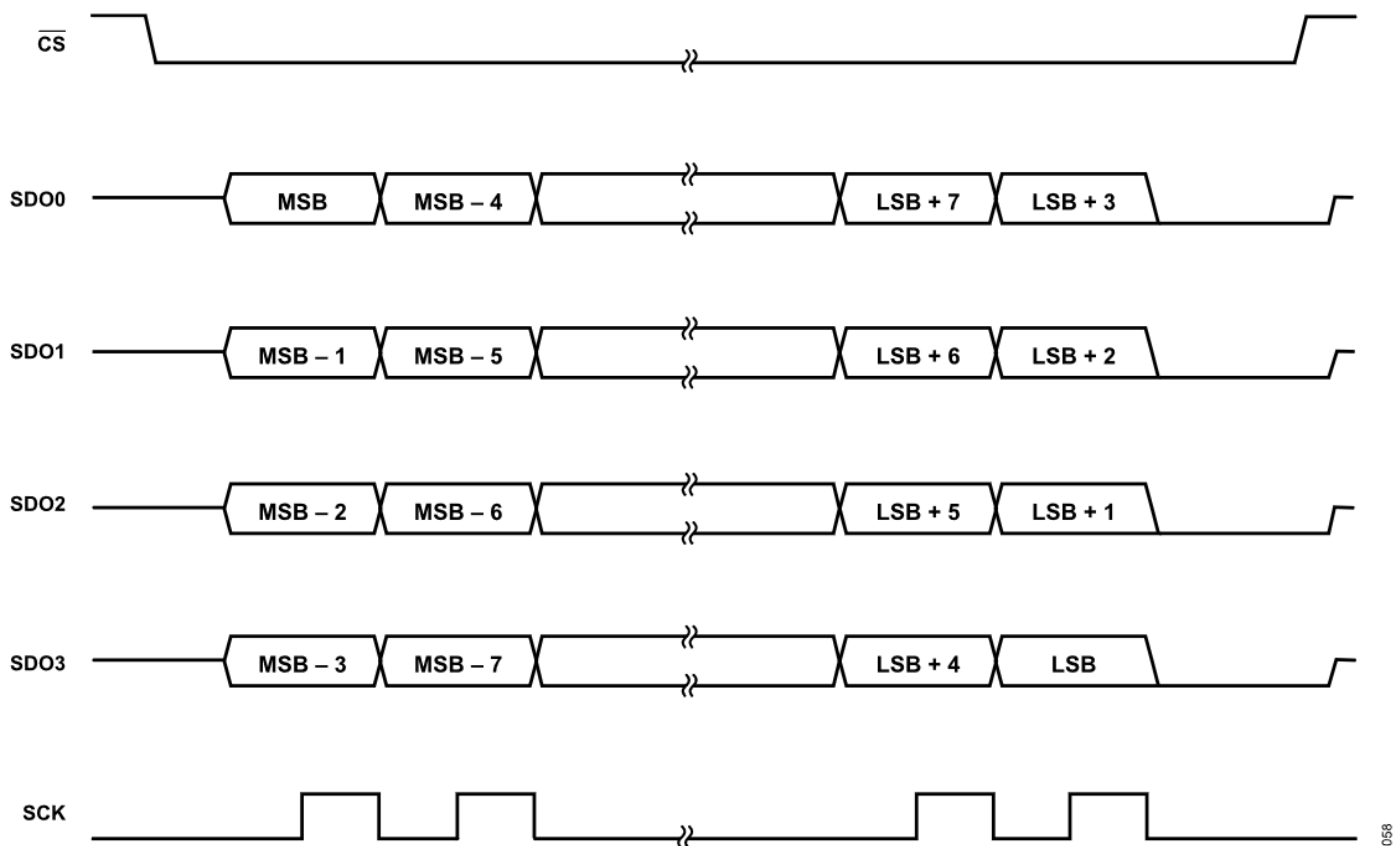


図 59. 4レーン、SDRのタイミング図

エコー・クロックのタイミング図

1- レーン、SDRモード、エコー・クロック・モード

図7に1レーン・エコー・クロック・モードでのSDRモード（SCK周期あたり1ビット）のタイミング関係を示します。シグナル間のタイミング関係は24ビットと32ビットのどちらのサンプル・ワード・フォーマットにも適用されます。

SCKOUTは、入力SCKの遅延バージョンです。この遅延（tDSO）の最大値は5.6ns（VIO > 1.71V）です。SDOxのロジック状態の変化は、SCKOUTの立上がりエッジに一致します。クロックとデータのエッジの一致は、1レーン、2レーン、4レーンの出力データ・モードで同じです。

1- レーン、DDRモード、エコー・クロック・モード

図8に、1レーン・エコー・クロック・モードでのDDRモード（SCKOUT周期あたり2ビットの遷移）のタイミング関係を示します。シグナル間のタイミング関係は24ビットと32ビットのどちらのサンプル・ワード・フォーマットにも適用されます。

SDRモードと同様、SCKOUTは入力SCKの遅延バージョンです。SDOxのロジック状態の変化は、SCKOUTの立上がりエッジと立下がりエッジの両方に一致します。

ホスト・クロック・モードのタイミング

1- レーン、ホスト・クロック・モード、SDR

図9に、SDRモードと1レーン・モードを使用する場合のホスト・クロック・モードのタイミング関係を示します。エコー・クロック・モードと同様、クロックの立上がりエッジはデータ・ビットの遷移と一致します。SCKOUT信号の周波数は、内部発振器レジスタで設定されたOSC_DIVの値で制御されます（内部発振器のセクションを参照）。

1- レーン、ホスト・クロック・モード、DDR

図10に、DDRを使用する場合のホスト・クロック・モードのタイミング関係を示します。エコー・クロック・モードと同様、クロックの立上がりエッジと立下がりエッジはデータ・ビットの遷移と一致します。SCKOUT信号の周波数は、内部発振器レジスタで設定されたOSC_DIVの値で制御されます（内部発振器のセクションを参照）。

レイアウトのガイドライン

AD4030-24/AD4032-24の最高性能を実現するために、以下のようなレイアウトのガイドラインを推奨します。

- ▶ AD4030-24/AD4032-24は、VDD_5VおよびVDD_1.8V用に1 μ Fのバイパス・コンデンサを内蔵しており、VIOは0.2 μ Fのコンデンサを内蔵しています。そのため、外部バイパス・コンデンサは不要です。これにより、ボード・スペースおよびBOM数が節約でき、レイアウトの影響を低減できます。
- ▶ すべてのアナログ信号をAD4030-24/AD4032-24の左側から流入するようにし、すべてのデジタル信号をAD4030-24/AD4032-24の右側から入出力するようにすることを推奨します。このようにすることで、アナログ信号とデジタル信号を絶縁する効果があるためです。
- ▶ AD4030-24/AD4032-24の下には安定したグラウンド・プレーンを用い、すべてのアナログ・グラウンド (GND) ピンとデジタル・グラウンド (IOGND) ピンは共通のグラウンド・プレーンに接続して、グラウンド・ループが形成されることのないようにします。
- ▶ REFINピンまたはREFピンへのパターンは、その他の信号から絶縁とシールドがなされている必要があります。リファレンス・パターン (REFINまたはREF) の下には信号を配線しないようにしてください。REFピンは2 μ Fの内蔵コンデンサに接続されています。これにより、外部リファレンス・バッファの出力にデカップリング・コンデンサを配置する必要がなくなります。リファレンス (またはバッファ) と選択したリファレンス入力の間にはノイズ除去フィルタを配置する場合は、AD4030-24/AD4032-24にできるだけ近付けて配置する必要があります。

レジスタ

AD4030-24/AD4032-24には、デバイスを設定するために使用するプログラマブル・ユーザ・レジスタが備わっています。これらのレジスタは、AD4030-24/AD4032-24がレジスタ設定モードにある場合にアクセスできます。表16には、AD4030-24/AD4032-24のユーザ・レジスタおよびレジスタのビット・フィールドがすべて記載されています。レジスタの詳細のセクションには、各ビット・フィールドの機能の詳細が記載されています。アクセス・モードは、そのレジスタが読み専用ビット（R）だけで構成されているか、読み専用と読み/書き込みビット（R/W）の組合せで構成されているかを指定します。読み専用ビットは、SPI書き込みトランザクションでは書き込みできませんが、読み/書き込みビットは書き込みできます。

表 16. AD4030-24/AD4032-24のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET	RESERVED	ADDR_ASCENSION	SDO_ENABLE	RESERVED			SW_RESETEX	0x10	R/W
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INST	STALLING	RESERVED		SHORT_INSTRUCTION	RESERVED			0x00	R/W
0x02	DEVICE_CONFIG	[7:0]	RESERVED						OPERATING_MODES		0x00	R/W
0x03	CHIP_TYPE	[7:0]	RESERVED				CHIP_TYPE				0x07	R
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x00	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x20	R
0x06	CHIP_GRADE	[7:0]	GRADE				DEVICE_REVISION				0x00	R
0x0A	SCRATCH_PAD	[7:0]	SCRATCH_VALUE								0x00	R/W
0x0B	SPI_REVISION	[7:0]	SPI_TYPE		VERSION						0x81	R
0x0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R
0x0E	STREAM_MODE	[7:0]	LOOP_COUNT								0x00	R/W
0x11	INTERFACE_STATUS_A	[7:0]	RESERVED			CLOCK_COUNT_ERR	RESERVED				0x00	R/W
0x14	EXIT_CFG_MD	[7:0]	RESERVED							EXIT_CONFIG_MD	0x00	R/W
0x15	AVG	[7:0]	AVG_SYNC	RESERVED		AVG_VAL				0x00	R/W	
0x16	OFFSET_LB	[7:0]	USER_OFFSET[7:0]								0x00	R/W
0x17	OFFSET_MB	[7:0]	USER_OFFSET[15:8]								0x00	R/W
0x18	OFFSET_HB	[7:0]	USER_OFFSET[23:16]								0x00	R/W
0x19	UNUSED1_LB	[7:0]	UNUSED1[7:0]								0x00	R/W
0x1A	UNUSED1_MB	[7:0]	UNUSED1[15:8]								0x00	R/W
0x1B	UNUSED1_HB	[7:0]	UNUSED1[23:16]								0x00	R/W
0x1C	GAIN_LB	[7:0]	USER_GAIN[7:0]								0x00	R/W
0x1D	GAIN_HB	[7:0]	USER_GAIN[15:8]								0x80	R/W
0x1E	UNUSED2_LB	[7:0]	UNUSED2[7:0]								0x00	R/W
0x1F	UNUSED2_HB	[7:0]	UNUSED2[15:8]								0x80	R/W
0x20	MODES	[7:0]	LANE_MD		CLK_MD		DDR_MD	OUT_DATA_MD			0x00	R/W
0x21	OSCILLATOR	[7:0]	OSC_LIMIT				OSC_DIV				0x00	R/W
0x22	IO	[7:0]	RESERVED							IO2X	0x00	R/W
0x23	TEST_PAT_BYTE0	[7:0]	TEST_DATA_PAT[7:0]								0x0F	R/W
0x24	TEST_PAT_BYTE1	[7:0]	TEST_DATA_PAT[15:8]								0x0F	R/W
0x25	TEST_PAT_BYTE2	[7:0]	TEST_DATA_PAT[23:16]								0x5A	R/W
0x26	TEST_PAT_BYTE3	[7:0]	TEST_DATA_PAT[31:24]								0x5A	R/W
0x34	DIG_DIAG	[7:0]	POWERUP_COMPLETED	RESET_OCCURRED	RESERVED					FUSE_CRC_EN	0x40	R/W
0x35	DIG_ERR	[7:0]	RESERVED							FUSE_CRC_ERR	0x00	R/W

レジスタの詳細

インターフェース設定Aレジスタ

アドレス : 0x00、リセット : 0x10、レジスタ名 : INTERFACE_CONFIG_A

インターフェースの設定値。

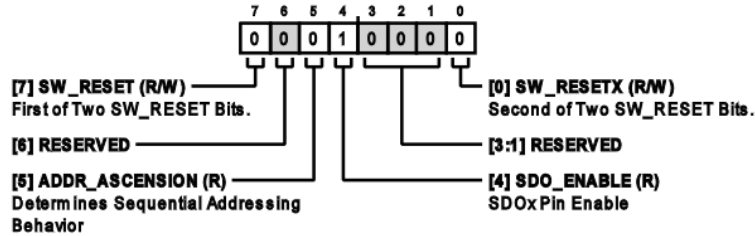


表 17. INTERFACE_CONFIG_Aのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET	2つのSW_RESETビットの最初のもの。このビットはこのレジスタの2か所に現れます。デバイスのソフトウェア・リセットをトリガするには両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W
6	RESERVED	予備。	0x0	R
5	ADDR_ASCENSION	シーケンシャルなアドレス指定動作を決定。 0 : アクセスされるアドレスは、ストリーミング時にデータごとに1ずつデクリメントします。 1 : 有効なオプションではありません。	0x0	R
4	SDO_ENABLE	SDOxピン・イネーブル。	0x1	R
[3:1]	RESERVED	予備。	0x0	R
0	SW_RESETX	2つのSW_RESETビットの最後のもの。このビットはこのレジスタの2か所に現れます。デバイスのソフトウェア・リセットをトリガするには両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W

インターフェース設定Bレジスタ

アドレス : 0x01、リセット : 0x00、レジスタ名 : INTERFACE_CONFIG_B

追加のインターフェース設定値。

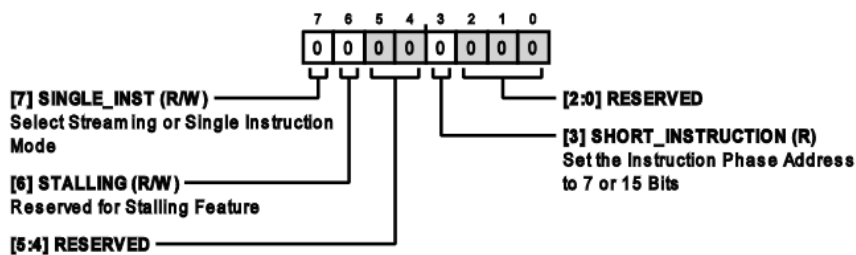


表 18. INTERFACE_CONFIG_Bのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	ストリーミング・モードまたは単一命令モードをイネーブル。 0 : ストリーミング・モードを選択。アドレスは連続するデータ・バイトを受信したときにデクリメントします。 1 : 単一命令モードをイネーブル。	0x0	R/W
6	STALLING	ストーリング機能用に予約。	0x0	R/W
[5:4]	RESERVED	予備。	0x0	R
3	SHORT_INSTRUCTION	命令フェーズのアドレスを7ビットまたは15ビットに設定。 0 : 15ビット・アドレス指定 1 : 7ビット・アドレス指定	0x0	R

ビット	ビット名	説明	リセット	アクセス
[2:0]	RESERVED	予備。	0x0	R

デバイス設定レジスタ

アドレス : 0x02、リセット : 0x00、レジスタ名 : DEVICE_CONFIG

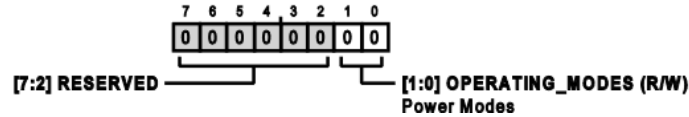


表 19. DEVICE_CONFIGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
[1:0]	OPERATING_MODES	電力モード 00 : 通常動作モード。 11 : シャットダウン・モード。	0x0	R/W

チップ・タイプ・レジスタ

アドレス : 0x03、リセット : 0x07、レジスタ名 : CHIP_TYPE

チップ・タイプは、対象のデバイスが属するアナログ・デバイス製品ファミリーを識別するために用います。目的の製品を一意に識別するには製品ID付きのチップ・タイプを使用します。

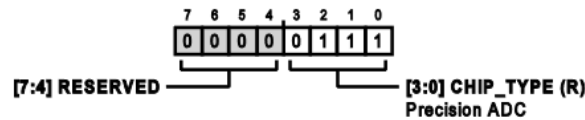


表 20. CHIP_TYPEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	CHIP_TYPE	高精度ADC。	0x7	R

製品IDロー・レジスタ

アドレス : 0x04、リセット : 0x00、レジスタ名 : PRODUCT_ID_L

製品IDの下位バイト。

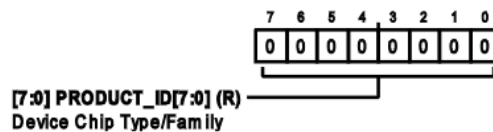


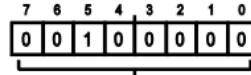
表 21. PRODUCT_ID_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID [7:0]	デバイス・チップ・タイプ/ファミリー。製品を識別するには、チップ・タイプ付きの製品IDを使用します。	0x0	R

製品IDハイ・レジスタ

アドレス : 0x05、リセット : 0x20、レジスタ名 : PRODUCT_ID_H

製品IDの上位バイト。



[7:0] PRODUCT_ID[15:8] (R)
Device Chip Type/Family

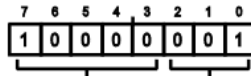
表 22. PRODUCT_ID_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	デバイス・チップ・タイプ/ファミリ。製品を識別するには、チップ・タイプ付きの製品IDを使用します。	0x20	R

チップ・グレード・レジスタ

アドレス : 0x06、リセット : 0x81、レジスタ名 : CHIP_GRADE

製品のバリエーションとデバイス・リビジョンを識別します。



[7:3] GRADE (R) This is the Device Performance Grade
[2:0] DEVICE_REVISION (R) This is the Device Hardware Revision

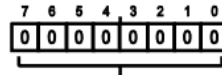
表 23. CHIP_GRADEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	GRADE	デバイス性能グレード。 AD4030-24 : 0b10000。 AD4032-24 : 0b10010。	0x10 0x12	R
[2:0]	DEVICE_REVISION	デバイス・ハードウェア・リビジョン。	0x1	R

スクラッチ・パッド・レジスタ

アドレス : 0x0A、リセット : 0x00、レジスタ名 : SCRATCH_PAD

このレジスタを使用して書き込みや読み出しをテストできます。



[7:0] SCRATCH_VALUE (R/W)
Software Scratchpad

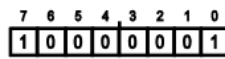
表 24. SCRATCH_PADのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスへの副反応を生じることなくこの場所で読み書きができます。	0x0	R/W

SPIリビジョン・レジスタ

アドレス : 0x0B、リセット : 0x81、レジスタ名 : SPI_REVISION

SPIリビジョンを示します。



[7:6] SPI_TYPE (R) Always Reads as 0x2
[5:0] VERSION (R) SPI Version

表 25. SPI_REVISIONのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	常に0x2と読み出されます。	0x2	R
[5:0]	VERSION	SPIのバージョン。	0x1	R

ベンダIDロー・レジスタ

アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR_L

ベンダIDの下位バイト。

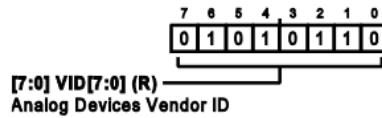


表 26. VENDOR_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	アナログ・デバイセズのベンダID。	0x56	R

ベンダIDハイ・レジスタ

アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR_H

ベンダIDの上位バイト。

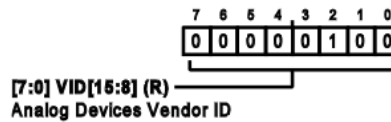


表 27. VENDOR_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	アナログ・デバイセズのベンダID。	0x4	R

ストリーム・モード・レジスタ

アドレス：0x0E、リセット：0x00、レジスタ名：STREAM_MODE

データのストリーミング時のループ長を定義します。

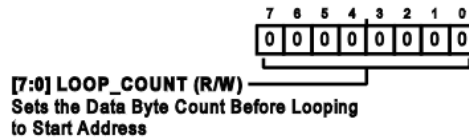


表 28. STREAM_MODEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	開始アドレスにループするまでのデータ・バイト・カウントを設定します。AD4030-24ではイネーブルされません。	0x0	R/W

インターフェース・ステータスAレジスタ

アドレス：0x11、リセット：0x00、レジスタ名：INTERFACE_STATUS_A

アクティブ状態を示すためにステータス・ビットが1にセットされます。ステータス・ビットは対応するビット位置に1を書き込むことでクリアできます。

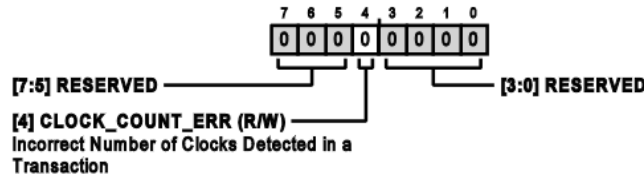


表 29. INTERFACE_STATUS_Aのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
4	CLOCK_COUNT_ERR	トランザクションで誤った数のクロックを検出。 0: エラーなし。 1: トランザクションで誤った数のクロックが検出された。クリアするには1を書き込みます。	0x0	R/W1C
[3:0]	RESERVED	予備。	0x0	R

設定モード終了レジスタ

アドレス : 0x14、リセット : 0x00、レジスタ名 : EXIT_CFG_MD

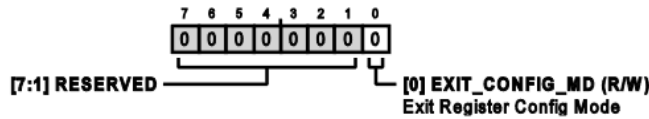


表 30. EXIT_CFG_MDのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	EXIT_CONFIG_MD	レジスタ設定モードを終了。レジスタ設定モードを終了するには1を書き込みます。CS = 1になると自動クリアされます。	0x0	R/W

平均化モード・レジスタ

アドレス : 0x15、リセット : 0x00、レジスタ名 : AVG

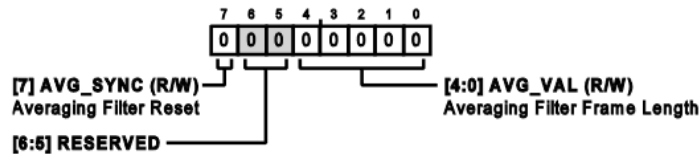


表 31. AVGのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AVG_SYNC	平均化フィルタ・リセット。1 = リセット、自動クリア。	0x0	R/W
[6:5]	RESERVED	予備。	0x0	R
[4:0]	AVG_VAL	平均化フィルタ・ブロック長、2 ^N 。 0x00 = 平均化なし。 0x01 = 2 ¹ サンプル。 0x02 = 2 ² サンプル。 0x03 = 2 ³ サンプル。 0x04 = 2 ⁴ サンプル。 0x05 = 2 ⁵ サンプル。 ... 0x0F = 2 ¹⁵ サンプル。 0x10 = 2 ¹⁶ サンプル。 0x11~0x1F = 無効。	0x0	R/W

オフセット・レジスタ

アドレス : 0x16、リセット : 0x00、レジスタ名 : OFFSET_LB

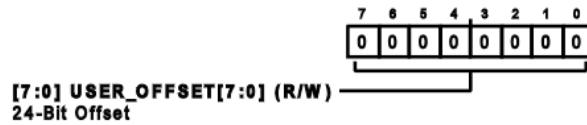


表 32. OFFSET_LBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_OFFSET[7:0]	24ビットのオフセット。2の補数（符号付き）。 $1 \text{ LSB} = \frac{V_{REF}}{2^{23}} / GAIN.$	0x0	R/W

アドレス : 0x17、リセット : 0x00、レジスタ名 : OFFSET_MB

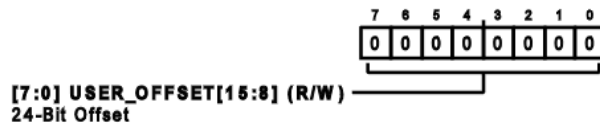


表 33. OFFSET_MBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_OFFSET[15:8]	24ビットのオフセット。2の補数（符号付き）。 $1 \text{ LSB} = \frac{V_{REF}}{2^{23}} / GAIN.$	0x0	R/W

アドレス : 0x18、リセット : 0x00、レジスタ名 : OFFSET_HB

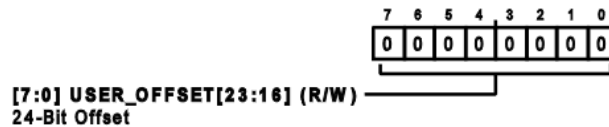


表 34. OFFSET_HBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_OFFSET[23:16]	24ビットのオフセット。2の補数（符号付き）。 $1 \text{ LSB} = \frac{V_{REF}}{2^{23}} / GAIN.$	0x0	R/W

ゲイン・レジスタ

アドレス : 0x1C、リセット : 0x00、レジスタ名 : GAIN_LB

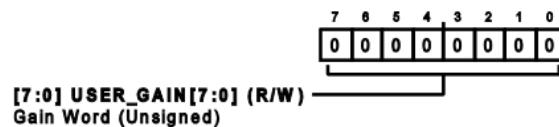


表 35. GAIN_LBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_GAIN[7:0]	ゲイン・ワード（符号なし）。複数出力 = 入力 × ゲイン・ワード / 0x8000。最大実効ゲイン = 0xFFFF / 0x8000 = 1.99997。	0x0	R/W

アドレス : 0x1D、リセット : 0x80、レジスタ名 : GAIN_HB

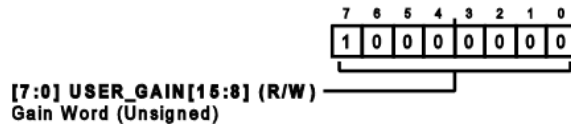


表 36. GAIN_HBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_GAIN[15:8]	ゲイン・ワード（符号なし）。複数出力 = 入力 × ゲイン・ワード/0x8000。 最大実効ゲイン = 0xFFFF/0x8000 = 1.99997。	0x80	R/W

モード・レジスタ

アドレス : 0x20、リセット : 0x00、レジスタ名 : MODES

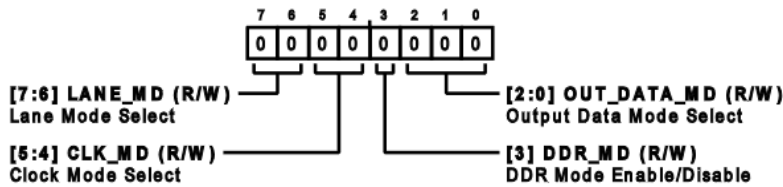


表 37. MODESのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	LANE_MD	レーン・モードの選択。 00 = 1レーン。 01 = 2レーン。 10 = 4レーン。 11 = 無効設定。	0x0	R/W
[5:4]	CLK_MD	クロック・モードの選択。 00 : SPIクロック・モード。 01 : エコー・クロック・モード。 10 : ホスト・クロック・モード。 11 = 無効設定。	0x0	R/W
3	DDR_MD	DDRモードのイネーブル/ディスエーブル。 0 = SDR。 1 = DDR（エコー・クロック・モードおよびホスト・クロック・モードでのみ有効）。	0x0	R/W
[2:0]	OUT_DATA_MD	出力データ・モードの選択。 000 = 24ビット差動データ。 001 = 16ビット差動データ + 8ビット・コモンモード・データ。 010 = 24ビット差動データ + 8ビット・コモンモード・データ。 011 = 30ビット平均化差動データ+ ORビット + SYNCビット。 100 = 32ビット・テスト・データ・パターン（TEST_DATA_PAT）。	0x0	R/W

内部発振器レジスタ

アドレス : 0x21、リセット : 0x00、レジスタ名 : OSCILLATOR

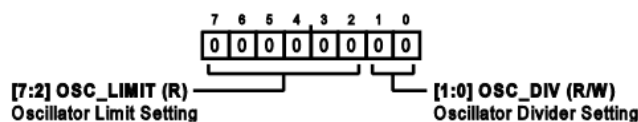


表 38. OSCILLATORのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	OSC_LIMIT	発振器制限の設定値。発振器は、クロック・パルス数に1を加えた数に制限されます。データ・ワード・サイズ、アクティブなSDOレーンの数、データ・レート・モード（SDRまたはDDR）に基づきAD4030-24が自動で計算します。	0x0	R
[1:0]	OSC_DIV	発振器分周器の設定値。 00：分周なし（1分周）。 01：2分周。 10：4分周。 11 = 無効設定。	0x0	R/W

出力ドライバ・レジスタ

アドレス：0x22、リセット：0x00、レジスタ名：IO

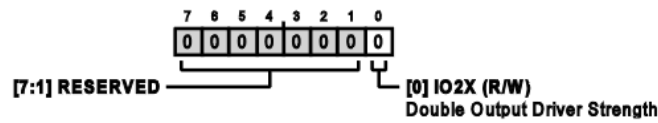


表 39. IOのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	IO2X	ダブル出力ドライバ強度。 1 = ダブル出力ドライバ強度。 0 = 通常出力ドライバ強度。	0x0	R/W

テスト・パターン・レジスタ

アドレス：0x23、リセット：0x0F、レジスタ名：TEST_PAT_BYTE0



表 40. TEST_PAT_BYTE0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[7:0]	32ビットのテスト・パターン。OUT_DATA_MD = 4の場合に適用。	0xF	R/W

アドレス：0x24、リセット：0x0F、レジスタ名：TEST_PAT_BYTE1



表 41. TEST_PAT_BYTE1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[15:8]	32ビットのテスト・パターン。OUT_DATA_MD = 4の場合に適用。	0xF	R/W

アドレス：0x25、リセット：0x5A、レジスタ名：TEST_PAT_BYTE2

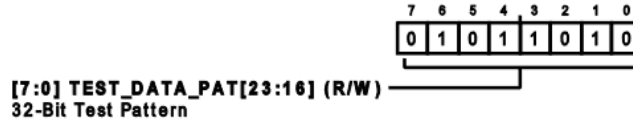


表 42. TEST_PAT_BYTE2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[23:16]	32ビットのテスト・パターン。OUT_DATA_MD = 4の場合に適用。	0x5A	R/W

アドレス : 0x26、リセット : 0x5A、レジスタ名 : TEST_PAT_BYTE3



表 43. TEST_PAT_BYTE3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[31:24]	32ビットのテスト・パターン。OUT_DATA_MD = 4の場合に適用。	0x5A	R/W

デジタル診断レジスタ

アドレス : 0x34、リセット : 0x40、レジスタ名 : DIG_DIAG

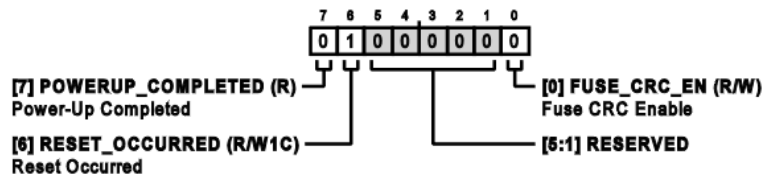


表 44. DIG_DIAGのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	POWERUP_COMPLETED	起動完了。 1 = 起動完了。自動クリア。	0x0	R
6	RESET_OCCURRED	リセット発生。リセットが発生すると、このビットが1にセットされます。クリアするには1を書き込みます（ブラウンアウト検出に役立ちます）。	0x1	R/W1C
[5:1]	RESERVED	予備。	0x0	R
0	FUSE_CRC_EN	ヒューズCRCをイネーブル。1を書き込むと、CRCの再チェックが実行されます。	0x0	R/W

デジタル誤差レジスタ

アドレス : 0x35、リセット : 0x00、レジスタ名 : DIG_ERR

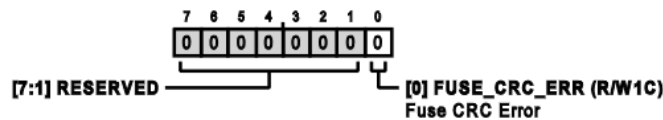


表 45. DIG_ERRのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	FUSE_CRC_ERR	ヒューズCRCエラー。ヒューズCRCエラーが発生すると、このビットが1にセットされま す。クリアするには1を書き込みます。	0x0	R/W1C

外形寸法

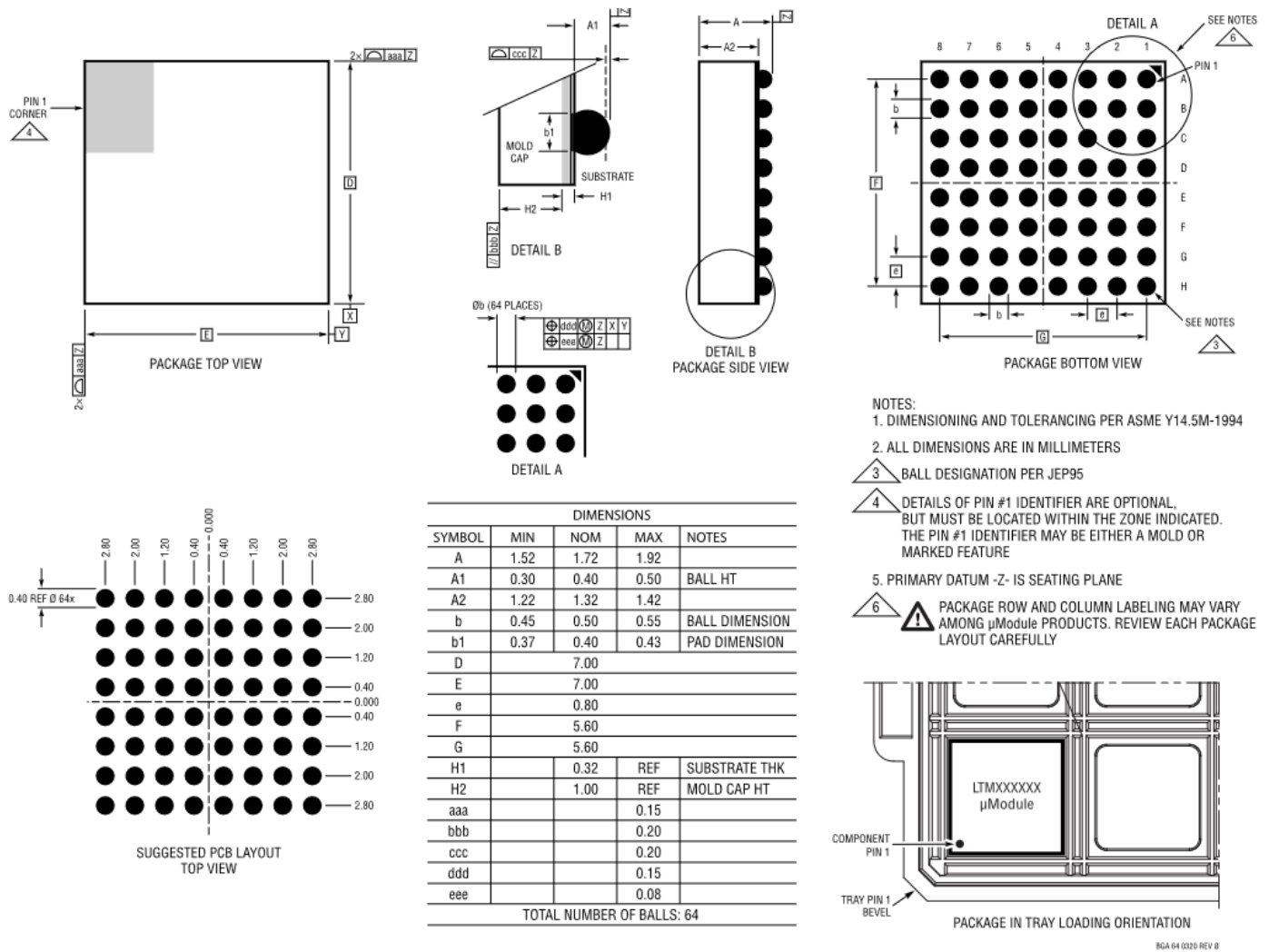


図 60. 64ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA]
(05-08-1797)
寸法 : mm

更新 : 2022年5月10日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4030-24BBCZ	-40°C to +125°C	64-Ball CSP-BGA (7 mm x 7 mm x 1.72 mm)	Tray, 260	05-08-1797
AD4030-24BBCZ-RL	-40°C to +125°C	64-Ball CSP-BGA (7 mm x 7 mm x 1.72 mm)	Reel, 2000	05-08-1797
AD4032-24BBCZ	-40°C to +125°C	64-Ball CSP-BGA (7 mm x 7 mm x 1.72 mm)	Tray, 260	05-08-1797
AD4032-24BBCZ-RL	-40°C to +125°C	64-Ball CSP-BGA (7 mm x 7 mm x 1.72 mm)	Reel, 2000	05-08-1797

1 Z = RoHS準拠製品。

評価用ボード

Evaluation Board ^{1,2}	Description
EVAL-AD4030-24-KTZ	Evaluation Kit
EVAL-AD4030-24-FMCZ	Evaluation Board

1 Z = RoHS準拠製品。

2 EVAL-AD4030-24-KTZおよびEVAL-AD4030-24-FMCZはAD4032-24を評価するために使用できます。