

14/16ビット、低電力、 高性能、バッファ内蔵のシングルDAC

概要

MAX5214/MAX5216は、ピンコンパチブルな14ビットおよび16ビットのデジタル-アナログコンバータ(DAC)です。MAX5214/MAX5216はシングルチャネル、低電力、バッファ内蔵の電圧出力DACです。デバイスは、レイルトゥレイル動作と低システム電力消費のために高抵抗入力を經由して供給される高精度の外部リファレンスを使用します。MAX5214/MAX5216は、2.7V~5.25Vの広電源電圧範囲で動作します。消費電力は極めて低く、ほとんどの低電力と低電圧アプリケーションに適応します。これらのデバイスは、3線SPI™/QSPI™/MICROWIRE™/DSP準拠のシリアルインタフェースを備え、基板スペースを節約して絶縁アプリケーションでの複雑さを低減します。MAX5214/MAX5216は、SCLKとDINでの入力バッファが各シリアル入力フレームの完了後にパワーダウンすることで、入力から出力へのデジタルフィードスルーノイズが低減されます。MAX5214/MAX5216はパワーアップ時にDAC出力をゼロにリセットすることで、パワーアップ時にオフが必要とされるバルブや他のトランスデューサを駆動するアプリケーションに更なる安全性を提供します。DAC出力はバッファされているため、80μA (max)の低消費電流と±0.25mVの低オフセットエラーを実現しています。CLRピンにゼロレベルを入力することで、シリアルインタフェースとは無関係に、入力とDACレジスタの内容を非同期でクリアしてDAC出力をゼロに設定します。MAX5214/MAX5216は、超小型(3mm x 3mm)、8ピンμMAX®パッケージで提供され、-40°C~+105°Cの拡張工業温度範囲で保証されています。

アプリケーション

- 2線センサー
- 通信システム
- 自動同調
- 利得とオフセット調整
- パワーアンプ制御
- プロセス制御とサーボループ
- 携帯機器
- プログラム電圧/電流源
- 自動試験装置(ATE)

SPI/QSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。
μMAXはMaxim Integrated Products, Inc.の登録商標です。

特長

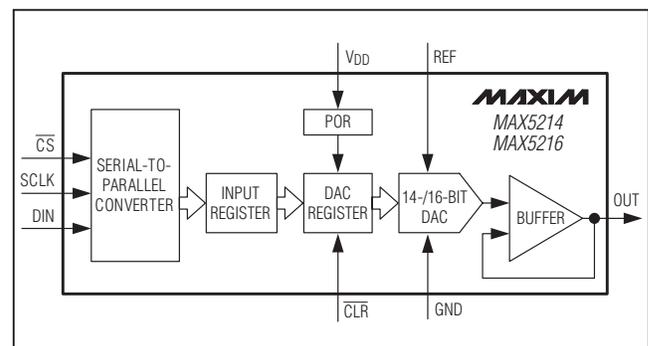
- ◆ 低電力消費(80μA max)
- ◆ 14/16ビット分解能を3mm x 3mm、8ピンμMAXパッケージで提供
- ◆ 相対精度
 - ±0.25 LSB INL (MAX5214、14ビット)
 - ±1.0 LSB INL (MAX5216、16ビット)
- ◆ 全動作範囲で単調性を保証
- ◆ 低利得エラーと低オフセットエラー
- ◆ 広電源電圧範囲：2.7V~5.25V
- ◆ レイルトゥレイルのバッファ出力動作
- ◆ 安全なパワーオンリセット(POR)によるゼロDAC出力
- ◆ 高速50MHzの3線SPI/QSPI/MICROWIRE準拠シリアルインタフェース
- ◆ シュミットトリガー入力によるフォトプラへの直接インタフェース
- ◆ 非同期CLRによってDAC出力をコード0にクリア
- ◆ 高リファレンス入力抵抗による電力低減
- ◆ バッファ電圧出力によって10kΩ負荷を直接駆動

型番

PART	PIN-PACKAGE	RESOLUTION (BITS)
MAX5214GUA+	8 μMAX	14
MAX5216GUA+	8 μMAX	16

注：すべてのデバイスは-40°C~+105°Cの動作温度範囲で保証されています。
+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

ファンクションダイアグラム



14/16ビット、低電力、 高性能、バッファ内蔵のシングルDAC

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND -0.3V to +6V
 REF, OUT, $\overline{\text{CLR}}$ to GND -0.3V to the lower of
 (V_{DD} + 0.3V) and +6V
 SCLK, DIN, $\overline{\text{CS}}$ to GND -0.3V to +6V
 Continuous Power Dissipation (T_A = +70°C)
 μMAX (derate at 4.8mW/°C above +70°C) 387mW

Maximum Current into Any Input or Output ±50mA
 Operating Temperature Range -40°C to +105°C
 Storage Temperature Range -65°C to +150°C
 Lead Temperature (soldering, 10s) +300°C
 Soldering Temperature (reflow) +260°C

PACKAGE THERMAL CHARACTERISTICS (Note 1)

μMAX
 Junction-to-Ambient Thermal Resistance (θ_{JA}) 206°C/W
 Junction-to-Case Thermal Resistance (θ_{JC}) 42°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 5V, V_{REF} = 5V, C_L = 100pF, R_L = 10kΩ, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY (Note 2)						
Resolution	N	MAX5214	14			Bits
		MAX5216	16			
Integral Nonlinearity	INL	MAX5214 (14-bit) (Note 3)	-1	±0.25	+1	LSB
		MAX5216 (16-bit) (Note 3)	-3	±1	+3	
Differential Nonlinearity	DNL	MAX5214 (14-bit) (Note 3)	-1	±0.1	+1	LSB
		MAX5216 (16-bit) (Note 3)	-1	±0.1	+1	
Offset Error	OE	(Note 4)	-1.25	±0.25	+1.25	mV
Offset-Error Drift				±0.5		μV/°C
Gain Error	GE	(Note 4)	-0.06	-0.04	0	%FS
Gain Temperature Coefficient				±2		ppmFS/ °C
REFERENCE INPUT						
Reference-Input Voltage Range	V _{REF}		2		V _{DD}	V
Reference-Input Impedance	R _{REF}		200	256		kΩ
DAC OUTPUT						
Output Voltage Range		No load (typical)	V _{DD}			V
		10kΩ load	0.2	V _{DD} - 0.2		
DC Output Impedance			0.1			Ω
Capacitive Load (Note 5)	C _L	Series resistance = 0Ω	0.1			nF
		Series resistance = 1kΩ	15			μF
Resistive Load (Note 5)	R _L		5			kΩ
Short-Circuit Current		V _{DD} = 5.25V	-10	±5	+10	mA
Power-Up Time		From power-down mode	25			μs

14/16ビット、低電力、 高性能、バッファ内蔵のシングルDAC

MAX5214/MAX5216

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 5V, V_{REF} = 5V, C_L = 100pF, R_L = 10kΩ, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS (SCLK, DIN, CS, CLR)						
Input High Voltage	V _{IH}		0.7 x V _{DD}			V
Input Low Voltage	V _{IL}				0.3 x V _{DD}	V
Input Leakage Current	I _{IN}	V _{IN} = 0V or V _{DD}		±0.1	±1	μA
Input Capacitance	C _{IN}				10	pF
Hysteresis Voltage	V _{HYS}			0.15		V
DYNAMIC PERFORMANCE (Note 5)						
Voltage-Output Slew Rate	SR	Positive and negative		0.5		V/μs
Voltage-Output Settling Time		1/4 scale to 3/4 scale, to ≤ 0.5 LSB, 14-bit		14		μs
Reference -3dB Bandwidth	BW	Hex code = 2000 (MAX5214), Hex code = 8000 (MAX5216)		100		kHz
Digital Feedthrough		Code = 0, all digital inputs from 0V to V _{DD} , SCLK < 50MHz		0.5		nV·s
DAC Glitch Impulse		Major code transition		2		nV·s
Output Noise		10kHz		70		nV/√Hz
Integrated Output Noise		0.1Hz to 10Hz		1.5		μVP-P
POWER REQUIREMENTS						
Supply Voltage	V _{DD}		2.7		5.25	V
Supply Current	I _{DD}	No load; all digital inputs at 0V or V _{DD} , supply current only; excludes reference input current, midscale		70	80	μA
Power-Down Supply Current		No load, all digital inputs at 0V or V _{DD}		0.4	2	μA
TIMING CHARACTERISTICS (Notes 5 and 6) (Figures 1 and 2)						
Serial Clock Frequency	f _{SCLK}		0		50	MHz
SCLK Pulse-Width High	t _{CH}		8			ns
SCLK Pulse-Width Low	t _{CL}		8			ns
CS Fall to SCLK Fall Setup Time	t _{CSS0}		8			ns
CS Fall to SCLK Fall Hold Time	t _{CSH0}		0			ns
CS Rise to SCLK Fall Hold Time	t _{CSH1}		0			ns
CS Rise to SCLK Fall	t _{CSA}				12	ns
SCLK Fall to CS Fall	t _{CSF}		100			ns
DIN to SCLK Fall Setup Time	t _{DS}		5			ns
DIN to SCLK Fall Hold Time	t _{DH}		4.5			ns
CS Pulse-Width High	t _{CSPW}		20			ns
CLR Pulse-Width Low	t _{CLPW}		20			ns
CLR Rise to CS Fall	t _{CSC}		20			ns

Note 2: Static accuracy tested without load.

Note 3: Linearity is tested within 20mV of GND and V_{DD}.

Note 4: Gain and offset is tested within 100mV of GND and V_{DD}.

Note 5: Guaranteed by design; not production tested.

Note 6: All timing specifications measured with V_{IL} = V_{GND}, V_{IH} = V_{DD}.

14/16ビット、低電力、 高性能、バッファ内蔵のシングルDAC

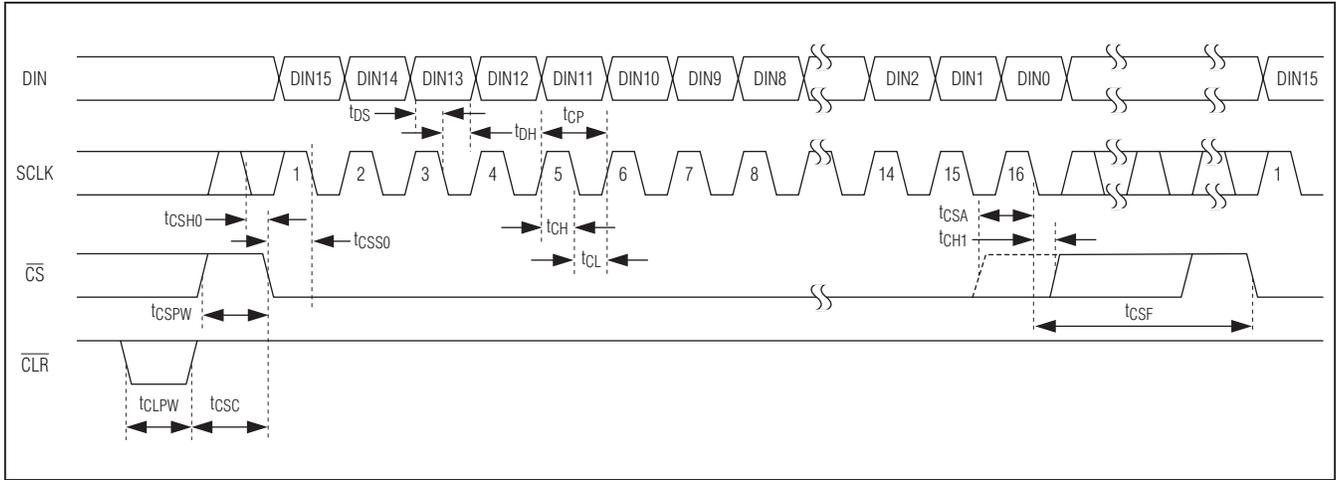


図1. 16ビットシリアルインタフェースのタイミングダイアグラム(MAX5214)

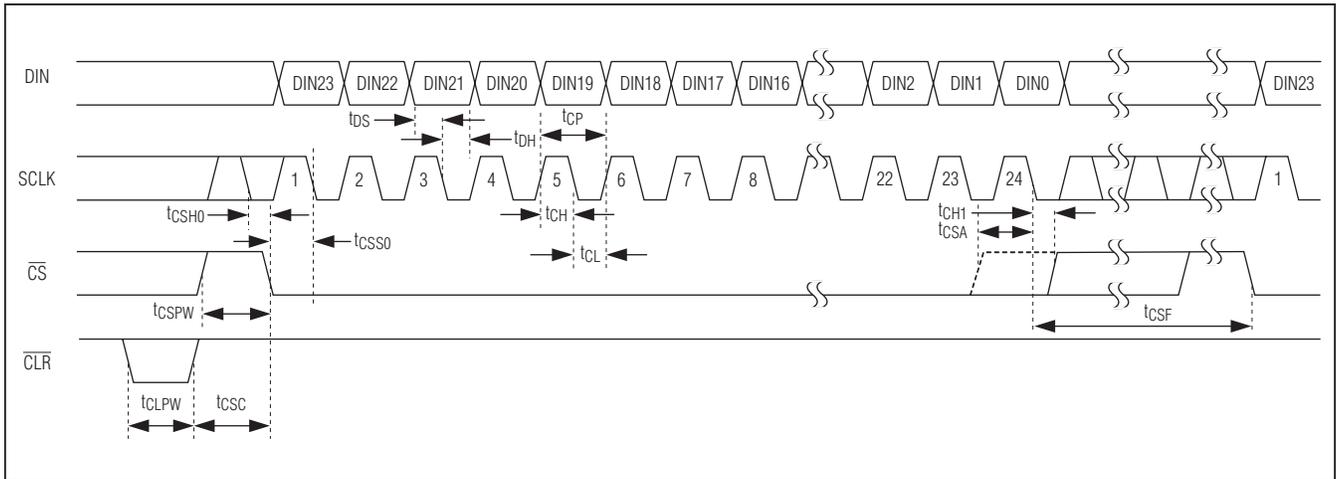


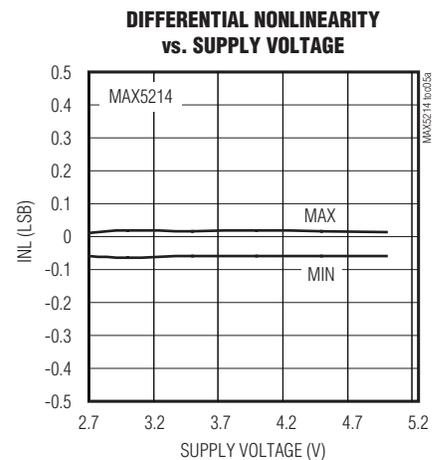
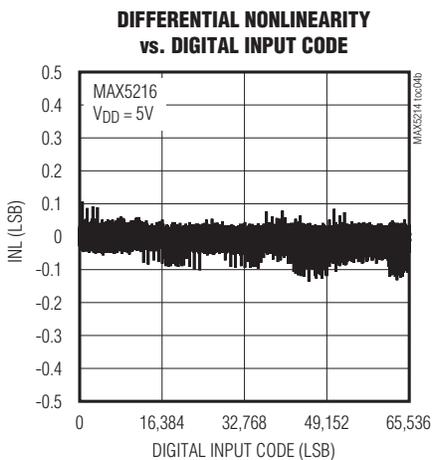
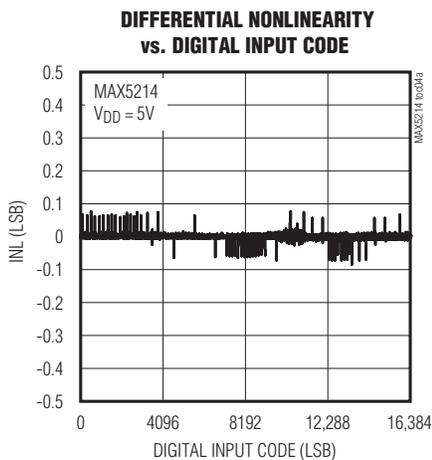
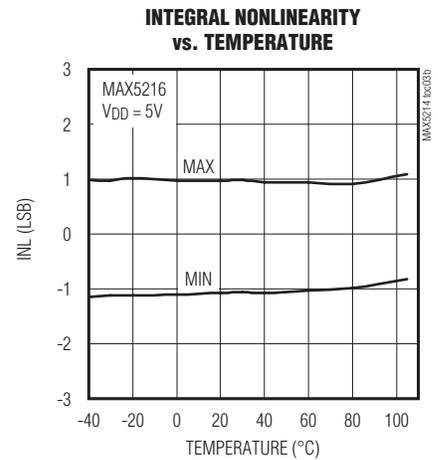
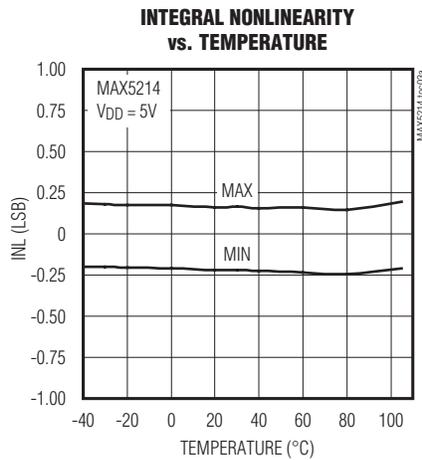
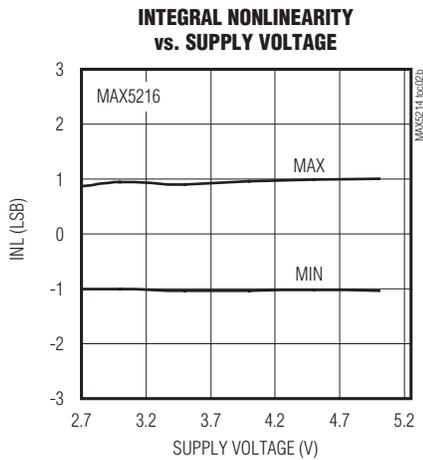
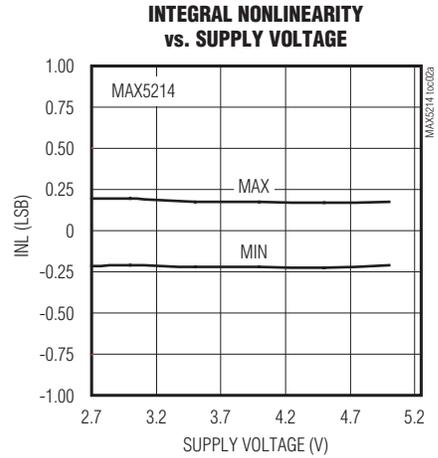
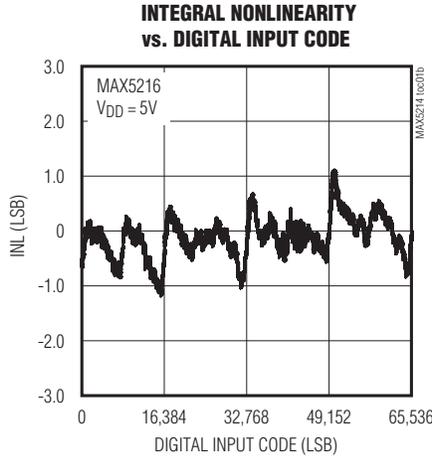
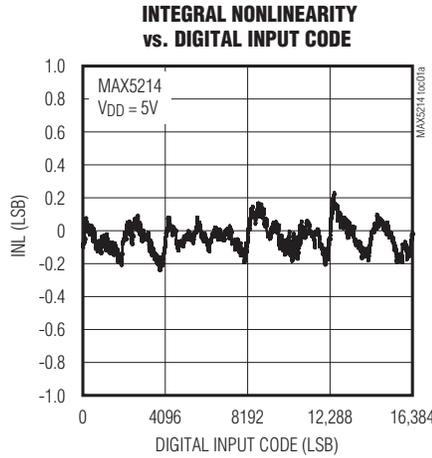
図2. 24ビットシリアルインタフェースのタイミングダイアグラム(MAX5216)

14/16ビット、低電力、高性能、バッファ内蔵のシングルDAC

MAX5214/MAX5216

標準動作特性

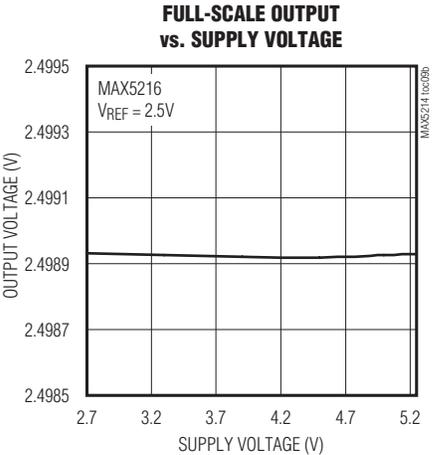
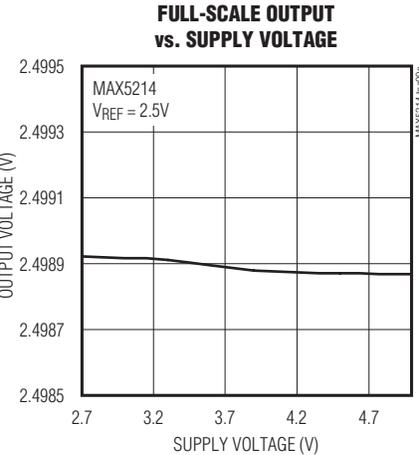
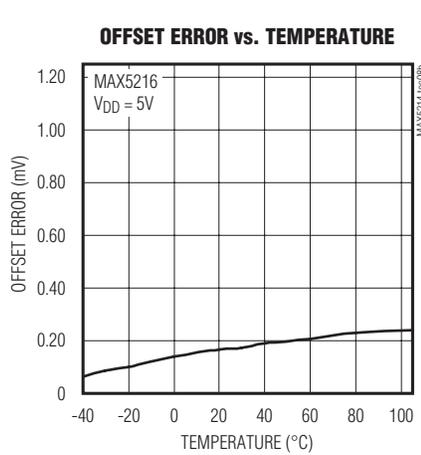
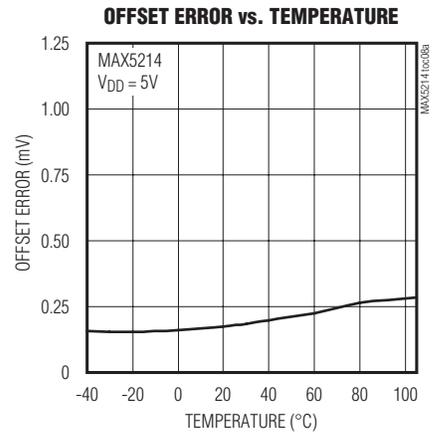
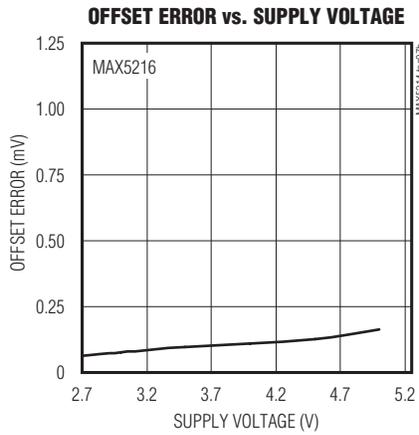
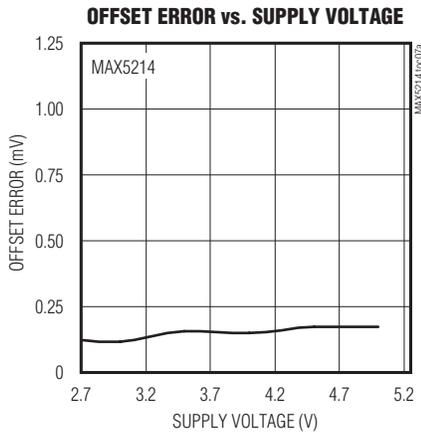
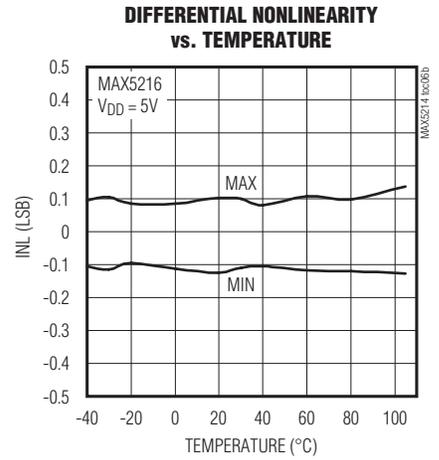
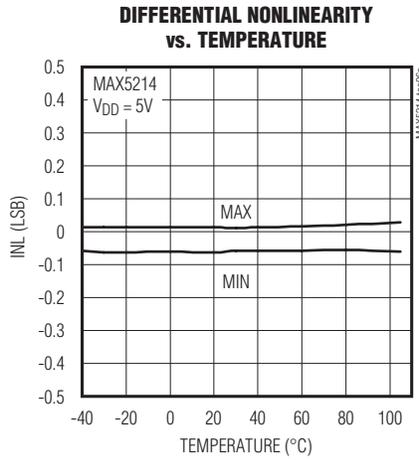
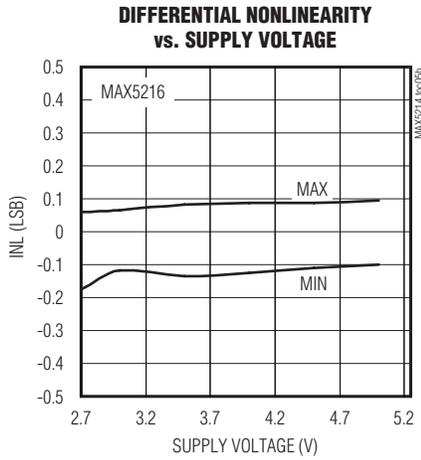
(TA = +25°C, unless otherwise noted.)



14/16ビット、低電力、 高性能、バッファ内蔵のシングルDAC

標準動作特性(続き)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

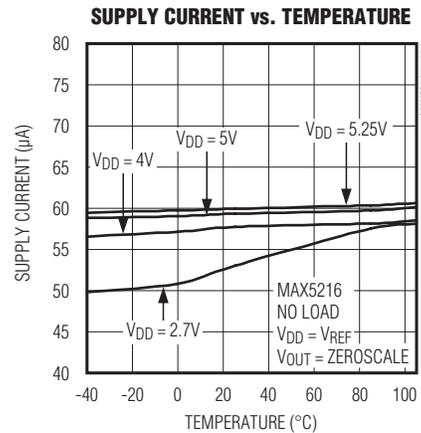
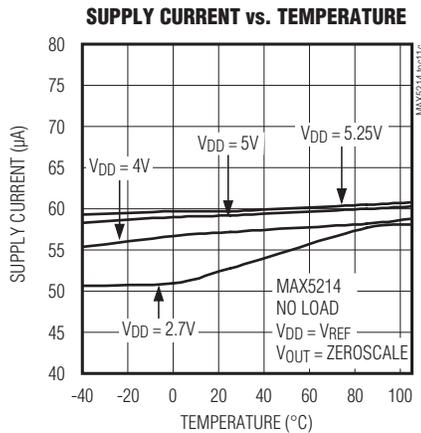
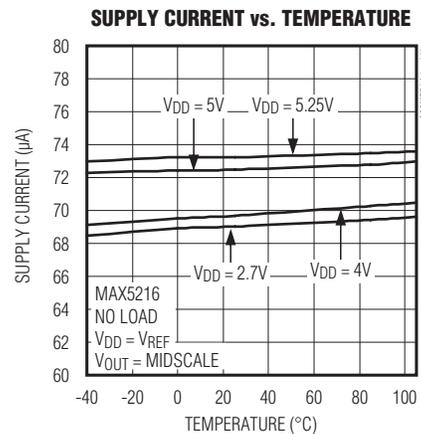
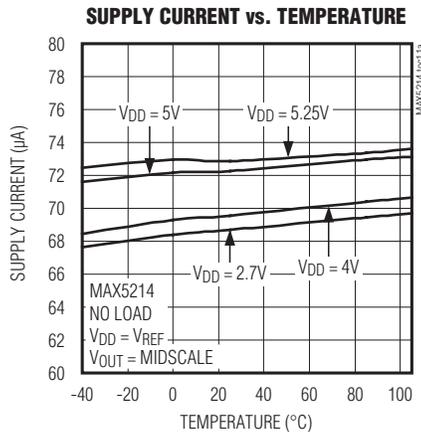
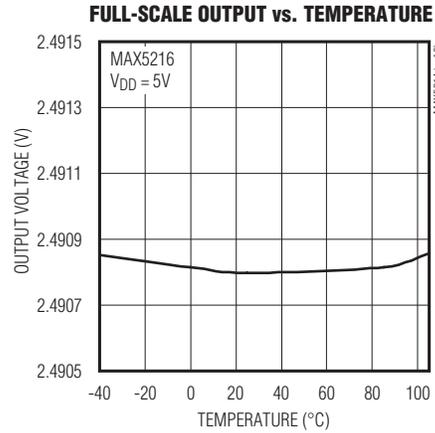
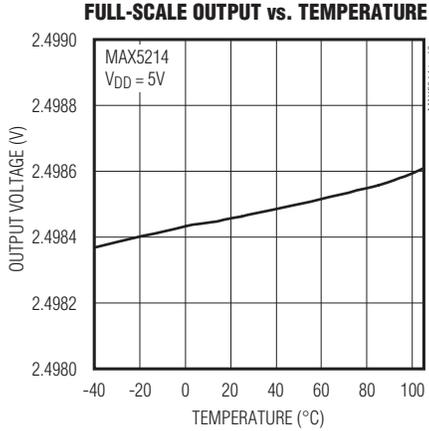


14/16ビット、低電力、高性能、バッファ内蔵のシングルDAC

MAX5214/MAX5216

標準動作特性(続き)

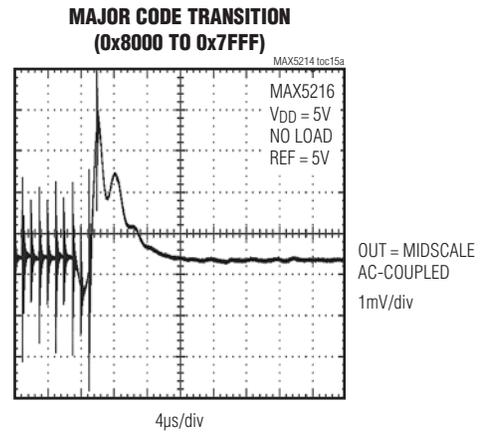
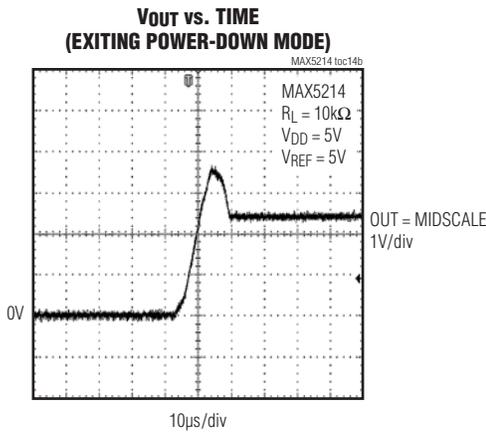
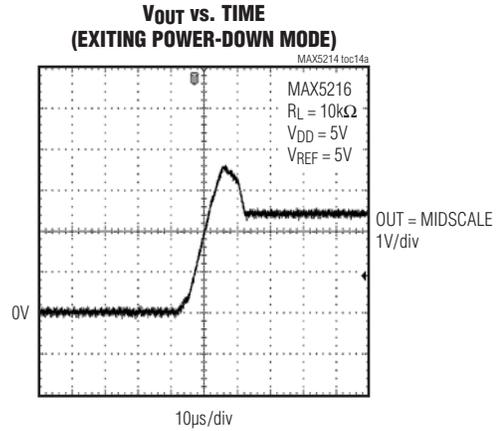
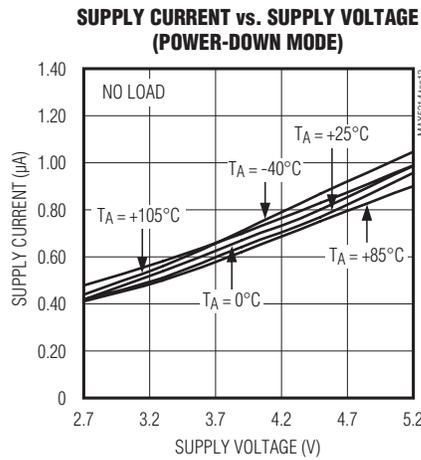
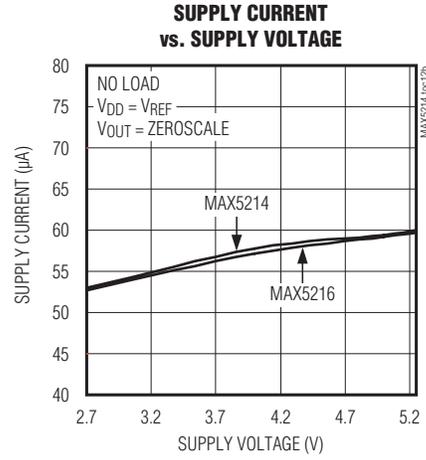
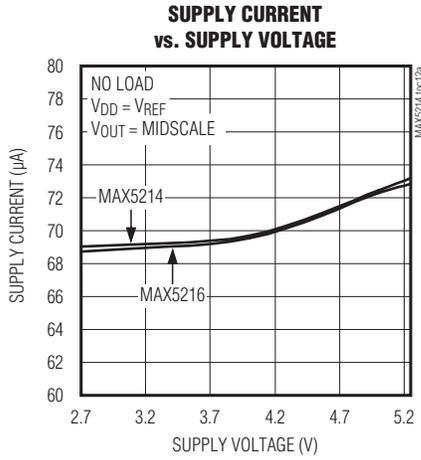
($T_A = +25^\circ\text{C}$, unless otherwise noted.)



14/16ビット、低電力、高性能、バッファ内蔵のシングルDAC

標準動作特性(続き)

(TA = +25°C, unless otherwise noted.)



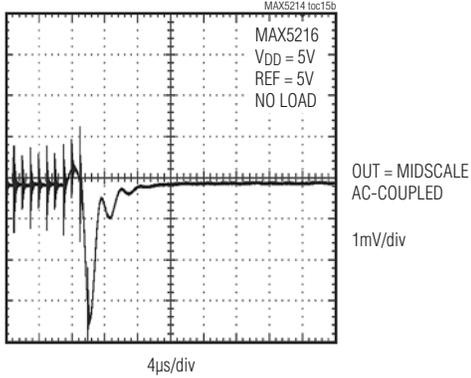
14/16ビット、低電力、高性能、バッファ内蔵のシングルDAC

MAX5214/MAX5216

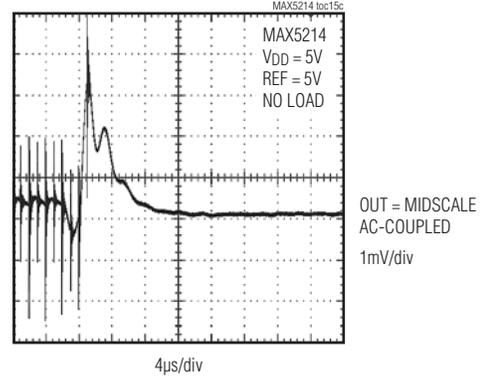
標準動作特性(続き)

(TA = +25°C, unless otherwise noted.)

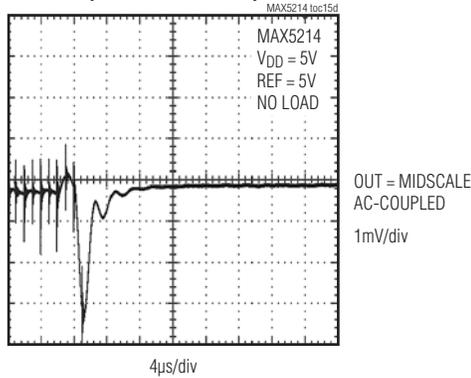
**MAJOR CODE TRANSITION
(0x3FFF TO 0x8000)**



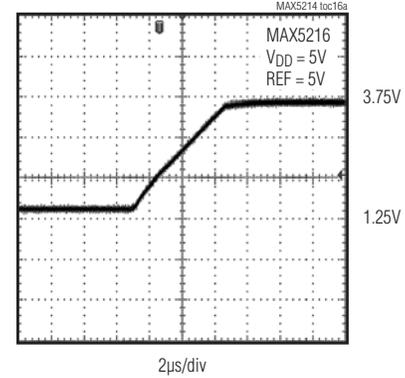
**MAJOR CODE TRANSITION
(0x2000 TO 0x1FFF)**



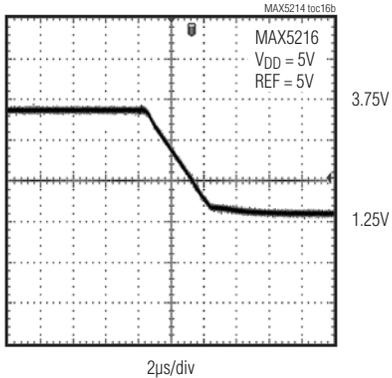
**MAJOR CODE TRANSITION
(0x1FFF TO 0x2000)**



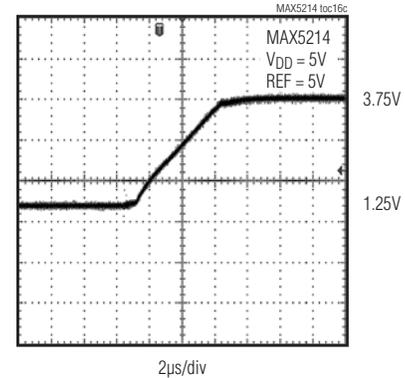
SETTLING TIME HIGH



SETTLING TIME LOW



SETTLING TIME HIGH

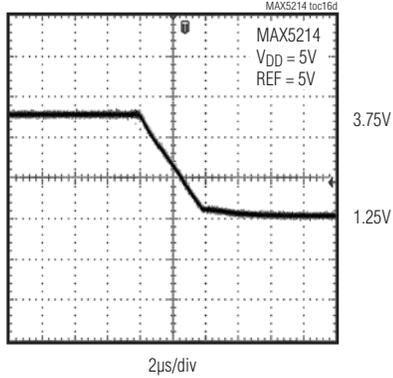


14/16ビット、低電力、 高性能、バッファ内蔵のシングルDAC

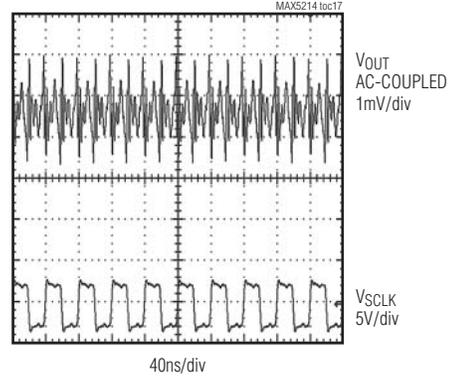
標準動作特性(続き)

(TA = +25°C, unless otherwise noted.)

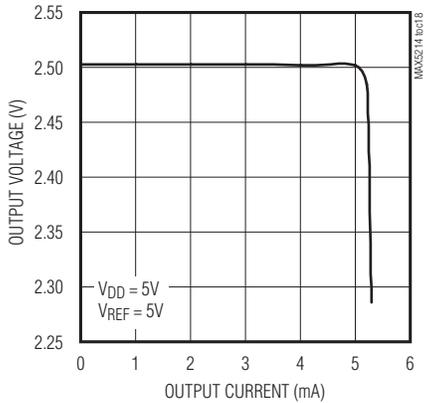
SETTLING TIME LOW



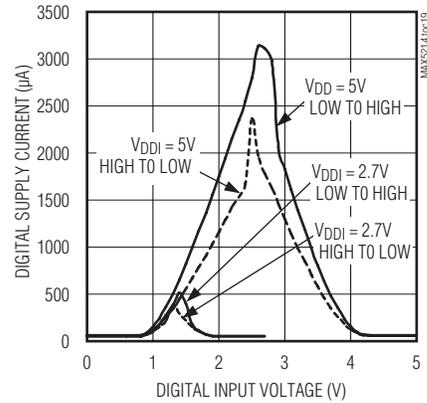
DIGITAL FEEDTHROUGH



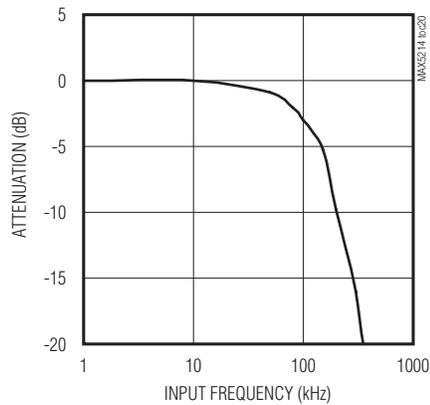
OUTPUT VOLTAGE vs. OUTPUT CURRENT



SUPPLY CURRENT vs. DIGITAL INPUT VOLTAGE



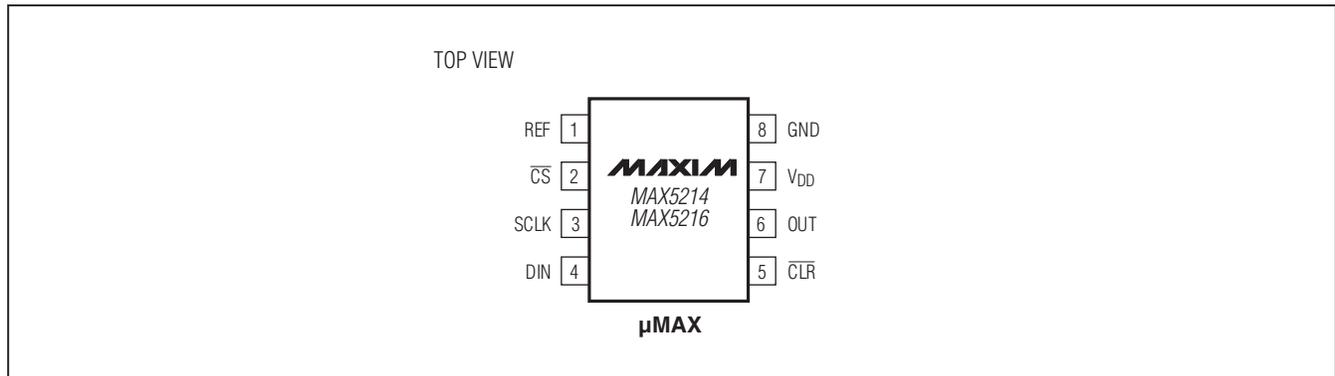
REFERENCE INPUT BANDWIDTH vs. FREQUENCY



14/16ビット、低電力、高性能、バッファ内蔵のシングルDAC

MAX5214/MAX5216

ピン配置



端子説明

端子	名称	機能
1	REF	リファレンス電圧入力。REFを0.1μFのコンデンサでGNDにバイパスしてください。
2	CS	アクティブローのチップセレクト入力
3	SCLK	シリアルクロック入力
4	DIN	データ入力
5	CLR	アクティブローの非同期デジタルクリア入力。CLRをローに駆動することで、入力とDACレジスタの内容をクリアして、DAC出力をゼロにします。
6	OUT	バッファされたDAC出力
7	V _{DD}	電源電圧。V _{DD} を0.1μFのコンデンサでGNDにバイパスしてください。
8	GND	グラウンド

詳細

MAX5214/MAX5216は、ピンコンパチブルおよびソフトウェアコンパチブルな14ビットおよび16ビットのDACです。MAX5214/MAX5216はシングルチャネル、低電力、高リファレンス入力抵抗、バッファ内蔵の電圧出力DACです。MAX5214/MAX5216は、SCLKとDINでの入力バッファが各データフレームの完了後にパワーダウンすることで、入力から出力へのデジタルフィードスルーノイズが低減されます。データフレームは、MAX5214では16ビット、MAX5216では24ビットです。MAX5214/MAX5216はパワーアップ時にDAC出力をゼロにリセットすることで、パワーアップ時にオフが必要とされるバルブや他のトランスデューサを駆動するアプリケーションに更なる安全性を提供します。MAX5214/MAX5216は、セグメント化された抵抗ストリング型DAC、シリアル入力/パラレル出力のシフトレジスタ、DACレジスタ、パワーオンリセット(POR)回路、シリアルインタフェースと独立してデバイスを非同期にクリアするCLR、および制御ロジックを内蔵しています。シリアル入力(DIN)データは、クロック(SCLK)パルスの立

下りエッジで、デバイスにMSBを最初にシフト入力されます。

出力アンプ(OUT)

MAX5214/MAX5216はDAC出力に内部バッファを備えています。内部バッファはDAC出力での負荷安定度とトランジェントグリッチの抑制を改善します。出力バッファのスルーレートは0.5V/μsで、100pFと並列の10kΩまでを駆動します。アナログ電源電圧(V_{DD})は、V_{DD}が出力バッファを駆動しているため、デバイスの最大出力電圧範囲を決定します。

DACリファレンス(REF)

外部リファレンス入力は、256kΩの標準入力インピーダンスを備え、+2V~V_{DD}の入力電圧を許容します。外部リファレンスを供給するために、外部電源電圧をREFとGND間に接続してください。

電圧リファレンスの製品一覧についてはjapan.maxim-ic.com/products/referencesを参照してください。

14/16ビット、低電力、高性能、バッファ内蔵のシングルDAC

シリアルインタフェース

MAX5214/MAX5216の3線シリアルインタフェースは、MICROWIRE、SPI、QSPIおよびDSPに準拠しています。インタフェースは3つの入力としてSCLK、 \overline{CS} 、DINを備えています。チップセレクト入力(\overline{CS})は、DINでのシリアルデータ読み込みのフレーミングを行います。チップセレクト入力でのハイからローへの移行後、データはシリアルクロック入力(SCLK)の各立下りエッジに同期してシフトされ、そして入力レジスタにラッチされます。各シリアルワードは、MAX5214では16ビット、MAX5216では24ビットです。表1と2に示すように、最初の2ビットは制御ビットで、その後MAX5214では14データビット(MSBが最初)、MAX5216では22データビット(MSBが最初)が続きます。

シリアル入力レジスタは、クロックの16/24ビットの立下りエッジにおいて、16/24ビットのデータを読み込んだ後にその内容を入力レジスタに転送し、データを受け取った後直ちにDAC出力を更新します。新しいデータ転送を開始するために、 \overline{CS} をハイに駆動し、次の書込みシーケンスの前に最低20nsの間 \overline{CS} をハイに維持します。SCLKは、 \overline{CS} 書込みパルス期間中はハイまたはローのどちらにでもすることができます。図1と2に完全な3線シリアルインタフェース転送のためのタイミングダイアグラムを示します。MAX5216のDACコードは、 $V_{OUT} = (\text{コード}/65,535) \times V_{REF}$ のユニポーラバイナリです。MAX5214のDACコードは、 $V_{OUT} = (\text{コード}/16,383) \times V_{REF}$ のユニポーラバイナリです。表1と2を参照してください。

表1. 動作モードの真理値表(MAX5214)

16-BIT WORD																FUNCTION
CONTROL BITS		DATA BITS														
MSB		LSB														
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	No operation
1	0	0	X	A1	A0	X	X	X	X	X	X	X	X	X	X	Power-down (see Table 3)
0	1	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	Write through
1	1	Reserved, Do Not Use														

表2. 動作モードの真理値表(MAX5216)

24-BIT WORD																		FUNCTION	
CONTROL BITS		DATA BITS																	
MSB		LSB																	
D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6		D5-D0
0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	No operation
1	0	0	X	A1	A0	X	X	X	X	X	X	X	X	X	X	X	X	X	Power-down (see Table 3)
0	1	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	X	Write through
1	1	Reserved, Do Not Use																	

14/16ビット、低電力、高性能、バッファ内蔵のシングルDAC

デバイスへの書込み

- 1) \overline{CS} をローに駆動し、シフトレジスタをイネーブルにする。
- 2) 16/24ビットのデータをDINにクロックイン(MSBが最初でLSBが最後)する。規定されたセットアップとホールド時間に注意してください。
- 3) 最後のデータビットをクロックインした後、 \overline{CS} をハイに駆動する。 \overline{CS} は次の転送が始まる前に20ns間ハイに維持する。

図1に16ビット転送のための書込み動作を示しています。もし \overline{CS} が16ビットを受信する前のいかなる点においてハイに駆動された場合には、転送は放棄されます。

図2に24ビット転送のための書込み動作を示しています。もし \overline{CS} が24ビットを受信する前のいかなる点においてハイに駆動された場合には、転送は放棄されます。

クリア(\overline{CLR})

MAX5214/MAX5216は、DAC出力をゼロに設定する非同期的アクティブローの \overline{CLR} ロジック入力を備えています。 \overline{CLR} をローに駆動することで、入力とDACの両レジスタ内容をクリアし、そして進行中のSPIコマンドを中止します。新しいSPIコマンドを許可するには、 \overline{CLR} をハイに駆動してください。

パワーダウンモード

MAX5214/MAX5216はソフトウェア制御のパワーダウンモードを備えています。パワーダウン中、出力はバッファから切断され、3つの選択可能な内部抵抗の1つでグランドに接続されます。パワーダウンモード中の選択可能な内部抵抗値については表3を参照してください。選択されたモードは、MAX5214ではSCLKの16番目の立下りエッジで、またMAX5216ではSCLKの24番目の立下りエッジで有効になります。シリアルインタフェースはパワーダウンモード中でもアクティブを維持します。パワーダウンモードの選択を中止するには、16番目(MAX5214)または24番目(MAX5216)のSCLK立下りエッジの前に \overline{CS} をハイにします。パワーダウンモード中でもDACレジスタの内容は有効に維持されるため、MAX5214では0x8000を、MAX5216では0x800000を書込むことで、DACは直前のコードに戻ることが可能です(表3)。ライトスルーレジスタへの書込みによって、デバイスはパワーダウンモードから直ちに抜け出して要求されたコードに偏移します(表1と2を参照)。

表3. パワーダウンモード

A1	A0	DESCRIPTION	DAC OPERATION CONDITION
0	0	DAC powers up and returns to its previous code setting.	Normal operation
0	1	DAC powers down; OUT is high impedance.	Power-down
1	0	DAC powers down; OUT connects to ground through an internal 100k Ω resistor.	
1	1	DAC powers down; OUT connects to ground through an internal 1k Ω resistor.	

表4. MAX5216の入力コード対出力電圧

DAC LATCH CONTENTS MSB → LSB	ANALOG OUTPUT (V _{out})
1111 1111 1111 1111	$V_{REF} \times (65,535/65,535)$
1000 0000 0000 0000	$V_{REF} \times (32,768/65,535) = 1/2 V_{REF}$
0000 0000 0000 0001	$V_{REF} \times (1/65,535)$
0000 0000 0000 0000	0V

表5. MAX5214の入力コード対出力電圧

DAC LATCH CONTENTS MSB → LSB	ANALOG OUTPUT (V _{out})
1111 1111 1111 11XX	$V_{REF} \times (16,383/16,383)$
1000 0000 0000 00XX	$V_{REF} \times (8,192/16,383) = 1/2 V_{REF}$
0000 0000 0000 01XX	$V_{REF} \times (1/16,383)$
0000 0000 0000 00XX	0V

14/16ビット、低電力、高性能、バッファ内蔵のシングルDAC

アプリケーション情報

パワーオンリセット(POR)

最初に V_{DD} に電源が供給された時、入力レジスタはゼロに設定されるためDAC出力はコードゼロに設定されます。DACの直線性を最適化するために、電源が安定するまで待ってください。MAX5214/MAX5216の出力電圧範囲は $0 \sim V_{REF}$ です。

電源とバイパスの検討

V_{DD} を高品質の $0.1\mu\text{F}$ のセラミックコンデンサで低インピーダンスのグラウンドにできるだけデバイスの近くでバイパスしてください。

リードインダクタンスを低減するためにリード線は最短にしてください。GNDをアナロググラウンドプレーンに接続してください。

レイアウトの検討

GNDでのデジタルとACのトランジェント信号は、出力でノイズを発生する可能性があります。GNDをDACシステム用のスターグラウンドに接続してください。最良の性能のために、リモートのDAC負荷をこのシステムグラウンドに帰還するようにしてください。適切なグラウンド技術、例えば低インダクタンスのグラウンドプレーンを備えた多層基板、またはすべてのグラウンドリターン経路をMAX5214/MAX5216のGNDに戻すスター接続を使用してください。チャンネル間の配線を注意深くレイアウトすることで相互のAC結合を低減します。ワイヤラップの基板またはソケットを使用しないでください。シールドを使用することでノイズ耐性を改善することができます。アナログとデジタル信号(特にクロック信号)を互いに並行して配線しないでください。デジタルラインをMAX5214/MAX5216のパッケージの下に配線することは避けてください。

定義

積分非直線性(INL)

INLは、オフセットと利得エラーが取り除かれた後の2つのコード間に引かれた直線と測定された伝達関数との偏移です。

微分非直線性(DNL)

DNLは実際のステップ高と1 LSBの理想値との差です。DNLの大きさが -1 LSB以上であれば、DACはミッシングコードがないこと、および単調性を保証します。

オフセットエラー

オフセットエラーは、実際の伝達関数が一点においてどのくらい良く理想伝達関数と一致しているかを示しています。

一般的には、オフセットエラーが規定される点は、伝達関数のゼロスケール点またはその近くです。

利得エラー

利得エラーは、オフセットエラーが取り除かれた後での伝達カーブのフルスケール出力電圧の理想値と実際値との差です。このエラーは、伝達関数の傾きを変え、各ステップにおいて同じ比率のエラーと一致します。

セトリング時間

セトリング時間は、偏移の始点からDAC出力がコンバータの規定精度内に新しい出力値が安定するまでに必要とされる時間です。

デジタルフィードスルー

デジタルフィードスルーは、DACのデジタル制御ラインがトグルされた時にDAC出力に現れるノイズ量です。

デジタル-アナログ変換のグリッチインパルス

大きな桁上げ偏移は、MSBがローからハイに、そして他のすべてのビットがハイからローに変化する中間点、またはMSBがハイからローに、そして他のすべてのビットがローからハイに変化する中間点で発生します。大きな桁上げ偏移期間でのスイッチンググリッチの大きさの持続期間は、デジタル-アナログのグリッチインパルスと呼ばれます。

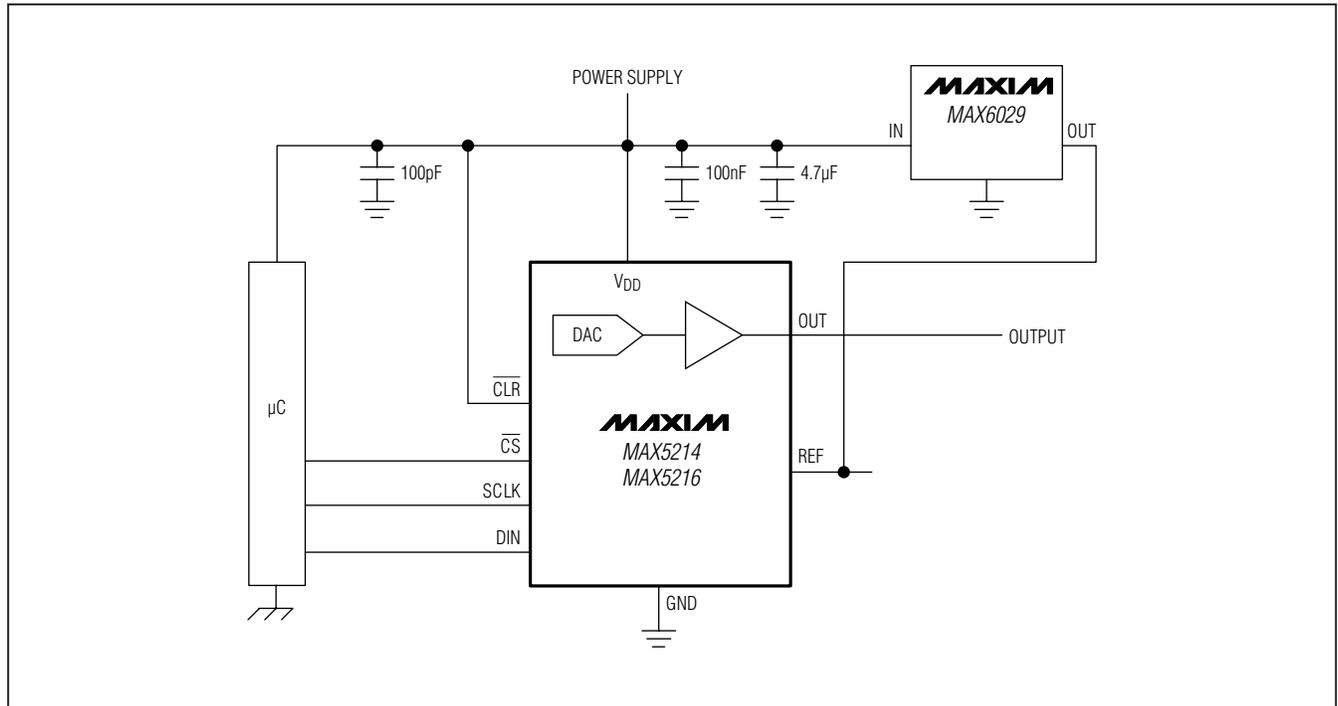
デジタル-アナログ変換の パワーアップグリッチインパルス

デジタル-アナログ変換のパワーアップグリッチは、デバイスがパワーダウンモードから抜け出す時に発生するスイッチンググリッチの大きさの持続期間です。

14/16ビット、低電力、高性能、バッファ内蔵のシングルDAC

MAX5214/MAX5216

標準動作回路



チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターンはjapan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
8 μMAX	U8+3	21-0036	90-0092

14/16ビット、低電力、 高性能、バッファ内蔵のシングルDAC

改訂履歴

版数	改訂日	説明	改訂ページ
0	12/10	初版	—

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

16 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2010 Maxim Integrated Products

MaximはMaxim Integrated Products, Inc.の登録商標です。