

11個の出力を備えた、JESD204B/JESD204Cをサポートする 超低ジッタ 4.5 GHz PLL

特長

- JESD204B/C、サブクラス1 SYSREF信号生成
- 低ノイズ・インテジャー N PLL
- 付加出力ジッタ: 6fs_{RMS} 未満
(積分帯域幅 = 12kHz~20MHz、f = 4.5GHz)
- 付加出力ジッタ: 65fs_{RMS} (ADC SNR法)
- EZSync™、ParallelSync™ マルチチップ同期
- 正規化された帯域内位相ノイズ・フロア: -229dBc/Hz
- 正規化された帯域内 1/fノイズ: -281dBc/Hz
- プログラマブルなデジタル粗遅延およびアナログ微遅延を備えた11個の独立した低ノイズ出力
- デバイス・クロックまたはSYSREF信号のいずれにも使用可能な柔軟性の高い出力
- 基準入力周波数: 最大500MHz
- LTC6952Wizard™ソフトウェア設計ツールをサポート
- 動作ジャンクション温度範囲: -40°C~125°C

アプリケーション

- 高性能データ・コンバータのクロック
- 無線インフラ
- 試験および計測

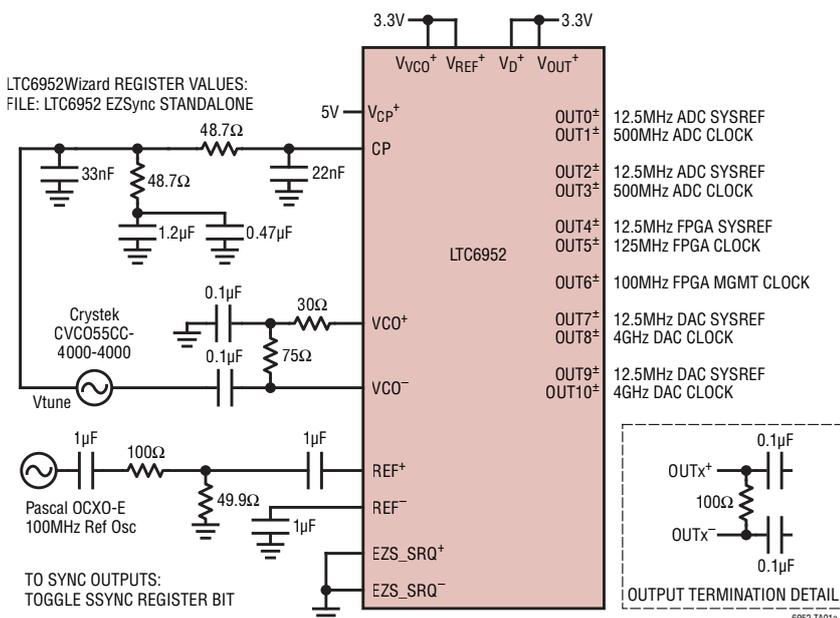
概要

LTC®6952は、高性能の超低ジッタJESD204B/Cクロック生成およびクロック分配ICです。リファレンス分周器、フェーズ・ロック・インジケータを備えた位相周波数検出器(PFD)、超低ノイズ・チャージ・ポンプ、および整数帰還分周器で構成されたフェーズ・ロック・ループ(PLL)コアを内蔵しています。LTC6952の11個の出力は、最大5組のJESD204B/Cサブクラス1デバイス・クロックとSYSREFのペアに1つの汎用出力を加えた構成にするか、単純にJESD204B/C以外のアプリケーション向けに11個の汎用クロック出力として構成することができます。各出力には、個別にプログラマブルな独自の周波数分周器と出力ドライバがあります。全ての出力を同期させることも、ハーフ・サイクルのデジタル粗遅延やアナログ微遅延を個別に使用して正確に位相を合わせることもできます。

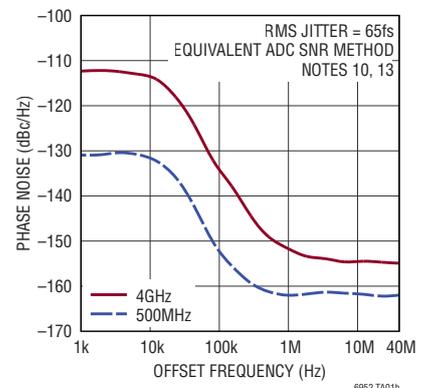
11個を超える出力が必要になるアプリケーションの場合は、EZSyncまたはParallelSync同期プロトコルを使用して、複数のLTC6952を接続できます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。8319551、8819472を含む米国特許によって保護されています。

標準的応用例



LTC6952の位相ノイズ



目次

特長	1
アプリケーション	1
標準的応用例	1
概要	1
絶対最大定格	4
発注情報	4
ピン配置	4
電気的特性	5
代表的な性能特性	9
ピン機能	13
ブロック図	15
タイミング図	16
動作	17
リファレンス入力バッファ	17
リファレンス分周器 (R)	18
位相周波数検出器 (PFD)	18
ロック・インジケータ	18
チャージ・ポンプ	19
リファレンス整列出力 (RA0) モード	20
VCO 入力バッファ	20
VCO 分周器 (N)	21
出力分周器 (M0~M10)	21
デジタル出力遅延 (DDEL0~DDEL10)	21
アナログ出力遅延 (ADEL0~ADEL10)	21
CML 出力バッファ (OUT0~OUT10)	22
出力の同期と SYSREF の生成	22
シリアル・ポート	30
ブロック・パワーダウン制御	36
アプリケーション情報	37
はじめに	37
出力周波数	37
ループ・フィルタの設計	37
デジタルおよびアナログの出力遅延	38
リファレンス入力	38
VCO 入力	38
EZS_SRQ 入力	41
EZSync スタンドアロンを使用した JESD204B/C の設計例	41
EZSync マルチチップを使用した JESD204B/C の設計例	48
リファレンスの信号源に関する検討事項	64
帯域内出力位相ノイズ	65
1/f ノイズによる出力位相ノイズ	65
リファレンス信号の配線、スプリアス、および位相ノイズ	65
電源バイパスおよび PCB レイアウトに関するガイドライン	66

目次

ADCのクロック制御とジッタの条件	67
ADCのS/N比を使用したクロック・ジッタの間接的測定	69
ADCのサンプル・クロック入力の駆動条件	69
伝送線路と終端	70
LTC6952を使用したデバイス・クロック入力の駆動	70
LTC6952を使用したDCカップリングSYSREF入力の駆動	70
LTC6952を使用したACカップリングされたSYSREF入力の制御(連続モードまたはゲーテッド・モード)	71
LTC6952を使用したACカップリングされたSYSRE入力の制御(パルス・モード)	71
シングルエンドのテスト装置を使用した差動スプリアス信号の測定	72
パッケージ	79
標準的応用例	80
関連製品	80

LTC6952

絶対最大定格

(Note 1)

電源電圧

V^+ (V_{REF}^+ , V_{VCO}^+ , V_D^+ , V_{OUT}^+) から GND 3.6V

V_{CP}^+ から GND 5.5V

CP ピンの電圧 GND - 0.3V ~ $V_{CP}^+ + 0.3V$

他の全てのピンの電圧 GND - 0.3V ~ $V^+ + 0.3V$

OUTx+, OUTx- (x = 0 ~ 10) への電流 ±25mA

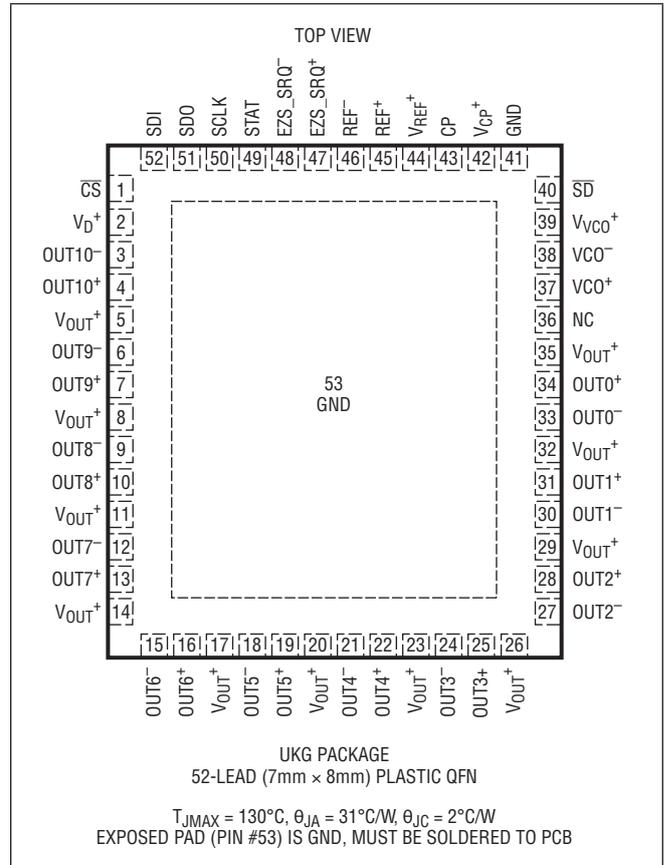
動作ジャンクション温度範囲、 T_J (Note 2)

LTC6952I -40°C ~ 125°C

ジャンクション温度、 T_{JMAX} 130°C

保存温度範囲 -65°C ~ 150°C

ピン配置



発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング	パッケージ	ジャンクション温度範囲
LTC6952IUKG#PBF	LTC6952IUKG#TRPBF	6952	52-Lead (7mm×8mm) Plastic QFN	-40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

テープ&リールの仕様。一部のパッケージは、#TRMPBF 接尾部の付いた指定の販売経路を通じて 500 個入りのリールで供給可能です。

電氣的特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{REF^+} = V_{D^+} = V_{VCO^+} = V_{OUT^+} = 3.3\text{V}$ 、 $V_{CP^+} = 5\text{V}$ (Note 2)。全ての電圧はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
リファレンス入力 (REF⁺、REF⁻)							
f_{REF}	Input Frequency		●	1	500	MHz	
V_{REF}	Input Signal Level	Single-Ended	●	0.5	2	2.7	V _{P-P}
	Minimum Input Slew Rate			20		V/ μs	
	Input Duty Cycle			50		%	
	Self-bias Voltage		●	1.65	1.85	2.25	V
	Minimum Input Signal Detected (REFOK=1)	PDREFPK = 0, $f_{REF} = 10\text{MHz}$, Single-Ended Sine Wave	●	350		mV _{P-P}	
	Maximum Input Signal Not Detected (REFOK=0)	PDREFPK = 0, $f_{REF} = 10\text{MHz}$, Single-Ended Sine Wave	●		100	mV _{P-P}	
	Input Resistance	Differential	●	2.4	3.8	5.8	k Ω
	Input Capacitance	Differential		1.3		pF	
VCO入力 (VCO⁺、VCO⁻)							
f_{VCO}	Frequency Range		●		4500	MHz	
	Input Signal Level	$R_Z = 50\Omega$, Single-Ended	●	0.25	0.8	1.6	V _{P-P}
			●	-8	2	8	dBm
	Self-Bias Voltage			2.05		V	
	Input Common Mode Voltage	800mV _{P-P} Differential Input	●	1.6	2.7	V	
	Input Duty Cycle			50		%	
	Minimum Input Slew Rate			100		V/ μs	
	Minimum Input Signal Detected (VCOOK = 1)	PDVCOCPK = 0, $f_{VCO} = 100\text{MHz}$, Single-Ended Sine Wave	●	250		mV _{P-P}	
	Maximum Input Signal Not Detected (VCOOK = 0)	PDVCOCPK = 0, $f_{VCO} = 100\text{MHz}$, Single-Ended Sine Wave	●		40	mV _{P-P}	
	Input Resistance	Differential		250		Ω	
	Input Capacitance	Differential		1.0		pF	
CMOS SYNC/SYSREF 要求入力 (EZS_SRQ⁺のみ)							
	High-level Input Voltage	EZS_SRQ ⁻ tied to GND	●	1.3		V	
	Low-level Input Voltage	EZS_SRQ ⁻ tied to GND	●		0.6	V	
	Input Voltage Hysteresis	EZS_SRQ ⁻ tied to GND		200		mV	
	Input Current	EZS_SRQ ⁻ tied to GND	●		± 1	μA	
差動 SYNC/SYSREF 要求入力 (EZS_SRQ⁺とEZS_SRQ⁻)							
	Input Signal Level		●	0.5	0.8	2.7	V _{P-P}
	Self-bias Voltage		●	1.6	2.1	2.5	V
	Input Common Mode Voltage	800mV _{P-P} Differential Input		1.5	3.0	V	
	Input Resistance	Differential		53		k Ω	
	Input Capacitance	Differential		1		pF	
位相周波数検出器 (PFD)							
f_{PFD}	Input Frequency		●		167	MHz	
チャージ・ポンプ							
I_{CP}	Output Current Range	20 Settings (see 表 6)		0.423	11.2	mA	
	Output Current Source/Sink Accuracy	$I_{CP} = 423\mu\text{A}$ to 4.0mA, $V(\text{CP}) = V_{CP^+}/2$			± 8	%	
$I_{CP} = 4.72\mu\text{A}$ to 11.2mA, $V(\text{CP}) = V_{CP^+}/2$				± 6	%		
	Output Current Source/Sink Matching	$I_{CP} = 423\mu\text{A}$ to 4.0mA, $V(\text{CP}) = V_{CP^+}/2$			± 5	%	
		$I_{CP} = 4.72\text{mA}$ to 11.2mA, $V(\text{CP}) = V_{CP^+}/2$			± 2.5	%	
	Output Current vs Output Voltage Sensitivity	(Note 7)	●	0.25	1.0	%/V	

Rev 0

電気的特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{REF}^+ = V_D^+ = V_{VCO}^+ = V_{OUT}^+ = 3.3\text{V}$ 、 $V_{CP}^+ = 5\text{V}$ (Note 2)。全ての電圧はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Output Current vs Temperature	$V(\text{CP}) = V_{CP}^+/2$	●	170		ppm/ $^\circ\text{C}$
	Output Hi-Z Leakage Current	$I_{CP} = 423\mu\text{A}$ (Note 7)		0.5		nA
		$I_{CP} = 11.2\text{mA}$ (Note 7)		5		nA
V_{MID}	Mid-supply Output Bias Ratio	Referred to $(V_{CP}^+ - \text{GND})$		0.48		V/V

リファレンス分周器 (R)

R	Divide Range	All Integers Included	●	1	1023	Counts
---	--------------	-----------------------	---	---	------	--------

VCO分周器 (N)

N	Divide Range	All Integers Included	●	1	65535	Counts
---	--------------	-----------------------	---	---	-------	--------

デジタル・ピンの仕様

V_{IH}	High-level Input Voltage	$\overline{\text{CS}}$, SDI, SCLK, $\overline{\text{SD}}$	●	1.55		V
V_{IL}	Low-level Input Voltage	$\overline{\text{CS}}$, SDI, SCLK, $\overline{\text{SD}}$	●		0.8	V
V_{IHYS}	Input Voltage Hysteresis	$\overline{\text{CS}}$, SDI, SCLK, $\overline{\text{SD}}$		250		mV
	Input Current	$\overline{\text{CS}}$, SDI, SCLK, $\overline{\text{SD}}$	●		± 1	μA
I_{OH}	High-level Output Current	SDO and STAT, $V_{OH} = V_D^+ - 400\text{mV}$	●	-3.3	-1.9	mA
I_{OL}	Low-level Output Current	SDO and STAT, $V_{OL} = 400\text{mV}$	●	2.0	3.4	mA
	SDO Hi-Z Current		●		± 1	μA

デジタル・タイミング仕様

t_{CKH}	SCLK High Time		●	25		ns
t_{CKL}	SCLK Low Time		●	25		ns
t_{CSS}	$\overline{\text{CS}}$ Setup Time		●	10		ns
t_{CSH}	$\overline{\text{CS}}$ High Time		●	10		ns
t_{CS}	SDI to SCLK Setup Time		●	6		ns
t_{CH}	SDI to SCLK Hold Time		●	6		ns
t_{DO}	SCLK to SDO Time	To $V_{IH}/V_{IL}/\text{Hi-Z}$ with 30pF load	●		16	ns

EVS_SRQのタイミング仕様 (図2を参照)

t_{SRQH}	EVS_SRQ High Time		●	1		ms
t_{SRQL}	EVS_SRQ Low Time		●	1		ms
	EVS_SRQ Skew, Part to Part	SRQMD = 0, PARSYNC = 0			10	μs
t_{SS}	EVS_SRQ to REF Setup Time	PARSYNC = 1, CMOS EVS_SRQ	●	1		ns
		PARSYNC = 1, Differential EVS_SRQ	●	0.5		ns
t_{SH}	EVS_SRQ to REF Hold Time	PARSYNC = 1, CMOS EVS_SRQ	●	1		ns
		PARSYNC = 1, Differential EVS_SRQ	●	0.5		ns

出力分周器 (M0、M1、M2、M3、M4、M5、M6、M7、M8、M9、M10)

M_x	Output Divider Range ($x = 0$ to 10)	$M_x = P \times 2^N$, where $P = 1$ to 32 all integers, $N = 0$ to 7	●	1	4096	Counts
DDELX	Output Digital Delay ($x = 0$ to 10)	$\frac{1}{2}$ VCO Cycles (Note 3)	●	0	4095	$\frac{1}{2}$ Cycles
t_{ADELX}	Output Analog Delay Time ($x = 0$ to 10)	ADELX = 0			0	ps
		ADELX = 1, $f_{OUTX} \leq 300\text{MHz}$			90	ps
		ADELX = 63, $f_{OUTX} \leq 300\text{MHz}$			1100	ps
	Output Analog Delay Time ($x = 0$ to 10), Step Size	ADELX = 1 to 31, $f_{OUTX} \leq 300\text{MHz}$			11	ps
		ADELX = 32 to 63, $f_{OUTX} \leq 300\text{MHz}$			26	ps
	Output Analog Delay ($x = 0$ to 10)	$300\text{MHz} \leq f_{OUTX} \leq 2.25\text{GHz}$			Note 4	
	Maximum Output Frequency for Analog Delay				2.25	GHz
	Temperature Coefficient of Analog Delay Time	ADELX = 1 to 31	●		0.06	$\%/^\circ\text{C}$
		ADELX = 32 to 63	●		0.06	$\%/^\circ\text{C}$

電氣的特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{REF}^+ = V_D^+ = V_{VCO}^+ = V_{OUT}^+ = 3.3\text{V}$ 、 $V_{CP}^+ = 5\text{V}$ (Note 2)。全ての電圧はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
CML クロック出力 (OUT0⁺, OUT0⁻, OUT1⁺, OUT1⁻, OUT2⁺, OUT2⁻, ..., OUT10⁺, OUT10⁻)							
f _{OUT}	Output Frequency	Differential Termination = 100Ω, MODEx = 0 (Clock Mode)	●	0		4500	MHz
		Differential Termination = 100Ω, MODEx = 1, 2, or 3 (SYSREF Modes)	●	0		150	
V _{OD}	Output Differential Voltage	Differential Termination = 100Ω	●	320	420	550	mVpk
	Output Resistance	Differential			100		Ω
	Output Common Mode Voltage	Differential Termination = 100Ω			V _{OUT} ⁺ -1.0		V
t _R	Output Rise Time, 20% to 80%	Differential Termination = 100Ω			50		ps
t _F	Output Fall Time, 80% to 20%	Differential Termination = 100Ω			50		ps
t _{PD-VCO}	Propagation Delay from VCO [±] to OUT10	f _{VCO} = 4500MHz, Mx = 16	●		335		ps
	Propagation Delay from VCO [±] to OUT10, Temperature Variation	f _{VCO} = 4500MHz, Mx = 16			0.35		ps/°C
t _{PD-REF}	Propagation Delay from REF [±] to OUT5	RA0 = 0, LOCK = 1 (Note 19)	●		450		ps
		RA0 = 1, LOCK = 1 (Note 19)	●		20		
	Propagation Delay from REF [±] to OUT5, Temperature Variation	RA0 = 1, LOCK = 1 (Note 19)			0.2		ps/°C
t _{SKEW}	Skew, all Outputs (Note 20)	One Part, All Mx the Same, Even, or 1	●		±10	±25	ps
		One Part, Any Mx			±30		
		Across Multiple Parts; RA0 = 1, All Mx the Same, Even, or 1; All T _J Within ±10°C	●		±20	±50	
	Additional Output Delay, Mx = Odd vs Mx = 1 or Even	Mx = 5, 11, 15, 17, 19, 25, or 27			4		ps
		Mx = 3, 7, 9, 13, 21, 23, 29, or 31			15		
電源電圧							
	V _{REF} ⁺ Supply Range		●	3.15	3.3	3.45	V
	V _{OUT} ⁺ Supply Range		●	3.15	3.3	3.45	V
	V _D ⁺ Supply Range		●	3.15	3.3	3.45	V
	V _{VCO} ⁺ Supply Range		●	3.15	3.3	3.45	V
	V _{CP} ⁺ Supply Range		●	3.15		5.25	V
電源電流							
I _{DDOUT}	Sum V _{OUT} ⁺ Supply Currents	All Outputs Enabled (Note 5)	●		750	850	mA
		Typical JESD204B/C Application (Note 6)			570		mA
		PDALL = 1			500		μA
I _{CCCP}	V _{CP} ⁺ Supply Current	I _{CP} = 11.2mA	●		37	45	mA
		I _{CP} = 423μA			10		mA
		PDALL = 1			500		μA
I _{DD-3.3V}	Sum V _D ⁺ , V _{REF} ⁺ , V _{VCO} ⁺ Supply Currents	Digital Inputs at Supply Levels	●		176	200	mA
		Digital Inputs at Supply Levels, PDALL = 1			500		μA
	Supply Current Deltas from Total Chip Current	PDx[1:0] = 2 (x = 0 to 10), Per Output			-34		mA
		PDx[1:0] = 3 (x = 0 to 10), Per Output			-68		mA
		EZS_SRQ [±] State = 1, SSRQ = 1 or SRQMD = 1			+175		mA
		PDPLL = 1			-113		mA
		Mx = Odd (Not Mx = 1), Per Output			+8.6		mA
		ADELx = 1 to 31, Per Output			+3.0		mA
		ADELx = 32 to 63, Per Output			+4.7	mA	

電氣的特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{REF}^+ = V_D^+ = V_{VCO}^+ = V_{OUT}^+ = 3.3\text{V}$ 、 $V_{CP}^+ = 5\text{V}$ (Note 2)。全ての電圧はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
付加位相ノイズ、ジッタ、スプリアス (Note 8)						
	Output Noise/Jitter: Distribution Section Only ($f_{VCO} = 4.5\text{GHz}$, $f_{OUTX} = 4.5\text{GHz}$, $M_x = 1$)	Phase Noise Floor RMS Jitter, 12kHz to 20MHz Integration BW RMS Jitter, ADC SNR Method (Note 15)		-154.3 6 65		dBc/Hz f _{SRMS} f _{SRMS}
	Output Noise/Jitter: Distribution Section Only ($f_{VCO} = 4.5\text{GHz}$, $f_{OUTX} = 2.25\text{GHz}$, $M_x = 2$)	Phase Noise Floor RMS Jitter, 12kHz to 20MHz Integration BW RMS Jitter, ADC SNR Method (Note 15)		-157.1 8 66		dBc/Hz f _{SRMS} f _{SRMS}
	Output Noise/Jitter: Distribution Section Only ($f_{VCO} = 4.5\text{GHz}$, $f_{OUTX} = 1.125\text{GHz}$, $M_x = 4$)	Phase Noise Floor RMS Jitter, 12kHz to 20MHz Integration BW RMS Jitter, ADC SNR Method (Note 15)		-160.2 9 65		dBc/Hz f _{SRMS} f _{SRMS}
	Output Noise/Jitter: Distribution Section Only ($f_{VCO} = 3.2\text{GHz}$, $f_{OUTX} = 200\text{MHz}$, $M_x = 16$)	Phase Noise Floor RMS Jitter, 12kHz to 20MHz Integration BW RMS Jitter, ADC SNR Method (Note 15)		-167.8 21 65		dBc/Hz f _{SRMS} f _{SRMS}
	Output Noise/Jitter: Distribution Section Only ($f_{VCO} = 3.2\text{GHz}$, $f_{OUTX} = 50\text{MHz}$, $M_x = 64$)	Phase Noise Floor RMS Jitter, 12kHz to 20MHz Integration BW RMS Jitter, ADC SNR Method (Note 15)		-173.8 41 65		dBc/Hz f _{SRMS} f _{SRMS}
L _{NORM}	Normalized In-Band Phase Noise Floor	I _{CP} = 11.2mA (Note 9, Note 10, Note 11)		-229		dBc/Hz
L _{1/f}	Normalized In-Band 1/f Phase Noise	I _{CP} = 11.2mA (Note 9, Note 12)		-281		dBc/Hz
	Spurious	f _{OFFSET} = f _{FPD} , f _{OUT} = 4GHz, PLL Locked (Note 10, Note 13, Note 14, Note 18)		-100		dBc

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: LTC6952は、 -40°C ~ 125°C の全動作ジャンクション温度範囲で規定性能の制限に適合することが確認されている。最大の動作条件下では、ジャンクション温度を 125°C 以下に保つため、エアフローまたは放熱が必要になる場合がある。アプリケーション情報のセクションに示すように、露出パッド(ピン53)は多数のサーマル・ピアを使用してグラウンド・プレーンに直接ハンダ付けする必要がある。

Note 3: デジタル遅延の絶対最大時間は $100\mu\text{s}$ に制限される。

Note 4: f_{OUT} ≥ 300MHzの場合、アナログ遅延時間とADELxは変化する。代表的な性能特性のプロットと、動作のセクションを参照してください。

Note 5: 全ての出力がイネーブルされたクロックとして構成: 全PDX[1:0]=0、E_{ZS}_SRQ^{*}ピンのステート=0、SSRQ=0、SRQMD=0、BST=1、PDALL=0、PDVCO_{PK}=0、PDREFPK=0。

Note 6: 6つのイネーブルされたクロック出力と、出力ドライバがディスエーブルされた5つのSYSREF出力で構成: PD0、PD2、PD4、PD6、PD8、PD10 = 0で、PD1、PD3、PD5、PD7、PD9 = 2。E_{ZS}_SRQ^{*}ピンのステート=0、SSRQ=0、SRQMD=0、BST=1、PDALL=0、PDVCO_{PK}=0、PDREFPK=0

Note 7: $1.0\text{V} < V(\text{CP}) < V_{CP}^+ - 1.1\text{V}$ の場合。

Note 8: LTC6952の分配セクションによる付加位相ノイズとジッタのみ。外付けVCO、リファレンス、およびPLLノイズは含まない。

Note 9: ループをロックして、ループ帯域幅の内部で測定。

Note 10: リファレンス周波数はPascal OCXO-Eによって供給、f_{REF} = 100MHz、P_{REF} = 6dBm。

Note 11: 出力位相ノイズ・フロアは、 $L_{OUT} = L_{NORM} + 10\log_{10}(f_{FPD}) + 20\log_{10}(f_{RF}/f_{FPD})$ に従って、正規化された位相ノイズ・フロアから計算される。

Note 12: 出力1/fノイズは、 $L_{OUT}(1/f) = L_{1/f} + 20\log_{10}(f_{RF}) - 10\log_{10}(f_{OFFSET})$ に従って、正規化された1/f位相ノイズから計算される。

Note 13: I_{CP} = 11.2mA、f_{FPD} = 100MHz、FILTR = 0、Loop BW = 16kHz、f_{VCO} = 4GHz。

Note 14: DC2609を使って測定。

Note 15: 増加したRMS(ADC SNR法)は、f_{CLK}に出力される分配セクションで増加した位相ノイズに統合されて計算される。実際のADC SNR測定値は、この手法の値によく合致する。

Note 16: DC2609の出力から計測器に36インチのケーブルをつなげて測定。このプロットでは、ケーブル損失は考慮されていない。

Note 17: 統計は、2つのプロセス・ロットの合計640の測定デバイスから計算された。

Note 18: LTC6952の差動出力でLTC6955を駆動して測定。LTC6955は、差動信号をシングルエンド信号に変換して同相スプリアス信号を除去する機能を提供する。詳細については、アプリケーション情報のセクションを参照してください。

Note 19: OUT5で測定。f_{REF} = 100MHz、f_{VCO} = 4400MHz、f_{OUT} = 275MHz、RD = 1。

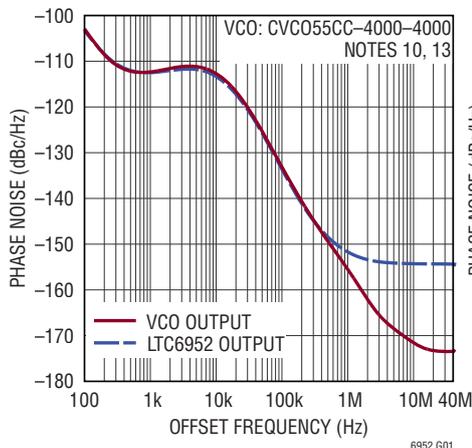
Note 20: スキューは、特定の出力のゼロ交差時間と全ての出力の平均ゼロ交差時間の差として定義される。

Note 21: 測定されたVCO入力電力は、LTC6952のピンにディエンベッドされる。

代表的な性能特性

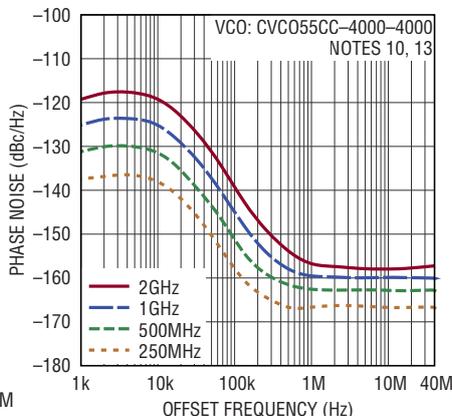
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{REF^+} = V_{OUT^+} = V_D^+ = V_{VCO^+} = 3.3\text{V}$ 、 $V_{CP^+} = 5\text{V}$ 。

全クロードループ位相ノイズ、 $f_{VCO} = 4\text{GHz}$ 、 $M_x = 1$



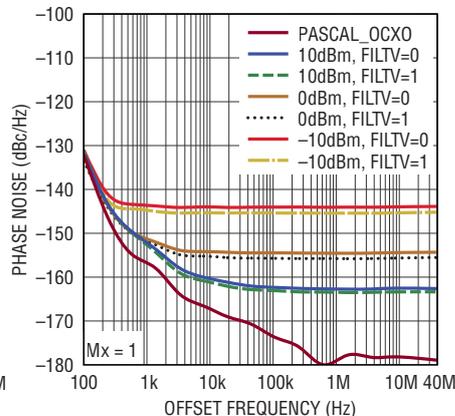
6952 G01

全クロードループ位相ノイズ、 $f_{VCO} = 4\text{GHz}$ 、 $M_x = 2, 4, 8, 16$



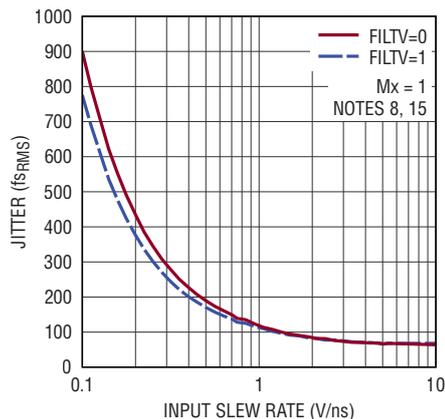
6952 G02

全オープン・ループ位相ノイズ、 $F_{IN} = 100\text{MHz}$ のサイン波



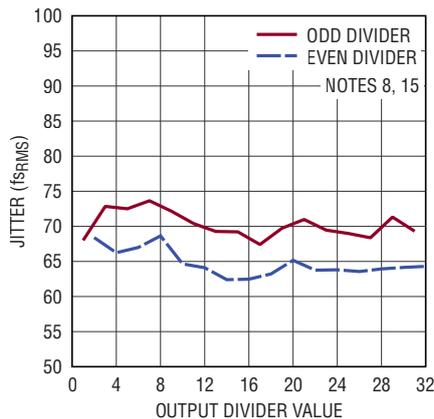
6952 G03

付加ジッタと入力スルー・レート、ADC SNR 法



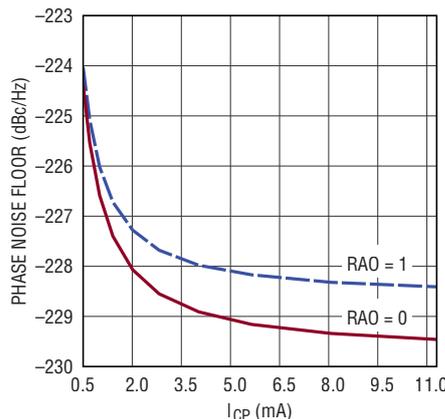
6952 G04

付加ジッタと分周器設定、ADC SNR 法



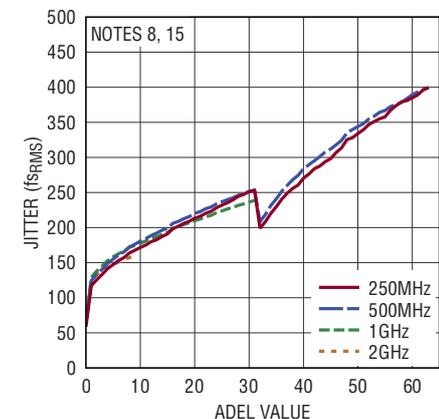
6952 G05

正規化された帯域内位相ノイズ・フロアとCP電流



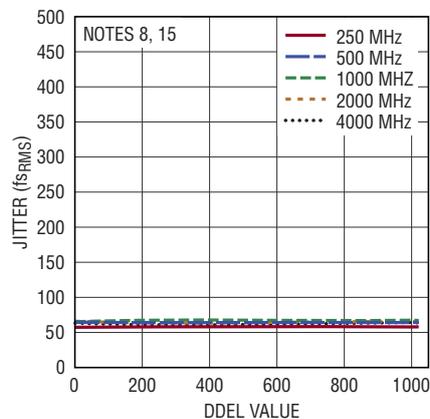
6952 G06

付加ジッタとADEL値、ADC SNR 法、 $f_{VCO} = 4\text{GHz}$ 、 $M_x = 2, 4, 8, 16$



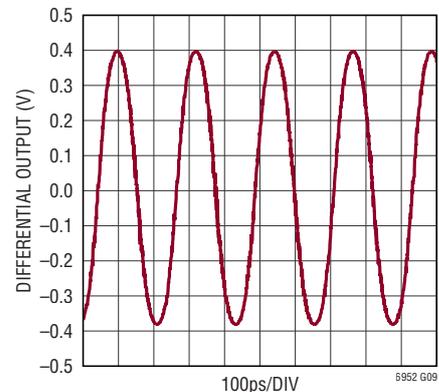
6952 G07

付加ジッタとDDEL値、ADC SNR 法、 $f_{VCO} = 4\text{GHz}$ 、 $M_x = 1, 2, 4, 8, 16$



6952 G08

4.5GHz時の差動出力

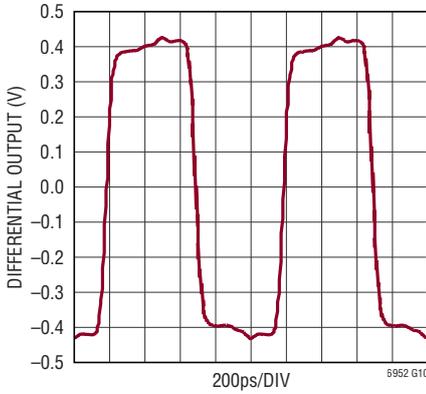


6952 G09

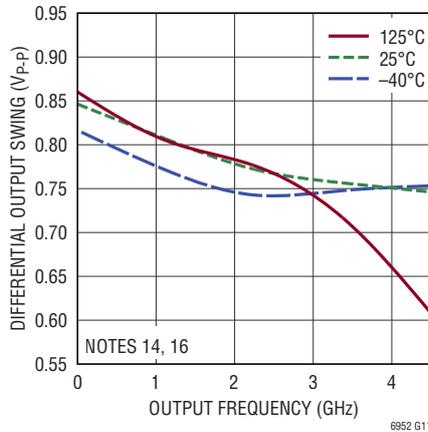
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{REF^+} = V_{OUT^+} = V_D^+ = V_{VCO^+} = 3.3\text{V}$ 、 $V_{CP^+} = 5\text{V}$ 。

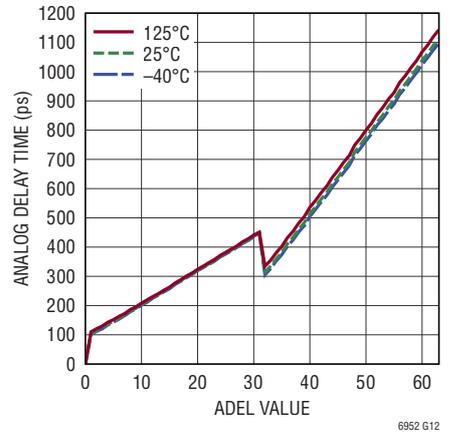
1GHz時の差動出力



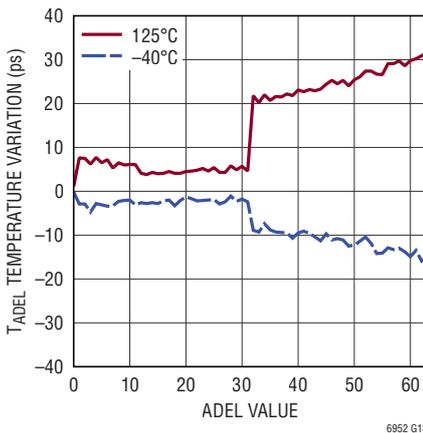
差動出力振幅と周波数、温度



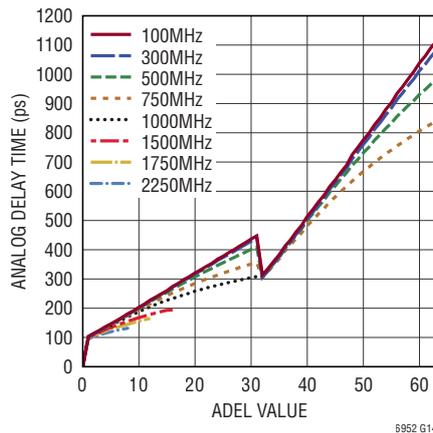
アナログ遅延時間とADEL値、温度



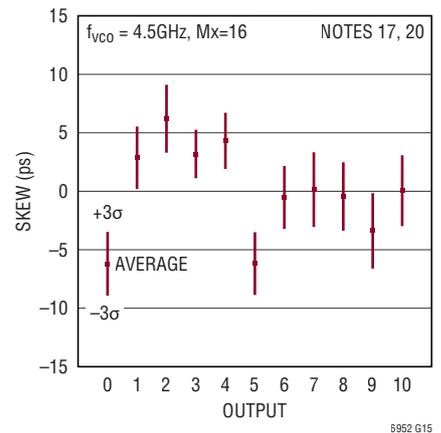
アナログ遅延時間の25°Cからの温度ばらつき



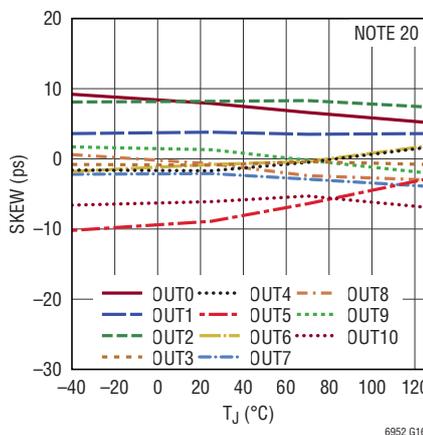
複数の出力周波数におけるアナログ遅延時間とADEL値



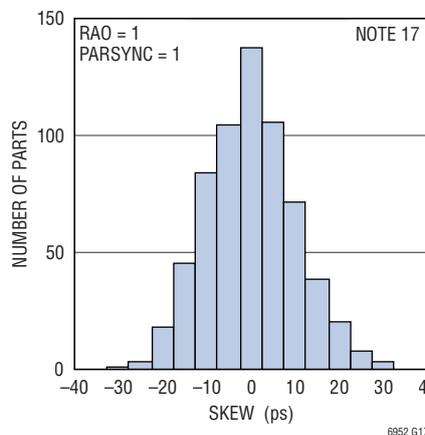
1つのデバイスにおけるスキューばらつきの予想



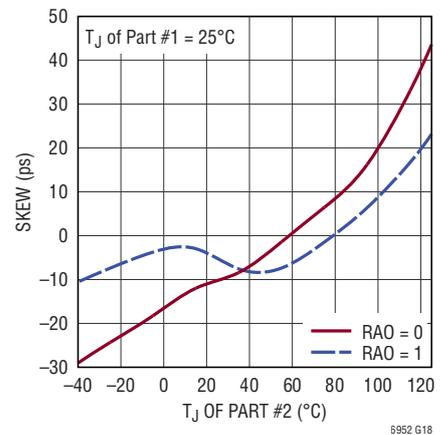
標準的な1つのデバイスにおける温度に対するスキューばらつき



ParallelSyncモードの複数のデバイス間のスキューばらつきの予想



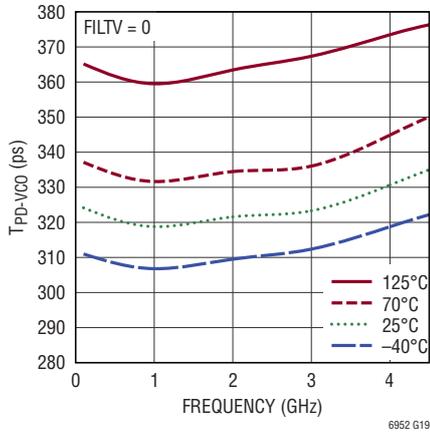
異なる温度の2つのデバイス間のスキュー



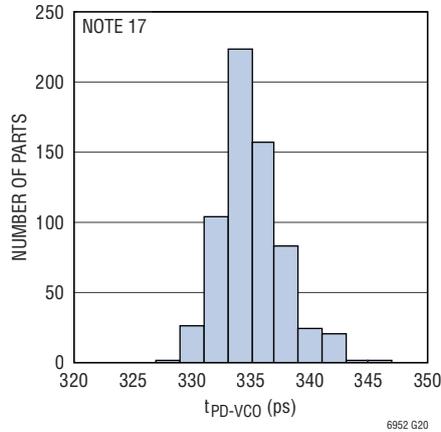
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{REF}^+ = V_{OUT}^+ = V_D^+ = V_{VCO}^+ = 3.3\text{V}$ 、 $V_{CP}^+ = 5\text{V}$ 。

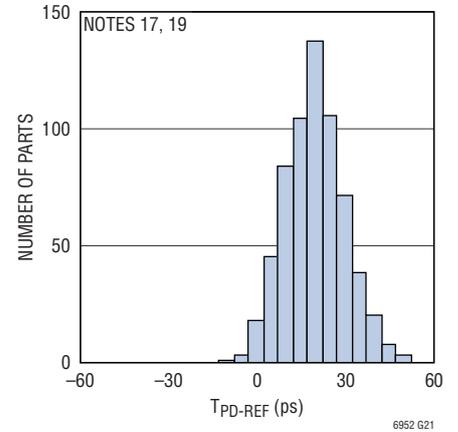
VCOの伝搬遅延と周波数、温度



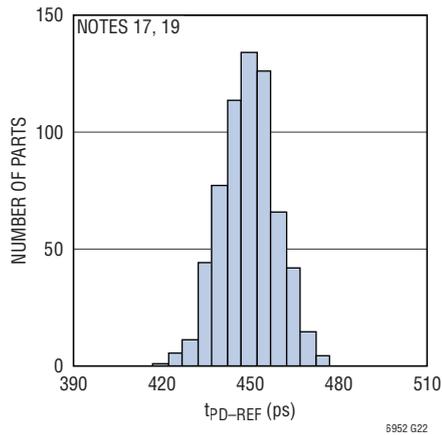
伝搬遅延のばらつき、OUT4へのVCO入力



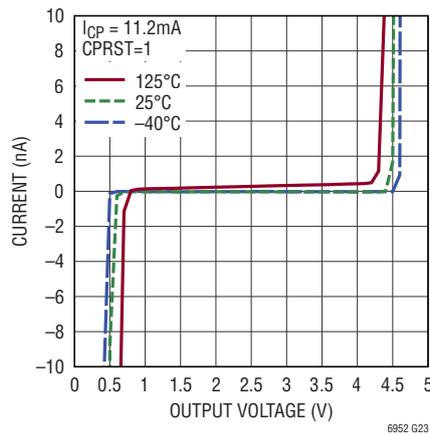
出力伝搬遅延へのクロード・ループ・リファレンス、 $RAO = 1$



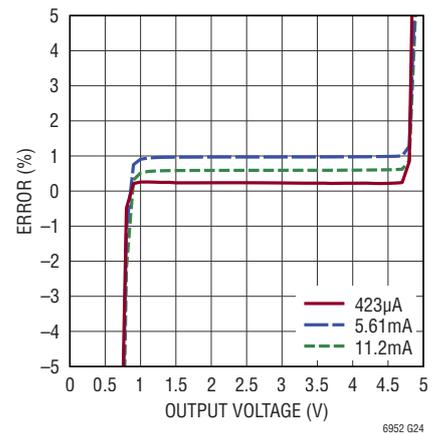
出力伝搬遅延へのクロード・ループ・リファレンス、 $RAO = 0$



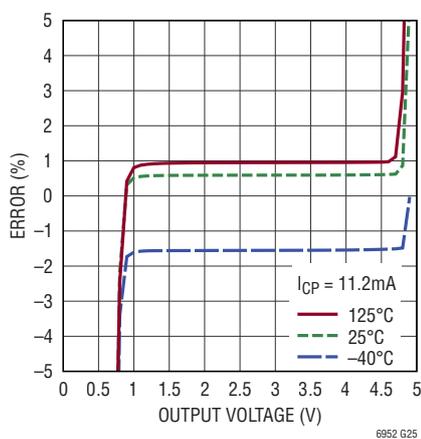
チャージ・ポンプのHi-Z電流と電圧、温度



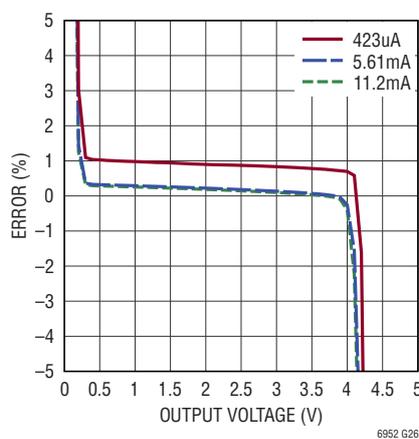
チャージ・ポンプのシンク電流誤差と電圧、出力電流



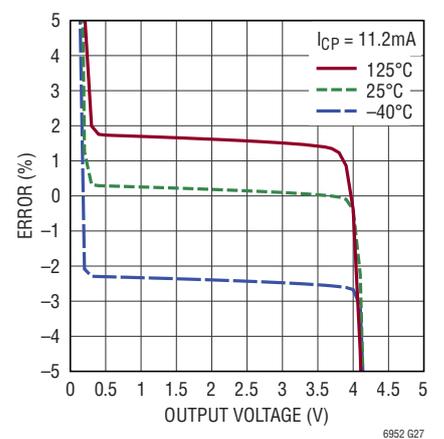
チャージ・ポンプのシンク電流誤差と電圧、温度



チャージ・ポンプのソース電流誤差と電圧、出力電流



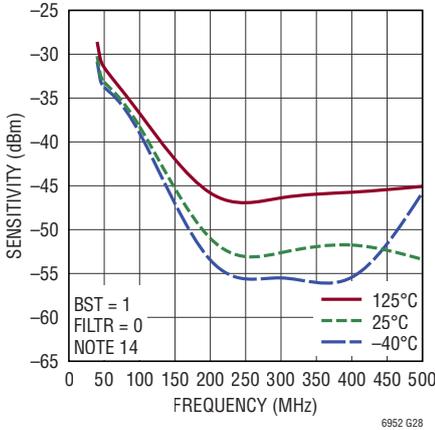
チャージ・ポンプのソース電流誤差と電圧、温度



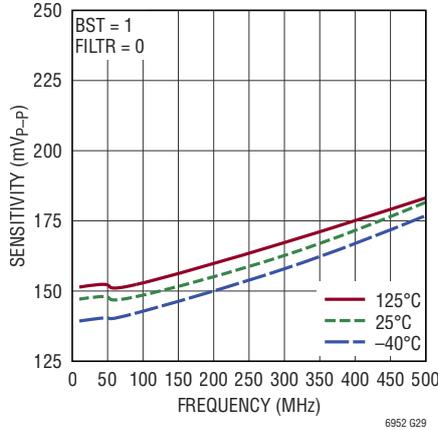
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{REF}^+ = V_{OUT}^+ = V_D^+ = V_{VCO}^+ = 3.3\text{V}$ 、 $V_{CP}^+ = 5\text{V}$ 。

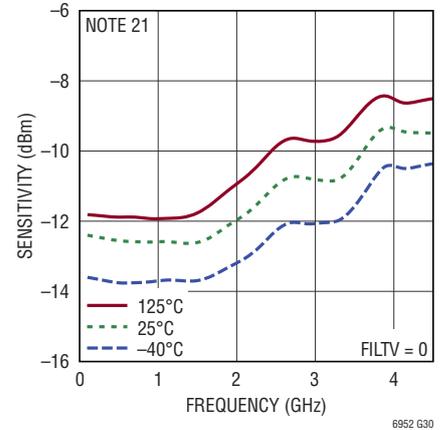
REF 入力の感度と周波数、温度



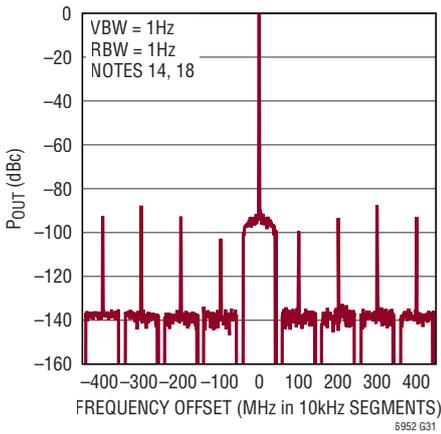
検出された REF 入力信号と周波数、温度



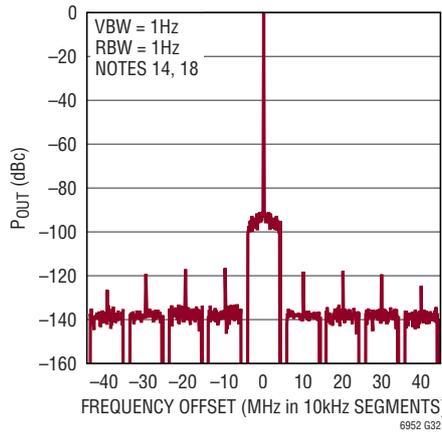
検出された VCO 入力信号と周波数、温度



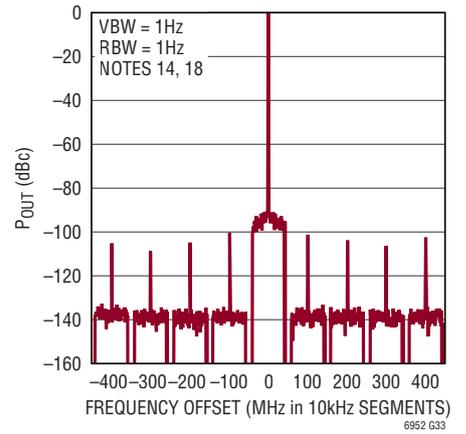
スプリアス応答、 $f_{OUT} = 4\text{GHz}$ 、 $f_{VCO} = 4\text{GHz}$ 、 $f_{REF} = 100\text{MHz}$ 、 $f_{PFD} = 100\text{MHz}$ 、Loop BW = 16kHz



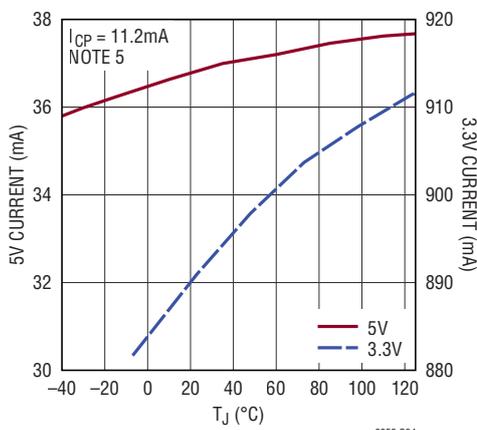
スプリアス応答、 $f_{OUT} = 4\text{GHz}$ 、 $f_{VCO} = 4\text{GHz}$ 、 $f_{REF} = 100\text{MHz}$ 、 $f_{PFD} = 10\text{MHz}$ 、Loop BW = 5kHz



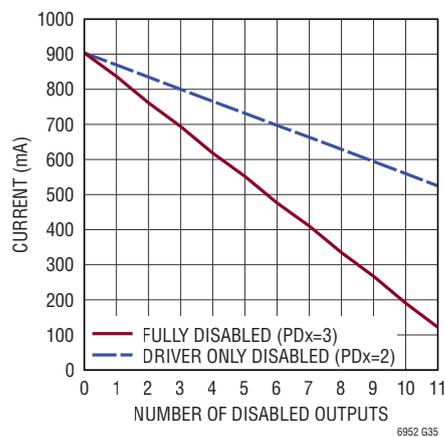
スプリアス応答、 $f_{OUT} = 4\text{GHz}$ 、 $f_{VCO} = 4\text{GHz}$ 、 $f_{REF} = 100\text{MHz}$ 、 $f_{PFD} = 10\text{MHz}$ 、Loop BW = 5kHz



電源電流とジャンクション温度、全波カインープル



3.3V 電源電流とディスエーブル出力の数



ピン機能

CS (ピン1) : シリアル・ポートのチップ・セレクト。このCMOS入力をローにするとシリアル・ポートの通信バーストを開始し、再度ハイにするとバーストを終了します。詳細については、動作のセクションを参照してください。

V_D⁺ (ピン2) : 同期/SYSREF要求機能とシリアル・ポート用の3.15V~3.45Vの正電源ピン。このピンのできるだけ近くに0.01μFのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

OUT0⁺, OUT0⁻ (ピン34, 33) : 出力信号。出力分周器はバッファされ、差動でこれらのピンに出力されます。この出力は、各側に50Ω(標準)の出力抵抗を備えています(100Ω差動)。伝送線路の遠端部は、出力全体にわたって接続された100Ωを使用して終端されます。詳細については、動作およびアプリケーション情報のセクションを参照してください。

OUT1⁺, OUT1⁻ (ピン31, 30) : OUT0と同じ。

OUT2⁺, OUT2⁻ (ピン28, 27) : OUT0と同じ。

OUT3⁺, OUT3⁻ (ピン25, 24) : OUT0と同じ。

OUT4⁺, OUT4⁻ (ピン22, 21) : OUT0と同じ。

OUT5⁺, OUT5⁻ (ピン19, 18) : OUT0と同じ。

OUT6⁺, OUT6⁻ (ピン16, 15) : OUT0と同じ。

OUT7⁺, OUT7⁻ (ピン13, 12) : OUT0と同じ。

OUT8⁺, OUT8⁻ (ピン10, 9) : OUT0と同じ。

OUT9⁺, OUT9⁻ (ピン7, 6) : OUT0と同じ。

OUT10⁺, OUT10⁻ (ピン4, 3) : OUT0と同じ。

V_{OUT}⁺ (ピン5, 8, 11, 14, 17, 20, 23, 26, 29, 32, 35) : 出力分周器用の3.15V~3.45Vの正電源ピン。各ピンのできるだけ近くに0.01μFのセラミック・コンデンサを配置して、各ピンを個別にグラウンド・プレーンに直接バイパスします。

NC (ピン36) : 内部的に接続されません。このピンは、グラウンド・パッド(ピン53)に接続することを推奨します。

VCO⁺, VCO⁻ (ピン37, 38) : VCOの入力信号。これらのピンに入った差動信号は、低ノイズのアンプによってバッファされ、内部の分配経路と帰還分周器に供給されます。これらの自己バイアス入力、インピーダンス・マッチングを助ける、250Ω(標準)の差動抵抗があります。アプリケーション情報のセクションで説明するマッチング回路を使用することで、シングルエンドで駆動することもできます。

V_{VCO}⁺ (ピン39) : VCO回路用の3.15V~3.45Vの正電源ピン。このピンのできるだけ近くに0.01μFのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

SD (ピン40) : チップのシャットダウン・ピン。GNDに接続すると、このCMOS入力はチップの全てのブロックをディスエーブルします。これは、シリアル・インターフェースのPDALLと同じ機能です。

GND (ピン41) : 負電源(グラウンド)。このピンは、グラウンド・パッド(ピン53)に直接接続します。

V_{CP}⁺ (ピン42) : チャージ・ポンプ回路用の3.15V~5.25Vの正電源ピン。このピンのできるだけ近くに0.1μFのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

CP (ピン43) : チャージ・ポンプの出力。この双方向電流出力は、通常は外部のループ・フィルタに接続します。詳細については、アプリケーション情報のセクションを参照してください。

V_{REF}⁺ (ピン44) : リファレンス入力回路用の3.15V~3.45Vの正電源ピン。このピンのできるだけ近くに0.1μFのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

REF⁺, REF⁻ (ピン45, 46) : リファレンス入力信号。この差動入力、低ノイズのアンプによってバッファされ、リファレンス分周器に供給されます。これらは自己バイアスされており、1μFコンデンサでACカップリングする必要があります。V(REF⁺)を2.7V_{p-p}以下に設定してシングルエンドで使用する場合、100nFのコンデンサを使用してREF⁻をGNDにバイパスします。V(REF⁺)を2.7V_{p-p}よりも高く設定してシングルエンドで使用する場合、47pFのコンデンサを使用してREF⁻をGNDにバイパスします。

ピン機能

EZS_SRQ⁺、EZS_SRQ⁻ (ピン 47、48) : 同期または SYSREF 要求入力。SRQMD ビットにより、この入力は EZSync 要求または SYSREF 要求のいずれかとして定義されます。差動入力として動作させることも、EZS_SRQ⁻ を GND とシングルエンド CMOS 信号で駆動される EZS_SRQ⁺ に接続することもできます。詳細については、動作およびアプリケーション情報のセクションを参照してください。

STAT (ピン 49) : 状態出力。この信号は、UNLOCK、 $\overline{\text{VCOOK}}$ 、VCOOK、 $\overline{\text{LOCK}}$ 、LOCK、 $\overline{\text{REFOK}}$ 、REFOK の各状態ビットを論理和で組み合わせたものであり、STATUS レジスタを介してプログラムできます。温度測定のためのダイオード電圧を示すよう構成することも可能です。詳細については、動作のセクションを参照してください。

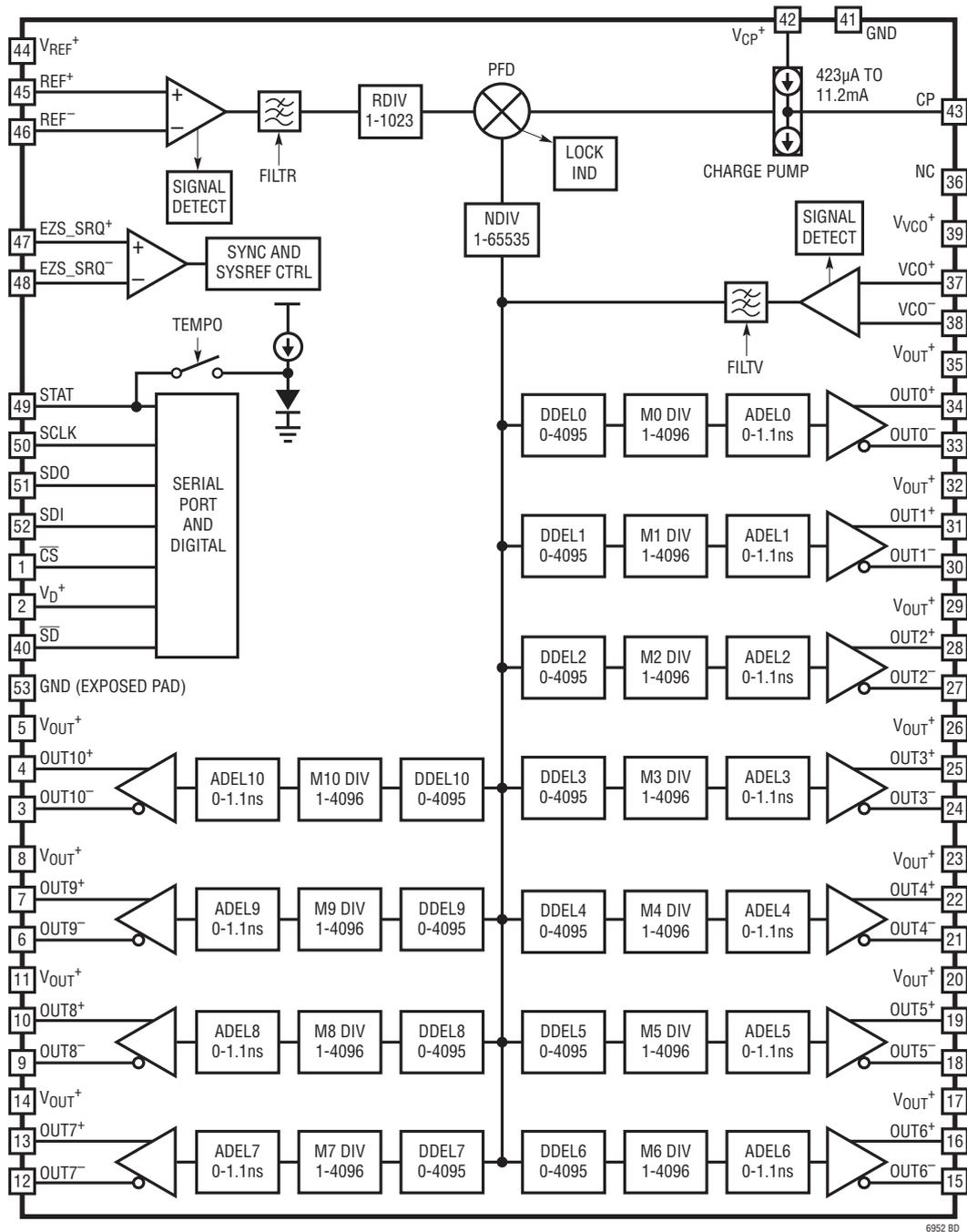
SCLK (ピン 50) : シリアル・ポートのクロック。この CMOS 入力、その立上がりエッジでシリアル・ポートの入力データをクロックと合わせます。詳細については、動作のセクションを参照してください。

SDO (ピン 51) : シリアル・ポートのデータ出力。この CMOS スリーステート出力は、読出し通信バースト中にシリアル・ポートからのデータを出力します。必要に応じて、出力がフローティングにならないように GND との間に 200k Ω 超の抵抗を接続することもできます。詳細については、動作のセクションを参照してください。

SDI (ピン 52) : シリアル・ポートのデータ入力。シリアル・ポートはこの CMOS 入力をデータに使用します。詳細については、動作のセクションを参照してください。

GND (露出パッド・ピン 53) : 負電源 (グラウンド)。パッケージの露出パッドは、PCB のランドに直接ハンダ付けする必要があります。PCB のランド・パターンには、グラウンドのインダクタンスと熱抵抗の両方を減らすために、グラウンド・プレーンへの複数のサーマル・ビアを配置します。

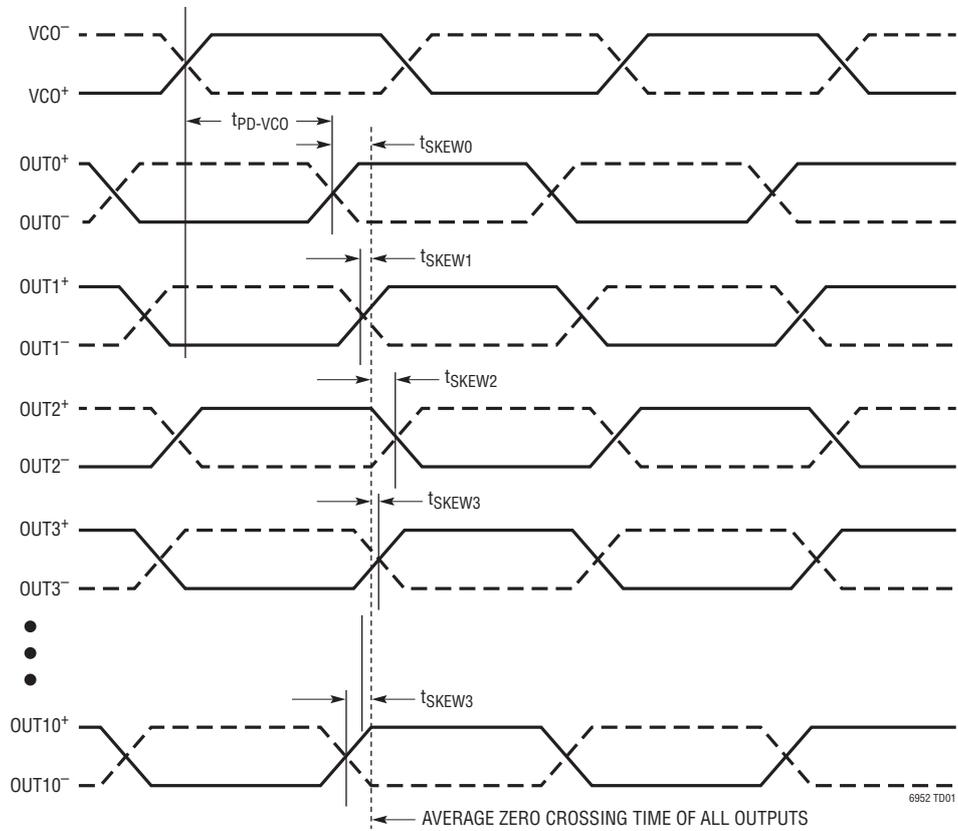
ブロック図



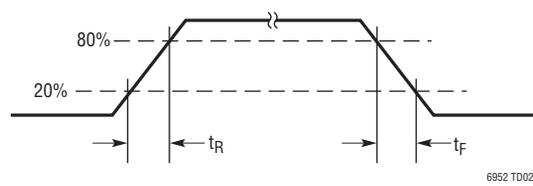
6952 BD

タイミング図

伝搬遅延と出力スキュー



差動CMLの立上がり/立下がり時間



動作

LTC6952は、最高4.5GHzで動作可能な高性能インテグラー N PLL および複数出力クロック・ジェネレータです。LTC6952にはアナログ・デバイス独自のEZSyncおよびParallelSync標準が採用されており、複数の出力および複数のチップにわたってクロックを同期することが可能です。低ノイズの外付けVCOと、極めて低い帯域内位相ノイズ、優れた出力ノイズ・フロアの組み合わせにより、卓越した積分ジッタ性能を達成できます。JESD204B/Cサブクラス1アプリケーションに向けて、LTC6952は、複数の方法でSYSREFパルスを生成できます。

リファレンス入力バッファ

PLLのリファレンス周波数は、REF⁺ピンとREF⁻ピンに差動で与えられます。これらの高インピーダンス入力は自己バイアスされており、1 μ FのコンデンサでACカップリングする必要があります(簡略回路図は図1を参照)。あるいは、入力をシングルエンドで使うこともできます。その場合、リファレンス周波数をREF⁻に与え、1 μ Fのコンデンサを使用してREF⁺をGNDにバイパスします。シングルエンド信号が2.7V_{P-P}より大きい場合は、47pFのコンデンサを使用してGNDにバイパスします。

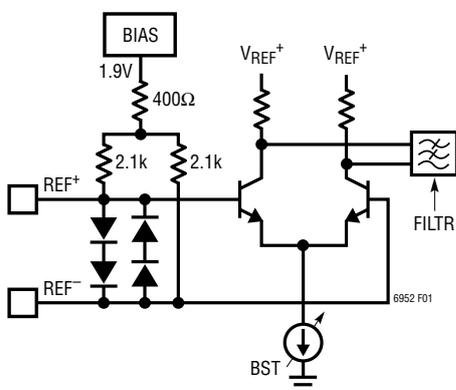


図1. REFインターフェースの簡略回路図

REF[±]入力には、高品質の信号を与える必要があります。この信号がPLL全体のリファレンス周波数となるからです。デバイスの帯域内位相ノイズ性能を達成するには、6dBm以上のサイン波信号を50 Ω に与えるか、20V/ μ s以上のスループレートを持つ0.5V_{P-P}以上の方形波を与えます。リファレンス入力信号の条件とインターフェースについて詳しくは、アプリケーション情報のセクションを参照してください。

シリアル・ポート・レジスタh02で提供される追加のオプションを利用して、アプリケーションをより細かく調整することができます。FILTRビットは、リファレンス入力バッファのローパス・フィルタを制御します。このビットをf_{REF}に基づいてサイン波信号に設定して、このリファレンスの広帯域ノイズを制限します。正規化された帯域内位相ノイズ・フロアL_{NORM}を達成するには、FILTRビットを正しく設定する必要があります。推奨設定については表1を参照してください。方形波入力の場合、FILTRは0にセットされます。

表1. FILTRのプログラミング

FILTR	サイン波 f _{REF}	方形波 f _{REF}
1	< 20MHz	N/A
0	≥ 20MHz	全て f _{REF}

BSTビットを入力信号レベルに基づいてセットし、リファレンス入力バッファが飽和するのを防ぎます。BSTのプログラミングは、入力がサイン波であるか方形波であるかに関わらず同じです。推奨設定については表2を、プログラミング例についてはアプリケーション情報のセクションを参照してください。

表2. BSTのプログラミング

BST	VREF
1	< 1.6 V _{P-P}
0	≥ 1.6 V _{P-P}

リファレンス・ピーク検出器

REF[±]入力にはリファレンス入力ピーク検出回路が設けられており、リファレンス信号が存在するかどうかを検出して、状態フラグREFOKおよび $\overline{\text{REFOK}}$ を生成します。この状態フラグは、STAT出力とシリアル・ポート・レジスタh00の両方から利用できます。REFOKは、 $\overline{\text{REFOK}}$ の論理反転です。この回路には、REFOKフラグが検出閾値でチャタリングするのを防ぐためにヒステリシスが備わっています。リファレンス・ピーク検出器は、レジスタh02のPDREFPKビットを使用してパワーダウンできます。

ピーク検出器によってRMS検出器が近似されるため、サイン波入力と方形波入力は4 π の倍数で異なる検出閾値を持ちます。REFOKの検出値については、表3を参照してください。

表3. REFOK、 $\overline{\text{REFOK}}$ 状態出力とREF入力

REFOK	$\overline{\text{REFOK}}$	サイン波 f _{REF}	方形波 f _{REF}
1	0	≥ 250mV _{P-P}	≥ 200mV _{P-P}
0	1	< 100mV _{P-P}	< 75mV _{P-P}

動作

リファレンス分周器 (R)

位相周波数検出器 (PFD) から見た周波数を下げるのに、10 ビット分周器が使用されます。その分周比 R は、1~1023 の任意の整数に設定することができます。レジスタ h06 および h07 の RD[9:0] ビットを使用して、分周比 R を直接プログラムします。R と周波数 f_{REF} 、 f_{PFD} 、 f_{VCO} 、 f_{OUTx} の関係については、アプリケーション情報のセクションを参照してください。

レジスタ h06 の PARSYNC ビットが 1 にセットされているとき、EZS_SRQ⁺ ピンの立上がりエッジを使用してリファレンス入力を R 分周器の出力 ($R \geq 2$) に同期させるモードが有効になります。本セクションで後述するように、この同期は ParallelSync モードの出力アライメントにとって極めて重要です。EZS_SRQ⁺ の立上がりエッジは、リファレンス入力の立上がりエッジに対するセットアップとホールドのタイミングを満たす必要があります。リファレンス入力、EZS_SRQ⁺、R 分周器出力の間のタイミング関係については、図 2 を参照してください。R 分周器出力のエッジ・タイミングを変更すると、PLL のフェーズ・ロックが強制的に失われますが、複数のループ時定数が経過した後に通常動作に戻ることに注意してください。このモードでの EZS_SRQ⁺ から REF へのタイミング条件については、アプリケーション情報セクションの「ParallelSync モードのリファレンス信号と EZS_SRQ タイミング」を参照してください。

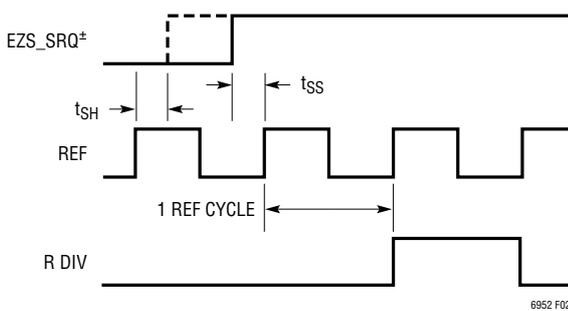


図 2. EZS_SRQ⁺ から REF へのタイミング (PARSYNC = 1)

位相周波数検出器 (PFD)

位相周波数検出器 (PFD) は、チャージ・ポンプと連携して、R 分周器と N 分周器の出力の間の位相差に比例したソース電流パルスとシンク電流パルスを発生します。この動作により、必要な帰還信号がフェーズ・ロック・ループに与えられ、PFD 入力の位相整列が強制されます。PFD は CPRST ビットによってディスエーブルできます。ディスエーブルすると、UP パルスと DOWN パルスの発生が停止します。PFD の簡略回路図については、図 3 を参照してください。

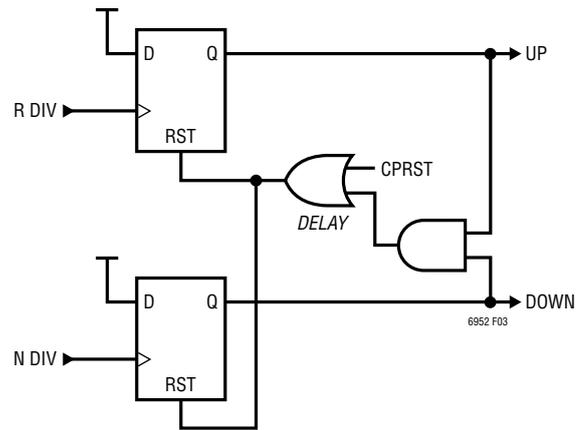


図 3. PFD の簡略回路図

ロック・インジケータ

ロック・インジケータは、PFD からの内部信号を使って、R 分周器と N 分周器の出力信号の間の位相の一致を測定します。これはシリアル・ポート・レジスタ h06 の LKCT[1:0] (表 5 を参照) をプログラムすることによりイネーブルされ、状態フラグ LOCK、 \overline{LOCK} 、および UNLOCK を生成します。これらのフラグは、STAT 出力とシリアル・ポート・レジスタ h00 の両方から利用できます。 \overline{LOCK} は、LOCK の論理反転です。

レジスタ h06 の LKWIN ビットを使って、有効な LOCK 状態の位相差ロック・ウィンドウ時間 (t_{LWW}) を設定します。様々な f_{PFD} 周波数での推奨設定を表 4 に示します。例については、アプリケーション情報のセクションを参照してください。

表 4. LKWIN のプログラミング

LKWIN	t_{LWW}	f_{PFD}
0	3ns	> 5MHz
1	10ns	≤ 5MHz

動作

COUNTSの値までカウントする間連続してPFDの位相差が t_{LWV} より小さいと、ロック・インジケータがLOCKフラグをアサートします。アプリケーションに応じてCOUNTSをセットするには、LKCT[1:0]ビットを使います。COUNTSの値を大きくすると、ロック・インジケータの動作に長い時間が必要になる代わりに、ロック・インジケータの正確性と安定性が向上します。ロック・インジケータをディスエーブルするには、LKCT[1:0] = 0にセットします。LKCT[1:0]のプログラミングについては表5を、例についてはアプリケーション情報のセクションを参照してください。

表5. LKCT[1:0]のプログラミング

LKCT[1:0]	COUNTS
0	ロック・インジケータをディスエーブル
1	32
2	256
3	2048

PFDの位相差が t_{LWV} より大きいと、ロック・インジケータは直ちにUNLOCK状態フラグをアサートし、LOCKフラグをクリアして、ロックが外れた状態であることを示します。位相差が t_{LWV} より小さくなると、UNLOCKフラグは直ちにアサート解除されます。詳細については、図4を参照してください。

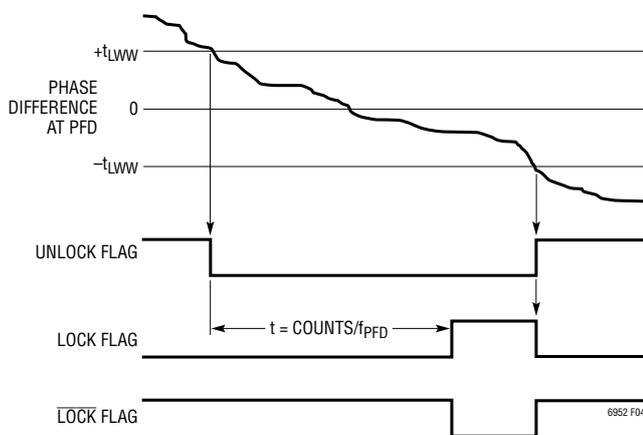


図4. UNLOCK、LOCK、 $\overline{\text{LOCK}}$ のタイミング

チャージ・ポンプ

PFDによって制御されるチャージ・ポンプが、シンク(DOWN)電流パルスまたはソース(UP)電流パルスをCPピンに強制します。このピンには、適切なループ・フィルタを接続する必要があります。チャージ・ポンプの簡略回路図については、図5を参照してください。

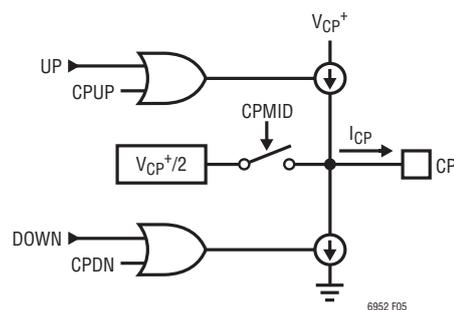


図5. チャージ・ポンプの簡略回路図

出力電流の大きさ I_{CP} は、シリアル・ポート・レジスタh0AのCP[4:0]ビットを使って、 $423\mu\text{A}$ ～ 11.2mA の範囲に設定できます。ループ・フィルタの部品のインピーダンスが小さいため、 I_{CP} を大きくすると帯域内ノイズを低く抑えることができます。プログラミングの詳細については表6を、ループ・フィルタの例についてはアプリケーション情報のセクションを参照してください。

表6. CP[4:0]のプログラミング

CP[4:0]	I_{CP}
0	$423\mu\text{A}$
1	$500\mu\text{A}$
2	$592\mu\text{A}$
3	$700\mu\text{A}$
4	$842\mu\text{A}$
5	1.00mA
6	1.18mA
7	1.40mA
8	1.68mA
9	2.00mA
10	2.36mA
11	2.81mA
12	3.37mA
13	4.00mA
14	4.72mA
15	5.61mA
16	6.73mA
17	8.02mA
18	9.43mA
19	11.20mA
20 to 31	Invalid

動作

チャージ・ポンプの機能

チャージ・ポンプには、システムの起動を助ける追加機能が備わっています。概要については、表7を参照してください。

表7. チャージ・ポンプ機能ビットの説明

ビット	説明
CPDN	シンク電流を強制します。
CPINV	PFDD位相を反転します。
CPMID	中電圧バイアスをイネーブルします。
CPRST	PFDD、Hi-Z時のCPをリセットします。
CPUP	ソース電流を強制します。
CPWIDE	電流パルス幅を拡張します。

レジスタh0BのCPMIDビットは、抵抗性の $V_{CP}/2$ の出力バイアスをイネーブルします。このバイアスを使って、問題となるループ・フィルタを有効な電圧範囲にプリバイアスすることができます。CPMIDを使うときは、CPRSTビットもアサートして、チャージ・ポンプをHi-Z状態にするPFDDのリセットを強制実行することを推奨します。通常動作では、CPMIDとCPRSTの両方に0をセットする必要があります。

CPUPビットとCPDNビットはそれぞれ、一定の I_{CP} のソース電流とシンク電流をCPピンに強制します。CPRSTビットは、CPUPビットおよびCPDNビットと組み合わせて使うことができ、必要なら、ループのプリチャージを既知の状態にすることができます。ループがロックできるようにするには、CPUP、CPDN、およびCPRSTに0をセットする必要があります。

CPWIDEビットは、PFDDリセットパスの遅延の値を大きくすることにより、チャージ・ポンプ出力電流パルスの幅を広げます。CPWIDEは通常0にセットされます。CPWIDE = 0にセットすると、最高の帯域内位相ノイズ性能が得られます。

PFDDからの信号を反転させる必要があるアプリケーション（負勾配の同調発振器を使用したループや、正勾配の同調発振器と組み合わせた反転オペアンプを使用した複雑な外部ループなど）では、レジスタh0BのCPINVビットをセットする必要があります。受動ループ・フィルタを正勾配のVCOと組み合わせて使用する場合は、反転させないことが必要なので、CPINV = 0にセットします。

リファレンス整列出力 (RAO) モード

RAOモードを有効にするには、レジスタh06のRAOビットに1をセットします。これにより、出力立上がりエッジが常に受信リファレンス信号の厳密な整数倍のVCOクロック・サイクルで発生するように、内部遅延が調整されます。このモードはクローズドループPLLアプリケーション (PDPLL = 0) のみで使用され、出力と受信リファレンス信号間の遅延を既知にする必要がある場合に役立ちます。また、ParallelSyncア

プリケーションで並列に接続されたLTC6952間のスキューを最小限に抑えるためにも使用されます (ParallelSyncのセクションを参照)。RAOモードを使用することのトレードオフは、PLLの帯域内ノイズ性能がわずかに低下することです (1.0dB未滿)。

VCO入力バッファ

LTC6952のVCO入力バッファは、差動とシングルエンド両方の周波数源に対してフレキシブルなインターフェースを提供します。これらの入力は自己バイアスされており、外付けのVCO/VCXO/VCSOを使用するアプリケーションではACカップリングすることを推奨します。ただし、VCO入力は、LVPECL、CML、もしくはこの入力の仕様規定されたコモンモード電圧範囲内のその他のドライバ・タイプによってDCカップリングで駆動することも可能です。コモンVCO入力インターフェースの構成については、アプリケーション情報のセクションを参照してください。このとき、LTC6952のVCO入力バッファは、図6に示すように250Ωの内部差動抵抗を備えていることに注意してください。

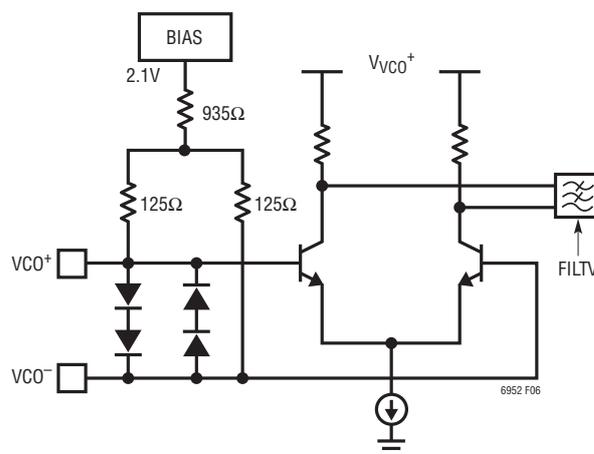


図6. VCOインターフェースの簡略回路図

VCOバッファの最大入力周波数は4.5GHz、最大振幅は1.6V_{p-p}です。また、VCO[±]入力信号が低ノイズで、少なくとも100V/μsのスルー・レートを持つことも重要です。スルー・レートが高いほど、性能は向上します。VCO入力のスルー・レートが2V/ns未滿のアプリケーションでは、VCO入力バッファに内蔵されたブロードバンド・ノイズ・フィルタリング回路をイネーブルすることで、位相ノイズ性能が向上します。これは、シリアル・ポート・レジスタh02の構成ビットFILTVをアサートすることによって実現できます。VCO入力のスルー・レートが2V/nsより高いときにFILTVに1をセットすると、PLLの全体的な位相ノイズ性能が低下するので注意してください。FILTVの推奨設定については、表8を参照してください。

動作

表 8. FILTV のプログラミング

FILTV	VCO 入力のスルー・レート
1	< 2V/ns
0	≥ 2V/ns

VCO ピーク検出器

VCO[±]入力には VCO 入力ピーク検出回路が設けられており、VCO 信号が存在するかどうかを検出して、状態フラグ VCOOK および $\overline{\text{VCOOK}}$ を生成します。この状態フラグは、STAT 出力とシリアル・ポート・レジスタ h00 の両方から利用できます。 $\overline{\text{VCOOK}}$ は、VCOOK の論理反転です。この回路には、VCOOK フラグが検出閾値でチャタリングするのを防ぐためにヒステリシスが備わっています。リファレンス・ピーク検出器は、レジスタ h02 の PDVCOPK ビットを使用してパワーダウンできます。

ピーク検出器によって RMS 検出器が近似されるため、サイン波入力と方形波入力は $4/\pi$ の倍数で異なる検出閾値を持ちます。VCOOK の検出値については、表 9 を参照してください。

表 9. VCOOK、 $\overline{\text{VCOOK}}$ 状態出力と VCO 入力

VCOOK	$\overline{\text{VCOOK}}$	サイン波 f_{VCO}	方形波 f_{VCO}
1	0	≥ 350mV _{p-p}	≥ 275mV _{p-p}
0	1	< 100mV _{p-p}	< 75mV _{p-p}

VCO 分周器 (N)

16 ビットの N 分周器は、外付け VCO から PFD への帰還を与えます。分周比は、レジスタ h08 および h09 の ND[15:0] ビットを使って 1~65535 に直接設定できます。N と周波数 f_{REF} 、 f_{PFD} 、 f_{VCO} の関係については、アプリケーション情報のセクションを参照してください。

出力分周器 (M0~M10)

11 個のまったく同一の、独立した出力分周器が、VCO 入力バッファによって直接駆動されます。分周器は、受信した VCO 周波数 f_{VCO} を分周値 M_x で分周し、周波数 f_{OUTx} で 50% デューティ・サイクルの出力信号を生成します。 M_x の値は、MPx[4:0] ビットと MDx[2:0] ビットを用いて、次式で設定されます。

$$M_x = (\text{MP}_x + 1) \cdot 2^{\text{MD}_x} \quad (1)$$

正常に動作させるには、 M_x が 32 以下の場合、MDx に 0 をセットする必要があります。

対応する PDx[1:0] ビットを調整することで、任意の分周器をミュートまたはパワーダウンして、電流を節約することができます。PDx[1:0] ビットの説明を表 10 に示します。

表 10. PDx[1:0] のプログラミング

PDx[1:0]	説明
0	通常動作
1	出力をミュート (OINVx=0 の場合 OUTx=0、OINVx=1 の場合 OUTx=1)、内部分周器の実行および同期は継続
2	出力をパワーダウン (+出力と-出力の両方が V_{OUT^+} になる)、内部分周器の実行および同期は継続
3	分周器と出力をパワーダウン (+出力と-出力の両方が V_{OUT^+} になる)、内部分周器は停止するため、通常動作に戻るには再同期が必要

デジタル出力遅延 (DDEL0~DDEL10)

各出力分周器は、同期イベントの後に、VCO 周期の 1/2 の整数倍単位で出力の開始時間を遅延させることができます。デジタル遅延値は DDELx[11:0] ビットにプログラムされ、0~4095 の任意の値に設定できます。デジタル遅延がイネーブルされるのは、同期ビット SRQENx が 1 にセットされている場合のみです。出力デジタル遅延に行った変更は、同期後まで反映されません。デジタル遅延は、クロックのジッタ性能を一切低下させることなく使用できます。同期については、動作のセクションを参照してください。デジタル遅延設定の使用について詳しくは、アプリケーション情報のセクションを参照してください。

アナログ出力遅延 (ADEL0~ADEL10)

各出力がアナログ遅延機能を備えており、ADELx[5:0] ビットで制御される小刻みのステップで、出力遅延時間 (t_{ADELx}) をより細かく調整できます。出力周波数が 300MHz 未満の場合、絶対遅延時間は 0~1.1ns の範囲になります。300MHz を超えると、遅延時間は出力周波数依存になり、ADELx の有効な利用範囲は表 11 に従って低下します。

表 11. 最大 ADELx と出力周波数範囲

f_{OUT} の範囲	最大 ADELx
$f_{\text{OUTx}} \leq 750\text{MHz}$	63
$750\text{MHz} < f_{\text{OUTx}} \leq 1\text{GHz}$	31
$1\text{GHz} < f_{\text{OUTx}} \leq 1.5\text{GHz}$	16
$1.5\text{GHz} < f_{\text{OUTx}} \leq 1.75\text{GHz}$	12
$1.75\text{GHz} < f_{\text{OUTx}} \leq 2.25\text{GHz}$	8
$f_{\text{OUTx}} > 2.25\text{GHz}$	0

動作

図7は、概算アナログ遅延時間(t_{ADELx})とADELxおよび出力周波数の関係を示しています。Y軸は対数スケールで、ADEL = 0のときのアナログ遅延は0であることを注意してください。アナログ遅延の見積もりを計算する方法について詳しくは、アプリケーション情報セクションを参照してください。

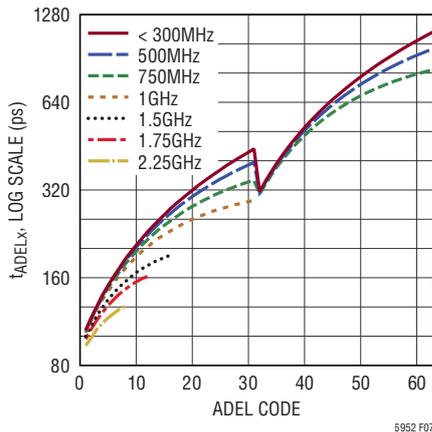


図7. アナログ遅延と ADEL コードおよび出力周波数

アナログ遅延はジッタ性能が低下させるため、デバイス・クロックにアナログ遅延を使用する際は注意してください。可能な限り、性能に悪影響を及ぼすことのないデジタル遅延を使用してください。アナログ遅延を VCO 入力 of the 周期の半分より大きくする必要は決してありません。

アナログ遅延は SRQENx ビットの値に関わらず常にイネーブルされ、ADELx レジスタに書き込むと直ちに有効になります。しかし、ADEL の変更により、特に、ADEL=0 と ADEL ≠ 0 を切り替えた場合、一時的に出力にグリッチが生じることがあります。アナログ遅延設定の使用方法について詳しくは、アプリケーション情報のセクションを参照してください。LTC6952 Wizard を使用することで、ADEL の計算と視覚化が可能です。

CML 出力バッファ (OUT0~OUT10)

全ての出力は、非常に低ノイズで低スキューの 2.5V CML バッファです。各出力は AC カップリングまたは DC カップリングが可能であり、100Ω で差動終端できます。シングルエンド出力が必要な場合は、CML 出力の各側を個別に AC カップリングして 50Ω で終端できます。OINVx ビットは、各出力の検出を選択的に反転させ、長さの一致するパターンを交差させる必要をなくし、基板配線を容易にします。また、OINVx は、表 10 に示すように、ミュート状態 (PDx = 1) の出力のステートを決定します。回路の詳細については、図 8 を参照してください。

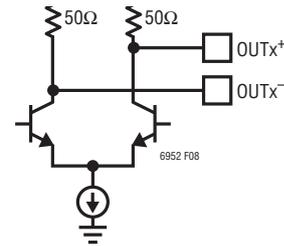


図8. CML インターフェースの簡略回路図 (全 OUTx)

出力の同期と SYSREF の生成

LTC6952 には、複数の方法で全ての出力を既知の位相整列に同期できる回路が用意されており、EZSync および ParallelSync マルチチップ・クロック・エッジ同期プロトコルを使用する様々なアプリケーションに対応できます。同期は、同じチップ上の出力の任意の組み合わせ間 (EZSync スタンドアロン)、カスケード式のフォロワー・チップ間 (EZSync マルチチップ)、同じリファレンス・ドメイン上の複数の並列チップ間 (ParallelSync) で行うことができます。出力が正しい周波数に同期された後、LTC6952 は JESD204B/C サブクラス 1 の仕様に規定されている自走、ゲーテッド、または有限パルスの SYSREF 信号を生成することができます。

EZS_SRQ 入力バッファ

同期と SYSREF 要求の両方を、ソフトウェア信号 (レジスタ h0B のビット SSRQ) または EZS_SRQ[±] ピンの電圧信号のいずれかによって実現できます。これらのピンの電圧は、電気的特性の仕様範囲内の任意の差動信号です。あるいは、EZS_SRQ⁻ を GND に接続して、EZS_SRQ⁺ に CMOS 信号を供給することもできます。EZS_SRQ 入力の簡略回路図を図 9 に示します。SSRQ ビットを使用するとき、EZS_SRQ[±] ピンのステータはロジック 0 にする必要があります。これは、EZS_SRQ[±] の両ピンを GND に設定することで簡単に実現できます。同様に、EZS_SRQ[±] ピンを使用するとき、SSRQ ビットに 0 をセットする必要があります。表 12 は、EZS_SRQ[±] ピンと SSRQ ビットの使用と、SRQMD と PARSYNC ビットの使用を示しています。PARSYNC が 1 のとき、REF 入力へのセットアップ時間およびホールド時間条件により、SSRQ ビットの制御はデイスエーブルされます。

同期は必ず SYSREF 要求の前に実行しなければならないことに注意してください。同期を再実行するのは、分周器設定が変更されたとき、もしくは分周器がパワーダウンされたときのみです。

動作

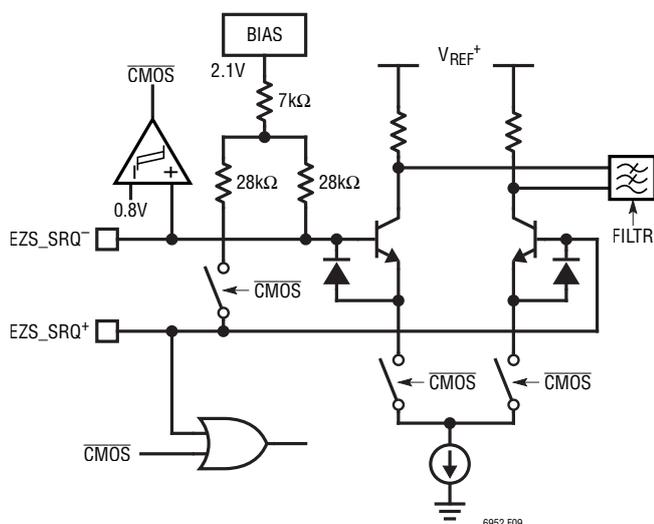


図9. EZS_SRQ インターフェースの簡略回路図

表 12. EZS_SRQ[±]ピンと SSRQ ビットの目的

SRQMD	EZS_SRQ ピン		SSRQ ビット	
	PARSYNC=0	PARSYNC=1	PARSYNC=0	PARSYNC=1
0	同期要求 (SYNC)	同期要求 (SYNC)	同期要求 (SYNC)	ディスエーブル
1	SYSREF 要求 (SYSREQ)	SYSREF 要求 (SYSREQ)	SYSREF 要求 (SYSREQ)	ディスエーブル

同期の概要

同期の目標は、1つまたは複数の LTC6952 (もしくはアナログ・デバイセズのその他の EZSync または ParallelSync クロック・デバイス) 上の全ての出力分周器を既知の位相関係に合わせることです。最初の起動時、パワーオン・リセット (POR) の後、もしくは出力分周値が変更になったとき、出力は同期されていません。出力デジタル遅延 (DDEL_x) に行った変更は、同期が行われるまでは反映されません。同期をしなくても各出力の周波数は正確ですが、同期イベントが発生するまでは、位相間の関係は不明です。

LTC6952 で同期をイネーブルするには、レジスタ h0B の SRQMD ビットに 0 をセットします。同期は、EZS_SRQ 入力が高レベル状態で駆動されるか、SSRQ ビットに 1 を書き込む (PARSYNC = 0 の場合に限る) のいずれかによって開始さ

れます。ある出力の SRQEN_x ビットが 1 にセットされると、その出力分周器は実行を停止し、100μs より長い内部タイミング遅延の後、ロジック「0」ステートに戻ります。EZS_SRQ 入力ステートまたは SSRQ ビットは、最低 1ms の間ハイに保持される必要があります。

更に、図 2 に示すように、またリファレンス分周器 (R) のセクションで説明したように、PARSYNC ビットが 1 にセットされているときに EZS_SRQ 入力をハイにすると、R ≥ 2 の R 分周器がリセットされます。これによって、並列に接続された複数の LTC6952 の内部 PFD リファレンス入力が同期されます。

EZS_SRQ 入力がローに戻ると、もしくは SSRQ ビットに 0 が書き込まれると (PARSYNC = 0 の場合に限る)、同期された内部分周器が初期遅延の後に起動します。この初期遅延は、PDPLL ビットと PARSYNC ビットの設定に応じて、表 13 と表 14 に示すように決まります。DDEL_x ≠ 0 の出力は、更に DDEL_x/2 VCO サイクル分遅延します。各出力の動作は、その出力に対応する SRQEN_x ビットと MODE_x ビットによって個別に定義されます。これについても、表 13 と表 14 に示されています。同じ DDEL_x 遅延設定を持つ全ての分周器で、電気的特性の表に示すスキュー時間内に出力立上がりエッジが発生します。各遅延の範囲は 0 ~ 4095 VCO のハーフ・サイクルであり、各分周器の分周比設定とは独立しています。同期プログラミングの例については、アプリケーション情報のセクションを参照してください。更に、LTC6952 Wizard を使用することで、これらのタイミング関係を視覚化することができます。

SYSREF 生成の概要

JESD204B/C サブクラス 1 仕様は、1つのロジック・デバイス (FPGA) によって、複数のデータ・コンバータ・デバイス (A/D コンバータ (ADC) または D/A コンバータ (DAC)) のタイミングを調整し、シリアル・リンク全体で再現可能かつプログラマブルな遅延を提供する手法を規定しています。SYSREF と呼ばれるパルス (またはパルス・トレイン) によって、システム内の全てのデバイス上のローカル・マルチフレーム・クロック (LMFC) と内部クロック分周器が同期されます。SYSREF 信号が ADC、DAC、および FPGA のクロックに同期された状態を維持し、デバイスで仕様規定されているセットアップとホールドのタイミングを満たすよう注意する必要があります。

動作

表 13. PLL がイネーブルされているとき (PDPLL = 0) の同期 (SRQMD = 0) 出力動作とデバイス設定

SRQENx	PARSYNC	MODEx	内部分周器が他の分周器に同期	内部分周器がRDIVに同期	内部分周器が SYNC 信号の立下がりエッジから遅延を開始 (DDELx = 0)	出力動作	
0	N/A	0	No	No	N/A	自走	
		1、2、または 3				ミュート	
1	0	0	Yes	Yes	$\sim 45\mu\text{s} + R/f_{\text{REF}} + 8/f_{\text{VCO}}$	SYNC High でミュート、 SYNC Low で実行	
		1 または 3				ミュート	
		2				SYNC 信号パススルー	
	1	1	0	Yes	Yes	$(x + R)/f_{\text{REF}} + 8/f_{\text{VCO}}^*$	SYNC High でミュート、 SYNC Low で実行
			1 または 3				ミュート
			2				SYNC 信号パススルー

*遅延は、SYNC パルスの長さによって変わる。具体的には、 $x = \text{floor}(t_{\text{SYNC}} \times f_{\text{REF}} - 1) \bmod R$ 。x の値に関わらず、全ての出力は正しく同期される。

表 14. PLL がディスエーブルされているとき (PDPLL = 1) の同期 (SRQMD = 0) 出力動作とデバイス設定

SRQENx	PARSYNC	MODEx	内部分周器が他の分周器に同期	内部分周器がRDIVに同期	内部分周器が SYNC 信号の立下がりエッジから遅延を開始 (DDELx = 0)	出力動作	
0	N/A	0	No	No	N/A	自走	
		1、2、または 3				ミュート	
1	0	0	Yes	No	$\sim 45\mu\text{s} + 7/f_{\text{VCO}}$	SYNC High でミュート、 SYNC Low で実行	
		1 または 3				ミュート	
		2				SYNC 信号パススルー	
	1	1	0	Yes	No	$7/f_{\text{VCO}}$	SYNC High でミュート、 SYNC Low で実行
			1 または 3				ミュート
			2				SYNC 信号パススルー

LTC6952は、JESD204B/Cの仕様に規定されている3つの異なるSYSREF生成手法をサポートしています。

- 自走
- SYSREF要求信号によるゲーテッド・オン／オフ
- SYSREF要求信号の立下がりエッジ後に1個、2個、4個、または8個のSYSREFパルス

これらのモードは、各出力の個別にプログラマブルなMODExビットによって定義されます。SYSREFパルスを生成するには、表12に示すように、SRQMDビットに1をセットします。また、MPxは0より大きくなければなりません。SYSREF要求(SYSREQ)は、SSRQビットに1をセットするか、EZS_SRQ[†]ピンにより(PARSYNC = 1でない限り)、適用されます。表15は、SYSREF生成モードにおける出力動作を説明しています。SYSCT[1:0]ビットはレジスタh0Bにあります。

「同期の概要」で述べた通り、同期は、必ずSYSREFの生成より前に行う必要があります。

動作

表 15. SYSREF 生成モードにおける出力動作 (SRQMD = 1)

SRQENx	MODEx	出力動作
0	0	自走、SYSREQ を無視
	1、2、または 3	ミュート、SYSREQ を無視
1	0	自走、SYSREQ を無視
	1	ゲーテッド・パルス: SYSREQ がハイのとき実行、ローのときミュート
	2	SYSREQ パススルー
	3	SYSREQ がハイになった後、 2^{SYSC1} 個のパルスを出力

マルチチップの同期と SYSREF の生成

EZSync スタンドアロン構成 (図 10) の 1 つの LTC6952 を使用して、最大 11 個のクロック信号または SYSREF を生成および同期できます。11 個より多くのクロック出力を必要とするアプリケーション向けに、LTC6952 では EZSync マルチチップと ParallelSync という 2 つの方法で、マルチチップ同期および

SYSREF 生成をサポートしています。同期構成は EZMD ビットおよび PARSYNC ビットによって決まります。必要な設定を表 16 に示します。表 17 ではこれらの手法の重要な特性とその変数を紹介し、後続の段落で詳しく説明します。この表は 2 段アプリケーションのみについて記載していることに注意してください。多くの段を使用する場合、より多くの出力が可能になります。

表 16. 異なる同期トポロジに対する EZMD と PARSYNC の設定

制御ビット	EZSync スタンドアロン (図 10 参照)	EZSync マルチチップ (図 11 と図 12 参照)		ParallelSync マルチチップ (図 13 と図 14 参照)
		CONTROLLER	FOLLOWER	
PARSYNC	0	0	0	1
EZMD	0	0	1	0

表 17. EZSync と ParallelSync のパラメーターと制限 (2 段のみ)

	EZSync スタンドアロン (図 10 参照)	EZSync マルチチップ				ParallelSync マルチチップ	
		ピン制御の要求 (図 11 参照)		要求パススルー (図 12 参照)		一般的リファレンス分配 (図 13 参照)	LTC6952 リファレンス分配 (図 14 参照)
		CONTROLLER	FOLLOWER	CONTROLLER	FOLLOWER		
RMS ジッタ ^a	~75fs	~75fs	~105fs	~75fs	~105fs	~75fs	~75fs
利用可能なフォロワ数 (Nfol)	-	1 to 11		1 to 5		-	-
利用可能な並列デバイス数 (Npar)	-	-		-		無限 ^b	1 to 5
出力合計数	11	11 · Nfol	11 · Nfol	11 – 2Nfol	11 · Nfol	11 · Npar	11 · Npar
出力最大数	11	121		56		無限 ^b	55
最大スキュー	t_{SKEW}	$\sim t_{SKEW} + t_{pd}^c$		$\sim t_{SKEW} + t_{pd}^c$		$\sim t_{SKEW}^d$	$\sim t_{SKEW}^d$
SYNC のタイミング	簡単	簡単		簡単		中程度	簡単
SYSREF 要求のタイミング	簡単	中程度		簡単		中程度	簡単
外付け VCO の数	1	1		1		Npar	Npar
ソフトウェア SYNC/SYSREF 要求?	Yes	No		Yes		No	Yes

^a ADC SNR 相当の統合 PLL/VCO RMS ジッタ寄与が 27fs で、分配のみのデバイスの付加ジッタが 70fs と想定。

^b 唯一の制限は、リファレンスを正確に分配できる能力。

^c CONTROLLER と FOLLOWER の出力間の最も厳しいスキューを想定。FOLLOWER の伝搬遅延と、CONTROLLER と FOLLOWER 間の配線スキューに依存する。

^d リファレンス分配デバイスのスキュー、リファレンス配線、および個々のデバイス間のスキューに依存する。

動作

EZSync マルチチップ

EZSync マルチチップを使用するときは、図11に示すように、互換デバイスを互いにカスケード接続し、CONTROLLER デバイスのクロック出力で、1個～11個のFOLLOWER デバイスのVCO入力を制御します。EZSync プロトコルにより、SYNC 信号上の緩やかなタイミング制約によって、全てのデバイスを簡単に同期できます。JESD204B/C アプリケーションで使用する場合、全てのFOLLOWER がSYSREF 信号を同時に開始および停止させるため、SYSREF 要求を自走式のSYSREF 出力のタイミングに合うように調整しなければいけない可能性があります。FOLLOWER デバイスとしては、LTC6953 を使用することを推奨します。ただし、必要

な場合、LTC6952 のPLL をディスエーブルすることによって (PDPLL=1)、LTC6952 を FOLLOWER として使用できます。

SYNC および/またはSYSREF 要求の両方をCONTROLLER のSSRQ ビットへのシンプルなソフトウェア書込み処理に単純化するには、デバイスを図12に示すように接続し、追加のCONTROLLER 出力で各FOLLOWER のEZS_SRQ ピン (LTC6952 またはLTC6953 FOLLOWER のみで提供) を駆動します。この要求パスルー構成では、使用可能なFOLLOWER の数が少なくなる代わりに(最大5個)、システムの複雑度が緩和されます。CONTROLLER のパスルー出力のMPxは0より大きくする必要があることに注意してください。

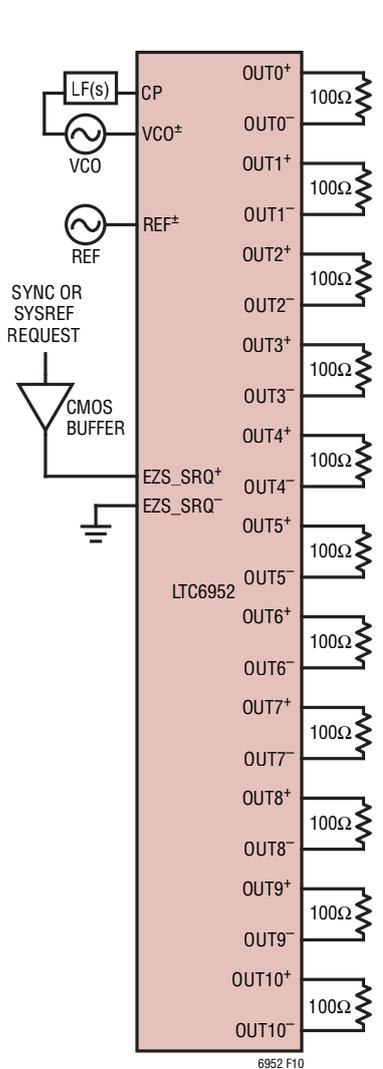


図10. EZSync スタンドアロン

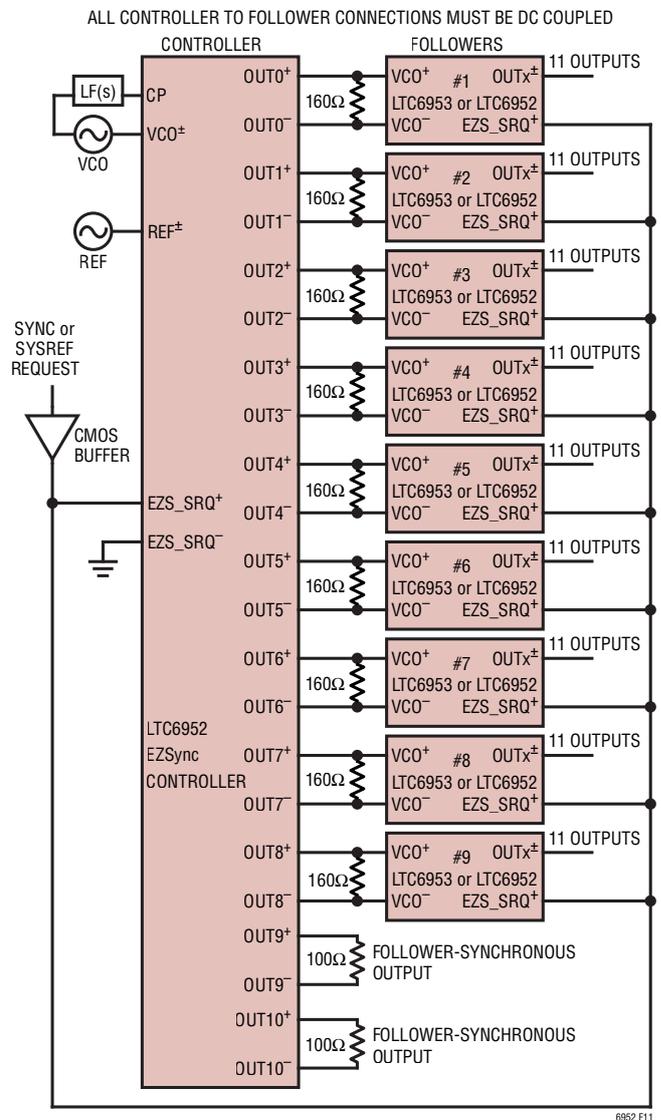


図11. EZSync マルチチップ同期 (9個のフォロワを图示、最大で11個可能)

動作

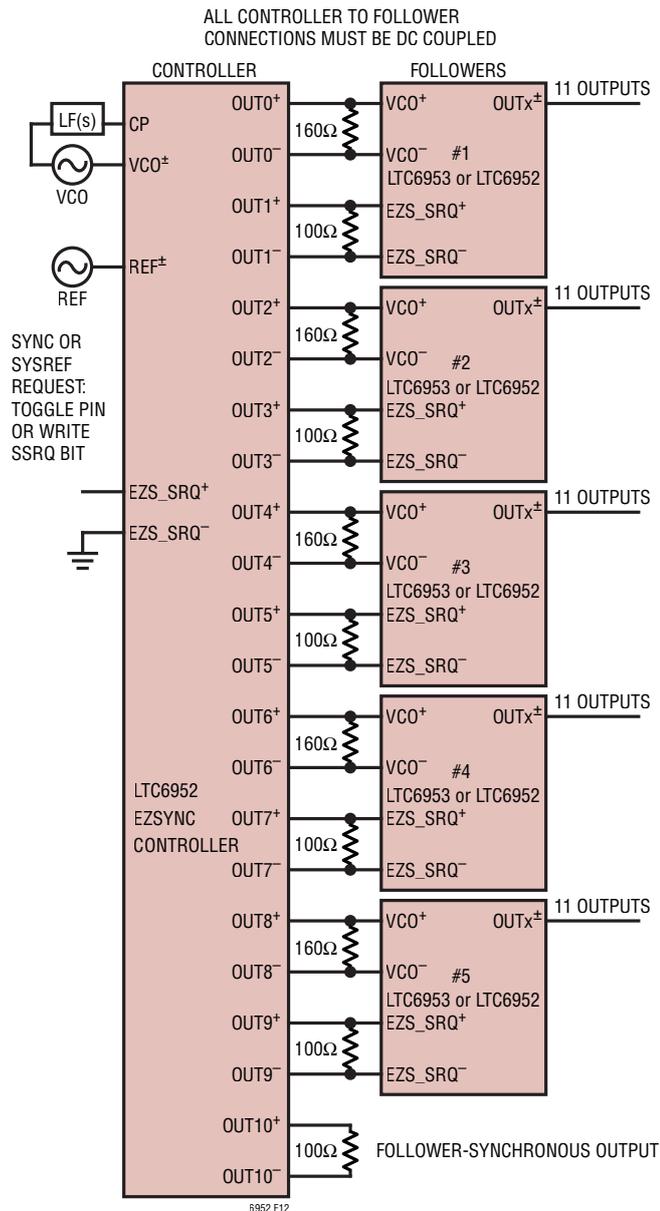


図 12. EZSync マルチチップ同期、要求パススルー

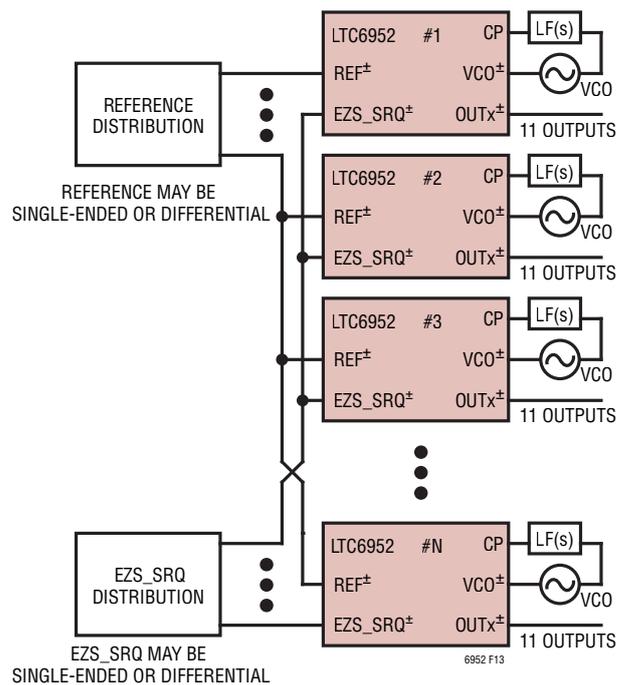


図 13. ParallelSync マルチチップ同期

EZSync同期では、いかなる場合においても、FOLLOWER出力または任意のフォロワ同期CONTROLLER出力がクロッキングを開始する前に、CONTROLLERが各FOLLOWERに7個のプレパルスを出力するようにプログラムする必要があります。更に、CONTROLLERでEZMDビットが0にセットされ、FOLLOWERではEZMDとPDPLLの両方が1にセットされている必要があります。プログラミングの例については、アプリケーション情報のセクションを参照してください。また、LTC6952Wizardでプログラミングのガイダンスが得られます。

ParallelSync

ParallelSyncアプリケーションでは、図13に示すように、複数のParallelSync互換デバイスを並列に接続し、分配REF信号を共有します。並列接続の利点は、クロック信号が2つ以上のカスケード接続デバイスを伝搬することがないため、ジッタ性能が向上することです。しかし、同期を実現するには、接続された全てのデバイスのSYNC/SRQの立下りエッジが同じREFサイクル内になければならないため、SYNCおよびSYSREF要求(SRQ)信号のタイミングをより厳密に制御することが必要になります。このモードでのEZS_SRQからREFへのタイミング条件については、アプリケーション情報セクションの「PARSYNCモードのリファレンス信号とEZS_SRQタイミング」を参照してください。

動作

ParallelSyncのSYNC/SRQタイミングは、図14に示すように、リファレンスとしてのLTC6953(またはリファレンス・クリーンアップ・ループとして構成されたLTC6952)と、EZS_SRQ分配ブロックを使用することによって、1つのソフトウェア・ビット書込みに単純化できます。このアプリケーションでは、リファレンス分配デバイスのEZS_SRQ出力が、対応するリファレンス・クロック出力の立下がりエッジで遷移するよう設定します。そのためには、最初に表18に示す設定を用いてリファレンス分配デバイスを同期します。ここで、DDEL_{REF}は任意の有効なDDEL値で構いません。

SYNCまたはSYSREF要求を並列デバイスに送信する直前に、リファレンス分配デバイスのSRQMDビットに1をセットします。これにより、パススルー要求はリファレンス・クロックに自動的にタイミングを合わせます。要求が完了した後、SRQMDビットを0に戻し、リファレンス分配デバイスからの電源電流を抑えます。プログラミングの例については、アプリケーション情報のセクションを参照してください。

表 18. ParallelSyncのリファレンス分配の分周器とDDEL設定

REF CLK 分周値	REF CLK DDEL	EZS_SRQ 分周値	EZS_SRQ DDEL
1	DDEL _{REF}	2	DDEL _{REF} +1
2	DDEL _{REF}	2	DDEL _{REF} +2
3	DDEL _{REF}	3	DDEL _{REF} +3
4	DDEL _{REF}	4	DDEL _{REF} +4
REF分周値 >4	DDEL _{REF}	=REF分周値	DDEL _{REF}

ParallelSyncアプリケーションにおけるデバイス間のスキューは、レジスタh06のRAOビットに1をセットすることによって最小限に抑えられます。RAOは「Reference Aligned Output (リファレンス整列出力)」の略であり、出力立上がりエッジが常に受信リファレンス信号の厳密な整数倍のVCOクロック・サイクルで発生するように、内部遅延を調整します。RAOモードを使用することのトレードオフは、PLLの帯域内ノイズ性能がわずかに低下することです(1.0dB未満)。

所定のアプリケーションに対して最適な構成を決定するには、図15のフローチャートを利用できます。このフローチャートは、表17のパラメーターを使用して、最適な構成へガイドします。

マルチチップ同期では、システム条件に応じて、多くの単純化や追加が可能です。例えば、上述のアプリケーションでは、2段までしか想定していませんでしたが、段を追加して出力数を増やすこともできます。しかし、それらのアプリケーションはこのデータシートの対象範囲を超えています。弊社にお問い合わせください。

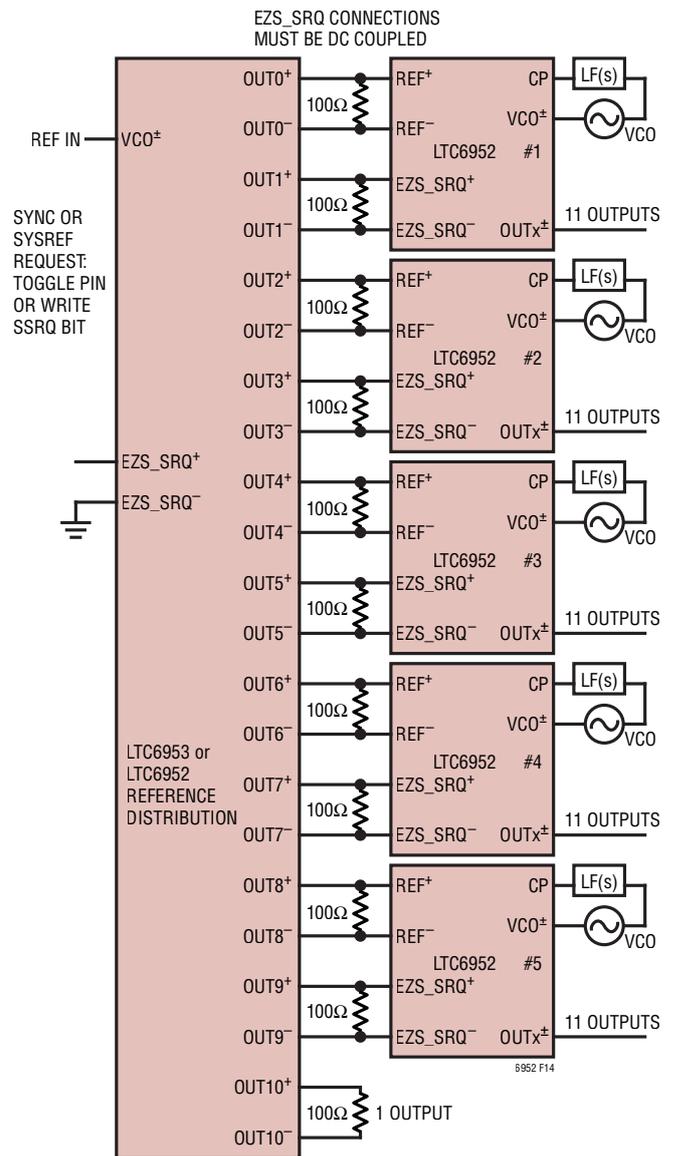


図 14. ParallelSync マルチチップ同期、LTC6953またはLTC6952でリファレンス分配

動作

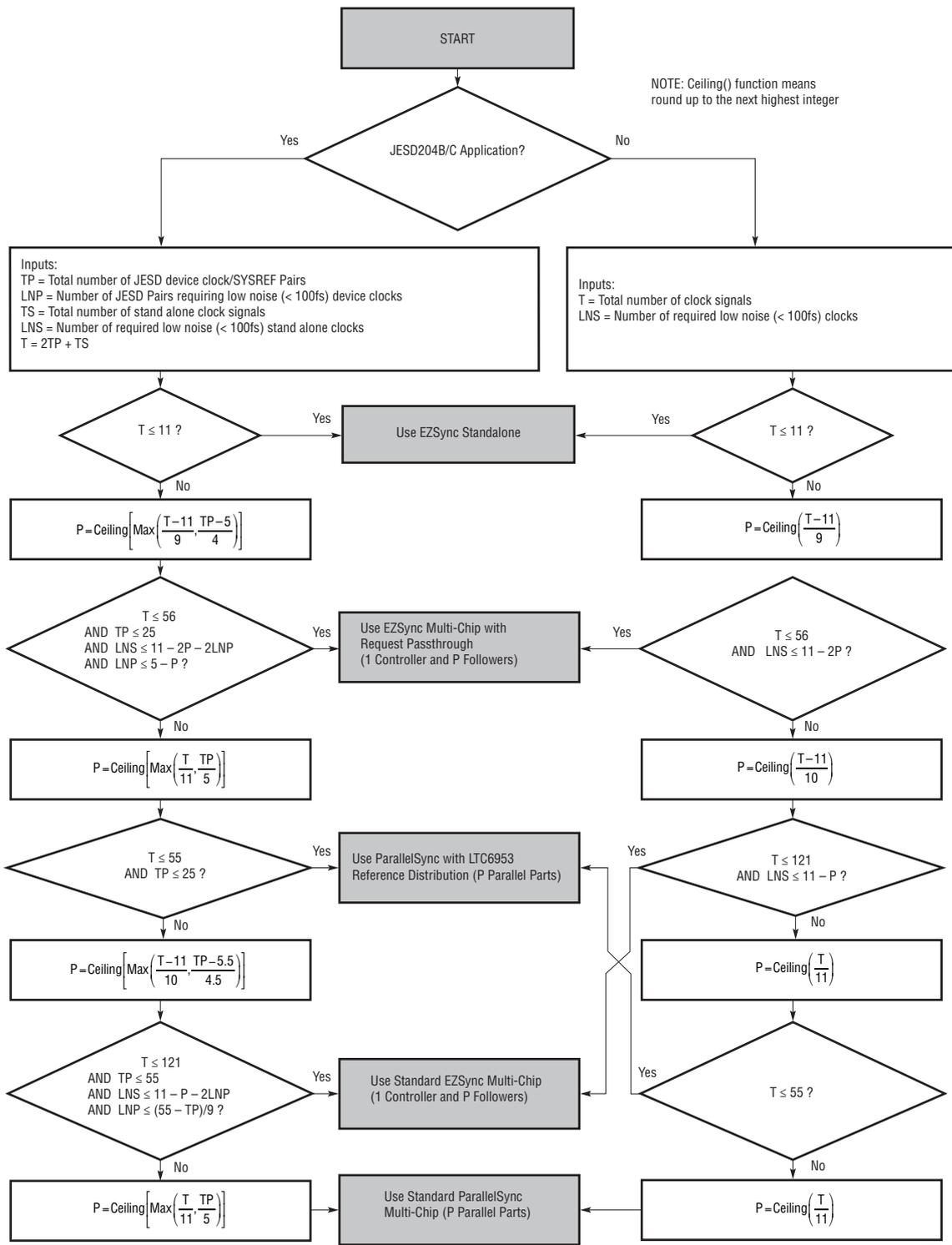


図 15. 所定のアプリケーションに最適な同期プロトコルを決定するためのフローチャート

動作

SYSREF生成モードにおける節電

ほとんどのアプリケーションにおいて、SYSREF要求はめったに発生しません。LTC6952は、SYSREF出力とクロック出力との正確なタイミング関係を維持しながら、回路をできる限りシャットダウンするモードを提供しています。PDxビットに2を書き込むことで、個々の出力を低消費電力モードにし、内部分周器は実行したままにすることができます。ここで、xは対象の出力を示します。更に、LTC6952をSYSREF生成モード(SRQMD=1)にすると、SRQMD=0のときより電流がかなり多くなります。そのため、SYSREF要求が必要になるまで、SRQMDビットを0にセットしたままにします。SYSREF信号が必要になったら、SRQMDに1をセットし、PDxビットを0に戻し、少なくとも50μs待ってからSYSREF要求を発行します。完了したら、SYSREF出力を低消費電力モード(PDx=2)に戻し、SRQMD=0をセットします。

シリアル・ポート

SPI互換のシリアル・ポートは、制御およびモニタ機能を備えています。これに加えて、構成設定可能な状態出力STATは瞬時モニタ機能を備えています。

通信シーケンス

シリアル・バスは、 \overline{CS} 、SCLK、SDI、SDOで構成されています。デバイスへのデータ転送は、シリアル・バスのマスタ・デバイスが最初に \overline{CS} をローにしてLTC6952のポートをイネーブルすることにより行われます。SDIに与えられた入力データはSCLKの立上がりエッジでクロックされます。データは常にMSBファーストで転送されます。通信バーストは、シリアル・バスのマスタが \overline{CS} をハイに戻すと終了します。詳細については、図16を参照してください。

データは、通信バーストの間にSDOを使ってデバイスから読み出されます。 \overline{CS} がハイのとき、またはデバイスからデータが読み出されていないとき、SDOはスリーステート(Hi-Z)になるので、読出しをマルチドロップにできる(シリアル・バスに複数のLTC6952を並列に接続できる)可能性があります。LTC6952をマルチドロップ構成で使用しない場合、またはシリアル・ポートのマスタが読出しシーケンスと読出しシーケンスの間SDOラインのレベルを設定することができない場合、SDOとGNDの間に200kより大きな値の抵抗を接続して、Hi-Z状態の間にラインが確実に既知のレベルに戻るようすることを推奨します。詳細については、図17を参照してください。

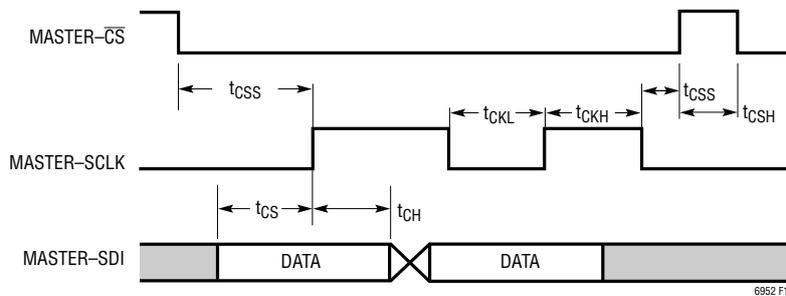


図16. シリアル・ポート書込みのタイミング図

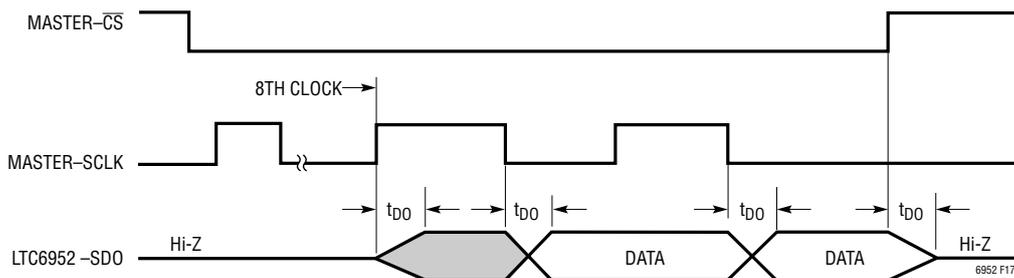


図17. シリアル・ポート読出しのタイミング図

動作

1バイトの転送

シリアル・ポートは簡単なメモリ・マップとして構成されており、56個のバイト幅のレジスタにより、状態と制御のデータを利用できます。全てのデータ・バーストは少なくとも2バイトで構成されます。最初のバイトの最上位7ビットはレジスタのアドレスです。LSBが1であればデバイスからの読出しを示し、LSBが0であればデバイスへの書込みを示します。それに続く1バイト、または複数バイトは、指定されたアドレスからのデータ、または指定されたアドレスへのデータです。詳細な書込みシーケンスの例については図18を、読出しシーケンスについては図19を参照してください。

図20は、2つの書込み通信バーストの例を示しています。シリアル・バスのマスタからSDIに送られる最初のバーストの最初のバイトには、宛先のレジスタ・アドレス(ADDRX)および書込みを示している「0」のLSBが含まれます。次のバイトはアドレスがADDRXのレジスタ宛のデータです。続いてCSがハイになり、転送が終了します。2番目のバーストの最初のバイトには、宛先のレジスタ・アドレス(ADDRY)および書込みを示しているLSBが含まれます。SDIの次のバイトはアドレスがADDRYのレジスタ宛のデータです。続いてCSがハイになり、転送が終了します。

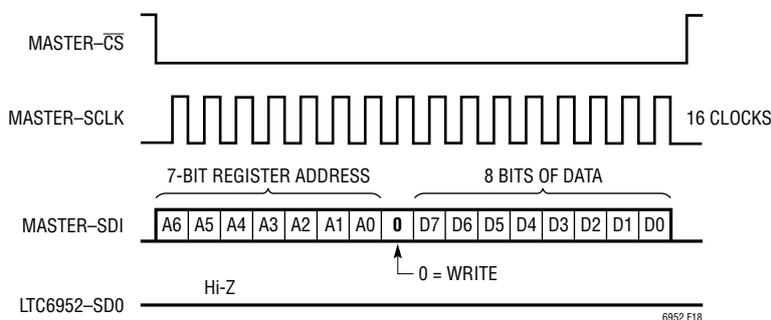


図18. シリアル・ポートの書込みシーケンス

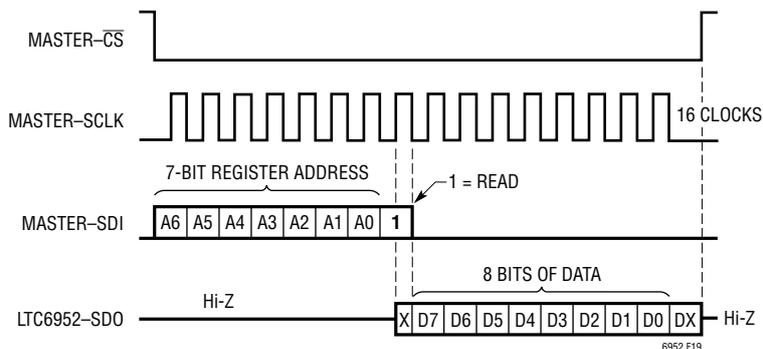


図19. シリアル・ポートの読出しシーケンス

動作

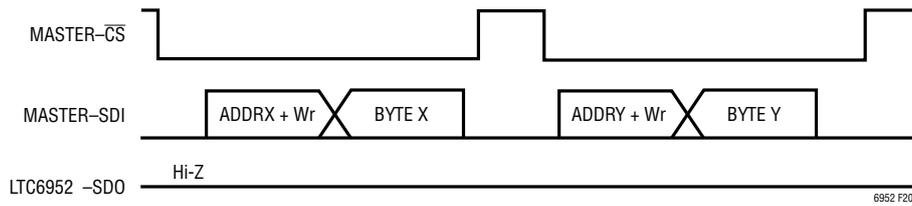


図20. シリアル・ポートの1バイト書込み

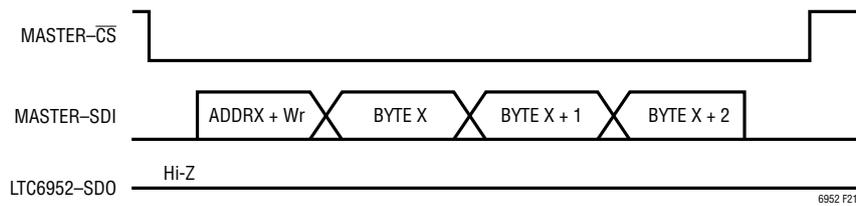


図21. シリアル・ポートの自動インクリメント書込み

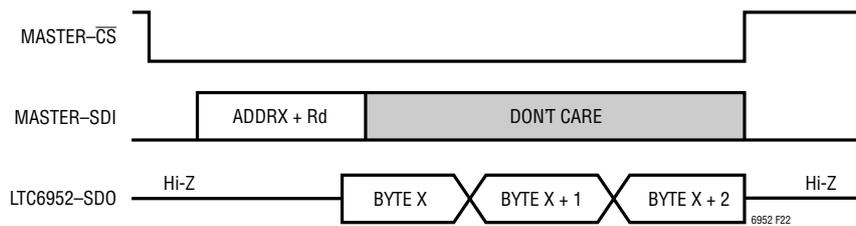


図22. シリアル・ポートの自動インクリメント読出し

複数バイトの転送

図21に示されているように、LTC6952のレジスタ・アドレス自動インクリメント機能を使用すれば、複数バイトのデータ転送をより効率的に行うことができます。前と同様、シリアル・ポートのマスタは、最初のバイトで宛先レジスタのアドレスを送り、2番目のバイトでそのレジスタ宛のデータを送りますが、引き続き後続のレジスタ宛のバイトを送ります。バイト1のアドレスはADDRX+1、バイト2のアドレスはADDRX+2、以下同様です。レジスタ・アドレス・ポインタが56(h38)を過ぎてインクリメントしようとする時、自動的に0にリセットされます。

自動インクリメントによるデバイスからの読出しの例を図22に示します。シリアル・バスのマスタからSDIに送られるバーストの最初のバイトには、宛先のレジスタ・アドレス (ADDRX) および読出しを示している「1」のLSBが含まれます。LTC6952が読出しバーストを検出すると、SDOをHi-Z状態から抜け出させ、レジスタADDRXのデータから開始して、データ・バイトを順に送り出します。デバイスは、バーストが終了するまで、SDIの他の全てのデータを無視します。

動作

マルチドロップ構成

複数のLTC6952がシリアル・バスを共有することができます。このマルチドロップ構成では、SCLK、SDI、およびSDOが全デバイス間で共有されます。シリアル・バスのマスタはデバイスごとに別個のCSを使って、必ず1個のデバイスのCSのみが同時にアサートされるようにする必要があります。値の大きな抵抗をSDOに接続して、Hi-Z状態の間ラインが既知のレベルに必ず戻るようにすることを推奨します。

シリアル・ポート・レジスタ

LTC6952のメモリ・マップを表19に示します。また、ビットの詳細説明を表20に示します。「ADDR」の列に16進数で示されているレジスタ・アドレスは、各レジスタを指定するために

使用します。各レジスタに読出し専用(R)または読出し／書込み(R/W)のいずれかが表記されています。右側には、デバイス起動時またはリセット後のレジスタのデフォルト値が示されています。

アドレスh00の読出し専用レジスタは、様々な状態フラグを決定するために使用されます。これらのフラグは、レジスタh01を構成設定することにより、STATピンに直ちに出力することができます。詳細については、後述のSTAT出力のセクションを参照してください。

アドレスh38のレジスタは、デバイス識別用の読出し専用バイトです。

表19. シリアル・ポート・レジスタの内容

ADDR	MSB	[6]	[5]	[4]	[3]	[2]	[1]	LSB	R/W	デフォルト
h00		UNLOCK	LOCK	LOCK	VCOOK	VCOOK	REFOK	REFOK	R	
h01	INVSTAT	x[6]	x[5]	x[4]	x[3]	x[2]	x[1]	x[0]	R/W	hAA
h02	PDALL	PDPLL	PDVCOPK	PDREFPK	BST	FILTR	FILTV	POR	R/W	h08
h03	PD3[1]	PD3[0]	PD2[1]	PD2[0]	PD1[1]	PD1[0]	PD0[1]	PD0[0]	R/W	h00
h04	PD7[1]	PD7[0]	PD6[1]	PD6[0]	PD5[1]	PD5[0]	PD4[1]	PD4[0]	R/W	h00
h05	TEMPO		PD10[1]	PD10[0]	PD9[1]	PD9[0]	PD8[1]	PD8[0]	R/W	h00
h06	RAO	PARSYNC		LKWIN	LKCT[1]	LKCT[0]	RD[9]	RD[8]	R/W	h0C
h07	RD[7]	RD[6]	RD[5]	RD[4]	RD[3]	RD[2]	RD[1]	RD[0]	R/W	h01
h08	ND[15]	ND[14]	ND[13]	ND[12]	ND[11]	ND[10]	ND[9]	ND[8]	R/W	h00
h09	ND[7]	ND[6]	ND[5]	ND[4]	ND[3]	ND[2]	ND[1]	ND[0]	R/W	h2D
h0A	CPRST	CPUP	CPDN	CP[4]	CP[3]	CP[2]	CP[1]	CP[0]	R/W	h93
h0B	CPMID	CPWIDE	CPINV	EZMD	SRQMD	SYSCT[1]	SYSCT[0]	SSRQ	R/W	h86
h0C	MPO[4]	MPO[3]	MPO[2]	MPO[1]	MPO[0]	MD0[2]	MD0[1]	MD0[0]	R/W	h00
h0D	SRQEN0	MODE0[1]	MODE0[0]	OINV0	DDEL0[11]	DDEL0[10]	DDEL0[9]	DDEL0[8]	R/W	h00
h0E	DDEL0[7]	DDEL0[6]	DDEL0[5]	DDEL0[4]	DDEL0[3]	DDEL0[2]	DDEL0[1]	DDEL0[0]	R/W	h00
h0F			ADEL0[5]	ADEL0[4]	ADEL0[3]	ADEL0[2]	ADEL0[1]	ADEL0[0]	R/W	h00
h10	MP1[4]	MP1[3]	MP1[2]	MP1[1]	MP1[0]	MD1[2]	MD1[1]	MD1[0]	R/W	h00
h11	SRQEN1	MODE1[1]	MODE1[0]	OINV1	DDEL1[11]	DDEL1[10]	DDEL1[9]	DDEL1[8]	R/W	h00
h12	DDEL1[7]	DDEL1[6]	DDEL1[5]	DDEL1[4]	DDEL1[3]	DDEL1[2]	DDEL1[1]	DDEL1[0]	R/W	h00
h13			ADEL1[5]	ADEL1[4]	ADEL1[3]	ADEL1[2]	ADEL1[1]	ADEL1[0]	R/W	h00
h14	MP2[4]	MP2[3]	MP2[2]	MP2[1]	MP2[0]	MD2[2]	MD2[1]	MD2[0]	R/W	h00
h15	SRQEN2	MODE2[1]	MODE2[0]	OINV2	DDEL2[11]	DDEL2[10]	DDEL2[9]	DDEL2[8]	R/W	h00
h16	DDEL2[7]	DDEL2[6]	DDEL2[5]	DDEL2[4]	DDEL2[3]	DDEL2[2]	DDEL2[1]	DDEL2[0]	R/W	h00
h17			ADEL2[5]	ADEL2[4]	ADEL2[3]	ADEL2[2]	ADEL2[1]	ADEL2[0]	R/W	h00
h18	MP3[4]	MP3[3]	MP3[2]	MP3[1]	MP3[0]	MD3[2]	MD3[1]	MD3[0]	R/W	h00
h19	SRQEN3	MODE3[1]	MODE3[0]	OINV3	DDEL3[11]	DDEL3[10]	DDEL3[9]	DDEL3[8]	R/W	h00

動作

表 19. シリアル・ポート・レジスタの内容 (続き)

ADDR	MSB	[6]	[5]	[4]	[3]	[2]	[1]	LSB	R/W	デフォルト
h1A	DDEL3[7]	DDEL3[6]	DDEL3[5]	DDEL3[4]	DDEL3[3]	DDEL3[2]	DDEL3[1]	DDEL3[0]	R/W	h00
h1B			ADEL3[5]	ADEL3[4]	ADEL3[3]	ADEL3[2]	ADEL3[1]	ADEL3[0]	R/W	h00
h1C	MP4[4]	MP4[3]	MP4[2]	MP4[1]	MP4[0]	MD4[2]	MD4[1]	MD4[0]	R/W	h00
h1D	SRQEN4	MODE4[1]	MODE4[0]	OINV4	DDEL4[11]	DDEL4[10]	DDEL4[9]	DDEL4[8]	R/W	h00
h1E	DDEL4[7]	DDEL4[6]	DDEL4[5]	DDEL4[4]	DDEL4[3]	DDEL4[2]	DDEL4[1]	DDEL4[0]	R/W	h00
h1F			ADEL4[5]	ADEL4[4]	ADEL4[3]	ADEL4[2]	ADEL4[1]	ADEL4[0]	R/W	h00
h20	MP5[4]	MP5[3]	MP5[2]	MP5[1]	MP5[0]	MD5[2]	MD5[1]	MD5[0]	R/W	h00
h21	SRQEN5	MODE5[1]	MODE5[0]	OINV5	DDEL5[11]	DDEL5[10]	DDEL5[9]	DDEL5[8]	R/W	h00
h22	DDEL5[7]	DDEL5[6]	DDEL5[5]	DDEL5[4]	DDEL5[3]	DDEL5[2]	DDEL5[1]	DDEL5[0]	R/W	h00
h23			ADEL5[5]	ADEL5[4]	ADEL5[3]	ADEL5[2]	ADEL5[1]	ADEL5[0]	R/W	h00
h24	MP6[4]	MP6[3]	MP6[2]	MP6[1]	MP6[0]	MD6[2]	MD6[1]	MD6[0]	R/W	h00
h25	SRQEN6	MODE6[1]	MODE6[0]	OINV6	DDEL6[11]	DDEL6[10]	DDEL6[9]	DDEL6[8]	R/W	h00
h26	DDEL6[7]	DDEL6[6]	DDEL6[5]	DDEL6[4]	DDEL6[3]	DDEL6[2]	DDEL6[1]	DDEL6[0]	R/W	h00
h27			ADEL6[5]	ADEL6[4]	ADEL6[3]	ADEL6[2]	ADEL6[1]	ADEL6[0]	R/W	h00
h28	MP7[4]	MP7[3]	MP7[2]	MP7[1]	MP7[0]	MD7[2]	MD7[1]	MD7[0]	R/W	h00
h29	SRQEN7	MODE7[1]	MODE7[0]	OINV7	DDEL7[11]	DDEL7[10]	DDEL7[9]	DDEL7[8]	R/W	h00
h2A	DDEL7[7]	DDEL7[6]	DDEL7[5]	DDEL7[4]	DDEL7[3]	DDEL7[2]	DDEL7[1]	DDEL7[0]	R/W	h00
h2B			ADEL7[5]	ADEL7[4]	ADEL7[3]	ADEL7[2]	ADEL7[1]	ADEL7[0]	R/W	h00
h2C	MP8[4]	MP8[3]	MP8[2]	MP8[1]	MP8[0]	MD8[2]	MD8[1]	MD8[0]	R/W	h00
h2D	SRQEN8	MODE8[1]	MODE8[0]	OINV8	DDEL8[11]	DDEL8[10]	DDEL8[9]	DDEL8[8]	R/W	h00
h2E	DDEL8[7]	DDEL8[6]	DDEL8[5]	DDEL8[4]	DDEL8[3]	DDEL8[2]	DDEL8[1]	DDEL8[0]	R/W	h00
h2F			ADEL8[5]	ADEL8[4]	ADEL8[3]	ADEL8[2]	ADEL8[1]	ADEL8[0]	R/W	h00
h30	MP9[4]	MP9[3]	MP9[2]	MP9[1]	MP9[0]	MD9[2]	MD9[1]	MD9[0]	R/W	h00
h31	SRQEN9	MODE9[1]	MODE9[0]	OINV9	DDEL9[11]	DDEL9[10]	DDEL9[9]	DDEL9[8]	R/W	h00
h32	DDEL9[7]	DDEL9[6]	DDEL9[5]	DDEL9[4]	DDEL9[3]	DDEL9[2]	DDEL9[1]	DDEL9[0]	R/W	h00
h33			ADEL9[5]	ADEL9[4]	ADEL9[3]	ADEL9[2]	ADEL9[1]	ADEL9[0]	R/W	h00
h34	MP10[4]	MP10[3]	MP10[2]	MP10[1]	MP10[0]	MD10[2]	MD10[1]	MD10[0]	R/W	h00
h35	SRQEN10	MODE10[1]	MODE10[0]	OINV10	DDEL10[11]	DDEL10[10]	DDEL10[9]	DDEL10[8]	R/W	h00
h36	DDEL10[7]	DDEL10[6]	DDEL10[5]	DDEL10[4]	DDEL10[3]	DDEL10[2]	DDEL10[1]	DDEL10[0]	R/W	h00
h37			ADEL10[5]	ADEL10[4]	ADEL10[3]	ADEL10[2]	ADEL10[1]	ADEL10[0]	R/W	h00
h38	REV[3]	REV[2]	REV[1]	REV[0]	PART[3]	PART[2]	PART[1]	PART[0]	R	hX2*

* リビジョンによって異なる

動作

表 20. シリアル・ポート・レジスタのビット・フィールドのまとめ

ビット	説明	デフォルト	ADDR
ADELx[5:0]	OUTxアナログ遅延の設定	0	不定
BST	REFバッファのブースト電流	1	h02
CP[4:0]	CPの出力電流	h13	h0A
CPDN	CPのDOWN(シンク電流)を強制	0	h0A
CPINV	PFD位相の反転	0	h0B
CPMID	ミッドレールへのCPバイアス	1	h0B
CPRST	CPのHi-Z	1	h0A
CPUP	CPのUP(ソース電流)を強制	0	h0A
CPWIDE	CPのパルス幅を拡張	0	h0B
DDELx[11:0]	1/2 VCO サイクルの OUTx 遅延	h000	不定
EZMD	EZSync モード	0	h0B
FILTR	REF 入力バッファのフィルタ	0	h02
FILTV	VCO 入力バッファのフィルタ	0	h02
INVSTAT	STAT 出力を反転	1	h01
LKCT[1:0]	PLL ロック・サイクルのカウント: 0 = ディスエーブル、 1 = 32 カウント、 2 = 256 カウント、 3 = 2048 カウント	h3	h06
LKWIN	PLL ロック・インジケータの ウィンドウ: 0 = 3ns、1 = 10ns	0	h06
LOCK	PLL ロック・インジケータのフラグ		h00
$\overline{\text{LOCK}}$	PLL ロック・インジケータのフラグ の反転		h00
MDx[2:0]	OUTx 2N の値	0	不定
MODEx[1:0]	SYSREF モード (SRQENx=1) : 0 = 自走 1 = ゲートド・パルス 2 = 要求バススルー 3 = $2^{\text{SYSREF}} \times \text{個}$ のパルス	0	不定
MPx[4:0]	OUTx プリスケアラの値	h0	不定
ND[15:0]	N 分周器の値	h002D	h08、 h09
OINVx	OUTx の反転	0	不定
PARSYNC	ParallelSync のタイミング・ イネーブル	0	h06
PART[3:0]	デバイス・コード (h2 = 6952、h3=6953)		h38
PDALL	チップ全体のパワーダウン	0	h02
PDPLL	REF、R DIV、PFD、CP、N DIV の パワーダウン	0	h02
PDREFPK	REF 入力信号検出器の パワーダウン	0	h02

PDVCOPK	VCO 入力信号検出器の パワーダウン	0	h02
PDx[1:0]	OUTx のパワーダウンモード: 0 = 通常動作 1 = 出力をロジック「0」にミュート 2 = 出力ドライバをパワーダウン 3 = 分周器全体をパワーダウン	h0	不定
POR	パワーオン・リセットを強制	0	h02
RAO	出力モードに対する REF 整列を イネーブル	0	h06
RD[9:0]	R 分周器の値 (RD[9:0] > 0)	1	h06、 h07
REFOK	リファレンス有効フラグ		h00
$\overline{\text{REFOK}}$	リファレンス無効フラグ		h00
REV[3:0]	リビジョン・コード		h38
SRQENx	OUTx で SYNC または SYSREF を イネーブル	0	不定
SRQMD	0 - 同期モード 1 - SYSREF 要求モード	0	h0B
SSRQ	ソフトウェア SYNC または SYSREF 要求	0	h0B
SYSCT[1:0]	MODEx=3 時の SYSREF パルス・ カウント: 0=1 パルス、1=2 パルス、 2=4 パルス、3=8 パルス	h3	h0B
TEMPO	STAT で温度計測ダイオードを イネーブル		h05
UNLOCK	PLL アンロック・フラグ		h00
VCOOK	VCO 有効フラグ		h00
$\overline{\text{VCOOK}}$	VCO 無効フラグ		h00
x[6:0]	STAT 出力の Mask	h2A	h01

動作

STAT 出力

STAT出力ピンはレジスタh01のx[6:0]ビットとINVSTATによって設定されます。これらのビットは、式2に従って、状態レジスタh00の対応する状態フラグをビットごとにマスクするか、またはイネーブ爾するのに使われます。その回路図を図23に示します。TEMPOが0にセットされている場合、このビットごとのブール演算の結果がSTATピンに出力されます。

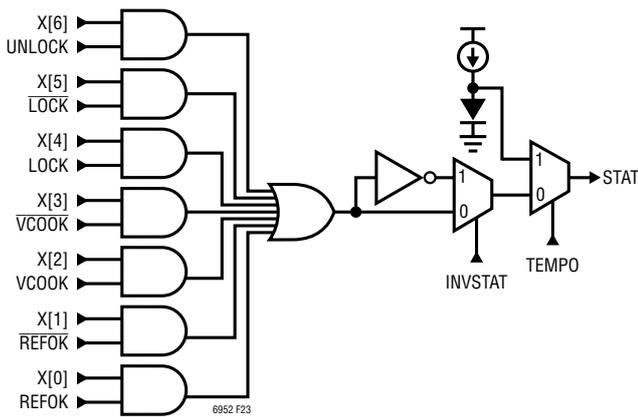


図23. STATの簡略回路図

$$\text{STAT} = (\text{OR}(\text{Reg00}[6:0] \text{ AND } \text{Reg01}[6:0])) \text{ XOR } \text{INVSTAT}$$

(2)

例えば、LOCK、VCOOK、またはREFOKのフラグがセットされていたら必ずSTATがハイになるようアプリケーションが要求する場合は、x[4]、x[2]、およびx[0]に1をセットし、INVSTATに0をセットし、h15のレジスタ値を与えます。

STATピンは、レジスタh05のTEMPOビットに1をセットすることによって、300 μ Aの内部バイアス電流を持つ温度計測ダイオードに変換することができます。概算のダイ温度を得るには、最初に単一のキャリブレーション・ポイントが必要です。LTC6952をパワーダウンした状態(PDALL = 1)で、既知の温度(T_{CAL})において、STATピンの電圧(V_{TEMPC})を測定します。その後、STAT電圧をもう一度測定し(V_{TEMP})、次の式を使用することで、所望のアプリケーションの動作温度を計算できます。

$$T = 665 \times (V_{\text{TEMPC}} - V_{\text{TEMP}}) + T_{\text{CAL}}$$

ここで、TおよびT_{CAL}の単位は°Cです。外部バイアス電流は必要ないことに注意してください。TEMPOに1をセットした後、50 μ sのセトリング時間を設けます。

ブロック・パワーダウン制御

LTC6952のパワーダウン制御ビットは、表20に記載されているレジスタh02にあります。デバイスの異なる部分を個別にパワーダウンすることができます。個別の出力をパワーダウンするには、表10を参照してください。このレジスタのLSB、つまりPOR(パワーオン・リセット)ビットには注意する必要があります。1を書き込むと、このビットはデバイスのデジタル回路を起動時のデフォルト状態に強制的に完全にリセットします。

アプリケーション情報

はじめに

PLLは複雑なフィードバック・システムで、概念的には周波数乗算器と考えることができます。このシステムは、VCOの周波数まで、REF⁺の周波数入力を乗算します。PFD、チャージ・ポンプ、N分周器、VCO、ループ・フィルタが帰還ループを形成して、VCOの周波数を正確に制御します(図24を参照)。R分周器、出力分周器(Mx)、および入力周波数f_{REF}は、出力周波数の値と分解能の設定に使用されます。外部ループ・フィルタは、PLLのループ帯域幅BWの設定に使用されます。

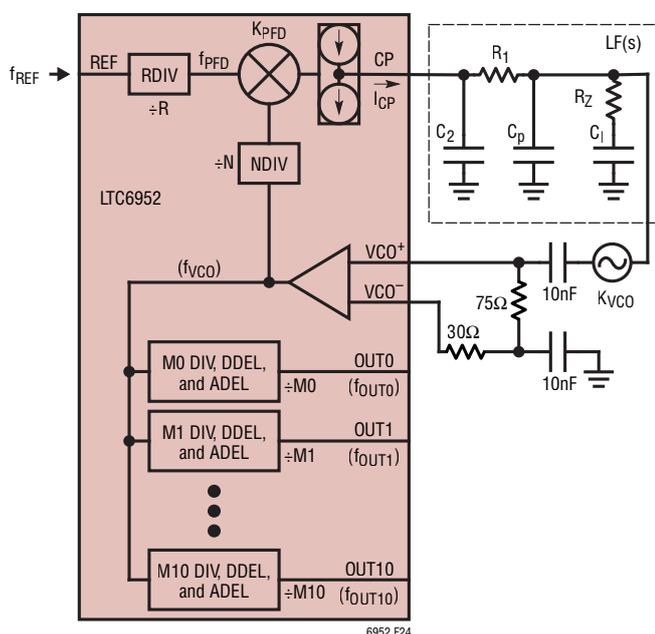


図24. PLLループの図

出力周波数

ループがロックされているとき、VCOの出力に生じる周波数f_{VCO} (Hz)は、リファレンス周波数f_{REF}とR分周器とN分周器によって決まり、式3によって与えられます。

$$f_{VCO} = f_{REF} \cdot N/R \quad (3)$$

PFDの周波数f_{PFD}は次式で与えられます。

$$f_{PFD} = f_{REF}/R \quad (4)$$

あるいは、f_{VCO}は次式で表現することもできます。

$$f_{VCO} = f_{PFD} \cdot N \quad (5)$$

または

$$N = f_{VCO}/f_{PFD} \quad (6)$$

Mx分周器の出力に生じる出力周波数f_{OUTx}は、式7で与えられます。

$$f_{OUTx} = f_{VCO}/Mx \quad (7)$$

式3と式7を使うと、Nが1だけ変化すると生じる出力周波数の分解能f_{STEPx}は式8によって与えられます。

$$f_{STEPx} = f_{REF}/(R \cdot Mx) \quad (8)$$

ループ・フィルタの設計

PLLシステムを安定させるには、外部ループ・フィルタの設計に注意が必要です。デザインツールから入手できる、アナログ・デバイセズのLTC6952 Wizardアプリケーションは、システム全体の設計およびシミュレーションを助けます。最適な位相ノイズおよびスプリアス性能を実現するには、図24に示す三次ループ・フィルタを使用します。

ループの設計には、以下のアルゴリズムを使います。

1. 出力周波数f_{OUTx}を、アプリケーションの条件に基づいて決定します。式3、式4、式7を使って、アプリケーションの周波数の制約条件が満たされるまで、f_{REF}、N、R、Mxを変化させます。制約条件を満たす最小のR値を使用します。
2. f_{PFD}によって制約されるオープン・ループ帯域幅BWを選択します。ループを安定させるには、BWをf_{PFD}より少なくとも1桁小さくします。
3. ループ・フィルタの部品Rzとチャージ・ポンプ電流I_{CP}を、BWとVCOの利得係数K_{VCO}に基づいて選択します。BW(単位はHz)は次式で近似します。

$$BW \cong I_{CP} \cdot R_z \cdot K_{VCO}/(2 \cdot \pi \cdot N) \quad (9)$$

または

$$R_z = (2 \cdot \pi \cdot BW \cdot N)/(I_{CP} \cdot K_{VCO})$$

アプリケーション情報

ここで、 K_{VCO} の単位はHz/V、 I_{CP} の単位はアンペア、 R_Z の単位はオームです。 K_{VCO} は、そのアプリケーションで選択された外部VCOに依存します。選択されたVCOが負の K_{VCO} を持つ場合、正常に動作させるためには、CPINVビットに1をセットする必要があります。部品の値がもっと低い設定値に強制されない限り、 $I_{CP} = 11.2\text{mA}$ を使用して帯域内ノイズを下げます。

4. ループ・フィルタの部品 C_1 、 C_P 、 C_2 、 R_1 を、 BW と R_Z に基づいて計算します。次の式を使用して、残りのループ・フィルタの部品を計算します。

$$C_1 = 4/(\pi \cdot BW \cdot R_Z) \quad (10)$$

$$C_P = 1/(12 \cdot \pi \cdot BW \cdot R_Z) \quad (11)$$

$$C_2 = 1/(18 \cdot \pi \cdot BW \cdot R_Z) \quad (12)$$

$$R_1 = R_Z \quad (13)$$

デジタルおよびアナログの出力遅延

同期を行うと、各出力分周器の開始時間を、VCO サイクルの1/2で表現されるデジタル遅延ビット (DDEL_x) にプログラムされた値だけ遅延できます。遅延を時間として計算する必要があるアプリケーションでは、式14を使用できます。ここで、DDEL_xはDDEL0~DDEL10です。

$$t_{DDELx} = DDELx / (2 \cdot f_{VCO}) \quad (14)$$

アナログ遅延ブロック (ADEL_x) は、理想的でないPCB配線によって生じた信号タイミングの差を除去するのに役立ちます。これは、JESD204B/C アプリケーションで、SYSREFのセットアップ時間とホールド時間をデバイス・クロックに対して最適化するために効果的です。デジタル遅延とは異なり、アナログ遅延を追加すると、ジッタ性能に悪影響が生じます。可能な限り、アナログ遅延をSYSREF経路に追加して、デバイス・クロックへの影響を最小限に抑えてください。例えば、あるSYSREF/クロック・ペアのSYSREF信号が宛先に到着するのが遅すぎる場合、デジタル遅延コードを1つデバイス・クロックに追加してから、必要に応じてデバイス・クロックに近づけるためにアナログ遅延をSYSREFに追加します。

「概算」のアナログ遅延時間は、式15 (ADEL_x < 32の場合) を使用して、表11に記載された周波数の制限を守りながらピコ秒 (ps) 単位で計算できます。

ADEL_x = 1 to 31

$$t_{ADELx} = [(11.25 \cdot ADELx + 93.8)^{-2.5} + (0.00285 \cdot f_{OUTx})^{2.5}]^{-0.4} \quad (15)$$

ADEL_x = 32 to 63

$$t_{ADELx} = [(26 \cdot ADELx - 517)^{-2.5} + (0.00125 \cdot f_{OUTx})^{2.5}]^{-0.4} \quad (16)$$

ここで、 f_{OUT} は出力周波数で、単位はGHzです。LTC6952Wizardを使用することで、アナログ遅延の計算と視覚化が可能です。

リファレンス入力

LTC6952のリファレンス入力バッファ (図1を参照) は、差動とシングルエンド両方の周波数源に対してフレキシブルなインターフェースを提供します。リファレンス入力の周波数範囲は1MHz~500MHzです。動作のセクションで述べた通り、REF[±]入力には、高品質の信号を与える必要があります。この信号がPLL全体のリファレンス周波数となるからです。デバイスの帯域内位相ノイズ性能を達成するには、6dBm以上のサイン波信号を50Ωに与えるか、20V/μs以上のスルー・レートを持つ0.5V_{P-P}以上の方形波を与えます。様々なリファレンス信号の種類に対して推奨されるインターフェースを図25に示します。

VCO入力

LTC6952のVCO入力バッファ (図6参照) の周波数範囲はDC~4.5GHzです。バッファは、一部内蔵された250Ωの差動入力終端を備えており、必要な場合、外部マッチング・ネットワークにいくらかの柔軟性が与えられます。様々なVCO入力信号の種類に対して推奨されるインターフェースを図26に示します。

アプリケーション情報

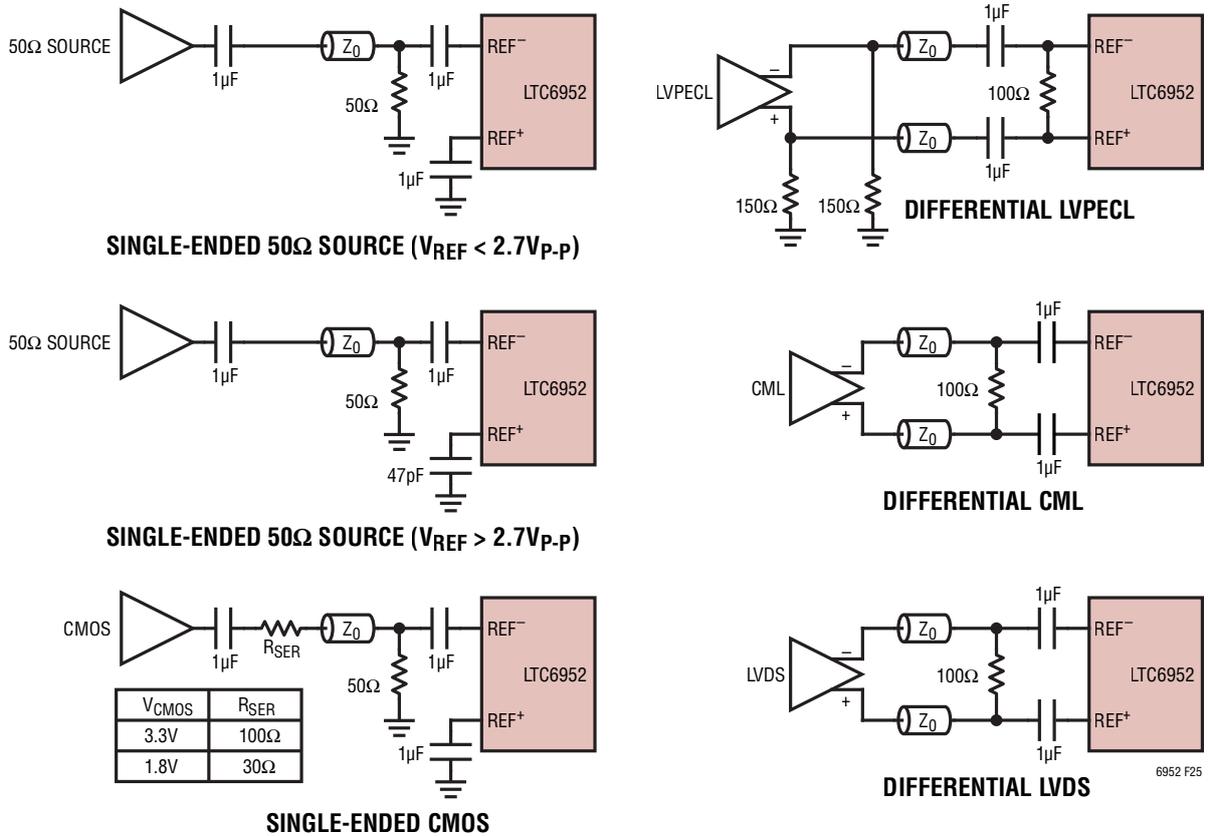


図 25. 一般的なリファレンス入力インターフェースの構成。Z₀ 信号パターンは全て 50Ω 伝送線路

アプリケーション情報

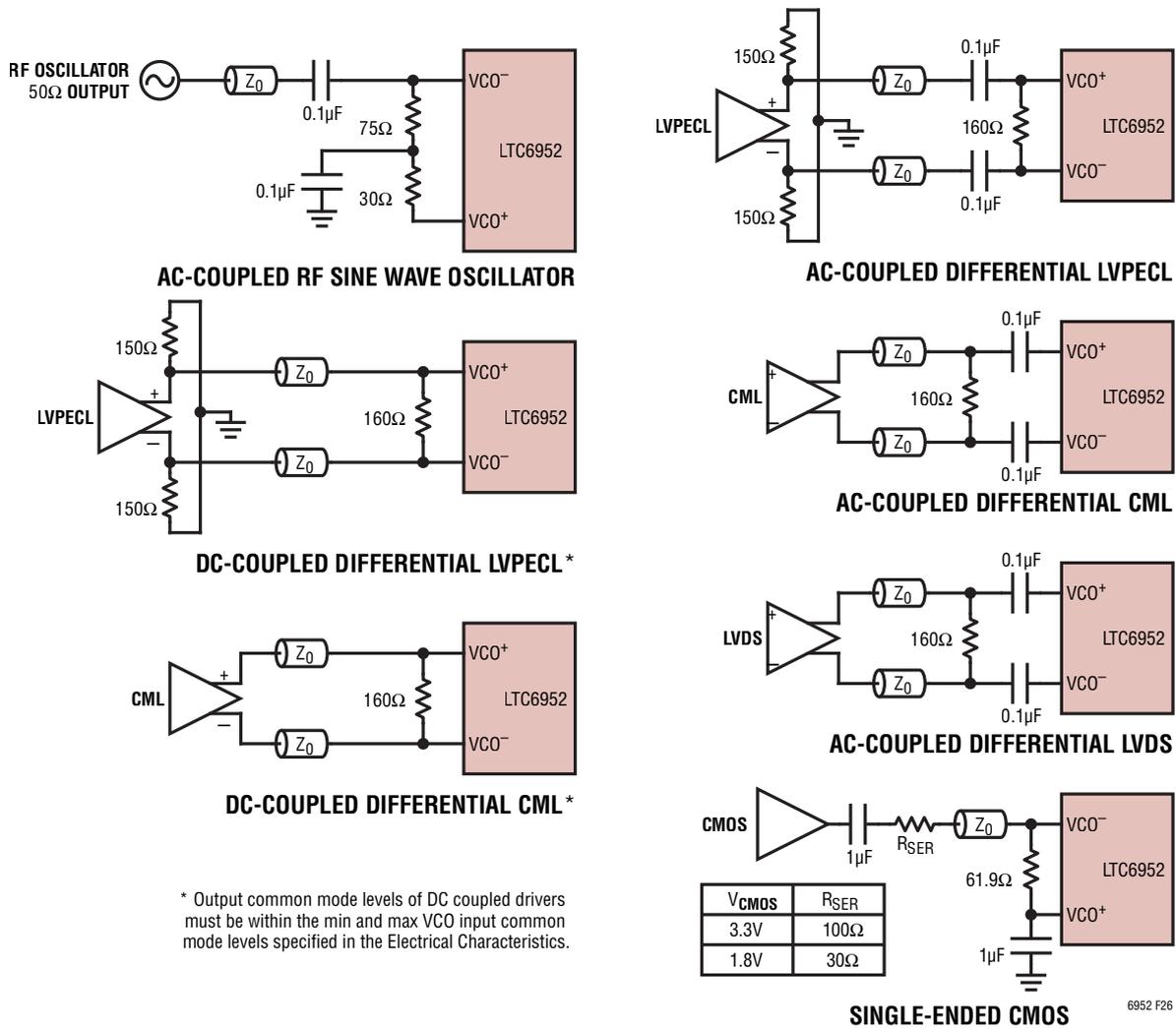
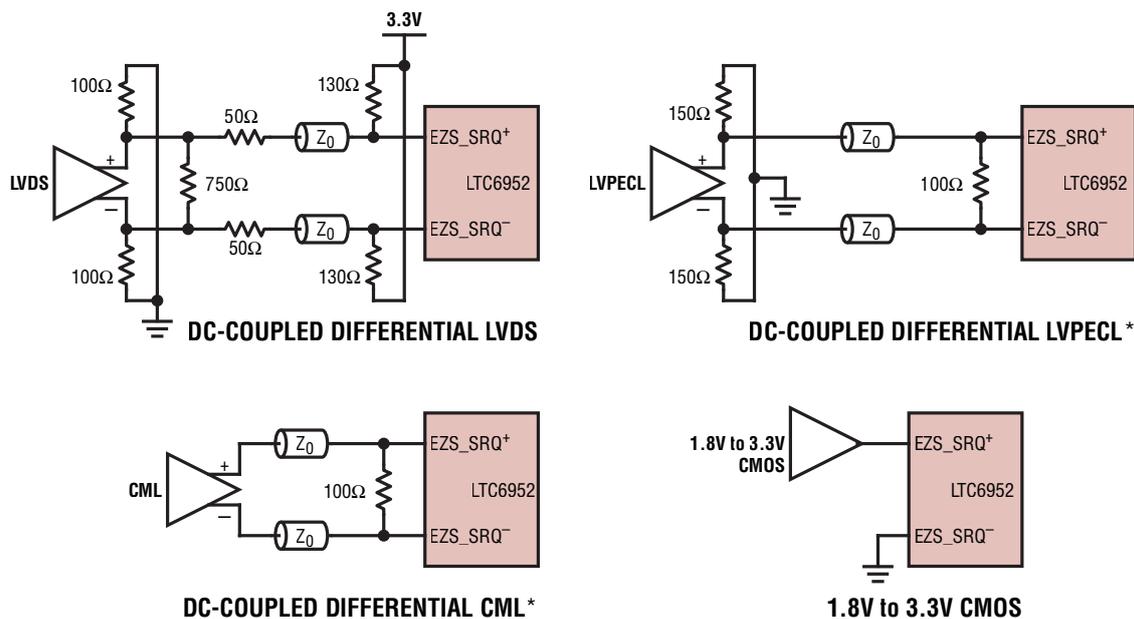


図 26. 一般的な VCO 入力インターフェースの構成。Z₀ 信号パターンは全て 50Ω 伝送線路

アプリケーション情報



6952 F27

* Output common mode levels of differential drivers must be within the min and max EZS_SRQ input common mode levels specified in the Electrical Characteristics.

図27. 一般的なEZS_SRQ入力インターフェースの構成。 Z_0 信号パターンは全て50Ω伝送線路

EZS_SRQ 入力

LTC6952のEZS_SRQ入力バッファ(図9参照)は、同期要求とSYSREF要求を制御します。全ての接続はDCカップリングする必要があり、EZS_SRQ⁺入力ピンへの差動CMLまたはLVPECL、レベルシフト・ネットワークを備えた差動LVDS、またはシングルエンド1.8V~3.3V CMOSのいずれかを接続できます(CMOS駆動の場合、EZS_SRQ⁻は接地します)。推奨されるインターフェースの種類を図27に示します。

EZSync スタンドアロンを使用した JESD204B/C の設計例

この設計例は、2つのJESD204B/C A/Dコンバータ(ADC)、2つのJESD204B/C D/Aコンバータ(DAC)、1つのJESD204B/C互換FPGAのシステムで構成されます。全てのデータ・コンバータ(ADCおよびDAC)とFPGAにJESD204B/Cサブクラス1のデバイス・クロックおよびSYSREFが要求され、FPGAにはもう1つ追加の管理クロックが要求されます。更に、

ADCには、全RMSジッタが100fs未満の低ノイズのクロックが要求されます。これにより、以下に示す周波数を持つ、合計11個の別個の信号を生成することになります。この例では、全てのデバイスのSYSREF周波数が同じで、SYSREF要求立上がりエッジで4つのパルスを出力するものとします。

$$f_{\text{ADC-CLK}} = 500\text{MHz}$$

$$f_{\text{DAC-CLK}} = 4000\text{MHz}$$

$$f_{\text{FPGA-CLK}} = 125\text{MHz}$$

$$f_{\text{FPGA-MGMT}} = 100\text{MHz}$$

$$f_{\text{SYSREF}} = 12.5\text{MHz}$$

出力数の合計が11であるため、図28に示すように、1個のLTC6952を使用して必要な全ての出力を生成することができます。分かりやすくするため、終端抵抗とACカップリング・コンデンサは図示していません。

アプリケーション情報

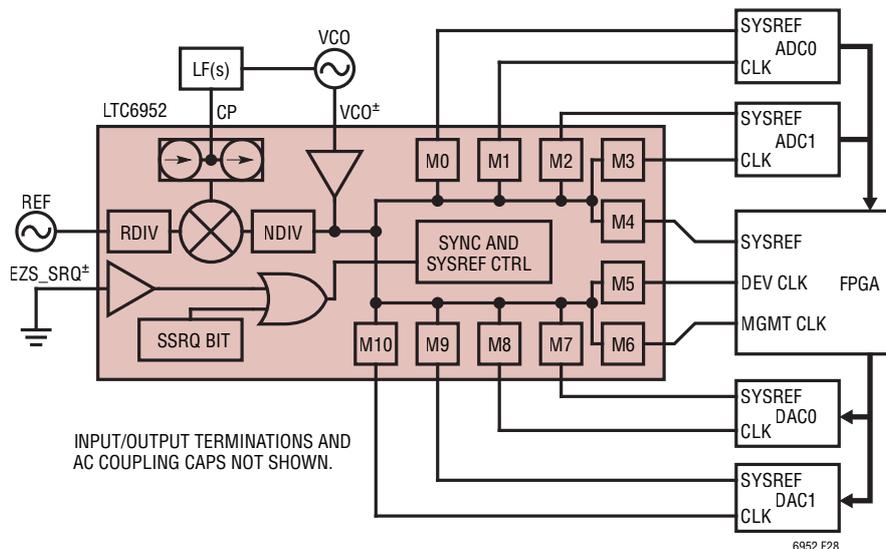


図 28. JESD204B/C EZSync スタンドアロン設計例のブロック図

リファレンスとVCOの仮定

この例では、提供されているリファレンスは出力電力が 8dBm の 100MHz サイン波発振器であり、VCO は K_{VCO} が 5MHz/V、出力電力が 7dBm、位相ノイズが -115dBc/Hz (10kHz 時) の 4000MHz 発振器であると仮定します。

$$f_{\text{REF}} = 100\text{MHz}$$

$$f_{\text{VCO}} = 4000\text{MHz}$$

$$K_{\text{VCO}} = 5\text{MHz/V}$$

設計手順

このようなクロック生成ソリューションの設計と有効化は、次の手順から成り立ちます。

1. R 分周器と N 分周器の値を決定する
2. 最適なループ帯域幅を決定する
3. ループ・フィルタの部品の値を決定する
4. 全ての出力モードを決定する
5. 全ての M 分周器の値を決定する
6. 全てのデジタル遅延の値を決定する
7. 正しい分周器の値、出力遅延、その他の設定を使用してデバイスをプログラムする
8. 出力を同期する
9. 次の SYSREF 要求まで、SYSREF 出力を低消費電力モードにする(省略可能、動作のセクションを参照)

10. デバイスを SYSREF 要求モード (SRQMD=1) にし、必要に応じて SYSREF 要求を送信する
11. デバイスを SYNC モード (SRQMD=0) に戻し、SYSREF 出力を低消費電力モードにして電力を節約する(省略可能)

同期は必ず SYSREF 要求の前に実行しなければならないことに注意してください。同期を再実行するのは、分周器設定が変更されたとき、もしくは分周器がパワーダウンされたときのみです。

R 分周器と N 分周器の値の決定

「ループ・フィルタの設計」アルゴリズムに従い、最初に全ての分周器の値を決定します。電気的特性より、最大 f_{PFD} は 167MHz です。これは 100MHz である f_{REF} よりも高い値です。そのため、R は 1 にします。データ・コンバータ・アプリケーションの f_{PFD} を最大化すると、積分ジッタが最小化されることに注意してください。式 4 を使って f_{PFD} を決定し、式 6 を使って N を決定します。

$$R = 1$$

$$f_{\text{PFD}} = f_{\text{REF}}/R = 100\text{MHz}$$

$$N = f_{\text{VCO}}/f_{\text{PFD}} = 40$$

アプリケーション情報

ループ帯域幅の選択

アルゴリズムの次のステップは、オープン・ループ帯域幅 (BW) を選択することです。最大BWは f_{PFD} より少なくとも1桁小さくする必要があります。ほとんどのデータ・コンバータ・アプリケーションでは、VCOノイズと帯域内ノイズの最適な交点に帯域幅を配置します。より狭い帯域幅、またはより高位のループ・フィルタを使用することで、スプリアス電力を下げることができます。この例では、図24に示す三次ループ・フィルタを使用します。

外部VCO位相ノイズと K_{VCO} の特性をLTC6952Wizardに入力すると、熱ノイズに最適化されたループ帯域幅は約16kHzであるとレポートされます。

ループ・フィルタの部品の選択

帯域内位相ノイズを最小限に抑えるため、 I_{CP} は実用的なループ・フィルタ部品の値につながる可能な限り大きい値に設定する必要があります。そのため、この例の I_{CP} は11.2mAが選択されます。LTC6952Wizardは、式9を使って R_{Z} を次のように決定します。

$$R_{\text{Z}} = 2 \cdot \pi \cdot 16\text{k} \cdot 40 / (11.2\text{m} \cdot 5\text{M})$$

$$R_{\text{Z}} = 71.8\Omega \approx 71.5\Omega$$

LTC6952Wizardは、式10～13を使って、 C_1 、 C_{P} 、 C_2 、 R_1 を次のように計算します。

$$C_1 = 4 / (\pi \cdot 16\text{k} \cdot 71.5) = 1.11\mu\text{F} \approx 1.2\mu\text{F}$$

$$C_{\text{P}} = 1 / (12 \cdot \pi \cdot 16\text{k} \cdot 71.5) = 23.2\text{nF} \approx 22\text{nF}$$

$$C_2 = 1 / (18 \cdot \pi \cdot 16\text{k} \cdot 71.5) = 15.5\text{nF} \approx 15\text{nF}$$

$$R_1 = 71.5\Omega$$

抵抗は標準の±1%値に丸められ、コンデンサは標準の±10%値に丸められることに注意してください。

出力モードの決定

全ての出力は表13、表14、表15に記載された各出力の個別のMODE_xビットを使用して、クロック (MODE_x = 0)、SYSREF (MODE_x = 1または3)、またはSYNC/SRQパススルー出力 (MODE_x = 2)としてプログラムできます。出力に対応するSRQEN_xビットに0をセットすることにより、その出力がSYNCおよびSYSREF要求を無視するようプログラムする

こともできます。この設計例ではパルスSYSREF (MODE_x = 3)が必要なため、FPGA管理クロックは常に自走 (SRQEN_x = 0)でなければならないことに注意してください。表21にそれぞれの出力モード設定をまとめます。

表21. EZSyncスタンドアロン設計例の出力モード設定

出力	目的	SRQEN _x	MODE _x	PD _x
OUT0	ADC0 SYSREF	1	3	0
OUT1	ADC0 CLK	1	0	0
OUT2	ADC1 SYSREF	1	3	0
OUT3	ADC1 CLK	1	0	0
OUT4	FPGA SYSREF	1	3	0
OUT5	FPGA DEV CLK	1	0	0
OUT6	FPGA MGMT CLK	0	0	0
OUT7	DAC0 SYSREF	1	3	0
OUT8	DAC0 CLK	1	0	0
OUT9	DAC1 SYSREF	1	3	0
OUT10	DAC1 CLK	1	0	0

出力分周器の値の決定

各出力の目標周波数が既に決定しているため、出力分周器の値は式7を使用して計算できます。その結果を表22に示します。

表22. EZSyncスタンドアロン設計例の出力分周設定

出力	目的	周波数 (MHz)	分周値 (Mx)
OUT0	ADC0 SYSREF	12.5	320
OUT1	ADC0 CLK	500	8
OUT2	ADC1 SYSREF	12.5	320
OUT3	ADC1 CLK	500	8
OUT4	FPGA SYSREF	12.5	320
OUT5	FPGA DEV CLK	125	32
OUT6	FPGA MGMT CLK	100	40
OUT7	DAC0 SYSREF	12.5	320
OUT8	DAC0 CLK	4000	1
OUT9	DAC1 SYSREF	12.5	320
OUT10	DAC1 CLK	4000	1

アプリケーション情報

出力デジタル遅延値の決定

出力デジタル遅延は、出力間の位相関係を制御するために使用されます。遅延の最小ステップは受信VCO信号の周期の1/2です。この設計例では、デジタル遅延を使用して、各デバイスのSYSREF信号のエッジを、そのデバイスのセットアップ時間(t_s)およびホールド時間(t_h)条件に最適化された対応するデバイス・クロックに対して既知の位相関係に置きます。各デバイスの最適なSYSREFエッジ位置は、目標とするSYSREFの有効立上がりクロック・エッジの直前の立下がりクロック・エッジで発生するものと仮定します。言い換えれば、SYSREFの有効デバイス・クロック・エッジの前の、対応デバイス・クロック周期の1/2以内に、SYSREFはステートを変化させる必要があります。視覚的な例は図29を参照してください。

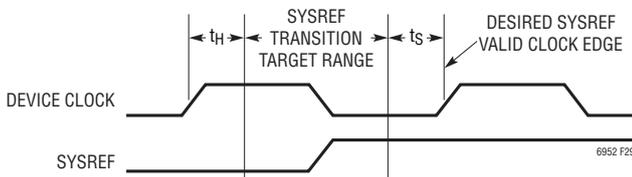


図29. SYSREFエッジのタイミング例

この設計例の各出力のデジタル遅延値を計算するため、次の手順を使用します。

1. 全てのJESD204B/Cデバイス・クロックを、最も遅いJESD204B/Cデバイス・クロックの周期の半分だけ遅延させます。1コードのデジタル遅延はVCOサイクルの半分に等しいため、この遅延設定は最も遅いデバイス・クロックの分周値と同じです。非JESD204B/Cクロック(FPGA管理クロックなど)は、この計算には含まれません。この遅延値は、目標とするSYSREF有効クロック・エッジを定義します。この例では、最も遅いJESD204B/CクロックはFPGAデバイス・クロックです。

$$DDEL_{SYSVALID} = M_{FPGA CLK} = 32$$

$$DDEL_{ADC-CLK} = DDEL_{SYSVALID} = 32$$

$$DDEL_{DAC-CLK} = DDEL_{SYSVALID} = 32$$

$$DDEL_{FPGA-CLK} = DDEL_{SYSVALID} = 32$$

2. デバイス・クロック/SYSREFの各ペアについて、 $DDEL_{SYSVALID}$ からデバイス・クロック周期の1/2を減算し、SYSREF遅延を求めます。これは以下のように、デバイス・クロックの対応する分周値を減算しているのと同じです。

$$DDEL_{ADC-SYS} = DDEL_{SYSVALID} - M_{ADC-CLK}$$

$$DDEL_{ADC-SYS} = 32 - 8 = 24$$

$$DDEL_{DAC-SYS} = DDEL_{SYSVALID} - M_{DAC-CLK}$$

$$DDEL_{DAC-SYS} = 32 - 1 = 31$$

$$DDEL_{FPGA-SYS} = DDEL_{SYSVALID} - M_{FPGA-CLK}$$

$$DDEL_{FPGA-SYS} = 32 - 32 = 0$$

表23に、全ての出力のDDEL設定をまとめます。

表23. EZSync スタンドアロン設計例の出力DDELx設定

出力	目的	DDELx
OUT0	ADC0 SYSREF	24
OUT1	ADC0 CLK	32
OUT2	ADC1 SYSREF	24
OUT3	ADC1 CLK	32
OUT4	FPGA SYSREF	0
OUT5	FPGA DEV CLK	32
OUT6	FPGA MGMT CLK	0
OUT7	DAC0 SYSREF	31
OUT8	DAC0 CLK	32
OUT9	DAC1 SYSREF	31
OUT10	DAC1 CLK	32

以上で、出力分周器と遅延が決定され、LTC6952をプログラムできるようにになりました。

状態レジスタのプログラミング

この例では、LTC6952が障害状態が発生すると、そのたびにSTATピンを使用してシステムにアラートを出します。x[5]、x[3]、x[1] = 1をプログラムして、 \overline{LOCK} 、 \overline{VCOOK} 、 \overline{REFOK} フラグがアサートされた場合は、必ずSTATピンを強制的にハイにします。

$$\text{Reg01} = \text{h2A}$$

アプリケーション情報

パワーおよびFILTレジスタのプログラミング

PLLが正しく動作するには、内部ブロックを全てイネーブルする必要があります。また、REFおよびVCO入力信号は十分なスルー・レートとパワーを持つため、FILTビットまたはBSTビットは必要ありません。

Reg02 = h00

出力パワーダウンのプログラミング

最初のセットアップと同期の間、使用される全ての出力とSRQ回路をフル・パワーに設定する必要があります。これらのビットは後で、SYSREF要求を待ち受けながらデバイスを低消費電力モードにするために使用できます。

Reg03 = h00

Reg04 = h00

Reg05 = h00

RAOおよびPARSYNCのプログラミング

この例はParallelSyncアプリケーションではないため、PARSYNCには0をセットします。リファレンス入力からクロック出力の間に極めて高精度なタイミングが求められる場合を除き、RAOには0をセットします。

ロック検出のプログラミング

次に、f_{PFD}からロック・インジケータのウィンドウを決めます。表4から、LKWIN = 0でt_{LWW}は3nsであることが分かります。LTC6952は、以下の計算のように、位相がPFDのところ±3ns以内もしくは108°以内に一致している限り、ループが「ロックされている」とみなします。

$$\begin{aligned} \text{位相} &= 360^\circ \cdot t_{LWW} \cdot f_{PFD} \\ &= 360^\circ \cdot 3n \cdot 100M \\ &\approx 108^\circ \end{aligned}$$

COUNTSの値を大きくすると、ロック・インジケータの動作に長い時間が必要になる代わりに、ロック・インジケータの正確性と安定性が向上します。このアプリケーションでは、COUNTSの値を2048にするとうまくいきます。表5から、2048のカウントの場合LKCT[1:0] = 3です。

R分周器とN分周器のプログラミング

前に決定したR分周器の値は1で、N分周器の値は40でした。これらの値とPARSYNCとロック検出器の値を使って、レジスタ6~9をプログラムできます。

Reg06 = h0C

Reg07 = h01

Reg08 = h00

Reg09 = h28

チャージ・ポンプ機能および電流のプログラミング

チャージ・ポンプ機能(CPMID、CPWIDE、CPRST、CPUP、CPDN、CPINV)を全てディスエーブルして、ループがロックできるようにします。前に選択したI_{CP}(11.2mA)を使って表6を参照すると、CP[4:0] = h13が得られます。

SYNCおよびSYSREFのグローバル・モードのプログラミング

EZMDビットは、デバイスがEZSyncスタンドアロン／コントローラ(0)であるか、フォロー(1)であるかを制御します。この例はEZSyncスタンドアロン・アプリケーションのため、EZMDビットには0をセットします。SRQMDビットは、デバイスが同期モード(0)であるか、SYSREF要求モード(1)であるかを決定します。SYSCTは、パルスSYSREFモードの出力のパルス数をプログラムします(パルス数 = 2^{SYSCT}のため、この例で4個のパルスを実現するにはSYSCT = 2にします)。この情報を前に決定したチャージ・ポンプの制御と組み合わせ、レジスタh0Aおよびh0Bを次のようにプログラムできます。

Reg0A = h13

Reg0B = h04

ここではSSRQビットは「0」のままですが、後で、同期およびSYSREF要求の手順で使用する予定です。また、同期およびSYSREF要求は、SSRQビットのソフトウェア制御によって行うため、EVS_SRQ[±]ピンは接地する必要があります。

出力分周器、遅延および機能のプログラミング

出力ごとに4つのレジスタを使用すると、出力を互いに独立して構成できます。最初のレジスタは、式1に示すように、2つの制御ワード、MP_xおよびMD_xを通して出力分周比を制御します。

アプリケーション情報

2番目のレジスタには、制御モードとデジタル遅延制御ワードの最上位ビットが含まれます。3番目のレジスタには、デジタル遅延制御ワードの残りが含まれます。4番目のレジスタには、アナログ遅延制御が含まれます。

アナログ遅延のビットと出力反転(OINVx)ビットの両方をPCBレイアウトの問題を修正するために使用できます。それぞれ、パターン長のミスマッチや、差動信号のクロスオーバーなどの問題に役立ちます。**クロック信号にアナログ遅延を使用すると、ジッタ性能が低下するので注意してください。**この例では、PC基板が理想的な方法でレイアウトされており、出力反転もアナログ遅延も必要ないものと仮定します。この情報により、全てのレジスタh0C~h37を、表24に示す値にプログラムできます。これらの値は、表20、表21(と式1)、および表22の情報を使用して計算されたものです。

表 24. EZSync スタンドアロン設計例の出力レジスタ設定

ADDR	値	ADDR	値	ADDR	値
h0C	h9C	h1C	h9C	h2C	h00
h0D	hE0	h1D	hE0	h2D	h80
h0E	h18	h1E	h00	h2E	h20
h0F	h00	h1F	h00	h2F	h00
h10	h38	h20	hF8	h30	h9C
h11	h80	h21	h80	h31	hE0
h12	h20	h22	h20	h32	h1F
h13	h00	h23	h00	h33	h00
h14	h9C	h24	h99	h34	h00
h15	hE0	h25	h00	h35	h80
h16	h18	h26	h00	h36	h20
h17	h00	h27	h00	h37	h00
h18	h38	h28	h9C		
h19	h80	h29	hE0		
h1A	h20	h2A	h1F		
h1B	h00	h2B	h00		

同期

この例の出力は現在、目的の周波数で動作していますが、互いの位相関係はランダムです。同期により、既知の再現可能な位相で動作するよう出力を強制できます。この例のような同期は、EZS_SRQ[±]ピンを駆動して外部的に、もしくは

Reg0BのSSRQビットを使用して内部的に実現できます。デバイスは設定されたばかりのため、SSRQビットを1にセットし、EZS_SRQ[±]ピンをローでホールドします。

Reg0B = h05

最低1ms待機した後、SSRQに0をセットします。

Reg0B = h04

内部の同期プロセスが完了すると、出力は図30に示すように整列されます。同期後の位相整列を明示するため、実際の出力だけでなく、ミュートされたSYSREF出力の内部分周器の動作も表示されていることに注意してください。

デバイスを低消費電力モードにする(オプション)

必要に応じて、LTC6952はSYSREF要求の待機を続けながら低消費電力モードにすることができます。これは、全てのSYSREFが定義された出力にPDx = 2をセットすることで実現できます。これにより、出力ドライバ回路がパワーダウンされますが、内部分周器はクロックとの正しい位相関係を保ったまま実行を続けます。

SYSREF要求の実行

SYSREFパルスを生成するには、SRQMDに1を書き込み、全てのSYSREF出力PDxビットに0を書き込んでLTC6952を低消費電力モード(使用されている場合)から抜け出させます。50μsの間、回路がパワーアップするのを待ちます。Reg0BのSSRQビットに1を書き込むことによって、SYSREF要求を送信します。

Reg0B = h05

最低1ms待機した後、SSRQに0をセットします。

Reg0B = h04

必要に応じてデバイスを低消費電力モードに戻すには、SRQMDに0を書き込み、全てのSYSREF定義の出力にPDx = 2をセットします。図31に示すように、SYSREF要求の立上がりエッジの後、SYSREF出力は4回パルスを発生してから、「0」のステートに戻ります。

アプリケーション情報

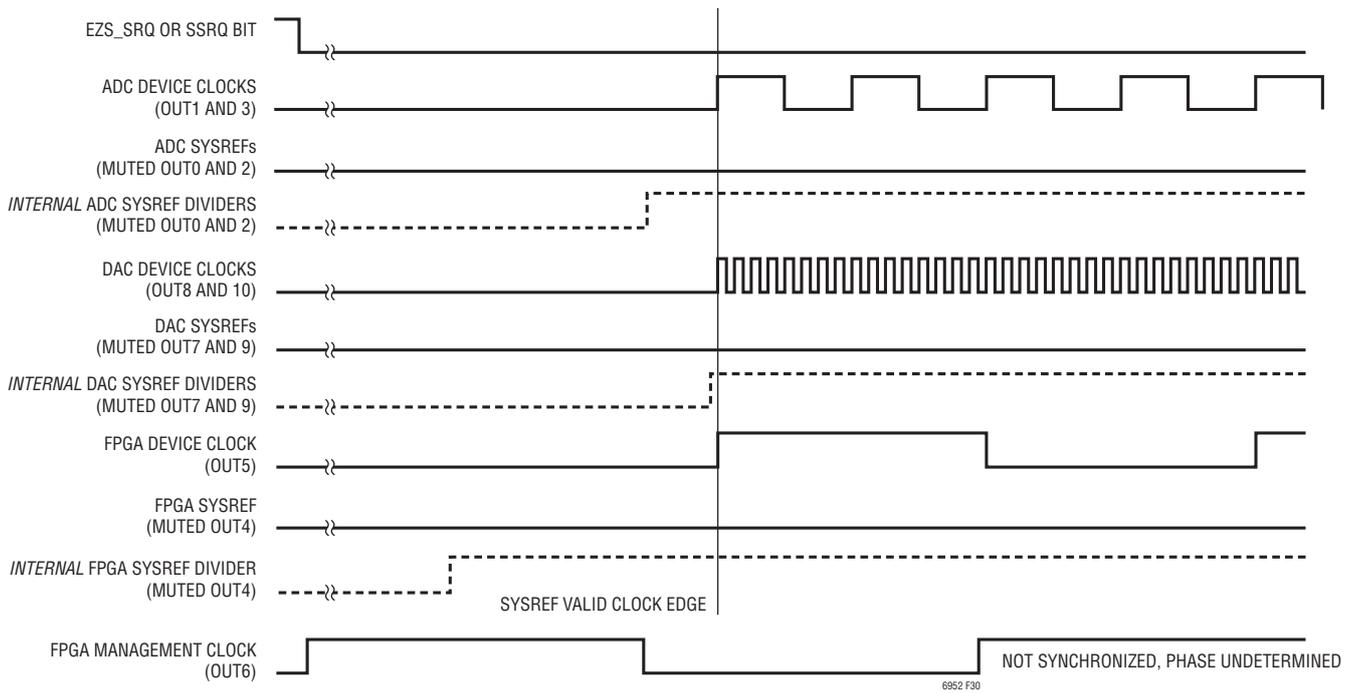


図 30. EZSync スタンドアロン設計例の同期後の出力 (SRQMD=0)

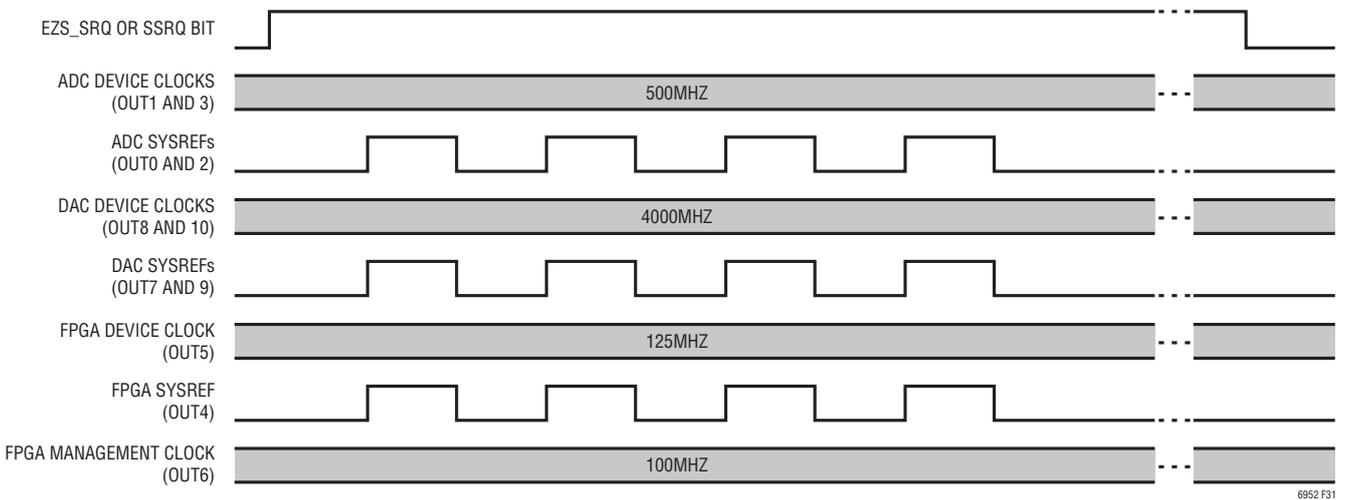


図 31. EZSync スタンドアロン設計例のSYSREF要求後の出力 (SRQMD = 1)

アプリケーション情報

Ezsync マルチチップを使用した JESD204B/C の設計例

この設計例は、4つの JESD204B/C A/D コンバータ (ADC)、4つの JESD204B/C D/A コンバータ (DAC)、1つの JESD204B/C 互換 FPGA のシステムで構成されます。全てのデータ・コンバータ (ADC および DAC) と FPGA に JESD204B/C サブクラス 1 で定義されたデバイス・クロックおよび SYSREF が要求され、FPGA にはもう 1 つ追加の管理クロックが要求されます。更に、ADC には、全 RMS ジッタが 100fs 未満の低ノイズのクロックが要求されます。これにより、以下に示す周波数を持つ、合計 19 個の別個の信号を生成することになります。

この例では、全てのデバイスの SYSREF 周波数が同じで、SYSREF 要求立上がりエッジで 4 つのパルスを出力するものとします。

- $f_{\text{ADC-CLK}} = 500\text{MHz}$
- $f_{\text{DAC-CLK}} = 4000\text{MHz}$
- $f_{\text{FPGA-CLK}} = 125\text{MHz}$
- $f_{\text{FPGA-MGMT}} = 100\text{MHz}$
- $f_{\text{SYSREF}} = 12.5\text{MHz}$

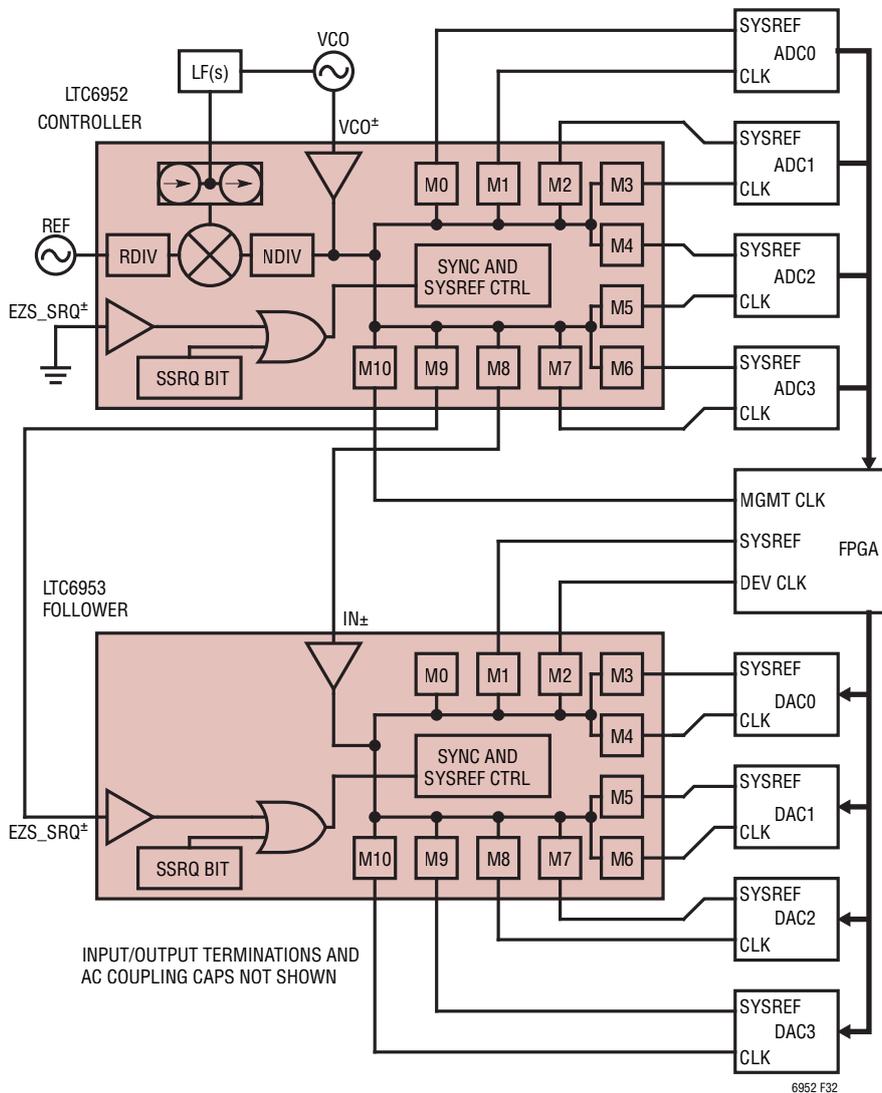


図 32. JESD204B/C Ezsync マルチチップ設計例のブロック図

アプリケーション情報

使用するマルチチップ構成を決めるため、図15のフローチャートを活用します。この例には、合計9個のJESD204B/C デバイス・クロック/SYSREFペアが存在し、うち4つは合計ジッタが100fs未満である必要があります。また、FPGA用に低ノイズでない追加のスタンドアロン・クロックも必要です。このため、以下のようになります。

$$TP = 9$$

$$LNP = 4$$

$$TS = 1$$

$$LNS = 0$$

これらの入力に基づいて、図15では、1つのCONTROLLERチップと1つのFOLLOWERチップを使用した、図12に示す要求パススルー・トポロジのEZSyncマルチチップ・プロトコルの使用が提案されます。FOLLOWERチップにはLTC6953の使用が推奨されますが、システム全体のブロック図を図32に示します。CONTROLLER LTC6952のOUT8が、FOLLOWER LTC6953のIN[±]入力を制御しています。このような出力を「フォロワー・ドライバ」出力と呼びます。CONTROLLERのOUT9は、FOLLOWERのEVS_SRQ[±]ピンを駆動しているため、SYNC/SRQパススルー出力です。また、CONTROLLERのクロック出力は最もジッタが小さいクロックであるため、ADCの駆動に使用されていることに注意してください。

リファレンスとVCOの仮定

この例では、提供されているリファレンスは出力電力が8dBmの100MHzサイン波発振器であり、VCOは K_{VCO} が5MHz/V、出力電力が7dBm、位相ノイズが -115dBc/Hz (10kHz時)の4000MHz発振器であると仮定します。

$$f_{REF} = 100\text{MHz}$$

$$f_{VCO} = 4000\text{MHz}$$

$$K_{VCO} = 5\text{MHz/V}$$

設計手順

このようなクロック生成ソリューションの設計と有効化は、次の手順から成り立ちます。

1. CONTROLLERのR分周器とN分周器の値を決定する
2. 最適なループ帯域幅を決定する
3. ループ・フィルタの部品の値を決定する
4. CONTROLLERとFOLLOWERの全ての出力モードを決定する
5. 全てのM分周器の値を決定する
6. 全てのデジタル遅延の値を決定する
7. 正しい分周器の値、出力遅延、その他の設定を使用してデバイスをプログラムする
8. 出力を同期する
9. 次のSYSREF要求まで、SYSREF出力を低消費電力モードにする(省略可能、動作のセクションを参照)
10. デバイスをSYSREF要求モード(SRQMD=1)にし、必要なときにSYSREF要求を送信する
11. デバイスをSYNCモード(SRQMD=0)に戻し、SYSREF出力を低消費電力モードにして電力を節約する(省略可能)

同期は必ずSYSREF要求の前に実行しなければならないことに注意してください。同期を再実行するのは、分周器設定が変更されたとき、もしくは分周器がパワーダウンされたときのみです。

CONTROLLERのR分周器とN分周器の値の決定

「ループ・フィルタの設計」アルゴリズムに従い、最初に全ての分周器の値を決定します。電気的特性より、最大 f_{PFD} は167MHzです。これは100MHzである f_{REF} よりも高い値です。そのため、Rは1にします。データ・コンバータ・アプリケーションの f_{PFD} を最大化すると、積分ジッタが最小化されることに注意してください。式4を使って f_{PFD} を決定し、式6を使ってNを決定します。

$$R = 1$$

$$f_{PFD} = f_{REF}/R = 100\text{MHz}$$

$$N = f_{VCO}/f_{PFD} = 40$$

アプリケーション情報

ループ帯域幅の選択

アルゴリズムの次のステップは、オープン・ループ帯域幅を選択することです。最大BWは f_{pFD} より少なくとも1桁小さくする必要があります。ほとんどのデータ・コンバータ・アプリケーションでは、VCOノイズと帯域内ノイズの最適な交点に帯域幅を配置します。より狭い帯域幅、またはより高位のループ・フィルタを使用することで、スプリアス電力を下げるすることができます。この例では、図24に示す三次ループ・フィルタを使用します。

外部VCO位相ノイズと K_{VCO} の特性をLTC6952Wizardに入力すると、熱ノイズに最適化されたループ帯域幅は約16kHzであるとレポートされます。

ループ・フィルタの部品の選択

帯域内位相ノイズを最小限に抑えるため、 I_{CP} は実用的なループ・フィルタ部品の値につながる可能な限り大きい値に設定する必要があります。そのため、この例の I_{CP} は11.2mAが選択されます。LTC6952Wizardは、式9を使って R_Z を次のように決定します。

$$R_Z = 2 \cdot \pi \cdot 16k \cdot 40 / (11.2m \cdot 5M)$$

$$R_Z = 71.8\Omega \approx 71.5\Omega$$

LTC6952Wizardは、式10~13を使って、 C_1 、 C_P 、 C_2 、 R_1 を次のように計算します。

$$C_1 = 4 / (\pi \cdot 16k \cdot 71.5) = 1.11\mu F \approx 1.2\mu F$$

$$C_P = 1 / (12 \cdot \pi \cdot 16k \cdot 71.5) = 23.2nF \approx 22nF$$

$$C_2 = 1 / (18 \cdot \pi \cdot 16k \cdot 71.5) = 15.5nF \approx 15nF$$

$$R_1 = 71.5\Omega$$

抵抗は標準の±1%値に丸められ、コンデンサは標準の±10%値に丸められることに注意してください。

出力モードの決定

全ての出力は表13、表14、表15に記載された各出力の個別の $MODE_x$ ビットを使用して、クロック($MODE_x = 0$)、SYSREF($MODE_x = 1$ または3)、またはSYNC/SRQパススルー出力($MODE_x = 2$)としてプログラムできます。出力に対応する $SRQEN_x$ ビットに0をセットすることにより、その出力がSYNCおよびSYSREF要求を無視するようプログラムすることもできます。この設計例ではパルスSYSREF($MODE_x = 3$)が必要なため、FPGA管理クロックは常に自走($CONTROLLER\ SRQEN_{10} = 0$)でなければならないことに注意してください。表25にそれぞれの出力モード設定をまとめます。

表25. EZSyncマルチチップ設計例の出力モード設定

IC	出力	目的	SRQEN _x	MODE _x	PD _x
CONTROLLER	OUT0	ADC0 SYSREF	1	3	0
	OUT1	ADC0 CLK	1	0	0
	OUT2	ADC1 SYSREF	1	3	0
	OUT3	ADC1 CLK	1	0	0
	OUT4	ADC2 SYSREF	1	3	0
	OUT5	ADC2 CLK	1	0	0
	OUT6	ADC3 SYSREF	1	3	0
	OUT7	ADC3 CLK	1	0	0
	OUT8	FOLLOWER VCO	1	0	0
	OUT9	FOLLOWER EZS_SRQ	1	2	0
FOLLOWER	OUT0	Unused	0	0	3
	OUT1	FPGA SYSREF	1	3	0
	OUT2	FPGA DEV CLK	1	0	0
	OUT3	DAC0 SYSREF	1	3	0
	OUT4	DAC0 CLK	1	0	0
	OUT5	DAC1 SYSREF	1	3	0
	OUT6	DAC1 CLK	1	0	0
	OUT7	DAC2 SYSREF	1	3	0
	OUT8	DAC2 CLK	1	0	0
	OUT9	DAC3 SYSREF	1	3	0
OUT10	DAC3 CLK	1	0	0	

出力分周器の値の決定

出力の目標周波数が決定したら、出力分周器の値を計算できます。ADC、DAC、FPGAのクロック周波数は既知です。記述が必要なのは、FOLLOWERを駆動する2つのCONTROLLER出力になります。CONTROLLERのOUT8はFOLLOWERのVCO入力を制御するため、その周波数はFOLLOWERの最大周波数以上にする必要があります。このため、以下のようになります。

$$f_{CONT-OUT8} = 4000MHz$$

更に、JESD204B/Cアプリケーションでソフトウェア制御のEZSync構成を使用する場合、FOLLOWERのEZS_SRQ入力を制御するCONTROLLER出力は、SYSREF周波数(複数のSYSREF周期が使用されている場合、最も低いSYSREF周波数)と等しくする必要があります。

$$f_{CONT-OUT9} = 12.5MHz$$

これで、全ての周波数が既知になったので、式7を使って出力分周器の値を求めます。その結果を表26に示します。

アプリケーション情報

表 26. EZSync マルチチップ設計例の出力分周値設定

IC	出力	目的	周波数 (MHz)	分周値 (Mx)
CONTROLLER	OUT0	ADC0 SYSREF	12.5	320
	OUT1	ADC0 CLK	500	8
	OUT2	ADC1 SYSREF	12.5	320
	OUT3	ADC1 CLK	500	8
	OUT4	ADC2 SYSREF	12.5	320
	OUT5	ADC2 CLK	500	8
	OUT6	ADC3 SYSREF	12.5	320
	OUT7	ADC3 CLK	500	8
	OUT8	FOLLOWER VCO	4000	1
	OUT9	FOLLOWER EZS_SRQ	12.5	320
OUT10	FPGA MGMT CLK	100	40	
FOLLOWER	OUT0	Unused	N/A	N/A
	OUT1	FPGA SYSREF	12.5	320
	OUT2	FPGA DEV CLK	125	32
	OUT3	DAC0 SYSREF	12.5	320
	OUT4	DAC0 CLK	4000	1
	OUT5	DAC1 SYSREF	12.5	320
	OUT6	DAC1 CLK	4000	1
	OUT7	DAC2 SYSREF	12.5	320
	OUT8	DAC2 CLK	4000	1
	OUT9	DAC3 SYSREF	12.5	320
OUT10	DAC3 CLK	4000	1	

出力デジタル遅延値の決定

出力デジタル遅延は、出力間の位相関係を制御するために使用されます。遅延の最小ステップは受信 VCO 信号の周期の 1/2 です。この設計例では、デジタル遅延を使用して、各デバイスの SYSREF 信号のエッジを、そのデバイスのセットアップ時間 (t_s) およびホールド時間 (t_H) 条件に最適化された対応するデバイス・クロックに対して既知の位相関係に置きます。各デバイスの最適な SYSREF エッジ位置は、目標とする SYSREF の有効立上がりクロック・エッジの直前の立下がりクロック・エッジで発生するものと仮定します。言い換えれば、SYSREF の有効デバイス・クロック・エッジの前の、対応デバイス・クロック周期の 1/2 以内に、SYSREF は状態を変化させる必要があります。視覚的な例は図 29 を参照してください。

EZSync マルチチップ同期では、FOLLOWER の VCO 入力を制御する CONTROLLER 出力 (フォロー-ドライバ) は、FOLLOWER 出力が開始する前に 7 個のパルスを出力する必要があります。これは、FOLLOWER の出力に合わせる必要のある全ての CONTROLLER 出力 (フォロー同期) を 7 個のパルスと同じ時間だけ遅延させる必要がある、つまり、これらの各フォロー同期出力に遅延オフセット ($DDEL_{FS-OS}$) を設ける必要がある、ということを示しています。

$$DDEL_{FS-OS} = 14 \cdot M_{FD} + DDEL_{FD} \quad (17)$$

ここで、 M_{FD} はフォロー-ドライバの分周器の値、 $DDEL_{FD}$ はフォロー-ドライバのデジタル遅延の値です。ほとんどのアプリケーションで、 $DDEL_{FD}$ は 0 にセットされます。

この設計例の各出力の遅延値を計算するため、次の手順を使用します。

1. 全ての JESD204B/C デバイス・クロックを、最も遅い JESD204B/C デバイス・クロックの周期の半分だけ遅延させます。1 コードのデジタル遅延は VCO サイクルの半分に等しいため、この遅延設定は最も遅いデバイス・クロックの分周値と同じです。非 JESD204B/C クロック (FPGA 管理クロックなど) は、この計算には含まれません。この遅延値は、目標とする SYSREF 有効クロック・エッジを定義します。この例では、最も遅い JESD204B/C クロックは FPGA デバイス・クロックです。

$$DDEL_{SYSVALID} = M_{FPGA-CLK} = 32$$

$$DDEL_{ADC-CLK} = DDEL_{SYSVALID} = 32$$

$$DDEL_{DAC-CLK} = DDEL_{SYSVALID} = 32$$

$$DDEL_{FPGA-CLK} = DDEL_{SYSVALID} = 32$$

2. デバイス・クロック / SYSREF の各ペアについて、 $DDEL$ からデバイス・クロック周期の 1/2 を減算し、SYSREF 遅延を求めます。これは、以下のように、デバイス・クロックの対応する分周値を減算しているのと同じです。

$$DDEL_{ADC-SYS} = DDEL_{SYSVALID} - M_{ADC-CLK}$$

$$DDEL_{ADC-SYS} = 32 - 8 = 24$$

$$DDEL_{DAC-SYS} = DDEL_{SYSVALID} - M_{DAC-CLK}$$

$$DDEL_{DAC-SYS} = 32 - 1 = 31$$

$$DDEL_{FPGA-SYS} = DDEL_{SYSVALID} - M_{FPGA-CLK}$$

$$DDEL_{FPGA-SYS} = 32 - 32 = 0$$

アプリケーション情報

3. CONTROLLERとFOLLOWERの出力を調整します。FOLLOWERと同期する全てのCONTROLLER出力は、そのDDEL値に式17で求めた遅延オフセットを加える必要があります。FOLLOWER出力には、調整は必要ありません。この例では、ADC CLKとSYSREFは、CONTROLLERから次のように得られます。

$$DDEL_{ADC-CLK} = DDEL_{ADC-CLK} + DDEL_{FS-OS}$$

$$DDEL_{ADC-CLK} = 32 + 14 = 46$$

$$DDEL_{ADC-SYS} = DDEL_{ADC-SYS} + DDEL_{FS-OS}$$

$$DDEL_{ADC-SYS} = 24 + 14 = 38$$

$$DDEL_{DAC-CLK} = DDEL_{DAC-CLK} + 0 = 32$$

$$DDEL_{DAC-SYS} = DDEL_{DAC-SYS} + 0 = 31$$

$$DDEL_{FPGA-CLK} = DDEL_{FPGA-CLK} + 0 = 32$$

$$DDEL_{FPGA-SYS} = DDEL_{FPGA-SYS} + 0 = 0$$

CONTROLLER OUT9はSYNC/SRQパルスを通すだけですが、エッジがシステム全体で最も新しく発生したSYSREFと同時に発生するように、そのデジタル遅延を設定する必要があります。これによって、将来のSYSREF要求が適切に調整されます。CONTROLLERデバイス上にあるため、式17で得られた遅延オフセットも追加する必要があります。最も新しく発生したSYSREFは、DAC SYSREFです。そのため、次のようになります。

$$DDEL_{OUT9} = DDEL_{DAC-SYS} + DDEL_{FS-OS}$$

$$DDEL_{OUT9} = 31 + 14 = 45$$

この例では、フォロワ-ドライバのデジタル遅延は0にセットされます。

$$DDEL_{FD} = DDEL_{OUT8} = 0$$

表27に、全ての出力のDDEL設定をまとめます。

表27. EZSyncマルチチップ設計例の出力DDELx設定

IC	出力	目的	DDELx
CONTROLLER	OUT0	ADC0 SYSREF	38
	OUT1	ADC0 CLK	46
	OUT2	ADC1 SYSREF	38
	OUT3	ADC1 CLK	46
	OUT4	ADC2 SYSREF	38
	OUT5	ADC2 CLK	46
	OUT6	ADC3 SYSREF	38
	OUT7	ADC3 CLK	46
	OUT8	FOLLOWER VCO	0
	OUT9	FOLLOWER EZS_SRQ	45
	OUT10	FPGA MGMT CLK	0
FOLLOWER	OUT0	Unused	N/A
	OUT1	FPGA SYSREF	0
	OUT2	FPGA DEV CLK	32
	OUT3	DAC0 SYSREF	31
	OUT4	DAC0 CLK	32
	OUT5	DAC1 SYSREF	31
	OUT6	DAC1 CLK	32
	OUT7	DAC2 SYSREF	31
	OUT8	DAC2 CLK	32
	OUT9	DAC3 SYSREF	31
	OUT10	DAC3 CLK	32

以上で、出力分周器と遅延が決定され、デバイスをプログラムできるようになりました。

状態レジスタのプログラミング

この例では、LTC6952が障害状態を発生すると、そのたびにSTATピンを使用してシステムにアラートを出します。CONTROLLERについて、x[5]、x[3]、x[1] = 1をプログラムして、LOCK、VCOOK、REFOKのどのフラグがアサートされた場合も、STATピンを強制的にハイにします。

CONTROLLER Reg01 = h2A

FOLLOWERについては、次のように、VCOOKフラグのみが有効です。

FOLLOWER Reg01 = h08

アプリケーション情報

パワーおよびFILTレジスタのプログラミング

CONTROLLERのPLLが正しく動作するには、内部ブロックを全てイネーブルする必要があります。また、REFおよびVCO入力信号は十分なスルー・レートとパワーを持つため、FILTビットまたはBSTビットは必要ありません。

CONTROLLER Reg02 = h00

FOLLOWERも、FILTビットは必要ありません。

FOLLOWER Reg02 = h00

出力パワーダウンのプログラミング

最初のセットアップと同期の間、使用される全ての出力をフル・パワーに設定する必要があります。これらのビットは後で、SYSREF要求を待ち受けながらデバイスを低消費電力モードにするために使用できます。

CONTROLLER Reg03 = h00

CONTROLLER Reg04 = h00

CONTROLLER Reg05 = h00

FOLLOWER Reg03 = h03

FOLLOWER Reg04 = h00

FOLLOWER Reg05 = h00

RAOおよびPARSYNCのプログラミング

この例はParallelSyncアプリケーションではないため、CONTROLLERのPARSYNCには0をセットします。リファレンス入力からクロック出力の間に極めて高精度なタイミングが求められる場合を除き、RAOには0をセットします。LTC6953 FOLLOWERについてRAOは適用外であることに注意してください。

ロック検出のプログラミング(CONTROLLERのみ)

次に、 f_{PFD} からロック・インジケータのウィンドウを決めます。表4から、 $LKWIN = 0$ で t_{LWW} は3nsであることが分かります。LTC6952は、以下の計算のように、位相がPFDのところ $\pm 3ns$ 以内もしくは 108° 以内に一致している限り、ループが「ロックされている」とみなします。

$$\begin{aligned} \text{位相} &= 360^\circ \cdot t_{LWW} \cdot f_{PFD} \\ &= 360^\circ \cdot 3n \cdot 100M \\ &\approx 108^\circ \end{aligned}$$

COUNTSの値を大きくすると、ロック・インジケータの動作に長い時間が必要になる代わりに、ロック・インジケータの正確性と安定性が向上します。このアプリケーションでは、COUNTSの値を2048にするとうまくいきます。表5から、2048のカウントの場合 $LKCT[1:0] = 3$ です。

R分周器とN分周器のプログラミング

CONTROLLERについて前に決定したR分周器の値は1で、N分周器の値は40でした。FOLLOWERのRおよびNは適用外であり、0をセットできます。これらの値とPARSYNCとロック検出器の値を使って、CONTROLLERのレジスタ6~9をプログラムできます。

CONTROLLER Reg06 = h0C

CONTROLLER Reg07 = h01

CONTROLLER Reg08 = h00

CONTROLLER Reg09 = h28

LTC6953 FOLLOWERのレジスタ6~9は適用外であることに注意してください。

チャージ・ポンプ機能および電流のプログラミング

チャージ・ポンプ機能(CPMID、CPWIDE、CPRST、CPUP、CPDN、CPINV)を全てディスエーブルして、ループがロックできるようにします。前に選択した I_{CP} (11.2mA)を使って表6を参照すると、 $CP[4:0] = h13$ が得られます。FOLLOWERのチャージ・ポンプ設定は適用外です。

SYNCおよびSYSREFのグローバル・モードのプログラミング

EZMDビットは、デバイスがEZSyncスタンドアロン/コントローラ(0)であるか、フォロワ(1)であるかを制御します。SRQMDビットは、デバイスが同期モード(0)であるか、SYSREF要求モード(1)であるかを決定します。SYSCTは、パルスSYSREFモードの出力のパルス数をプログラムします(パルス数 = 2^{SYSCT} のため、この例で4個のパルスを実現するには $SYSCT = 2$ にします)。この情報を前に決定したチャージ・ポンプの制御と組み合わせ、レジスタh0Aおよびh0Bを次のようにプログラムできます。

CONTROLLER Reg0A = h13

CONTROLLER Reg0B = h04

FOLLOWER Reg0A = N/A

FOLLOWER Reg0B = h14

ここではSSRQビットは「0」のままですが、後で、同期およびSYSREF要求の手順で使用する予定です。

アプリケーション情報

出力分周器、遅延および機能のプログラミング

出力ごとに4つのレジスタを使用すると、出力を互いに独立して構成できます。最初のレジスタは、式1に示すように、2つの制御ワード、MP_xおよびMD_xを通して出力分周比を制御します。

2番目のレジスタには、制御モードとデジタル遅延制御ワードの最上位ビットが含まれます。3番目のレジスタには、デジタル遅延制御ワードの残りが含まれます。4番目のレジスタには、アナログ遅延制御が含まれます。

アナログ遅延のビットと出力反転(OINV_x)ビットの両方をPCBレイアウトの問題を修正するために使用できます。それぞれ、パターン長のミスマッチや、差動信号のクロスオーバーなどの問題に役立ちます。クロック信号にアナログ遅延を使用すると、ジッタ性能が低下するので注意してください。この例では、PC基板が理想的な方法でレイアウトされており、出力反転もアナログ遅延も必要ないものと仮定します。この情報により、CONTROLLERとFOLLOWERの全てのレジスタh0C~h37を、表28と表29に示す値にプログラムできます。これらの値は、表25、表26(と式1)、および表27の情報を使用して計算されたものです。

表 28. EZSync マルチチップ設計例の CONTROLLER の出力レジスタ設定

ADDR	値	ADDR	値	ADDR	値
h0C	h9C	h1C	h9C	h2C	h00
h0D	hE0	h1D	hE0	h2D	h80
h0E	h26	h1E	h26	h2E	h00
h0F	h00	h1F	h00	h2F	h00
h10	h38	h20	h38	h30	h9C
h11	h80	h21	h80	h31	hC0
h12	h2E	h22	h2E	h32	h2D
h13	h00	h23	h00	h33	h00
h14	h9C	h24	h9C	h34	h99
h15	hE0	h25	hE0	h35	h00
h16	h26	h26	h26	h36	h00
h17	h00	h27	h00	h37	h00
h18	h38	h28	h38		
h19	h80	h29	h80		
h1A	h2E	h2A	h2E		
h1B	h00	h2B	h00		

表 29. EZSync マルチチップ設計例の FOLLOWER の出力レジスタ設定

ADDR	値	ADDR	値	ADDR	値
h0C	h00	h1C	h00	h2C	h00
h0D	h00	h1D	h80	h2D	h80
h0E	h00	h1E	h20	h2E	h20
h0F	h00	h1F	h00	h2F	h00
h10	h9C	h20	h9C	h30	h9C
h11	hE0	h21	hE0	h31	hE0
h12	h00	h22	h1F	h32	h1F
h13	h00	h23	h00	h33	h00
h14	hF8	h24	h00	h34	h00
h15	h80	h25	h80	h35	h80
h16	h20	h26	h20	h36	h20
h17	h00	h27	h00	h37	h00
h18	h9C	h28	h9C		
h19	hE0	h29	hE0		
h1A	h1F	h2A	h1F		
h1B	h00	h2B	h00		

同期

この例の出力は現在、目的の周波数で動作していますが、互いの位相関係はランダムです。同期により、既知の再現可能な位相で動作するよう出力を強制できます。この例のような同期は、CONTROLLERのEZS_SRQ[±]ピンを駆動して外部的に、もしくはCONTROLLERのReg0BのSSRQビットを使用して内部的に実現できます。デバイスは設定されたばかりのため、SSRQビットに1をセットし、EZS_SRQ[±]ピンをローにホールドします。

CONTROLLER Reg0B = h05

最低 1ms 待機した後、SSRQに0をセットします。

CONTROLLER Reg0B = h04

内部の同期プロセスが完了すると、出力は図33に示すように整列されます。同期後の位相整列を明示するため、実際の出力だけでなく、ミュートされたSYSREF出力の内部分周器の動作も表示されていることに注意してください。また、全てのFOLLOWER出力に、電気的特性に記載されたFOLLOWERのt_{PD}に等しい、CONTROLLER出力からの遅延が加わっていることにも注意してください。

アプリケーション情報

デバイスを低消費電力モードにする(オプション)

必要に応じて、両デバイスはSYSREF要求の待機を続けながら低消費電力モードにすることができます。これは、全てのSYSREFが定義された出力にPDx = 2をセットすることで実現できます。これにより、出力ドライバ回路がパワーダウンされますが、内部分周器はクロックとの正しい位相関係を保ったまま実行を続けます。

SYSREF要求の実行

SYSREFパルスを生成するには、SRQMDに1を書き込み、全てのSYSREF出力PDxビットに0を書き込んでデバイスを低消費電力モード(使用されている場合)から抜け出させます。50 μ sの間、回路がパワーアップするのを待ちます。CONTROLLERのReg0BのSSRQビットに1を書き込むことによって、SYSREF要求を送信します。

CONTROLLER Reg0B = h05

最低1ms待機した後、Reg0Bに再び書き込みます。

CONTROLLER Reg0B = h04

必要に応じてデバイスを低消費電力モードに戻すには、SRQMDに0を書き込み、全てのSYSREF定義の出力にPDx = 2をセットします。図34に示すように、SYSREF要求の立上がりエッジの後、SYSREF出力は4回パルスを発生してから、「0」のステートに戻ります。FOLLOWER SYSREFパルスは、CONTROLLERのパルスと完全に同時に開始または停止しないことがあることに注意してください。SYSREFエッジは正しく整列しているため、これは問題ではありません。

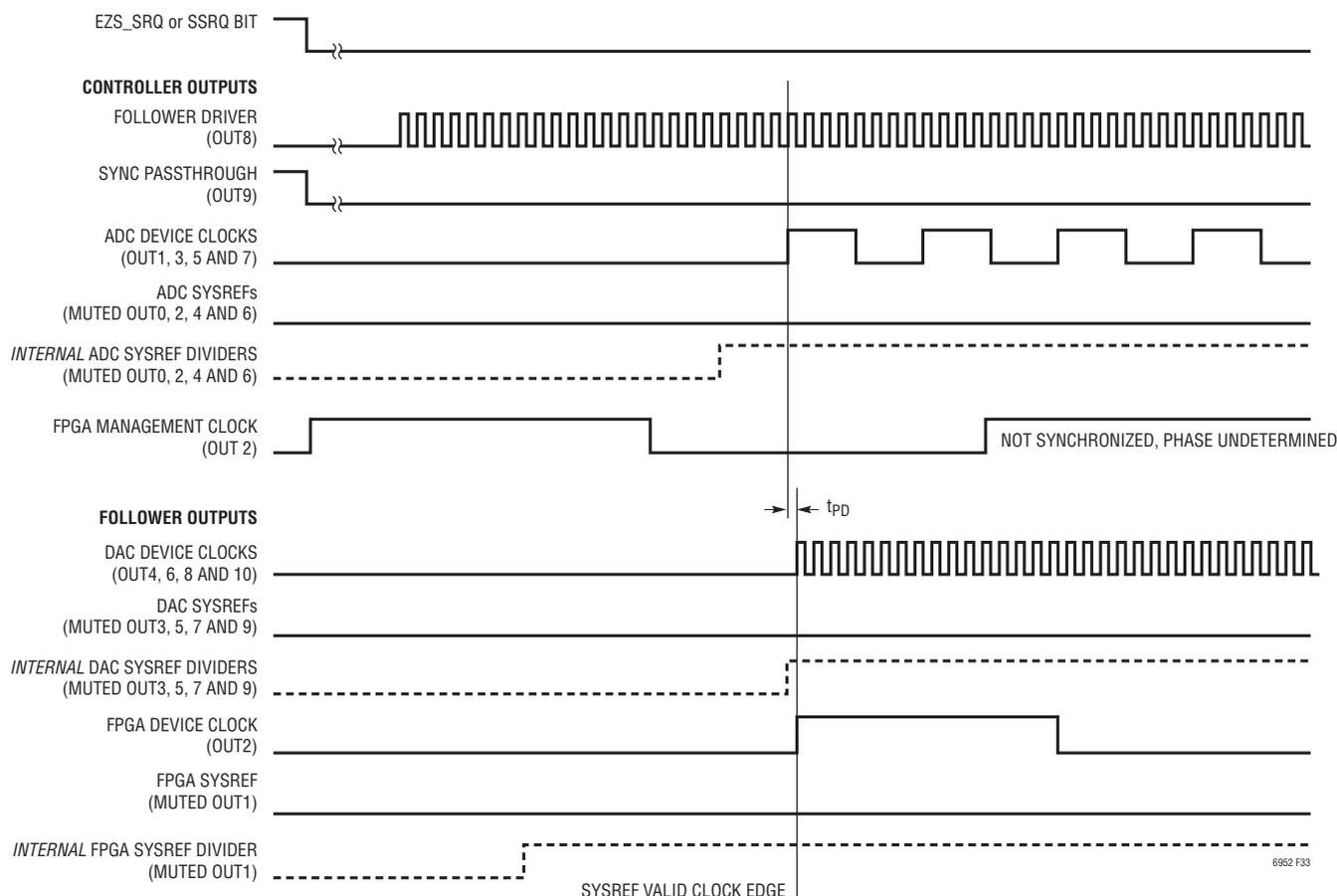


図33. EZSync マルチチップ設計例の同期後の出力 (SRQMD=0)

アプリケーション情報

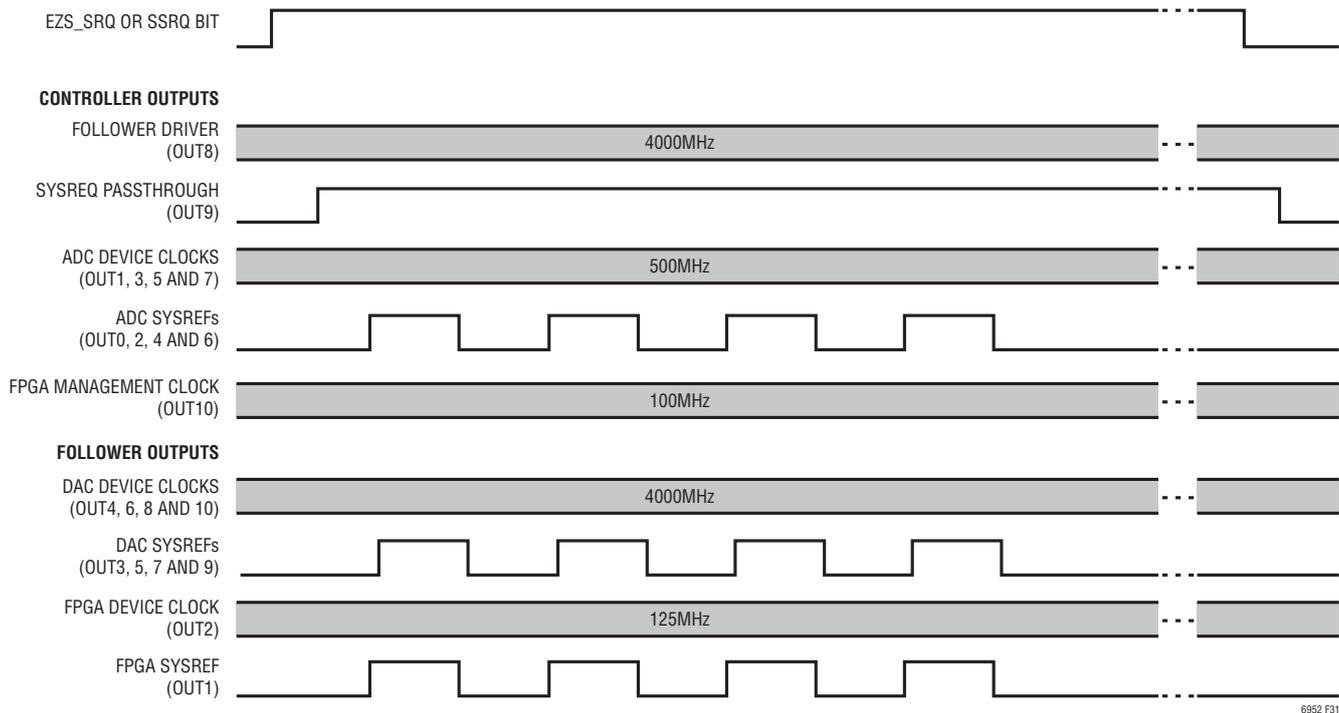


図 34. EZSync マルチチップ設計例の SYSREF 要求後の出力 (SRQMD=1)

ParallelSync を使用した JESD204B/C 設計例

この設計例は、8つの JESD204B/C A/D コンバータ (ADC) と 1つの JESD204B/C 互換 FPGA のシステムで構成されます。全ての ADC と FPGA に JESD204B/C サブクラス 1 のデバイス・クロックおよび SYSREF が要求され、FPGA にはもう 1 つ追加の管理クロックが要求されます。更に、ADC には、全 RMS ジッタが 100fs 未満の低ノイズのクロックが要求されます。これにより、以下に示す周波数を持つ、合計 19 個の別個の信号を生成することになります。この例では、全てのデバイスの SYSREF 周波数が同じで、SYSREF 要求立上がりエッジで 4 つのパルスを出力するものとします。

$$f_{\text{ADC-CLK}} = 294.912\text{MHz}$$

$$f_{\text{FPGA-CLK}} = 147.456\text{MHz}$$

$$f_{\text{FPGA-MGMT}} = 98.304\text{MHz}$$

$$f_{\text{SYSREF}} = 9.216\text{MHz}$$

使用するマルチチップ構成を決めるため、図 15 のフローチャートを活用します。この例には、合計 9 個の JESD204B/C デバイス・クロック / SYSREF ペアが存在し、うち 8 つは合計ジッタが 100fs 未満である必要があります。また、FPGA 用に低ノイズでない追加のスタンドアロン・クロックも必要です。このため、以下のようになります。

$$TP = 9$$

$$LNP = 8$$

$$TS = 1$$

$$LNS = 0$$

これらの入力に基づいて、図 15 では、1 つの LTC6953 をリファレンス分配チップ (REF LTC6953) として使用し、並列に接続した 2 つの LTC6952 でクロックを生成する (LTC6952 #1 および LTC6952 #2)、図 14 に示す LTC6953 リファレンス分配トポロジの ParallelSync マルチチップ・プロトコルの使用が

アプリケーション情報

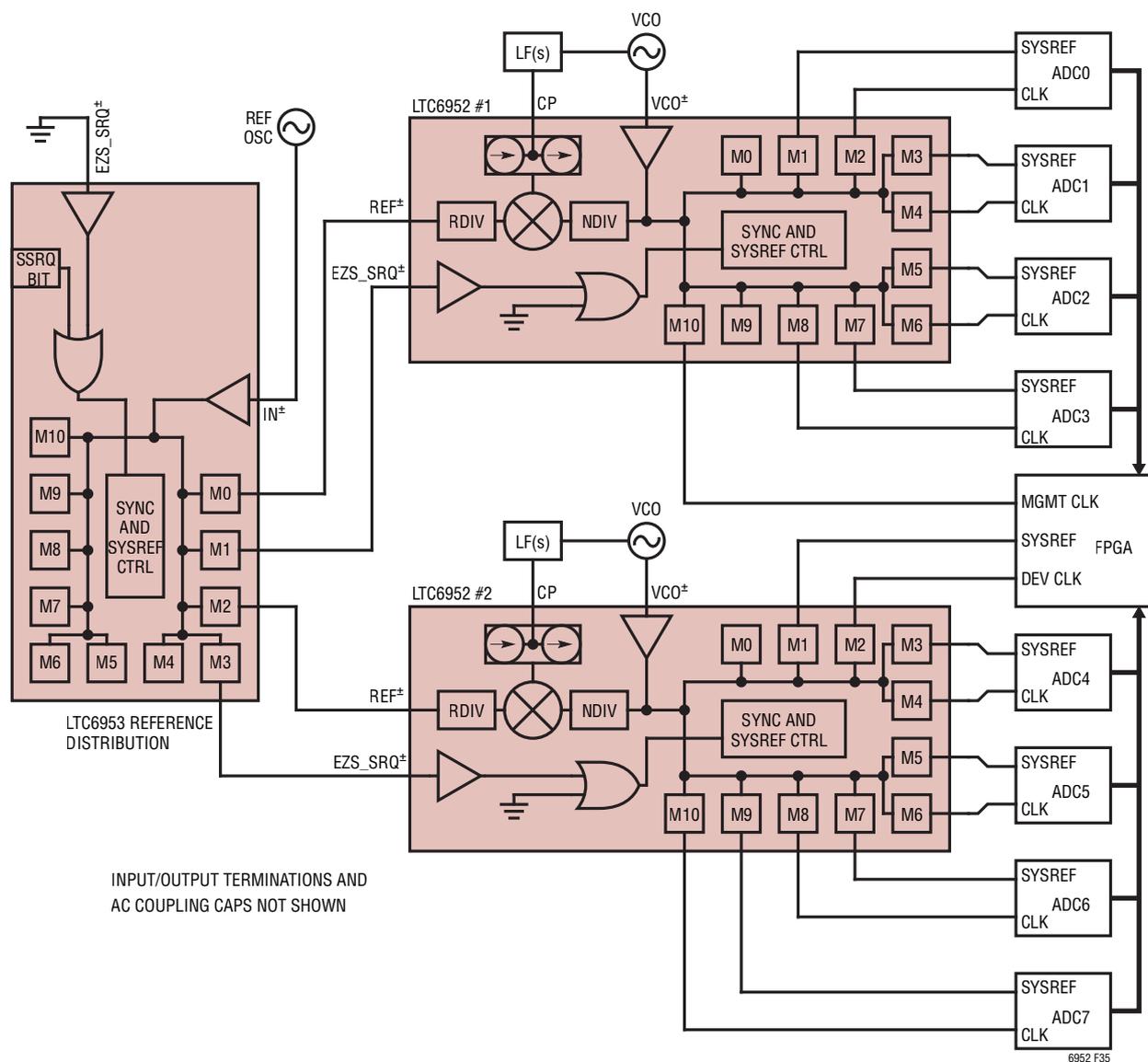


図35. LTC6953 リファレンス分配設計例の JESD204B/C ParallelSync のブロック図

提案されます。図35に、システム全体のブロック図を示します。REF LTC6953のOUT0がLTC6952 #1のREF[±]入力を制御し、OUT1がLTC6952 #1のEVS_SRQ[±]ピンを制御することに注意してください。同様に、REF LTC6953のOUT2がLTC6952 #2のREF[±]入力を駆動し、OUT3がLTC6952 #2のEVS_SRQ[±]ピンを駆動しています。この構成の全ての出力は、低いRMSジッタ(ADC SNR法で約75fs)を持ちます。

リファレンスとVCOの仮定

この例では、提供されているリファレンスは出力電力が8dBmの245.76MHzサイン波発振器であり、VCOは K_{VCO} が15MHz/V、出力電力が6dBm、位相ノイズが -112dBc/Hz (10kHz時)の2949.12MHz発振器であると仮定します。

$$f_{REF} = 245.76\text{MHz}$$

$$f_{VCO} = 2949.12\text{MHz}$$

$$K_{VCO} = 15\text{MHz/V}$$

アプリケーション情報

設計手順

ParallelSyncの設計手順は、EZSyncと似ています。

1. 全てのデバイスのR分周器とN分周器の値を決定する
2. 最適なループ帯域幅を決定する
3. ループ・フィルタの部品の値を決定する
4. 全てのデバイスの出力モードを決定する
5. 全てのM分周器の値を決定する
6. 全てのデジタル遅延の値を決定する
7. 正しい分周器の値、出力遅延、その他の設定を使用してデバイスをプログラムする
8. リファレンス分配デバイスを同期する(必要な場合)
9. 並列のLTC6952出力を同期する
10. 次のSYSREF要求まで、SYSREF出力を低消費電力モードにする(省略可能、動作のセクションを参照)
11. デバイスをSYSREF要求モード(SRQMD=1)にし、必要ときにSYSREF要求を送信する
12. デバイスをSYNCモード(SRQMD=0)に戻し、SYSREF出力を低消費電力モードにして電力を節約する(省略可能)

同期は必ずSYSREF要求の前に実行しなければならないことに注意してください。同期を再実行するのは、分周器設定が変更されたとき、もしくは分周器がパワーダウンされたときのみです。

R分周器とN分周器の値の決定

リファレンスLTC6953はPLLを持たないため、RとNは適用外です。ただし、並列デバイスの f_{PFD} の上限である167MHz以下に収まるよう、受信リファレンスの分周を行います。この例では、リファレンスLTC6953のリファレンス・クロック出力の出力分周器は2に設定できます。その場合、並列デバイスの実質的なリファレンス周波数は122.88MHzになります。「ループ・フィルタの設計」アルゴリズムに従って、並列した2つのLTC6952のRは1にします。データ・コンバータ・アプリケーションの f_{PFD} を最大化すると、積分ジッタが最小化され

ることに注意してください。式4を使って f_{PFD} を決定し、式6を使ってNを決定します。

$$R = 1$$

$$f_{\text{PFD}} = f_{\text{REF}}/R = 122.88\text{MHz}$$

$$N = f_{\text{VCO}}/f_{\text{PFD}} = 24$$

ループ帯域幅の選択

アルゴリズムの次のステップは、並列LTC6952のオープン・ループ帯域幅を選択することです。最大BWは f_{PFD} より少なくとも1桁小さくする必要があります。ほとんどのデータ・コンバータ・アプリケーションでは、VCOノイズと帯域内ノイズの最適な交点に帯域幅を配置します。より狭い帯域幅、またはより高位のループ・フィルタを使用することで、スプリアス電力を下げることができます。この例では、図24に示す三次ループ・フィルタを使用します。

外部VCO位相ノイズと K_{VCO} の特性をLTC6952Wizardに入力すると、熱ノイズに最適化されたループ帯域幅は約38kHzであるとレポートされます。

ループ・フィルタの部品の選択

帯域内位相ノイズを最小限に抑えるため、 I_{CP} は実用的なループ・フィルタ部品の値につながる可能な限り大きい値に設定する必要があります。そのため、この例の I_{CP} は11.2mAが選択されます。LTC6952Wizardは、式9を使って R_Z を次のように決定します。

$$R_Z = 2 \cdot \pi \cdot 38\text{k} \cdot 24 / (11.2\text{m} \cdot 15\text{M})$$

$$R_Z = 34.1 \Omega \approx 34$$

LTC6952Wizardは、式10~13を使って、 C_1 、 C_P 、 C_2 、 R_1 を次のように計算します。

$$C_1 = 4 / (\pi \cdot 38\text{k} \cdot 34) = 985\text{nF} \approx 1.0\mu\text{F}$$

$$C_P = 1 / (12 \cdot \pi \cdot 38\text{k} \cdot 34) = 20.5\text{nF} \approx 22\text{nF}$$

$$C_2 = 1 / (18 \cdot \pi \cdot 38\text{k} \cdot 34) = 13.7\text{nF} \approx 15\text{nF}$$

$$R_1 = 34 \Omega$$

抵抗は標準の $\pm 1\%$ 値に丸められ、コンデンサは標準の $\pm 10\%$ 値に丸められることに注意してください。

アプリケーション情報

出力モードの決定

全ての出力は表13、表14、表15に記載された各出力の個別のMODE_xビットを使用して、クロック(MODE_x = 0)、SYSREF(MODE_x = 1または3)、またはSYNC/SRQパルス出力(MODE_x = 2)としてプログラムできます。出力のSRQEN_xビットに0をセットすることにより、その出力がSYNCおよびSYSREF要求を無視するようプログラムすることもできます。この設計例ではパルスSYSREF(MODE_x = 3)が必要なため、FPGA管理クロックは常に自走(SRQEN_x = 0)でなければならないことに注意してください。表30にそれぞれの出力モード設定をまとめます。

表30. ParallelSync例の出力モード設定

IC	出力	目的	SRQEN _x	MODE _x	PD _x
REF LTC6953	OUT0	LTC6952 #1 REF	1	0	0
	OUT1	LTC6952 #1 EZS-SRQ	1	2	0
	OUT2	LTC6952 #2 REF	1	0	0
	OUT3	LTC6952 #2 EZS-SRQ	1	2	0
	OUT4-10	Unused	0	0	3
LTC6952 #1	OUT0	Unused	0	0	3
	OUT1	ADC0 SYSREF	1	3	0
	OUT2	ADC0 CLK	1	0	0
	OUT3	ADC1 SYSREF	1	3	0
	OUT4	ADC1 CLK	1	0	0
	OUT5	ADC2 SYSREF	1	3	0
	OUT6	ADC2 CLK	1	0	0
	OUT7	ADC3 SYSREF	1	3	0
	OUT8	ADC3 CLK	1	0	0
	OUT9	Unused	0	0	3
	OUT10	FPGA MGMT CLK	0	0	0
LTC6952 #2	OUT0	Unused	0	0	3
	OUT1	FPGA SYSREF	1	3	0
	OUT2	FPGA DEV CLK	1	0	0
	OUT3	ADC4 SYSREF	1	3	0
	OUT4	ADC4 CLK	1	0	0
	OUT5	ADC5 SYSREF	1	3	0
	OUT6	ADC5 CLK	1	0	0
	OUT7	ADC6 SYSREF	1	3	0
	OUT8	ADC6 CLK	1	0	0
	OUT9	ADC7 SYSREF	1	3	0
	OUT10	ADC7 CLK	1	0	0

出力分周器の値の決定

各出力の目標周波数は既知のため、出力分周器の値は式7を使用して計算できます。リファレンスLTC6953 EZS_SRQパルス出力の内部分周器は、表18に示すように設定してください。その結果を表31に示します。

表31. ParallelSync例の出力分周値設定

IC	出力	目的	周波数 (MHz)	分周値 (Mx)
REF LTC6953	OUT0	LTC6952 #1 REF	122.88	2
	OUT1	LTC6952 #1 EZS-SRQ	122.88	2
	OUT2	LTC6952 #2 REF	122.88	2
	OUT3	LTC6952 #2 EZS-SRQ	122.88	2
	OUT4-10	Unused	N/A	N/A
LTC6952 #1	OUT0	Unused	N/A	N/A
	OUT1	ADC0 SYSREF	9.216	320
	OUT2	ADC0 CLK	294.912	10
	OUT3	ADC1 SYSREF	9.216	320
	OUT4	ADC1 CLK	294.912	10
	OUT5	ADC2 SYSREF	9.216	320
	OUT6	ADC2 CLK	294.912	10
	OUT7	ADC3 SYSREF	9.216	320
	OUT8	ADC3 CLK	294.912	10
	OUT9	Unused	N/A	N/A
	OUT10	FPGA MGMT CLK	98.304	30
LTC6952 #2	OUT0	Unused	N/A	N/A
	OUT1	FPGA SYSREF	9.216	320
	OUT2	FPGA DEV CLK	147.456	20
	OUT3	ADC4 SYSREF	9.216	320
	OUT4	ADC4 CLK	294.912	10
	OUT5	ADC5 SYSREF	9.216	320
	OUT6	ADC5 CLK	294.912	10
	OUT7	ADC6 SYSREF	9.216	320
	OUT8	ADC6 CLK	294.912	10
	OUT9	ADC7 SYSREF	9.216	320
	OUT10	ADC7 CLK	294.912	10

アプリケーション情報

出力デジタル遅延値の決定

この設計例の各並列 LTC6952 出力の遅延値を計算するため、次の手順を使用します。

1. 全ての JESD204B/C デバイス・クロックを、最も遅い JESD204B/C デバイス・クロックの周期の半分だけ遅延させます。1 コードのデジタル遅延は VCO サイクルの半分に等しいため、この遅延設定は最も遅いデバイス・クロックの分周値と同じです。非 JESD204B/C クロック (FPGA 管理クロックなど) は、この計算には含まれません。この遅延値は、目標とする SYSREF 有効クロック・エッジを定義します。この例では、最も遅い JESD204B/C クロックは FPGA デバイス・クロックです。

$$DDEL_{SYSVALID} = M_{FPGA} \cdot CLK = 20$$

$$DDEL_{ADC-CLK} = DDEL_{SYSVALID} = 20$$

$$DDEL_{FPGA-CLK} = DDEL_{SYSVALID} = 20$$

2. デバイス・クロック / SYSREF の各ペアについて、DDEL からデバイス・クロック周期の 1/2 を減算し、SYSREF 遅延を求めます。これは、以下のように、デバイス・クロックの対応する分周値を減算しているのと同じです。

$$DDEL_{ADC-SYS} = DDEL_{SYSVALID} - M_{ADC-CLK}$$

$$DDEL_{ADC-SYS} = 20 - 10 = 10$$

$$DDEL_{FPGA-SYS} = DDEL_{SYSVALID} - M_{FPGA-CLK}$$

$$DDEL_{FPGA-SYS} = 20 - 20 = 0$$

3. 一般的には要求されませんが、出力を受信リファレンスに合わせることができます。それには、追加のデジタル遅延を各並列 LTC6952 出力に加え、次のリファレンス・エッジに合わせます。この遅延は、式 18 で計算できます。

$$DDEL_{REF-OS} = 2 \cdot N \cdot \text{CEILING}(16/(2 \cdot N)) - 16 \quad (18)$$

ここで、CEILING() は、最も近い整数への切り上げを意味します。前に N の値は 24 と計算されているので、この式の結果は 32 になります。リファレンス整列が必要な場合、全ての並列 LTC6952 の DDEL 値に 32 を足します。この例では、リファレンス整列は必要ありません。

リファレンス LTC6953 の OUT1 と OUT3 は SYNC/SRQ パルスをパルススルーするだけですが、エッジが対応するリファレンス・クロックの立下がりエッジで発生するように、そのデジタル遅延を設定する必要があります。これによって、並列デバイスに供給される EZS_SRQ 信号が、リファレンス・クロックに対して適切なセットアップ時間およびホールド時間を持つようになります。リファレンス LTC6953 のリファレンス・クロック出力分周器は 2 に設定され、DDEL は 0 にセットされているため、表 18 に基づき、パルススルー出力 DDEL に 2 をセットします。

計算された全てのデジタル遅延値を表 32 に示します。

表 32. ParallelSync 例の出力 DDELx 設定

IC	出力	目的	DDELx
REF LTC6953	OUT0	LTC6952 #1 REF	0
	OUT1	LTC6952 #1 EZS-SRQ	2
	OUT2	LTC6952 #2 REF	0
	OUT3	LTC6952 #2 EZS-SRQ	2
	OUT4-10	Unused	N/A
LTC6952 #1	OUT0	Unused	N/A
	OUT1	ADC0 SYSREF	10
	OUT2	ADC0 CLK	20
	OUT3	ADC1 SYSREF	10
	OUT4	ADC1 CLK	20
	OUT5	ADC2 SYSREF	10
	OUT6	ADC2 CLK	20
	OUT7	ADC3 SYSREF	10
	OUT8	ADC3 CLK	20
	OUT9	Unused	N/A
OUT10	FPGA MGMT CLK	0	
LTC6952 #2	OUT0	Unused	N/A
	OUT1	FPGA SYSREF	0
	OUT2	FPGA DEV CLK	20
	OUT3	ADC4 SYSREF	10
	OUT4	ADC4 CLK	20
	OUT5	ADC5 SYSREF	10
	OUT6	ADC5 CLK	20
	OUT7	ADC6 SYSREF	10
	OUT8	ADC6 CLK	20
	OUT9	ADC7 SYSREF	10
OUT10	ADC7 CLK	20	

以上で、出力分周器と遅延が決定され、デバイスをプログラムできるようになりました。

アプリケーション情報

状態レジスタのプログラミング

この例では、デバイスが障害状態を発生すると、そのたびにSTATピンを使用してシステムにアラートを出します。2つの並列LTC6952について、x[5]、x[3]、x[1] = 1をプログラムして、 $\overline{\text{LOCK}}$ 、 $\overline{\text{VCOOK}}$ 、 $\overline{\text{REFOK}}$ のどのフラグがアサートされた場合も、STATピンを強制的にハイにします。REF LTC6953にはPLLがないため、x[3] = 1だけがが必要です。

REF LTC6953 Reg01 = h08

LTC6952 #1 Reg01 = h2A

LTC6952 #2 Reg01 = h2A

パワーおよびFILTレジスタのプログラミング

3つのデバイスのPLLが正しく動作するには、内部ブロックを全てイネーブルする必要があります。また、REFおよびVCO入力信号は十分なスルー・レートとパワーを持つため、FILTビットまたはBSTビットは必要ありません。

REF LTC6953 Reg02 = h00

LTC6952 #1 Reg02 = h00

LTC6952 #2 Reg02 = h00

出力パワーダウンのプログラミング

最初のセットアップと同期の間、使用される全ての出力とSRQ回路をフル・パワーに設定する必要があります。これらのビットは後で、SYSREF要求を待ち受けながらデバイスを低消費電力モードにするために使用できます。

REF LTC6953 Reg03 = h00

REF LTC6953 Reg04 = hFF

REF LTC6953 Reg05 = h3F

LTC6952 #1 Reg03 = h03

LTC6952 #1 Reg04 = h00

LTC6952 #1 Reg05 = h0C

LTC6952 #2 Reg03 = h03

LTC6952 #2 Reg04 = h00

LTC6952 #2 Reg05 = h00

RAOおよびPARSYNCのプログラミング

2つの並列LTC6952について、PARSYNCには1をセットします。また、チップ間のスキューを最小限に抑えるため、2つの並列LTC6952のRAOに1をセットします。RAOに1をセットすることで、帯域内PLLノイズ性能がわずかに低下します。

ロック検出のプログラミング

次に、f_{PF}Dからロック・インジケータのウィンドウを決めます。表4から、LKWIN = 0でt_{LWW}は3nsであることがわかります。LTC6952は、以下の計算のように、位相がPF_Dのところ±3ns以内もしくは133°以内に一致している限り、ループが「ロックされている」とみなします。

$$\text{位相} = 360^\circ \cdot t_{LWW} \cdot f_{PF\text{D}}$$

$$= 360^\circ \cdot 3\text{n} \cdot 122.88\text{M}$$

$$\approx 133^\circ$$

COUNTSの値を大きくすると、ロック・インジケータの動作に長い時間が必要になる代わりに、ロック・インジケータの正確性と安定性が向上します。このアプリケーションでは、COUNTSの値を2048にするとうまくいきます。表5から、2048のカウントの場合LKCT[1:0] = 3です。

R分周器とN分周器のプログラミング

リファレンスLTC6953については、PLLがないため、RとNの値は無関係です。2つの並列LTC6952について、前に決定したR分周器の値は1で、N分周器の値は24でした。これらの値とRAO、PARSYNC、およびロック検出器の値を使って、並列LTC6952のレジスタ6~9をプログラムできます。

LTC6952 #1 Reg06 = hCC

LTC6952 #1 Reg07 = h01

LTC6952 #1 Reg08 = h00

LTC6952 #1 Reg09 = h18

LTC6952 #2 Reg06 = hCC

LTC6952 #2 Reg07 = h01

LTC6952 #2 Reg08 = h00

LTC6952 #2 Reg09 = h18

REF LTC6953のレジスタ6~9は適用外であることに注意してください。

アプリケーション情報

SSチャージ・ポンプ機能および電流のプログラミング

並列LTC6952では、チャージ・ポンプ機能(CPMID、CPWIDE、CPRST、CPUP、CPDN、CPINV)を全てディセーブルして、ループがロックできるようにします。前に選択した I_{CP} (11.2mA)を使って表6を参照すると、CP[4:0] = h13が得られます。

SYNCおよびSYSREFのグローバル・モードのプログラミング

EZMDビットは、デバイスがEZSync スタンドアロン/コントローラ(0)であるか、フォロー(1)であるかを制御します。この例はParallelSyncアプリケーションのため、EZMDビットには0をセットします。SRQMDビットは、デバイスが同期モード(0)であるか、SYSREF要求モード(1)であるかを決定します。SYSCTは、パルスSYSREFモードの出力のパルス数をプログラムします(パルス数 = 2^{SYSCT} のため、この例で4個のパルスを実現するにはSYSCT = 2にします)。この情報を前に決定したチャージ・ポンプの制御と組み合わせて、レジスタh0Aおよびh0Bを次のようにプログラムできます。

REF LTC6953 Reg0A = N/A

REF LTC6953 Reg0B = h04

LTC6952 #1 Reg0A = h13

LTC6952 #1 Reg0B = h04

LTC6952 #2 Reg0A = h13

LTC6952 #2 Reg0B = h04

SSRQビットは「0」のままであることを注意してください。

出力分周器、遅延および機能のプログラミング

出力ごとに4つのレジスタを使用すると、出力を互いに独立して構成できます。最初のレジスタは、式1に示すように、2つの制御ワード、MPxおよびMDxを通して出力分周比を制御します。

2番目のレジスタには、制御モードとデジタル遅延制御ワードの最上位ビットが含まれます。3番目のレジスタには、デジタル遅延制御ワードの残りが含まれます。4番目のレジスタには、アナログ遅延が含まれます。

アナログ遅延のビットと出力反転(OINVx)ビットの両方をPCBレイアウトの問題を修正するために使用できます。それぞれ、パターン長のミスマッチや、差動信号のクロスオーバーなどの問題に役立ちます。**クロック信号にアナログ遅延を使用すると、ジッタ性能が低下するので注意してください。**この例では、PC基板が理想的な方法でレイアウトされており、出力反転もアナログ遅延も必要ないものと仮定します。この情報により、全てのデバイスの全てのレジスタh0C~h37を表30、表31(と式1)、および表32の情報を使用してプログラムできます。

リファレンスの同期

リファレンス・クロック出力の出力分周器値が1より大きいアプリケーションでは、並列LTC6952を同期する前に、分配されるリファレンス信号を同期する必要があります。そのためには、リファレンス分配LTC6953の有効な出力のSRQENビットに1をセットし、SRQMDに0をセットします。REF LTC6952のReg0BのSSRQビットをセットして同期を実行します(またはEZS_SRQ入力をハイ・ステートにします)。

REF LTC6953 Reg0B = h05

最低1ms待機した後、Reg0Bに再び書き込みます(またはEZS_SRQ入力をロー・ステートにします)。

REF LTC6953 Reg0B = h04

REF LTC6953を同期すると、並列LTC6952がロックを一時的に失うことに注意してください。同期する前に、並列LTC6952に十分なロック時間を与えてください。

この時点で、リファレンス出力が同期され、並列デバイスの同期中も実行を継続する必要があります。そのために、2つのリファレンス・クロック出力のSRQENビットに0をセットします。また、SRQMDビットに1をセットして、リファレンス・クロックに対してパススルーのタイミングを合わせるようにします。

REF LTC6953 Reg0D = h00

REF LTC6953 Reg15 = h00

REF LTC6953 Reg0B = h0C

アプリケーション情報

並列LTC6952の同期

この例の並列LTC6952の出力は現在、目的の周波数で動作していますが、互いの位相関係はランダムです。同期により、既知の再現可能な位相で動作するよう出力を強制できます。この例のような同期は、REF LTC6953のEZS_SRQ⁺ピンを駆動して外部的に、もしくはREF LTC6953のReg0BのSSRQビットを使用して内部的に実現できます。この例では、SSRQビットを使用して、EZS_SRQ⁺ピンをローにホールドします。

REF LTC6953 Reg0B = h05

最低1ms待機した後、Reg0Bに再び書き込みます。

REF LTC6953 Reg0B = h04

内部の同期プロセスが完了すると、出力は図36に示すように整列されます。同期後の位相整列を明示するため、実際の出力だけでなく、ミュートされたSYSREF出力の内部分周器の動作も表示されていることに注意してください。

デバイスを低消費電力モードにする(オプション)

必要に応じて、デバイスはSYSREF要求の待機を続けながら低消費電力モードにすることができます。これは、全てのSYSREFが定義された出力にPD_x = 2をセットすることで実現できます。これにより、出力ドライバ回路がパワーダウンされますが、内部分周器はクロックとの正しい位相関係を保ったまま実行を続けます。

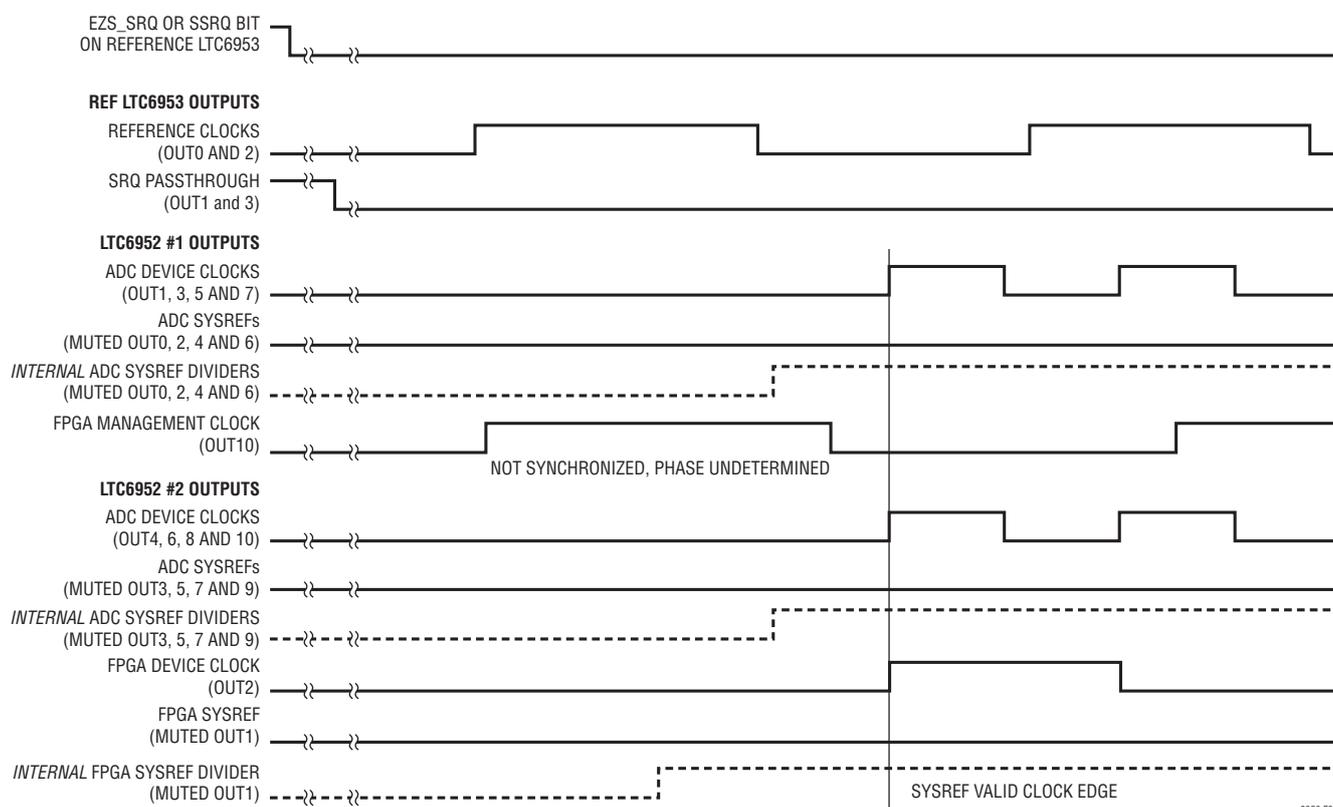


図 36. ParallelSync 設計例の同期後の出力 (SRQMD=0)

アプリケーション情報

SYSREF 要求の実行

SYSREF パルスを生成するには、両方の並列 LTC6952 の SRQMD に 1 を書き込み、全ての SYSREF 出力 PDx ビットに 0 を書き込んでデバイスを低消費電力モード (使用されている場合) から抜け出させます。50 μ s の間、回路がパワーアップするのを待ちます。REF LTC6952 の Reg0B の SSRQ ビットに 1 を書き込むことによって、SYSREF 要求を送信します。

REF LTC6952 Reg0B = h05

最低 1ms 待機した後、Reg0B に再び書き込みます。

REF LTC6952 Reg0B = h04

必要な場合、SSRQ ビットの代わりにリファレンス LTC6952 の EZS_SRQ⁺ ピンを使用して、SYSREF を要求できます。

図 37 に示すように、SYSREF 要求の立上がりエッジの後、SYSREF 出力は 4 回パルスを発生してから、「0」のステートに戻ります。必要に応じてデバイスを低消費電力モードに戻すには、並列 LTC6952 の SRQMD に 0 を書き込み、全ての SYSREF 定義の出力に PDx = 2 をセットします。

リファレンスの信号源に関する検討事項

REF⁺ 入力には、高品質の信号を与える必要があります。この信号が PLL 全体のリファレンス周波数となるからです。前に述べたように、デバイスの帯域内位相ノイズ性能を達成するには、6dBm 以上のサイン波を 50 Ω に与えるか、20V/ μ s 以上のスルー・レートを持つ 0.5V_{P-P} 以上の方形波を与えます。

LTC6952 はシングルエンドで CMOS レベル (2.7V_{P-P} より上) から駆動できます。リファレンス信号を REF⁺ に入力し、47pF のコンデンサで REF⁺ を GND にバイパスします。BST ビットにも、表 2 で与えられているガイドラインに従って、0 をセットする必要があります。入力が方形波であるため、FILT に 0 をセットすることを推奨します。

LTC6952 は、正規化された帯域内位相ノイズ・フロアとして $L_{NORM} = -229\text{dBc/Hz}$ (標準) を達成します。その等価入力位相ノイズ・フロア L_{IN} を計算するには、式 19 を使います。

$$L_{IN} = L_{NORM} + 10 \cdot \log_{10}(f_{REF}) \quad (19)$$

例えば、10MHz のリファレンス周波数を使うと、 -159dBc/Hz の入力位相ノイズ・フロアになります。システム全体の性能を制限しないためには、リファレンス周波数信号源の位相ノイズを、これより 3dB 以上向上させる必要があります。

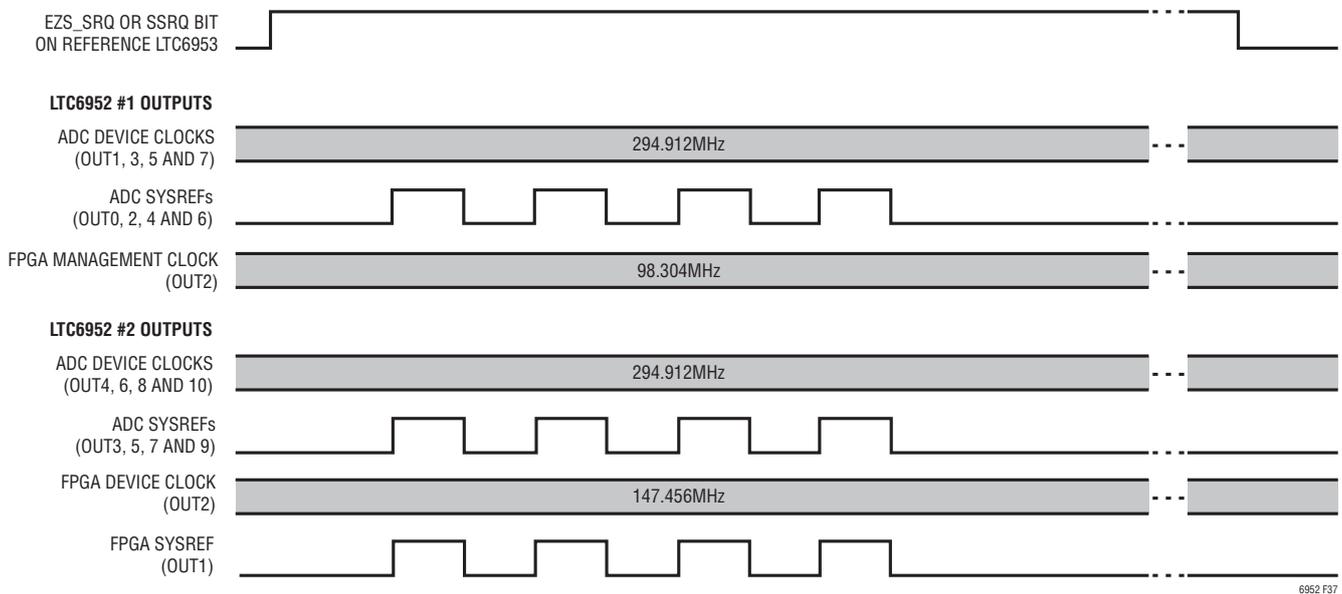


図 37. ParallelSync 設計例の SYSREF 要求後の出力 (SRQMD=1)

アプリケーション情報

帯域内出力位相ノイズ

f_{OUTx} に生じる帯域内位相ノイズ・フロア L_{OUT} は、式20を使って計算することができます。

$$L_{OUT} = L_{NORM} + 10 \cdot \log_{10}(f_{PFD}) + 20 \cdot \log_{10}(f_{OUTx}/f_{PFD})$$

または

$$L_{OUT} = L_{NORM} + 10 \cdot \log_{10}(f_{PFD}) + 20 \cdot \log_{10}(N/Mx) \quad (20)$$

ここで、 L_{NORM} は -229dBc/Hz です。

見られるとおり、所定のPFD周波数 f_{PFD} に対して、出力の帯域内位相ノイズは、 N 分周器のカウントのデカド当たり 20dB の率で増加します。したがって、ある出力周波数 f_{OUTx} に対して、 f_{PFD} をできるだけ大きくし（つまり、 N をできるだけ小さくし）、なおかつアプリケーションの周波数ステップ・サイズの条件を満たすようにします。

1/fノイズによる出力位相ノイズ

非常に低いオフセット周波数での帯域内位相ノイズは、 f_{PFD} に応じて、LTC6952の $1/f$ ノイズの影響を受けることがあります。正規化された帯域内 $1/f$ ノイズ $L_{1/f}$ (-277dBc/Hz)を式21を使って、ある周波数オフセット f_{OFFSET} での出力の $1/f$ 位相ノイズを近似します。

$$L_{OUT(1/f)}(f_{OFFSET}) = L_{1/f} + 20 \cdot \log_{10}(f_{OUTx}) - 10 \cdot \log_{10}(f_{OFFSET}) \quad (21)$$

帯域内ノイズ・フロア L_{OUT} とは異なり、 $1/f$ ノイズ $L_{OUT(1/f)}$ は f_{PFD} に伴って変化せず、オフセット周波数全体にわたって一定ではありません。5MHzおよび100MHzの f_{PFD} の帯域内位相ノイズの例については、図38を参照してください。全位相ノイズは、 L_{OUT} と $L_{OUT(1/f)}$ の和になります。

リファレンス信号の配線、スプリアス、および位相ノイズ

チャージ・ポンプはPFDの比較周波数 f_{PFD} で動作します。結果として生じる出力のスプリアス・エネルギーは小さく、VCO周波数を変調する前にループ・フィルタによってより減少します。

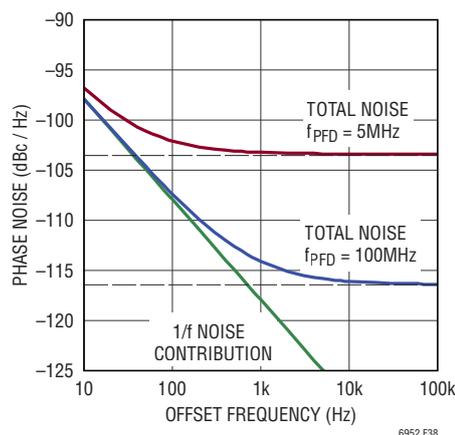


図38. 理論上の帯域内位相ノイズ、 $f_{OUTx} = 4500\text{MHz}$

ただし、PCBのレイアウトが不適切だと、LTC6952の本来のスプリアス性能が低下することがあります。リファレンス信号 f_{REF} が、VCOの同調ライン、または他のループ・フィルタの信号に結合しないように注意する必要があります。推奨事項の例は以下のとおりです。

1. 電圧の等しい電源ピンの間では電源デカップリング・コンデンサを共有しないでください。
2. 各電源デカップリング・コンデンサ、特に V_{REF}^+ 、 V_{D}^+ 、 V_{OUT}^+ 、 V_{CP}^+ 、 V_{VCO}^+ に接続するコンデンサには、別々にグラウンド・ビアを使用します。
3. リファレンス周波数信号はループ・フィルタおよびVCOから物理的に離します。

ParallelSyncモードのリファレンス信号とEZS_SRQタイミング

PARSYNCに1をセットすると、 REF^{\pm} 入力とEZS_SRQ入力の間で厳格なタイミングが要求されます。LTC6952は、様々なレベルのサイン波または方形波のリファレンス入力と、BSTまたはFILTの全ての設定を使用でき、EZS_SRQ入力パルスのセットアップ時間とホールド時間について一貫した性能を実現できるよう設計されています。EZS_SRQ $^{\pm}$ の立上がりに関する図39とEZS_SRQ $^{\pm}$ の立下がりに関する図40に示す性能特性を持つ REF^{\pm} とEZS_SRQ $^{\pm}$ に適用されるCMOSレベルと差動入力レベルの両方についてパラメータ t_{SS} および t_{SH} がテストされ、仕様規定されています。CMOS EZS_SRQ信号では、 $V_{IH} = 1.3\text{V}$ 、 $V_{IL} = 0.6\text{V}$ です。差動EZS_SRQ信号では、 $V_{IH} = V_{IL} = \text{信号振幅の} 50\%$ です。任意のタイプの REF^{\pm} 入力のトリップ・ポイントは常に50%です。

アプリケーション情報

リファレンス入力はCMOS信号ですが、依然として高品質の信号である必要があり、50Ωの伝送線路に配線するのが最善です。通常、CMOSドライバは50Ωを駆動できないため、図25に示すように、抵抗をリファレンス出力に対して直列に配置してから、伝送線路に適用し、できるだけLTC6952に近い場所でGNDとの間に50Ωの負荷を接続することを推奨します。上述のリファレンスの信号源に関する検討事項のセクションを参照してください。出荷テストでは、EZS_SRQ信号とREF[±]信号の立上がり時間と立下がり時間は1nsです。

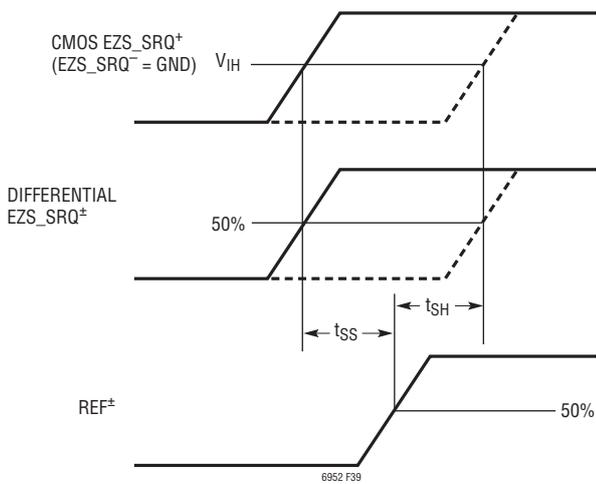


図39. EZS_SRQからREFへの立上がりのタイミングの詳細

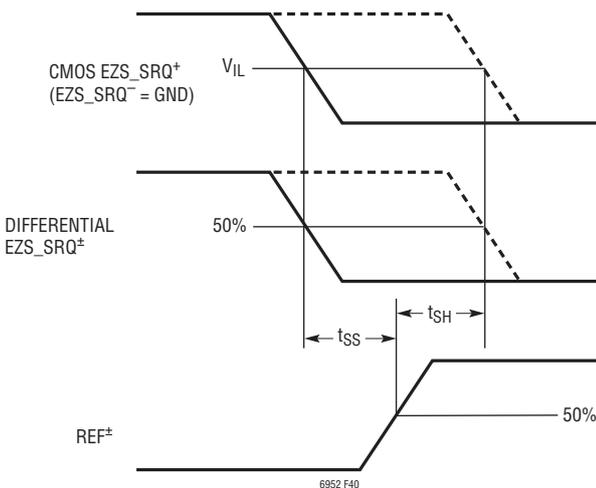


図40. EZS_SRQからREFへの立下がりのタイミングの詳細

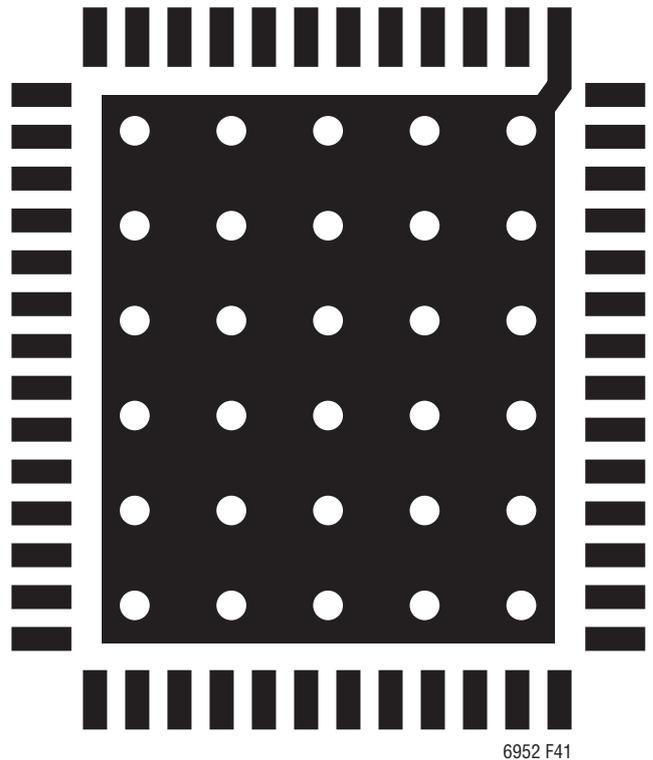


図41. PCBのトップ・メタル層のピンおよび露出グラウンド・パッドの設計。ピン41は信号グラウンドであり、露出パッドのメタルに直接接続

電源バイパスおよびPCBレイアウトに関するガイドライン

PCBをレイアウトするときは、電源デカップリングとグラウンドのインダクタンスを最小に抑えるよう注意が必要です。ピン機能のセクションで説明されているように0.01μFまたは0.1μFのセラミック・コンデンサをできるだけピンの近くに配置して、電源の全てのV⁺ピンをグラウンド・プレーンに直接バイパスします。電源デカップリング・コンデンサを含む全てのグラウンド接続に、グラウンド・プレーンへの複数のビアを使います。

パッケージの露出パッドはグラウンド接続なので、PCBのランドに直接ハンダ付けする必要があります。PCBのランド・パターンには、グラウンドのインダクタンスと熱抵抗の両方を減らすために、グラウンド・プレーンへの複数のサーマル・ビアを配置します(図41の例を参照)。電気的性能と熱性能のための接地の例については、DC2609のレイアウトを参照してください。

アプリケーション情報

ADCのクロック制御とジッタの条件

きれいな信号にノイズを直接加えると、その信号対ノイズ比 (S/N比) は明らかに低下します。データ・アキュイジション・アプリケーションでは、ノイズの多いクロック信号できれいな信号をデジタル化することでも S/N比が低下します。この問題は、位相ノイズの代わりにジッタを使用して時間領域で説明するのが最善です。この説明では、ジッタがホワイト・ノイズ (周波数に対して強度が平坦) であり、ガウス分布に従うと仮定します。

ADC、入力信号アンプ、およびサンプリング・クロックから成る標準的なデータ・アキュイジション回路に入力されるサイン波信号を図42に示します。また、サイン波をゼロ交差でサンプリングするための3つの信号サンプリング状況も示しています。

最初の状況では、完全なサイン波入力をノイズのないアンプでバッファしてADCを駆動します。サンプリングは完全なゼロ・ジッタ・クロックによって実行されます。付加ノイズまたはサンプル・クロックのジッタがない場合、ADCのデジタル化した出力値は非常に明確に決まり、サイクル単位で完全に再現可能です。

2番目の状況では、完全なサイン波入力をノイズの多いアンプでバッファしてADCを駆動します。サンプリングは完全なゼロ・ジッタ・クロックによって実行されます。付加ノイズはデジタル化した値の不確実性の原因となるので、S/N比を低下させる誤差項が生じます。この状況では、信号にノイズを加えることでS/N比の低下が予想されます。

3番目の状況では、完全なサイン波入力をノイズのないアンプでバッファしてADCを駆動します。サンプリングは付加ジッタのあるクロック信号によって実行されます。信号はスルーイングしているため、前の状況の場合と同様、クロック信号のジッタはデジタル化した値および誤差項での不確実性につながることに注意してください。この場合も、この誤差項はS/N比を低下させます。

実際のシステムには、付加的なアンプ・ノイズとサンプル・クロック・ジッタの両方があります。いったん信号がデジタル化されると、S/N比低下の根本原因(アンプ・ノイズかサンプル・クロック・ジッタか)を突き止めるのは、実質的に不可能です。

サンプル・クロック・ジッタによってS/N比が低下するのは、アナログ入力信号がスルーイングしている場合だけです。アナログ入力信号が安定している場合(DCの場合)、サンプリングがいつ行われるかは問題になりません。更に、高速のスルーイング入力信号は低速のスルーイング入力信号より誤差が大きく(ノイズが多く)なります。

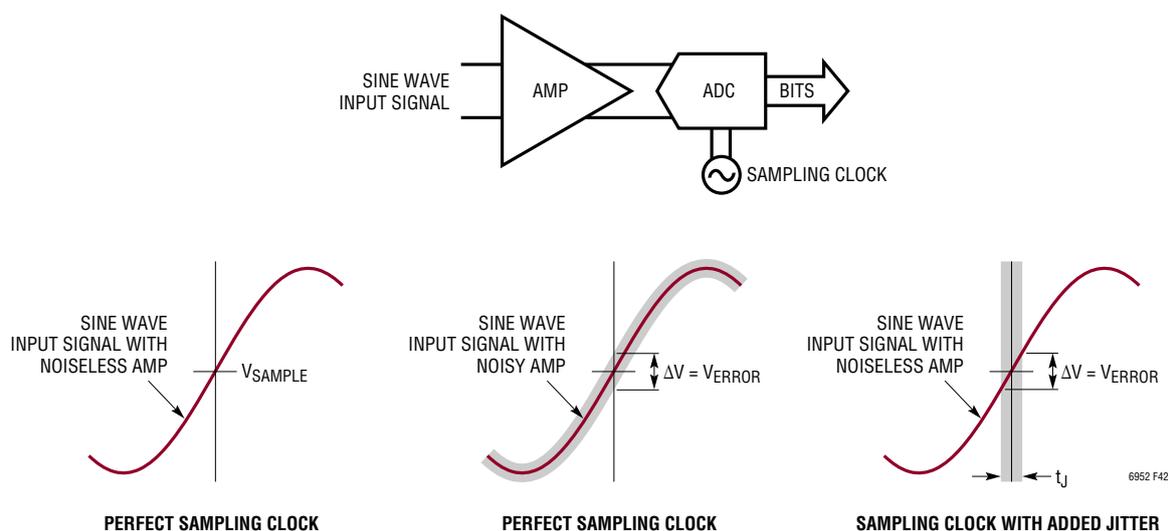


図42. ノイズの多いアンプとジッタのあるサンプル・クロックのサンプリング誤差の影響を示す標準的なデータ・アキュイジション回路

アプリケーション情報

この影響を図43に示します。高速のスレーイング信号の誤差項が低速のスレーイング信号の場合よりどの程度大きいかにご注意ください。データ・コンバータのS/N比性能を維持するため、周波数が高い入力信号のデジタル化では、周波数の低い入力信号を使用するアプリケーションよりかなりジッタが少ないクロックが必要です。

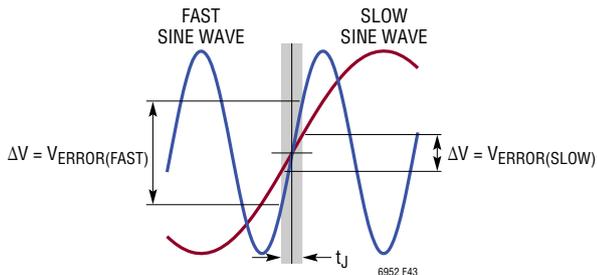


図43. ジッタのあるクロックを使ってサンプリングした高速および低速のサイン波信号

アナログ入力信号の周波数がサンプル・クロックのジッタ条件を決定することに注意が必要です。実際のサンプル・クロック周波数は問題になりません。高周波数信号をアンダーサンプリングする多くのADCアプリケーションには、特に困難なサンプル・クロック・ジッタ条件があります。

以上の説明は、サンプル・クロック・ジッタによるS/N比低下について、直感的に感覚を掴むのに役立ちました。

定量的に捉えるならば、特定のアプリケーションにおける実際のサンプル・クロック・ジッタ条件は以下のように計算されます。

$$t_{J(TOTAL)} = \frac{10^{-\frac{SNR_{dB}}{20}}}{2 \cdot \pi \cdot f_{SIG}} \quad (22)$$

ここで、 f_{SIG} はデジタル化する信号の最高周波数(Hz)、 SNR_{dB} はS/N比条件(dB)、 $t_{J(TOTAL)}$ は全RMSジッタ(秒)です。全ジッタは、ADCのアーチャ・ジッタとサンプル・クロック・ジッタのRMS値の合計であり、次式で計算されます。

$$t_{J(TOTAL)} = \sqrt{t_{J(CLK)}^2 + t_{J(ADC)}^2} \quad (23)$$

あるいは、所定の全ジッタについて、達成可能なS/N比は次のように計算されます。

$$SNR_{dB} = -20 \log_{10} (2 \cdot \pi \cdot f_{SIG} \cdot t_{J(TOTAL)}) \quad (24)$$

これらの計算では、フルスケールのサイン波入力信号を仮定しています。入力信号が中程度のクレスト・ファクタを持つ複雑な変調信号である場合、その信号のピーク・スルー・レートは低くなり、サンプル・クロック・ジッタ条件が緩和される場合があります。

これらの計算は、理論上の計算でもあります。これらの計算では、分解能が無限でノイズのないADCを仮定しています。現実の全てのADCには付加ノイズと分解能限界があります。ADCの制約を考慮して、サンプル・クロックを過剰に指定しないようにする必要があります。

図44は前出の式をプロットしたもので、与えられた入力信号のサンプル・クロック・ジッタ条件や、与えられたサンプル・クロック・ジッタに関する予想S/N比性能を手軽に推定するのに利用できます。

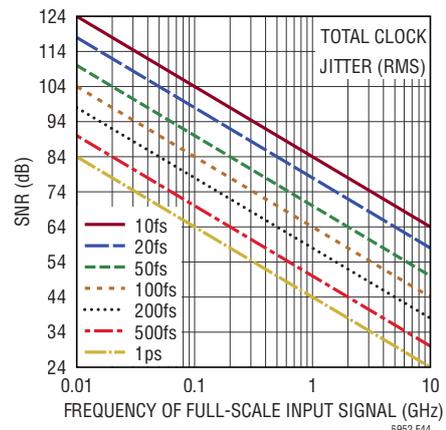


図44. S/N比と入力信号周波数とサンプル・クロック・ジッタ

アプリケーション情報

ADCのS/N比を使用したクロック・ジッタの間接的測定

一部のアプリケーションでは、システム全体の性能に対するクロックの影響を計算するには、クロック・ジェネレータの位相ノイズを、定義されているオフセット周波数範囲(12kHz~20MHz)内に収めれば十分です。このような状況では、RMSジッタは位相ノイズの測定値から計算できます。

ただし、他のアプリケーションでは、現在の位相ノイズ・アナライザの性能を超える周波数オフセットでのクロックの位相ノイズに関する知識が必要になります。この制限により、位相ノイズの測定値からジッタを計算することが困難になります。

ADCクロックの信号源のRMSジッタは、ジッタが優位を占めるS/N比測定値とジッタ以外が優位を占めるS/N比測定値を比較することによって間接的に測定できます。ジッタが優位を占めるS/N比測定値(SNR_{JITTER})は、低ジッタかつ高周波数のフルスケールのサイン波をADCのアナログ入力に印加することによって作成します。ジッタ以外が優位を占めるS/N比測定値(SNR_{BASE})は、超低振幅(または低周波数)のサイン波をADCアナログ入力に印加することによって作成します。全クロック・ジッタ(t_{J(TOTAL)})は、式25を使用して計算できます。

$$T_{J(TOTAL)} = \frac{10^{\frac{1}{2} \log_{10} \left[10^{\left(\frac{SNR_{JITTER}}{10} \right)} - 10^{\left(\frac{SNR_{BASE}}{10} \right)} \right]}{2\pi f_{IN}} \quad (25)$$

ADCの本来のアーチャ・ジッタ(t_{J(ADC)})が判明していると仮定すると、クロック・ジェネレータのジッタ(t_{J(CLK)})は式23を使用して得ることができます。

ADCのサンプル・クロック入力の駆動条件

最近の高速、高分解能ADCは、多くの点で実験室用機器の性能を凌ぐほどの性能をもつ途方もなく繊細な部品です。アナログ信号入力、電圧リファレンス、またはサンプル・クロック入力にノイズや干渉信号があると、デジタル化されたデータに簡単に現われます。ADCの性能を最大限発揮するには、サンプル・クロック入力をきれいな低ジッタ信号で駆動する必要があります。

標準的なADCのサンプル・クロック入力を簡略化したものを図45に示します。この条件で、入力ピンには、符号化の場合、ENC±というラベルが付けられます。一方で一部のADCでは、クロック入力の場合、入力CLK±というラベルが付けられます。この入力は、差動リミット・アンプ段と、ADCのトラック&ホールド段を直接制御する後段のバッファで構成されています。

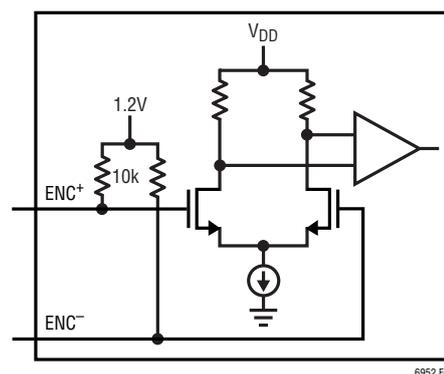


図45. サンプル・クロック入力の簡略回路図

アンプにはそれ自体のノイズがあるので、高速のスルーイング入力信号は、サンプル・クロック入力アンプにとってもメリットがあります。クロスオーバー領域で急速にスルーイングすることにより、低速に遷移する場合よりも、アンプのノイズによって発生するジッタが少なくなります。

図45に示すように、ADCのサンプル・クロック入力は通常、最善の性能を実現する差動サンプル・クロックを使用した差動入力です。また、図45は、LTC6952のCML出力とは異なる入力共通モード電圧を持つサンプル・クロック入力も示しています。ほとんどのADCアプリケーションでは、2つの共通モード電圧間での変換にはACカップリングが必要です。

アプリケーション情報

伝送線路と終端

立上がりと立下がりが多い高速信号処理回路の相互接続では、終端を適切に整合した伝送線路を使用することが必要です。伝送線路はストリップライン、マイクロストリップライン、それ以外の設計形態のいずれも可能です。伝送線路設計の詳細な説明は、このデータシートの対象範囲に含まれません。伝送線路の特性インピーダンスと終端インピーダンスとの間に不整合があると、信号の一部が反射して戻り、伝送線路の反対側の端に向かいます。開放終端または短絡終端といった極端な場合は、全ての信号が反射して戻ります。この信号反射は、波形のオーバーシュートやリングにつながります。伝送線路の遠端部を終端する方法として推奨される方法を図46に示します。

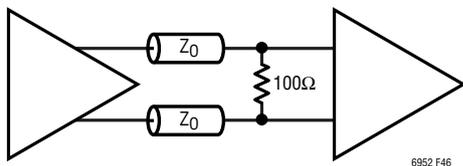


図46. 伝送線路の遠端部の終端 ($Z_0 = 50 \Omega$)

LTC6952を使用したデバイス・クロック入力の駆動

LTC6952のCML出力は、標準のCMLまたはLVPECLデバイスとのインターフェースになると共に、遠端部を終端した伝送線路を駆動する目的で設計されています。CML出力のDCカップリング出力構成とACカップリング出力構成を図47に示します。レシーバー・デバイスの中には、 100Ω の終端抵抗をデバイスに内蔵しているものもあり、その場合は外付けの 100Ω 抵抗が不要になることに注意してください。

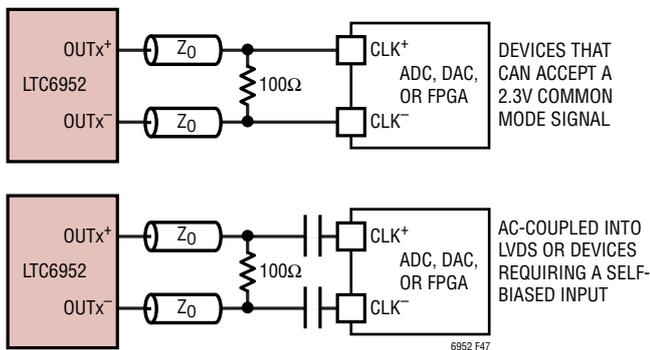


図47. デバイス・クロック入力へのOUTx CMLの接続 ($Z_0 = 50 \Omega$)

LTC6952を使用したDCカップリングSYSREF入力の駆動

JESD204B/Cアプリケーションでは、理想的には図48に示すように、LTC6952からデータ・コンバータまたはFPGAに対してSYSREF信号をDCカップリングします。これは、 $2.3V$ のコモンモード入力信号を受け入れることができるレシーバー・デバイスで可能です。レシーバー・デバイスの中には、 100Ω の終端抵抗をデバイスに内蔵しているものもあり、その場合は外付けの 100Ω 抵抗が不要になることに注意してください。

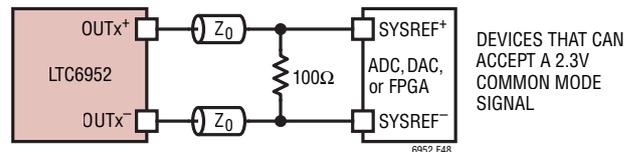


図48. OUTx CMLのSYSREF入力へのDCカップリング

あらゆるモードのDCカップリングされたSYSREFについて、正常なJESD204B/C SYSREF動作を実現するには、次の手順を使用します。

これらの手法では、SYSREF出力が既に同期されており、SYSREF出力ドライバが節電のためにディスエーブルされているものと仮定します ($PDx = 2$)。

DCカップリングされたSYSREF (MODEx = 0、1、または3)

1. $PDx = 0$ および $SRQMD = 1$ にセットして、LTC6952のSYSREF出力ドライバをイネーブルします。
2. レシーバー・デバイスをSYSREFを受け入れるように設定します。
3. SSRQまたはEVS_SRQ入力に少なくとも $1ms$ の間、1をセットし、その後0に戻します。
4. SYSREFがレシーバー・デバイスによって受け入れられた後、SYSREFの受け入れを停止するようにデバイスを設定します。
5. $PDx = 2$ および $SRQMD = 0$ にセットして、LTC6952のSYSREF出力ドライバをディスエーブルします。

アプリケーション情報

LTC6952を使用したACカップリングされたSYSREF入力の制御(連続モードまたはゲートッド・モード)

2.3VのコモンモードCML信号を受け入れることができないコンバータも存在します。その場合、SYSREFはACカップリングしなければなりません。通常、ACカップリングは連続して実行できないため、SYSREFが要求されるまでのセトリング時間の条件が長くなり、SYSREFの使用方法が複雑になります。しかし、連続またはゲートッドSYSREFパルス(MODEx = 0または1)において図49に示す接続を使用することによって、SYSREFのACカップリングを実現できます。レシーバー・デバイスの中には、100Ωの終端抵抗をデバイスに内蔵しているものもあり、その場合は連続またはゲートッドSYSREFに外付けの100Ω抵抗が不要になることに注意してください。

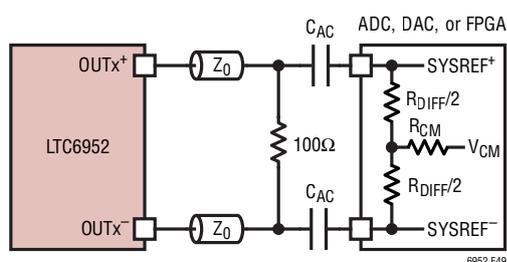


図49. OUTx CMLのSYSREF入力へのACカップリング(連続またはゲートッド・モード動作)

連続またはゲートッドSYSREF接続のセトリング時間は、ACカップリング・コンデンサ(C_{AC})、レシーバー・デバイスの差動入力抵抗(R_{DIFF})とコモンモード入力抵抗(R_{CM})の両方によって、次のように決まります。

$$t_{settleC} \cong 10 \cdot (2R_{CM} + R_{DIFF}/2) \cdot C_{AC}$$

ACカップリングされた連続またはゲートッドSYSREFについて、正常なJESD204B/C SYSREF動作を実現するには、次の手順を使用します。

これらの手法では、SYSREF出力が既に同期されており、SYSREF出力ドライバが節電のためにディスエーブルされているものと仮定します($PD_x = 2$)。

連続またはゲートッドSYSREF(MODEx = 0または1)

1. $PD_x = 0$ および $SRQMD = 1$ にセットして、LTC6952のSYSREF出力ドライバをイネーブルします。
2. ゲートッドSYSREF(MODEx = 1)が使用されている場合、 $SSRQ$ または EZS_SRQ 入力に1をセットします。
3. 少なくとも $t_{settleC}$ のセトリング時間の間待機します。
4. レシーバー・デバイスをSYSREFを受け入れるように設定します。
5. SYSREFがレシーバー・デバイスによって受け入れられた後、SYSREFの受け入れを停止するようにデバイスを設定します。
6. ゲートッドSYSREF(MODEx = 1)が使用されている場合、 $SSRQ$ または EZS_SRQ 入力に0をセットします。
7. $PD_x = 2$ および $SRQMD = 0$ にセットして、LTC6952のSYSREF出力ドライバをディスエーブルします。

LTC6952を使用したACカップリングされたSYSREF入力の制御(パルス・モード)

パルスSYSREFアプリケーション(MODEx = 3)にACカップリングが必要な場合、図50に示す接続を使用できます。レシーバー・デバイスの中には、100Ωの終端抵抗をデバイスに内蔵しているものもあることに注意してください。その場合、ACカップリングされた、パルスSYSREFは推奨されません。

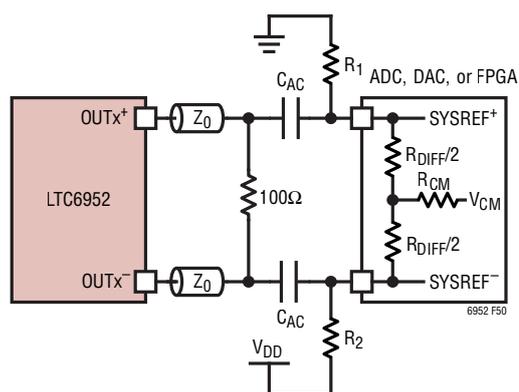


図50. OUTx CMLのSYSREF入力へのACカップリング(パルス・モード動作)

アプリケーション情報

図50における R_1 と R_2 の目的は、SYSREF出力がアクティブではないときに、CMLロジック「0」に等価なオフセットをSYSREF入力に強制することです。これらの抵抗の値は、電源電圧(VDD)とレシーバー・デバイスの入力コモンモード電圧(V_{CM})と差動入力抵抗(R_{DIFF})によって決まります。式26を使って R_1 を計算し、式27を使って R_2 を計算します。

$$R_1 = R_{DIFF} \cdot [V_{CM}/0.44 - 0.5] \quad (26)$$

$$R_2 = R_{DIFF} \cdot [(VDD - V_{CM})/0.44 - 0.5] \quad (27)$$

100Ωの終端抵抗を内蔵しているレシーバー・デバイスでは、 R_1 と R_2 の値は非常に小さいことがあります。それが全体の終端インピーダンスに悪影響を与え、望ましくないインピーダンス不整合につながる可能性があります。そのため、100Ωの終端抵抗を内蔵しているレシーバー・デバイスにACカップリングしたパルスSYSREF (MODEx = 3)の使用は推奨されません。

パルスSYSREF接続(図50)のセトリング時間は、ACカップリング・コンデンサ(C_{AC})、レシーバー・デバイスの差動入力抵抗(R_{DIFF})とコモンモード入力抵抗(R_{CM})の両方、および抵抗 R_1 と R_2 によって「概算」できます。

$$t_{settleP} \cong 10 \cdot [R_{DEV} \cdot R_{OS} / (R_{DEV} + R_{OS})] \cdot C_{AC}$$

ここで、

$$R_{DEV} = 2R_{CM} + R_{DIFF}/2$$

$$R_{OS} = \text{minimum}(R_1, R_2)$$

パルス・モードのSYSREFがACカップリングで正常に動作するには、 $t_{settleP}$ を $1000/f_{SYSREF}$ より大きくする必要があります。ここで、 f_{SYSREF} はSYSREFパルスの周波数です。

ACカップリングされたパルスSYSREFについて、正常なJESD204B/C SYSREF動作を実現するには、次の手順を使用します。

これらの手法では、SYSREF出力が既に同期されており、SYSREF出力ドライバが節電のためにディスエーブルされているものと仮定します(PDx = 2)。

パルスSYSREF (MODEx = 3)

1. PDx = 0およびSRQMD = 1にセットして、LTC6952のSYSREF出力ドライバをイネーブルします。
2. 少なくとも $t_{settleP}$ のセトリング時間の間待機します。
3. レシーバー・デバイスをSYSREFを受け入れるように設定します。

4. SSRQまたはEVS_SRQ入力に少なくとも1msの間、1をセットし、その後0に戻します。
5. レシーバー・デバイスをSYSREFの受け入れを停止するように設定します。
6. PDx = 2およびSRQMD = 0にセットして、LTC6952のSYSREF出力ドライバをディスエーブルします。

シングルエンドのテスト装置を使用した差動スプリアス信号の測定

スペクトル・アナライザを使用してクロック生成チップのシングルエンド出力のスプリアス信号を測定すると、特に方形波を近似する出力で悲観的な結果が得られます。これには2つの理由があります。

1つ目は、スプリアス・エネルギーはたいてい電源に重畳されたAC信号であるため、差動出力は正負の出力のマッチングによりノイズを除去できます。差動出力の片側のみを観察する場合、除去は行われません。

2つ目は、これが最も重要ですが、スペクトル・アナライザでは、方形波のピークとボトムのパデスタル電圧で発生する振幅変調を含む入力時のエネルギーが全て表示されることです。しかし、クロックに影響を与えるのは、ゼロ交差の近くの振幅変調のみです。

この測定誤差を解消する最善の方法は、別のきれいな電源でクロック・ジェネレータの出力を制限バッファに差動で駆動する方法です。これにより、制限バッファの差動出力の1つをスペクトル・アナライザに接続し、スプリアス・エネルギーを正しく測定できるようになります。LTC6952をクロック・ジェネレータとして、LTC6955をリミッタとして使用したこの手法の例を図51に示します。

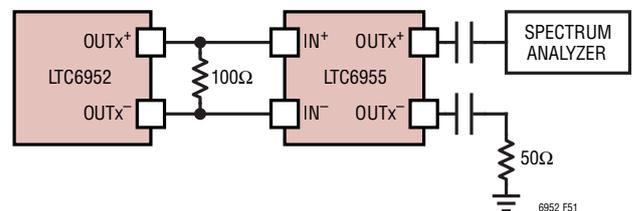
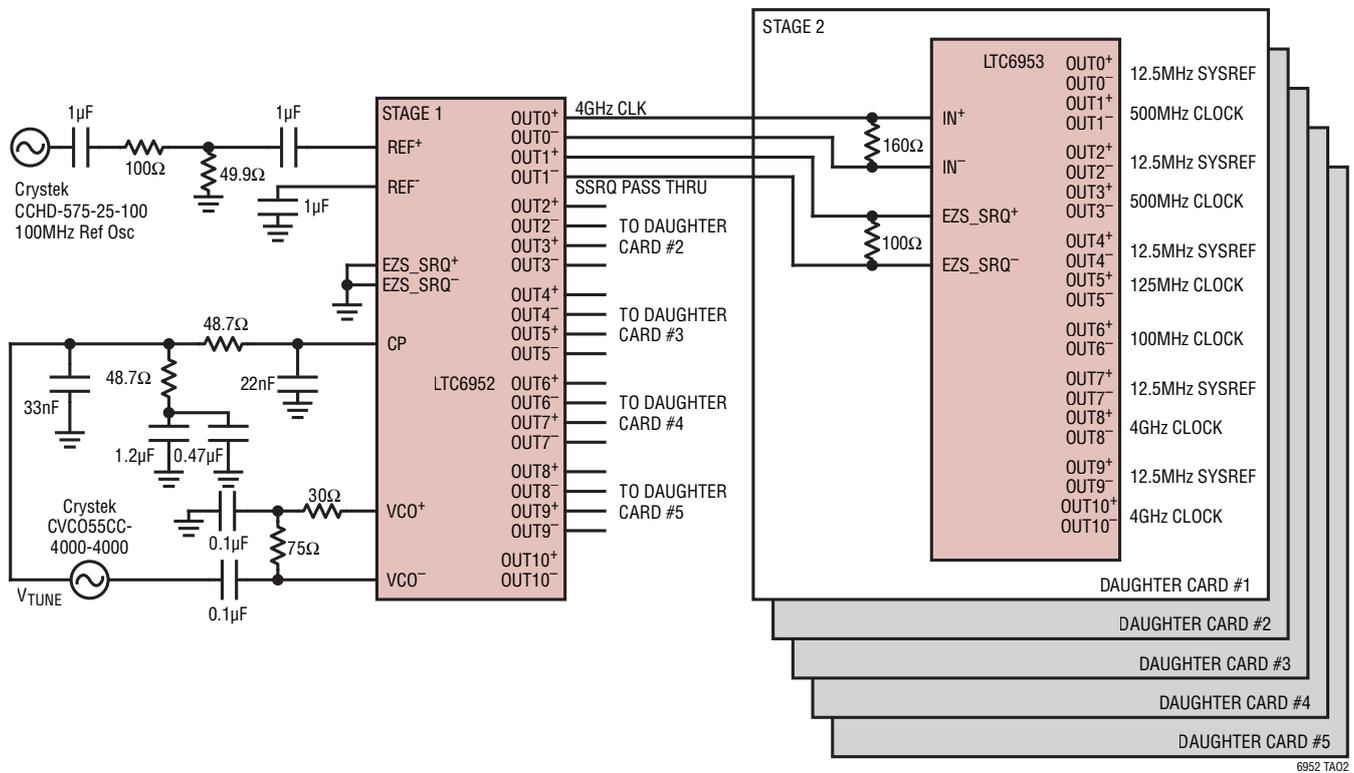


図51. スプリアス測定手法の例

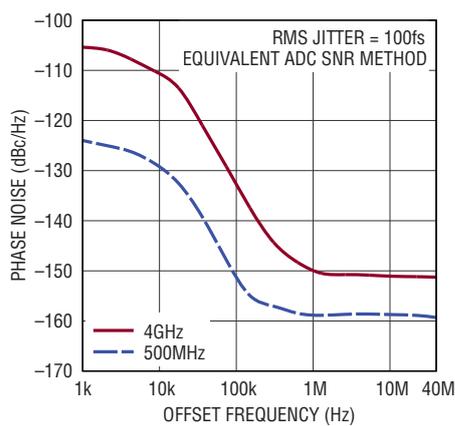
標準的応用例

EZSync マルチチップ同期、要求パススルー



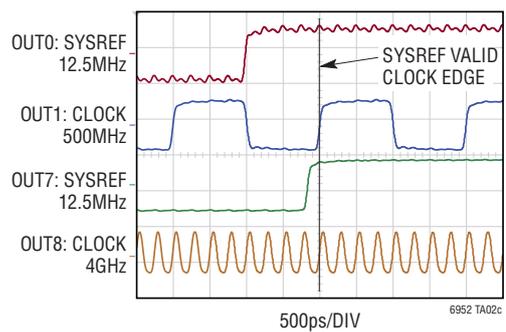
6952 TA02

LTC6952とLTC6953のEZSyncカスケード接続時の位相ノイズ



6952 TA02b

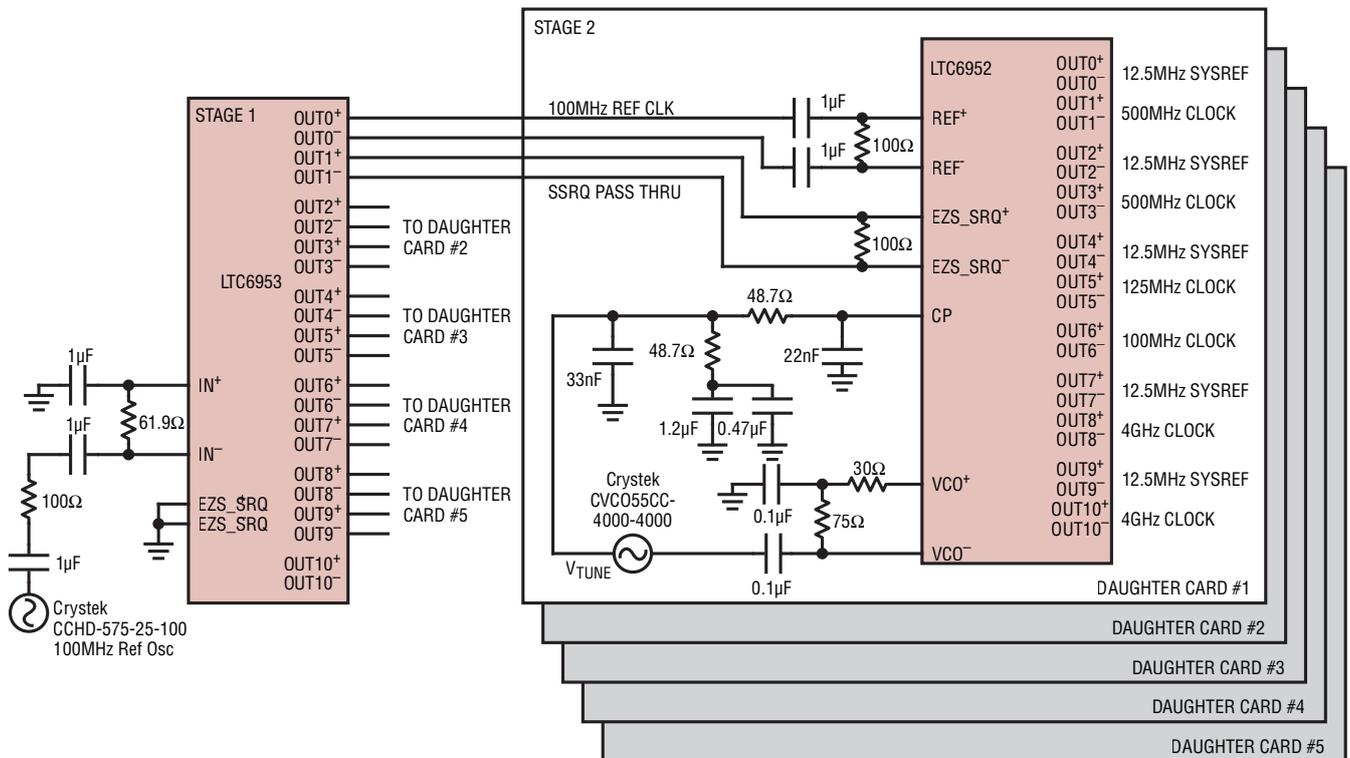
SYSREFの整列



6952 TA02c

標準的応用例

ParallelSync マルチチップ同期、要求パススルー：回路図と同期手順



Initial Setup: Program LTC6952 and LTC6953 registers settings created from the LTC6952Wizard.

- Step 1: Synchronize Stage 1 Reference Signals**
- A) EZSync: toggle Stage 1 LTC6953 SSRQ bit
 - B) OPT: Fine Alignment, adjust Stage 1 ADEL bits
- Step 3: Send SYSREF Request**
- A) Power Up LTC6952 SYSREF outputs
 - B) Set LTC6952 SRQMD=1
 - C) SEND SYSREF, Toggle Stage 1 LTC6953 SSRQ bit

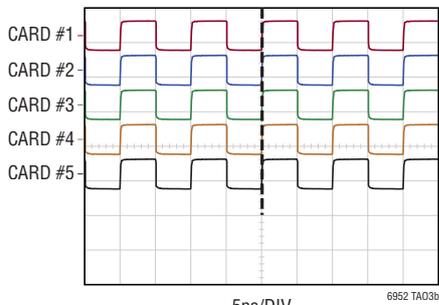
- Step 2: Synchronize Stage 2 Output Signals**
- A) Set Stage 1 LTC6953 SRQMD=1
 - B) ParallelSync, Toggle Stage 1 LTC6953 SSRQ bit
- Step 4: Optional Reduce Power**
- A) Power Down LTC6952 SYSREF outputs
 - B) Set Stage 1 LTC6953 & LTC6952 SRQMD=0

6952 TA03

標準的応用例

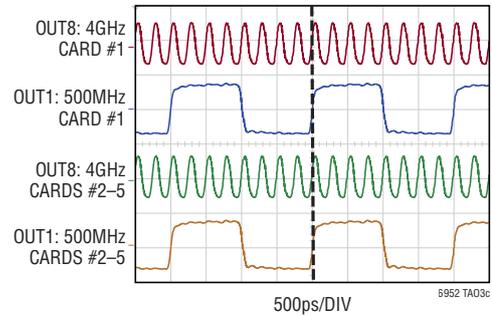
ParallelSync マルチチップ同期、要求パススルー：測定結果

ステップ1: ドーター・カード入力におけるリファレンス整列

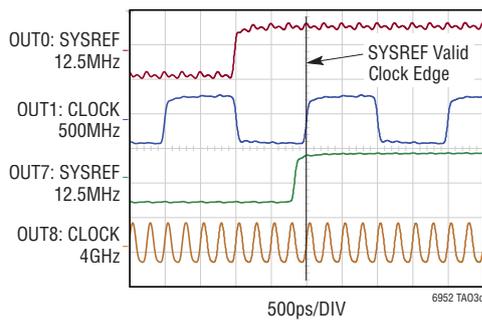


STAGE 1 ADEL ADJUSTMENTS
REF EDGE ALIGNED <math>< \pm 5.5\text{ps}</math>
(ADJUSTS FOR PART, CABLE & PCB MISMATCH)

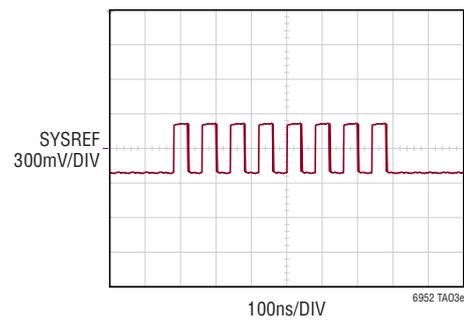
ステップ2: ParallelSYNC マルチチップのクロック整列



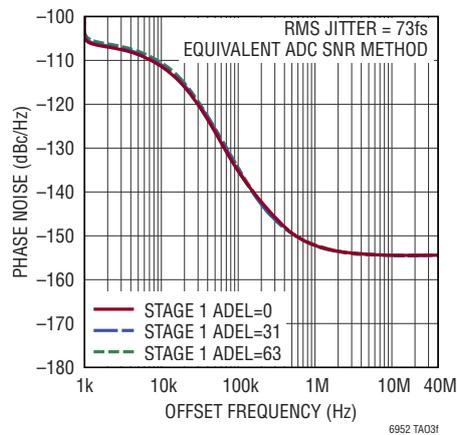
ステップ3: SYSREF の整列



ステップ3: SYSREF パルス

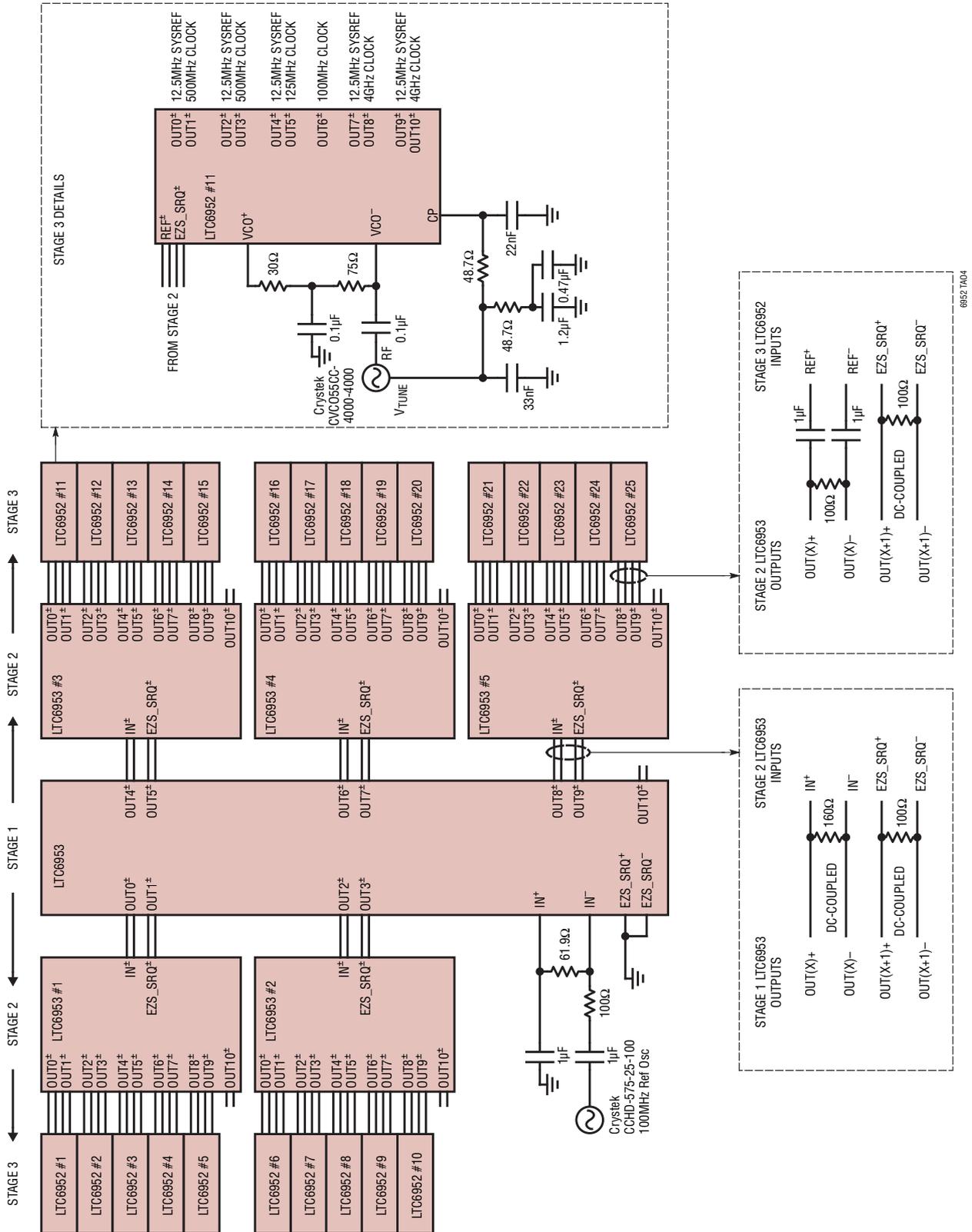


第2段 LTC6952 位相ノイズと第1段 LTC6953 ADEL の設定、 $f_{OUT} = 4\text{GHz}$ 、 $M_x = 1$



標準的応用例

3段同期アーキテクチャを使用した最大125組のADCクロック/SYSREFペアの生成回路図



標準的応用例

3段同期アーキテクチャを使用した最大125組のADCクロック/SYSREFペアの生成同期手順と測定結果

初期ステップ: LTC6952 Wizard から作成した LTC6952 と LTC6953 のレジスタ設定をプログラムします。

ステップ 1: 第 1 段と第 2 段のリファレンス信号を同期する

- A) EZSync: 第 1 段 LTC6953 の SSRQ ビットをトグルする
- B) OPT: 精密な整列、第 2 段 ADEL ビットを調整する

ステップ 2: 第 3 段の出力信号を同期する

- A) 第 1 段と第 2 段の LTC6953 に SRQMD=1 をセットする
- B) ParallelSync: 第 1 段 LTC6953 の SSRQ ビットをトグルする

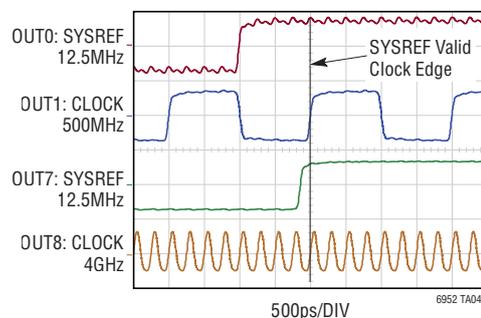
ステップ 3: SYSREF 要求を送信する

- A) LTC6952 の SYSREF 出力をパワーアップする
- B) LTC6952 に SRQMD=1 をセットする
- C) SYSREF を送信する: 第 1 段 LTC6953 の SSRQ ビットをトグルする

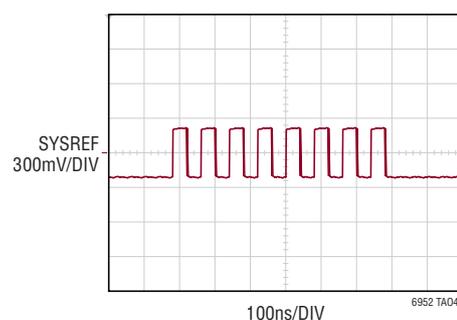
ステップ 4: オプションの節電

- A) LTC6952 の SYSREF 出力をパワーダウンする
- B) 第 1 段と第 2 段の LTC6953 & LTC6952 に SRQMD = 0 をセットする

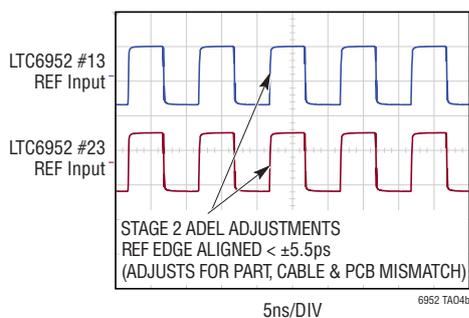
ステップ 3: SYSREF の整列



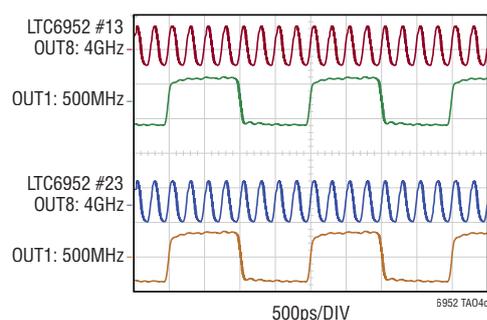
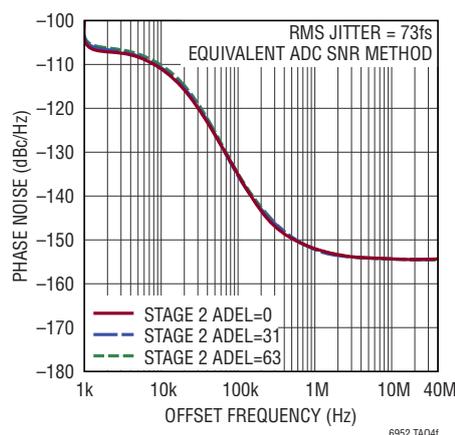
ステップ 3: SYSREF パルス



ステップ 1: リファレンスの整列

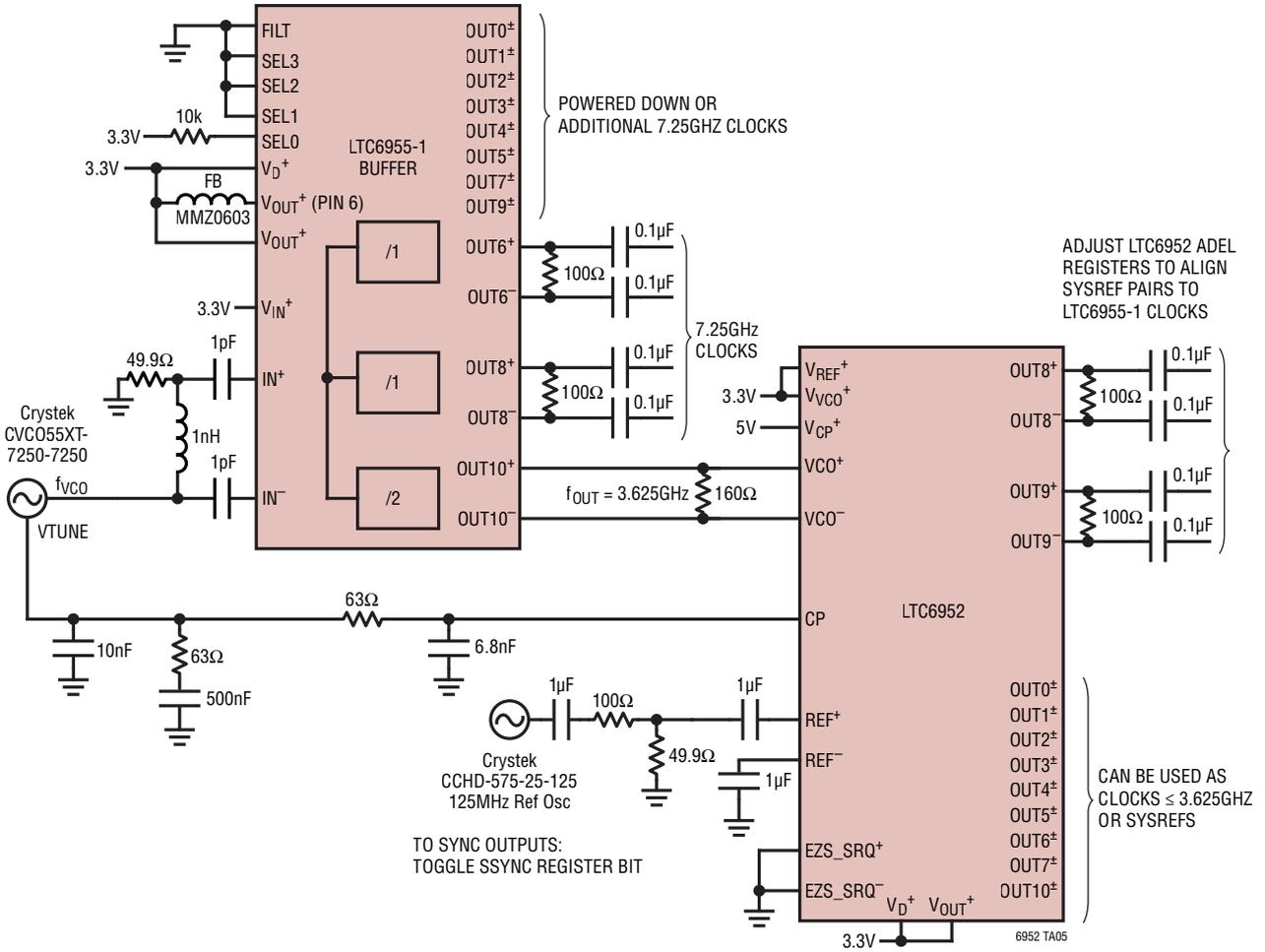


ステップ 2: ParallelSYNC マルチチップのクロック整列

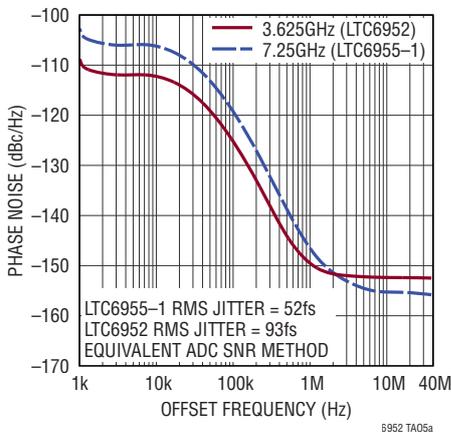
第 3 段 LTC6952 の位相ノイズと
第 2 段 LTC6953 の ADEL 設定
 $f_{\text{OUT}} = 4\text{GHz}$, $M_x = 1$ 

標準的応用例

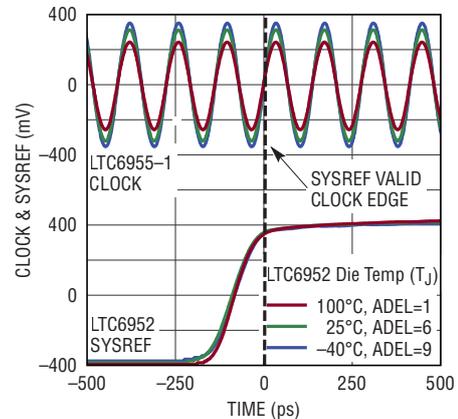
ADC SNR ジッタが 52fs で 7.25GHz のクロックの生成、LTC6952 と LTC6955-1 を使用



LTC6955-1 と LTC6952 の位相ノイズ $f_{VCO} = 7.25\text{GHz}$

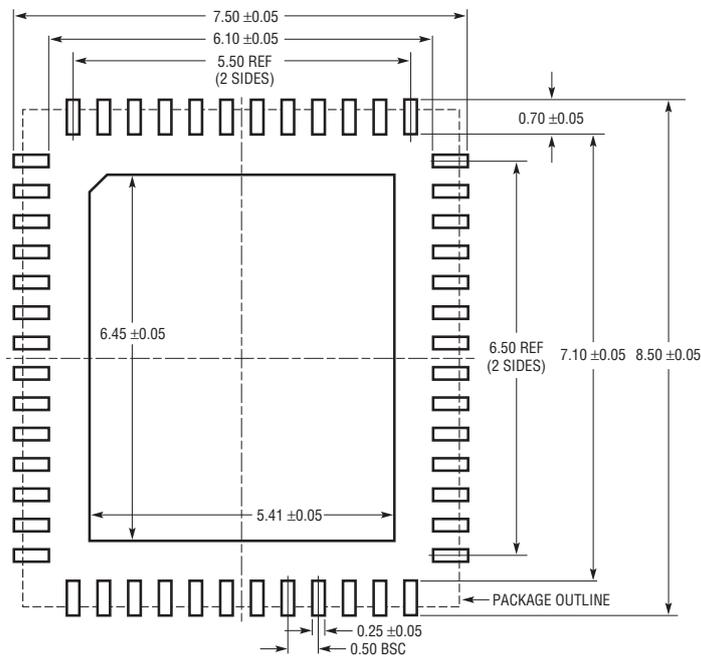


7.25GHz の JESD204B/C
 CLK と SYSREF 間の全温度範囲での
 アライメント・キャリブレーション

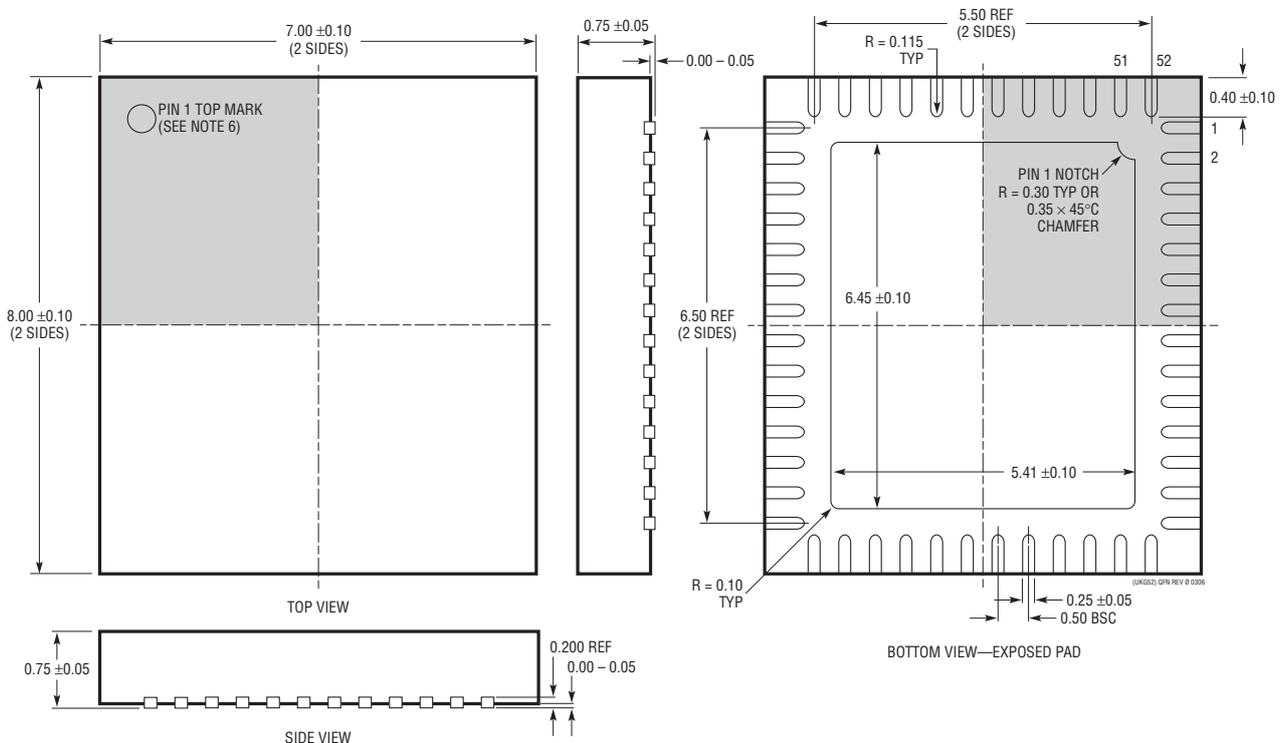


パッケージ

UKG Package
52-Lead Plastic QFN (7mm × 8mm)
 (Reference LTC DWG # 05-08-1729 Rev 0)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED

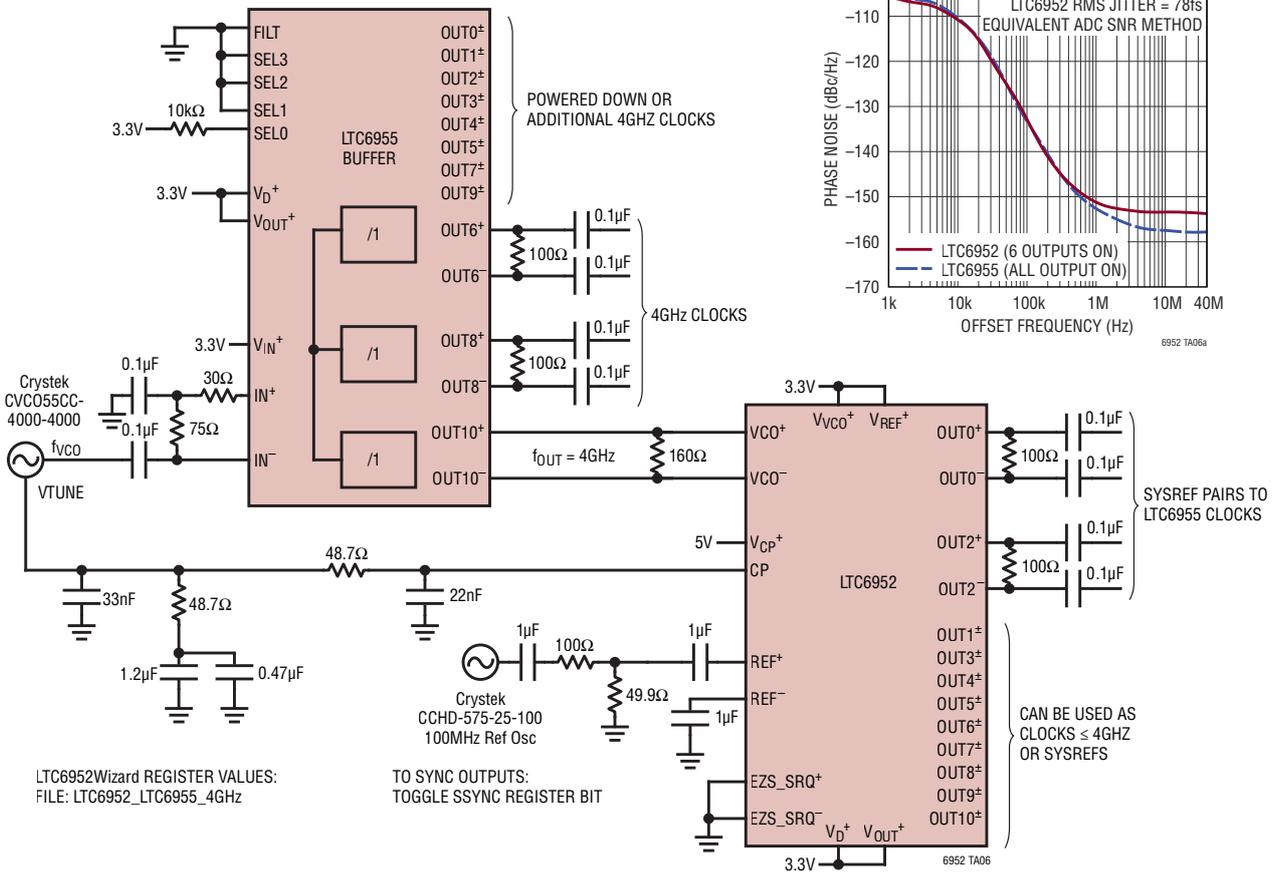
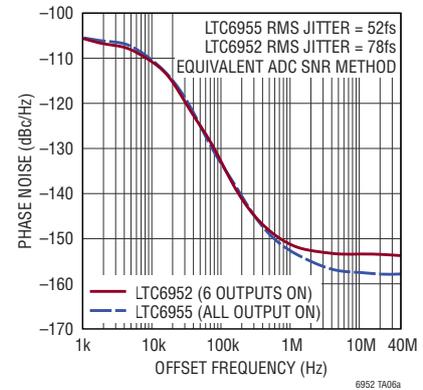


- 注記:
1. 図は JEDEC のパッケージ外形ではない
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは (もしあれば) 各サイドで 0.20mm を超えないこと
 5. 露出パッドはハンダ・メッキとする
 6. 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考に過ぎない

標準的応用例

ADC SNR ジッタが 52fs で 4GHz のクロックの生成、LTC6952 と LTC6955 を使用

LTC6955 と LTC6952 の 4GHz 位相ノイズ



関連製品

製品番号	説明	注釈
LTC6953	11 の出力を備えた、JESD204B/C をサポートする超低ジッタ 4.5GHz クロック分配器	11 の独立した CML 出力と分周器および遅延回路を内蔵、増加した ADC SNR ジッタ: 65fs
LTC6955/LTC6955-1	超低ジッタ、7.5GHz、11 出力ファンアウト・バッファ・ファミリ	11 の CML 出力、45fs の付加 ADC SNR ジッタ
HMC7043	高性能、3.2GHz、14 出力ファンアウト・バッファ	
HMC7044	JESD204B/C 対応、3.2GHz、14 出力、高性能ジッタ減衰器	
HMC987	3.3V 低ノイズ 1:9 ファンアウト・バッファ、DC~8GHz	
LTC6951	超低ジッタ VCO 内蔵の複数出力クロック・シンセサイザ	4 つの独立した CML 出力、1 つの LVDS 出力、VCO 内蔵、110fs の ADC SNR ジッタ