

4ポート IEEE 802.3bt PoE PSE コントローラ

特長

- 4つのPSEポート
 - ポート当たり2つのパワー・チャンネル
- IEEE 802.3btタイプ3および4 PSE規格に完全に準拠
 - タイプ1、2、3、および4 PDをサポート
- チャンネル当たりの電力経路損失が小さい
 - 検出抵抗: 150mΩ
 - MOSFET $R_{DS(ON)}$: 30mΩ以下
- チップセット構成で電氣的に絶縁
 - フォトカプラおよび3.3V絶縁型電源は不要
- 非常に信頼性の高いマルチポイントPD検出
 - 接続チェックによりシングル・シグネチャPDとデュアル・シグネチャPDを自動識別
- 専用機能により継続的にポートごとの電力と電流をモニタリング
 - ポートごとの電力ポリシング
- 1MHz I²C 互換のシリアル制御インターフェース
- ピンまたはI²Cで設定可能な最大71.3WのPD電源
- 40ピン6mm×6mm (LTC4292)と24ピン4mm×4mm (LTC4291-1)のQFNパッケージで提供

アプリケーション

- PoE PSEスイッチ/ルーター
- PoE PSEミッドスパン

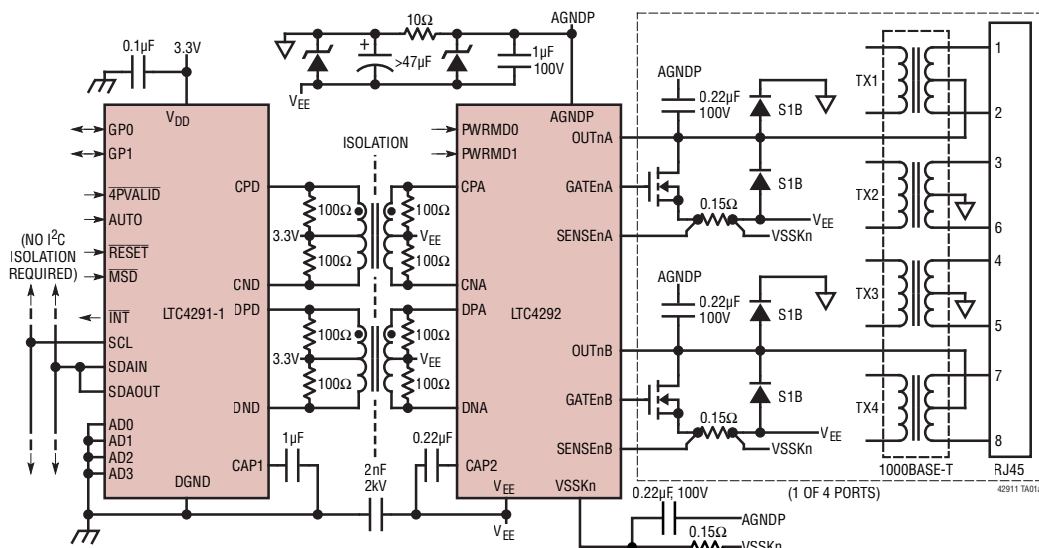
概要

LTC[®]4291-1/LTC4292 チップセットは、IEEE 802.3bt タイプ3および4 準拠のPoE (Power over Ethernet) システム向け4ポートPSE (Power Sourcing Equipment) コントローラです。LTC4291-1/LTC4292は、802.3af、802.3at、および802.3bt 準拠のPDに電力を供給するように設計されています。LTC4291-1/LTC4292 チップセットは、パワー・チャンネルごとに低 $R_{DS(ON)}$ の外付けMOSFETと0.15Ωの検出抵抗を利用することで業界で最も小さい熱損失を実現しています。高価なフォトカプラと複雑な3.3V絶縁型電源をトランス絶縁型の通信プロトコルに置き換えることで、部品コストを大幅に低減します。

高度なパワー・マネージメント機能には、ポートごとの14ビット電流モニタリング、プログラマブルな電流制限、事前を選択したポートの多目的高速シャットダウンが含まれます。高度なパワー・マネージメントのためのホスト・ソフトウェアは無償ライセンス版が用意されています。独自のマルチポイント検出機構を備えたPD検出機能によって、PDの誤識別を防止します。オートクラスと5イベント物理分類をサポートしています。LTC4291-1/LTC4292は、最大1MHzで動作可能なI²Cシリアル・インターフェースを内蔵しています。LTC4291-1/LTC4292は、ピンまたはI²Cを使ってPD供給電力を最大71.3Wまで設定できます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LTC4291-1/LTC4292

絶対最大定格

(Notes 1, 4)

LTC4292

電源電圧

AGNDP – V_{EE} –0.3V ~ 80V

VSSK12、VSSK34 (Note 7) (V_{EE} – 0.3V) ~ (V_{EE} + 0.3V)

デジタル・ピン

PWRMD0、PWRMD1 (V_{EE} – 0.3V) ~ (CAP2 + 0.3V)

アナログ・ピン

SENSEnM、GATEnM、OUTnM (V_{EE} – 0.3V) ~ (V_{EE} + 80V)

CAP2 (Note 13) (V_{EE} – 0.3V) ~ (V_{EE} + 5V)

CPA、CNA、DPA、DNA (V_{EE} – 0.3V) ~ (V_{EE} + 0.3V)

動作周囲温度範囲

LTC4292I –40°C ~ 85°C

ジャンクション温度 (Note 2) 125°C

保存温度範囲 –65°C ~ 150°C

(Note 1)

LTC4291-1

電源電圧

V_{DD} – DGND –0.3V ~ 3.6V

デジタル・ピン

SCL、SDAIN、SDAOUT、 $\overline{\text{INT}}$ 、 $\overline{\text{RESET}}$ 、 $\overline{\text{MSD}}$ 、ADn、AUTO、 $\overline{4PVALID}$ 、GPn (DGND – 0.3V) ~ (V_{DD} + 0.3V)

アナログ・ピン

CAP1 (Note 13) –0.3V ~ (DGND + 2V)

CPD、CND、DPD、DND (DGND – 0.3V) ~ (V_{DD} + 0.3V)

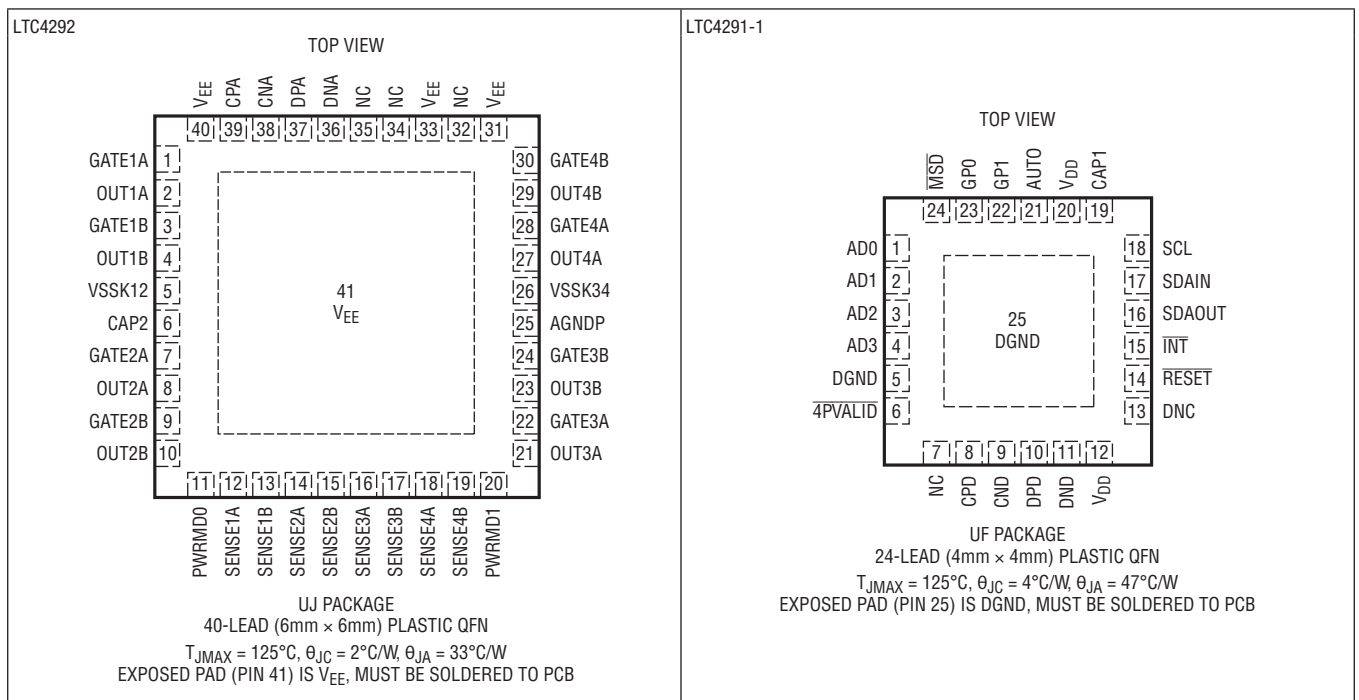
動作周囲温度範囲

LTC4291I-1 –40°C ~ 85°C

ジャンクション温度 (Note 2) 125°C

保存温度範囲 –65°C ~ 150°C

ピン配置



発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング	パッケージ	温度範囲
LTC4291IUF-1#PBF	LTC4291IUF-1#TRPBF	42911	24-Lead (4mm × 4mm) Plastic QFN	-40°C to 85°C
LTC4292IUJ#PBF	LTC4292IUJ#TRPBF	LTC4292UJ	40-Lead (6mm × 6mm) Plastic QFN	-40°C to 85°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。
 テープ&リールの仕様。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGNDP} - V_{EE} = 54\text{V}$ および $V_{DD} - \text{DGND} = 3.3\text{V}$ (Note 3および4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Main PoE Supply Voltage	$\text{AGNDP} - V_{EE}$	●	51	57	V	
		For IEEE Type 3 Compliant Output For IEEE Type 4 Compliant Output	●	53	57	V	
V_{DD}	Undervoltage Lock-Out	$\text{AGNDP} - V_{EE}$	●	20	25	30	V
	V_{DD} Supply Voltage	$V_{DD} - \text{DGND}$	●	3.0	3.3	3.6	V
	Undervoltage Lock-Out	$V_{DD} - \text{DGND}$			2.7		V
V_{CAP1}	Internal Regulator Supply Voltage	$V_{CAP1} - \text{DGND}$		1.84		V	
V_{CAP2}	Internal Regulator Supply Voltage	$V_{CAP2} - V_{EE}$		4.3		V	
I_{EE}	V_{EE} Supply Current	$(\text{AGNDP} - V_{EE}) = 55\text{V}$	●	9	15	mA	
R_{EE}	V_{EE} Supply Resistance	$(\text{AGNDP} - V_{EE}) < 15\text{V}$	●		12	k Ω	
I_{DD}	V_{DD} Supply Current	$(V_{DD} - \text{DGND}) = 3.3\text{V}$	●	10	15	mA	

検出/接続チェック

	Forced Current	First Point, $\text{AGNDP} - V_{OUTnM} = 9\text{V}$	●	220	240	260	μA
		Second Point, $\text{AGNDP} - V_{OUTnM} = 3.5\text{V}$	●	143	160	180	μA
	Forced Voltage	$\text{AGNDP} - V_{OUTnM}$, $5\mu\text{A} \leq I_{OUTnM} \leq 500\mu\text{A}$	●	7	8	9	V
		First Point Second Point	●	3	4	5	V
V_{OC}	Detection/Connection Check Current Compliance	$\text{AGNDP} - V_{OUTnM} = 0\text{V}$	●		0.8	0.9	mA
	Detection/Connection Check Voltage Compliance	$\text{AGNDP} - V_{OUTnM}$, Open Port	●		10.4	12	V
	Detection/Connection Check Voltage Slew Rate	$\text{AGNDP} - V_{OUTnM}$, $C_{PORT} = 0.15\mu\text{F}$ (Note 7)	●			0.01	V/ μs
	Min. Valid Signature Resistance		●	15.5	17	18.5	k Ω
	Max. Valid Signature Resistance		●	27.5	29.7	32	k Ω

LTC4291-1/LTC4292

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGNDP} - V_{EE} = 54\text{V}$ および $V_{DD} - \text{DGND} = 3.3\text{V}$ (Note 3および4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
分類							
V_{CLASS}	Classification Voltage	$\text{AGNDP} - V_{\text{OUTnM}}, 0\text{mA} \leq I_{\text{OUTnM}} \leq 50\text{mA}$	●	16.0	20.5	V	
	Classification Current Compliance	$V_{\text{OUTnM}} = \text{AGNDP}$	●	53	61	67	mA
	Classification Threshold Current	Class Signature 0 – 1	●	5.5	6.5	7.5	mA
		Class Signature 1 – 2	●	13.5	14.5	15.5	mA
		Class Signature 2 – 3	●	21.5	23	24.5	mA
		Class Signature 3 – 4	●	31.5	33	34.9	mA
		Class Signature 4 – Overcurrent	●	45.2	48	50.8	mA
V_{MARK}	Classification Mark State Voltage	$\text{AGNDP} - V_{\text{OUTnM}}, 0.1\text{mA} \leq I_{\text{CLASS}} \leq 5\text{mA}$	●	7.5	9	10	V
	Mark State Current Compliance	$V_{\text{OUTnM}} = \text{AGNDP}$	●	53	61	67	mA
ゲート・ドライバ							
	GATE Pin Pull-Down Current	Port Off, $V_{\text{GATEnM}} = V_{EE} + 5\text{V}$	●	0.4			mA
		Port Off, $V_{\text{GATEnM}} = V_{EE} + 1\text{V}$	●	0.08	0.12		mA
	GATE Pin Fast Pull-Down Current	$V_{\text{GATEnM}} = V_{EE} + 5\text{V}$			30		mA
	GATE Pin On Voltage	$V_{\text{GATEnM}} - V_{EE}, I_{\text{GATEnM}} = 1\mu\text{A}$	●	8	12	14	V
出力電圧検出							
V_{PG}	Power Good Threshold Voltage	$V_{\text{OUTnM}} - V_{EE}$	●	2	2.4	2.8	V
	OUT Pin Pull-Up Resistance to AGNDP	$0\text{V} \leq (\text{AGNDP} - V_{\text{OUTnM}}) \leq 5\text{V}$	●	300	500	700	k Ω
電流検出							
$V_{\text{CUT-2P}}$	Overcurrent Sense Voltage, Single-Signature PD	$V_{\text{SENSEnM}} - V_{\text{SSKn}}$	●				
		Class 1, $\text{CUTn}[6:0] = 45\text{h}$	●	13.5	14.1	14.6	mV
		Class 2, $\text{CUTn}[6:0] = 48\text{h}$	●	21.6	22.5	23.4	mV
		Class 3, $\text{CUTn}[6:0] = 52\text{h}$	●	47.5	50.5	53.5	mV
		Class 4, $\text{CUTn}[6:0] = 62\text{h}$	●	92.0	96.0	100.0	mV
		Class 5, $\text{CUTn}[6:0] = 5\text{Fh}$	●	84.0	87.0	91.0	mV
		Class 6, $\text{CUTn}[6:0] = 67\text{h}$	●	105	110	114	mV
		Class 7, $\text{CUTn}[6:0] = 6\text{Ch}$	●	119	124	129	mV
	Class 8, $\text{CUTn}[6:0] = 74\text{h}$ (Note 12)	●	140	146	152	mV	
	Overcurrent Sense Voltage, Dual-Signature PD	$V_{\text{SENSEnM}} - V_{\text{SSKn}}$	●				
		Class 1, $\text{CUTn}[6:0] = 45\text{h}$	●	13.5	14.1	14.6	mV
		Class 2, $\text{CUTn}[6:0] = 48\text{h}$	●	21.6	22.5	23.4	mV
		Class 3, $\text{CUTn}[6:0] = 52\text{h}$	●	47.5	50.5	53.5	mV
		Class 4, $\text{CUTn}[6:0] = 62\text{h}$	●	92.0	96.0	100.0	mV
Class 5, $\text{CUTn}[6:0] = 74\text{h}$ (Note 12)		●	140	146	152	mV	
$V_{\text{LIM-2P}}$	Active Current Limit, Single-Signature PD	$V_{\text{OUTnM}} - V_{EE} < 10\text{V}$	●				
		Class 1 – Class 3, $\text{LIMn} = 80\text{h}$	●	61.2	63.6	67.3	mV
		Class 4 – Class 6, $\text{LIMn} = \text{C0h}$	●	122	128	135	mV
		Class 7, $\text{LIMn} = \text{D0h}$	●	153	159	169	mV
	Active Current Limit, Dual-Signature PD	$V_{\text{OUTnM}} - V_{EE} < 10\text{V}$	●				
		Class 1 – Class 3, $\text{LIMn} = 80\text{h}$	●	61.2	63.6	67.3	mV
		Class 4, $\text{LIMn} = \text{C0h}$	●	122	128	135	mV
		Class 5, $\text{LIMn} = \text{E9h}$ (Note 12)	●	168	175	185	mV
$V_{\text{INRUSH-2P}}$	Active Current Limit, Inrush	$\text{AGNDP} - V_{\text{OUTnM}} > 30\text{V}$ (Note 17)	●				
		$\text{LIMn} = 80\text{h}$ $\text{LIMn} = 08\text{h}$	●	61.2 30.6	63.6 31.8	67.3 33.7	mV mV
$V_{\text{HOLD-2P}}$	DC Disconnect Sense Voltage	$V_{\text{SENSEnM}} - V_{\text{SSKn}}$	●				
		$\text{CUTn}[7]$ (Dis) Bit = 0 $\text{CUTn}[7]$ (Dis) Bit = 1 (Note 12)	●	0.31 0.76	0.53 1.13	0.74 1.49	mV mV

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGNDP} - V_{EE} = 54\text{V}$ および $V_{DD} - \text{DGND} = 3.3\text{V}$ 。(Notes3および4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{SC}	Short-Circuit Sense	$V_{SENSEnM} - V_{EE} - V_{LIM}$	●	20	50	80	mV

ポート電流の読出し

	Full-Scale Range	(Note 7, 15, 16)			1.018	V	
	LSB Weight	$V_{SENSEnM} - V_{SSKn}$, $V_{SSKn} = V_{EE}$ (Note 15)	●	61.0	62.1	63.5	$\mu\text{V}/\text{LSB}$
	Averaging Period	FILTER_TYPE Bit = 1 FILTER_TYPE Bit = 0 (Note 7)			100 1000	ms ms	
	Update Interval	(Note 7)			100	ms	

ポート電力の読出し

	Full-Scale Range	(Note 7, 15, 16)			83.8	V^2	
	LSB Weight	$(V_{SENSEnM} - V_{SSKn}) \times (\text{AGNDP} - V_{EE})$ $V_{SSKn} = V_{EE}$ (Note 15)	●	4.992	5.115	5.235	mV^2/LSB
	Averaging Period	FILTER_TYPE Bit = 1 FILTER_TYPE Bit = 0 (Note 7)			100 1000	ms ms	
	Update Interval	(Note 7)			100	ms	

システム電圧の読出し

	Full-Scale Range	(Note 7)			82	V	
	LSB Weight	$\text{AGNDP} - V_{EE}$	●	9.8	10.1	10.3	mV/LSB
	Averaging Period	FILTER_TYPE Bit = 1 FILTER_TYPE Bit = 0 (Note 7)			100 1000	ms ms	
	Update Interval	(Note 7)			100	ms	

デジタル・インターフェース

V_{ILD}	Digital Input Low Voltage	ADn , $\overline{\text{RESET}}$, $\overline{\text{MSD}}$, GPn , AUTO , $\overline{4\text{PVALID}}$ (Note 6)	●			0.8	V
	I ² C Input Low Voltage	SCL , SDAIN (Note 6)	●			1.0	V
V_{IHD}	Digital Input High Voltage	(Note 6)	●	2.2			V
	Digital Output Voltage Low	$I_{\text{SDAOUT}} = 3\text{mA}$, $I_{\text{INT}} = 3\text{mA}$ $I_{\text{SDAOUT}} = 5\text{mA}$, $I_{\text{INT}} = 5\text{mA}$	●			0.4	V
			●			0.7	V
	Internal Pull-Up to V_{DD}	ADn , $\overline{\text{RESET}}$, $\overline{\text{MSD}}$, GPn			50		$\text{k}\Omega$
	Internal Pull-Down to DGND	AUTO , $\overline{4\text{PVALID}}$			50		$\text{k}\Omega$

PWRMD

	PWRMD Digital Input Low Voltage	$V_{\text{PWRMDn}} - V_{EE}$	●			0.8	V
	PWRMD Digital Input High Voltage	$V_{\text{PWRMDn}} - V_{EE}$	●	3.4			V
	Internal Pull Up to CAP2	PWRMD0 , PWRMD1			50		$\text{k}\Omega$

PSEのタイミング特性 (Note 7)

t_{DET}	Detection Time	Beginning to End of Detection	●		320	500	ms
$t_{\text{CLASS_RESET}}$	Classification Reset Duration		●	15			ms
t_{CEV}	Class Event Duration		●	6	12	20	ms
t_{CEVON}	Class Event Turn On Duration	$C_{\text{PORT}} = 0.6\mu\text{F}$	●			0.1	ms
t_{LCE}	Long Class Event Duration		●	88		105	ms
t_{CLASS}	Class Event I_{CLASS} Measurement Timing		●	6			ms
$t_{\text{CLASS_LCE}}$	Long Class Event I_{CLASS} Measurement Timing		●	6		75	ms
$t_{\text{CLASS_ACS}}$	Autoclass I_{CLASS} Measurement Timing		●	88			ms

LTC4291-1/LTC4292

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGNDP} - V_{EE} = 54\text{V}$ および $V_{DD} - \text{DGND} = 3.3\text{V}$ (Notes3および4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
t_{ME1}	Mark Event Duration (Except Last Mark Event)	(Note 11)	●	6	8.6	12	ms
t_{ME2}	Last Mark Event Duration	(Note 11)	●	6	20		ms
t_{PON}	Power On Delay, Auto Mode	From End of Valid Detect to End of Valid Inrush (Note 14)	●			400	ms
$t_{\text{AUTO_PSE1}}$	Autoclass Power Measurement Start	From End of Inrush to Beginning of Autoclass Power Measurement	●	1.4		1.6	s
$t_{\text{AUTO_PSE2}}$	Autoclass Power Measurement End	From End of Inrush to End of Autoclass Power Measurement	●	3.1		3.5	s
$t_{\text{AUTO_WINDOW}}$	Autoclass Average Power Sliding Window		●	0.15	0.2	0.3	s
t_{ED}	Fault Delay	From Power On Fault to Next Detect	●	1.0	1.3	1.5	s
t_{START}	Maximum Current Limit Duration During Inrush		●	52	59	66	ms
t_{CUT}	Maximum Overcurrent Duration After Inrush		●	52	59	66	ms
	Maximum Overcurrent Duty Cycle		●	5.8	6.3	6.7	%
t_{LIM}	Maximum Current Limit Duration After Inrush	(Note 12) Type 3, $t_{\text{LIMn}} = 8\text{h}$ Type 4, $t_{\text{LIMn}} = 5\text{h}$	● ●	10 6	12 8	14 10	ms ms
t_{MPS}	Maintain Power Signature (MPS) Pulse Width Sensitivity	Current Pulse Width to Reset Disconnect Timer (Note 8)	●	1.6		3.6	ms
t_{DIS}	Maintain Power Signature (MPS) Dropout Time	(Note 5)	●	320	350	380	ms
t_{MSD}	Masked Shut Down Delay					6.5	μs
	$I^2\text{C}$ Watchdog Timer Duration		●	1.5	2	3	s
	Minimum Pulse Width for Masked Shut Down		●	3			μs
	Minimum Pulse Width for $\overline{\text{RESET}}$		●	4.5			μs

$I^2\text{C}$ のタイミング (Note 7)

f_{SCLK}	Clock Frequency		●			1	MHz
t_1	Bus Free Time	Figure 5(Note 9)	●	480			ns
t_2	Start Hold Time	Figure 5(Note 9)	●	240			ns
t_3	SCL Low Time	Figure 5(Note 9)	●	480			ns
t_4	SCL High Time	Figure 5(Note 9)	●	240			ns
t_5	SDAIN Data Hold Time	Figure 5(Note 9)	●	60			ns
t_5	Data Clock to SDAOUT Valid	Figure 5(Note 9)	●			130	ns
t_6	Data Set-Up Time	Figure 5(Note 9)	●	80			ns
t_7	Start Set-Up Time	Figure 5(Note 9)	●	240			ns
t_8	Stop Set-Up Time	Figure 5(Note 9)	●	240			ns
t_r	SCL, SDAIN Rise Time	Figure 5(Note 9)	●			120	ns
t_f	SCL, SDAIN Fall Time	Figure 5(Note 9)	●			60	ns
	Fault Present to $\overline{\text{INT}}$ Pin Low	(Notes 9, 10)	●			150	ns
	Stop Condition to $\overline{\text{INT}}$ Pin Low	(Notes 9, 10)	●			1.5	μs

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGNDP} - V_{EE} = 54\text{V}$ および $V_{DD} - \text{DGND} = 3.3\text{V}$ (Notes3および4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	ARA to INT Pin High Time	(Note 9)	●		1.5	μs
	SCL Fall to ACK Low	(Note 9)	●		130	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、($V_{DD} - \text{DGND}$)を除き、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: このデバイスには、短時間の過負荷状態の間デバイスを保護するための過熱保護機能が備わっている。過熱保護機能がアクティブなときジャンクション温度は 140°C を超える。規定された最大動作ジャンクション温度を超えた状態で動作が継続すると、デバイスの信頼性を損なう恐れがある。

Note 3: デバイスのピンに流れ込む電流は全て正。デバイスのピンから流れ出す電流は全て負。

Note 4: LTC4292は(AGNDP を基準にして)負電源電圧で動作する。混乱を避けるため、このデータシートの電圧は絶対値を単位としている。

Note 5: t_{DIS} はIEEE 802.3で定義された t_{MPD0} と同じ。

Note 6: LTC4291-1 デジタル・インターフェースは DGND を基準にして動作する。全てのロジック・レベルは DGND を基準に測定される。

Note 7: 設計上の性能は確保されているが、テストされない。

Note 8: IEEE 802.3規格では、PDを切り離すことなく、PDがそのMaintain Power Signature (MPS)を断続的に出力できる。電力供給を受け続けるには、PDは t_{MPD0} の時間範囲内で t_{MPS} の間MPSを出力する必要がある。

Note 9: V_{ILD} および V_{IHD} で測定した値。

Note 10: $I^2\text{C}$ トランザクション中に障害状態が発生した場合、 $I^2\text{C}$ バスに停止条件が生じるまでINTピンの電圧は低下しない。

Note 11: マーク時のLTC4292の負荷特性: $7\text{V} < (\text{AGNDP} - V_{OUTnM}) < 10\text{V}$ or $I_{OUTnM} < 50\mu\text{A}$ 。

Note 12: シリアル・バスの使用法、デバイスの設定、およびステータス・レジスタについては、LTC4291 Software Programming技術文書を参照。

Note 13: CAP1およびCAP2に対しては、電流を流し出すことも流し込むこともしてはならない。

Note 14: シングル・シグネチャPDの場合、 t_{PON} は、一方のパワー・チャンネルでの有効な検出の終了時から測定される。デュアル・シグネチャPDの場合、 t_{PON} は、同じパワー・チャンネルでの有効な検出の終了時から測定される。

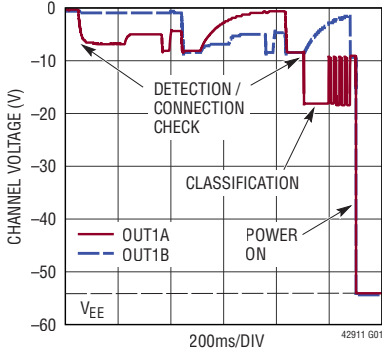
Note 15: ポート電流とポート電力の測定値は、検出抵抗の値(代表値: 0.15Ω)により異なる。詳細については、外付け部品の選択を参照。

Note 16: パワー・チャンネルごとのフルスケール・レンジは、ポートのフルスケール・レンジの半分。

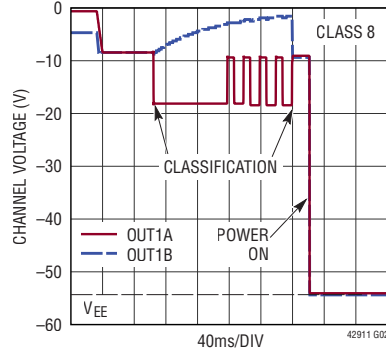
Note 17: 突入電流閾値の選択については、突入電流の制御を参照。

代表的な性能特性

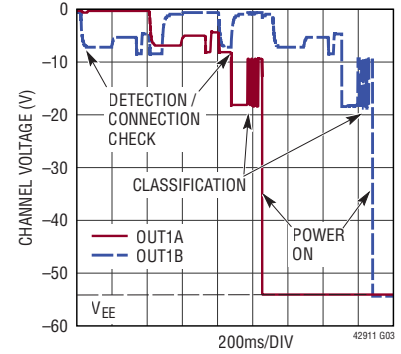
802.3bt シングル・シグネチャの電源投入シーケンス



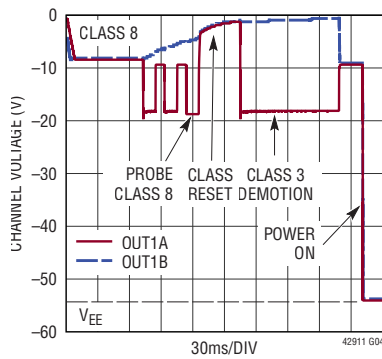
802.3bt シングル・シグネチャの分類と電源投入



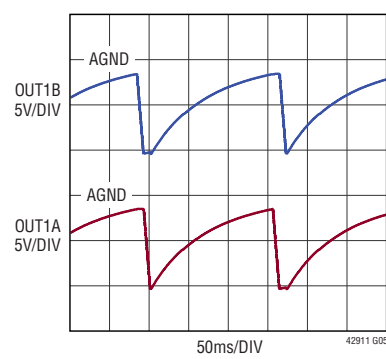
802.3bt デュアル・シグネチャの電源投入シーケンス



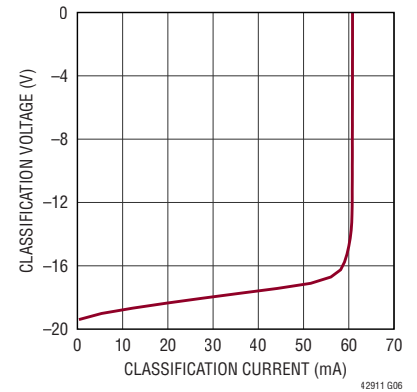
802.3bt シングル・シグネチャのクラス・プローブおよびクラス格下げ



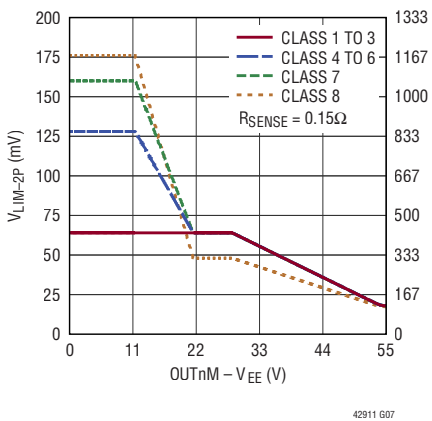
オープン・サーキットの検出



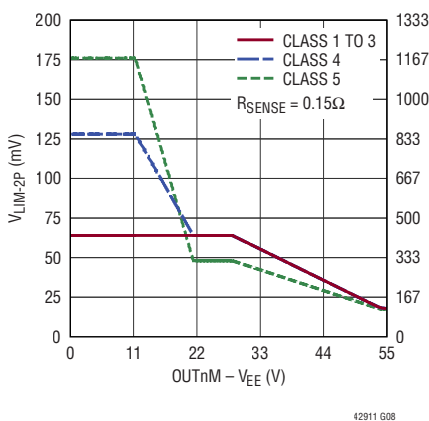
分類電流のコンプライアンス



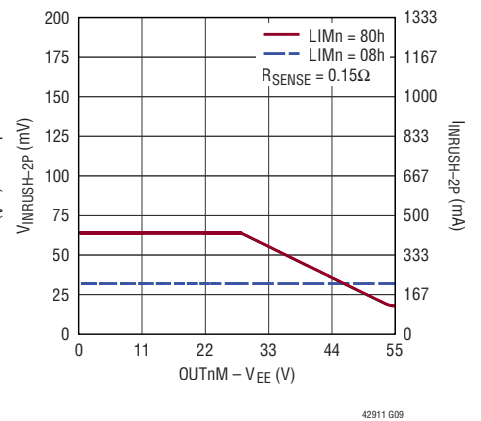
電源投入時の電流制限
シングル・シグネチャ



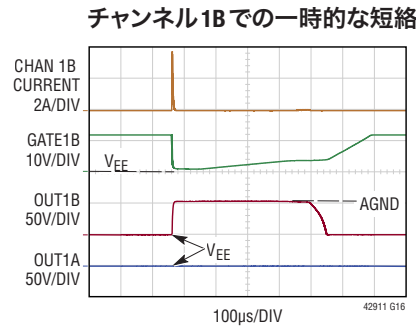
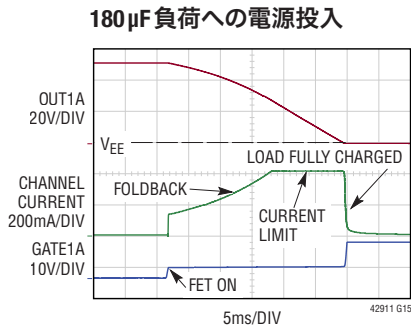
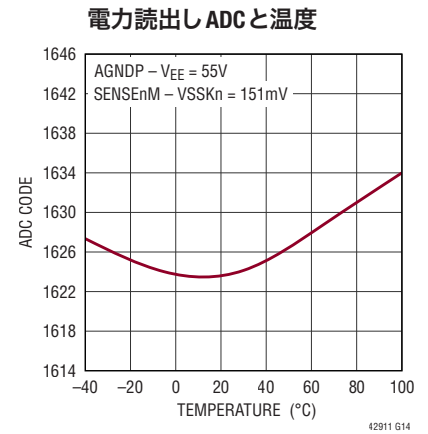
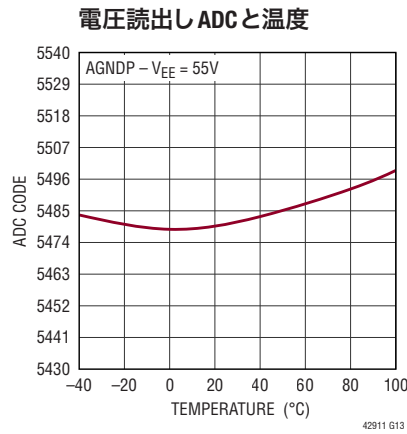
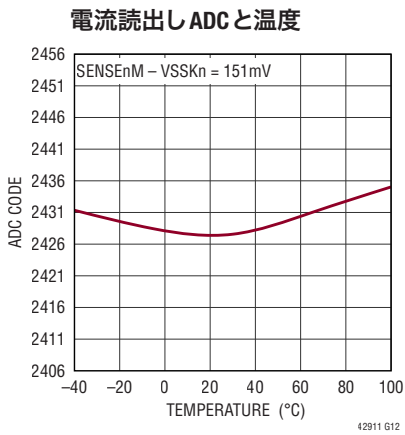
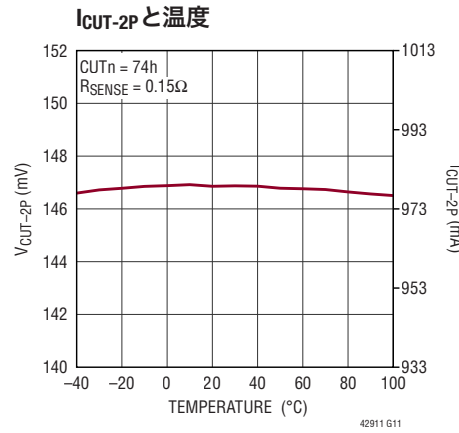
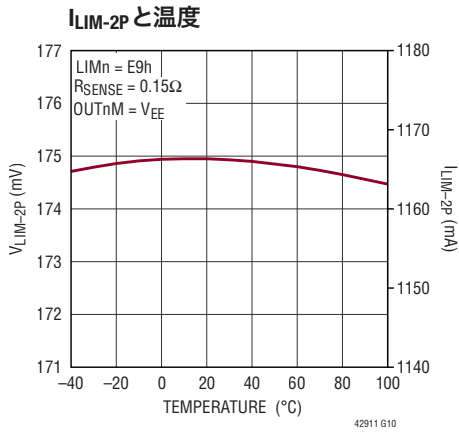
電源投入時の電流制限
デュアル・シグネチャ



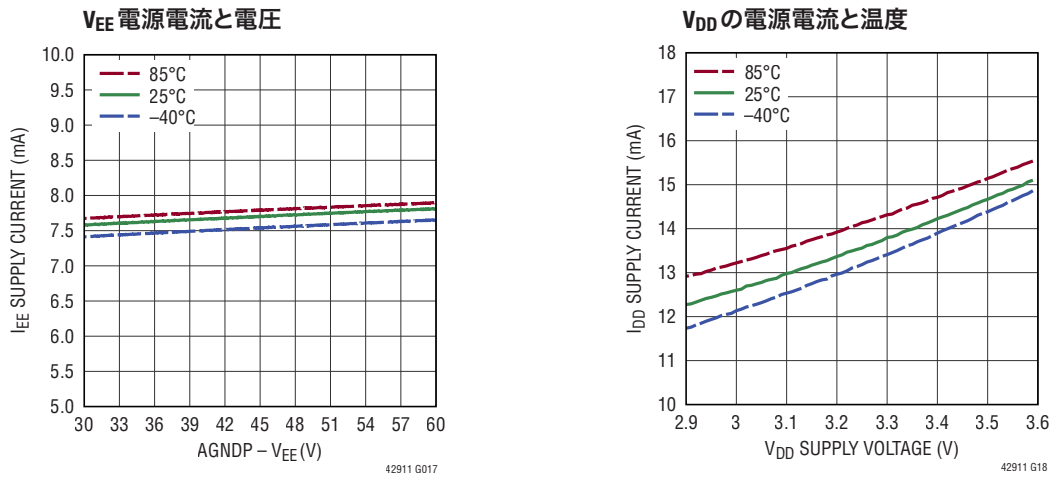
突入電流の制限 (Note 17)



代表的な性能特性



代表的な性能特性



テストのタイミング図

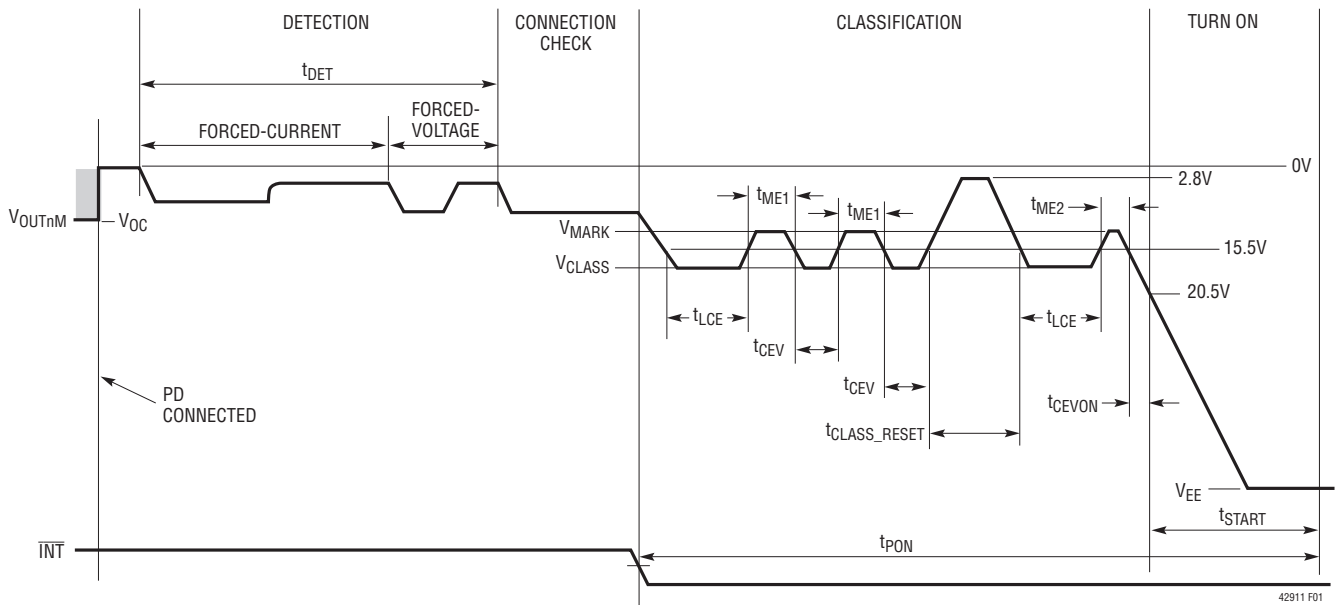


図1. 自動モードまたは半自動モードでの検出、分類、ターンオンのタイミング

テストのタイミング図

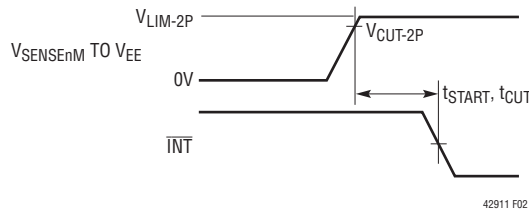


図2. 電流制限のタイミング

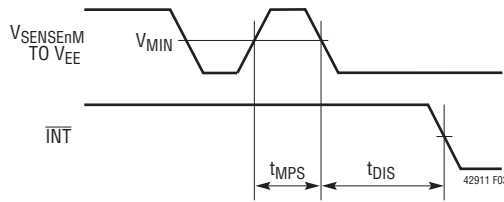


図3. DC切り離しのタイミング

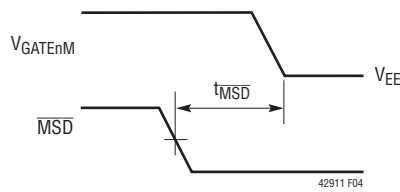


図4. シャットダウン遅延のタイミング

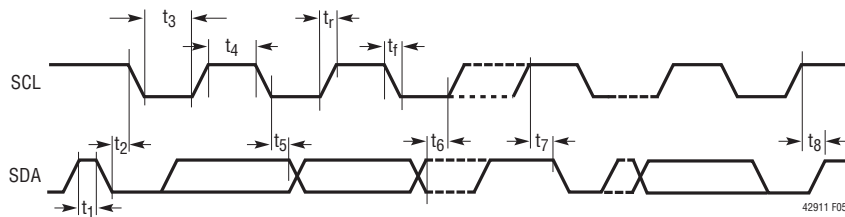


図5. I²Cインターフェースのタイミング

I²C タイミング図

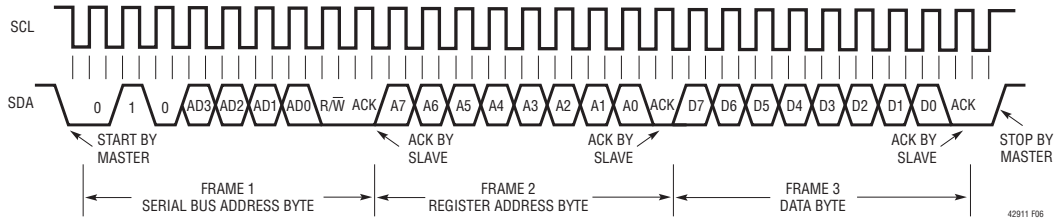


図6. レジスタへの書込み

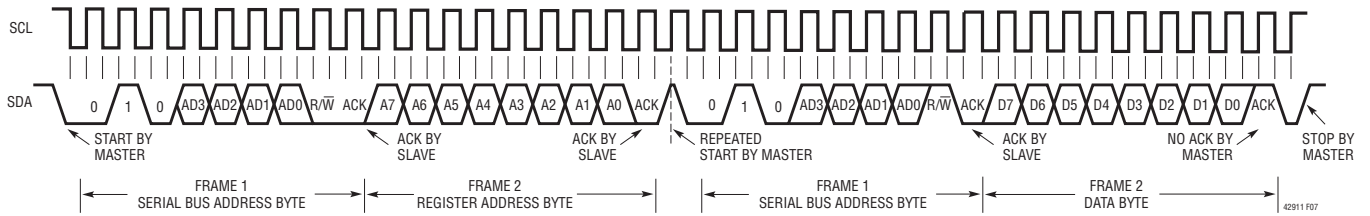


図7. レジスタからの読出し

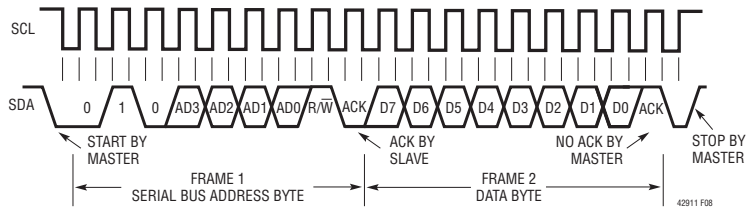


図8. 割込みレジスタからの読出し(省略形式)

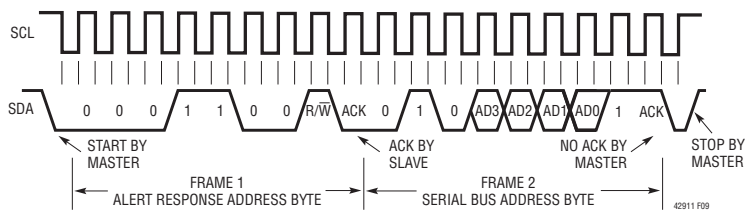


図9. アラート応答アドレスからの読出し

ピン機能

LTC4292

V_{EE} (ピン 31、33、40、露出パッド・ピン 41) : PoEの主電源入力。AGNDPを基準にして-51V~-57Vの電源に接続します。電圧はPSEタイプ(タイプ3または4)により異なります。

GATE_{nM} (ピン 1、3、7、9、22、24、28、30) : ゲート駆動、ポート_n、チャンネル_M。GATE_{nM}は、ポート_n、チャンネル_Mの外付けMOSFETのゲートに接続します。MOSFETがオンすると、ゲート電圧はV_{EE}より12V(代表値)高い電圧まで上昇します。電流制限状態の間は、GATE_{nM}の電圧が減少して、外付けMOSFETに一定の電流が流れるよう維持します。障害タイマーの期限が切れると、GATE_{nM}はローになり、MOSFETをオフにして、ポート_nの障害イベントを生成します。チャンネルを使用しない場合は、該当のGATE_{nM}ピンをフロート状態にする必要があります。

OUT_{nM} (ピン 2、4、8、10、21、23、27、29) : 出力電圧モニタ、ポート_n、チャンネル_M。OUT_{nM}は出力チャンネルに接続します。ドレイン/ソース間電圧が10Vを超えると、電流制限フォールドバック回路は、電流制限閾値を低くすることによって外付けMOSFETの消費電力を制限します。OUT_{nM}からV_{EE}までの電圧が2.4V(代表値)より小さくなると、ポート_nのパワーグッド・イベントが生成されます。チャンネルがアイドル状態のときは、OUT_{nM}とAGNDPの間に内部で500kの抵抗が接続されます。チャンネルを使用しない場合は、該当のOUT_{nM}ピンをフロート状態にする必要があります。

CAP2 (ピン 6) : 4.3Vの内部アナログ電源のバイパス・コンデンサ。V_{EE}との間に0.22μFのセラミック・コンデンサを接続します。

PWRMD_n (ピン 11、20) : 最大電力モードの入力。V_{EE}~V_{EE}+4.3Vの範囲のロジック入力信号で、自動モードでの最大出力電力をポートごとに設定するために使用します。自動モードでのPSEの最大電力のセクションを参照してください。内部でCAP2にプルアップされています。

SENSE_{nM} (ピン 12、13、14、15、16、17、18、19) : 電流検出入力、ポート_n、チャンネル_M。SENSE_{nM}は、SENSE_{nM}とVSSK_nの間にある0.15Ωの検出抵抗を介して外付けMOSFETの電流をモニタします。検出抵抗両端の電圧が過電流検出閾値V_{CUT-2P}を超えると、電流制限障害タイマーが計数します。検出抵抗両端の電圧が電流制限閾値V_{LIM-2P}に達すると、GATE_{nM}ピンの電圧が低下して、外付けMOSFETを流れる電流を一定に維持します。詳細については、アプリケーション情報を参照してください。チャンネルを使用しない場合は、該当のSENSE_{nM}ピンをV_{EE}に接続する必要があります。

AGNDP (ピン 25) : アナログ・グラウンド。AGNDPは、10Ωの抵抗を介してV_{EE}電源の帰還路に接続します。

DNA (ピン 36) : データ・トランシーバーの負の入出力(アナログ)。データ・トランスを介してDNDに接続します。

DPA (ピン 37) : データ・トランシーバーの正の入出力(アナログ)。データ・トランスを介してDPDに接続します。

CNA (ピン 38) : クロック・トランシーバーの負の入出力(アナログ)。データ・トランスを介してCNDに接続します。

CPA (ピン 39) : クロック・トランシーバーの正の入出力(アナログ)。データ・トランスを介してCPDに接続します。

VSSK12 (ピン 5) : V_{EE}のケルビン検出ピン。ポート1および2の検出抵抗共通ノードに0.15Ωの抵抗を介して接続します。0.22μF、100Vのコンデンサを介してAGNDPに接続します。V_{EE}プレーンには直接接続しないでください。レイアウト条件を参照してください。

VSSK34 (ピン 26) : V_{EE}のケルビン・センス。ポート3および4の検出抵抗共通ノードに0.15Ωの抵抗を介して接続します。0.22μF、100Vのコンデンサを介してAGNDPに接続します。V_{EE}プレーンには直接接続しないでください。レイアウト条件を参照してください。

共通ピン

NC、DNC (LTC4291-1はピン7、13。LTC4292はピン32、34、35) : 「NC」または「DNC」で識別される全てのピンは、未接続のままにしておく必要があります。

LTC4291-1

AD0 (ピン 1) : アドレス・ビット0。アドレス・ピンをハイまたはローに接続して、LTC4291-1の応答先にするI²Cシリアル・アドレスを設定します。アドレスは(010A₃A₂A₁A₀)_bになります。内部でV_{DD}にプルアップされています。

AD1 (ピン 2) : アドレス・ビット1。AD0を参照してください。

AD2 (ピン 3) : アドレス・ビット2。AD0を参照してください。

AD3 (ピン 4) : アドレス・ビット3。AD0を参照してください。

4PVALID (ピン 6) : 4対の有効入力、アクティブ・ロー。ローの場合、両方のペアセットが有効なシグネチャを示さない限り、LTC4291-1/LTC4292はポートに電力を供給しません。ハイの場合、LTC4291-1/LTC4292は他のペアセットに関係なく、有効なシグネチャを示すどのペアセットにも電力を供給します。内部でDGNDにプルダウンされています。

ピン機能

CPD (ピン8) : クロック・トランシーバーの正の入出力(デジタル)。データ・トランスを介してCPAに接続します。

CND (ピン9) : クロック・トランシーバーの負の入出力(デジタル)。データ・トランスを介してCNAに接続します。

DPD (ピン10) : データ・トランシーバーの正の入出力(デジタル)。データ・トランスを介してDPAに接続します。

DND (ピン11) : データ・トランシーバーの負の入出力(デジタル)。データ・トランスを介してDNAに接続します。

V_{DD} (ピン12, 20) : V_{DD} IOの電源電圧。DGNDを基準にして3.3Vの電源に接続します。LTC4291-1の近くに0.1μF以上のコンデンサを接続して、V_{DD}をDGNDにバイパスする必要があります。

RESET (ピン14) : リセット入力、アクティブ・ロー。 $\overline{\text{RESET}}$ をローにすると、LTC4291-1/LTC4292は、全てのポートがオフになり、全ての内部レジスタがリセットされた不動作状態に保持されます。 $\overline{\text{RESET}}$ をハイにすると、LTC4291-1/LTC4292は通常動作を開始します。 $\overline{\text{RESET}}$ は外付けコンデンサまたはRCネットワークに接続して、ターンオン遅延を設けることができます。 $\overline{\text{RESET}}$ の内部フィルタリングにより、幅が1μsより短いグリッチでLTC4291-1/LTC4292がリセットされることはありません。内部でV_{DD}にプルアップされています。

INT (ピン15) : 割込み出力、オープンドレイン。LTC4291-1でいくつかのイベントのいずれかが発生すると、INTはローになります。Reset PBレジスタ(1Ah)でビット6または7を設定すると、このピンは高インピーダンスに戻ります。INT信号を使用してホスト・プロセッサに対する割込みを発生させ、連続したソフトウェア・ポーリングを不要にすることができます。個々のINTイベントは、INT Maskレジスタ(01h)を使用して無効化できます。詳細については、LTC4291 Software Programming技術文書を参照してください。INTが更新されるのは、I²Cトランザクション間だけです。

SDAOUT (ピン16) : シリアル・データ出力、I²Cシリアル・インターフェース・バスのオープンドレイン・データ出力。LTC4291-1は2つのピンを使用して双方向SDA機能を実行し、I²Cバスの光絶縁を簡略化します。標準的な双方向SDAピンを実装するには、SDAOUTとSDAINを互いに接続します。詳細については、アプリケーション情報を参照してください。

SDAIN (ピン17) : シリアル・データ入力。I²Cシリアル・インターフェース・バスの高インピーダンス・データ出力。LTC4291-1は2つのピンを使用して双方向SDA機能を実装し、I²Cバスの光絶縁を簡略化します。標準的な双方向SDAピンを実装するには、SDAOUTとSDAINを互いに接続します。詳細については、アプリケーション情報を参照してください。

SCL (ピン18) : シリアル・クロック入力。I²Cシリアル・インターフェース・バスの高インピーダンス・クロック入力。SCLピンは、I²C SCLバス・ラインに直接接続します。I²Cシリアル・インターフェース・バスを使用しない場合は、SCLをハイに接続する必要があります。

CAP1 (ピン19) : コア電源のバイパス・コンデンサ。1.8Vの内部レギュレータのバイパス・コンデンサとして1μFの容量をDGNDとの間に接続します。コンデンサに他の値は使用しないでください。

AUTO (ピン21) : 自動モード入力、アクティブ・ハイ。ハイの場合、LTC4291-1は有効なPDの検出、分類、および起動を、ホストと対話せずに実行します。AUTOは、LTC4291-1がリセットされるか、UVLO状態から抜け出したときに、内部レジスタの状態を判別します(LTC4291 Software Programming技術文書を参照)。これらのレジスタ・ビットの状態は、I²Cインターフェースを介して後で変更できます。内部でDGNDにプルダウンされています。

GP1 (ピン22) : お客様のアプリケーション用の汎用デジタル入出力。DGNDを基準にしています。

GP0 (ピン23) : お客様のアプリケーション用の汎用デジタル入出力。DGNDを基準にしています。

MSD (ピン24) : マスク可能なシャットダウン入力、アクティブ・ロー。ローにすると、対応するマスク・ビットがmconfレジスタ(17h)に設定されている全てのポートがリセットされます。MSDピンの内部フィルタリングにより、幅が1μsより短いグリッチでポートがリセットされることはありません。MSD Pin Modeレジスタは、MSDピンの極性を設定できます。内部でV_{DD}にプルアップされています。

DGND (ピン5、露出パッドのピン25) : デジタル・グラウンド。DGNDはV_{DD}電源からの帰還路に接続してください。

アプリケーション情報

概要

Power over Ethernet (PoE)は、銅線のイーサネット・データ配線を介してDC電力を送信する標準プロトコルです。802.3イーサネット・データ規格を管理しているIEEEグループは、PoE給電機能を2003年に追加しました。この最初のPoE規格は802.3afとして知られ、最大13Wで48VのDC電力が可能でした。802.3afは広く普及していましたが、13Wはアプリケーションによっては十分ではありませんでした。2009年に、IEEEは802.3at (PoE+)として知られる新規格を公開し、電圧と電流の条件を高めて25.5Wの供給電力を規定しました。

また、IEEE規格では、PoEの用語も定義しています。ネットワークに電力を供給するデバイスは給電装置(PSE)として知られるのに対して、ネットワークから電力を引き出すデバイスは受電装置(PD)として知られます。PSEには次の2種類があります。1つはエンドポイント(代表的なのはネットワーク・スイッチやルーター)で、データと電力を供給します。もう1つはミッドスパンで、電力は供給しますが、データは通り抜けません。ミッドスパンは、通常は既存の非PoEネットワークにPoE機能を追加する目的で使用されます。PDの代表的なデバイスは、IP電話、無線アクセス・ポイント、防犯カメラなどです。

PoE++の進化

IEEE 802.3at (PoE+)の25.5W規格の策定中ですら、25.5Wを超える供給電力を求める声が高まりつつあることが明らかになっていました。2013年には、増大しているPD供給電力に対応できる標準を策定するための802.3btタスク・フォースが結成されました。

タスク・フォースの主な目的は、802.3atで利用されている2対の電源に相対するものとして、4対のイーサネット・ケーブル全てを使用することです。4対全部を使用することにより、既存のイーサネット・ケーブルを介した供給電力の2倍以上が対応可能になります。更に、(ペアセットとして知られる)2対当たりの電流量が増加しながら、イーサネットのデータ信号の完全性は維持されます。802.3btでは、PD供給電力が25.5Wから71.3Wに増加し、IEEE準拠の大電力PDアプリケーションが可能になります。

LTC4291-1/LTC4292は、2つのパワー・チャンネルを介して電力を供給します。各ペアセットは専用のパワー・チャンネルにより駆動されます。このデータシートでは、「チャンネル」という用語は、対応するペアセットに割り当てられたPSE回路のことを指します。この技術文書の目的から、チャンネルとペアセットという用語は互いに交換できるとみなしてかまいません。

加えて、IEEE 802.3btではMaintain Power Signature (MPS)電流を大幅に低減できるので、待機時の消費電力は大幅に減少します。これにより、政府や産業界の新たな待機電力規制を、標準的なPoE部品を使用して満たすことができます。

LTC4291-1/LTC4292の製品概要

LTC4291-1/LTC4292は第5世代のPSEコントローラで、エンドポイント・アプリケーションまたはミッドスパン・アプリケーションで4つのPSEポートを実装します。IEEE 802.3bt準拠のPSE設計を実装するために必要な全ての回路を実質的に内蔵しており、必要なのは、1ポートにつき1対の外付けパワーMOSFETと検出抵抗だけです。これにより、MOSFET内蔵型の代替設計案と比較して電力損失が最小限に抑えられ、システムの信頼性が向上します。

LTC4291-1/LTC4292チップセットでは、チップ間通信に独自の絶縁方式を実装しています。このアーキテクチャでは、費用のかかる光アイソレータや絶縁電源を1個の低価格トランスで置き換えることにより、部品の費用が大幅に削減されます。

LTC4291-1/LTC4292は、先進の第5世代PSE機能を備えています。この機能は、ポートごとのイベントでトリガされる設定可能な割込み信号、チャンネルごとの電源投入制御と障害遠隔測定、ポートごとの電流モニタリング、 V_{EE} のモニタリング、1秒の回転電流、電圧、ポート電力の平均化、2つの汎用入出力ピンなどです。

V_{EE} とポート電流の測定は同時に行われ、完全にコヒーレントなポート電力計算を実現します。報告されるポート電力計算により、コヒーレントで高精度なポートごとの電力モニタリングが可能です。

アプリケーション情報

PoEの基礎

一般的なイーサネット・データ接続は、2本または4本のツイスト・ペア銅線（通称イーサネット・ケーブル）で構成され、それぞれの端をトランスで結合してグラウンド・ループを防止しています。PoEシステムは、この結合配置を利用して、データ・トランスのセンター・タップ間に電圧を加えることにより、データ伝送に影響することなく、PSEからPDへ電力を伝送します。PoEシステムの概略回路図を図10および11に示します。

DC電圧の印加を想定していない旧式のデータ装置が損傷しないように、PoE規格では、PSEによる電源の投入および遮断が可能かどうかを判別するプロトコルを規定しています。有効なPDは、その入力に特定の25kコモンモード抵抗が必要です。こうしたPDをケーブルに接続すると、PSEはこのシグネチャ抵抗を検出して、電源を投入します。その後、PDを切り離すと、PSEはオープン・サーキットを検出して、電源を遮断します。また、PSEは電流障害や短絡が発生した場合にも電源を遮断します。

PDが検出されると、PSEは、PDで消費する最大電力をPSEに通知する分類シグネチャを探します。PSEはこの情報を使用していくつかのポートに電力を割り振るか、PDの消費電流を規制するか、PSEが供給できる電力より多くの電力を消費するPDを拒否します。

802.3btの新機能

802.3btのドラフトでは、次に示すいくつかの新機能を導入しています。

- タイプ3およびタイプ4のPSEは、接続されているPDの特性に応じて、4対全部（両方のペアセット）を介して電力を供給できます。
- タイプ3およびタイプ4のPDは、4対全部（両方のペアセット）を介して電力を受け取ることができる必要があります。
- タイプ3およびタイプ4のPDは、シングル・シグネチャPDまたはデュアル・シグネチャPDとして構成できます。シングル・シグネチャPDは、有効な同じシグネチャ抵抗を両方のペアセットに対して同時に示します。デュアル・シグネチャPDは、完全に独立した2つの有効な検出シグネチャを、各ペアセットに対して1つ示します。
- タイプ3のシングル・シグネチャPDは、次の6種類の電力レベル（3.84W、6.49W、13W、25.5W、40W、51W）のいずれか1種類を厳密に要求します。
- タイプ3のデュアル・シグネチャPDは、各ペアセットで次の4種類の電力レベル（3.84W、6.49W、13W、25.5W）のいずれか1種類を厳密に要求します。PDの全要求電力は、各ペアセットでの要求電力の合計です。
- タイプ3のPDクラスは、タイプ3の追加機能セットをより低い電力レベルで提供するために、タイプ1および2のクラスと重複します。
- タイプ4のシングル・シグネチャPDは、次の2種類の電力レベル（62Wまたは71.3W）のいずれかを厳密に要求します。
- タイプ4のデュアル・シグネチャPDは、少なくとも一方のペアセットで厳密に35.6Wを要求し、もう一方のペアセットで次の5種類の電力レベル（3.84W、6.49W、13W、25.5W、35.6W）のいずれかを厳密に要求します。PDの全要求電力は、各ペアセットでの要求電力の合計です。
- 分類は、最大5つのクラス・イベントに拡張されます。追加イベントは、既存のPDクラスと新しいPDクラスを一意に識別できます。
- タイプ3と4のPSEは、長い最初のクラス・イベントを発行して、タイプ3と4の機能サポートを接続先のPDに通知します。
- 少ない待機電力を有効にするには、Maintain Power Signatureパルスの長さを短くします（短縮MPS）。PDのデューティ・サイクルは約23%から約2%に低下します。PSEが長い最初のクラス・イベントを発行した場合、PDは短縮MPSを出力できます。
- パワー・マネージメントはAutoclass（802.3btのPSEおよびPD向けのオプション機能）によって強化されます。Autoclassシステムでは、PDの最大電力が測定されてPSEホストに報告され、PDアプリケーションで使用されなかった出力電圧とイーサネット・ケーブル配線での損失をPSEが取り戻すことができます（表1）。詳細については、Autoclassのセクションと、LTC4291 Software Programming技術文書を参照してください。

アプリケーション情報

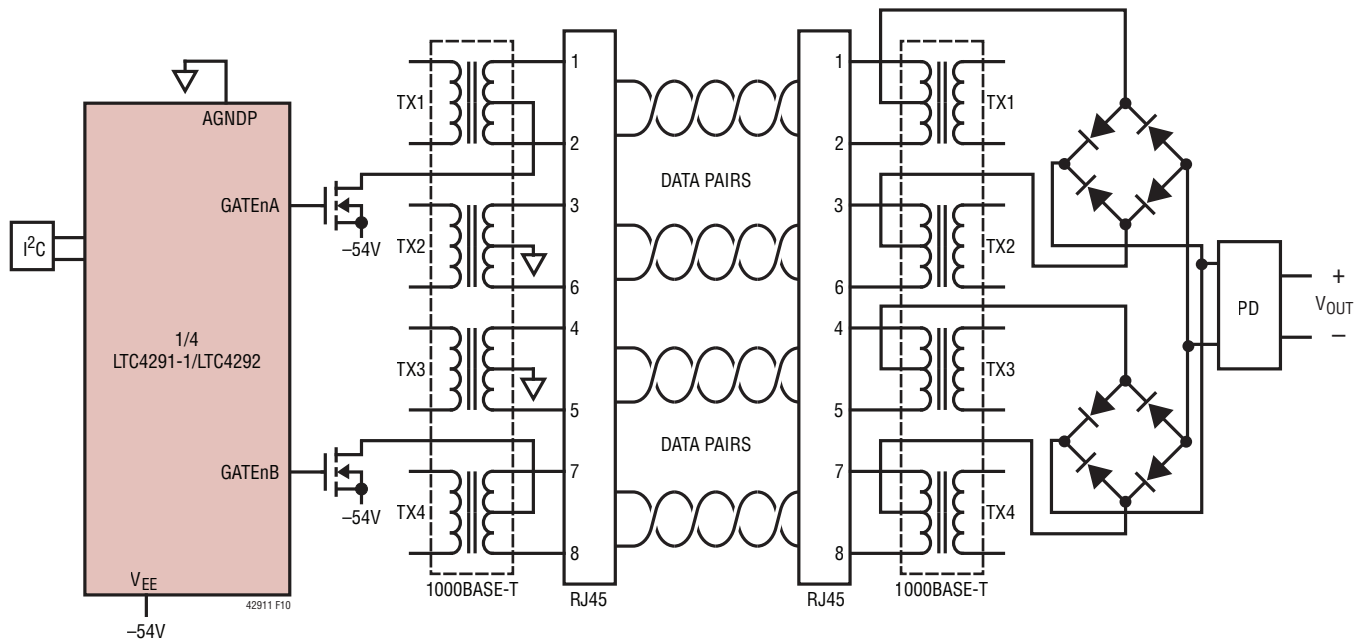


図 10. Power over Ethernet シングル・シグネチャ PD システムの回路図

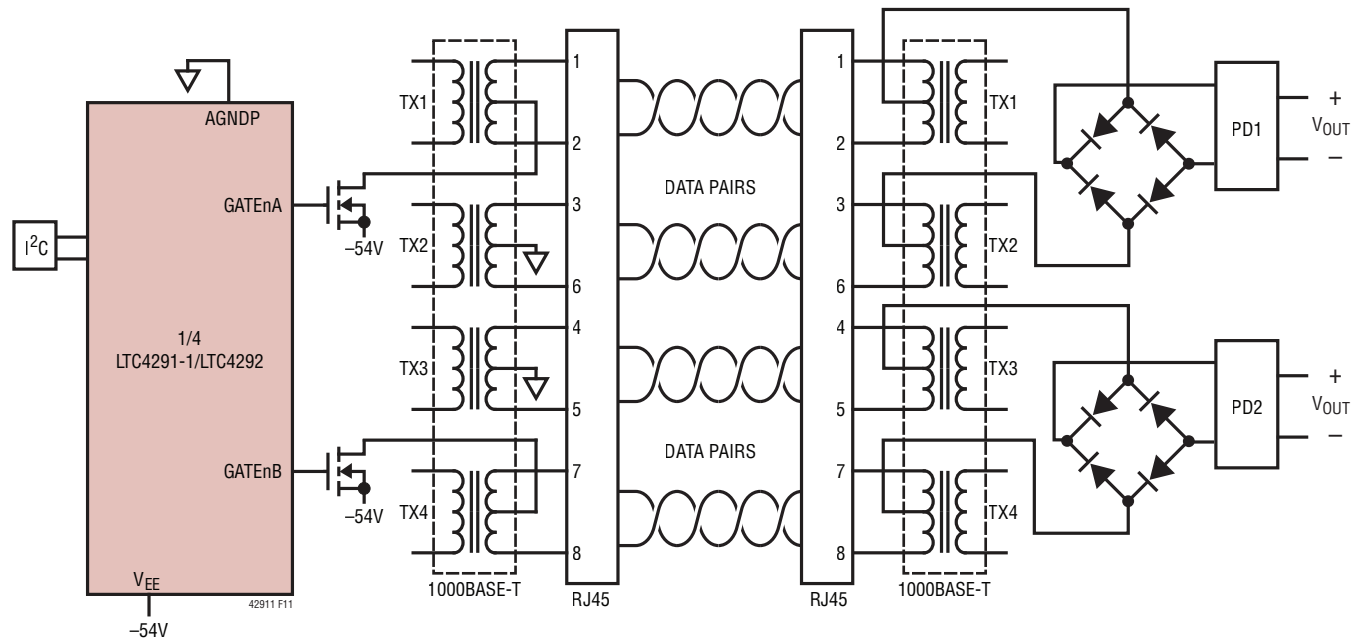


図 11. Power over Ethernet デュアル・シグネチャ PD システムの回路図

アプリケーション情報

表 1. IEEEが仕様化した電力の割り当て、シングル・シグネチャPD

PDクラス	PSEの出力電力	割り当てられた配線損失	PDの入力電力
1	4W	0.16W	3.84W
2	6.7W	0.21W	6.49W
3	14W	1W	13W
4	30W	4.5W	25.5W
5	45W	5W	40W
6	60W	9W	51W
7	75W	13W	62W
8	90W	18.7W	71.3W

後方互換性

LTC4291-1/LTC4292は、802.3bt準拠のPSE（タイプ3またはタイプ4）として設定できます。802.3bt PSEは802.3atタイプ1またはタイプ2 PSEとしては識別できませんが、PSEの機能は失われません。802.3bt準拠の全てのPSEは、表2に示すように、既存の802.3atタイプ1およびタイプ2 PDと完全に後方互換です。802.3bt PSEは、完全な互換性に加えて、(PDアプリケーションによってサポートされているように)低待機電力、強化された電流制限タイミング機能、全てのPDタイプに対する動的パワー・マネージメントへのサポートが拡張されています。

表 2. PSEの最大供給電力、1ポート当たり

デバイス	PSE						
	標準規格	802.3at				802.3bt	
		タイプ	1	2	3	4	
PD	802.3at	1	13W	13W	13W	13W	
		2	13W*	25.5W	25.5W	25.5W	
	802.3bt	3	13W*	25.5W*	51W	51W	
		4	13W*	25.5W*	51W*	71.3W	

*PDが要求より少ない電力を割り当てたことを示す。

LTC4266およびLTC4271 ベースのPSEとのソフトウェア・レジスタ・マップ互換性は、可能な範囲で維持されています。LTC4291 ベースのPSEは、2チャンネルを使用して1つのPSEポートを制御します。このチャンネル・ステータスと制御の多様性により、既存のレジスタ・マップへの拡張が必要です。

レジスタ・マップの詳細について確認したい場合は、LTC4291 Software Programming 技術文書をアナログ・デバイセズに請求してください。

特殊な互換性モードに関する注記

- 前の世代と同様に、各I²Cアドレスは4つのPoEポートに対してステータスと制御を与えます。ポート・レジスタの各スライスは、チャンネルA対Bの制御およびステータスと同様に、ポートの制御およびステータスを与えます。
- 特定のステータス・レジスタ（例えばPort StatusやPower Status）は、チャンネルの状態に関係します。これはポート状態とは対照的であり、3つの部分（汎用のポート状態、チャンネルAの状態、チャンネルBの状態）に分かれています。
- 特定のコマンド・レジスタ（例えば、電源投入押しボタン）も同様に、チャンネルごとの制御ができるように2つの部分に分かれています。

動作モード

LTC4291-1/LTC4292は、独立した4つのポートを内蔵しており、それぞれが3つのモード（手動、半自動、自動）のいずれかで動作できます。4番目のモード（シャットダウン）は、ポートをディスエーブルします（表3参照）。

表 3. 動作モード

モード	AUTOピン	OPMD	検出/分類	起動	閾値の自動割り当て
Auto	1	11b	Enabled at Reset	Automatically	Yes
	0	11b	Host Enabled	Automatically	Yes
Semi-auto	0	10b	Host Enabled	Upon Request	No
Manual	0	01b	Once Upon Request	Upon Request	No
Shutdown	0	00b	Disabled	Disabled	No

手動モードでは、ポートはホスト・システムからの命令を待つてから動作します。ポートは、ホストによって命令されると、検出（検出と分類のサイクル）を1回実行し、その結果をPort Statusレジスタで報告します。ホスト・システムは電源の投入または遮断をポートにいつでも命令できます。

半自動モードでは、ポートは、接続されている全てのPDの検出と分類を繰り返し試行します。ポートはこれらの試行のステータスをホストに報告し、ホストからの命令を待つてからポートに電源を投入します。ホストは検出と分類を有効にする必要があります。

アプリケーション情報

自動モードは半自動モードと同じ動作ですが、検出と分類が正常だった場合にポートの電源を自動的に投入することだけが異なります。自動モードでは、 I_{CUT-2P} 、 I_{LIM-2P} 、 P_{CUT-4P} の値が分類結果に基づいて自律的に設定されます。この動作モードにするには、リセット時にAUTOをハイに設定するか、OPMDの状態をAutoに変更します。自動モードでのPSEの最大電力のセクションを参照してください。

シャットダウン・モードでは、ポートはディスエーブルされ、PDの検出も電源投入も行いません。

LTC4291-1/LTC4292は、現在のモードに関係なく、障害が発生したポートあるいはチャンネルの電源を、必要に応じて自動的に遮断します。また、切り離しの検出が有効になっている場合、切り離しイベントが発生したポート／チャンネルの電源も自動的に遮断します。また、ホスト・コントローラは電源の遮断をポートにいつでも命令できます。

リセットとAUTOピン

LTC4291-1/LTC4292の初期設定は、リセット時のAUTOの状態により異なります。リセットが行われるのは、電源投入時、RESETをローにしたとき、またはグローバルのReset Allビットを設定したときです。電源投入後にAUTOの状態を変更しても、リセットが実行されるまでLTC4291-1/LTC4292のポートの動作は変わりません。

LTC4291-1/LTC4292は、通常はホスト・コントローラによって能動的に管理されていますが、AUTOをハイに設定すれば、自律動作に合わせて設定することもできます。AUTOをハイにした場合、各ポートは、PDが検出されるまで検出と分類を繰り返し実行し、PSEが割り当てたクラスに従って I_{CUT-2P} 、 I_{LIM-2P} 、および P_{CUT-4P} を設定し、有効なPDに電源を供給して、PDが切り離されたら電源を遮断します。

PDが要求したクラスに基づいて、自動モードで自動的に設定される I_{CUT-2P} 、 I_{LIM-2P} 、および P_{CUT-4P} の値を表4と5に示します。

表4. 自動モードでの代表的な電源投入閾値、シングル・シグネチャPD

クラス	チャンネル当たり		ポート当たり
	I_{CUT-2P}	I_{LIM-2P}	P_{CUT-4P}
1	94mA	425mA	5.43W
2	150mA	425mA	8.69W
3	338mA	425mA	19.5W
4	638mA	850mA	36.4W
5	581mA	850mA	52.7W
6	731mA	850mA	70.0W
7	825mA	1063mA	87.4W
8	975mA	1167mA	96.6W

表5. 自動モードでの代表的な電源投入閾値、デュアル・シグネチャPD

クラス	チャンネル当たり		
	I_{CUT-2P}	I_{LIM-2P}	P_{CUT-2P}^*
1	94mA	425mA	5.43W
2	150mA	425mA	8.69W
3	338mA	425mA	19.5W
4	638mA	850mA	36.4W
5	975mA	1167mA	48.3W

*ポート当たりの P_{CUT-4P} 閾値には、各受電チャンネルの P_{CUT-2P} の合計が入ります。

接続チェック

接続チェックの概要

IEEE 802.3btは、接続チェックとして知られる新しい検出サブルーチンを導入しています。接続チェックが必要なのは、接続したPDがシングル・シグネチャPDなのか、デュアル・シグネチャPDなのか、あるいは無効な結果なのかを判定するためです。

802.3atでは、1つのPD構成だけが記述されていました。これはシングル・シグネチャPDとして知られており、図10に示します。シングル・シグネチャPDは、同じ25kの検出抵抗を両方のペアセットに対して並列に示します。

802.3btでの新項目は、図11に示すようにデュアル・シグネチャPDです。デュアル・シグネチャPDは、完全に独立した2つの25k検出シグネチャ抵抗を、各ペアセットに対して1つ示します。

アプリケーション情報

PDの構成(シングルまたはデュアル)によって、それに続く検出、分類、電源投入の手順の間にPDがどのように管理されるかが決まります。このデータシートの残り全体を通して、シングル・シグネチャPDとデュアル・シグネチャPDの扱い方が異なることに対して注意が喚起されます。

最初のチャンネルでは、2回の電流測定を同じ強制電圧で行うことによって接続チェックを実施します。2番目のチャンネルでは、2回目の測定時に2番目のチャンネルに強制電流を流すことによって、アグレッサの動作がテストされます。最初のチャンネルでの2回の電流測定結果を比較することで、接続されたデバイスがシングル・シグネチャPDなのか、デュアル・シグネチャPDなのか、あるいは無効な結果なのかを分類できます。

接続チェック中にデバイスの追加や削除を行うと、無効な接続チェック結果が報告されます。

検出

検出の概要

DC電圧に耐えるよう設計されていなかったネットワーク・デバイスの損傷を防ぐため、PSEは接続されたデバイスが有効なPDであることを確認してから電力を供給する必要があります。IEEE規格では、チャンネルの電圧が10V未満の条件で、有効なPDは $25k \pm 5\%$ のコモンモード抵抗を内蔵していることが要求されます。PSEは19k~26.5kの範囲内の抵抗を合格とし、33kを超える抵抗または15k未満の抵抗(図12の網掛け領域)を不合格にする必要があります。PSEは、必須合格範囲と必須不合格範囲の間の未定義領域の抵抗を合格にするか不合格にするか選択できます。特に、PSEはコンピュータの標準的なネットワーク・インターフェース・カード(NIC)を不合格にする必要があります。これらの多くは、コモンモード終端抵抗が150Ωであり、電源が投入されると損傷します(図12の左側の黒の領域)。

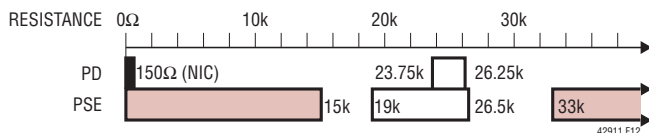


図12. IEEE 802.3のシグネチャ抵抗の範囲

マルチポイント検出

LTC4291-1/LTC4292は、マルチポイント方式を使用してPDを検出します。強制電流測定と強制電圧測定を併用してシグネチャ抵抗をチェックすることで、誤判定検出を最小限に抑えます。

最初に、2種類のテスト電流を(OUTnMピンを介して)チャンネルに強制的に流し、得られた電圧を測定します。検出回路は2つのV-I点の差をとって抵抗の傾きを求めつつ、ポートのリーク電流や直列ダイオードに起因するオフセットを除去します(図13参照)。強制電流検出によって有効なシグネチャ抵抗が得られる場合は、2種類のテスト電圧をチャンネルに印加し、得られた電流を測定して差をとります。有効な検出を報告するには、両方の方法で有効な抵抗が報告される必要があります。PDシグネチャ抵抗が17k~29k(代表値)の範囲内であれば有効と検出され、対応するPort StatusレジスタまたはChannel Statusレジスタで、適宜Detect Goodと報告されます。また、オープン・サーキットや短絡など、この範囲外の値も報告されます。強制電流テスト時にチャンネルが1Vより低い値を測定すると、検出サイクルはアボートしてShort Circuitが報告されます。起こり得る検出結果を表6および7に示します。

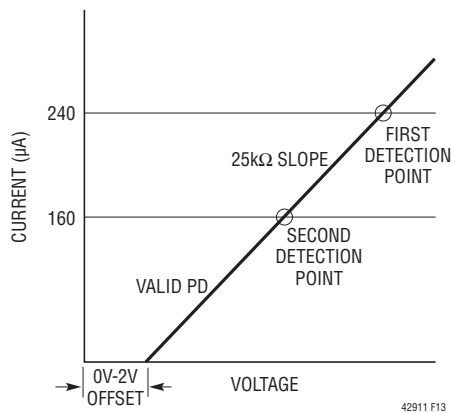


図13. PDの検出

アプリケーション情報

表 6. ポートの検出ステータス

PDシグネチャの測定結果 (代表値)	ポート検出結果
Incomplete or Not Yet Tested	Detect Status Unknown
$V_{PD} < 1V$	Short Circuit
$R_{PD} < 17k$	R_{SIG} Too Low
$17k < R_{PD} < 29k$	Detect Good, Single-Signature PD
$R_{PD} > 29k$	R_{SIG} Too High
$R_{PD} > 50k$	Open Circuit
$V_{PD} > 10V$	Port Voltage Outside Detect Range
Connection Check = INVALID	Connection Check Invalid
Connection Check = DUAL or Channel Detection Results Differ	Refer to Channel Detect Results

表 7. チャンネルの検出ステータス

PDシグネチャの測定結果 (代表値)	チャンネル検出結果
Incomplete or Not Yet Tested	Detect Status Unknown
$V_{PD} < 1V$	Short Circuit
$C_{PD} > 2.7 \mu F$	C_{PD} Too High
$R_{PD} < 17k$	R_{SIG} Too Low
$17k < R_{PD} < 29k$	Detect Good, Dual-Signature PD
$R_{PD} > 29k$	R_{SIG} Too High
$R_{PD} > 50k$	Open Circuit
$V_{PD} > 10V$	Channel Voltage Outside Detect Range
Connection Check = INVALID	Connection Check Invalid
Connection Check = SINGLE or Channel Detection Results Match	Refer to Port Detect Result

動作モードに関するその他の情報

LTC4291-1/LTC4292が検出サイクルを実行するタイミングは、ポートの動作モードによって決まります。手動モードでは、ホストが検出サイクルを命令するまでポートはアイドル状態になります。その後、ポートは検出を実行し、結果を報告して、アイドル状態に戻って別のコマンドを待ちます。

半自動モードでは、LTC4291-1/LTC4292はポートを自律的にポーリングしてPDを探しますが、ホストが命令するまで電力は供給しません。各検出/分類サイクルの最後に、Port StatusレジスタとChannel Statusレジスタが更新されます。

半自動モードでは、有効なシグネチャ抵抗が検出されて分類が有効になると、ポートはPDも分類して、その結果を報告します。その後、ポートは100ms以上待機し、検出サイクル

を繰り返して、Port Statusレジスタ内にあるデータを更新します。

電流検出結果がDetect Goodでない限り、ポートが電源投入コマンドに応じてオンすることはありません。それ以外の検出結果では、電源投入コマンドを受け取ると、 t_{START} 障害が発生します。

自動モードでの動作は半自動モードと同様です。ただし、Detect Goodが報告されてポートが分類されると、ポートには自動的に電源が投入され、ホストが介入することはありません。自動モードでは、 I_{CUT-2P} 、 I_{LIM-2P} 、 P_{CUT-4P} の各閾値が自動的に設定されます。詳細については、リセットとAUTOピンのセクションを参照してください。

ポートの検出が無効になるのは、最初にLTC4291-1/LTC4292の電源を投入するときにAUTOをローに設定していた場合、ポートがシャットダウン・モードである場合、または対応するDetect Enableビットがクリアされている場合です。

レガシーPDの検出

最初のIEEE 802.3af規格より前から存在する独自開発PDは、現在では一般にレガシーPDと呼ばれています。レガシーPDの1種に、大容量のコモンモード容量(>10 μ F)を検出シグネチャとして使用するものがあります。この範囲の容量ではPDが無効と規定されているので、レガシーPDに電力を供給するPSEはIEEE規格に準拠していないことに注意してください。LTC4291-1/LTC4292は、この種のレガシーPDを検出するよう設定できます。レガシーPDの検出はデフォルトでは無効になっていますが、ポートごとに手動で有効にすることができます。有効にした場合、ポートは、有効なIEEE PDと大容量のレガシーPDのいずれを検出した場合にもDetect Goodを報告します。レガシー・モードを無効にしている場合は、有効なIEEE PDだけが認識されます。

非標準のPDが、レガシー検出に含まれていない無効な検出シグネチャを示した場合は、検出結果に関係なく、分類または電力供給あるいはその両方を実行するようLTC4291-1/LTC4292を設定できます。このため、LTC4291-1/LTC4292は、Force PowerとClass Eventのポートごとのオーバーライドを導入しています。これらのオーバーライドでは、コンプライアンス・チェックを意図的に無効にしています。詳細については、LTC4291 Software Programming技術文書を参照してください。

アプリケーション情報

分類

802.3af での分類

PDは、オプションで分類シグネチャをPSEに示して、動作時に消費する最大電力を通知できます。図15に示すように、IEEE規格では、PSEポートの電圧が V_{CLASS} の範囲(15.5V~20.5V)内に入っているときに流れる定電流としてこのシグネチャを規定しており、この電流レベルは5種類のPDシグネチャのいずれかを示しています。図14にPDの代表的な負荷線を示します。10V以下での25kシグネチャ抵抗の勾配に始まり、 V_{CLASS} の範囲では分類シグネチャ電流(この場合はクラス3)に遷移します。表8に、想定される分類の値を示します。

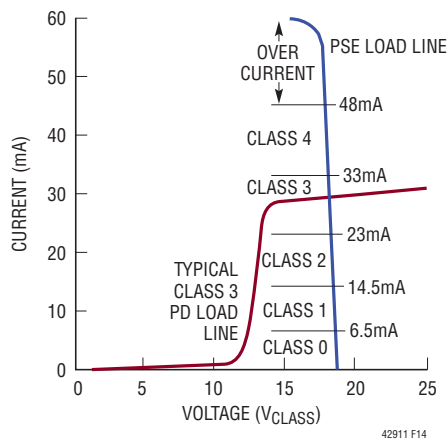


図14. PDの分類

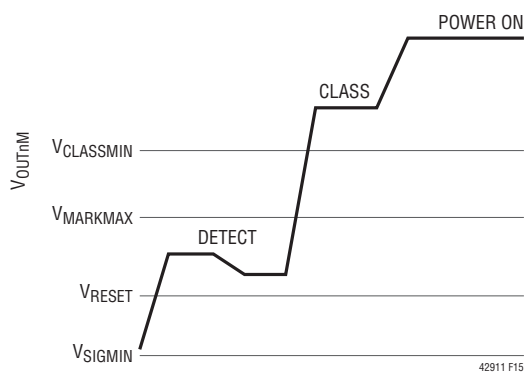


図15. タイプ1 PSE、1 イベント・クラスのシーケンス

表8. タイプ1およびタイプ2 PDの分類の値

クラス	結果
Class 0	No Class Signature Present; Treat Like Class 3
Class 1	3.84W
Class 2	6.49W
Class 3	13W
Class 4	25.5W (Type 2)

分類が有効になると、PSEは正常な検出サイクルの直後にPDを分類します。PSEは、OUTnMを介して V_{CLASS} をポートに印加し、得られた電流を測定することによってPD分類シグネチャを測定します。その後、検出したクラスを、適宜、Port StatusレジスタまたはChannel Statusレジスタで報告します。LTC4291-1/LTC4292が自動モードの場合は、分類結果を補足的に使用して I_{CUT-2P} 、 I_{LIM-2P} 、 P_{CUT-4P} の閾値を設定します。

ポートの分類が無効になるのは、最初にLTC4291-1/LTC4292の電源を投入するときにAUTOピンをローに設定していた場合、ポートがシャットダウン・モードである場合、または対応するClass Enableビットがクリアされている場合です。

LLDP分類

802.3atで導入され、802.3btで拡張されたPoE規格は、リンク層検出プロトコル(LLDP)分類方式を規定しています。LLDP方式では、イーサネットLLDPデータ・プロトコルに特別なフィールドを追加しています。

LTC4291-1/LTC4292はこの分類方式との互換性がありますが、データ・パスへのアクセス権がないため、LLDP分類を直接実行することはできません。LLDP分類では、ホストがPDとのLLDP通信を実行して、PDの電力割り当て量を更新できます。LTC4291-1/LTC4292は、 I_{LIM-2P} 、 I_{CUT-2P} 、および P_{CUT-4P} レベルの動的な変更をサポートしており、システムレベルのLLDPサポートが可能です。

802.3atの2イベント分類

802.3atでは、802.3afの分類にタイプ1分類という名前が付いています。802.3at規格では、タイプ1分類の拡張版であるタイプ2(2イベント)分類を導入しています。タイプ2 PSEは、分類を実行することが要求されます。

アプリケーション情報

25.5Wを要求しているタイプ2 PDは、全てのクラス・イベント時にクラス・シグネチャ4を示します。供給可能な電力が25.5Wのタイプ2 PSEは、図16に示すように、最初のクラス・イベント時にクラス・シグネチャ4を認識すると、PDに V_{MARK} (代表値9V)を印加して、一時的に停止し、2番目のクラス・イベントを発行します。2番目のクラス・イベントは、PSEが25.5Wを割り当てたことをPDに通知します。

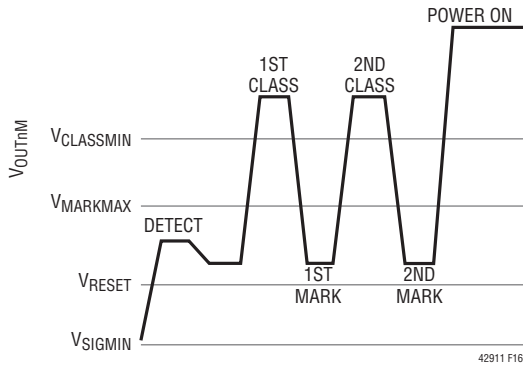


図16. タイプ2 PSE、2イベント・クラスのシーケンス

2番目の分類イベントが実行されるのは、IEEE分類手順で必要とされる場合に限ることに注意してください。例えば、クラス0~3のシングル・シグネチャPDに発行されるのは、あらゆる状況でシングル・クラス・イベントのみです。

802.3atでは、格下げの概念が導入されています。タイプ2 PDは、供給能力がわずかに13WのPSEに接続できますが、これは恐らくパワー・マネージメント上の制限が原因です。この場合、PSEは、図15に示すように1回の分類イベントを実行し、25.5Wを要求されます。電力供給能力が限られているため、PSEは2番目のイベントを発行せず、PDに直接電力を供給する段階に進みます。1回のクラス・イベントが存在することで、タイプ2 PDが13Wに格下げされていることがこのPDに通知されます。格下げされると、このPDは電力制限を受け、低減された電力モードで動作することがあります。

802.3btのマルチイベント分類

LTC4291-1/LTC4292は、802.3btで要求されているように、タイプ3分類とタイプ4分類を実装しています。タイプ3分類およびタイプ4分類は、タイプ1 PDおよびタイプ2 PDと後方互換性があります。

タイプ2 (802.3at) 分類はタイプ1 (802.3af) 分類を拡張しているのに対して、タイプ3分類とタイプ4 (802.3bt) 分類はタイプ1分類とタイプ2分類に取って代わるものです。タイプ1分類とタイプ2分類は、これまでのセクションで歴史的な参考情

報として説明しており、電力の格下げ、クラス・イベント、マーク・イベント、電気的パラメータなどの共通用語を定義することが目的でした。

IEEE 802.3btは、表9に示すように、シングル・シグネチャPDに対して8つのPDクラスを規定しており、デュアル・シグネチャPDに対して5つのPDクラスを規定しています。

シングル・シグネチャPDとデュアル・シグネチャPDでは、分類の扱いが異なります。以降のセクションでは、各PD構成の物理層分類を個別に説明します。

表9. PD構成別のタイプ3およびタイプ4 PDの分類

シングル・シグネチャPD		デュアル・シグネチャPD	
クラス	PDが受給できる電力	クラス	チャンネルが受給できる電力*
Class 1	3.84W	Class 1	3.84W
Class 2	6.49W	Class 2	6.49W
Class 3	13W	Class 3	13W
Class 4	25.5W	Class 4	25.5W
Class 5	40W	Class 5	35.6W
Class 6	51W		
Class 7	62W		
Class 8	71.3W		

*デュアル・シグネチャPDが受給できる全電力は、両方のチャンネルが受給できる電力の合計です。クラス・シグネチャはポートのチャンネル間で異なる場合があります。例えば、クラス3 + クラス4 = 13W + 25.5W = 38.5Wです。

シングル・シグネチャPDの802.3bt分類

タイプ3 PSEとタイプ4 PSEは、3つのシングル・シグネチャ (SS) PDを介して1つの分類イベントをクラス0に発行します (図17参照)。クラス0~3のSS PDは、そのクラス・シグネチャをPSEに提示し、十分な電力が得られる場合は電源が投入されます。また、電力が制限された802.3bt PSEは、クラス4以上のSS PDを13Wに格下げするために、これらのPDに対して1つの分類イベントを発行できます。図17を参照してください。

タイプ3 PSEとタイプ4 PSEは、十分な電力を供給できる場合、クラス4 SS PDに対して3つの分類イベントを示します (図18参照)。クラス4のSS PDは、全てのイベントでクラス・シグネチャ4を示します。3番目のイベントでは、クラス4のSS PDが上位クラスのSS PDと区別されます。電力が制限されたIEEE 802.3bt PSEは、クラス5以上のSS PDを25.5Wに格下げするために、これらのPDに対して3つの分類イベントを発行できます。

アプリケーション情報

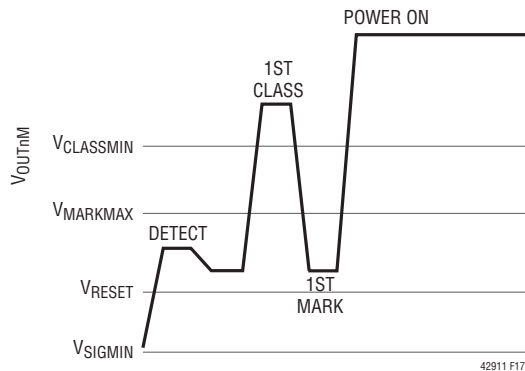


図17. タイプ3またはタイプ4 PSE、1イベント・クラスのシーケンス

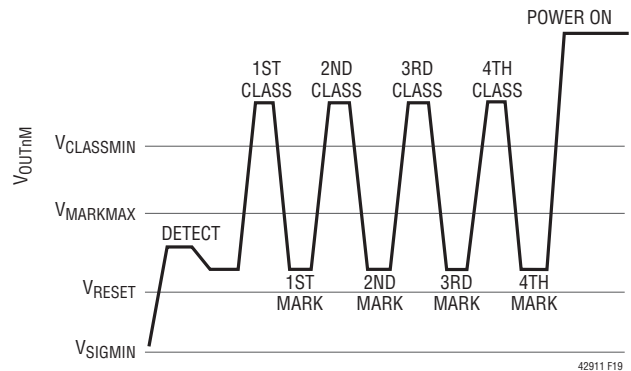


図19. タイプ3またはタイプ4 PSE、4イベント・クラスのシーケンス

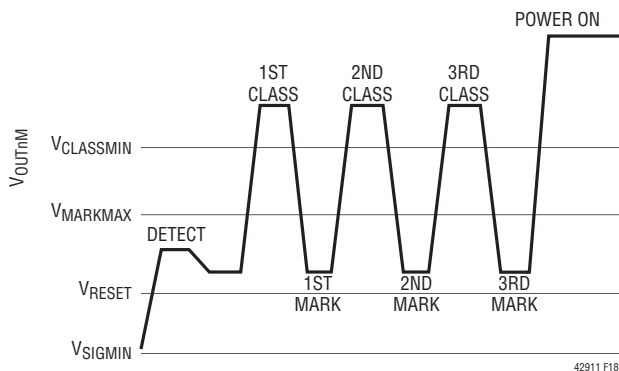


図18. タイプ3またはタイプ4 PSE、3イベント・クラスのシーケンス

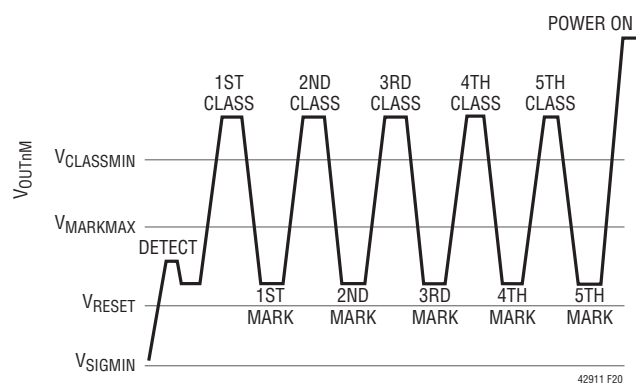


図20. タイプ4 PSE、5イベント・クラスのシーケンス

タイプ3 PSEとタイプ4 PSEは、十分な電力を供給できる場合、クラス5および6のSS PDに対して4つの分類イベントを示します(図19参照)。クラス5および6のSS PDは、最初の2つのイベントでクラス・シグネチャ4を示します。クラス5および6のSS PDは、後続のイベントでそれぞれクラス・シグネチャ0または1を示します。電力が制限されたPSEは、クラス7および8のSS PDを51Wに格下げするために、これらのPDに対して4つのイベントを発行できます。

タイプ4 PSEは、十分な電力を供給できる場合、クラス7および8のSS PDに対して5つの分類イベントを示します(図20参照)。クラス7および8のPDは、最初の2つのイベントでクラス・シグネチャ4を示します。クラス7および8のSS PDは、後続のイベントでそれぞれクラス・シグネチャ2または3を示します。

デュアル・シグネチャPDの802.3bt分類

デュアル・シグネチャ (DS) PDの各ペアセットに対する分類と電力の割り当ては、完全に独立しています。例えば、DS PDは、一方のペアセットではクラス1 (3.84W)を要求し、別のペアセットではクラス4 (25.5W)を要求して、PDが要求する電力の合計を29.3Wにすることができます。このため、PDとは対照的に、全ての分類はペアセットに対して実行されます。このセクションの残りの部分では、用語を互いに交換できるとみなしています。

タイプ3 PSEとタイプ4 PSEは、4つのDS PDを介して3つの分類イベントを全てクラス1に発行します(図18参照)。

電力が制限されたタイプ3およびタイプ4のPSEは、クラス4および5のDS PDを13Wに格下げするために、これらのPDに対してクラスのリセットを発行できます(4PIDの理解のセクションを参照)。

アプリケーション情報

電力が制限されたタイプ3およびタイプ4のPSEでは、クラス5のDS PDを25.5Wに格下げするためにこれらのPDに対して発行できるイベントが、わずか3つに限られます。

タイプ4 PSEは、十分な電力を供給できる場合、クラス5のDS PDに対して4つの分類イベントを示します(図19参照)。クラス5のDS PDは、最初の2つのイベントでクラス・シグネチャ4を示し、後続のイベントでクラス・シグネチャ3を示します。

4PIDの理解

4対の識別条件(4PID)とは、PDが両方のペアセットを介して同時に電力を受給できるかどうかを判定するための一連の条件を指します。

PDが両方のペアセットで有効な検出シグネチャを示し、次の条件のいずれか1つ以上を満たす場合、PSEは4対の電源で給電できます。

- PDはシングル・シグネチャ構成である。
- PDはタイプ3またはタイプ4である。
- あるペアセットを介して電源を投入すると、電源未投入の別のペアセットでPDが有効な検出シグネチャを示す。

タイプ1とタイプ2のPDに対しては、PDシグネチャ設定は定義されていませんが、タイプ3またはタイプ4のPSEは、そのようなPDをシングル・シグネチャまたはデュアル・シグネチャとして識別できます。シングル・シグネチャPDは、PDタイプに関係なく4対の電源から受電できます。802.3bt以前の一定の「デュアル・シグネチャ」PDは、4対の電源によって損傷する可能性があります。

タイプ3とタイプ4のデュアル・シグネチャPDは、同じクラスの802.3bt以前のデュアル・シグネチャPDから得た一意の分類応答を示す必要があります。デュアル・シグネチャPDの場合は、LTC4291-1/LTC4292が、分類時にPDクラスとPDタイプの両方を判別して報告します。

タイプ3、タイプ4、および802.3bt以前のクラス1~クラス4のデュアル・シグネチャPDは、最初と2回目のクラス・イベント時にクラス・シグネチャ1~4をそれぞれ示します。タイプ3とタイプ4のデュアル・シグネチャPDは、その後の全クラス・イベントでクラス・シグネチャ0を示します。このため、PSEは、全てのデュアル・シグネチャPDのPDタイプを、3番目のクラス・イベントまでに最終的に判別できます。

クラス4またはクラス5のデュアル・シグネチャPDを接続すると、問題が発生します。PDタイプを判別するために、3つのクラス・イベントが発行されます。クラス・イベントの数に基づいて、PDには25.5Wが割り当てられています。PSEがPDタイプの判別(3イベント)と13Wへの格下げ(1イベント)の両方を行う場合は、図21に示すように、クラス・リセット・イベントを発行する必要があります。

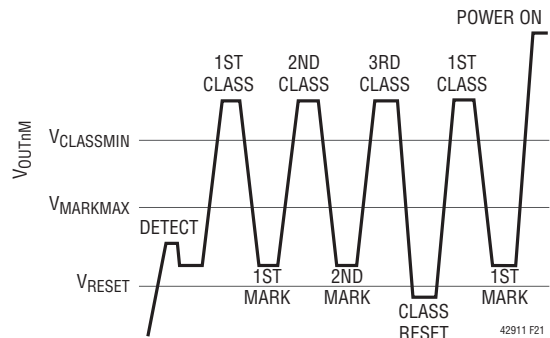


図21. クラス・シーケンス間のクラス・リセット・イベント

クラス・リセット・イベントを発行するには、少なくともtCLASS_RESET以上、チャンネルの電圧を2.8V未満に維持します。その後、1回のイベント分類を使用してPDを13Wに格下げします。

自動モードでは、4PID情報と4PVALIDの状態を使用して、受電チャンネル数が自動的に割り出されます。

LLDP信号方式では、その後の任意の時点で、802.3bt以前のPDが実際に4対の電源に対応しているか確認することが可能であり、LTC4291-1/LTC4292に対して4対の電源で給電するよう命令できます。

無効なマルチイベント分類の組み合わせ

802.3bt規格は、一連の有効なクラス・シグネチャの組み合わせを規定しています。最初の2回のクラス・イベントでは、全てのPDが同じ分類シグネチャを返します。タイプ3とタイプ4のPDは、その後の全クラス・イベントで分類シグネチャを変更します。例えば、シングル・シグネチャのクラス5 PDは、クラス・シグネチャ4、4、0、0を使用して、それぞれクラス・イベント1、2、3、4に回答します。

クラスの電流制限値を超えている個々のクラス・シグネチャには、無効な分類結果としてのフラグが立てられます。PDの設定に基づく正しいシーケンスを表さないクラス・シグネチャのシーケンスにも、無効な分類結果としてのフラグが同様に立てられます。

アプリケーション情報

自動モードでのPSEの最大電力

自動モードでは、接続されている全ての有効なPDの検出、分類、および電源投入をLTC4291-1/LTC4292が自動的に実行します。このためには、最大の電力を割り当てるようにPSEを設定する必要があります。最大の電力割り当ては、電源と電力経路の能力を反映するものです。PWRMDピンを適切に設定して、PSEシステムの電力供給能力を反映させる必要があります。これらのピンはリセット時にサンプリングされます。

表 10. 自動モードでの最大の電力供給能力

PWRMD1	PWRMD0	ポートの最大電力 (シングル・シグネチャ)	ペアセットの最大電力 (デュアル・シグネチャ)
0	0	40W	13W
0	1	51W	25.5W
1	0	62W	25.5W
1	1	71.3W	35.6W

電力の制御

LTC4291-1/LTC4292の主な機能は、PSEポートへの電力供給を制御することです。LTC4291-1/LTC4292では、PSEポートは2つのパワー・チャンネルで構成されています。各パワー・チャンネルはペアセットを介して電力供給を制御します。このセクションでは、電力の供給と制御をチャンネルごとに定義します。

LTC4291-1/LTC4292は、外付けのパワーMOSFETのゲート駆動電圧を制御しつつ、(外付けの検出抵抗を流れる)電流と(OUTピン両端の)出力電圧を監視することにより、電力を供給します。

LTC4291-1/LTC4292は、 V_{EE} 電源を制御状態でPSEポートに接続し、PDの電力需要を満たすと同時に、外付けMOSFETの消費電力と V_{EE} バックプレーンに対する外乱を最小限に抑えます。

突入電流の制御

ポートの電源投入を命令されると、LTC4291-1/LTC4292は(命令された)一方または両方のチャンネルのGATEピンの電圧を上昇させて、外付けMOSFETのゲート電圧を制御状態で上昇させます。

通常突入電流制御時には、外付けMOSFETが完全な導通状態になるか、チャンネルの電流が突入電流制限値($I_{INRUSH-2P}$)に達するまで、MOSFETのゲート電圧は上昇します。 $I_{INRUSH-2P}$ はPSEによって自動的に設定されず、クラス0からクラス4に割り当てられているシングル・シグネチャPDに対して、PSEが4対の電源で給電している場合、 $I_{INRUSH-2P}$ は1チャンネルにつき212.5mA(代表値)です($LIMn = 08h$)。それ以外の場合、 $I_{INRUSH-2P}$ は1チャンネルにつき425mA(代表値)です($LIMn = 80h$)。

チャンネルの電流が $I_{INRUSH-2P}$ を超えるとGATEピンはサーボ制御され、電流を $I_{INRUSH-2P}$ 以内に能動的に制限します。GATEピンがサーボ制御されていない場合、最終的なVGSは12V(代表値)になります。

突入電流制御時に、各受電チャンネルはタイマー(t_{START})を作動させます。各受電チャンネルは、 t_{START} の期限が切れるまで突入電流の制御を維持します。 t_{START} の期限が切れると、PSEはチャンネルの電圧および電流を検査します。PSEがPDに電力を供給しているときに、チャンネルに流れる電流が $I_{INRUSH-2P}$ (PDの設定およびクラスに従った適切な値)より少なければ、突入電流の制御は正常です。

突入電流の制御がうまくいかないと、電源は遮断され、対応する t_{START} 障害が設定されます。そうでない場合は、電流の遮断および制限のセクションで説明するように、ポートまたはチャンネルは、適宜、電源投入段階に進んで、事前設定の電流制限閾値が使用されます。

ポートの電力ポリシング

電力ポリシング閾値(P_{CUT-4P})は、ポートごとに、128Wまで0.5W刻み(代表値)でモニタされます。全出力電力の1秒間の移動平均が規定の閾値を超えると、電源がポートから遮断され、対応する t_{CUT} 障害が設定されます。

特に、ポートのポリシング機能を使用して、PDクラス電力の供給を確保しつつ、100Wの有限電源(LPS)条件より低い値を維持できます。

電流の遮断および制限

LTC4291-1/LTC4292の各ポートには、2つの電流制限閾値(I_{CUT-2P} および I_{LIM-2P})が組み込まれており、それぞれに対応するタイマー(t_{CUT} および t_{LIM})があります。 I_{CUT-2P} 閾値と I_{LIM-2P} 閾値の設定は、数種類の要因(PD割り当てクラス、

アプリケーション情報

主電源の電圧 (V_{EE})、PSEタイプ(タイプ3または4)、およびMOSFETのSOA)によって決まります。

1組のプログラマブル・ポート閾値 I_{CUT-2P} および I_{LIM-2P} は、両方のチャンネルに共用されます。これらの閾値は、表4および表5に示すように、分類結果に基づいて設定します。デュアル・シグネチャPDによって異なるクラスが割り当てられた場合は、最も高いクラスを使用して閾値を設定します。例えば、デュアル・シグネチャPDがクラス1とクラス5を割り当てた場合は、クラス5に基づいて I_{CUT-2P} と I_{LIM-2P} の値が決まります。

LTC4291-1/LTC4292は、IEEE規格に従って、ポートまたはチャンネルから電源を遮断する前の限られた時間、適宜、チャンネルの電流が I_{CUT-2P} を超えることを許容する一方で、MOSFETのゲート駆動電圧を能動的に制御して、チャンネルの電流を I_{LIM-2P} 未満に抑えます。 I_{CUT-2P} 閾値を超えただけでは、チャンネルは電流を制限する処置をとりませんが、 t_{CUT} タイマーは起動させます。タイマーの期限が切れる前に電流が減少して I_{CUT-2P} 閾値より低くなると、 t_{CUT} タイマーはカウント・ダウンしますが、カウント・アップ時の1/16の速度です。 t_{CUT} タイマーが59ms(代表値)に達すると、ポートまたはチャンネルは適宜オフになり、対応する t_{CUT} 障害が設定されます。これにより、デューティ・サイクルが約6%未満の断続的な過負荷信号をチャンネルは許容できます。これよりデューティ・サイクルが長い過負荷では、適宜ポートまたはチャンネルから電源が遮断されます。

I_{LIM-2P} 電流制限回路は常にイネーブルされており、チャンネルの電流を能動的に制限します。 t_{LIM} タイマーがイネーブルされるのは、 t_{LIM} のTimer Configurationフィールドがゼロ以外の値に設定されている場合だけです。このため、 t_{LIM} の値を t_{CUT} より小さい値に設定することにより、MOSFETをより強力に保護して、MOSFETが損傷する前にポートをオフすることができます。 t_{LIM} タイマーは、電流が I_{LIM-2P} 閾値を超えると始動します。 t_{LIM} タイマーの経過時間が、1.7ms(代表値)に t_{LIM} のTimer Configurationフィールドの値を掛けた時間に達すると、ポートまたはチャンネルは適宜オフになり、該当する t_{LIM} 障害が設定されます。 t_{LIM} のTimer Configurationフィールドを0に設定すると、 t_{LIM} の動作は t_{CUT} タイマーによって追従され、 I_{LIM-2P} と I_{CUT-2P} の両方のイベント時にカウント・アップします。IEEEの準拠を維持するため、 t_{LIM} の事前設定Timer Configurationフィールドを、LTC4291 Software Programming 技術文書に示す値に設定してください。

I_{CUT-2P} は、通常は I_{LIM-2P} より低い値に設定されるので、ポートは電流制限なしで軽度の障害に耐えることができます。

IEEEの準拠を維持するため、 I_{LIM-2P} の事前設定値を、表4および5に示す値に設定してください。突入電流の段階が完了すると、 I_{LIM-2P} の事前設定値が自動的に適用されます。

t_{CUT} タイマーと t_{LIM} タイマーは、チャンネルごとに維持されます。 t_{CUT} または t_{LIM} の障害が発生すると、一方または両方のチャンネルをオフする判定が行われます。詳細については、ポートの障害とチャンネルの障害のセクションを参照してください。

I_{LIM-2P} のフォールドバック動作

LTC4291-1/LTC4292の I_{LIM-2P} 閾値は、チャンネルの電圧が通常の動作電圧より低くなるとチャンネルの電流を低減する2段階のフォールドバック回路として実装されています。これにより、MOSFETの消費電力は安全なレベルに維持されます。電流制限とフォールドバックの動作は、ポートごとに設定できます。

LTC4291-1/LTC4292は、802.3bt規格での最大値をはるかに超える電流レベルをサポートします。 I_{LIM-2P} の値を大きくするには、大型の外付けMOSFET、ヒートシンクの追加の他に、 t_{LIM} のTimer Configurationフィールドを低めの値に設定する必要があります。

MOSFETの障害検出

LTC4291-1/LTC4292のPSEポートは、かなりのレベルの酷使に耐えるように設計されていますが、極端な場合には外付けMOSFETが損傷する可能性があります。損傷したMOSFETはソースとドレインの間が短絡していることがあり、その場合には、本来はオフしているはずのポートがオンしているように見えます。また、この状態が原因で検出抵抗が溶断してオープンになり、ポートはオフになりますが、SENSEの電圧が異常に高くなることがあります。故障したMOSFETは、更にゲートとドレインの間を短絡させて、GATEの電圧が異常に高くなる可能性があります。OUT、SENSE、およびGATEは、最大80Vの異常電圧に耐えられ、損傷しないよう設計されています。

アプリケーション情報

給電されていないポートのいずれかのチャンネル(給電されているチャンネルがない状況)でLTC4291-1/LTC4292がパワーグッド状態を認識すると、デバイスは全てのポート機能を無効にして、ポートのゲート駆動プルダウン電流を低減し、FET Bad障害を報告します。これは一般的には永続的な障害ですが、ホストはポートをリセットすることによって回復を試行できます。ポートのリセットで障害を解消できない場合には、デバイス全体をリセットします。MOSFETが実際に異常動作を示す場合、障害信号が素早く返され、ポートはそれ自体を再度ディスエーブルします。LTC4291-1/LTC4292の残りのポートは影響を受けません。

MOSFETがオープンの場合やMOSFETがないことでFET Bad障害がトリガされることはありませんが、LTC4291-1/LTC4292がポートをオンしようとする、 t_{START} 障害が発生します。

切り離し

LTC4291-1/LTC4292は、給電されているチャンネルをモニタして、PDに最小規定電流が流れ続けていることを確認します。 $I_{HOLD-2P}$ 閾値は、 0.15Ω の検出抵抗両端で $V_{HOLD-2P}$ 閾値としてモニタされており、PDが切り離されたかどうかを調べるために使用します。

$I_{HOLD-2P}$ 閾値は、自動モードでは自動的に設定され、半自動モードと手動モードではお客様に設定していただきます。クラス0からクラス4に割り当てられているシングル・シグネチャPDに1つのチャンネルを介して電力を供給する場合は、Disconnect Configurationビットによって $I_{HOLD-2P}$ 閾値を7.5mA(代表値)に設定します。その他の場合は、 $I_{HOLD-2P}$ 閾値を3.5mA(代表値)に設定します。

切り離しタイマー(t_{DIS})は、チャンネルの電流が $I_{HOLD-2P}$ 閾値より少なくなるとカウント・アップして、PDが切り離されていることを示します。該当の t_{DIS} タイマーが終了すると、ポートまたはチャンネル(表11)はオフになり、対応する t_{DIS} 障害が設定されます。 t_{DIS} タイマーが終了する前に電流が増加して $I_{HOLD-2P}$ を超えると、タイマーはリセットします。PDが最小電流レベルを超えてから t_{DIS} タイマーが終了する限り、PDは給電されたままです。

推奨はしませんが、DC切り離し機能は、対応するDC Disconnect Enableビットをクリアすれば無効化できます。DC切り離し機能を無効にすると、LTC4291-1/LTC4292はIEEE規格に準拠しなくなります。給電されているポートは、PDの

取り外し後も給電されたままです。給電されたままのポートが、その後PoE非対応のデータ・デバイスに接続された場合には、損傷する可能性があります。

LTC4291-1/LTC4292は、AC切り離し回路を内蔵していません。AC切り離し機能は、802.3btのサポート対象外です。

ポートの障害とチャンネルの障害

t_{CUT} 、 t_{LIM} 、および t_{DIS} タイマーは、チャンネルごとに維持されます。いずれかのチャンネルのタイマーが終了すると、ポートの両方または一方のチャンネルの電源を遮断するか、どのチャンネルの電源も遮断しないかが判定されます。

シングル・シグネチャPDに障害が発生した場合、802.3bt規格によってオプションの動作が許可されています。このオプションにより、シングル・シグネチャPDは、ペアセットYで障害が発生した場合でも、ペアセットXで給電状態を維持できます。FAULT2Pnビットを設定すると、このオプション動作が可能になります。この動作は通常動作では推奨されません。PDやケーブル配線での障害は、PDの故障やケーブルの損傷にいたる直前の兆候を示すからです。

表11. チャンネル障害がポート/チャンネル状態に与える影響

PDの構成	FAULT2Pn	障害の結果: 電源の遮断対象(ポートまたはチャンネル)		
		t_{CUT}^{**}	t_{LIM}	t_{DIS}
Single	0	Port	Port	Port*
	1	Channel	Channel	
Dual	x	Channel	Channel	Channel

* t_{DIS} の期限が両方のチャンネルで切れた場合

**ポートの電力ポリシング(P_{CUT-4P})によって t_{CUT} イベントが発生する。有効にした場合、ポートの電力ポリシングによって、FAULT2Pnの設定に関係なく、ポートの電源が遮断される。

障害遠隔測定

前の数セクションで説明したように、障害は一方または両方のチャンネルで発生する可能性があります。その結果、一方または両方のチャンネルで電源が遮断されます。障害イベント・レジスタは、従来からポート・レベルで実装されています。障害発生源のチャンネルにとっての障害を追跡するため、LTC4291-1/LTC4292には、障害レジスタの2番目の層(Fault Telemetryレジスタ)が追加されています。詳細については、LTC4291 Software Programming技術文書を参照してください。

アプリケーション情報

Autoclass

IEEE 802.3btでは、新しいオプション機能である Autoclass が導入されています。Autoclassにより、PSEは、最も厳しい動作条件で必要な電力より多くの電力を要求しているシングル・シグネチャPDからパワー・バジェットを回収できます。802.3btは、デュアル・シグネチャPDについてはAutoclassを仕様化していません。LTC4291-1/LTC4292は、Autoclassを完全にサポートしています。

802.3 PoE規格の以前のバージョンでは、最も厳しい条件でのイーサネット・ケーブル両端間のIR電圧降下および最小のPSE出力電圧に対して、最小のPSE出力電力を規定しています。ただし、過剰に割り当てられた電力をPSEが回収する方法は規定されていません。短めのイーサネット・ケーブルを使用する場合や、サポートされているPSE出力電圧が規定の最小値より高い場合、規定の最小PSE出力電力では、実質的に過剰な電力がPDに割り当てられます。

PoEシステムの例を2つのバージョンで示します。100mのケーブルを介して3つの25.5W PDに電力を供給している100Wの4ポートPSEを図22に示します。こうしたシステムでは、PSEが1つのPDにつき25.5Wを割り当て、更に100mケーブルのIR電圧降下ごとに4.5Wを割り当てる必要があります。

全電力の割り当ては次のようになります。

$$3 \text{ Ports} \cdot (4.5\text{W} + 25.5\text{W}) = 90\text{W}$$

別の13W PDを4番目のPSEポートに差し込んだ場合、供給できるのはわずか10Wであり、このPDには電力を供給できません。

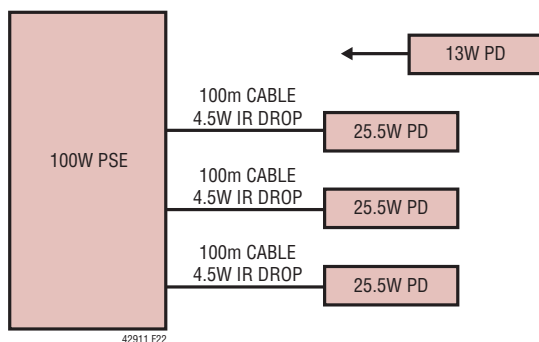


図22. 100mのケーブルを使用する100WのPoEシステム

10mのケーブルを介して3つの25.5W PDに電力を供給している100Wの4ポートPSEを図23に示します。こうしたシステムでは、PSEが1つのPDにつき25.5Wを割り当て、更に10mケーブルのIR電圧降下ごとに約0.5Wを割り当てる必要があります。

Autoclassを使用しない場合、全電力の割り当ては次のようになります。

$$3 \text{ ports} \cdot (4.5\text{W} + 25.5\text{W}) = 90\text{W}$$

別の13W PDを4番目のPSEポートに差し込んだ場合、供給できるのはわずか10Wであり、IR電圧降下が前の例より大幅に小さい場合であっても、このPDには電力を供給できません。

図23のシステムがAutoclass対応であると仮定すると、回収されたパワー・バジェットを使用して、追加のポートに電力を供給できます。分類時に、PSEはPDのAutoclass要求を認識します。電源投入が完了すると、PDはその最大電力を引き出すのに対して、PSEは、802.3btに規定されているように、Autoclass測定を実行します。図23のPSEは、3つの25.5W PDのそれぞれに対して、26Wの消費電力を測定して報告します。この結果により、ホストはPSEが供給可能なパワー・バジェットを変更できます。

Autoclassを使用した場合、図23での全電力の割り当ては次のようになります。

$$3 \text{ Ports} \cdot 26\text{W (Measured)} = 78\text{W}$$

別の13W PDを4番目のPSEポートに差し込んだ場合、今度は十分な22Wを供給可能になり、このPDに無事に電力を供給できます。

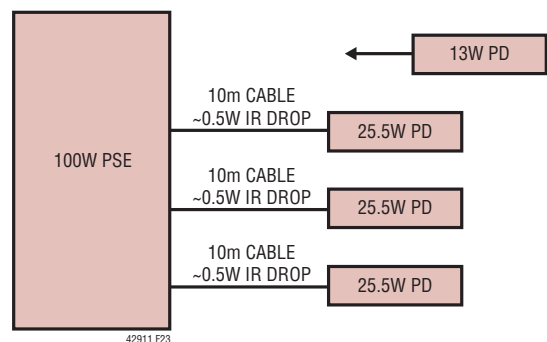


図23. 10mのケーブルを使用する100WのPoEシステム

アプリケーション情報

Autoclassのネゴシエーション手順

PSEは、物理層分類または(PSEホスト経由で)LLDPによってPDからAutoclass要求を受けることがあります。物理層の要求については、以下に示すAutoclassのネゴシエーション手順を図24に示します。

1. PSEが長い最初のクラス・イベントの発行を開始します。PDのクラス・シグネチャは、この時間中に安定化できます。
2. PDはそのクラスに対応するクラス・シグネチャによって応答します。この時間中のクラス・シグネチャは、Autoclassのネゴシエーションとは無関係です。
3. PSEはこの時間中にPDクラス・シグネチャを測定して、結果を通常のマルチイベント分類に使用します。
4. PDはそのクラス・シグネチャを示し続けます。
5. PSEは長いクラス・イベントを継続し、この時点ではクラス・シグネチャ電流を測定しません。
6. PDは、Autoclassを要求している場合は、クラス・シグネチャ0に遷移します。PDは、Autoclassを要求していない場合、クラス・シグネチャを示し続けます。

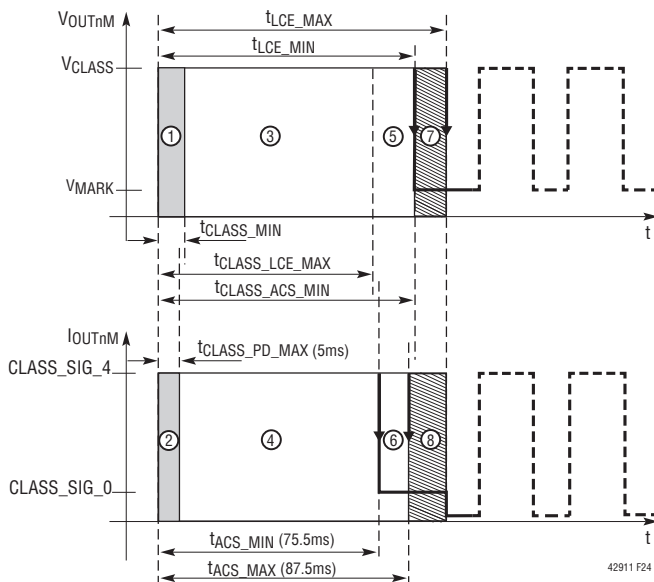


図24. Autoclassのネゴシエーション、電圧および電流

7. PSEはPDのAutoclass応答を測定します。クラス・シグネチャ0が測定された場合、PDはAutoclassを要求しています。測定が完了すると、最初のクラス・イベントは終了します。

8. PDは、最初のクラス・イベントが終了するまで、手順6で選択したクラス・シグネチャを保持し続けます。

Autoclassのネゴシエーション手順に続いて、PSEおよびPDは物理層分類を継続し、通常どおりに起動します。Autoclassにかかわらず、PDは、PD割り当てクラスに対応するネゴシエーション済みの電力割り当てより少ない電力で動作することが必要です。

Autoclassの測定手順

Autoclassの測定は、物理層分類を介して、または電源投入後にLLDPを介して、PDが要求できます。LTC4291-1/LTC4292はLLDPベースのAutoclass要求との互換性がありますが、データ・パスへのアクセス権がないため、LLDP Autoclass要求を直接受け入れることはできません。

PSEが、物理層の要求に続いてAutoclass測定を実行するよう命令されている場合、通常はポートの突入電流制御が正常に完了してから $t_{\text{AUTO_PSE1}}$ (1.5秒、代表値)経過後に測定が始まります。LLDPベースのAutoclass要求では、測定が直ちに始まります。

Autoclassの測定期間は $t_{\text{AUTO_PSE2}} - t_{\text{AUTO_PSE1}}$ (1.8秒、代表値)で、 $t_{\text{AUTO_WINDOW}}$ (0.2秒、代表値)というスライド式の期間を使用します。Autoclassの測定期間中、PSEは I_{PORT} と V_{EE} を絶え間なくモニタして、平均電力の最大値を計算します。Autoclassの測定期間に続いて、Autoclassの測定値がPort Parametricレジスタに報告されます。

Autoclassの有効化、Autoclassネゴシエーションのステータス、Autoclass測定結果の読出し、Autoclass測定の動的な要求の詳細については、LTC4291 Software Programming技術文書を参照してください。

ポート電流の読出し

LTC4291-1/LTC4292は、チャンネルごとのA/Dコンバータ(ADC)を使用して、各パワー・チャンネルでの電流を測定します。全ポート電流(両方のチャンネルの合計)が報告されます。ポート電流が有効なのは、1つのポートのパワー・

アプリケーション情報

チャンネルが1つ以上オンしているときだけであり、それ以外の全ての時間はゼロを読み出します。コンバータには次の2つのモードがあります。

- 100msモード: サンプリングが連続して行われ、測定値が100msごとに更新されます。
- 1sモード: サンプリングが連続して行われ、1秒間の移動平均が100msごとに更新されます。

V_{EE}の読出し

LTC4291-1/LTC4292は、専用のADCを使用してV_{EE}の電圧を絶え間なく測定します。このV_{EE}のグローバル測定は、全てのポート電流測定と完全に同期しています。

ポート電力の読出し

LTC4291-1/LTC4292は、完全に連続して同期したポート電力測定を実現しています。LTC4291-1/LTC4292は、ポート電流とV_{EE}の測定値を掛けることによってポート電力を計算します。

$$P_{\text{PORT}} = I_{\text{PORT}} \times V_{\text{EE}}$$

ポート電力測定は、アナログ・デバイセズの以前のPSEで提供されていたポート電圧測定に取って替わるものです。ポート電圧は、ユーザ定義の方法でV_{EE}測定から特性評価と推定が可能です。

マスクされたシャットダウン

LTC4291-1/LTC4292は、必要に応じてシステム負荷を迅速に低減する低遅延のポート削減機能を備えています。事前に決めておいた一連のポートをオフすることで、過負荷状態の主電源から流れる電流を急速に減少させつつ、優先度の高いデバイスに電力を供給し続けることができます。各ポートには高い優先度または低い優先度を設定できます。全ての低優先度ポートは、 $\overline{\text{MSD}}$ がローになってから6.5μs以内にシャットダウンし、高優先度ポートは電力の供給が維持されます。 $\overline{\text{MSD}}$ によってポートがオフになると、対応するDetection EnableビットとClassification Enableビットはクリアされるので、ホストが検出を明示的に再有効化するまで、ポートはオフのままです。

LTC4291-1/LTC4292チップセットでは、 $\overline{\text{MSD}}$ のアクティブ・レベルはアクティブ・ハイまたはアクティブ・ローとしてレジスタで設定できます。デフォルトの動作はアクティブ・ローです。

汎用入出力

LTC4291-1は、2つの汎用入出力ピン、GP0およびGP1を備えています。これらの完全な双方向入出力ピンは、3.3VのCMOSロジックを使用します。

コードのダウンロード

LTC4291-1はデフォルトのファームウェア・イメージを内蔵しているため、手作業なしで802.3bt準拠の動作が可能です。更に、LTC4291-1ファームウェアは、ファームウェア・イメージをダウンロードして実行することにより、現場でアップグレードできます。ファームウェア・イメージは揮発性であり、V_{DD}電源を入れ直すたびに再度ダウンロードする必要がありますが、リセット時やV_{EE}電源イベント時は有効なままです。

LTC4291-1は、アナログ・デバイセズのファームウェア・イメージとの組み合わせ限定で使用することを想定しています。コードのダウンロード手順とファームウェア・イメージについては、アナログ・デバイセズにお問い合わせください。

シリアル・デジタル・インターフェース

概要

LTC4291-1は、標準のSMBus/I²C 2線インターフェースを使用してホストと通信します。LTC4291-1はスレーブ専用デバイスであり、標準のSMBusプロトコルを使用してホスト・マスタと通信します。割込みはINTを介してホストに通知されます。標準的な通信波形と波形のタイミング関係をタイミング図(図5～図9)に示します。SMBusデータ・プロトコルの詳細については、www.smbus.orgを参照してください。

LTC4291-1では、シリアル・インターフェースを機能させるために、V_{DD}とV_{EE}の両方の電源レールが必要です。

バスのアドレス指定

LTC4291-1の最初の7ビットのシリアル・バス・アドレスは010A3A2A1A0bで、下位4ビットはAD3～AD0によって設定されます。これにより、1本のバスで最大16個のLTC4291-1に対応できます。16個のLTC4291-1は64ポートに相当します。また、全てのLTC4291-1は、ブロードキャスト・アドレス0110000bに応答するので、ホストは1回のトランザクションで複数のLTC4291-1に同じコマンド(通常は設定コマンド)を書き込むことができます。

アプリケーション情報

LTC4291-1は、 $\overline{\text{INT}}$ をアサートしている場合、SMBus規格に従ってアラート応答アドレス(0001100b)に応答します。

LTC4291-1/LTC4292は、それぞれ、論理上4ポートの単一ワッドで構成されており、単一の I^2C アドレスにまとめられています。

割込みとSMBAlert

大半のポート・イベントは、割込みをトリガし、 $\overline{\text{INT}}$ をアサートして、イベントに対するアラートをホストに通知します。これにより、ホストはLTC4291-1をポーリングする必要がなくなるので、シリアル・バスのトラフィックが最小限に抑えられ、ホストのCPUサイクルが節約されます。複数のLTC4291-1が共通の $\overline{\text{INT}}$ ラインを共有し、ホストがSMBAlertプロトコル(ARA)を使用することで、どのLTC4291-1が割込みを発生させたかを調べることができます。

レジスタの説明

シリアル・バスの使用法とデバイスの設定およびステータスについては、LTC4291 Software Programming技術文書を参照してください。アナログ・デバイセズに問い合わせ、この文書を請求してください。

絶縁条件

IEEE 802.3イーサネット規格では、(PoE回路を含む)ネットワーク・セグメントが各ネットワーク・インターフェース・デバイスのシャーシ・グラウンドから電気的に絶縁されていることが要求されます。ただし、ネットワーク・セグメントを互いに絶縁する必要はありません。セグメントが単一の建造物内部に置かれているデバイスに、単一の配電システム上で接続されていることが前提になります。

小型のPoEスイッチなど、簡単なデバイスの場合、デバイス全体に絶縁型の主電源を使用することによって絶縁条件を満たすことができます。この方法を採用できるのは、デバイスがツイストペア線のイーサネット以外に電気的な導通ポートを備えていない場合です。この場合、SDAINピンとSDAOUTピンは相互接続可能であり、標準的な I^2C /SMBus SDAピンとして機能します。

デバイスが大規模システムの一部である場合、イーサネット非対応の追加外部ポートを備えている場合、または何か他の理由によって保護グラウンドを基準にする必要がある場

合は、PoEサブシステムをシステムの残りから電気的に絶縁する必要があります。

LTC4291-1/LTC4292チップセットは、LTC4291-1チップを非絶縁側に置くことにより、PSEの絶縁が簡単になります。このチップセットはロジックの主電源から電力を受給して、 I^2C /SMBusバスに直接接続することができます。LTC4291-1とLTC4292の間の絶縁は、専用のトランスベースの通信プロトコルを使用して実装されています。詳細については、このデータシートのシリアル・バスの絶縁のセクションを参照してください。

外付け部品の選択

電源

LTC4291-1/LTC4292は、動作するのに2つの電源電圧が必要です。 V_{DD} には、DGNDを基準にして3.3V(公称)が必要です。 V_{EE} には、AGNDPを基準にして、タイプ3 PSEでは-51V~-57V、タイプ4 PSEでは-53V~-57Vの負電圧が必要です。

デジタル電源

V_{DD} は、LTC4291-1のプロセッサにデジタル電源を供給します。0.1 μF 以上のセラミック・デカップリング・コンデンサを、各LTC4291-1にできるだけ近づけて、 V_{DD} とDGNDの間に接続します。1.8Vのコア電源が内部で生成されるので、CAP1ピンとDGNDの間に1 μF のセラミック・デカップリング・コンデンサが必要です。

LTC4291-1では、ホスト・コントローラの非絶縁3.3V電源によって V_{DD} を供給します。必要な絶縁を維持するには、LTC4292のAGNDPとLTC4291-1のDGNDを決して接続してはなりません。

PoEの主電源

V_{EE} は、PDに電力を供給する絶縁型のPoE主電源です。この電源は比較的大量の電力を供給し、大きな電流トランジェントが発生しやすいので、単純なロジック電源よりも設計上の注意が必要です。IR損失を最小限に抑えてシステムの効率を最高にするため、 V_{EE} を最大振幅(57V)付近に設定し、使用されている個々の電源のトランジェント・オーバーシュート/アンダーシュート、温度ドリフト、ライン・レギュレーションの規格値を見込んだ十分なマージンをとります。

アプリケーション情報

AGNDPとV_{EE}の間のバイパス容量は、信頼性の高い動作を確保するため、非常に重要です。いずれかの出力ポートで短絡が発生した場合、LTC4292が電流を制御し始めるまでに1μsもの長い時間がかかることがあります。この間、電流を制限するのは回路内の小さなインピーダンスだけです。このため、通常は大電流スパイクが発生してV_{EE}電源に電圧トランジェントを引き起こし、UVLO障害によってLTC4291-1/LTC4292がリセットされる原因になります。誤ったリセットを最小限に抑えるため、1μF、100VのX7RコンデンサをV_{EE}ピンとAGNDPピンの近くに配置すると共に、47μF以上のバルク電解コンデンサを電源の両端間に接続することを推奨します。

シリアル・バスの絶縁

LTC4291-1/LTC4292チップセットは、トランスを使用してLTC4291-1をLTC4292から絶縁します(図25参照)。この場合は、SDAINピンとSDAOUTピンを互いに短絡して、I²C/SMBusバスに直接接続できます。トランスは巻数比が1:1の10BASE-Tまたは10/100BASE-Tにします。コモンモード・チョークのないトランスを選択するのが最適です。これらの

トランスは、LTC4291-1とLTC4292の間で、通常は1500Vの絶縁性能を示します。動作を最適にするため、レイアウトのガイドラインに厳密に従う必要があります。

外付けMOSFET

パワーMOSFETを慎重に選択することは、システムの信頼性にとって不可欠です。MOSFETを選択するには、MOSFETのSOA曲線を様々なPSE電流制限条件に照らして、幅広く分析してテストすることが必要です。アナログ・デバイセズでは、51Wまでの最大ポート電力(シングル・シグネチャ)または25.5Wの最大ペアセット電力(デュアル・シグネチャ)を供給するよう設定されたPSEの場合、PSMN075-100MSEを推奨します。71.3Wまでの最大ポート電力(シングル・シグネチャ)または35.6Wの最大ペアセット電力(デュアル・シグネチャ)を供給するよう設定されたPSEの場合は、PSMN040-100MSEを推奨します。これらのMOSFETを選択したのは、PoEアプリケーションでの信頼性が実証されているからです。これらの推奨製品以外のMOSFETを使用する場合は、事前にアナログ・デバイセズのアプリケーション担当にお問い合わせください。

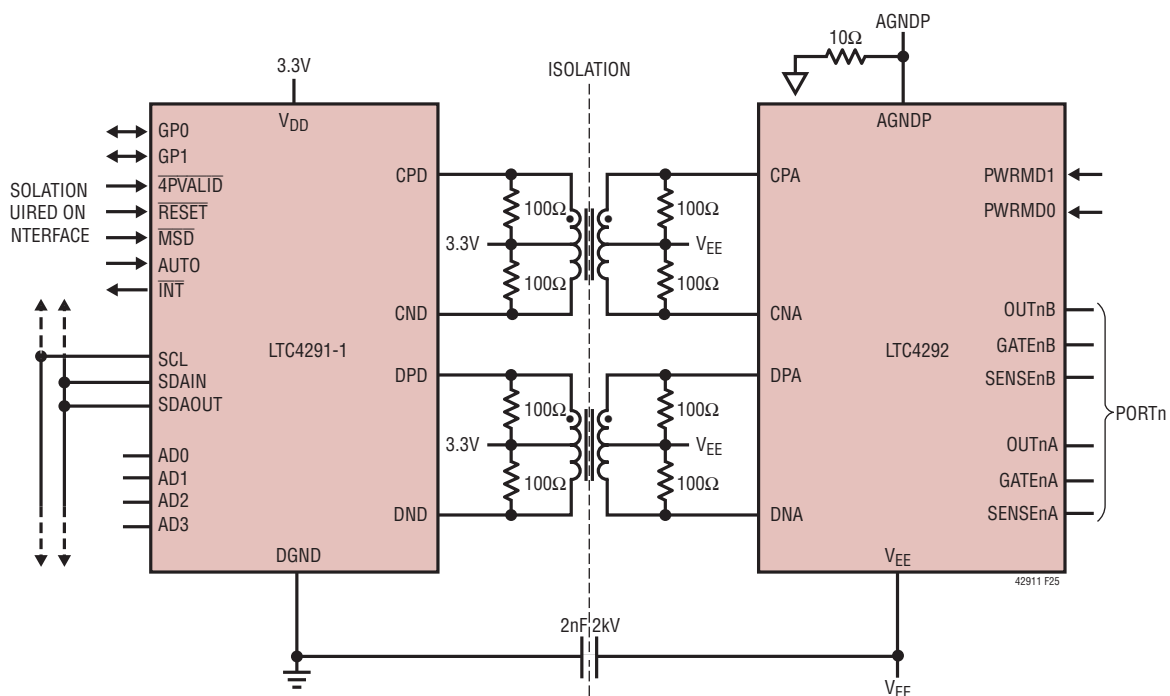


図25. LTC4291-1/LTC4292独自の絶縁方式

アプリケーション情報

検出抵抗

LTC4291-1/LTC4292は、チャンネル当たり0.15Ωの小さい電流検出抵抗に合わせて設計されています。レイアウト条件のセクションに示すように、2個の0.3Ω抵抗を並列にレイアウトする必要があります。I_{HOLD-2P}、I_{CUT-2P}、I_{LIM-2P}の精度が、IEEE規格で要求される精度を満たすようにするため、検出抵抗は、許容誤差が±1%以下で、温度係数が±200ppm/°C以下のものにします。

ポートの出力コンデンサ

起動時や過負荷時の電流が制限されているときにLTC4292を安定な状態に保つため、各ポートにはOUT_{nM}とAGNDPの間に0.22μFのコンデンサが必要です(図25参照)。一般的なセラミック・コンデンサは、たいていの場合、かなり大きな電圧係数を持っています。つまり、印加電圧が高くなると、容量は減少します。この問題を最小限に抑えるため、定格が100V以上のX7Rセラミック・コンデンサを推奨します。また、このコンデンサはLTC4292の近くに配置する必要があります。

サージ保護

イーサネット・ポートには、かなり大きなケーブル・サージが加わることがあります。PoEを安全なレベルより低い電圧に維持して、アプリケーションを損傷から保護するため、図26に示すように、主電源、LTC4292の電源ピン、および各ポートには保護部品が必要です。

PoE主電源の両端にはバルク電圧トランジェント圧縮(TVSBULK)およびバルク容量(C_{BULK})が必要であり、システム・レベルのサージ条件に対応するサイズにすることが必要です。

LTC4292では、それぞれ電源のAGNDとLTC4292のAGNDPピンの間に10Ωの0805抵抗(R1)を直列に接続することが必要です。LTC4292のAGNDPピンとV_{EE}ピンの間に配置するのは、58VのTVSであるSMAJ58A(D1)と、1μF、100Vのバイパス・コンデンサ(C1)です。これらの部品はLTC4292のピンの近くに配置する必要があります。

最後に、各ポートには1対のクランプ・ダイオードS1Bが必要です。1つはOUT_{nM}と電源のAGNDの間に接続し、もう1つはOUT_{nM}と電源のV_{EE}の間に接続します。ポートに接続したこれらのダイオードは、有害なサージを電源レールに誘導します。電源レールでは、サージ・サプレッサとV_{EE}のバイパス・コンデンサがサージを吸収します。これらの経路のレイアウトは低インピーダンスにする必要があります。

レイアウト条件

IEEEの準拠、パラメータの測定精度、システムの堅牢性、および熱放散のためには、基板レイアウト、部品の配置、および配線の条件を厳密に守ることが不可欠です。レイアウトの例については、DC2685Aデモ・キットを参照してください。

検出抵抗ブロックのレイアウト条件

チャンネルの検出抵抗は、他のチャンネルを流れる電流の影響を受けることがあります。IEEEのパラメータに確実に準拠するには、検出抵抗のレイアウトを厳密に定めて、それに従う必要があります。更に、検出抵抗ブロックのV_{EE}プレーンの共通の接続箇所とレイアウトを規定します。

このセクションのこれ以降で参照するように、ポート1とポート2の部品名を図33に示します。チャンネル1A、1B、2A、および2Bの検出抵抗(RST1~RST4およびRSU1~RSU4)は、検出抵抗ブロックにまとめる必要があります。チャンネル

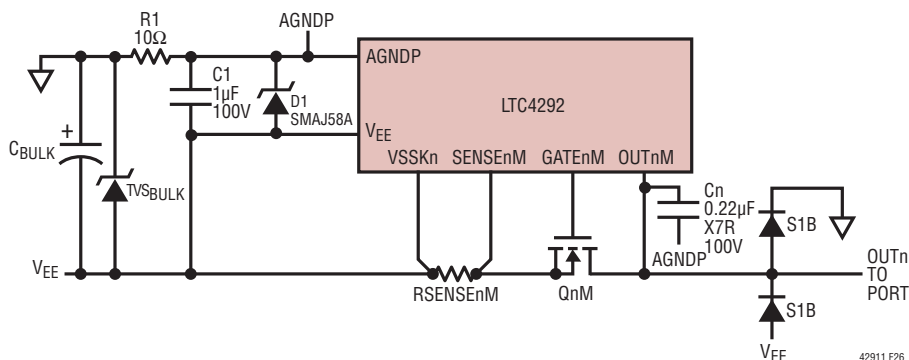


図26. LTC4292のサージ保護

アプリケーション情報

3A、3B、4A、および4Bの検出抵抗とVSSK34にも同じ条件が当てはまります。

図27に、検出抵抗RST1～RST4のPCB表面層の配置を示します。裏面層の各検出抵抗RSU1～RSU4は、対になっている表面層の検出抵抗の直下に配置します。検出抵抗のV_{EE}側は、ハンダ・パッド上端のV_{EE}共通銅箔領域に5ミル～10ミル重ねて接続します。

図28に、表面部品層のV_{EE}共通銅箔領域の条件を示します。表面層では、V_{EE}共通銅箔領域が下部の中央で検出抵抗パッドの長さまで延びているので、中央の2個の検出抵抗と下部中央のパワー・ビアの間が銅につながります。V_{EE}共通銅箔領域と検出抵抗のV_{EE}パッドの周囲に10ミルの禁止領域を設けています。表面部品層に関する前述の手順を裏面部品層についても繰り返します。

図29に、中間層2(V_{EE}プレーン)のV_{EE}共通銅箔領域の条件を示します。V_{EE}共通銅箔領域の周囲に10ミルの禁止領域を設けています。例外は下部中央で、ここではV_{EE}共通銅箔領域がV_{EE}プレーンまで開いています。V_{EE}共通銅箔領域は、中間層2のV_{EE}にのみ接続しています。

図30に、中間層3(AGNDプレーンおよび配線)のV_{EE}共通銅箔領域の条件を示します。V_{EE}共通銅箔領域は、その周囲に10ミルの禁止領域を設けて、周囲のAGNDプレーンから切り離しています。

図31に、V_{EE}共通銅箔領域のパワー・ビアの配置を示します。V_{EE}共通銅箔領域には、15のパワー・ビアがあり、全4層のこの領域で共通銅箔領域を接続します。パワー・ビア

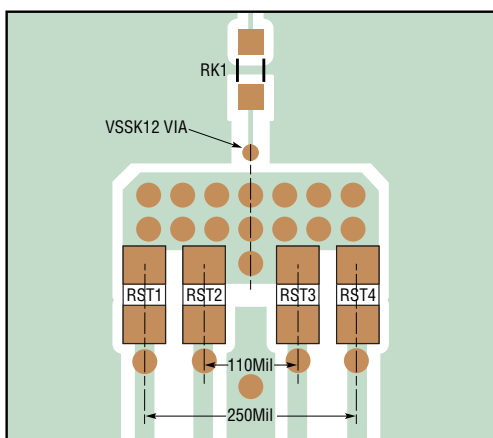
は、ドリル穴のサイズが17ミルで直径が30ミルの大きさのアンユラ・リングにする必要があります。

図32はPCBの層の構造で、各層の銅箔の厚さ条件を定義しています。

ケルビン検出

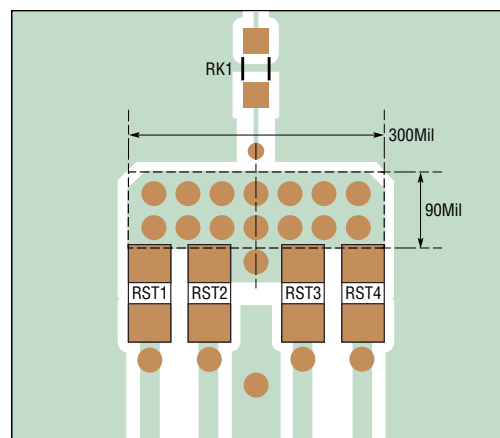
レイアウトには適切なケルビン検出機構を実装する必要があります。VSSK12は、図33の直列抵抗RK1に接続します。ケルビン検出の小信号パターンは、RK1(図28)から、中間層3でのみ、V_{EE}共通銅箔領域に囲まれた検出抵抗(RST1～RST4およびRSU1～RSU4)の図心上端でV_{EE}に接続します(図30)。V_{EE}につながるRK1ハンダ・パッドの周囲(図28)、RK1から図心までのパターンの周囲(図28および30)、全ての層でパターンを他の層に接続する全てのビアの周囲(図28、29、および30)に、10ミルの禁止領域を設ける必要があります。

各検出抵抗のSENSE_{nM}側で、それぞれのハンダ・パッドに(レイアウトDRCの許容範囲内で)できるだけ近づけてパワー・ビアを配置します。このパワー・ビアは、1つのチャンネルの上側と下側の検出抵抗ペアを接続します。ケルビン検出の小信号パターンは、図30に示すように、SENSE_{nM}をそれぞれの検出抵抗ペアのビアに直接接続します。個別の電力経路幅のパターンは、検出抵抗ペアからMOSFETまでを接続します。SENSE_{nM}は、検出抵抗とMOSFETの間の電力経路上以外のどこにも接続してはなりません。



NOTES: DRAWING NOT TO SCALE.
VSSK12 VIA ISOLATED ON TOP AND BOTTOM LAYERS.

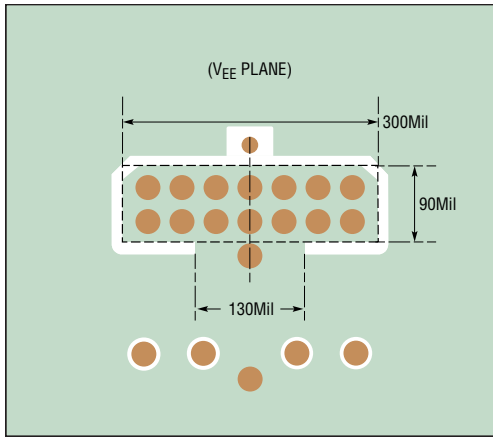
図27. 表面部品層での検出抵抗の配置



NOTES: DRAWING NOT TO SCALE.
RK1 ONLY ON TOP LAYER.

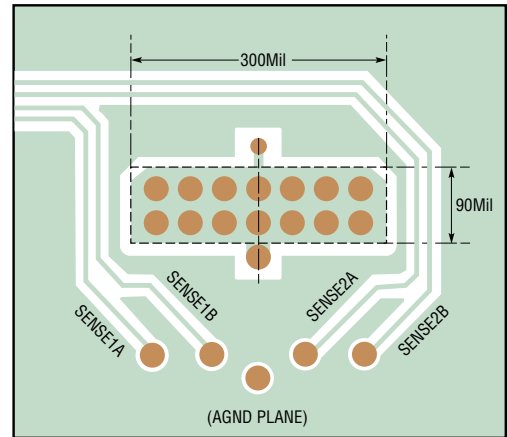
図28. 表面層と裏面層での検出抵抗ブロックのレイアウト

アプリケーション情報



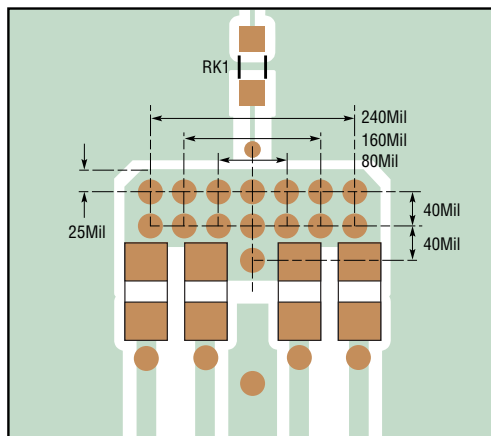
NOTES: DRAWING NOT TO SCALE.
VSSK12 VIA ISOLATED.

図 29. 中間層 2 での検出抵抗ブロックのレイアウト (VEE プレーン)



NOTES: DRAWING NOT TO SCALE.
VSSK12 VIA CONNECTS VEE.

図 30. 中間層 3 での検出抵抗ブロックのレイアウト (AGND / 信号プレーン)



NOTE: DRAWING NOT TO SCALE.

図 31. 検出抵抗ブロックのビアの仕様

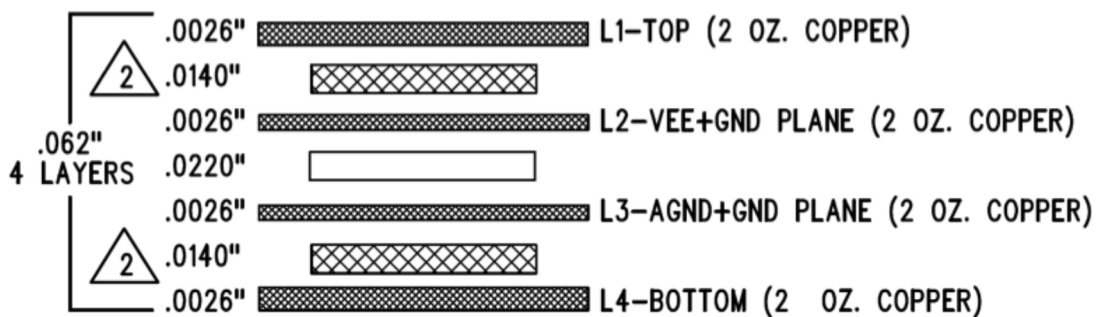
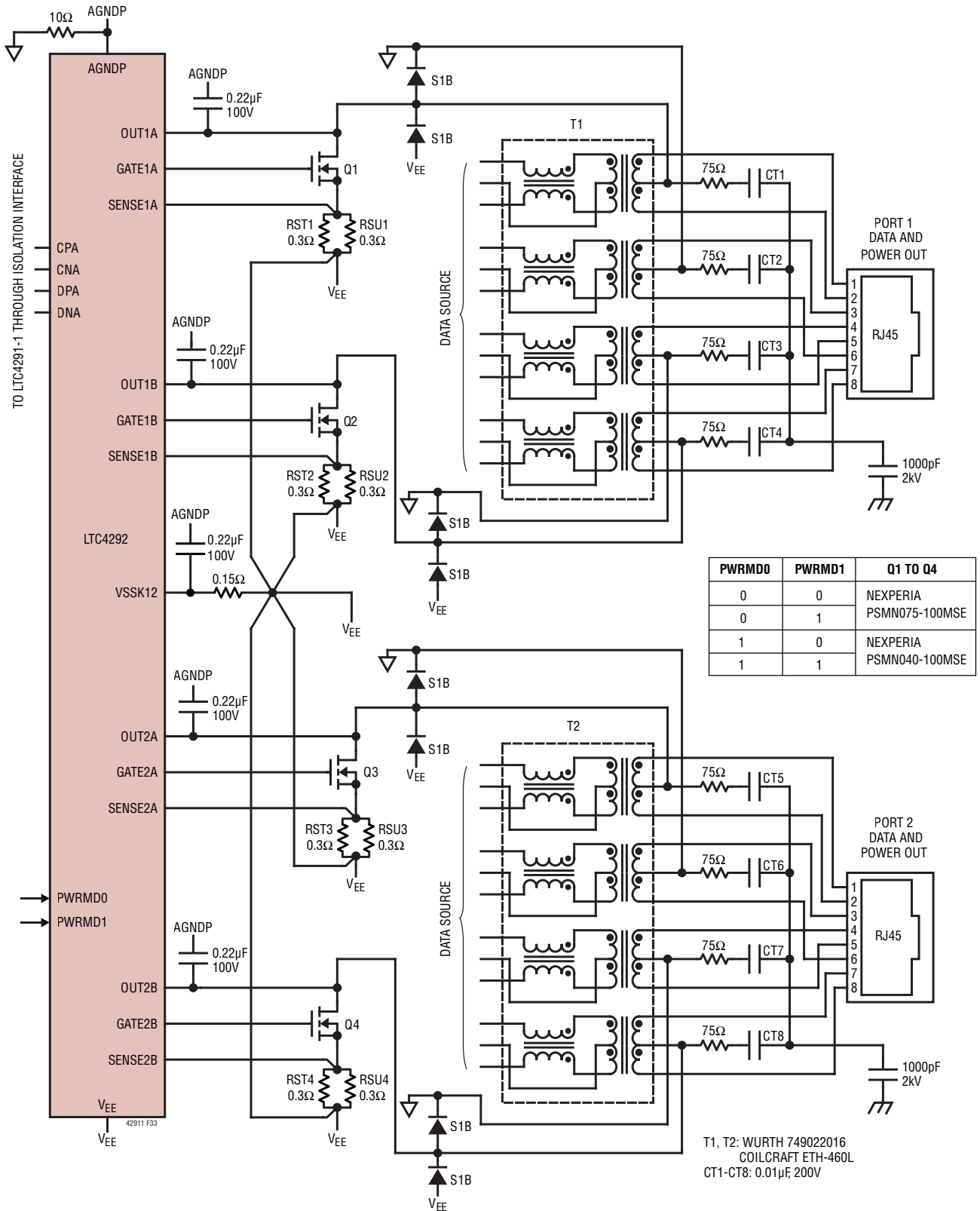


図 32. PCB の層の構造

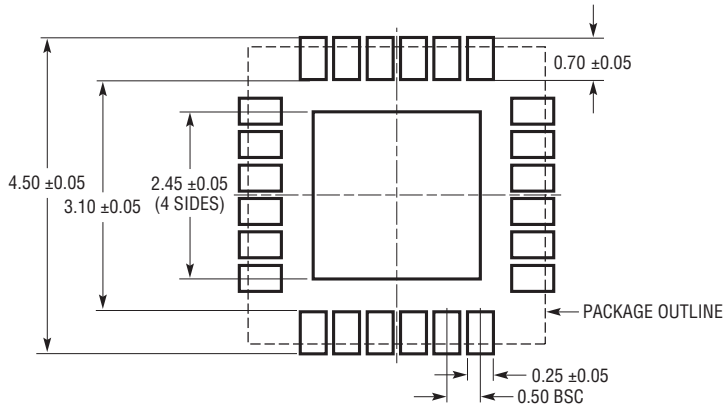
代表的なアプリケーション

図33. オルタナティブ A (MDI-X) およびオルタナティブ B (S)、1000BASE-T、IEEE 802.3bt、タイプ 3 またはタイプ 4 PSE、ポート 1 と 2 を示す

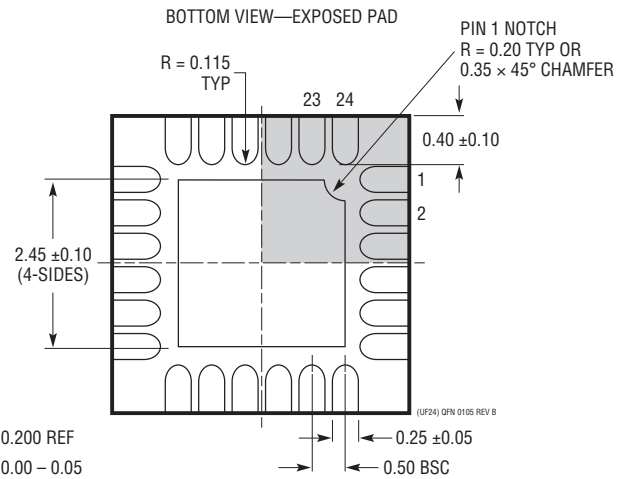
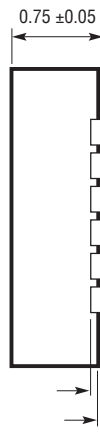
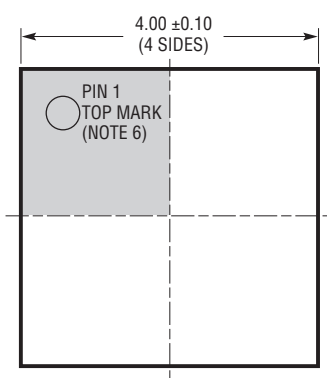


パッケージ

UF Package 24-Lead Plastic QFN (4mm × 4mm) (Reference LTC DWG # 05-08-1697 Rev B)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS

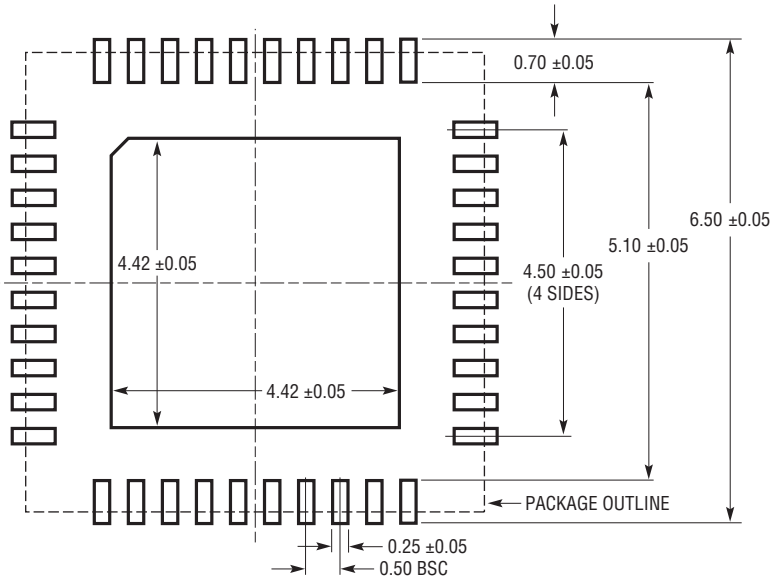


注記:

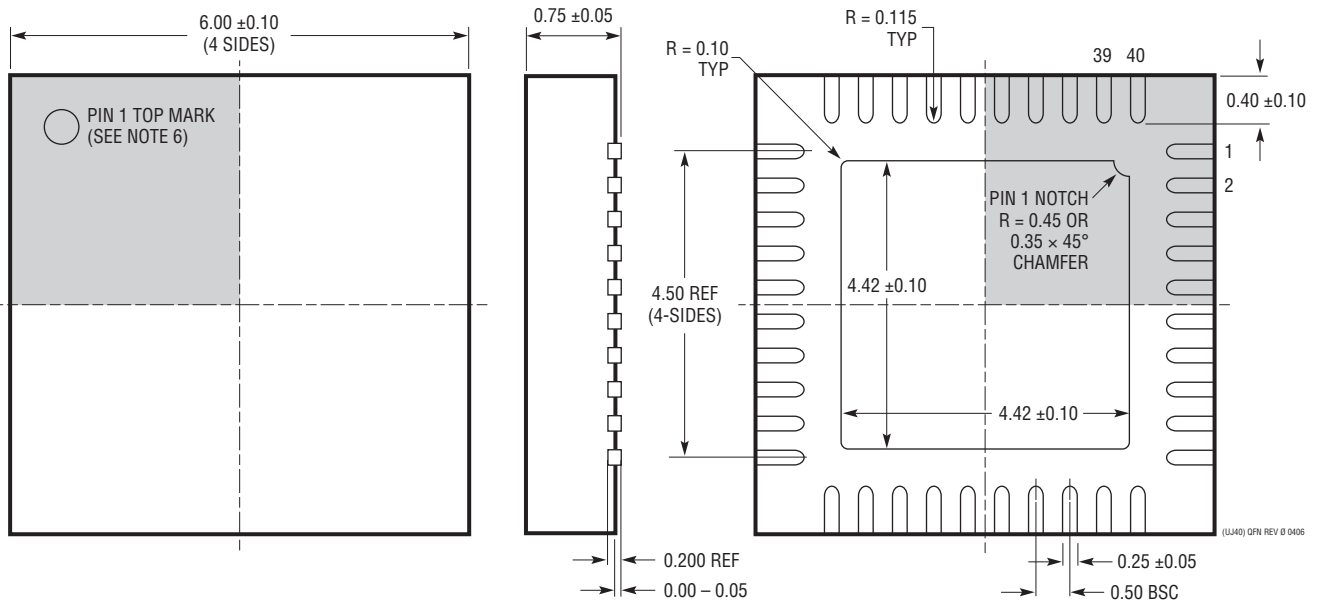
1. 図は JEDEC のパッケージ外形 M0-220 のバリエーション (WGGD-X) に含めるよう提案されている (承認待ち)
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
5. 露出パッドはハンダ・メッキとする
6. 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考に過ぎない

パッケージ

UJ Package
40-Lead Plastic QFN (6mm × 6mm)
 (Reference LTC DWG # 05-08-1728 Rev 0)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED

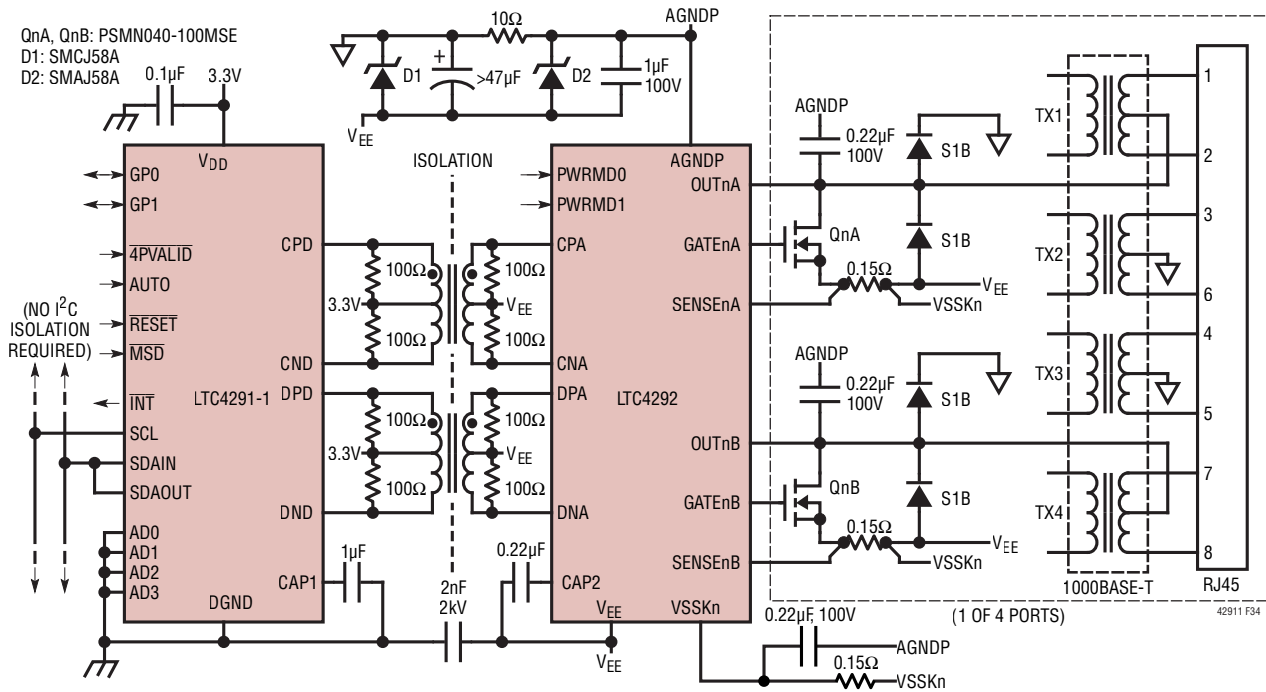


BOTTOM VIEW—EXPOSED PAD

- 注記:
1. 図は JEDEC パッケージ外形 (バリエーション: WJJD-2)
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
 モールドのバリは (もしあれば) 各サイドで 0.20mm を超えないこと
 5. 露出パッドはハンダ・メッキとする
 6. 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考過ぎない

代表的なアプリケーション

図 34. IEEE 802.3bt タイプ 3 または 4 PSE、オルタナティブ A (MDI-X) およびオルタナティブ B (S)、1000BASE-T、4 ポートのうちの 1 ポートを示す。



関連製品

製品番号	説明	注釈
LT4294	LTPoE++/PoE+/PoE PD コントローラ	外部スイッチ、IEEE 802.3bt のサポート、構成可能なクラス
LT4295	フォワード/フライバック・スイッチング・レギュレータ・コントローラ付き IEEE 802.3bt PD	外部スイッチ、IEEE 802.3bt のサポート、構成可能なクラス、フォワード動作または No-Opto フライバック構成動作、周波数、PG/SG 遅延、ソフトスタート、および最小 9V の補助電源サポート、(ハウスキューピング降圧電源、スローブ補償を含む)
LTC4257-1	IEEE 802.3af PD インターフェース・コントローラ	100V、400mA スイッチ内蔵、デュアル電流制限、プログラマブルなクラス
LTC4263	シングル IEEE 802.3af PSE コントローラ	FET スイッチ内蔵
LTC4265	IEEE 802.3at PD インターフェース・コントローラ	100V、1A スイッチ内蔵、2 イベント分類認識
LTC4266	クワッド IEEE 802.3at PoE PSE コントローラ	プログラマブル I _{CUT} /I _{LIM} 、2 イベント分類、ポート電流および電圧モニタリング
LTC4267	スイッチング・レギュレータ内蔵の IEEE 802.3af PD インターフェース	100V、400mA スイッチ内蔵、デュアル突入電流制限、プログラマブルなクラス
LTC4269-1	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3at PD インターフェース	2 イベント分類、プログラマブルなクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz~250kHz、補助電源サポート
LTC4269-2	フォワード・スイッチング・レギュレータ内蔵の IEEE 802.3at PD インターフェース	2 イベント分類、プログラマブルなクラス、同期整流式フォワード・コントローラ、スイッチング周波数: 100kHz~500kHz、補助電源サポート
LTC4270/ LTC4271	12ポート PoE/PoE+/LTPoE++ [®] PSE コントローラ	トランスによる絶縁、タイプ 1、タイプ 2、および LTPoE++ PD に対応
LTC4278	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3at PD インターフェース	2 イベント分類、プログラマブルなクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz~250kHz、12V 補助電源サポート
LTC4279	シングル PoE/PoE+/LTPoE++ PSE コントローラ	IEEE 802.3af、IEEE 802.3at、LTPoE++、および独自 PD をサポート
LTC4290/ LTC4271	8ポート PoE/PoE+/LTPoE++ PSE コントローラ	トランスによる絶縁、IEEE802.3af、IEEE802.3at、および LTPoE++ PD に対応