

## 3.3V、スペクトラム拡散EconOscillator

### 概要

EconOscillator™のDS1086Lは、周波数130kHz～66.6MHzのスペクトラム拡散(ディザ重畳)方形波出力を生成する3.3Vのプログラマブルクロック発振器です。選択可能なディザ重畳出力によって、プログラムされた周波数よりも0.5%、1%、2%、4%、または8%低い周波数のディザを加えることで、放射エミッションのピーク値が低減します。DS1086Lは、消費電力重視のアプリケーション用にパワーダウンモードと出力イネーブル制御を備えています。デバイス設定値はすべて不揮発性(NV)EEPROMメモリに保持されるので、スタンドアロンのアプリケーションで動作することができます。

### アプリケーション

プリンタ  
コピー機  
PC  
コンピュータ周辺装置  
セル電話  
ケーブルモデム

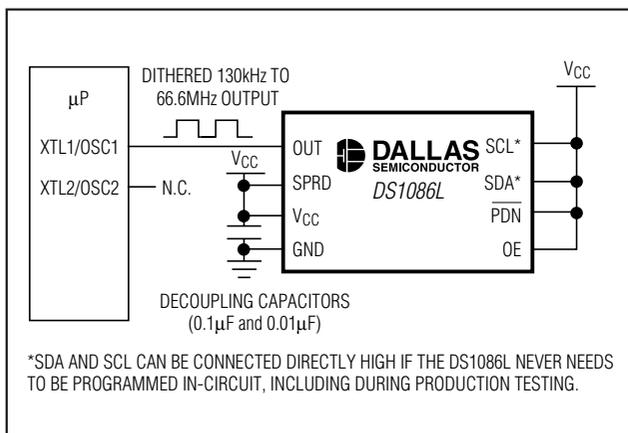
### 特長

- ◆ ユーザプログラマブルの方形波発生器
- ◆ プログラマブル周波数：130kHz～66.6MHz
- ◆ 0.5%、1%、2%、4%、または8%を選択可能なディザ重畳出力
- ◆ 調整可能なディザ率
- ◆ グリッチレス出力イネーブル制御
- ◆ 2線式シリアルインタフェース
- ◆ 不揮発性の設定値
- ◆ 電源電圧：2.7V～3.6V
- ◆ 外付けタイミング部品不要
- ◆ パワーダウンモード
- ◆ マスタ周波数のステップサイズ：5kHz
- ◆ EMIの低減
- ◆ 工業用温度範囲：-40℃～+85℃

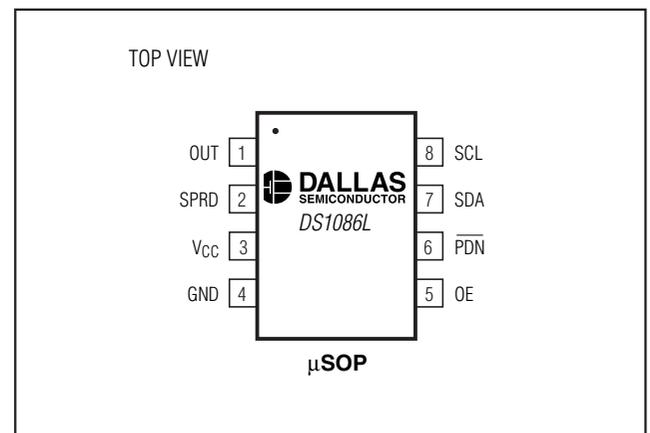
### 型番

PART	TEMP RANGE	PIN-PACKAGE
DS1086LU	-40°C to +85°C	8 μSOP (118 mil)

### 標準動作回路



### ピン配置



EconOscillatorはDallas Semiconductorの商標です。

# 3.3V、スペクトラム拡散EconOscillator

DS1086L

## ABSOLUTE MAXIMUM RATINGS

Voltage Range on V<sub>CC</sub> Relative to Ground .....-0.5V to +6.0V  
 Voltage Range on SPRD, P<sub>DN</sub>, OE, SDA, and SCL  
 Relative to Ground\* .....-0.5 to (V<sub>CC</sub> + 0.5V)

Operating Temperature Range .....-40°C to +85°C  
 Programming Temperature Range .....0°C to +70°C  
 Storage Temperature Range .....-55°C to +125°C  
 Soldering Temperature .....See IPC/JEDEC J-STD-020A

\*This voltage must not exceed 6.0V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## RECOMMENDED DC OPERATING CONDITIONS

(V<sub>CC</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V <sub>CC</sub>	(Note 1)	2.7	3.3	3.6	V
High-Level Input Voltage (SDA, SCL, SPRD, P <sub>DN</sub> , OE)	V <sub>IH</sub>		0.7 x V <sub>CC</sub>		V <sub>CC</sub> + 0.3	V
Low-Level Input Voltage (SDA, SCL, SPRD, P <sub>DN</sub> , OE)	V <sub>IL</sub>		-0.3		0.3 x V <sub>CC</sub>	V

## DC ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
High-Level Output Voltage (OUT)	V <sub>OH</sub>	I <sub>OH</sub> = -4mA, V <sub>CC</sub> = min	2.4			V
Low-Level Output Voltage (OUT)	V <sub>OL</sub>	I <sub>OL</sub> = 4mA	0		0.4	V
Low-Level Output Voltage (SDA)	V <sub>OL1</sub>	3mA sink current	0		0.4	V
	V <sub>OL2</sub>	6mA sink current	0		0.6	
High-Level Input Current	I <sub>IH</sub>	V <sub>CC</sub> = 3.6V			1	μA
Low-Level Input Current	I <sub>IL</sub>	V <sub>IL</sub> = 0	-1			μA
Supply Current (Active)	I <sub>CC</sub>	C <sub>L</sub> = 15pF (output at default frequency)			10	mA
Standby Current (Power-Down)	I <sub>CCQ</sub>	Power-down mode			10	μA

# 3.3V、スペクトラム拡散EconOscillator

DS1086L

## MASTER OSCILLATOR CHARACTERISTICS

(V<sub>CC</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Master Oscillator Frequency	f <sub>OSC</sub>	(Note 2)	33.3		66.6	MHz
Default Master Oscillator Frequency	f <sub>0</sub>	Factory-programmed default		48.65		MHz
Master Oscillator Frequency Tolerance	$\frac{\Delta f_0}{f_0}$	V <sub>CC</sub> = 3.3V, T <sub>A</sub> = +25°C (Notes 3,17)	Default frequency(f <sub>0</sub> )	-0.5	+0.5	%
			DAC step size	-0.5	+0.5	
Voltage Frequency Variation	$\frac{\Delta f_V}{f_0}$	Over voltage range, T <sub>A</sub> = +25°C (Note 4)	Default frequency	-0.75	+0.75	%
			DAC step size	-0.75	+0.75	
Temperature Frequency Variation	$\frac{\Delta f_T}{f_0}$	Over temperature range, V <sub>CC</sub> = 3.3V (Note 5)	Default frequency	-2.0	+0.75	%
			66.6MHz	-2.0	+0.75	
			33.3MHz	-2.5	+0.75	
Dither Frequency Range (Note 6)	$\frac{\Delta f}{f_0}$	Prescaler bits JS2, JS1, JS0 = 000		0.5		%
		Prescaler bits JS2, JS1, JS0 = 001		1		
		Prescaler bits JS2, JS1, JS0 = 010		2		
		Prescaler bits JS2, JS1, JS0 = 100		4		
		Prescaler bits JS2, JS1, JS0 = 111		8		
Integral Nonlinearity of Frequency	INL	Entire range (Note 7)	-0.6		+0.3	%
DAC Step Size		Δ between two consecutive DAC values (Note 8)		5		kHz
DAC Span		Frequency range for one offset setting (Table 2)		5.12		MHz
DAC Default		Factory default register setting		500		decimal
Offset Step Size		Δ between two consecutive offset values (Table 2)		2.56		MHz
Offset Default	OS	Factory default OFFSET register setting (5 LSBs) (Table 2)		RANGE (5 LSBs of RANGE register)		hex
Dither Rate		Prescaler bits JS4, JS3 = 00		f <sub>0</sub> /8192		Hz
		Prescaler bits JS4, JS3 = 01		f <sub>0</sub> /4096		
		Prescaler bits JS4, JS3 = 10		f <sub>0</sub> /2048		

# 3.3V、スペクトラム拡散EconOscillator

DS1086L

## AC ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Frequency Stable After Prescaler Change					1	period
Frequency Stable After DAC or Offset Change	t <sub>DACstab</sub>	(Note 9)		0.1	1	ms
Power-Up Time	t <sub>por</sub> + t <sub>stab</sub>	(Note 10)		0.1	0.5	ms
Enable of OUT After Exiting Power-Down Mode	t <sub>stab</sub>	(Note 18)			200	μs
OUT High-Z After Entering Power-Down Mode	t <sub>pdn</sub>				100	μs
Load Capacitance	C <sub>L</sub>	(Note 11)		15	50	pF
Output Duty Cycle (OUT)		Default frequency	45		55	%
Rise and Fall Time (OE, $\overline{\text{PDN}}$ )					1	μs

## AC ELECTRICAL CHARACTERISTICS—2-WIRE INTERFACE

(V<sub>CC</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f <sub>SCL</sub>	Fast mode			400	kHz
		Standard mode	(Note 12)		100	
Bus Free Time Between a STOP and START Condition	t <sub>BUF</sub>	Fast mode	1.3			μs
		Standard mode	(Note 12)	4.7		
Hold Time (Repeated) START Condition	t <sub>HD:STA</sub>	Fast mode	0.6			μs
		Standard mode	(Notes 12, 13)	4.0		
LOW Period of SCL	t <sub>LOW</sub>	Fast mode	1.3			μs
		Standard mode	(Note 12)	4.7		
HIGH Period of SCL	t <sub>HIGH</sub>	Fast mode	0.6			μs
		Standard mode	(Note 12)	4.0		
Setup Time for a Repeated START	t <sub>SU:STA</sub>	Fast mode	0.6			μs
		Standard mode	(Note 12)	4.7		
Data Hold Time	t <sub>HD:DAT</sub>	Fast mode	0		0.9	μs
		Standard mode	(Notes 12, 14, 15)			
Data Setup Time	t <sub>SU:DAT</sub>	Fast mode	100			ns
		Standard mode	(Note 12)	250		
Rise Time of Both SDA and SCL Signals	t <sub>R</sub>	Fast mode	20 + 0.1C <sub>B</sub>		300	ns
		Standard mode	(Note 16)	20 + 0.1C <sub>B</sub>	1000	
Fall Time of Both SDA and SCL Signals	t <sub>F</sub>	Fast mode	20 + 0.1C <sub>B</sub>		300	ns
		Standard mode	(Note 16)	20 + 0.1C <sub>B</sub>	1000	

# 3.3V、スペクトラム拡散EconOscillator

DS1086L

## AC ELECTRICAL CHARACTERISTICS—2-WIRE INTERFACE (continued)

(V<sub>CC</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Setup Time for STOP	t <sub>SU:STO</sub>	Fast mode	0.6			μs
		Standard mode	4.0			
Capacitive Load for Each Bus Line	C <sub>B</sub>	(Note 16)			400	pF
EEPROM Write Cycle Time	t <sub>WR</sub>				10	ms
Input Capacitance	C <sub>I</sub>			5		pF

## NONVOLATILE MEMORY CHARACTERISTICS

(V<sub>CC</sub> = 2.7V to 3.6V)

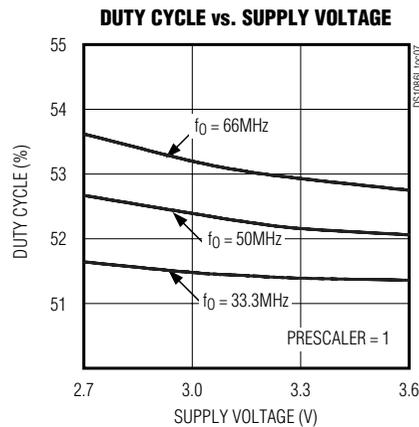
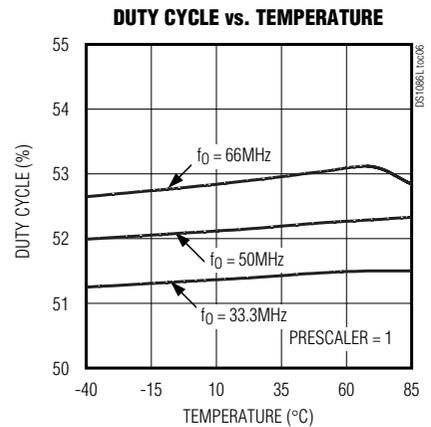
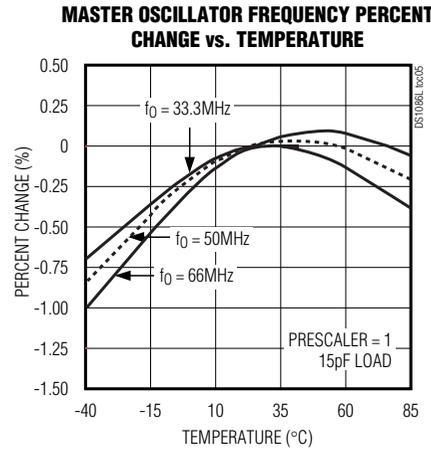
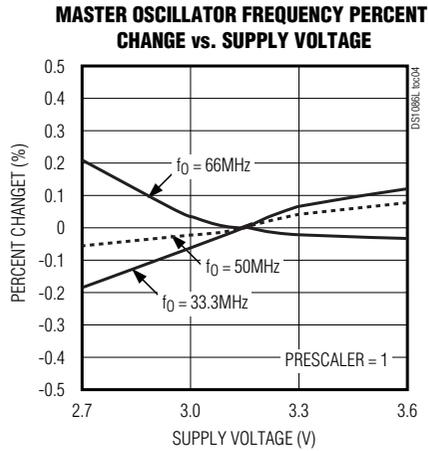
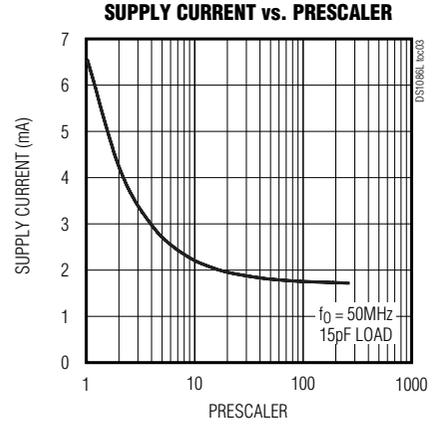
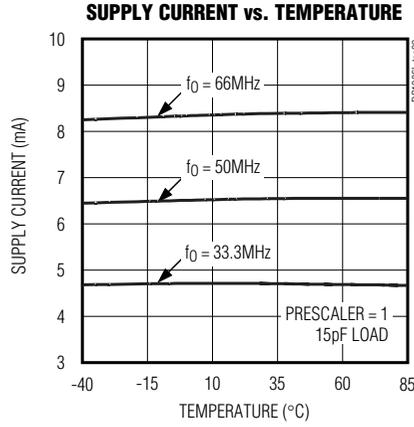
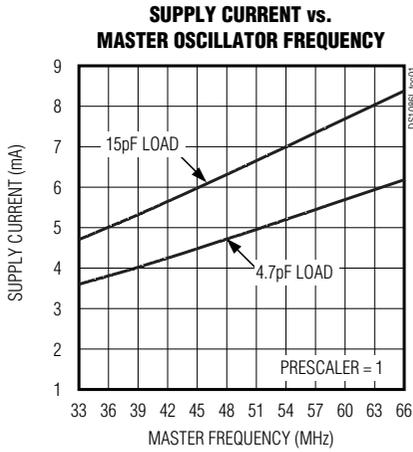
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EEPROM Writes		+70°C	10,000			

- Note 1:** All voltages are referenced to ground.
- Note 2:** DAC and OFFSET register settings must be configured to maintain the master oscillator frequency within this range. Correct operation of the device is not guaranteed if these limits are exceeded.
- Note 3:** This is the absolute accuracy of the master oscillator frequency at the default settings.
- Note 4:** This is the change that is observed in master oscillator frequency with changes in voltage from nominal voltage at T<sub>A</sub> = +25°C.
- Note 5:** This is the percentage frequency change from the +25°C frequency due to temperature at V<sub>CC</sub> = 3.3V. The maximum temperature change varies with the master oscillator frequency setting. The minimum occurs at the default master oscillator frequency (f<sub>default</sub>). The maximum occurs at the extremes of the master oscillator frequency range (33.3MHz or 66.6MHz).
- Note 6:** The dither deviation of the master oscillator frequency is unidirectional and lower than the undithered frequency.
- Note 7:** The integral nonlinearity of the frequency is a measure of the deviation from a straight line drawn between the two endpoints (f<sub>osc(MIN)</sub> to f<sub>osc(MAX)</sub>) of the range. The error is in percentage of the span.
- Note 8:** This is true when the prescaler = 1.
- Note 9:** Frequency settles faster for small changes in value. During a change, the frequency transitions smoothly from the original value to the new value.
- Note 10:** This indicates the time elapsed between power-up and the output becoming active. An on-chip delay is intentionally introduced to allow the oscillator to stabilize. t<sub>stab</sub> is equivalent to approximately 512 master clock cycles and therefore depends on the programmed clock frequency.
- Note 11:** Output voltage swings can be impaired at high frequencies combined with high output loading.
- Note 12:** A fast-mode device can be used in a standard-mode system, but the requirement t<sub>SU:DAT</sub> > 250ns must then be met. This is automatically the case if the device does not stretch the LOW period of the SCL signal. If such a device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line at least t<sub>R MAX</sub> + t<sub>SU:DAT</sub> = 1000ns + 250ns = 1250ns before the SCL line is released.
- Note 13:** After this period, the first clock pulse is generated.
- Note 14:** A device must internally provide a hold time of at least 300ns for the SDA signal (referred to as the V<sub>IH MIN</sub> of the SCL signal) to bridge the undefined region of the falling edge of SCL.
- Note 15:** The maximum t<sub>HD:DAT</sub> need only be met if the device does not stretch the LOW period (t<sub>LOW</sub>) of the SCL signal.
- Note 16:** C<sub>B</sub>—total capacitance of one bus line, timing referenced to 0.9 × V<sub>CC</sub> and 0.1 × V<sub>CC</sub>.
- Note 17:** Typical frequency shift due to aging is ±0.5%. Aging stressing includes Level 1 moisture reflow preconditioning (24hr +125°C bake, 168hr 85°C/85%RH moisture soak, and three solder reflow passes +240 +0/-5°C peak) followed by 1000hr max V<sub>CC</sub> biased 125°C HTOL, 1000 temperature cycles at -55°C to +125°C, 96hr 130°C/85%RH/3.6V HAST and 168hr 121°C/2 ATM Steam/Unbiased Autoclave.
- Note 18:** t<sub>stab</sub> is the time required after exiting power-down to the beginning of output oscillations. In addition, a delay of t<sub>DACstab</sub> is required before the frequency will be within its specified tolerance.

# 3.3V、スペクトラム拡散EconOscillator

## 標準動作特性

( $V_{CC} = 3.3V$ ,  $T_A = 25^\circ C$ , unless otherwise noted.)

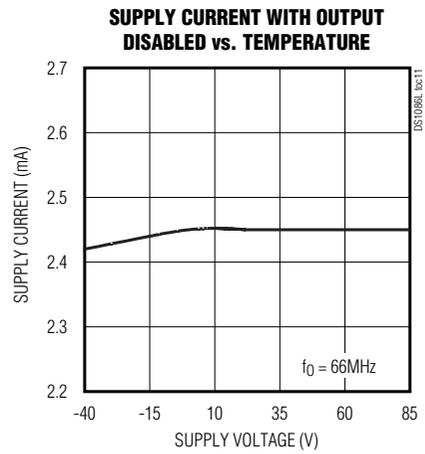
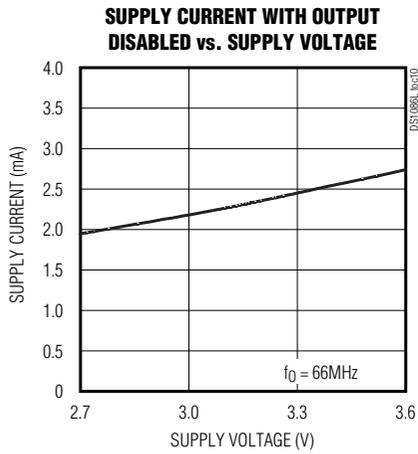
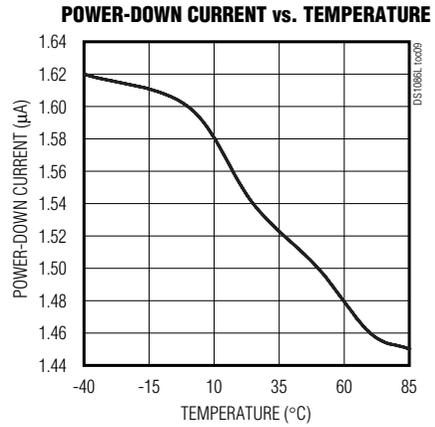
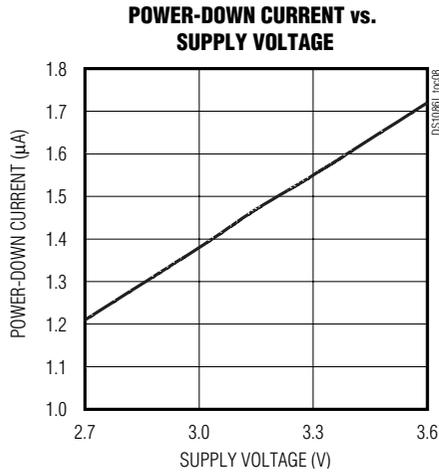


# 3.3V、スペクトラム拡散EconOscillator

DS1086L

## 標準動作特性(続き)

( $V_{CC} = 3.3V$ ,  $T_A = 25^\circ C$ , unless otherwise noted.)



# 3.3V、スペクトラム拡散EconOscillator

DS1086L

## 端子説明

端子	名称	機能
1	OUT	発振器出力。出力周波数は、OFFSET、DAC、及びプリスケアラレジスタによって設定します。
2	SPRD	ディザイネーブル。端子が高い場合、ディザはイネーブル状態です。端子がローの場合、ディザはディセーブル状態です。
3	VCC	電源電圧
4	GND	グランド
5	OE	出カインーブル。端子が高い場合、出力バッファはイネーブル状態です。端子がローの場合、出力はディセーブル状態ですが、マスタ発振器はオンのままです。
6	PDN	パワーダウン。端子が高い場合、マスタ発振器はイネーブル状態です。端子がローの場合、マスタ発振器はディセーブル状態です(パワーダウンモード)。
7	SDA	2線式シリアルデータ。この端子はデバイスとの間でシリアルデータを転送するための端子です。この端子はオープンドレイン端子で、他のオープンドレインやオープンコレクタインタフェースワイヤードORにすることができます。
8	SCL	2線式シリアルクロック。この端子を使って、立上りエッジでデータをデバイスに同期入力し、立下りエッジでデータを同期出力することができます。

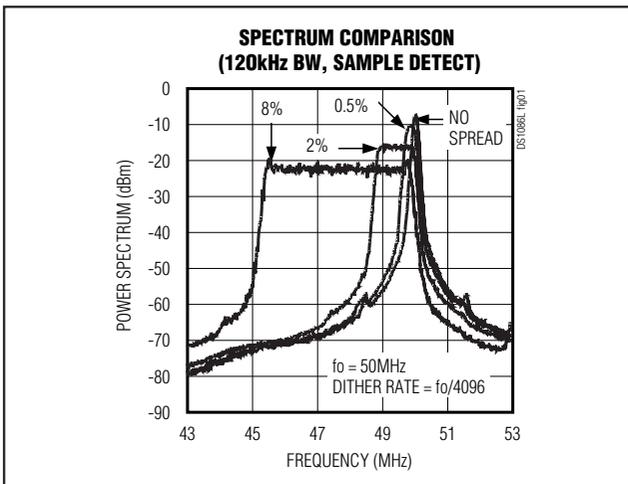


図1. クロックとスペクトルのディザ比較

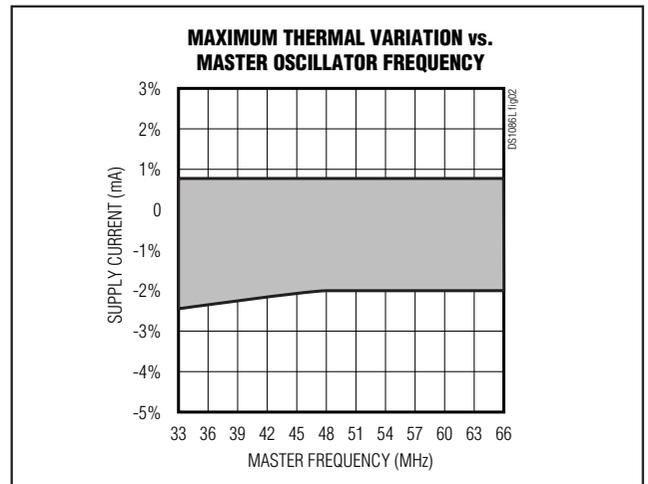
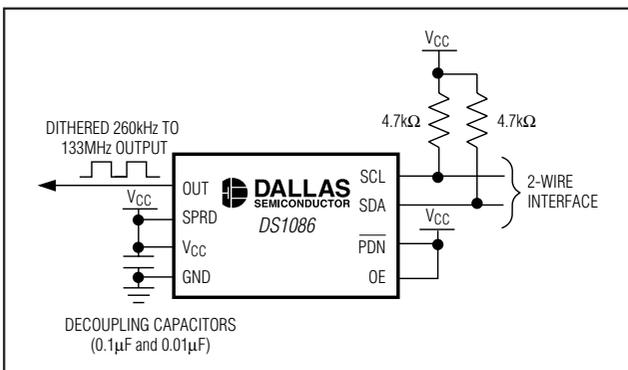
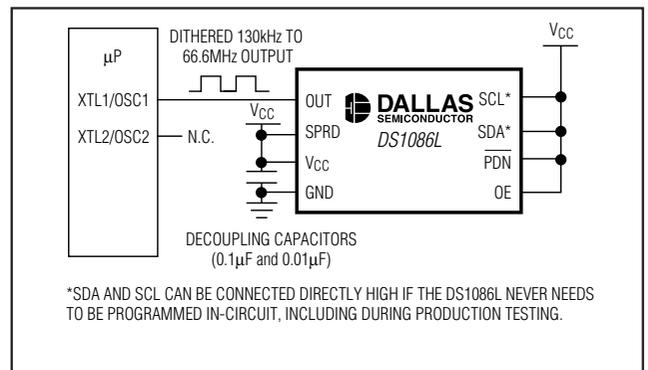


図2. 周波数範囲にわたる温度変化

## プロセッサ制御モード



## スタンドアロンモード



# 3.3V、スペクトラム拡散EconOscillator

DS1086L

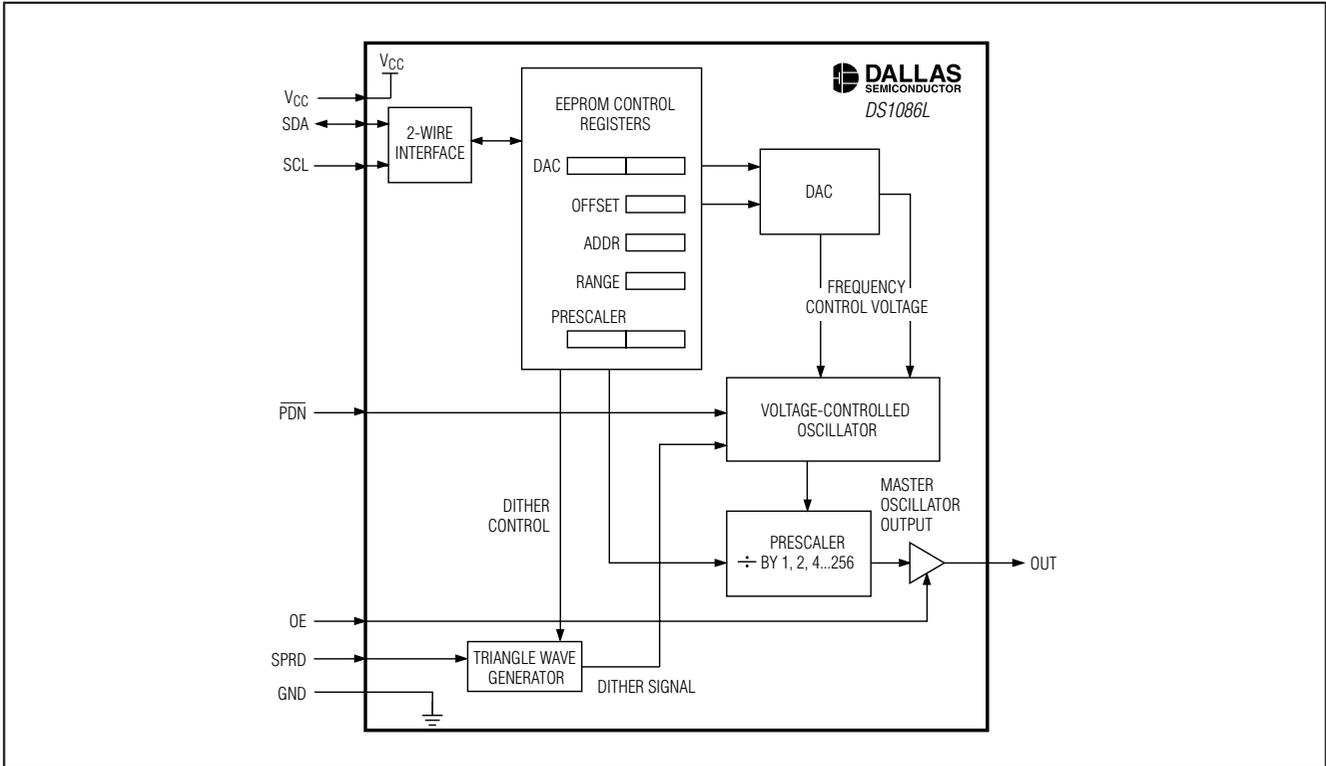


図3. ブロックダイアグラム

## 詳細

DS1086Lのブロックダイアグラムは、図3に紹介されています。内蔵マスタ発振器は、33.3MHz~66.6MHzの周波数範囲の方形波を生成します。マスタ発振器の周波数を、5kHzステップ刻みでDACレジスタを使って2対1の範囲でプログラムすることができます。マスタ発振器の周波数範囲はDACのステップサイズで可能な設定範囲よりも広いので、OFFSETレジスタを使ってDACの全周波数の中から一部の範囲を選択することができます。さらに信号を出力(OUT)端子に送る前に、2×(この場合、xは0~8)でマスタ発振器周波数を分周するようにプリスケラを設定することができます。

プログラマブルな三角波生成器は、オフセット成分をマスタ発振器に注入し、0.5%、1%、2%、4%、または8%の出力のディザを加えます。ディザの大きさはPRESCALERワードのJS2、JS1、及びJS0ビットによって制御され、SPRD端子でイネーブルされます。さらに、ディザ率はPRESCALERワードのJS4及びJS3ビットによって制御され、ディザの周波数を設定します。プリスケラを1に設定すると最大のスペクトル減衰が行われ、プリスケラでの設定を2倍にすることに2.7dB低減します。これは、プリスケラの分周器機能が

低周波の生成でディザを平均化する傾向があるからです。ただし、最も厳格なスペクトル放射制限は、プリスケラが低分周比に設定されている、より高い周波数に課せられています。

外部制御入力 OE によって、クロック出力バッファがゲート制御されます。PDN端子は、消費電力重視のアプリケーション\*用にマスタ発振器をディセーブルし、クロック出力をターンオフします。パワーアップ時に、電源が安定し、マスタ発振器が512のクロックサイクルを生成するまで、クロック出力はディセーブルにされます。両方の制御は同期イネーブルを備え、これによって出力イネーブル時の出力グリッチがなくなります。

2線式インタフェースを通じて制御レジスタをプログラムし、このレジスタによって出力周波数及び設定値を設定することができます。EEPROMにプログラムした後は、レジスタ設定値はNVなので、デバイスを再設定したい場合には設定値を再プログラムするだけですみます。

\*パワーダウンコマンドは、グリッチをなくすために、最低、出力周波数の2サイクル分に加えて10µs間、保持しなければなりません。

# 3.3V、スペクトラム拡散EconOscillator

DS1086L

表1. レジスタ一覧

REGISTER	ADDR	MSB						BINARY			LSB		FACTORY DEFAULT	ACCESS
PRESCALER	02h	JS4	JS3	JS2	JS1	JS0	LO/HIZ	P3	P2			01100000	R/W	
PRESCALER	—	P1	P0	X <sub>X</sub>			00XXXXXX	R/W						
DAC (MSB)	08h	b9	b8	b7	b6	b5	b4	b3	b2			01111101b	R/W	
DAC (LSB)	—	b1	b0	X <sub>0</sub>			00000000b	R/W						
OFFSET	0Eh	X <sub>1</sub>	X <sub>1</sub>	X <sub>1</sub>	b4	b3	b2	b1	b0			111----b	R/W	
ADDR	0Dh	X <sub>1</sub>	X <sub>1</sub>	X <sub>1</sub>	X <sub>1</sub>	WC	A2	A1	A0			11110000b	R/W	
RANGE	37h	X <sub>X</sub>	X <sub>X</sub>	X <sub>X</sub>	b4	b3	b2	b1	b0			xxx----b	R	
WRITE EE	3Fh	NO DATA										—	—	

X<sub>0</sub> : 任意、ゼロと読む。

X<sub>1</sub> : 任意、1と読む。

X<sub>X</sub> : 任意、不定と読む。

X : 任意。

表2. オフセット設定値

OFFSET	FREQUENCY RANGE (MHz)
OS - 6	30.7 to 35.8
OS - 5	33.3 to 38.4
OS - 4	35.8 to 41.0
OS - 3	38.4 to 43.5
OS - 2	41.0 to 46.1
OS - 1	43.5 to 48.6
OS*	46.1 to 51.2
OS + 1	48.6 to 53.8
OS + 2	51.2 to 56.3
OS + 3	53.8 to 58.9
OS + 4	56.3 to 61.4
OS + 5	58.9 to 64.0
OS + 6	61.4 to 66.6

\* 製造時デフォルト設定。OSiは、RANGEレジスタの5個のLSBの整数値。

出力周波数は、以下の式によって設定されます。

$$f_{\text{OUTPUT}} = \frac{\text{(選択したオフセット範囲の最低周波数)} + (\text{DAC値} \times 5\text{kHzステップサイズ})}{\text{プリスケータ}}$$

ここでは、選択したOFFSET範囲の最低周波数とは、最も低い周波数です(対応オフセットに関して表2に記載)。

DAC値とは、DACレジスタの値(0~1023)です。

プリスケータとは、2<sup>x</sup>の値です(x = 0~8)。

レジスタの使用方法の詳細については、「周波数算出例」の項を参照してください。

## レジスタの定義

DS1086Lのレジスタを使って、出力周波数、ディザパーセント値、ディザ率、及び2線式アドレスをプログラムすることができます。表1にレジスタの一覧を記載し、以下で詳述します。

### PRESCALER(02h)

PRESCALERワードは、プリスケータ(P3~P0)、出力制御(Lo/HIZ)、ジッタレート(JS4~JS3)、及びジッタパーセント値(JS2~JS0)用の制御ビットなどで構成される2バイト値です。PRESCALERワードは、アドレス02hから始まる2バイト読み及び書き込みによって、読み込みと書き込みが行われます。

**JS4~JS3 : ジッタレート。**これは三角波生成器の周波数、及び出力をディザリングする変調周波数です。これを、8192、4096、または2048によって分周されたマスタ発振器周波数のf<sub>osc</sub>にプログラムすることができます。

JS4	JS3	JITTER RATE
0	0	f <sub>osc</sub> /8192
0	1	f <sub>osc</sub> /4096 (default)
1	0	f <sub>osc</sub> /2048

## 3.3V、スペクトラム拡散EconOscillator

JS2～JS0：ジッタパーセント値。これらの3ビットでは、ジッタ量をパーセント値で選択します。SPRD端子は、ジッタをイネーブルにするためにロジックハイである必要があります。記載されていないビットの組合せは予備用です。

JS2	JS1	JS0	JITTER %
0	0	0	0.5
0	0	1	1
0	1	0	2
1	0	0	4
1	1	1	8

Lo/HiZ：出力ローまたはハイZ。このビットは、デバイスのパワーダウンモード時または出力のディセーブル時の出力端子の状態を設定します。Lo/HiZ = 0の場合は、パワーダウンまたはディセーブル時に出力はHiZです。Lo/HiZ = 1の場合は、パワーダウンまたはディセーブル時に出力はローに維持されます。

P3～P0：プリスケラ分周器。これらのビットはマスタ発振器周波数を $2^x$ (xはP3～P0)で分周し、0～8に設定することができます。8を超えるプリスケラ入力値はすべて、8として解釈されます。

### DAC (08h)

B9～B0：DAC設定。DACワードでは、当該オフセット範囲内の特定の値にマスタ発振器周波数を設定します。DACのステップごとに、マスタ発振器周波数は5kHz変化します。DACワードは、アドレス08hから始まる2バイト読み込み及び書き込みによって、読み込みと書き込みが行われます。

### OFFSET(0Eh)

B4～B0：オフセット。この値では、DACワードの変更によって生成可能なマスタ発振器周波数範囲を選択します。有効な周波数範囲は、表2に記載されています。この表に記載されていないOFFSET値については、デバイスの正常な動作が保証されません。

デフォルトのオフセット値(OS)は出荷時にトリミングされ、デバイスごとに異なる場合があります。このため、周波数範囲を変更するには、デフォルト値を基準にして新規オフセット値を算出できるようにOSを読み込む必要があります。たとえば、最高範囲(61.4MHz～66.6MHz)内のマスタ発振器周波数を生成するには、

OFFSETをOS + 6にプログラムする必要があることを表2では示しています。これを行うには、RANGEレジスタを読み込み、B4～B0のビット値に6を追加します。その結果は、OFFSETレジスタのB4～B0のビットに書き込まれます。その他の例が「周波数算出例」の項に記載されています。

### RANGE (37h)

B4～B0：範囲。この読み込み専用の出荷時設定値は、出荷時デフォルトのオフセット(OS)をコピーした値です。表2に記載された新たなマスタ発振器周波数をプログラムするのに、OSが必要です。オフセットレジスタはEEPROMであり、上書きされることがあるので、この読み込み専用のバックアップは重要です。

### ADDR (0Dh)

WC：EEPROM書き込み制御ビット。WCビットでは、EEPROMへのレジスタの自動書き込みをイネーブルまたはディセーブルします。このビットは、EEPROMの酷使を防ぎ、EEPROMの書き込みサイクル時間を排除します。WC = 0 (デフォルト)の場合は、レジスタ書き込みはEEPROMに自動的に書き込まれます。WC = 1の場合は、レジスタ書き込みはSRAMに保管され、ユーザがWRITE EEコマンドを送信した場合にのみEEPROMに書き込まれます。電源がデバイスに再印加された場合は、EEPROMに最後に保管された値が呼び戻されます。WC = 1は、周波数やレジスタを変更することが多いアプリケーションに最適です。

WCビットの値に関係なく、ADDRレジスタの値はEEPROMに常に即時に書き込まれます。

A2～A0：デバイスアドレスビット。これらのビットでは、デバイスの2線式スレーブアドレスを設定します。これらのビットによって、最大8個のデバイスを同一の2線式バスに接続し、個々にアドレス指定することができます。

### WRITE EE コマンド (3Fh)

WC = 1(ADDRレジスタのWCビット参照)の場合に、このコマンドを使って、SRAMからEEPROMに全レジスタを転送することができます。この値を保管するのに要する時間は、1つのEEPROM書き込みサイクル時間です。WC = 0の場合は、このコマンドは不要です。

### 3.3V、スペクトラム拡散EconOscillator

#### 周波数算出例

例1：11.0592MHzの希望出力周波数を生成するのに必要なレジスタ値を算出。

希望の周波数が33.3MHz～66.6MHzの有効マスタ発振器範囲の範囲外なので、プリスケアラを使用する必要があります。有効プリスケアラ値は $2^x$ ( $x = 0 \sim 8$ )です( $x$ は、PRESCALERレジスタのP3～P0ビットにプログラムされる値です)。式1では、希望の周波数、マスタ発振器周波数、及びプリスケアラの関係を示しています。

$$f_{\text{DESIRED}} = \frac{f_{\text{MASTER OSCILLATOR}}}{\text{プリスケアラ}} = \frac{f_{\text{MASTER OSCILLATOR}}}{2^x} \quad (1)$$

試行錯誤で、 $x$ を式2で0から8まで増加させ、33.3MHz～66.6MHzの範囲内のマスタ発振器周波数を生成する $x$ の値を探し出します。

式2では、4 ( $x = 2$ )というプリスケアラ及び44.2368MHzのマスタ発振器周波数が希望周波数を生成することを示しています。PRESCALERレジスタに0080hを書き込むと、PRESCALERは4に設定されます。他の設定値もPRESCALERレジスタに存在することに注意してください。

$$f_{\text{MASTER OSCILLATOR}} = f_{\text{DESIRED}} \times \text{プリスケアラ} = f_{\text{DESIRED}} \times 2^x$$

$$f_{\text{MASTER OSCILLATOR}} = 11.0592\text{MHz} \times 2^2 = 44.2368\text{MHz} \quad (2)$$

目的のマスタ発振器周波数を算出したら、オフセットの値を確定することができます。表2によると、44.2368MHzは、OS - 1とOS - 2の両方に当てはまります。ただし、44.2368MHzはOS - 1の最低周波数にごく近いので、OS - 1を選択するのは適切ではありません。一方、44.2368MHzはOS - 2の周波数範囲の中央に近いので、OS - 2が最適です。OFFSETレジスタをプログラムする前に、オフセットのデフォルト値(OS)をRANGEレジスタ(最後の5ビット)から読み込ませる必要があります。この例では、12h(10進法の18)はRANGEレジスタから読み込まれました。この例のOS - 2は、10h(10進法の16)です。これが、OFFSETレジスタに書き込まれる値です。

最後に、2バイトのDAC値を確定する必要があります。OS - 2は周波数範囲のみを設定しているため、式3に示すようにDAC値によって、選択した範囲内の中から1つの周波数を選択します。

$$f_{\text{MASTER OSCILLATOR}} = (\text{選択したオフセット範囲の最低周波数}) + (\text{DAC値} \times 5\text{kHz}) \quad (3)$$

DACの有効値は0～1023(10進数)であり、5kHzはステップサイズです。式4は、式3を並べ替えし、DAC値について解いたものです。

$$\text{DAC値} = \frac{(f_{\text{MASTER OSCILLATOR}} - \text{選択したオフセット範囲の最低周波数})}{5\text{kHzステップサイズ}} \quad (4)$$

$$\text{DAC値} = \frac{(44.2368\text{MHz} - 41.0\text{MHz})}{5\text{kHzステップサイズ}} = 647.36 \approx 647(10進数)$$

2バイトのDACレジスタは左寄せされるので、647は16進数(0287h)に変換され、ビットで6桁左移動されます。DACレジスタにプログラムされる値は、A1C0hです。

要約すると、DS1086Lは以下のようにプログラムされます。

PRESCALER = 0080h

OFFSET = OS - 2すなわち10h (RANGEが12hとして読み込まれた場合)

DAC = A1C0h

DAC値の端数が四捨五入されることに注意してください。残念ながら、これはいくらか誤差がもたらされるということです。誤差の程度を算出するために、式1及び式3を組み合わせて、推定出力周波数を算出することができます。式5を参照してください。

$$f_{\text{OUTPUT}} = \frac{(\text{選択したオフセット範囲の最低周波数}) + (\text{DAC値} \times 5\text{kHzステップサイズ})}{\text{プリスケアラ}} \quad (5)$$

$$f_{\text{OUTPUT}} = \frac{(41.0\text{MHz}) + (647 \times 5\text{kHz})}{4} = \frac{44.235\text{MHz}}{4} = 11.05875\text{MHz}$$

## 3.3V、スペクトラム拡散EconOscillator

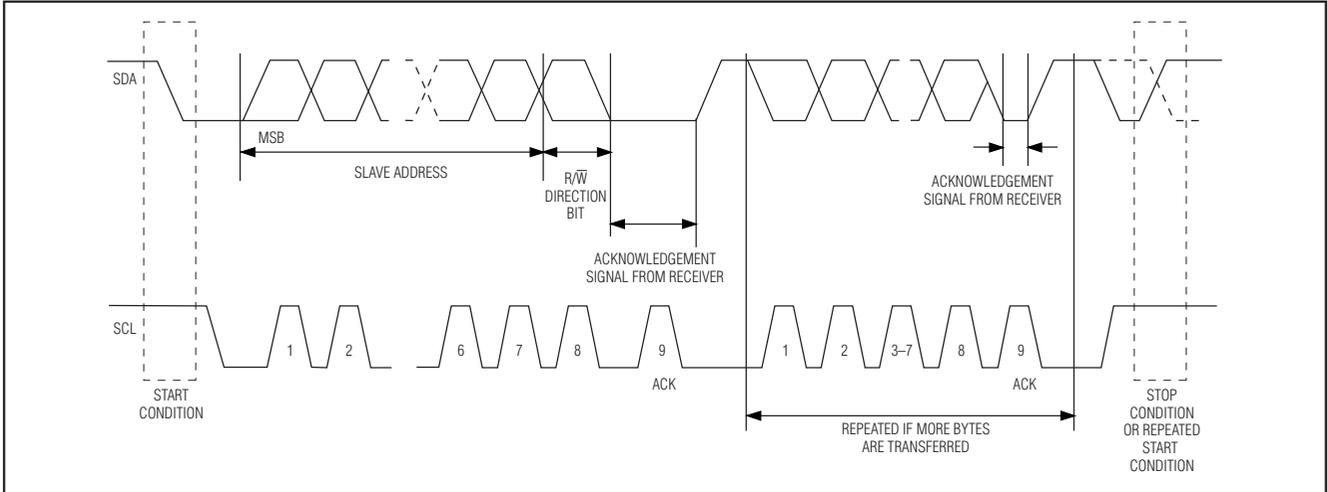


図4. 2線式データ転送プロトコル

推定出力周波数は、11.0592MHzの希望周波数とは完全には一致しません。その差は、450Hzです。パーセント値に換算すると、推定誤差は0.004%であることを式6では示しています。推定誤差では標準値を前提とし、電気的特性表で規定されている標準値からの偏差は含まれていません。

$$\%ERROR_{EXPECTED} = \frac{f_{DESIRED} - f_{EXPECTED}}{f_{DESIRED}} \times 100 \quad (6)$$

$$\begin{aligned} \%ERROR_{EXPECTED} &= \frac{11.0592\text{MHz} - 11.05875\text{MHz}}{11.0592\text{MHz}} \times 100 \\ &= \frac{450\text{Hz}}{11.0592\text{MHz}} \times 100 = 0.004\% \end{aligned}$$

**例2：50MHzの希望出力周波数を生成するのに必要なレジスタ値を算出。**

希望周波数は有効マスタ発振器周波数範囲内にあるので、プリスケアラを1で分周するように設定します。したがって、PRESCALER = 0000hです(ここでは、その他の設定値は無視)。

$$f_{MASTER\ OSCILLATOR} = 50.0\text{MHz} \times 2^0 = 50.0\text{MHz} \quad (7)$$

次に、表2を見ると、OS + 1が希望の周波数を中心とした周波数範囲を備えています。OFFSETレジスタに書き込む値を決定するには、RANGEレジスタを最初に読み込む必要があります。この例では12hが読み込まれたと仮定して、13h (OS + 1)がOFFSETレジスタに書き込まれます。

最後に、DAC値が式8に示されるように算出されます。

$$DAC\ 値 = \frac{(50.0\text{MHz} - 48.6\text{MHz})}{5\text{kHzステップサイズ}} = 280.00(10進法) \quad (8)$$

次に、その結果は16進数(0118h)に変換され、左寄せされて、4600hがDACレジスタにプログラムされます。要約すると、DS1086Lは以下のようにプログラムされます。

PRESCALER = 0000h

OFFSET = OS + 1すなわち13h (RANGEが12hとして読み込まれた場合)

DAC = 4600h

$$f_{OUTPUT} = \frac{(48.6\text{MHz}) + (280 \times 5\text{kHz})}{2^0} = \frac{50.0\text{MHz}}{1} = 50.0\text{MHz} \quad (9)$$

推定出力周波数は希望周波数と同じなので、計算上の誤差は0%です。

# 3.3V、スペクトラム拡散EconOscillator

DS1086L

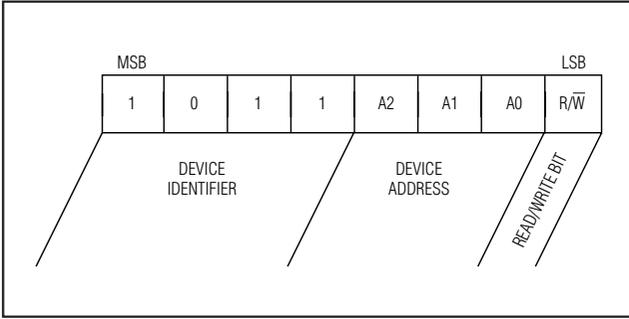


図5. スレーブアドレス

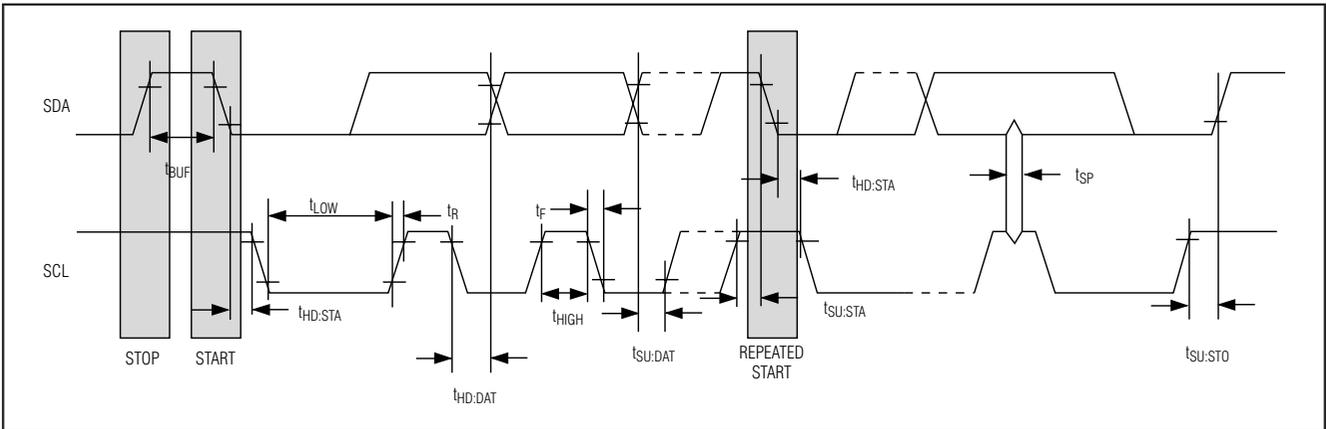


図6. 2線式AC特性

## 2線式シリアルポート動作

### 2線式シリアルデータバス

DS1086Lは、2線式シリアルインタフェースを通じて通信します。データをバスに送信するデバイスはトランスミッタとして定義され、データを受信するデバイスはレシーバとして定義されます。メッセージを制御するデバイスは、「マスタ」と呼ばれます。マスタによって制御されるデバイスは、「スレーブ」です。シリアルクロック(SCL)を生成し、バスアクセスを制御して、START及びSTOP条件を生成するマスタデバイスは、バスを制御する必要があります。DS1086Lは、2線式バス上でスレーブとして動作します。オープンドレインI/OラインSDA及びSCLを通じて、バスと接続します。

次のバスプロトコルが定義されています(図4及び図6を参照)。

- バスがビジーでない場合にのみ、データ転送を開始することができます。
- データ転送時には、クロックラインがHIGHの場合は常に、データラインは安定した状態を維持する必要があります。クロックラインがHIGHの間は、データラインの変化は制御信号とみなされます。

したがって、次のバス条件が定義されています。

**ビジー状態でないバス：**データライン及びクロックラインがともにHIGHの状態を維持。

**データ転送の開始：**クロックラインがHIGHのとき、データラインの状態がHIGHからLOWに移行すると、START条件と規定します。

**データ転送の停止：**クロックラインがHIGHのとき、データラインの状態がLOWからHIGHに移行すると、STOP条件と規定します。

**有効データ：**START条件の後に、クロック信号がHIGHである期間にわたってデータラインが安定している場合は、データラインの状態は有効なデータを表します。クロック信号がLOWである間に、ライン上のデータを変更しなければなりません。データビット当たりのクロックパルスは1クロックパルスです。

各データ転送はSTART条件で開始され、STOP条件で終了します。START条件とSTOP条件との間に転送されるデータバイト数は無制限ですが、マスタデバイスによって決定されます。その情報はバイト単位で転送され、各レシーバは9番目のビットで肯定応答します。

## 3.3V、スペクトラム拡散EconOscillator

バス規格の範囲内で、標準モード(100kHzクロックレート)及びファーストモード(400kHzクロックレート)が定義されています。DS1086Lは、両モードで動作します。

**肯定応答:** アドレス時に、各受信デバイスは、バイトを受信した後に肯定応答を生成する必要があります。マスタデバイスは、この肯定応答ビットに関するクロックパルスを追加生成する必要があります。

肯定応答に関係するクロックパルスがHIGHである間SDAラインが安定なLOWであるように、肯定応答するデバイスは、肯定応答クロックパルス時にSDAラインをプルダウンする必要があります。当然、セットアップ時間とホールド時間も考慮する必要があります。DS1086LのEEPROMに書き込まれている最中には、さらなる応答はできません。この場合には、スレーブのDS1086Lが、マスタからのデータ転送要求に対して否定応答を送信します。EEPROMの動作が完了すると、通常動作が再開されます。

マスタは、スレーブからクロックアウトされた最後のバイトに肯定応答ビットを生成せずに、スレーブにデータ終了を送信する必要があります。この場合は、マスタがSTOP条件を生成することができるように、スレーブはデータラインをHIGHの状態に維持する必要があります。

図4、5、6、及び7では、2線式バス上でのデータ転送の実現方法を詳述しています。R/Wビットの状態に応じて、以下の2通りのデータ転送を行うことができます。

- 1) マスタトランスミッタからスレーブレシーバへのデータ転送。マスタから送信される最初のバイトは、スレーブアドレスです。その後、一連のデータバイトが続きます。スレーブは、各バイトを受信するごとに肯定応答ビットを返します。
- 2) スレーブトランスミッタからマスタレシーバへのデータ転送。最初のバイト(スレーブアドレス)は、マスタから送信されます。次に、スレーブが肯定応答ビットを返します。その後、スレーブからマスタに送信される一連のデータバイトが続きます。マスタは、最後のバイト以外の全バイトを受信した後に、肯定応答ビットを返します。最後のバイトを受信した後に、否定応答を返します。

マスタデバイスは、すべてのシリアルクロックパルスとSTART/STOP条件を生成します。転送は、STOP条件、またはSTART条件の繰り返しによって終了します。START条件の繰り返しは次のシリアル転送の開始でもあるので、バスは解放されません。

DS1086Lは、次の2つのモードで動作することができます。

**スレーブレシーバモード:** シリアルデータ及びクロックは、SDA及びSCLを通じて受信されます。各バイトを受信するごとに、肯定応答ビットが送信されます。START及びSTOP条件は、シリアル転送の開始と終了として認識されます。スレーブアドレスと方向ビットを受信した後に、ハードウェアによってアドレス認識が実行されます。

**スレーブトランスミッタモード:** 最初のバイトが受信され、スレーブレシーバモードの場合と同様に扱われます。ただし、このモードでは方向ビットは、転送方向が逆であることを示します。シリアルクロックがSCLで入力状態である場合、シリアルデータはDS1086LによってSDAで送信されます。START及びSTOP条件は、シリアル転送の開始と終了として識別されます。

### スレーブアドレス

図5は、デバイスに送信される最初のバイトを示しています。このバイトは、デバイス識別子、デバイスアドレス、及びR/Wビットから構成されています。デバイスアドレスは、ADDRレジスタによって設定されます。

### レジスタ/コマンド

レジスタ/コマンドの全一覧については表1を、レジスタ/コマンドの使用例については図7を参照してください。

### アプリケーション情報

#### 電源電圧デカップリング

DS1086Lを使用する際に最適な結果を得るには、0.01µF及び0.1µFの高品質のセラミック表面実装コンデンサを使って電源電圧をデカップリングします。

表面実装部品によって、リードインダクタンスが最小限に抑制されるので、性能が向上します。また、セラミックコンデンサは傾向的にアプリケーションのデカップリングに適した高周波応答を備えています。こうしたコンデンサは、端子3及び4にできるだけ近接して配置します。

#### スタンドアロンモード

SCL及びSDAは、未使用時にはフローティングにすることができません。量産試験などでDS1086Lを回路内でプログラムする必要がない場合は、SDA及びSCLをハイに接続することができます。SPRD端子は、ハイまたはローに接続する必要があります。

## 3.3V、スペクトラム拡散EconOscillator

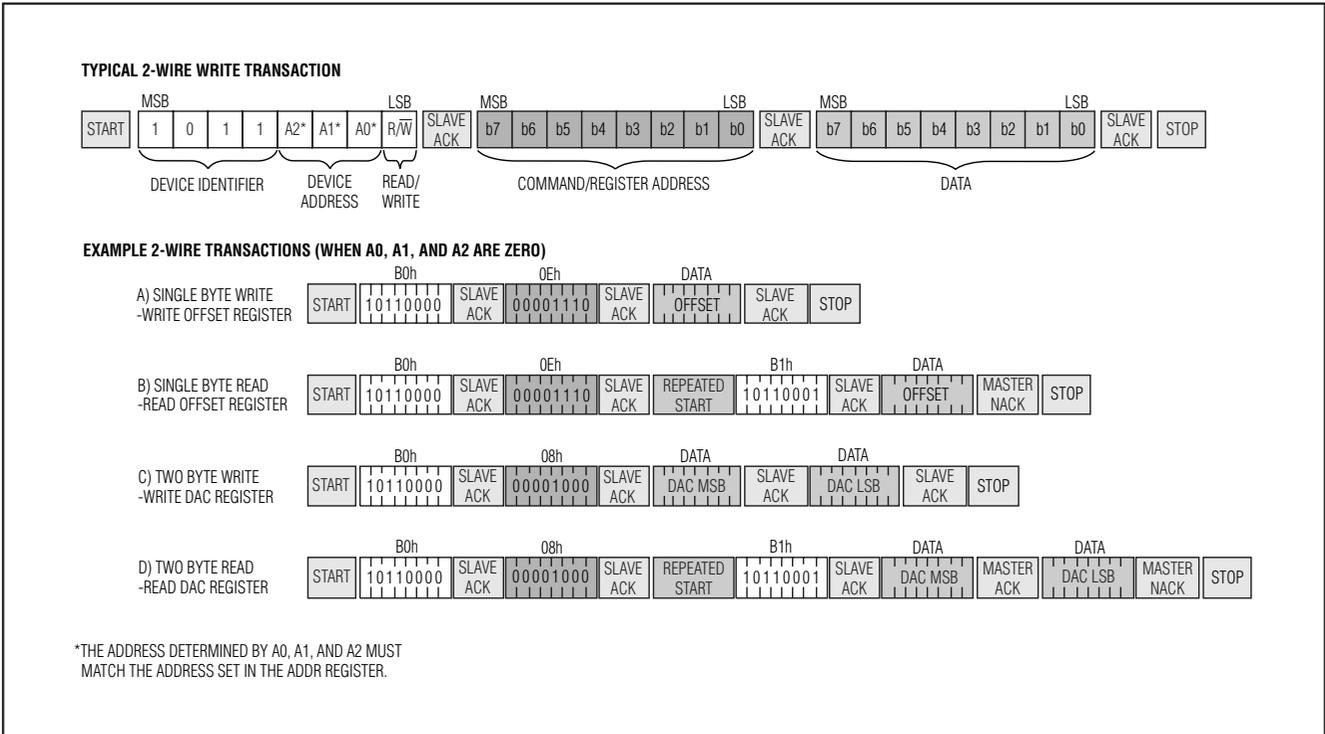


図7. 2線式トランザクション

### チップ情報

TRANSISTOR COUNT: 9052

SUBSTRATE CONNECTED TO GROUND

### パッケージ

(最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**