



16 ビット絶縁型シグマ・デルタ ADC

データシート

ADuM7703

特長

5MHz~21MHzのマスタ・クロック入力周波数
オフセット・ドリフトと温度の関係： $\pm 0.6\mu\text{V}/^\circ\text{C}$ (最大)
S/N比：86dB (代表値)
16ビットのノー・ミス・コード
フルスケール・アナログ入力電圧範囲： $\pm 320\text{mV}$
ENOB：14ビット (代表値)
 I_{DD1} ：10mA (最大)
内蔵デジタル・アイソレータ
動作温度範囲
-40°C~+125°C (16ピン SOIC_W)
-40°C~+105°C (8ピン SOIC_IC)

V_{DD1} で20V動作
高CMTI：150kV/ μs (最小)、 $V_{\text{DD2}} = 3.3\text{V}$
ワイド・ボディ SOIC
16ピン SOIC_W
沿面距離を増やした8ピン SOIC_IC

安全性と規制に対する認定

UL認定
1分間で5700V (実効値)、UL 1577規格に準拠
CSA Component Acceptance Notice 5A (申請中)
VDE適合性認定
DIN V VDE V 0884-10： $V_{\text{IORM}} = 1270\text{V}_{\text{PEAK}}$
DIN V VDE V 0884-11： $V_{\text{IORM}} = 1060\text{V}_{\text{PEAK}}$ (申請中)

アプリケーション

シャント電流モニタリング
ACモータ制御
電力およびソーラ用インバータ
風力タービン用インバータ
アナログ/デジタル変換および光アイソレータの代替

概要

ADuM7703は、アナログ入力信号を高速の1ビット・データ・ストリームに変換する、低ドロップアウト・レギュレータ (LDO) 内蔵の高性能の2次 Σ - Δ A/Dコンバータ (ADC) で、アナログ・デバイセズの*iCoupler*®技術を用いたオンチップ・デジタル・アイソレーション回路を搭載しています。このデバイスは4.5V~20Vの電源電圧範囲 (V_{DD1}) で動作し、 $\pm 250\text{mV}$ (フルスケールで $\pm 320\text{mV}$) の疑似差動入力信号に対応します。疑似差動入力、電気的絶縁が必須となる高電圧アプリケーションでのシャント電圧モニタリングに最適です。

アナログ入力は、高性能のアナログ変調器によって連続的にサンプリングされ、最大21MHzのデータ・レートで1の出力頻度を示すデジタル出力ストリームに変換されます。256のデシメ

機能ブロック図

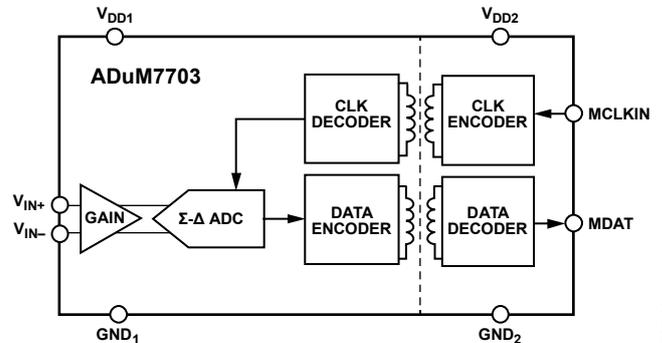


図 1.

ーション・レシオと20MHzのマスタ・クロックで78.1kSPSで86dBのS/N比 (SNR) を実現する、適切なsinc3デジタル・フィルタを使用することによって、元の情報を再構成できます。シリアル入出力は5Vまたは3.3V電源 (V_{DD2}) で動作します。

シリアル・インターフェースはデジタル的に絶縁されています。オンチップでの絶縁は、高速相補型金属酸化膜半導体 (CMOS) 技術とモノリシック・トランス技術の組み合わせによって、フォトカプラ・デバイスなどの置換品よりも優れた性能特性を提供します。ADuM7703 デバイスは、動作温度範囲が-40°C~+125°Cの16ピン、ワイド・ボディ SOICパッケージと、動作温度範囲が-40°C~+105°Cの8ピン、ワイド・ボディ SOICパッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料はREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	代表的な性能特性	11
アプリケーション	1	用語の定義	14
機能ブロック図	1	動作原理	16
概要	1	回路説明	16
改訂履歴	2	アナログ入力	16
仕様	3	アプリケーション情報	18
タイミング仕様	4	電流検出アプリケーション	18
パッケージ特性	5	電圧検出アプリケーション	18
絶縁および安全性関連の仕様	5	入力フィルタ	18
適用規格（申請中）	5	デジタル・フィルタ	19
DIN V VDE V 0884-10 絶縁特性	6	ADSP-CM4xx へのインターフェース	20
DIN V VDE V 0884-11 絶縁特性（申請中）	7	グラウンディングとレイアウト	20
絶対最大定格	8	絶縁寿命	20
熱抵抗	8	外形寸法	21
ESD に関する注意	8	オーダー・ガイド	22
絶縁定格	8		
ピン配置およびピン機能の説明	9		

改訂履歴

6/2019—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD1} = 4.5V \sim 20V$ 、 $V_{DD2} = 3V$ または $5.5V$ 、 $V_{IN+} = -250mV \sim +250mV$ 、 $V_{IN-} = 0V$ 、 $T_A = -40^\circ C \sim +125^\circ C$ (16ピン SOIC_W)、 $T_A = -40^\circ C \sim +105^\circ C$ (8ピン SOIC_IC)、MCLKIN 周波数 (f_{MCLKIN}) = 20MHz、sinc3 フィルタを用い、256 のデシメーション・レートでテスト。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE					
Resolution	16			Bits	Filter output truncated to 16 bits
Integral Nonlinearity (INL) ¹		±2	±5	LSB	Guaranteed no missed codes to 16 bits
Differential Nonlinearity (DNL) ¹			±0.99	LSB	
Offset Error ¹		±0.05	±0.13	mV	Initial at $T_A = 25^\circ C$
		±0.1	±0.18	mV	
Offset Drift vs. Temperature ¹		±0.1	±0.6	$\mu V/^\circ C$	
Offset Drift vs. V_{DD1}		±0.1		$\mu V/V$	
Gain Error ¹			±0.2	% FSR	Initial at $T_A = 25^\circ C$
Gain Error Drift vs. Temperature ¹		±12.5	±28	ppm/ $^\circ C$	
		±8	±18	$\mu V/^\circ C$	
Gain Error Drift vs. V_{DD1}		±5		ppm/V	
ANALOG INPUT					
Input Voltage Range	-320		+320	mV	Full-scale range
	-250		+250	mV	For specified performance
Input Common-Mode Voltage Range		-0.2 to +0.8		V	
Dynamic Input Current		±1	±2	μA	$V_{IN+} = \pm 250 mV$, $V_{IN-} = 0 V$
		0.05		μA	$V_{IN+} = 0 V$, $V_{IN-} = 0 V$
DC Leakage Current		±0.01		μA	
Input Capacitance		25		pF	
DYNAMIC SPECIFICATIONS					
Signal-to-Noise-and-Distortion Ratio (SINAD) ¹	82	86		dB	$V_{IN+} = 1 kHz$
SNR ¹	83	86		dB	
Total Harmonic Distortion (THD) ¹	-84	-99		dB	
Peak Harmonic or Spurious-Free Dynamic Range Noise (SFDR) ¹		-97		dB	
Effective Number of Bits (ENOB) ¹	13.3	14		Bits	
ISOLATION COMMON-MODE TRANSIENT IMMUNITY (CMTI) ¹					
Static and Dynamic	75	150		kV/ μs	Common-mode voltage ($ V_{CM} $) = 2 kV
	150			kV/ μs	$V_{DD2} = 5.5 V$
					$V_{DD2} = 3.3 V$
LOGIC INPUTS					
Input High Voltage (V_{IH})	$0.7 \times V_{DD2}$			V	CMOS with Schmitt trigger
Input Low Voltage (V_{IL})			$0.3 \times V_{DD2}$	V	
Input Current (I_{IN})			±0.6	μA	
Input Capacitance (C_{IN})	10			pF	
LOGIC OUTPUTS					
Output High Voltage (V_{OH})	$V_{DD2} - 0.4$	$V_{DD2} - 0.2$		V	Output current (I_{OUT}) = -4 mA
Output Low Voltage (V_{OL})		0.2	0.4	V	$I_{OUT} = 4 mA$

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
V_{DD1}	4.5	15	20	V	$V_{IN+} > 320\text{ mV}$
V_{DD2}	3		5.5	V	
V_{DD1} Current (I_{DD1})		8.2	10	mA	
V_{DD2} Current (I_{DD2})		2	3	mA	
Power Dissipation		133	216.5	mW	
		130	211	mW	$V_{DD2} = 4.5\text{ V to }5.5\text{ V}$ $V_{DD2} = 3\text{ V to }3.6\text{ V}$

¹用語の定義のセクションを参照してください。

タイミング仕様

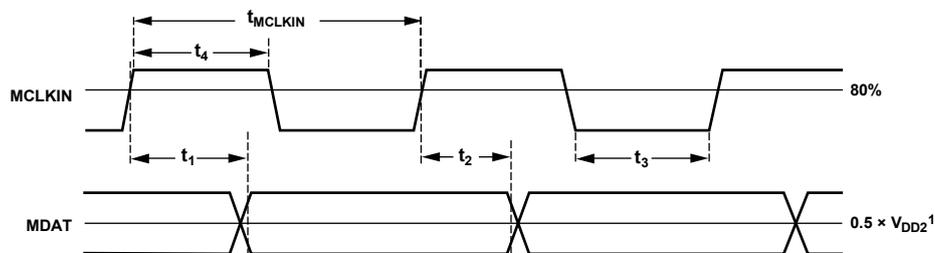
特に指定のない限り、 $V_{DD1} = 4.5\text{V} \sim 20\text{V}$ 、 $V_{DD2} = 3\text{V}$ または 5.5V 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ (16ピン SOIC_W)、 $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ (8ピン SOIC_IC)。初期リリース時のサンプル・テストにより、適合性が確保されています。MCLKINの立上がりエッジでMDATを読み出すことを推奨します。

表 2.

Parameter	Limit at T_{MIN}, T_{MAX}			Unit	Description
	Min	Typ	Max		
f_{MCLKIN}	5	20	21	MHz	Master clock input frequency
t_{MCLKIN}	48	50	200	ns	Master clock input period
t_1^1			16	ns	Data access time after MCLKIN rising edge
t_2^1	5			ns	Data hold time after MCLKIN rising edge
t_3	$0.4 \times t_{MCLKIN}$			ns	Master clock low time
t_4	$0.4 \times t_{MCLKIN}$			ns	Master clock high time

¹ 図2に示すように、MCLKIN入力レベルの80%から、出力が $0.5 \times V_{DD2}$ を交差するまでに必要な時間として定義されます。 $\pm 20\mu\text{A}$ の負荷と 25pF の負荷容量で測定。

タイミング図



¹SEE NOTE 1 OF TABLE 2 FOR FURTHER DETAILS.

図 2. データのタイミング図

203395-002

パッケージ特性

表 3.

Parameter ¹	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output)	R _{I-O}		10 ¹²		Ω	
Capacitance (Input to Output)	C _{I-O}		1		pF	Frequency = 1 MHz

¹ このデバイスは 2 端子デバイスとみなされます。16 ピン SOIC_W の場合、ピン 1~ピン 8 が相互に短絡され、ピン 9~ピン 16 が相互に短絡されます。8 ピン SOIC_IC の場合、ピン 1~ピン 4 が相互に短絡され、ピン 5~ピン 8 が相互に短絡されます。

絶縁および安全性関連の仕様

表 4.

パラメータ	記号	値	単位	テスト条件/コメント
Input to Output Momentary Withstand Voltage	V _{ISO}	5700 min	V rms	1 分間持続
Minimum External Air Gap (Clearance) ^{1, 2}				
16-Lead SOIC_W	L(I01)	7.8 min	mm	入力端子から出力端子までを測定、空気中の最短距離
8-Lead SOIC_IC	L(I01)	8.1 min	mm	入力端子から出力端子までを測定、空気中の最短距離
Minimum External Tracking (Creepage) ¹				
16-Lead SOIC_W	L(I02)	7.8 min	mm	入力端子から出力端子までを測定、ボディに沿った最短距離
8-Lead SOIC_IC	L(I02)	8.1 min	mm	入力端子から出力端子までを測定、ボディに沿った最短距離
Minimum Internal Gap (Internal Clearance)		0.041 min	mm	絶縁材を通過する距離
Tracking Resistance (Comparative Tracking Index)	CTI	>600	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group	I			材料グループ (DIN VDE 0110, 1/89, Table 1)

¹ 汚染度 2 および標高 2000m 以下での沿面距離と空間距離の測定に関する IEC 60950-1 ガイドラインに準拠。

² クリアランスに必要な最小距離を確保するために、パッドのレイアウトを考慮する必要があります。

適用規格（申請中）

表 5.

UL	CSA（申請中）	VDE
1577 Component Recognition Program に より認定 ¹ 5700V rms 絶縁電圧単一保護	CSA Component Acceptance Notice 5A による認定 CSA 60950-1-07 および IEC 60950-1 に準拠した基本絶縁、16 ピン SOIC_W : 780V rms (1102V _{PEAK})、 8 ピン SOIC_IC : 最大動作電圧 810V rms (1145V _{PEAK}) ³ CSA 60950-1-07 および IEC 60950-1 に準拠した強化絶縁、16 ピン SOIC_W : 390V rms (551 V _{PEAK})、 8 ピン SOIC_IC : 最大動作電圧 405V rms (572V _{PEAK}) ³ IEC 60601-1 に準拠した強化絶縁、最大動作電圧 250V rms (353 V _{PEAK})	DIN V VDE V 0884-10 ² に準拠、強化絶縁、 V _{IORM} = 1270V _{PEAK} 、V _{IOSM} = 8000V _{PEAK} DIN V VDE V 0884-11 に準拠（申請中）、強化 絶縁、V _{IORM} = 1060V _{PEAK} 、V _{IOSM} = 8000V _{PEAK}

¹ UL 1577 に従い、それぞれの ADuM7703 には、6840V rms 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています（電流リーク検出の規定値 = 15μA）。

² DIN V VDE V 0884-10 に従い、それぞれの ADuM7703 には 2344 V_{PEAK} 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています（部分放電検出限界 = 5pC）。

³ 定格は、汚染度 2 および材料グループ III に対して計算されています。ADuM7703 パッケージの材料は、CSA によって CTI が 600V を超える定格となるため、材料グループ I です。

DIN V VDE V 0884-10 絶縁特性

このアイソレータは、安全限界データ範囲内の強化絶縁にのみ適しています。安全性データの維持は、保護回路によって確保されます。

表 6.

Description	Symbol	Characteristic	Unit
INSTALLATION CLASSIFICATION PER DIN VDE 0110 For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 450 V rms For Rated Mains Voltage ≤ 600 V rms		I to IV I to IV I to IV	
CLIMATIC CLASSIFICATION		40/125/21	
POLLUTION DEGREE (DIN VDE 0110, TABLE 1)		2	
MAXIMUM WORKING INSULATION VOLTAGE	V_{IORM}	1270	V_{PEAK}
INPUT TO OUTPUT TEST VOLTAGE, METHOD B1 $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test, $t_m = 1$ Second, Partial Discharge < 5 pC	$V_{PD(M)}$	2344	V_{PEAK}
INPUT TO OUTPUT TEST VOLTAGE, METHOD A After Environmental Test Subgroup 1 $V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, Partial Discharge < 5 pC After Input and/or Safety Test Subgroup 2/Safety Test Subgroup 3 $V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, Partial Discharge < 5 pC	$V_{PR(M)}$	2032 1524	V_{PEAK} V_{PEAK}
HIGHEST ALLOWABLE OVERVOLTAGE (TRANSIENT OVERVOLTAGE, $t_{TR} = 10$ sec)	V_{IOTM}	8000	V_{PEAK}
SURGE ISOLATION VOLTAGE 1.2 μ s Rise Time, 50 μ s, 50% Fall Time	V_{IOSM}	8000	V_{PEAK}
SAFETY LIMITING VALUES (MAXIMUM VALUE ALLOWED IN THE EVENT OF A FAILURE) ¹ Case Temperature Side 1 (P_{VDD1}) and Side 2 (P_{VDD2}) Power Dissipation 16-Lead SOIC_W 8-Lead SOIC_IC	T_S P_{SO}	150 1.43 1.19	$^{\circ}C$ W W
INSULATION RESISTANCE AT T_S , VOLTAGE INPUT TO OUTPUT (V_{IO}) = 500 V	R_{IO}	$>10^9$	Ω

¹ 図 3 参照。

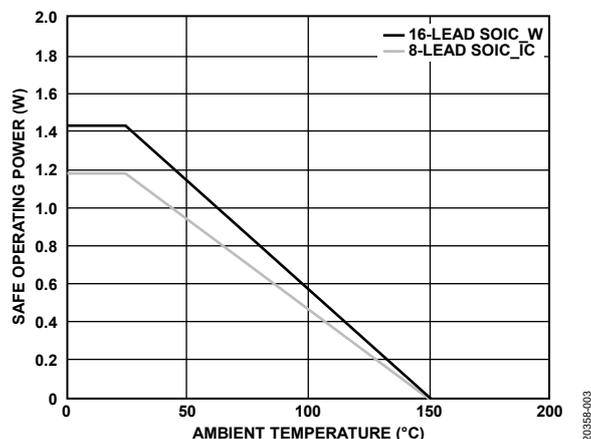


図 3. 熱ディレーティング曲線、DIN V VDE V 0884-10 による安全限界電力のケース温度への依存性

DIN V VDE V 0884-11 絶縁特性（申請中）

このアイソレータは、安全限界データ範囲内の強化絶縁にのみ適しています。安全性データの維持は、保護回路によって確保されます。

表 7.

Description	Symbol	Characteristic	Unit
INSTALLATION CLASSIFICATION PER DIN VDE 0110 For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 450 V rms For Rated Mains Voltage ≤ 600 V rms		I to IV I to IV I to IV	
CLIMATIC CLASSIFICATION		40/125/21	
POLLUTION DEGREE (DIN VDE 0110, TABLE 1)		2	
MAXIMUM WORKING INSULATION VOLTAGE	V_{IORM}	1060	V_{PEAK}
INPUT TO OUTPUT TEST VOLTAGE, METHOD B1 $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test, $t_m = 1$ sec, Partial Discharge < 5 pC	$V_{PD(M)}$	1987	V_{PEAK}
INPUT TO OUTPUT TEST VOLTAGE, METHOD A After Environmental Test Subgroup 1 $V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, Partial Discharge < 5 pC After Input and/or Safety Test Subgroup 2/Safety Test Subgroup 3 $V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, Partial Discharge < 5 pC	$V_{PR(M)}$	1696 1272	V_{PEAK} V_{PEAK}
HIGHEST ALLOWABLE OVERVOLTAGE (TRANSIENT OVERVOLTAGE, $t_{TR} = 10$ sec)	V_{IOTM}	8000	V_{PEAK}
SURGE ISOLATION VOLTAGE 1.2 μ s Rise Time, 50 μ s, 50% Fall Time	V_{IOSM}	8000	V_{PEAK}
SAFETY LIMITING VALUES (MAXIMUM VALUE ALLOWED IN THE EVENT OF A FAILURE) ¹ Case Temperature Side 1 (P_{VDD1}) and Side 2 (P_{VDD2}) Power Dissipation 16-Lead SOIC_W 8-Lead SOIC_IC	T_S P_{SO}	150 1.43 1.19	$^{\circ}C$ W W
INSULATION RESISTANCE AT T_S , $V_{IO} = 500$ V	R_{IO}	$>10^9$	Ω

¹ 図 4 参照。

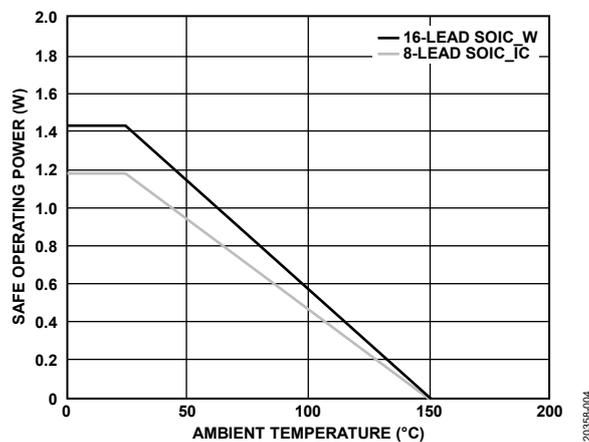


図 4. 熱ディレーティング曲線、DIN V VDE V 0884-11 による安全限界電力のケース温度への依存性

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。すべての電圧は、それぞれのGNDを基準とします。

表 8.

Parameter	Rating
V_{DD1} to GND ₁	-0.3 V to +23 V
V_{DD2} to GND ₂	-0.3 V to +6 V
Analog Input Voltage to GND ₁	-1 V to +4.3 V
Digital Input Voltage to GND ₂	-0.5 V to $V_{DD2} + 0.5$ V
Digital Output Voltage to GND ₂	-0.5 V to $V_{DD2} + 0.5$ V
Input Current to Any Pin Except Supplies ¹	±10 mA
Output Current from Any Pin Except Supplies	±10 mA
Operating Temperature Range	
16-lead SOIC_W	-40°C to +125°C
8-lead SOIC_IC	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Pb-Free Temperature, Soldering	
Reflow	260°C
Electrostatic Discharge (ESD)	
Field Induced Charged Device Model (FICDM) ²	±1250 V
Human Body Model (HBM) ³	±4000 V

¹ 最大 100mA までの過渡電流では SCR ラッチアップは生じません。

² JESD22-C101、抵抗、コンデンサ (RC) ネットワーク、1 Ω 、パッケージ容量、およびクラス IV。

³ ESDA/JEDEC JS-001-2011、RC ネットワーク：1.5k Ω 、100pF、およびクラス 3A。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

絶縁定格

最大連続動作電圧は、絶縁バリアの両端にかかる連続電圧の大きさを表します。詳細については、絶縁寿命のセクションを参照してください。

表 10. 最大連続動作電圧

パラメータ	絶縁定格 ¹	寿命条件
Basic Insulation AC Voltage Bipolar Waveform	1129 V _{PEAK}	1129V _{PEAK} で 1000ppm の故障率まで 20 年間 (798V rms、50Hz または 60Hz のサイン波)
Reinforced Insulation AC Voltage Bipolar Waveform	1060 V _{PEAK}	1060V _{PEAK} で 1ppm の故障率まで 20 年間 (750V rms、50Hz または 60Hz のサイン波)

¹ 沿面距離の制約に依存しない絶縁能力。動作電圧は、PCB にハンダ付けされた部品の電圧の実効値 (最大 1270V rms の材料グループ I を想定) を検討する場合は PCB の沿面距離によって制限されます。または、材料グループ I の実効電圧を検討する場合は、パッケージ (RI-8-1 パッケージの沿面距離 (8.1mm) および RW-16 パッケージの沿面距離 (7.8mm)) によって制限されます。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

表 9. 熱抵抗

Package Type ¹	θ_{JA} ²	Ψ_{JC} ³	Unit
RI-8-1	105	9.25	°C/W
RW-16	87.25	10.4	°C/W

¹ 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

² θ_{JA} は総電力と最大ジャンクション温度を使用して計算されました。

³ Ψ_{JC} はパッケージ中心のケース温度を使用して計算されました。

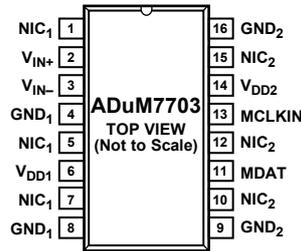
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



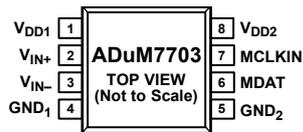
- NOTES
1. NIC₁ = NOT INTERNALLY CONNECTED. THESE PINS ARE NOT INTERNALLY CONNECTED. CONNECT TO VDD₁, GND₁, OR LEAVE FLOATING.
 2. NIC₂ = NOT INTERNALLY CONNECTED. THESE PINS ARE NOT INTERNALLY CONNECTED. CONNECT TO VDD₂, GND₂, OR LEAVE FLOATING.
 3. CONNECT GND₁ BEFORE VDD₁.

20359-005

図 5. 16 ピン SOIC_W のピン配置

表 11. 16 ピン SOIC_W のピン機能の説明

ピン番号	記号	説明
1, 5, 7	NIC ₁	内部では未接続。これらのピンは、内部で接続されていません。これらのピンは VDD ₁ 、GND ₁ に接続するか、またはフローティングのままにします。
2	V _{IN+}	正アナログ入力。
3	V _{IN-}	負アナログ入力。
4, 8	GND ₁	グラウンド 1。これらのピンは、絶縁側のすべての回路のグラウンド基準ポイントです。
6	V _{DD1}	電源電圧、4.5V~20V。このピンは ADuM7703 の絶縁側の電源電圧で、GND ₁ を基準にします。デバイスを動作させるには、電源電圧をピン 7 に接続します。できる限りピンの近くで 10μF のコンデンサと 100nF のコンデンサを並列に GND ₁ に接続して、電源ピンをデカップリングします。
9, 16	GND ₂	グラウンド 2。これらのピンは、非絶縁側のすべての回路のグラウンド基準ポイントです。
10, 12, 15	NIC ₂	内部では未接続。これらのピンは、内部で接続されていません。これらのピンは VDD ₂ 、GND ₂ に接続するか、またはフローティングのままにします。
11	MDAT	シリアル・データ出力。シングルビット変調器の出力データが、このピンにシリアル・データ・ストリームとして出力されます。これらのビットは MCLKIN 入力の立上がりエッジでクロック出力され、MCLKIN の次の立上がりエッジで有効になります。
13	MCLKIN	マスタ・クロック・ロジック入力、5MHz~21MHz の周波数範囲。変調器からのビット・ストリームは、MCLKIN の立上がりエッジで伝搬されます。
14	V _{DD2}	電源電圧、3V または 5.5V。このピンは非絶縁側の電源電圧で、GND ₂ を基準とします。できる限りピンの近くで 10μF のコンデンサと 100nF のコンデンサを並列に GND ₂ に接続して、電源をデカップリングします。



NOTES
1. CONNECT GND₁ BEFORE V_{DD1}.

20358-006

図 6.8 ピン SOIC_IC のピン配置

表 12.8 ピン SOIC_IC のピン機能の説明

ピン番号	記号	説明
1	V _{DD1}	電源電圧、4.5V~20V。このピンは ADuM7703 の絶縁側の電源電圧で、GND ₁ を基準にします。デバイスを動作させるには、V _{DD1} 電源電圧を V _{DD1} ピンに接続します。できる限りピンの近くで 10μF のコンデンサと 100nF のコンデンサを並列に GND ₁ に接続して、電源ピンをデカップリングします。
2	V _{IN+}	正アナログ入力。
3	V _{IN-}	負アナログ入力。
4	GND ₁	グラウンド 1。このピンは、絶縁側のすべての回路のグラウンド基準点です。
5	GND ₂	グラウンド 2。このピンは、非絶縁側のすべての回路のグラウンド基準点です。
6	MDAT	シリアル・データ出力。シングルビット変調器の出力データがこのピンにシリアル・データ・ストリームとして出力されます。これらのビットは MCLKIN 入力の立上がりエッジでクロック出力され、MCLKIN の次の立上がりエッジで有効になります。
7	MCLKIN	マスタ・クロック・ロジック入力、5MHz~21MHz の周波数範囲。変調器からのビット・ストリームは、MCLKIN の立上がりエッジで伝搬されます。
8	V _{DD2}	電源電圧、3V または 5.5V。このピンは非絶縁側の電源電圧で、GND ₂ を基準とします。できる限りピンの近くで 10μF のコンデンサと 100nF のコンデンサを並列に GND ₂ に接続して、電源をデカップリングします。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{V}$ 、 $V_{DD2} = 5\text{V}$ 、 $V_{IN+} = -250\text{mV} \sim +250\text{mV}$ 、 $V_{IN-} = 0\text{V}$ 、および $f_{MCLKIN} = 20\text{MHz}$ 。sinc3 フィルタおよび 256 のオーバーサンプリング比 (OSR) を使用。

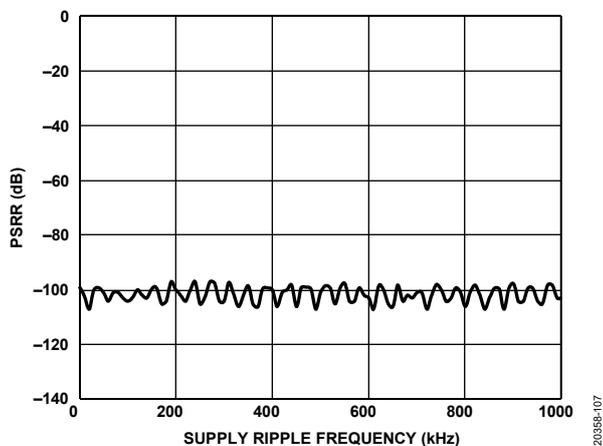


図 7.電源電圧変動除去比 (PSRR) と電源リップル周波数の関係

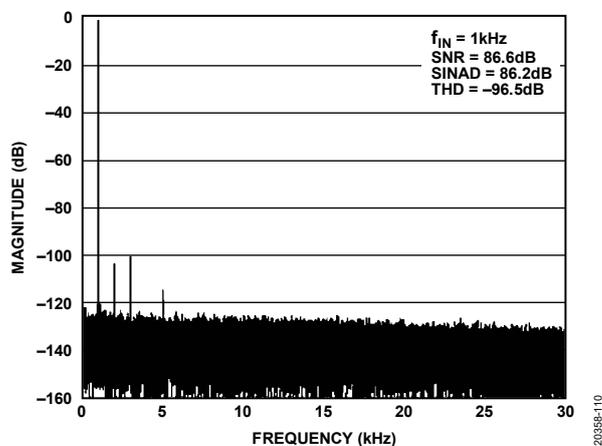


図 10.代表的な高速フーリエ変換 (FFT) (f_{IN} は入力周波数)

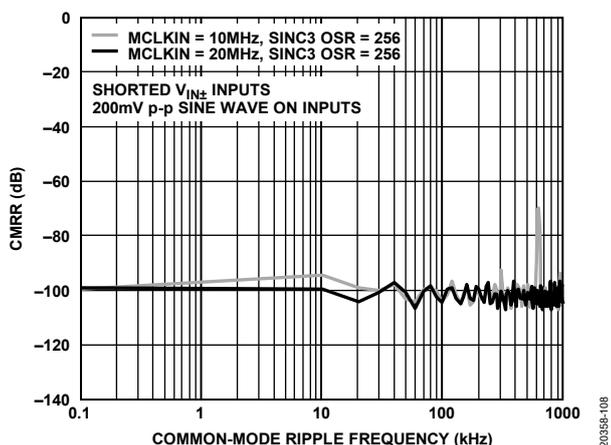


図 8.同相ノイズ除去比 (CMRR) と同相リップル周波数の関係

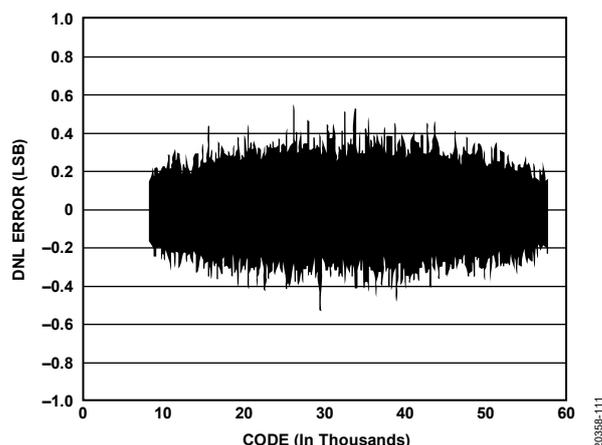


図 11.代表的な DNL 誤差

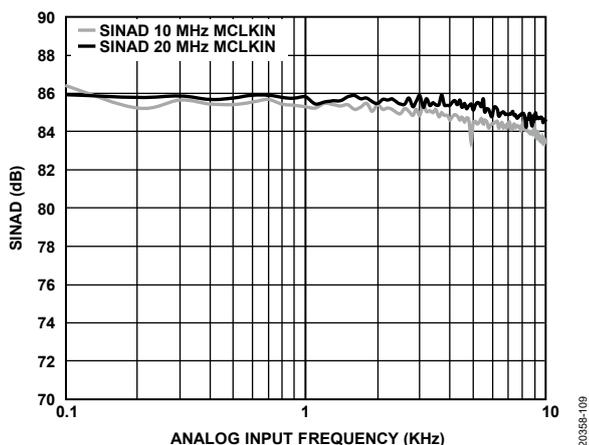


図 9.SINAD とアナログ入力周波数の関係

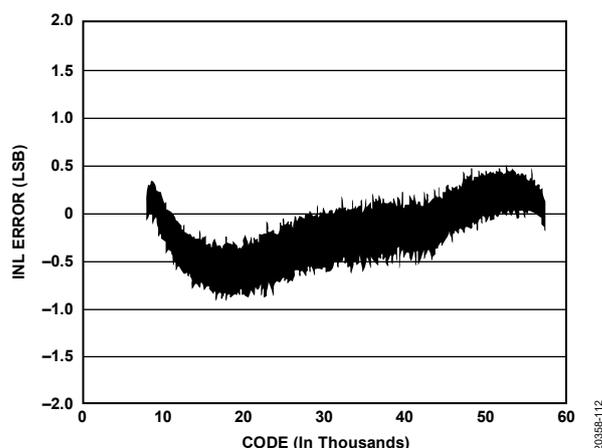


図 12.代表的な INL 誤差

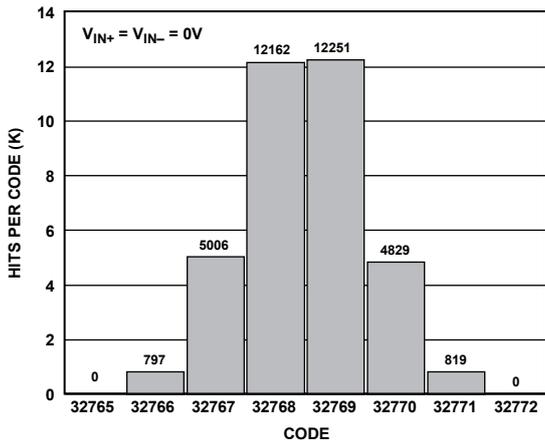


図 13.コード中心でのコードのヒストグラム

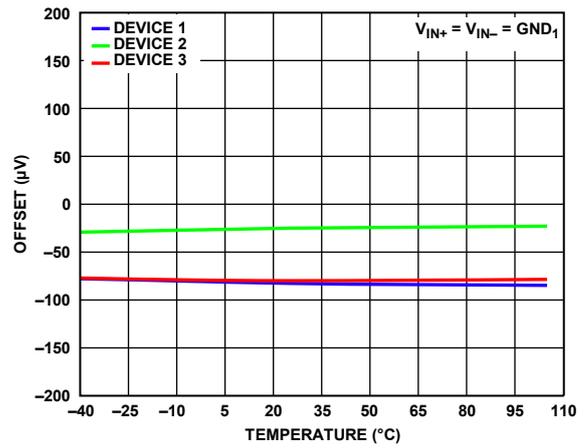


図 16.オフセットの温度特性

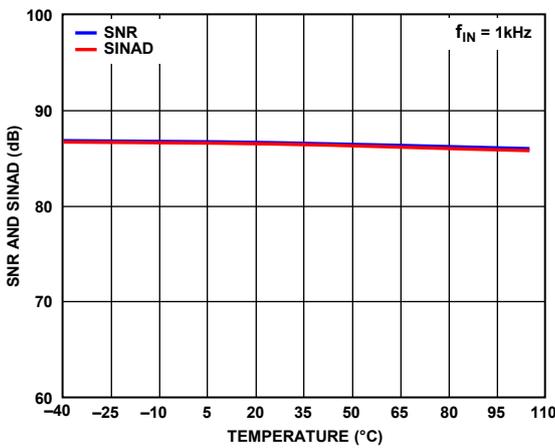


図 14.S/N 比、SINAD の温度特性

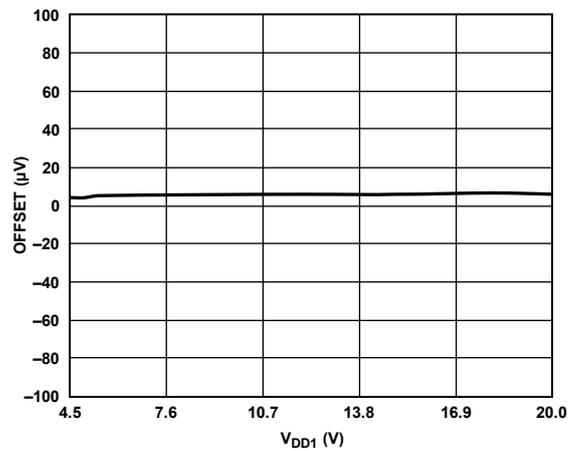


図 17.オフセットと V_{DD1} の関係

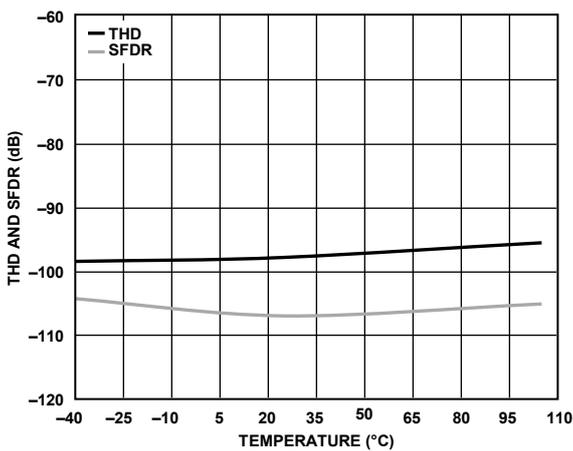


図 15.TH.D、SFDR の温度特性

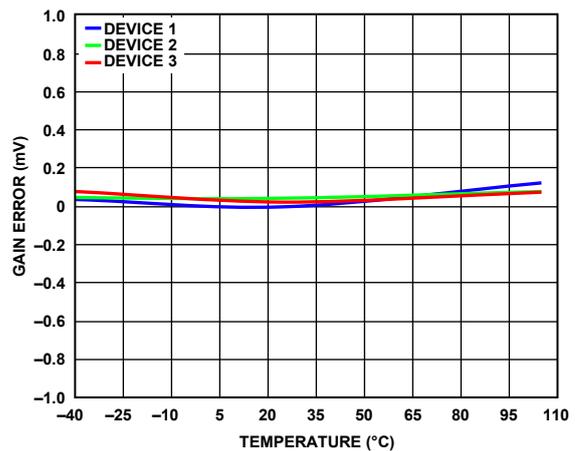


図 18.ゲイン誤差の温度特性

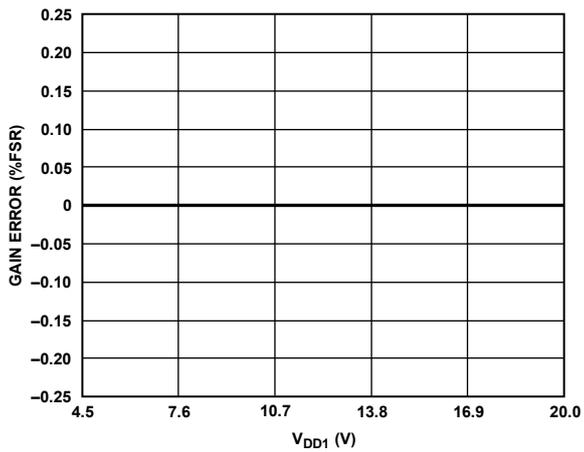


図 19.ゲイン誤差と V_{DD1} の関係

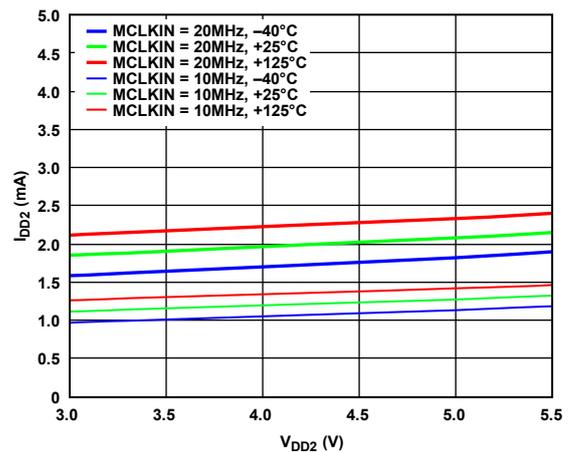


図 22.様々なクロック・レートおよび温度での I_{DD2} と V_{DD2} の関係

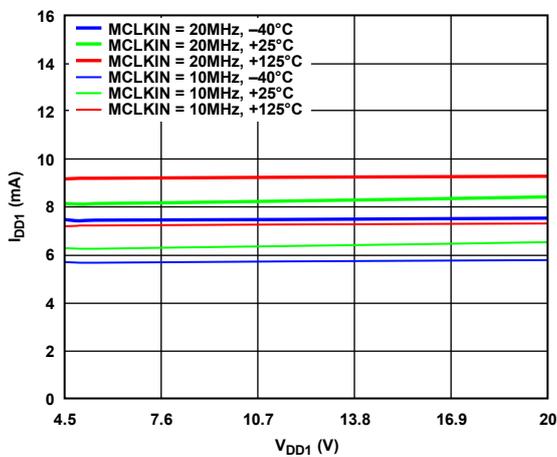


図 20.様々なクロック・レートおよび温度での I_{DD1} と V_{DD1} の関係

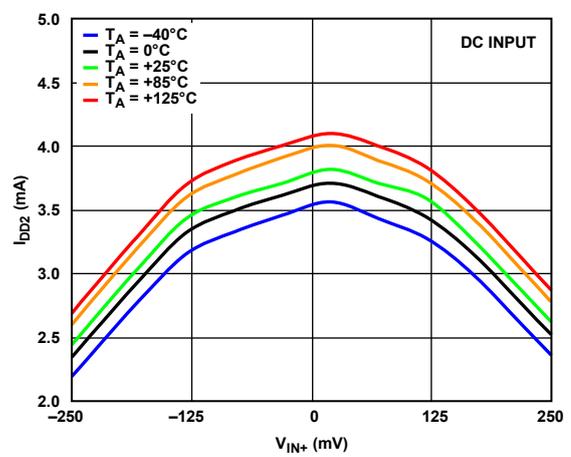


図 23.様々な温度での I_{DD2} と V_{IN+} DC 入力の関係

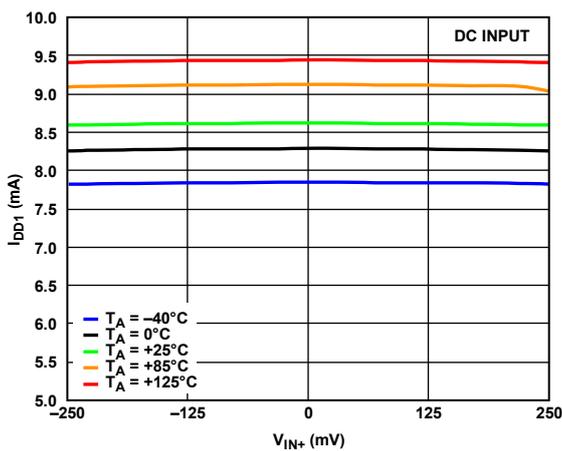


図 21.様々な温度での I_{DD1} と V_{IN+} DC 入力の関係

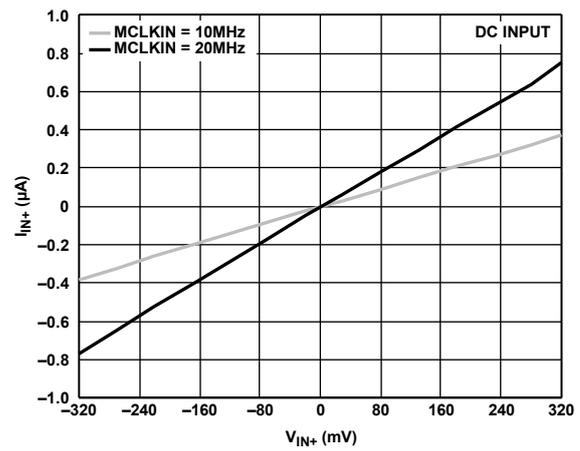


図 24.V_{IN+} 電流 (I_{IN+}) と V_{IN+} DC 入力の関係

用語の定義

微分非直線性 (DNL)

A/D コンバータ (ADC) の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差です。

積分非直線性 (INL)

ADC 伝達関数の両端を結ぶ直線からの最大許容誤差です。伝達関数のエンドポイントは、負のフルスケールが 16 ビット・レベルで -250mV ($V_{\text{IN}+} - V_{\text{IN}-}$)、コード 7168、および正のフルスケールが 16 ビット・レベルで $+250\text{mV}$ ($V_{\text{IN}+} - V_{\text{IN}-}$)、コード 58,368 と仕様規定されています。

オフセット誤差

ミッドスケール・コード (16 ビット・レベルで 32,768) の $V_{\text{IN}+} - V_{\text{IN-}}$ 理論値 (つまり 0V) からの偏差です。

オフセット・ドリフトと温度の関係

オフセット・ドリフトは、次式に示すようにボックス法を用いて計算されます。

$$\text{オフセット・ドリフト} = ((\text{Voltage}_{\text{MAX}} - \text{Voltage}_{\text{MIN}}) / T_{\Delta})$$

ここで、

$\text{Voltage}_{\text{MAX}}$ は記録された最大オフセット誤差ポイント。

$\text{Voltage}_{\text{MIN}}$ は記録された最小オフセット誤差ポイント。

T_{Δ} は最大動作範囲と最小動作範囲の間の温度差。

ゲイン誤差

ゲイン誤差には、正のフルスケール・ゲイン誤差と負のフルスケール・ゲイン誤差の両方が含まれます。正のフルスケール・ゲイン誤差は、オフセット誤差を補正後の $V_{\text{IN}+} - V_{\text{IN-}}$ 理論値 (250mV) から、仕様規定されている正のフルスケール・コード (16 ビット・レベルでは 58,368) の偏差です。負のフルスケール・ゲイン誤差は、オフセット誤差を補正後の $V_{\text{IN}+} - V_{\text{IN-}}$ 理論値 (-250mV) から、仕様規定されている負のフルスケール・コード (16 ビット・レベルでは 7168) の偏差です。

ゲイン誤差ドリフトの温度特性

ゲイン誤差ドリフト (GED) は、次式に示すようにボックス法を用いて計算されます。

$$\text{GED (ppm)} = ((\text{Voltage}_{\text{MAX}} - \text{Voltage}_{\text{MIN}}) / (\text{Voltage}_{\text{FS}} \times T_{\Delta})) \times 10^6$$

ここで、

$\text{Voltage}_{\text{MAX}}$ は記録された最大ゲイン誤差ポイント。

$\text{Voltage}_{\text{MIN}}$ は記録された最小ゲイン誤差ポイント。

$\text{Voltage}_{\text{FS}}$ はフルスケールのアナログ入力範囲。

T_{Δ} は最大動作範囲と最小動作範囲の間の温度差。

信号/ノイズ+歪み (SINAD)

SINAD は、A/D コンバータ出力での信号対 (ノイズ+歪み) 比の測定値です。信号はサイン波の rms 値で、ノイズはサンプリング周波数の 1/2 ($f_s/2$) までの非基本波信号の rms 和です (DC 以外の高調波を含む)。

S/N 比 (SNR)

SNR は、ADC 出力で測定された信号とノイズの比です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリング周波数 ($f_s/2$) までの非基本波の総和で表します (DC を除く)。

この比はデジタル化における量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。サイン波入力の理想的な N ビット・コンバータにおける S/N 比の理論値は次式で与えられます。

$$\text{S/N 比} = (6.02N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合、S/N 比は 74dB になります。

アイソレーション・コモンモード過渡耐性 (CMTI)

アイソレーション CMTI は、アイソレーション境界を越えて印加されるトランジェント・パルスの上上がりおよび下下りのレートを規定するものです。これを超えると、クロックまたはデータが破損します。パルスの変化率と絶対コモンモード電圧の両方が記録されます。ADuM7703 は、静的および動的の両方の CMTI 条件下で試験されています。静的試験では、デバイスからのシングルビット誤差が検出されます。動的試験では、CMTI パルスをランダムに印加した際のノイズ性能の変動について、フィルタ処理されたデータ出力がモニタされます。

全高調波歪み (THD)

THD は高調波の rms 値の総和と基本波の比です。次のように規定されます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の rms 振幅。

V_2, V_3, V_4, V_5, V_6 は、2 次から 6 次までの高調波の rms 振幅。

ピーク高調波またはスプリアスフリー・ダイナミック・レンジ (SFDR) ノイズ

ピーク高調波または SFDR ノイズは、基本波 rms 値に対する ADC 出力スペクトル内の (DC を除いて $f_s/2$ まで) 次に大きい成分の rms 値の比として定義されます。一般に、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋め込まれている ADC の場合はノイズ・ピークになります。

有効ビット数 (ENOB)

ENOB は次のように定義されます。

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02 \text{ ビット}$$

ノイズ・フリー・コードの分解能

ノイズ・フリー・コードの分解能は、コード・フリッカが生じないビット単位の分解能を表します。N ビット・コンバータのノイズ・フリー・コードの分解能は、次のように定義されます。

$$\text{ノイズ・フリー・コードの分解能 (ビット)} = \log_2 (2^N / \text{ピーク to ピーク・ノイズ})$$

LSB 単位でのピーク to ピーク・ノイズは、 $V_{IN+} = V_{IN-} = 0V$ で測定されます。

同相ノイズ除去比 (CMRR)

CMRR は、 $\pm 250mV$ 周波数 f の ADC 出力電力と、 V_{IN+} および V_{IN-} のコモンモード電圧に印加された周波数 f_s の $+250mV_{p-p}$ サイン波の電力の比です。

$$CMRR \text{ (dB)} = 10 \log(P_f/P_{f_s})$$

ここで、

P_f は周波数 f の ADC の出力電力。

P_{f_s} は周波数 f_s の ADC の出力電力。

電源電圧変動除去比 (PSRR)

電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。PSRR は、電源電圧の公称値からの変化による、仕様規定されているフルスケール ($\pm 250mV$) 遷移ポイントでの最大変化です。

動作原理

回路説明

ADuM7703 絶縁型 Σ - Δ 変調器は、アナログ入力信号を高速（最大 21MHz）のシングルビット・データ・ストリームに変換します。変調器からの時間平均シングルビット・データは、入力信号に正比例します。図 25 に、ADuM7703 がアナログ入力（電流検出抵抗またはシャント）とデジタル出力の間の絶縁を提供する代表的なアプリケーション回路を示します。このデジタル出力は、デジタル・フィルタによって処理されて N ビット・ワードを提供します。

アナログ入力

ADuM7703 の疑似差動アナログ入力は、スイッチド・キャパシタ回路で実装されています。この回路は、入力信号をシングルビットの出力ストリームにデジタル化する 2 次変調器ステージを実装しています。サンプル・クロック（MCLKIN）は、変換プロセス用のクロック信号と出力データのフレーミング・クロックを提供します。このクロック源は外部から ADuM7703 に供給されます。アナログ入力信号は変調器によって連続的にサンプリングされ、内部電圧リファレンスと比較されます。アナログ入力を経時的に正確に表すデジタル・ストリームがコンバータの出力に現れます（図 26 参照）。

差動信号が 0mV の場合、理想的には MDAT 出力ピンに 1 と 0 が交互にストリーム出力されます。この出力は、ハイ・タイムが 50%で、ロー・タイムが 50%です。250mV の差動入力、ハイ・タイムが 89.06%である 1 と 0 のストリームを生成します。
-250mV の差動入力は、ハイ・タイムが 10.94%である 1 と 0 のストリームを生成します。

差動入力が 320mV の場合、理想的にはすべて 1 のストリームになります。差動入力が -320mV の場合、理想的にはすべて 0 のストリームになります。表 13 に示すように、ADuM7703 の絶対フルスケール範囲は $\pm 320\text{mV}$ 、仕様規定されているフルスケール性能範囲は $\pm 250\text{mV}$ です。

表 13. アナログ入力レンジ

Analog Input	Voltage Input (mV)
Positive Full-Scale (+FS) Value	+320
Positive Specified Performance Zero	+250
Negative Specified Performance	0
Negative Full-Scale (-FS) Value	-250
	-320

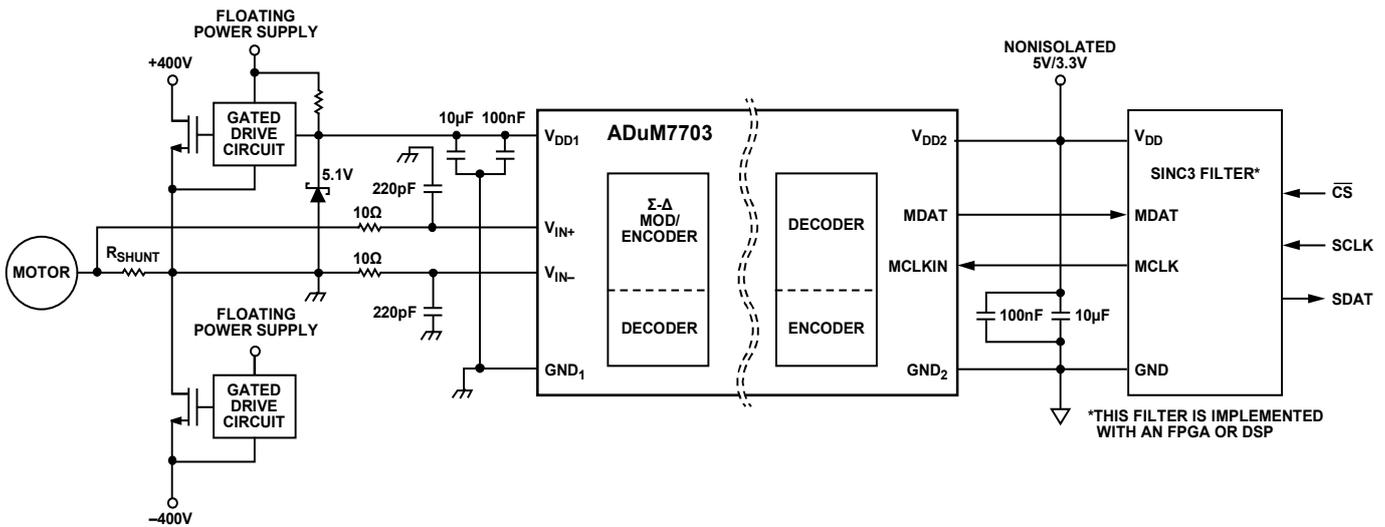


図 25. 代表的なアプリケーション回路

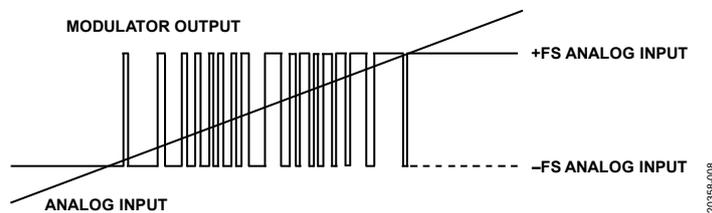


図 26. アナログ入力と変調器出力の関係

203958-007

203958-008

元の情報を再構築するには、この出力にデジタル・フィルタおよびデシメーションの処理を行う必要があります。このフィルタは2次変調器であるADuM7703変調器よりも1次分高いため、sinc3 フィルタを推奨します。256 のデシメーション・レートをを使用する場合、外部クロック周波数を 20MHz と仮定すると、16 ビットのワード・レートは 78.1kSPS となります。sinc フィルタの実装の詳細については、デジタル・フィルタのセクションを参照してください。図 27 に、16 ビット出力での ADuM7703 の伝達関数を示します。

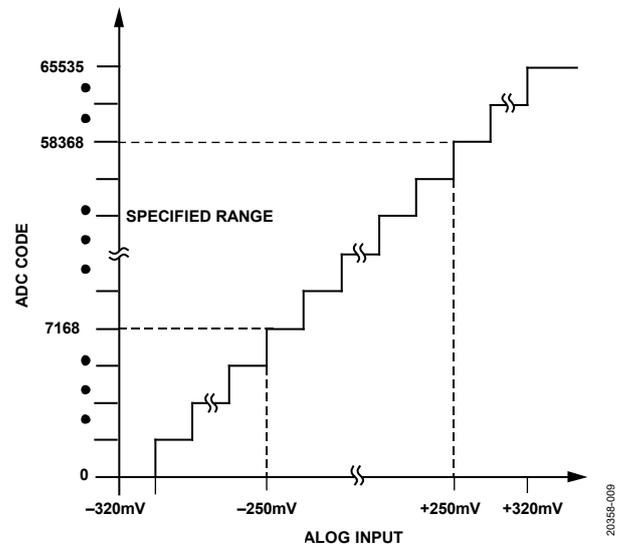


図 27. フィルタおよびデシメーション処理後の 16 ビット伝達関数

アプリケーション情報

電流検出アプリケーション

ADuM7703は、シャント抵抗 (R_{SHUNT}) の両端電圧をモニタする電流検出アプリケーションに最適です。外付けのシャント抵抗を流れる負荷電流によって、ADuM7703の入力端子に電圧が発生します。ADuM7703は、電流検出抵抗からのアナログ入力とデジタル出力の間を絶縁します。適切なシャント抵抗値を選択することによって、様々な電流範囲をモニタできます。

R_{SHUNT} の選定

ADuM7703 と組み合わせて使用するシャント抵抗 (R_{SHUNT}) の値は、電圧、電流、および電力に関する特定のアプリケーション条件によって決まります。小型抵抗は電力消費を最小限に抑えますが、低インダクタンスの抵抗は誘導電圧スパイクを防ぎ、高耐性デバイスは電流の変動を減少させます。最終的には、低消費電力と精度をバランスさせた値を選択します。抵抗値を高くすると、ADC の入力範囲をフルに使用するので、S/N 比性能が最大になります。抵抗値を低くすると消費電力は少なくなりますが、入力範囲はフルに使用されません。しかし、ADuM7703 は低い入力信号レベルでも優れた性能を発揮するため、システム性能を維持しながらシャント抵抗を低い値にすることができます。

適切なシャント抵抗を選択するには、まずシャントを流れる電流を決定します。3 相インダクション・モータのシャント電流を次のように計算します。

$$I_{RMS} = PW / (1.73 \times V \times EF \times PF)$$

ここで、

I_{RMS} はモータ位相電流 (A rms)。

PW はモータ出力 (W)。

V はモータ電源電圧 (V ac)。

EF はモータ効率 (%)。

PF は電力効率 (%)。

シャントのピーク検出電流 (I_{SENSE}) を決定するには、モータ位相電流とシステムで発生し得る過負荷を考慮します。ピーク検出電流が既知の場合、ADuM7703 の電圧範囲 ($\pm 250mV$) をピーク検出電流で除算して最大シャント値を求めます。

シャント抵抗での消費電力が大きすぎる場合は、シャント抵抗を小さくできますが、ADC の入力範囲は狭くなります。図 28 に、様々な入力信号振幅に対する ADuM7703 の SINAD 性能特性と分解能の ENOB を示します。低い入力信号範囲における ADuM7703 の性能により、高いレベルの性能とシステム全体の効率を維持しながら、小さなシャント値を使用できます。

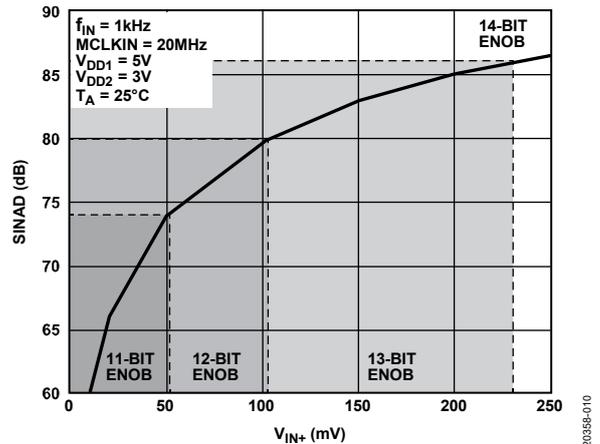


図 28. SINAD と V_{IN+} AC 入力信号振幅の関係

R_{SHUNT} では、電流²×抵抗 (I^2R) の電力損失が消費されます。抵抗の消費電力定格を超えると、値がドリフトするか、抵抗が損傷してオープン・サーキットになることがあります。このオープン・サーキットにより、ADuM7703 の端子間に差動電圧が生じ、絶対最大定格を超えることがあります。 I_{SENSE} の高周波成分が大きい場合は、低インダクタンスの抵抗を選択します。

電圧検出アプリケーション

ADuM7703 は絶縁電圧のモニタリングにも使用できます。例えば、モータ制御アプリケーションでは、バス電圧を検出するのに使用できます。モニタする電圧が ADuM7703 で仕様規定されているアナログ入力範囲を超えるアプリケーションでは、抵抗分圧ネットワークを使用して、モニタする電圧を必要な範囲まで低下させることができます。

入力フィルタ

シャント抵抗両端の電圧を直接測定する代表的な使用例では、各入力でのシンプルな RC ローパス・フィルタを介して ADuM7703 をシャント抵抗両端に直接接続できます。

差動入力を駆動して最良の性能を得るための推奨回路構成を図 29 に示します。アナログ入力の両方のピンに RC ローパス・フィルタが配置されています。抵抗とコンデンサの推奨値は、それぞれ 10Ω と $220pF$ です。可能であれば、各アナログ入力の信号源インピーダンスを等しくしてオフセットを最小にします。

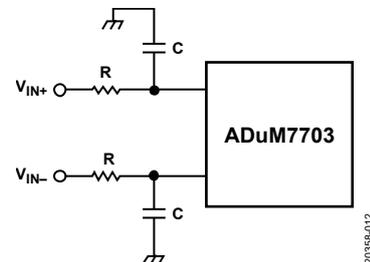


図 29. RC ローパス・フィルタ入力ネットワーク

ADuM7703 の入力フィルタ構成は、図 29 に示すローパス構造に限定されません。図 30 に示す差動 RC フィルタ構成も優れた性能を実現します。抵抗とコンデンサの推奨値は、それぞれ 22Ω と 47pF です。

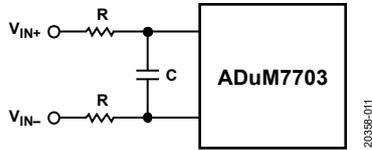


図 30. 差動 RC フィルタ・ネットワーク

デジタル・フィルタ

ADuM7703 の出力は連続デジタル・ビット・ストリームです。元の入力信号情報を再構築するには、この出力ビット・ストリームにデジタル・フィルタおよびデシメーション処理を行う必要があります。シンプルな sinc フィルタを推奨します。sinc3 フィルタは 2 次変調器である ADuM7703 変調器よりも 1 次分高いため、このフィルタを推奨します。選択するフィルタの種類、デシメーション・レート、および使用する変調器クロックによって、システム全体の分解能とスループット・レートが決まります。図 31 に示すように、デシメーション・レートが高いほど、システムの精度は高くなります。ただし、精度とスループット・レートの間にはトレードオフがあります。したがって、デシメーション・レートが高いと、スループット分解能が低くなります。なお、所与の帯域幅条件に対して、MCLKIN 周波数が高いほどデシメーション・レートを高くすることが可能となり、S/N 比性能も高くなります。

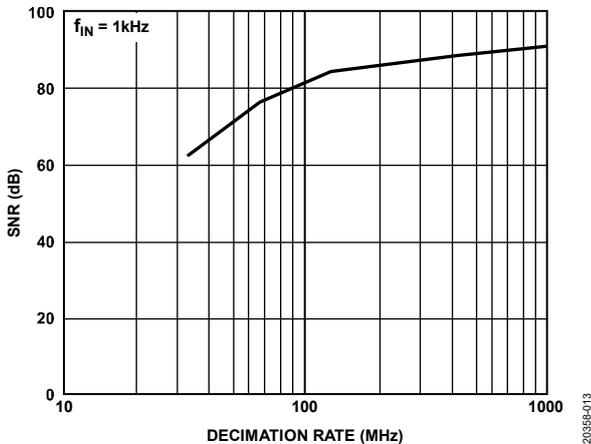


図 31. sinc3 フィルタの S/N 比とデシメーション・レートの関係

表 14. 20MHz MCLKIN での sinc3 フィルタ特性

Decimation Ratio (DR)	Throughput Rate (kHz)	Output Data Size (Bits)	Filter Response (kHz)
32	625	15	163.7
64	312.5	18	81.8
128	156.2	21	40.9
256	78.1	24	20.4
512	39.1	27	10.2

ADuM7703 には sinc3 フィルタを推奨します。このフィルタは、フィールド・プログラマブル・ゲート・アレイ (FPGA) またはデジタル・シグナル・プロセッサ (DSP) に実装できます。式 1 は、sinc フィルタの伝達関数を表しています。

$$H(Z) = \left(\frac{1}{DR} \frac{(1 - Z^{-DR})}{(1 - Z^{-1})} \right)^N \quad (1)$$

ここで、
 Z はサンプル。
 DR はデシメーション・レート。
 N は sinc フィルタの次数。

sinc フィルタのスループット・レートは、選択する変調器クロックとデシメーション・レートによって決まります。

$$\text{スループット} = MCLK/DR \quad (2)$$

ここで、 $MCLK$ は変調器のクロック周波数。

デシメーション・レートが増加すると、sinc フィルタからのデータ出力サイズが増加します。出力データ・サイズは式 3 で表されます。16 ビットの結果を返すために上位 16 ビットが使用されます。

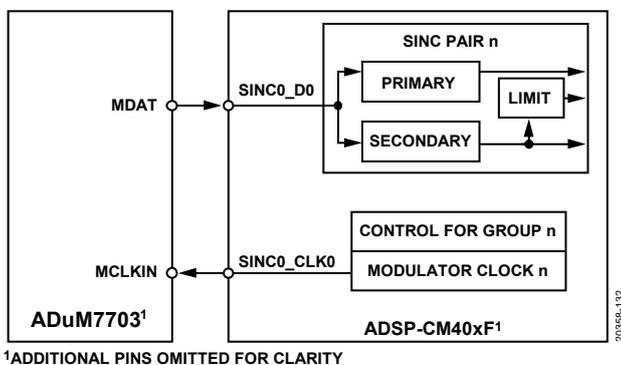
$$\text{データ・サイズ} = N \times \log_2 DR \quad (3)$$

sinc3 フィルタの場合、-3dB フィルタ応答ポイントは式 1 のフィルタ伝達関数から求められ、スループット・レートの 0.262 倍です。3 次 sinc フィルタのフィルタ特性を表 14 にまとめます。

ADSP-CM4xx へのインターフェース

ADSP-CM4xx ファミリのミックスド・シグナル制御プロセッサは、ADuM7703 の MCLKIN ピンと MDAT ピンに直接接続するための sinc フィルタとクロック生成モジュールを内蔵しています。ADSP-CM4xx は、各ビット・ストリームに対して設定可能な 1 ペアの sinc フィルタを使用して、4 つの ADuM7703 デバイスからのビット・ストリームを処理できます。各ペアのプライマリ sinc フィルタは、フィルタ処理およびデシメーション処理を行った出力をそのペアに対して生成します。出力は、入力レートより 8 倍から 256 倍低い整数レートにデシメーションを行うことができます。4 つのセカンダリ sinc フィルタは低遅延フィルタであり、プログラマブルな正および負のオーバーレンジ検出コンパレータを備えていて、システムの故障状態の検出が可能です。

図 32 に、ADuM7703 と ADSP-CM4xx の代表的なインターフェースを示します。ADSP-CM4xx の sinc フィルタ・モジュールの構成に関する詳細は、AN-1265 アプリケーション・ノートを参照してください。



¹ADDITIONAL PINS OMITTED FOR CLARITY

図 32. ADuM7703 と ADSP-CM4xx のインターフェース

グラウンディングとレイアウト

V_{DD1} 電源は、 $10\mu\text{F}$ のコンデンサと 100nF のコンデンサを並列に GND_1 に接続してデカップリングすることを推奨します。 V_{DD2} 電源は、 $10\mu\text{F}$ のコンデンサと 100nF のコンデンサを並列に GND_2 に接続してデカップリングします。高いコモンモード過渡電圧が発生するアプリケーションでは、絶縁バリアをまたぐボード結合を最小限に抑えてください。更に、すべての結合がデバイス側のすべてのピンで等しく生じるように基板レイアウトを設計する必要があります。この注意を怠ると、ピン間で生じる電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。デカップリングはできる限り電源ピンの近くに配置します。

特に高温での歪みの影響を避けるために、アナログ入力での直列抵抗は最小にします。可能であれば、各アナログ入力の信号源インピーダンスを等しくしてオフセットを最小にします。オフセット・ドリフトを減らすために、アナログ入力 PCB トラックへのミスマッチおよび熱電対の影響を確認します。

絶縁寿命

すべての絶縁構造は、充分長い時間にわたり電圧ストレスを加えると、最終的には破壊されます。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイゼスは、規制当局が行うテストの他に、広範囲な評価を実施して ADuM7703 の絶縁構造の寿命を決定しています。

アナログ・デバイゼスは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速係数を求めました。これらの係数を使うと、実際の動作電圧での故障までの時間を計算することができます。バイポーラ AC 動作条件での 37.5 年の（強化された）動作寿命に対するピーク電圧と、VDE 認定の最大動作電圧をまとめて表 10 に示します。

これらのテストでは、ADuM7703 に連続クロス・アイソレーション電圧を印加しました。故障の発生を加速するために、テスト電圧は通常使用の電圧を超える値を選択しました。これらのユニットの故障までの時間の値を記録し、加速係数を計算するために使用しました。次にこれらの係数を用いて、通常の動作条件下での故障までの時間を計算しました。表 10 に示す値は、以下の 2 つの値のうち小さい方です。

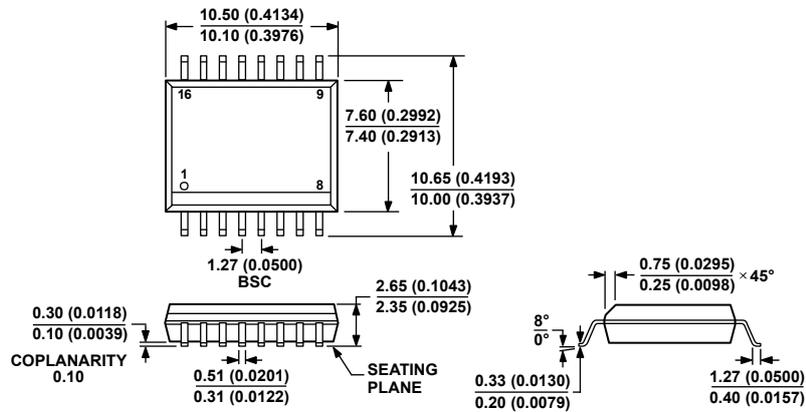
- 継続的な（強化された）使用で少なくとも 37.5 年の寿命を確保する値。
- VDE 認定の最大動作電圧。

図 33 に示すように、ADuM7703 の寿命はバイポーラ AC 波形を使用して確保されています。



図 33. バイポーラ AC 波形、50Hz または 60Hz

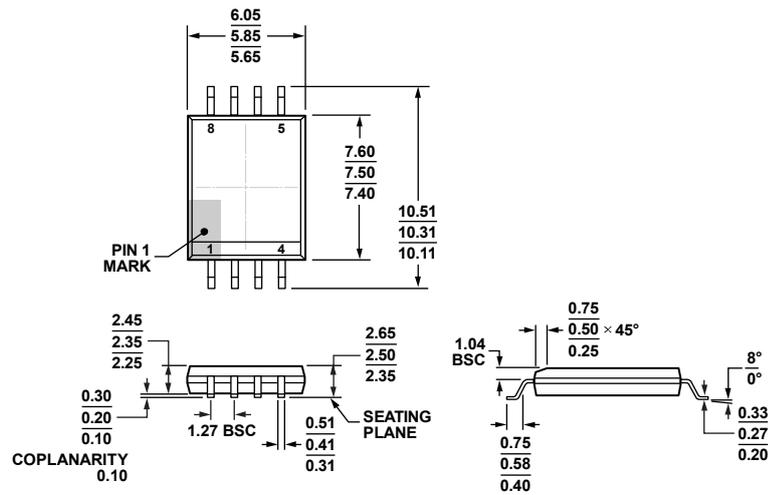
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-B

図 34. 16 ピン、標準 SOP (スモール・アウトライン・パッケージ) [SOIC_W]
 ワイド・ボディ (RW-16)
 寸法: mm (括弧内はインチ)



09-17-2014-B

図 35. 沿面距離を増やした 8 ピン標準 SOP (スモール・アウトライン・パッケージ) [SOIC_IC]
 ワイド・ボディ (RI-8-1)
 寸法: mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Package Option
ADuM7703BRWZ	-40°C to +125°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
ADuM7703BRWZ-RL	-40°C to +125°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
ADuM7703BRWZ-RL7	-40°C to +125°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
ADuM7703-8BRIZ	-40°C to +105°C	8-Lead Standard Small Outline Package, with Increased Creepage [SOIC_IC]	RI-8-1
ADuM7703-8BRIZ-RL	-40°C to +105°C	8-Lead Standard Small Outline Package, with Increased Creepage [SOIC_IC]	RI-8-1
ADuM7703-8BRIZ-RL7	-40°C to +105°C	8-Lead Standard Small Outline Package, with Increased Creepage [SOIC_IC]	RI-8-1
EV-ADuM7703-8FMCZ		Evaluation Board	

¹ Z = RoHS 準拠製品。

² EV-ADuM7703-8FMCZ は、[EVAL-SDP-CHIZ](#) 高速コントローラ・ボードと互換性があります。