



# 4.0 A 出力の 絶縁型高精度ハーフ・ブリッジ・ブリッジ・ドライバ

## データシート

## ADuM7223

### 特長

- ピーク出力電流: 4.0 A
- 動作電圧
  - 入力を基準とするハイサイドまたはローサイド: 565 V<sub>PEAK</sub>
  - ハイサイド/ローサイド差動: 700 V<sub>PEAK</sub>
- 高周波動作: 最大 1 MHz
- 高精度なタイミング特性
  - 最大伝搬遅延: 64 ns
  - 最大チャンネル間マッチング: 8.5 ns
- 入力電圧: 3.0 V~5.5 V
- 出力駆動: 4.5 V~18 V
- UVLO 電源 (V<sub>DD1</sub> = 2.8 V)
  - A バージョン UVLO: V<sub>DDA</sub> および V<sub>DDB</sub> (V<sub>DD2</sub>) = 4.1 V
  - B バージョン UVLO: V<sub>DDA</sub> および V<sub>DDB</sub> = 6.9 V
  - C バージョン UVLO: V<sub>DDA</sub> および V<sub>DDB</sub> = 10.5 V
- CMOS 入力ロジック・レベル
- 高い同相モード過渡電圧耐性: 25 kV/μs 以上
- 高いジャンクション温度動作: 125°C
- デフォルトのロー・レベル出力
- 5 mm × 5 mm の 13 端子 LGA パッケージを採用

### アプリケーション

- スイッチング電源
- 絶縁型 IGBT/MOSFET ゲートの駆動
- 工業用インバータ

### 概要

ADuM7223 は 4.0 A の絶縁型ハーフ・ブリッジ・ゲート・ドライバです。このデバイスでは、アナログ・デバイセズの iCoupler® 技術を採用して、絶縁型の独立したハイサイド出力とローサイド出力を提供します。これらのアイソレーション・デバイスは、高速 CMOS 技術とモノリシック・トランス技術を組み合わせることにより、パルス・トランスと非絶縁型ゲート・ドライバの組み合わせなどを採用した競合デバイスに比べて優れた性能特性を提供します。アイソレータとドライバを 1 つのパッケージに組み込むことにより、伝搬遅延は最大 64 ns を、チャンネル間の伝搬スキューは 12 V で最大 12 ns を、それぞれ実現しています。

ADuM7223 は独立した 2 つのアイソレーション・チャンネルを提供します。ADuM7223 は 3.0 V~5.5 V の入力電源で動作するため、低電圧システムに対する互換性を提供します。出力は、3 種類の出力電圧バージョンの提供により 4.5 V~18 V の広い範囲で動作します。5 mm × 5 mm の LGA パッケージは、入力-出力間で 565 V の動作電圧を、出力-出力間で 700 V の動作電圧を、それぞれ実現しています。

このゲート・ドライバは、高電圧レベル変換方式を採用するゲート・ドライバと比較すると、入力と各出力との間で真の電流アイソレーションを提供できる利点を持っています。このため、このゲート・ドライバは広い範囲の正または負のスイッチング電圧に対して、IGBT/MOSFET 構成のスイッチング特性の信頼度の高い制御を行うことができます。

### 機能ブロック図

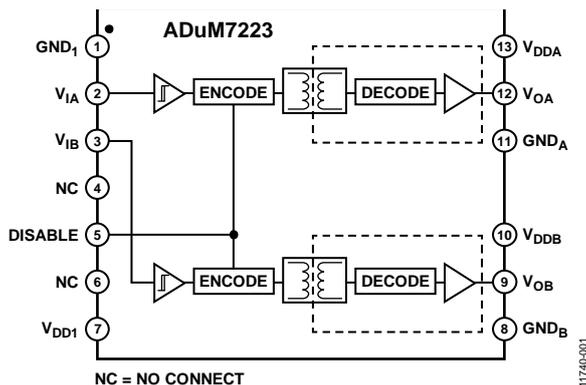


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	ピン配置およびピン機能説明.....	8
アプリケーション.....	1	代表的な性能特性.....	9
概要.....	1	アプリケーション情報.....	11
機能ブロック図.....	1	プリント回路ボード(PCB)のレイアウト.....	11
改訂履歴.....	2	伝搬遅延に関するパラメータ.....	11
仕様.....	3	熱的制約とスイッチ負荷特性.....	11
電気的特性—5 V 動作.....	3	出力負荷特性.....	11
電気的特性—3.3 V 動作.....	4	DC 高精度と磁界耐性.....	12
パッケージ特性.....	6	消費電力.....	13
絶縁および安全性関連の仕様.....	6	絶縁寿命.....	13
推奨動作条件.....	6	外形寸法.....	14
絶対最大定格.....	7	オーダー・ガイド.....	14
ESD の注意.....	7		

## 改訂履歴

### 4/14—Rev. 0 to Rev. A

Added B Model and C Model.....	Throughout
Changes to Table 1.....	3
Changes to Table 2.....	4
Changes to Printed Circuit Board (PCB) Layout Section and Thermal Limitations and Switch Load Characteristics Section.....	11
Changes to Ordering Guide.....	14

### 10/13—Revision 0: Initial Version

## 仕様

## 電気的特性—5 V 動作

すべての電圧はそれぞれのグラウンドを基準とします。特に指定がない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 18\text{ V}$ 。最小/最大仕様は、 $T_j = -40^\circ\text{C} \sim +125^\circ\text{C}$ で適用。typ仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 12\text{ V}$ で規定。スイッチング仕様はCMOS信号レベルでテスト。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Supply Current, Quiescent	$I_{DD1(Q)}$		1.4	2.4	mA	
Output Supply Current per Channel, Quiescent	$I_{DDO(Q)}$		2.3	3.5	mA	
Supply Current at 1 MHz						
$V_{DD1}$ Supply Current	$I_{DD1(Q)}$		1.6	2.5	mA	Up to 1 MHz, no load
$V_{DDA}/V_{DDB}$ Supply Current	$I_{DDA(Q)}, I_{DDB(Q)}$		5.6	8.0	mA	Up to 1 MHz, no load
Input Currents	$I_{IA}, I_{IB}$	-1	+0.01	+1	$\mu\text{A}$	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$
Logic High Input Threshold	$V_{IH}$	$0.7 \times V_{DD1}$			V	
Logic Low Input Threshold	$V_{IL}$			$0.3 \times V_{DD1}$	V	
Logic High Output Voltages	$V_{OAH}, V_{OBH}$	$V_{DD2} - 0.1$	$V_{DD2}$		V	$I_{Ox} = -20\text{ mA}$ , $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}$		0.0	0.15	V	$I_{Ox} = 20\text{ mA}$ , $V_{Ix} = V_{IxL}$
Undervoltage Lockout, $V_{DD1}$ Supply						
Positive Going Threshold	$V_{DD1UV+}$		2.8		V	
Negative Going Threshold	$V_{DD1UV-}$		2.6		V	
Hysteresis	$V_{DD1UVH}$		0.2		V	
Undervoltage Lockout, $V_{DD2}$ Supply						
Positive Going Threshold	$V_{DD2UV+}$		4.1	4.4	V	A-Grade
Negative Going Threshold	$V_{DD2UV-}$	3.2	3.6		V	A-Grade
Hysteresis	$V_{DD2UVH}$		0.5		V	A-Grade
Positive Going Threshold	$V_{DD2UV+}$		6.9	7.4	V	B-Grade
Negative Going Threshold	$V_{DD2UV-}$	5.7	6.2		V	B-Grade
Hysteresis	$V_{DD2UVH}$		0.7		V	B-Grade
Positive Going Threshold	$V_{DD2UV+}$		10.5	11.1	V	C-Grade
Negative Going Threshold	$V_{DD2UV-}$	9.0	9.6		V	C-Grade
Hysteresis	$V_{DD2UVH}$		0.9		V	C-Grade
Output Short-Circuit Pulsed Current <sup>1</sup>	$I_{OA(SC)}, I_{OB(SC)}$	2.0	4.0		A	$V_{DD2} = 12\text{ V}$
Output Source Resistance	$R_{OA}, R_{OB}$	0.25	0.95	1.5	$\Omega$	$V_{DD2} = 12\text{ V}$ , $I_{Ox} = -250\text{ mA}$
Output Sink Resistance	$R_{OA}, R_{OB}$	0.55	0.6	1.35	$\Omega$	$V_{DD2} = 12\text{ V}$ , $I_{Ox} = 250\text{ mA}$
THERMAL SHUTDOWN TEMPERATURES						
Junction Temperature Shutdown Rising Edge	$T_{JR}$		150		$^\circ\text{C}$	
Junction Temperature Shutdown Falling Edge	$T_{JF}$		140		$^\circ\text{C}$	
SWITCHING SPECIFICATIONS						
Pulse Width <sup>2</sup>	PW	50			ns	See Figure 16 $C_L = 2\text{ nF}$ , $V_{DD2} = 12\text{ V}$
Maximum Data Rate <sup>3</sup>		1			MHz	$C_L = 2\text{ nF}$ , $V_{DD2} = 12\text{ V}$
Propagation Delay <sup>4</sup>	$t_{DHL}, t_{DLH}$	19	40	62	ns	$C_L = 2\text{ nF}$ , $V_{DD2} = 12\text{ V}$
ADuM7223A		25	46	68	ns	$C_L = 2\text{ nF}$ , $V_{DD2} = 4.5\text{ V}$
Propagation Delay Skew <sup>5</sup>	$t_{PSK}$			12	ns	$C_L = 2\text{ nF}$ , $V_{DD2} = 12\text{ V}$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Channel-to-Channel Matching <sup>6</sup>	$t_{PSKCD}$					
$V_{DD2} = 12\text{ V}$			1	8.5	ns	$C_L = 2\text{ nF}$
$V_{DD2} = 4.5\text{ V}$			1	8.5	ns	$C_L = 2\text{ nF}$ ; A-Grade Only
Output Rise/Fall Time (10% to 90%)	$t_R/t_F$	1	12	24	ns	$C_L = 2\text{ nF}$ , $V_{DD2} = 12\text{ V}$
Dynamic Input Supply Current per Channel	$I_{DDI(D)}$		0.05		mA/Mbps	$V_{DD2} = 12\text{ V}$
Dynamic Output Supply Current per Channel	$I_{DDO(D)}$		1.65		mA/Mbps	$V_{DD2} = 12\text{ V}$
Refresh Rate	$f_r$		1.2		Mbps	$V_{DD2} = 12\text{ V}$

<sup>1</sup> 短絡時間は 1 $\mu$ s 以下。平均電力は、絶対最大定格に示す規定値を満たす必要があります。

<sup>2</sup> 最小パルス幅は、規定のタイミング・パラメータが保証される最小のパルス幅。

<sup>3</sup> 最大データレートは、規定のタイミング・パラメータが保証される最高速のデータレートです。

<sup>4</sup> 伝搬遅延  $t_{DLH}$  は、入力立上がりロジック・ハイ・スレッショールド  $V_{IH}$  から  $V_{Ox}$  信号の出力立上がり 10% レベルまでを測定した値です。伝搬遅延  $t_{DHL}$  は、入力立下がりロジック・ロー・スレッショールド  $V_{IL}$  から  $V_{Ox}$  信号の出力立下がり 90% スレッショールドまでを測定した値です。伝搬遅延パラメータの波形については図 16 を参照してください。

<sup>5</sup>  $t_{PSK}$  は、 $t_{DLH}$  および/または  $t_{DHL}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数の ADuM7223 ユニット間で測定されます。伝搬遅延パラメータの波形については図 16 を参照してください。

<sup>6</sup> チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

### 電気的特性—3.3 V 動作

すべての電圧はそれぞれのグラウンドを基準とします。特に指定がない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 18\text{ V}$ 。最小/最大仕様は、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$  で適用。typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 、 $V_{DD2} = 12\text{ V}$  で規定。スイッチング仕様は CMOS 信号レベルでテスト。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Supply Current, Quiescent	$I_{DDI(Q)}$		0.87	1.4	mA	
Output Supply Current per Channel, Quiescent	$I_{DDO(Q)}$		2.3	3.5	mA	
Supply Current at 1 MHz						
$V_{DD1}$ Supply Current	$I_{DD1(Q)}$		1.1	1.5	mA	Up to 1 MHz, no load
$V_{DDA}/V_{DDB}$ Supply Current	$I_{DDA(Q)}, I_{DDB(Q)}$		5.6	8.0	mA	Up to 1 MHz, no load
Input Currents	$I_{IA}, I_{IB}$	-1	+0.01	+1	$\mu$ A	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$
Logic High Input Threshold	$V_{IH}$	$0.7 \times V_{DD1}$			V	
Logic Low Input Threshold	$V_{IL}$			$0.3 \times V_{DD1}$	V	
Logic High Output Voltages	$V_{OAH}, V_{OAH}$	$V_{DD2} - 0.1$	$V_{DD2}$		V	$I_{Ox} = -20\text{ mA}$ , $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}$		0.0	0.15	V	$I_{Ox} = 20\text{ mA}$ , $V_{Ix} = V_{IxL}$
Undervoltage Lockout, $V_{DD1}$ Supply						
Positive Going Threshold	$V_{DD1UV+}$		2.8		V	
Negative Going Threshold	$V_{DD1UV-}$		2.6		V	
Hysteresis	$V_{DD1UVH}$		0.2		V	
Undervoltage Lockout, $V_{DD2}$ Supply						
Positive Going Threshold	$V_{DD2UV+}$		4.1	4.4	V	A-Grade
Negative Going Threshold	$V_{DD2UV-}$	3.2	3.6		V	A-Grade
Hysteresis	$V_{DD2UVH}$		0.5		V	A-Grade
Positive Going Threshold	$V_{DD2UV+}$		6.9	7.4	V	B-Grade
Negative Going Threshold	$V_{DD2UV-}$	5.7	6.2		V	B-Grade
Hysteresis	$V_{DD2UVH}$		0.7		V	B-Grade
Positive Going Threshold	$V_{DD2UV+}$		10.5	11.2	V	C-Grade
Negative Going Threshold	$V_{DD2UV-}$	9.0	9.6		V	C-Grade
Hysteresis	$V_{DD2UVH}$		0.9		V	C-Grade
Output Short-Circuit Pulsed Current <sup>1</sup>	$I_{OA(SC)}, I_{OB(SC)}$	2.0	4.0		A	$V_{DD2} = 12\text{ V}$
Output Source Resistance	$R_{OA}, R_{OB}$	0.25	0.95	1.5	$\Omega$	$V_{DD2} = 12\text{ V}$ , $I_{Ox} = -250\text{ mA}$
Output Sink Resistance	$R_{OA}, R_{OB}$	0.55	0.6	1.35	$\Omega$	$V_{DD2} = 12\text{ V}$ , $I_{Ox} = 250\text{ mA}$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
THERMAL SHUTDOWN TEMPERATURES						
Junction Temperature Shutdown Rising Edge	$T_{JR}$		150		°C	
Junction Temperature Shutdown Falling Edge	$T_{JF}$		140		°C	
SWITCHING SPECIFICATIONS						
Pulse Width <sup>2</sup>	PW	50			ns	See Figure 16 $C_L = 2 \text{ nF}, V_{DD2} = 12 \text{ V}$
Maximum Data Rate <sup>3</sup>		1			MHz	$C_L = 2 \text{ nF}, V_{DD2} = 12 \text{ V}$
Propagation Delay <sup>4</sup>	$t_{DHL}, t_{DLH}$	25	44	64	ns	$C_L = 2 \text{ nF}, V_{DD2} = 12 \text{ V}$
ADuM7223A		28	49	71	ns	$C_L = 2 \text{ nF}, V_{DD2} = 4.5 \text{ V}$
Propagation Delay Skew <sup>5</sup>	$t_{PSK}$			12	ns	$C_L = 2 \text{ nF}, V_{DD2} = 12 \text{ V}$
Channel-to-Channel Matching <sup>6</sup>						
$V_{DD2} = 12 \text{ V}$	$t_{PSKCD}$		1	8.5	ns	$C_L = 2 \text{ nF}$
$V_{DD2} = 4.5 \text{ V}$	$t_{PSKCD}$		1	8.5	ns	$C_L = 2 \text{ nF}; \text{A-Grade Only}$
Output Rise/Fall Time (10% to 90%)	$t_R/t_F$	1	12	24	ns	$C_L = 2 \text{ nF}, V_{DD2} = 12 \text{ V}$
Dynamic Input Supply Current per Channel	$I_{DDI(D)}$		0.05		mA/Mbps	$V_{DD2} = 12 \text{ V}$
Dynamic Output Supply Current per Channel	$I_{DDO(D)}$		1.65		mA/Mbps	$V_{DD2} = 12 \text{ V}$
Refresh Rate	$f_r$		1.1		Mbps	$V_{DD2} = 12 \text{ V}$

<sup>1</sup> 短絡時間は 1 $\mu$ s 以下。平均電力は、絶対最大定格に示す規定値を満たす必要があります。

<sup>2</sup> 最小パルス幅は、規定のタイミング・パラメータが保証される最小のパルス幅。

<sup>3</sup> 最大データレートは、規定のタイミング・パラメータが保証される最高速のデータレートです。

<sup>4</sup> 伝搬遅延  $t_{DLH}$  は、入力立上がりロジック・ハイ・スレッショールド  $V_{IH}$  から  $V_{Ox}$  信号の出力立上がり 10% レベルまでを測定した値です。伝搬遅延  $t_{DHL}$  は、入力立下がりロジック・ロー・スレッショールド  $V_{IL}$  から  $V_{Ox}$  信号の出力立下がり 90% スレッショールドまでを測定した値です。伝搬遅延パラメータの波形については図 16 を参照してください。

<sup>5</sup>  $t_{PSK}$  は、 $t_{DLH}$  およびまたは  $t_{DHL}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。伝搬遅延パラメータの波形については図 16 を参照してください。

<sup>6</sup> チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

## パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input-to-Output)	$R_{I-O}$		$10^{12}$		$\Omega$	f = 1 MHz
Capacitance (Input-to-Output)	$C_{I-O}$		2.0		pF	
Input Capacitance	$C_I$		4.0		pF	
IC Junction-to-Ambient Thermal Resistance	$\theta_{JA}$		96.3		$^{\circ}\text{C}/\text{W}$	
IC Junction-to-Case Thermal Resistance	$\theta_{JC}$		43.2		$^{\circ}\text{C}/\text{W}$	

## 絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Functional Dielectric Insulation Voltage <sup>1</sup>		2500	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	3.5 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	3.5 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

<sup>1</sup> 絶縁電圧はデザインにより保証しますが、出荷テストは行いません。絶縁構造は、5 kV rms の出荷テストが行われるデバイスと同じです。

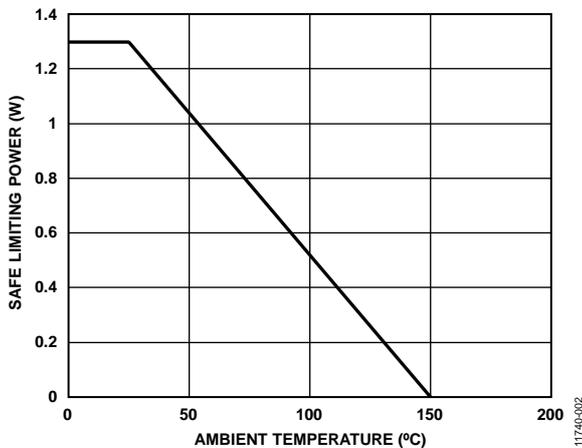


図 2. 温度ディレーティング・カーブ

## 推奨動作条件

表 5.

Parameter	Symbol	Min	Max	Unit
Operating Junction Temperature	$T_J$	-40	+125	$^{\circ}\text{C}$
Supply Voltages <sup>1</sup>	$V_{DD1}$	3.0	5.5	V
	$V_{DDA}, V_{DDB}$	4.5	18	V
Maximum Input Signal Rise and Fall Times	$T_{VIA}, T_{VIB}$		1	ms
Common-Mode Transient Static <sup>2</sup>		-50	+50	kV/ $\mu\text{s}$
Common-Mode Transient Immunity Dynamic <sup>3</sup>		-25	+25	kV/ $\mu\text{s}$

<sup>1</sup> すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、アプリケーション情報のセクションを参照してください。

<sup>2</sup> 静的同相モード過渡電圧耐性は、出力電圧が  $V_{IA}/V_{IB} = \text{ハイ}$ ・レベルに対して  $0.8 \times V_{DD2}$  以上を維持するか、または  $V_{IA}/V_{IB} = \text{ロー}$ ・レベルに対して 0.8 V 以上を維持するように、入力をハイ・レベルまたはロー・レベルに維持したときの  $GND_1$  と  $GND_A/GND_B$  の間の最大  $dv/dt$  として定義されます。上記推奨レベルを超える過渡電圧下での動作では、一時的なデータの反転が発生することがあります。

<sup>3</sup> 動的同相モード過渡電圧耐性は、スイッチング・エッジが過渡電圧テスト・パルスと一致したときの  $GND_1$  と  $GND_A/GND_B$  の間の最大  $dv/dt$  として定義されます。上記推奨レベルを超える過渡電圧下での動作では、一時的なデータの反転が発生することがあります。

## 絶対最大定格

特に指定のない限り、周囲温度は 25 °C です。

表 6.

Parameter	Symbol	Rating
Storage Temperature	$T_{ST}$	-55°C to +150°C
Operating Junction Temperature	$T_J$	-40°C to +150°C
Supply Voltages <sup>1</sup>	$V_{DD1}$	-0.3 V to +6.0 V
	$V_{DD2}$	-0.3 V to +20 V
Input Voltage <sup>1,2</sup>	$V_{IA}, V_{IB}$	-0.3 V to $V_{DD1} + 0.3$ V
Output Voltage <sup>1,2</sup>	$V_{OA}, V_{OB}$	-0.3 to $V_{DD0} + 0.3$ V
Average Output Current, per Pin <sup>3</sup>	$I_O$	-35 mA to +35 mA
Common-Mode Transients <sup>4</sup>	$CM_H, CM_L$	-100 kV/μs to +100 kV/μs

<sup>1</sup>すべての電圧はそれぞれのグラウンドを基準とします。

<sup>2</sup> $V_{DD1}$ と $V_{DD0}$ は、それぞれチャンネルの入力側と出力側の電源電圧を表します。

<sup>3</sup>種々の温度に対する最大許容電流については図 2 を参照してください。

<sup>4</sup>絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

表 7.最大連続動作電圧<sup>1</sup>

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	565	V peak	50-year minimum lifetime
AC Voltage, Unipolar Waveform Functional Insulation	1131	V peak	50-year minimum lifetime
DC Voltage Functional Insulation	1131	V peak	50-year minimum lifetime

<sup>1</sup>アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

表 8.真理値表(正論理)<sup>1</sup>

DISABLE	$V_{IA}$ Input	$V_{IB}$ Input	$V_{DD1}$ State	$V_{DDA}/V_{DDB}$ State	$V_{OA}$ Output	$V_{OB}$ Output	Notes
L	L	L	Powered	Powered	L	L	Outputs return to the input state within 1 μs of DISABLE = set to low.
L	L	H	Powered	Powered	L	H	Outputs return to the input state within 1 μs of DISABLE = set to low.
L	H	L	Powered	Powered	H	L	Outputs return to the input state within 1 μs of DISABLE = set to low.
L	H	H	Powered	Powered	H	H	Outputs return to the input state within 1 μs of DISABLE = set to low.
H	X	X	Powered	Powered	L	L	Outputs take on default low state within 3 μs of DISABLE = set to high.
L	L	L	Unpowered	Powered	L	L	Outputs return to the input state within 1 μs of $V_{DD1}$ power restoration.
X	X	X	Powered	Unpowered	Indeterminate	Indeterminate	Outputs return to the input state within 50 μs of $V_{DDA}/V_{DDB}$ power restoration.

<sup>1</sup> X = don't care

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

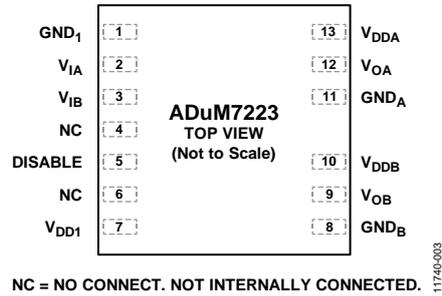


図 3. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1	GND <sub>1</sub>	入力ロジック信号のグラウンド基準。
2	V <sub>IA</sub>	ロジック入力 A。
3	V <sub>IB</sub>	ロジック入力 B。
4、6	NC	未接続。内部で接続されていません。
5	DISABLE	入力のディスエーブル。アイソレータ入力とリフレッシュ回路をディスエーブルします。出力はデフォルトのロー・レベル状態を続けます。
7	V <sub>DD1</sub>	入力電源電圧。
8	GND <sub>B</sub>	出力 B のグラウンド基準。
9	V <sub>OB</sub>	出力 B。
10	V <sub>DDB</sub>	出力 B 電源電圧。
11	GND <sub>A</sub>	出力 A のグラウンド基準。
12	V <sub>OA</sub>	出力 A。
13	V <sub>DDA</sub>	出力 A 電源電圧。

代表的な性能特性

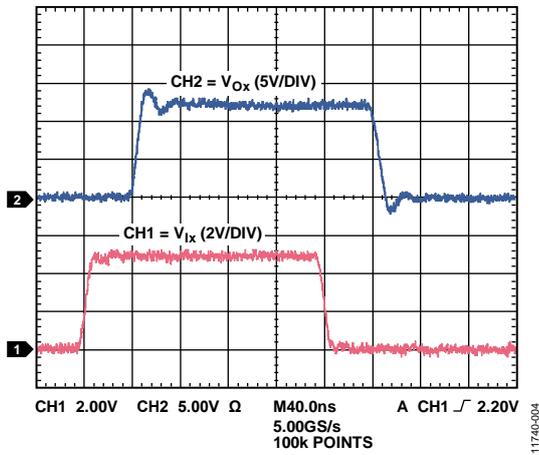


図 4. 2 nF 負荷での出力波形  
12 V 出力電源

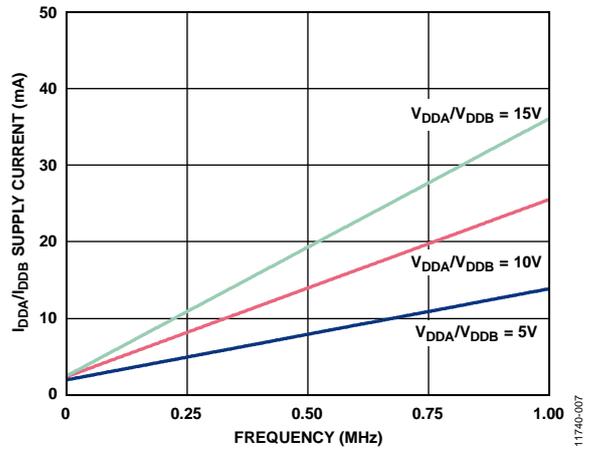


図 7.  $I_{DDA}/I_{DDB}$  電源電流の周波数特性  
2 nF 負荷

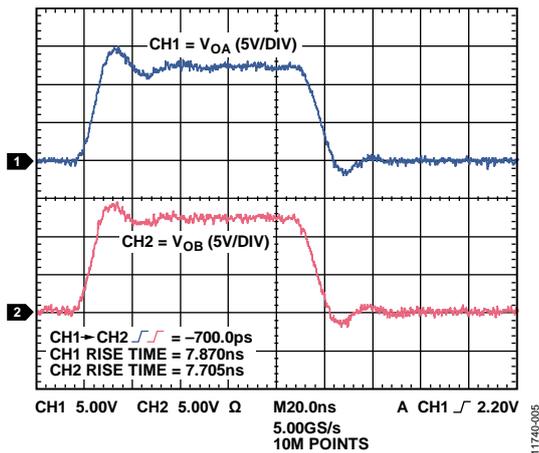


図 5. 出力マッチングと立ち上がり時間波形  
2 nF 負荷、12 V 出力電源

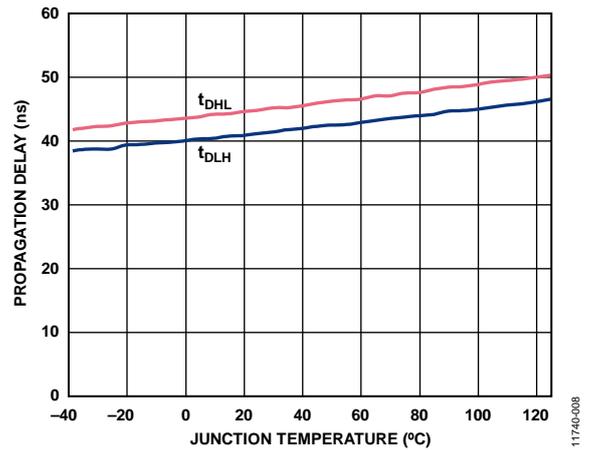


図 8. ジャンクション温度対伝搬遅延

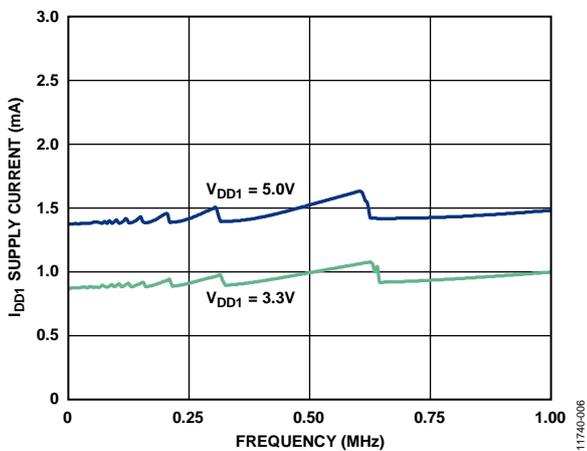


図 6.  $I_{DD1}$  電源電流の周波数特性

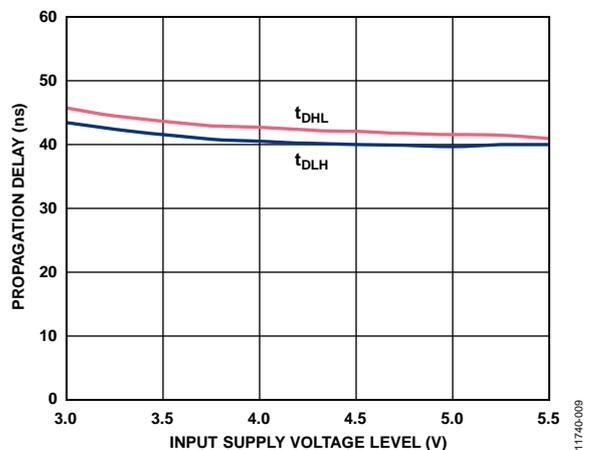


図 9. 入力電源電圧対伝搬遅延  
 $V_{DDA}/V_{DDB} = 12 V$

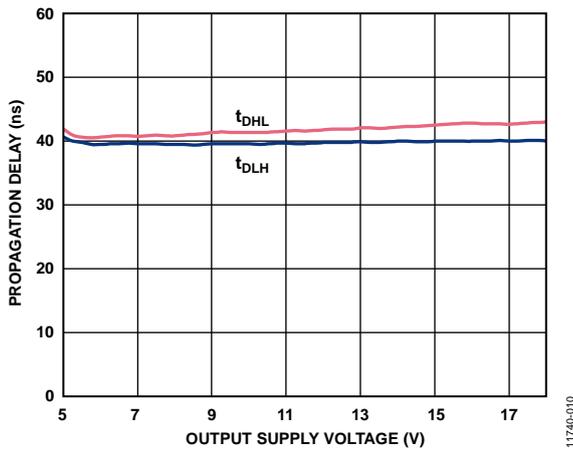


図 10.出力電源電圧対伝搬遅延  
 $V_{DD1} = 5\text{ V}$

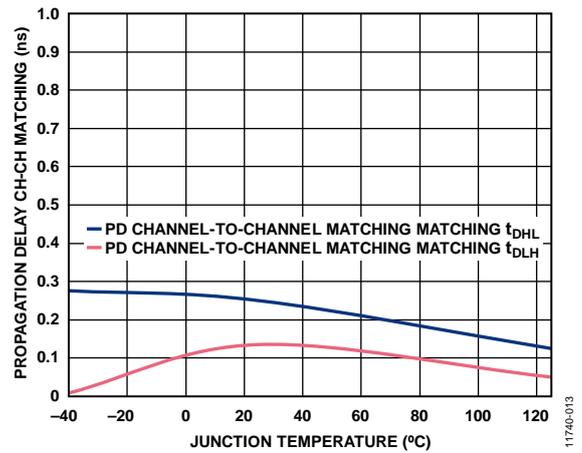


図 13.伝搬遅延およびチャンネル間マッチングの温度特性  
 $V_{DDA}/V_{DDB} = 12\text{ V}$

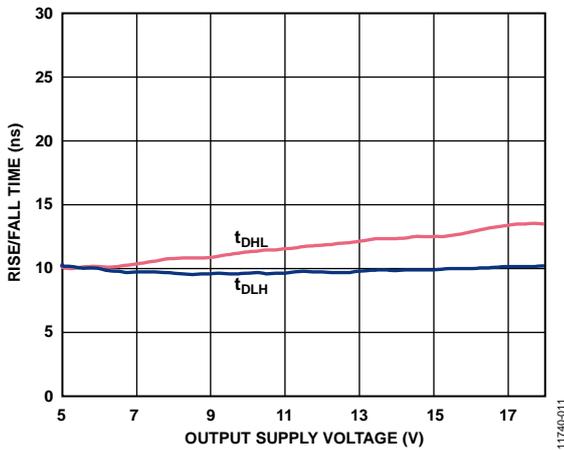


図 11.出力電源電圧対立上がり／立下がり時間

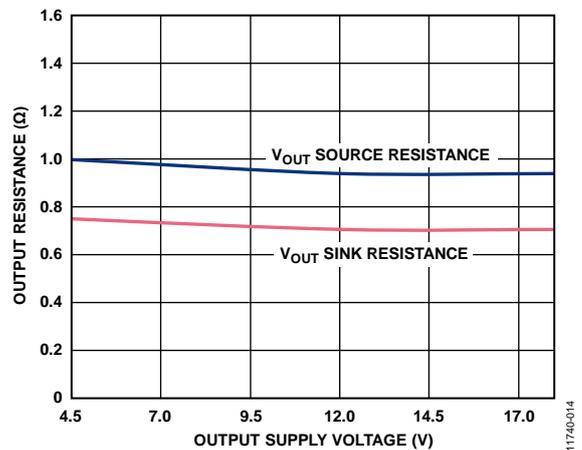


図 14.出力電源電圧対出力抵抗

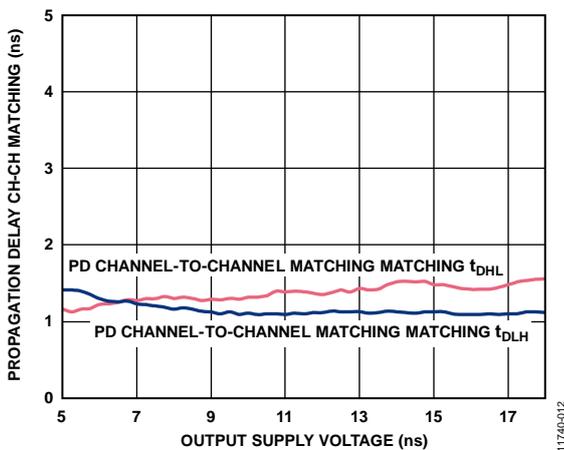


図 12.出力電源電圧対伝搬遅延およびチャンネル間マッチング

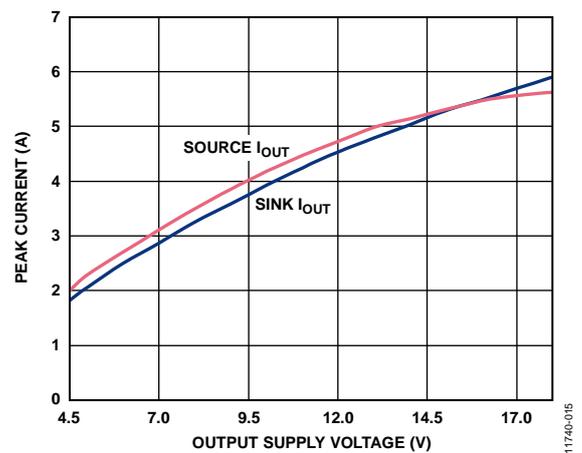


図 15.出力電源電圧対ピーク出力電流  
 $1.2\ \Omega$  直列抵抗

## アプリケーション情報

### プリント回路ボード(PCB)のレイアウト

ADuM7223 デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンには電源バイパスが必要です。値 0.01  $\mu\text{F}$  ~ 0.1  $\mu\text{F}$  の小型セラミック・コンデンサを使用して高周波バイパスを設けてください。出力電源ピン  $V_{\text{DDA}}$  または  $V_{\text{ddb}}$  にも、10  $\mu\text{F}$  のコンデンサを並列接続して、ADuM7223 出力のゲート容量を駆動するために必要な電荷を供給することが推奨されます。スイッチング過渡時の電圧降下が許容できる場合には、デカップリング・コンデンサの値を小さくすることができます。必要とされるデカップリングは、駆動するゲート容量と許容電圧降下の関数になります。出力電源ピンでは、バイパス・コンデンサでのビアの使用を避けるか、または複数のビアを使用してバイパスでのインダクタンスを小さくしてください。小型コンデンサの両端と入力/出力電源ピンとの間の合計リード長は、最適性能を得るために 20 mm 以下にする必要があります。最適性能のためには、バイパス・コンデンサをデバイスのできるだけ近くに配置してください。

### 伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通過するのに要する時間を表すパラメータです。ロジック・ロー・レベル出力までの伝搬遅延は、ロジック・ハイ・レベル出力までの伝搬遅延と異なることがあります。ADuM7223 では  $t_{\text{DLH}}$  を立上がり入力ハイ・ロジック・スレッショールド  $V_{\text{IH}}$  と出力立上がり 10% スレッショールドとの間の時間として規定しています(図 16 参照)。同様に、立下がり伝搬遅延  $t_{\text{DHL}}$  を入力立下がりロジック・ロー・スレッショールド  $V_{\text{IL}}$  と出力立下がり 90% スレッショールドとの間の時間として規定しています。立上がり時間と立下がり時間は負荷条件に依存し、伝搬遅延に含まれません。これはゲート・ドライバの業界標準になっています。

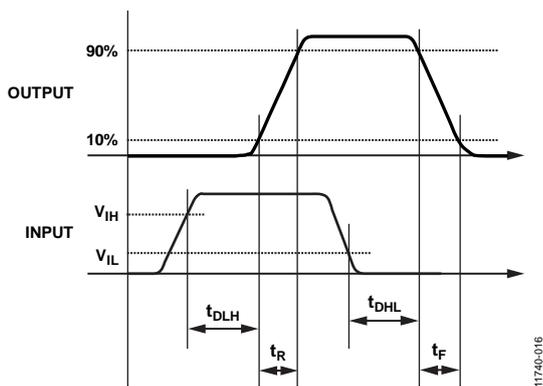


図 16. 伝搬遅延パラメータ

チャンネル間マッチングとは、1 つの ADuM7223 デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を表します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM7223 デバイス間での伝搬遅延差の最大値を表します。

### 熱的制約とスイッチ負荷特性

絶縁型ゲート・ドライバの場合、入力回路と出力回路との間に分離が必要なため、デバイスの底部に 1 個のサーマル・パッドも使用できません。このため熱は主にパッケージ・ピンを経由して放散されます。

デバイス内部の消費電力は、主に、被駆動実効負荷容量、スイッチング周波数、動作電圧、外付け直列抵抗から求められます。各チャンネル内の消費電力は、次式で計算することができます。

$$P_{\text{DISS}} = C_{\text{EFF}} \times (V_{\text{DDA/B}})^2 \times f_{\text{SW}} \frac{R_{\text{DSON}}}{R_{\text{DSON}} + R_{\text{GATE}}}$$

ここで、

$C_{\text{EFF}}$  は実効負荷容量。

$V_{\text{DDA/B}}$  は 2 次側電圧。

$f_{\text{SW}}$  はスイッチング周波数。

$R_{\text{DSON}}$  は ADuM7223 の内部抵抗 ( $R_{\text{OA}}$ 、 $R_{\text{OB}}$ )。

$R_{\text{GATE}}$  は外付けゲート抵抗。

周囲温度からの温度上昇を求めるため、全消費電力に  $\theta_{\text{JA}}$  を乗算します。この結果に周囲温度を加算して ADuM7223 の内部ジャンクション温度の近似値を求めます。

ADuM7223 の各アイソレータ出力には、サーマル・シャットダウン保護機能があります。この機能は、ジャンクション温度上昇が 150°C (typ) に到達したとき出力をロー・レベルに設定し、ジャンクション温度がシャットダウン値から 10°C 下回ったとき元に戻します。

### 出力負荷特性

ADuM7223 出力信号は、出力負荷(一般に N チャンネル MOSFET)の特性に依存します。N チャンネル MOSFET 負荷に対するドライバ出力応答は、スイッチ出力抵抗( $R_{\text{SW}}$ )、PCB パターンに起因するインダクタンス( $L_{\text{TRACE}}$ )、直列ゲート抵抗( $R_{\text{GATE}}$ )、ゲートソース間容量( $C_{\text{GS}}$ )でモデル化することができます(図 17 参照)。

$R_{\text{SW}}$  は内部 ADuM7223 ドライバ出力のスイッチ抵抗です(ターンオンでは 1.1  $\Omega$ 、ターンオフでは 0.6  $\Omega$ )。  $R_{\text{GATE}}$  は MOSFET の固有ゲート抵抗と外部直列抵抗です。4 A のゲート・ドライバを必要とする MOSFET は、約 1  $\Omega$  の固有ゲート抵抗と 2 nF ~ 10 nF のゲートソース間容量  $C_{\text{GS}}$  を持っています。  $L_{\text{TRACE}}$  は PCB パターンのインダクタンスであり、ADuM7223 出力から MOSFET ゲートまで非常に短い太いパターンで接続された優れたデザインのレイアウトでは値は 5 nH 以下です。

次式は RLC 回路の Q ファクタを決定し、ADuM7223 出力のステップ変化に対する応答を示します。制動された出力の場合、Q は 1 より小さくなります。直列ゲート抵抗を接続すると、出力応答の制動が強化されます。

$$Q = \frac{1}{(R_{SW} + R_{GATE})} \times \sqrt{\frac{L_{TRACE}}{C_{GS}}}$$

出力リングングを小さくするためには、直列ゲート抵抗を追加して応答の制動を強化してください。1 nF 以下の負荷を使うアプリケーションでは、約 5 Ω の直列ゲート抵抗を追加してください。Q ファクタを 1 より小さくして (推奨目標値として 0.7)、システムの制動を強化することが推奨されます。

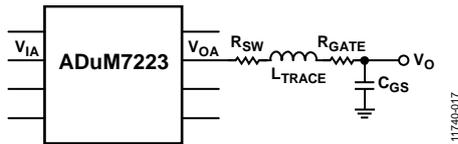


図 17. N チャンネル MOSFET ゲートの RLC モデル

### DC 高精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。1 μs (typ) 以上入力にロジック変化がない場合、該当する入力状態を表す周期的な一連の更新パルスが出力の DC 高精度を確保するために送出されます。

デコーダが約 3 μs (typ) 間以上この内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態にされます。さらに、UVLO スレッショルドを通過する前に電源が立上る間に、出力がロー・レベルのデフォルト状態になります。

ADuM7223 の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなって、デコーダをセットまたはリセットさせる誤動作の発生により決まります。この状態が発生する条件を以下の解析により求めます。ADuM7223 の 3 V 動作は最も敏感な動作モードであるため、この条件について調べます。トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッショルドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2, n = 1, 2, \dots, N$$

ここで、

$\beta$  は磁束密度 (gauss)。

$r_n$  は受信側コイルの巻数  $n$  回目の半径 (cm)。

$N$  は受信側コイルの巻き数。

ADuM7223 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50% であるという条件が与えられると、最大許容磁界は図 18 のように計算されます。

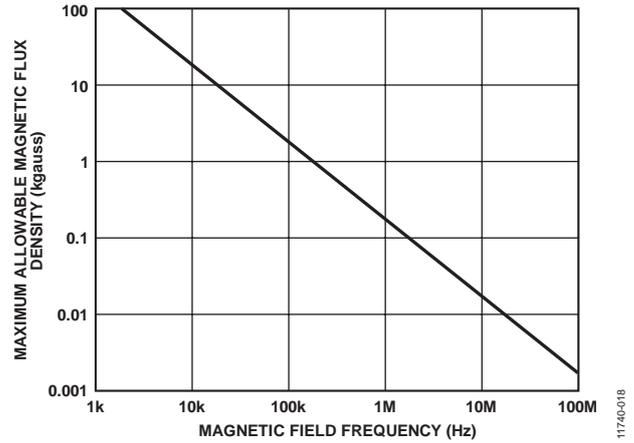


図 18. 最大許容外付け磁束密度

例えば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.2 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッショルドの約 50% であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに相性の悪い極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッショルド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM7223 トランスから与えられた距離だけ離れた特定の電流値に対応します。図 19 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図から読み取れるように、ADuM7223 は耐性を持ち、影響を受けるのは、高周波でかつデバイスに近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM7223 から 5 mm の距離まで近づける必要があります。

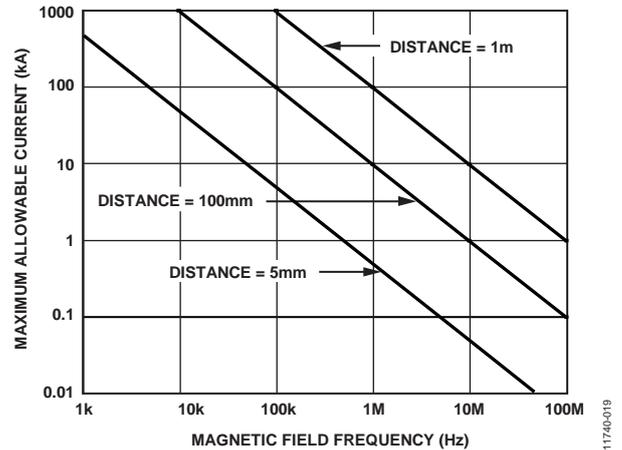


図 19. 様々な電流値と ADuM7223 までの距離に対する最大許容電流

## 消費電力

ADuM7223 アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(Q)} \quad f \leq 0.5f_r$$

$$I_{DD1} = I_{DD1(D)} \times (2f - f_r) + I_{DD1(Q)} \quad f > 0.5f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5) \times C_L V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5f_r$$

ここで、

$I_{DD1(Q)}$ と  $I_{DDO(Q)}$ は、それぞれ指定された入力静止電源電流と出力静止電源電流です(mA)。

$I_{DD1(D)}$ と  $I_{DDO(D)}$ は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です(mA/Mbps)。

$f$ =入力ロジック信号周波数(MHz、入力データレートの 1/2、NRZ シグナリング)。

$f_r$ は入力ステージ・リフレッシュ・レート(Mbps)。

$C_L$ は出力負荷容量(nF)。

$V_{DDO}$ =出力電源電圧(V)。

$I_{DD1}$ と  $I_{DD2}$ の電源電流を計算するために、 $I_{DD1}$ と  $I_{DD2}$ に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。図 6 に、データレートの関数としての両入力チャンネルの総合入力  $I_{DD1}$  電源電流を示します。図 7 に、2 nF コンデンサを両出力の負荷とした場合に、データレートの関数としての総合  $I_{DD2}$  電源電流を示します。

## 絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲な一連の評価を実施して ADuM7223 の絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対して、寿命を縮める要因を求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。

表 7 に、バイポーラ AC 動作条件での 50 年のサービス寿命に対するピーク電圧の値を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、場合によって絶縁寿命を短く

することがあります。

ADuM7223 の絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 20、図 21、図 22 に、これらの様々なアイソレーション電圧波形を示します。

バイポーラ AC 電圧環境は、iCoupler 製品と相性が悪いものの、最大動作電圧に対してアナログ・デバイセズが推奨する 50 年の動作寿命時間を満たしています。ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。図 21 または図 22 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 7 に示す 50 年のサービス寿命の電圧値に制限する必要があります。

図 21 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができますが、電圧は 0 V を通過することはできません。

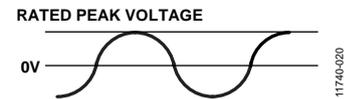


図 20.バイポーラ AC 波形

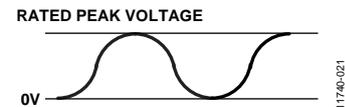


図 21.ユニポーラ AC 波形

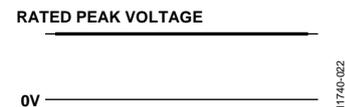


図 22.DC 波形

外形寸法

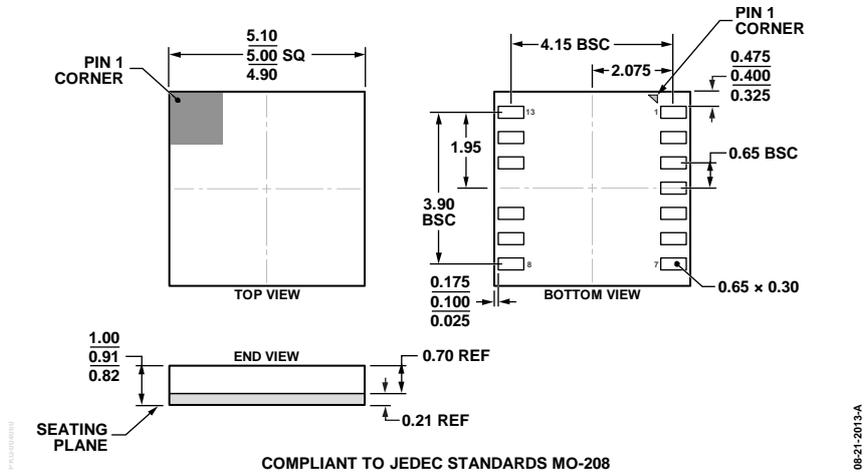


図 23.13-Terminal Land Grid Array [LGA]  
(CC-13-1)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	No. of Channels	Output Peak Current (A)	Minimum Output Voltage (V)	Junction Temperature Range	Package Description	Package Option	Ordering Quantity
ADuM7223ACCZ	2	4	4.5	-40°C to +125°C	13-Terminal LGA	CC-13-1	
ADuM7223ACCZ-RL7	2	4	4.5	-40°C to +125°C	13-Terminal LGA, 7" Tape and Reel	CC-13-1	1,000
ADuM7223BCCZ	2	4	7.5	-40°C to +125°C	13-Terminal LGA	CC-13-1	
ADuM7223BCCZ-RL7	2	4	7.5	-40°C to +125°C	13-Terminal LGA, 7" Tape and Reel	CC-13-1	1,000
ADuM7223CCCZ	2	4	11.5	-40°C to +125°C	13-Terminal LGA	CC-13-1	
ADuM7223CCCZ-RL7	2	4	11.5	-40°C to +125°C	13-Terminal LGA, 7" Tape and Reel	CC-13-1	1,000
EVAL-ADuM7223EBZ	2	4	4.5	-40°C to +125°C	ADuM7223A evaluation board		

<sup>1</sup> Z = RoHS 準拠製品。