

ADuM5401/ADuM5402/ADuM5403/ADuM5404

特長

- isoPower 絶縁型 DC/DC コンバータを内蔵
- 安定化出力: 3.3 V または 5 V
- 出力電力: 500 mW
- DC~25 Mbps (NRZ)の信号アイソレーション・チャンネル×4
- シュミット・トリガー入力
- 導体間距離 8 mm 以上の 16 ピン SOIC パッケージを採用
- 高温動作: 105°C
- 同相モード・トランジェント耐性: 25 kV/μs 以上
- 安全性規定の認定(申請中)
 - UL 認定
 - 2500 V rms、1 分間の UL 1577 規格
 - CSA Component Acceptance Notice #5A
 - VDE 適合認定
 - DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12
 - $V_{IORM} = 560$ V peak

アプリケーション

- RS-232/RS-422/RS-485 トランシーバ
- 工業用フィールド・バスのアイソレーション
- 電源のスタートアップ・バイアスとゲート駆動
- 絶縁型センサーのインターフェース
- 工業用 PLC

概要

ADuM5401/ADuM5402/ADuM5403/ADuM5404¹ は、isoPower™ (絶縁型 DC/DC コンバータ) を内蔵する 4 チャンネル・デジタル・アイソレータです。この DC/DC コンバータは、アナログ・デバイセズの iCoupler® 技術を採用して、5.0 V 入力電源では 5.0 V から、3.3 V 電源では 3.3 V から最大 500 mW の安定化した絶縁電源を供給します。このデバイスを使うと、低消費電力の絶縁型デザインで、外付けの絶縁型 DC/DC コンバータが不要になります。iCoupler チップ・スケール・トランス技術は、DC/DC コンバータのロジック信号と磁気部品を絶縁する際に使います。このために、アイソレーション・ソリューション全体の小型化が可能です。ADuM5401/ADuM5402/ADuM5403/ADuM5404 アイソレータは、4 チャンネルの独立なアイソレーション・チャンネルを様々なチャンネル構成とデータ・レートで提供します(オーダー・ガイド参照)。

¹ 米国特許 5,952,849; 6,873,065; 7075 329 B2 により保護されています。その他の特許は申請中です。

機能ブロック図

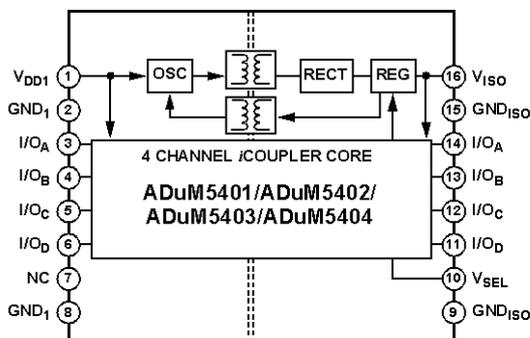


図 1.

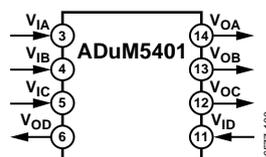


図 2. ADuM5401

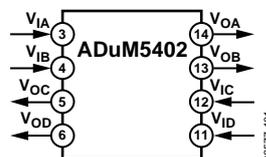


図 3. ADuM5402

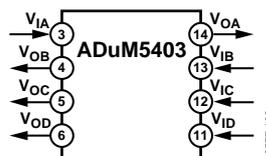


図 4. ADuM5403

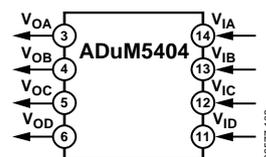


図 5. ADuM5404

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	代表的な性能特性.....	14
アプリケーション.....	1	用語.....	16
概要.....	1	アプリケーション情報.....	17
機能ブロック図.....	1	動作原理.....	17
改訂履歴.....	2	PCボードのレイアウト.....	17
仕様.....	3	熱解析.....	17
電気的特性—一次入力電源 5 V/二次絶縁型電源 5 V.....	3	伝搬遅延に関するパラメータ.....	18
電気的特性—一次入力電源 3.3 V/二次絶縁型電源 3.3 V.....	5	EMI の考慮事項.....	18
パッケージ特性.....	7	DC 精度と磁界耐性.....	18
各種規制の認定.....	7	消費電力.....	19
絶縁および安全性関連の仕様.....	7	電源に対する考慮事項.....	20
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	8	絶縁寿命.....	20
推奨動作条件.....	8	外形寸法.....	21
絶対最大定格.....	9	オーダー・ガイド.....	21
ESD の注意.....	9		
ピン配置およびピン機能説明.....	10		

改訂履歴

5/08—Revision 0: Initial Version

仕様

電気的特性—一次入力電源 5 V / 二次絶縁型電源 5 V

特に指定のない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $V_{SEL} = V_{ISO}$ ；すべての電圧はそれぞれのグラウンド基準。すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5.0\text{ V}$ 、 $V_{SEL} = V_{ISO} = 5.0\text{ V}$ での値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER POWER SUPPLY						
Setpoint	V_{ISO}	4.7	5.0	5.4	V	$I_{ISO} = 0\text{ mA}$
Line Regulation	$V_{ISO(LINE)}$		1		mV/V	$I_{ISO} = 50\text{ mA}$, $V_{DD1} = 4.5\text{ V to } 5.5\text{ V}$
Load Regulation	$V_{ISO(LOAD)}$		1	5	%	$I_{ISO} = 10\text{ mA to } 90\text{ mA}$
Output Ripple	$V_{ISO(RIP)}$		75		mV p-p	20 MHz bandwidth, $C_{BO} = 0.1\text{ }\mu\text{F} \parallel 10\text{ }\mu\text{F}$, $I_{ISO} = 90\text{ mA}$
Output Noise	$V_{ISO(N)}$		200		mV p-p	20 MHz bandwidth, $C_{BO} = 0.1\text{ }\mu\text{F} \parallel 10\text{ }\mu\text{F}$, $I_{ISO} = 90\text{ mA}$
Switching Frequency	f_{OSC}		180		MHz	
Pulse-Width Modulation Frequency	f_{PWM}		625		kHz	
iCoupler DATA CHANNELS						
DC to 2 Mbps Data Rate¹						
Maximum Output Supply Current ²	$I_{ISO(MAX)}$	100			mA	$f \leq 1\text{ MHz}$, $V_{ISO} > 4.5\text{ V}$
Efficiency at Maximum Output Supply Current ³			34		%	$I_{ISO} = I_{ISO(2,MAX)}$, $f \leq 1\text{ MHz}$
I_{DD1} Supply Current, No V_{ISO} Load	$I_{DD1(Q)}$		19	30	mA	$I_{ISO} = 0\text{ mA}$, $f \leq 1\text{ MHz}$
25 Mbps Data Rate (CRWZ Grade Only)						
I_{DD1} Supply Current, No V_{ISO} Load	$I_{DD1(D)}$					
ADuM5401			68		mA	$I_{ISO} = 0\text{ mA}$, $C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5402			71		mA	$I_{ISO} = 0\text{ mA}$, $C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5403			75		mA	$I_{ISO} = 0\text{ mA}$, $C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5404			78		mA	$I_{ISO} = 0\text{ mA}$, $C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
Available V_{ISO} Supply Current ⁴	$I_{ISO(LOAD)}$					
ADuM5401			87		mA	$C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5402			85		mA	$C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5403			83		mA	$C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5404			81		mA	$C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
I_{DD1} Supply Current, Full V_{ISO} Load	$I_{DD1(MAX)}$		290		mA	$C_L = 0\text{ pF}$, $f = 0\text{ MHz}$, $V_{DD} = 5\text{ V}$, $I_{ISO} = 100\text{ mA}$
I/O Input Currents	I_{IA} , I_{IB} , I_{IC} , I_{ID}	-20	+0.01	+20	μA	
Logic High Input Threshold	V_{IH}	$0.7 \times V_{ISO}$, $0.7 \times V_{DD1}$			V	
Logic Low Input Threshold	V_{IL}			$0.3 \times V_{ISO}$, $0.3 \times V_{DD1}$	V	
Logic High Output Voltages	V_{OAH} , V_{OBH} , V_{OCH} , V_{ODH}	$V_{DD1} - 0.3$, $V_{ISO} - 0.3$	5.0		V	$I_{OX} = -20\text{ }\mu\text{A}$, $V_{IX} = V_{IXH}$
		$V_{DD1} - 0.5$, $V_{ISO} - 0.3$	4.8		V	$I_{OX} = -4\text{ mA}$, $V_{IX} = V_{IXH}$
Logic Low Output Voltages	V_{OAL} , V_{OBL} , V_{OCL} , V_{ODL}		0.0	0.1	V	$I_{OX} = 20\text{ }\mu\text{A}$, $V_{IX} = V_{IXL}$
			0.0	0.4	V	$I_{OX} = 4\text{ mA}$, $V_{IX} = V_{IXL}$
AC SPECIFICATIONS						
ADuM5401ARWZ/ADuM5402ARWZ/						

ADuM5401/ADuM5402/ADuM5403/ADuM5404

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
ADuM5403ARWZ/ADuM5404ARWZ						
Minimum Pulse Width	PW			1000	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Maximum Data Rate		1			Mbps	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay	t_{PHL} , t_{PLH}		55	100	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			40	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay Skew	t_{PSK}			50	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching	t_{PSKCD}/t_{PSKOD}			50	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
ADuM5401CRWZ/ADuM5402CRWZ/ ADuM5403CRWZ/ADuM5404CRWZ						
Minimum Pulse Width	PW			40	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Maximum Data Rate		25			Mbps	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay	t_{PHL} , t_{PLH}		45	60	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			6	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay Skew	t_{PSK}			15	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels	t_{PSKCD}			6	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels	t_{PSKOD}			15	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		2.5		ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output	$ CM_H $	25	35		kV/ μs	$V_{IX} = V_{DD}$ or V_{ISO} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	$ CM_L $	25	35		kV/ μs	$V_{IX} = 0 \text{ V}$, $V = 1000 \text{ V}$, transient magnitude = 800 V
Refresh Rate	f_r		1.0		Mbps	

¹ 全4チャンネルによる電源電流値成分は、同一データ・レートで求めています。

² 全データ・レートが 2 Mbps の場合、 V_{ISO} 電源からの電流を外部で使用することができます。2 Mbps を超えるデータ・レートでは、データ・レートに比例してデータ I/O チャンネルに流れる電流が増えます。与えられたデータ・レートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算されます。ダイナミック I/O チャンネル負荷は外部負荷として扱う必要があり、 V_{ISO} 電源分に含まれます。

³ データ・チャンネルの静止状態での電源要求は電源セクションから分けることはできません。効率には、I/O チャンネルで消費される静止電力が内部消費電力の一部として含まれます。

⁴ この電流は、 V_{ISO} ピンから外部負荷の駆動に使うことができます。すべてのチャンネルは 25 Mbps の最大データ・レートで、最大ダイナミック負荷状態を表すフル容量負荷の状態、同時に駆動されます。最小データ・レート以下での使用可能な電流の計算については、消費電力を参照してください。

ADuM5401/ADuM5402/ADuM5403/ADuM5404

電気的特性—一次入力電源 3.3 V/二次絶縁型電源 3.3 V

特に指定のない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $V_{SEL} = \text{GND}_{\text{ISO}}$ ；すべての電圧はそれぞれのグラウンド基準。すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 、 $V_{\text{ISO}} = 3.3\text{ V}$ 、 $V_{SEL} = \text{GND}_{\text{ISO}}$ での値です。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER POWER SUPPLY						
Setpoint	V_{ISO}	3.0	3.3	3.6	V	$I_{\text{ISO}} = 0\text{ mA}$
Line Regulation	$V_{\text{ISO(LINE)}}$		1		mV/V	$I_{\text{ISO}} = 37.5\text{ mA}$, $V_{DD1} = 3.0\text{ V}$ to 3.6 V
Load Regulation	$V_{\text{ISO(LOAD)}}$		1	5	%	$I_{\text{ISO}} = 6\text{ mA}$ to 54 mA
Output Ripple	$V_{\text{ISO(RIP)}}$		50		mV p-p	20 MHz bandwidth, $C_{\text{BO}} = 0.1\text{ }\mu\text{F} \parallel 10\text{ }\mu\text{F}$, $I_{\text{ISO}} = 54\text{ mA}$
Output Noise	$V_{\text{ISO(N)}}$		130		mV p-p	20 MHz bandwidth, $C_{\text{BO}} = 0.1\text{ }\mu\text{F} \parallel 10\text{ }\mu\text{F}$, $I_{\text{ISO}} = 54\text{ mA}$
Switching Frequency	f_{OSC}		180		MHz	
Pulse-Width Modulation Frequency	f_{PWM}		625		kHz	
iCoupler DATA CHANNELS						
DC to 2 Mbps Data Rate¹						
Maximum Output Supply Current ²	$I_{\text{ISO(MAX)}}$	60			mA	$f \leq 1\text{ MHz}$, $V_{\text{ISO}} > 3.0\text{ V}$
Efficiency at Maximum Output Supply Current ³			36		%	$I_{\text{ISO}} = I_{\text{ISO(2,max)}}$, $f \leq 1\text{ MHz}$
I_{DD1} Supply Current, No V_{ISO} Load	$I_{\text{DD1(Q)}}$		14	20	mA	$I_{\text{ISO}} = 0\text{ mA}$, $f \leq 1\text{ MHz}$
25 Mbps Data Rate (CRWZ Grade Only)						
I_{DD1} Supply Current, No V_{ISO} Load	$I_{\text{DD1(D)}}$					
ADuM5401			44		mA	$I_{\text{ISO}} = 0\text{ mA}$, $C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5402			46		mA	$I_{\text{ISO}} = 0\text{ mA}$, $C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5403			47		mA	$I_{\text{ISO}} = 0\text{ mA}$, $C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5404			51		mA	$I_{\text{ISO}} = 0\text{ mA}$, $C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
Available V_{ISO} Supply Current ⁴	$I_{\text{ISO(LOAD)}}$					
ADuM5401			42		mA	$C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5402			41		mA	$C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5403			39		mA	$C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
ADuM5404			38		mA	$C_L = 15\text{ pF}$, $f = 12.5\text{ MHz}$
I_{DD1} Supply Current, Full V_{ISO} Load	$I_{\text{DD1(MAX)}}$		175		mA	$C_L = 0\text{ pF}$, $f = 0\text{ MHz}$, $V_{\text{DD}} = 3.3\text{ V}$, $I_{\text{ISO}} = 60\text{ mA}$
I/O Input Currents	I_{IA} , I_{IB} , I_{IC} , I_{ID}	-10	+0.01	+10	μA	
Logic High Input Threshold	V_{IH}	$0.7 \times V_{\text{ISO}}$, $0.7 \times V_{\text{IDD1}}$			V	
Logic Low Input Threshold	V_{IL}			$0.3 \times V_{\text{ISO}}$, $0.3 \times V_{\text{IDD1}}$	V	
Logic High Output Voltages	V_{OAH} , V_{OBH} , V_{OCH} , V_{ODH}	$V_{\text{DD1}} - 0.2$, $V_{\text{ISO}} - 0.2$	5.0		V	$I_{\text{Ox}} = -20\text{ }\mu\text{A}$, $V_{\text{Ix}} = V_{\text{IxH}}$
		$V_{\text{DD1}} - 0.5$, $V_{\text{ISO}} - 0.5$	4.8		V	$I_{\text{Ox}} = -4\text{ mA}$, $V_{\text{Ix}} = V_{\text{IxH}}$
Logic Low Output Voltages	V_{OAL} , V_{OBL} , V_{OCL} , V_{ODL}		0.0	0.1	V	$I_{\text{Ox}} = 20\text{ }\mu\text{A}$, $V_{\text{Ix}} = V_{\text{IxL}}$
			0.0	0.4	V	$I_{\text{Ox}} = 4\text{ mA}$, $V_{\text{Ix}} = V_{\text{IxL}}$
AC SPECIFICATIONS						
ADuM5401ARWZ/ADuM5402ARWZ/ ADuM5403ARWZ/ADuM5404ARWZ						
Minimum Pulse Width	PW			1000	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Maximum Data Rate		1			Mbps	$C_L = 15\text{ pF}$, CMOS signal levels
Propagation Delay	t_{PHL} , t_{PLH}		60	100	ns	$C_L = 15\text{ pF}$, CMOS signal levels

ADuM5401/ADuM5402/ADuM5403/ADuM5404

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			40	ns	$C_L = 15$ pF, CMOS signal levels
Propagation Delay Skew	t_{PSK}			50	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching	t_{PSKCD}/t_{PSKOD}			50	ns	$C_L = 15$ pF, CMOS signal levels
ADuM5401CRWZ/ADuM5402CRWZ/ ADuM5403CRWZ/ADuM5404CRWZ						
Minimum Pulse Width	PW			40	ns	$C_L = 15$ pF, CMOS signal levels
Maximum Data Rate		25			Mbps	$C_L = 15$ pF, CMOS signal levels
Propagation Delay	t_{PHL}, t_{PLH}		45	60	ns	$C_L = 15$ pF, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			6	ns	$C_L = 15$ pF, CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15$ pF, CMOS signal levels
Propagation Delay Skew	t_{PSK}			45	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels	t_{PSKCD}			6	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels	t_{PSKOD}			15	ns	$C_L = 15$ pF, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		2.5		ns	$C_L = 15$ pF, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output	$ CM_H $	25	35		kV/ μ s	$V_{IX} = V_{DD}$ or V_{ISO} , $V_{CM} = 1000$ V, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	$ CM_L $	25	35		kV/ μ s	$V_{IX} = 0$ V, $V = 1000$ V, transient magnitude = 800 V
Refresh Rate	f_r		1.0		Mbps	

¹ 全 4 チャンネルによる電源電流値成分は、同一データ・レートで求めています。

² 全データ・レートが 2 Mbps の場合、 V_{ISO} 電源からの電流を外部で使用することができます。2 Mbps を超えるデータ・レートでは、データ・レートに比例してデータ I/O チャンネルに流れる電流が増えます。与えられたデータ・レートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算されます。ダイナミック I/O チャンネル負荷は外部負荷として扱う必要があり、 V_{ISO} 電源分に含まれます。

³ データ・チャンネルの静止状態での電源要求は電源セクションから分けることはできません。効率には、I/O チャンネルで消費される静止電力が内部消費電力の一部として含まれます。

⁴ この電流は、 V_{ISO} ピンから外部負荷の駆動に使うことができます。すべてのチャンネルは 25 Mbps の最大データ・レートで、最大ダイナミック負荷状態を表すフル容量負荷の状態で、同時に駆動されます。最小データ・レート以下での使用可能な電流の計算については、消費電力を参照してください。

ADuM5401/ADuM5402/ADuM5403/ADuM5404

パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	f = 1 MHz
Capacitance (Input to Output)	C _{I-O}		2.2		pF	
Input Capacitance ²	C _I		4.0		pF	
IC Junction to Ambient Thermal Resistance	θ _{JA}		45		°C/W	
						Thermocouple located at center of package underside, test conducted on four-layer board with thin traces. ³

¹ デバイスは 2 端子デバイスと見なします。すなわち、ピン 1~ピン 8 を相互に接続し、ピン 9~ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間で測定。

³ 熱解析のセクションを参照してください。

各種規制の認定

表 4.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under the UL1577 component recognition program ¹	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-122
Reinforced insulation, 2500 V rms isolation voltage	Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 300 V rms (424 V peak) maximum working voltage	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 ≥ 3000 V rms を 1 秒間加えて各 ADuM5401/ADuM5402/ADuM5403/ADuM5404 を確認テストします(リーク電流検出規定値 = 10 μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM5401/ADuM5402/ADuM5403/ADuM5404 に 1,050 V_{peak} 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 5.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		2500	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	>8.0	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	>8.0	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

これらのアイソレータは、安全性制限値データ以内でのみ強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージ上の(*)マークは、DIN V VDE V 0884-10 認定製品を表します。

表 6.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	560	V peak
Input-to-Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC	V_{PR}	1050	V peak
Input-to-Output Test Voltage, Method A		V_{PR}		
After Environmental Tests Subgroup 1	$V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		672	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ sec	V_{TR}	4000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 6)			
Case Temperature		T_S	150	°C
Side 1 Current		I_{S1}	265	mA
Side 2 Current		I_{S2}	335	mA
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	>10 ⁹	Ω

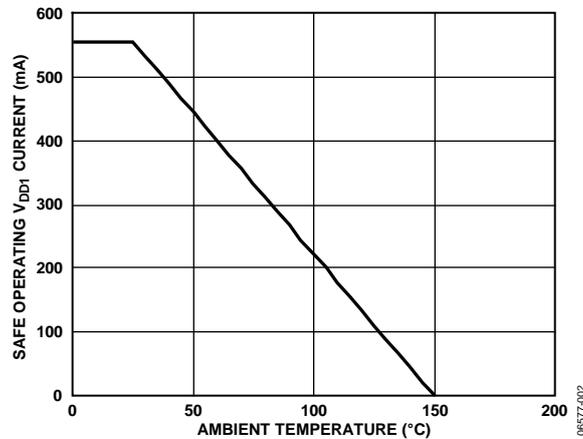


図 6. 温度ディレーティング・カーブ、DIN EN 60747-5-2 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 7.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	T_A	-40	+105	°C
Supply Voltages ¹				
V_{DD1} @ $V_{SEL} = 0$ V	V_{DD}	3.0	3.6	V
V_{DD1} @ $V_{SEL} = 5$ V	V_{DD}	4.5	5.5	V
Minimum Load	$I_{ISO(MIN)}$	10		mA

¹ すべての電圧はそれぞれのグラウンドを基準とします。

絶対最大定格

特に指定のない限り、周囲温度は 25°C です。

表 8.

Parameter	Rating
Storage Temperature (T _{ST})	-55°C to +150°C
Ambient Operating Temperature (T _A)	-40°C to +105°C
Supply Voltages (V _{DD} , V _{ISO}) ¹	-0.5 V to +7.0 V
Input Voltage (V _{IA} , V _{IB} , V _{IC} , V _{ID} , V _{SEL}) ^{1,2}	-0.5 V to V _{DD1} + 0.5 V
Output Voltage (V _{OA} , V _{OB} , V _{OC} , V _{OD}) ^{1,2}	-0.5 V to V _{DDO} + 0.5 V
Average Output Current per Pin ³	
Side 1 (I _{O1})	-18 mA to +18 mA
Side 2 (I _{O2})	-22 mA to +22 mA
Common-Mode Transients ⁴	-100 kV/μs to +100 kV/μs

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD1}と V_{DDO}は、それぞれチャンネルの入力側と出力側の電源電圧を表します。PCボードのレイアウトのセクションを参照してください。

³ 種々の温度に対する最大定格電流値についてはPCボードのレイアウトのセクションを参照してください。

⁴ 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 9. 最小 50 年の寿命をサポートする最大連続動作電圧¹

Parameter	Max	Unit	Applicable Certification
AC Voltage, Bipolar Waveform	424	V peak	All certifications
AC Voltage, Unipolar Waveform			
Basic Insulation	600	V peak	Working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Working voltage per VDE V 0884-10
DC Voltage			
Basic Insulation	600	V peak	Working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Working voltage per VDE V 0884-10

¹ アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

表 10. 真理値表(正論理)

V _{IX} Input ¹	V _{SEL} Input	V _{DD1} State	V _{DD1} Input (V)	V _{ISO} State	V _{ISO} Output (V)	V _{Ox} Output ¹	Notes
High	High	Powered	5.0	Powered	5.0	High	Normal operation, data is high
Low	High	Powered	5.0	Powered	5.0	Low	Normal operation, data is low
High	Low	Powered	3.3	Powered	3.3	High	Normal operation, data is high
Low	Low	Powered	3.3	Powered	3.3	Low	Normal operation, data is low
High	Low	Powered	5.0	Powered	3.3	High	Configuration not recommended
Low	Low	Powered	5.0	Powered	3.3	Low	Configuration not recommended
High	High	Powered	3.3	Powered	5.0	High	Configuration not recommended
Low	High	Powered	3.3	Powered	5.0	Low	Configuration not recommended

¹ V_{IX}と V_{Ox}は、それぞれチャンネル(A、B、C、D)の入力信号と出力信号を表します。

ピン配置およびピン機能説明

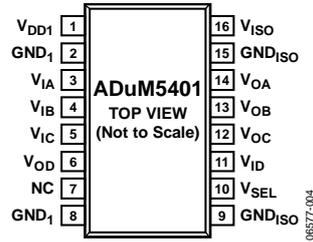


図 7.ADuM5401 のピン配置

表 11.ADuM5401 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	一次電源電圧、3.0 V～5.5 V。
2、8	GND ₁	グラウンド 1。アイソレータ一次のグラウンド基準。ピン 2 とピン 8 は内部で接続されているため、両ピンを共通グラウンドに接続することが推奨されます。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{IC}	ロジック入力 C。
6	V _{OD}	ロジック出力 D。
7	NC	このピンは解放のままにしてください。
9、15	GND _{ISO}	アイソレータ・サイド 2 のグラウンド・リファレンス。ピン 9 とピン 15 は内部で接続されているため、両ピンを共通グラウンドに接続することが推奨されます。
10	V _{SEL}	出力電圧選択。V _{SEL} = V _{ISO} のとき、V _{ISO} セットポイントは 5.0 V。V _{SEL} = GND _{ISO} のとき、V _{ISO} セットポイントは 3.3 V。V _{DD1} 電圧と V _{ISO} 電圧は、データ・チャンネルの正しい動作のためには、同じ動作範囲にある必要があります。
11	V _{ID}	ロジック入力 D。
12	V _{OC}	ロジック出力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。
16	V _{ISO}	外部負荷への二次電源電圧出力、3.3 V (V _{SEL} = ロー・レベル) または 5.0 V (V _{SEL} = ハイ・レベル)。V _{DD1} 電圧と V _{ISO} 電圧は、データ・チャンネルの正しい動作のためには同じ動作範囲にある必要があります。

ADuM5401/ADuM5402/ADuM5403/ADuM5404

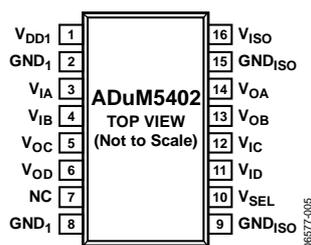


図 8.ADuM5402 のピン配置

表 12.ADuM5402 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	一次電源電圧、3.0 V～5.5 V。
2、8	GND ₁	グラウンド 1。アイソレータ一次のグラウンド基準。ピン 2 とピン 8 は内部で接続されているため、両ピンを共通グラウンドに接続することが推奨されます。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{OC}	ロジック出力 C。
6	V _{OD}	ロジック出力 D。
7	NC	このピンは解放のままにしてください。
9、15	GND _{ISO}	アイソレータ・サイド 2 のグラウンド・リファレンス。ピン 9 とピン 15 は内部で接続されているため、両ピンを共通グラウンドに接続することが推奨されます。
10	V _{SEL}	出力電圧選択。V _{SEL} = V _{ISO} のとき、V _{ISO} セットポイントは 5.0 V。V _{SEL} = GND _{ISO} のとき、V _{ISO} セットポイントは 3.3 V。V _{DD1} 電圧と V _{ISO} 電圧は、データ・チャンネルの正しい動作のためには、同じ動作範囲にある必要があります。
11	V _{ID}	ロジック入力 D。
12	V _{IC}	ロジック入力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。
16	V _{ISO}	外部負荷への二次電源電圧出力、3.3 V (V _{SEL} = ロー・レベル) または 5.0 V (V _{SEL} = ハイ・レベル)。V _{DD1} 電圧と V _{ISO} 電圧は、データ・チャンネルの正しい動作のためには同じ動作範囲にある必要があります。

ADuM5401/ADuM5402/ADuM5403/ADuM5404

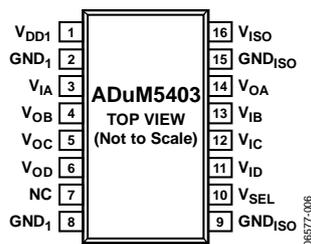


図 9.ADuM5403 のピン配置

表 13.ADuM5403 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	一次電源電圧、3.0 V～5.5 V。
2、8	GND ₁	グラウンド 1。アイソレータ一次のグラウンド基準。ピン 2 とピン 8 は内部で接続されているため、両ピンを共通グラウンドに接続することが推奨されます。
3	V _{IA}	ロジック入力 A。
4	V _{OB}	ロジック出力 B。
5	V _{OC}	ロジック出力 C。
6	V _{OD}	ロジック出力 D。
7	NC	このピンは解放のままにしてください。
9、15	GND _{ISO}	アイソレータ・サイド 2 のグラウンド・リファレンス。ピン 9 とピン 15 は内部で接続されているため、両ピンを共通グラウンドに接続することが推奨されます。
10	V _{SEL}	出力電圧選択。V _{SEL} = V _{ISO} のとき、V _{ISO} セットポイントは 5.0 V。V _{SEL} = GND _{ISO} のとき、V _{ISO} セットポイントは 3.3 V。V _{DD1} 電圧と V _{ISO} 電圧は、データ・チャンネルの正しい動作のためには、同じ動作範囲にある必要があります。
11	V _{ID}	ロジック入力 D。
12	V _{IC}	ロジック入力 C。
13	V _{IB}	ロジック入力 B。
14	V _{OA}	ロジック出力 A。
16	V _{ISO}	外部負荷への二次電源電圧出力、3.3 V (V _{SEL} = ロー・レベル) または 5.0 V (V _{SEL} = ハイ・レベル)。V _{DD1} 電圧と V _{ISO} 電圧は、データ・チャンネルの正しい動作のためには同じ動作範囲にある必要があります。

ADuM5401/ADuM5402/ADuM5403/ADuM5404

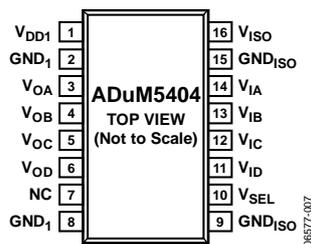


図 10. ADuM5404 のピン配置

表 14. ADuM5404 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	一次電源電圧、3.0 V～5.5 V。
2、8	GND ₁	グラウンド 1。アイソレータ一次のグラウンド基準。ピン 2 とピン 8 は内部で接続されているため、両ピンを共通グラウンドに接続することが推奨されます。
3	V _{OA}	ロジック出力 A。
4	V _{OB}	ロジック出力 B。
5	V _{OC}	ロジック出力 C。
6	V _{OD}	ロジック出力 D。
7	NC	このピンは解放のままにしてください。
9、15	GND _{ISO}	アイソレータ・サイド 2 のグラウンド・リファレンス。ピン 9 とピン 15 は内部で接続されているため、両ピンを共通グラウンドに接続することが推奨されます。
10	V _{SEL}	出力電圧選択。V _{SEL} = V _{ISO} のとき、V _{ISO} セットポイントは 5.0 V。V _{SEL} = GND _{ISO} のとき、V _{ISO} セットポイントは 3.3 V。V _{DD1} 電圧と V _{ISO} 電圧は、データ・チャンネルの正しい動作のためには、同じ動作範囲にある必要があります。
11	V _{ID}	ロジック入力 D。
12	V _{IC}	ロジック入力 C。
13	V _{IB}	ロジック入力 B。
14	V _{IA}	ロジック入力 A。
16	V _{ISO}	外部負荷への二次電源電圧出力、3.3 V (V _{SEL} = ロー・レベル) または 5.0 V (V _{SEL} = ハイ・レベル)。V _{DD1} 電圧と V _{ISO} 電圧は、データ・チャンネルの正しい動作のためには同じ動作範囲にある必要があります。

代表的な性能特性

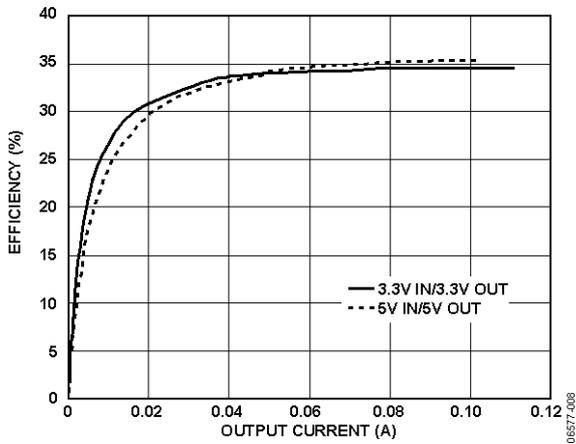


図 11.電源効率(Typ)
5 V/5 V および 3.3 V/3.3 V

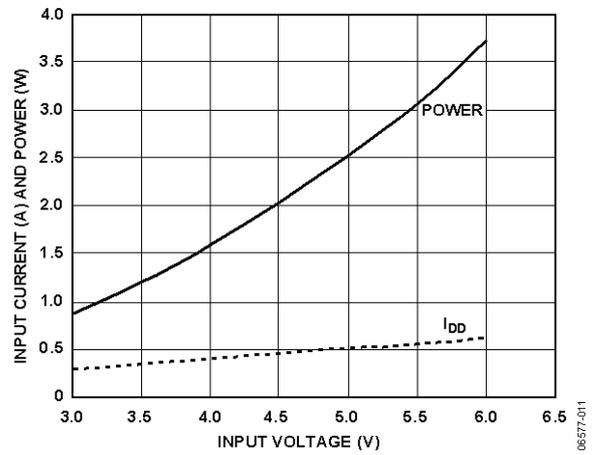


図 14.短絡入力電流(typ)および電力(typ)対 V_{DD} 電源電圧

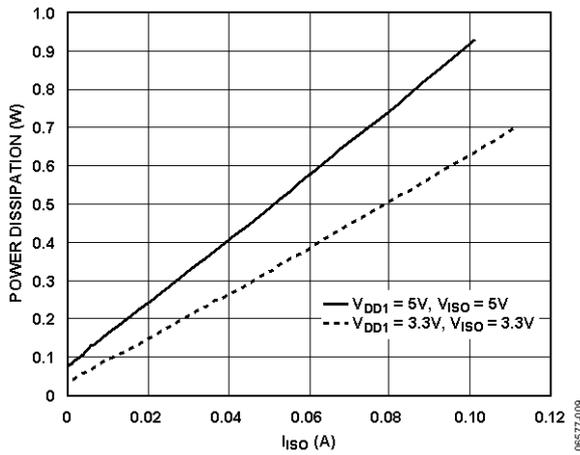


図 12.総合消費電力(typ)対 I_{iso}
データ・チャンネルはアイドル

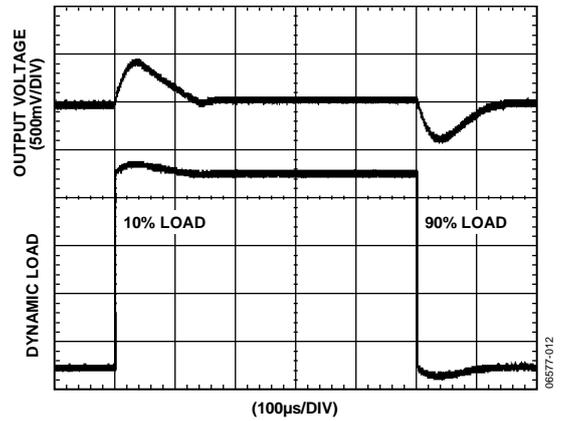


図 15. V_{iso} 過渡負荷応答(typ)
5 V 出力、10%から 90%への負荷ステップ

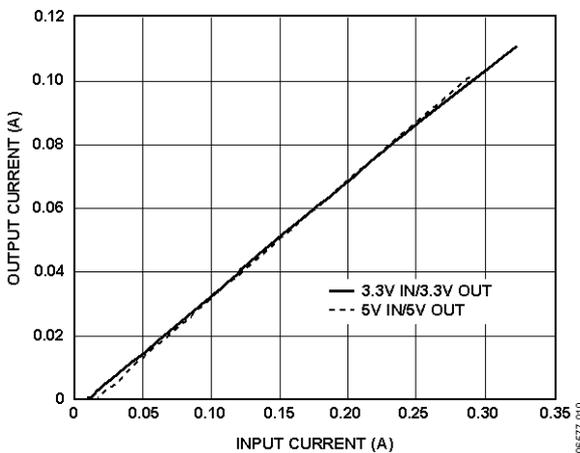


図 13.外部負荷の関数としての絶縁型出力電源電流 I_{iso} (typ)
ダイナミック電流なし、5 V/5 V および 3.3 V/3.3 V

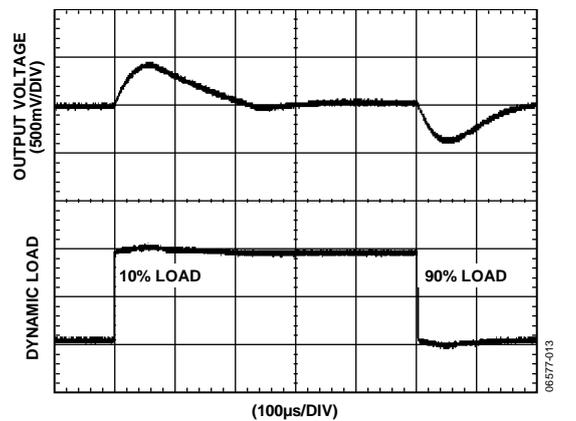


図 16. V_{iso} 過渡負荷応答(typ)
3 V 出力、10%から 90%への負荷ステップ

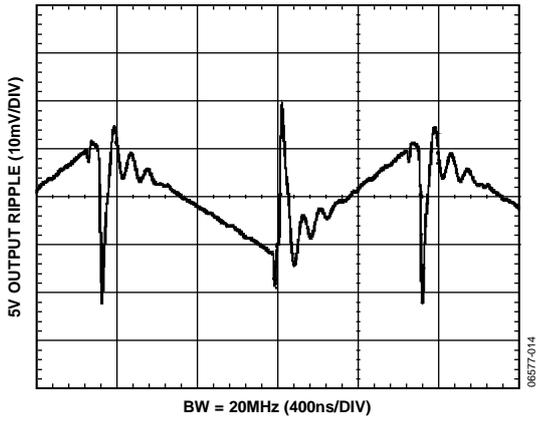


図 17. $V_{ISO} = 5V$ の出力電圧リップル(typ)
90% 負荷

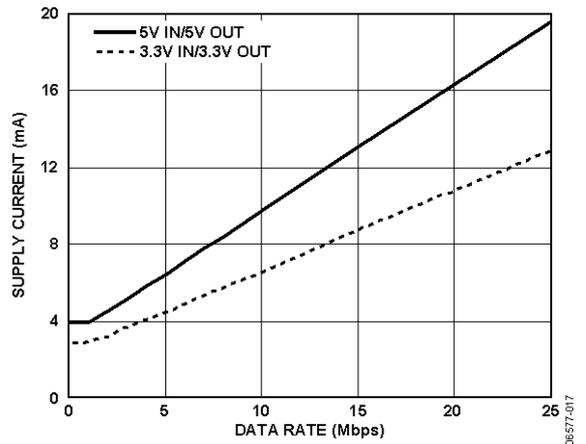


図 20. 逆方向データ・チャンネルあたりの I_{CH} 電源電流(typ)
15 pF 出力負荷

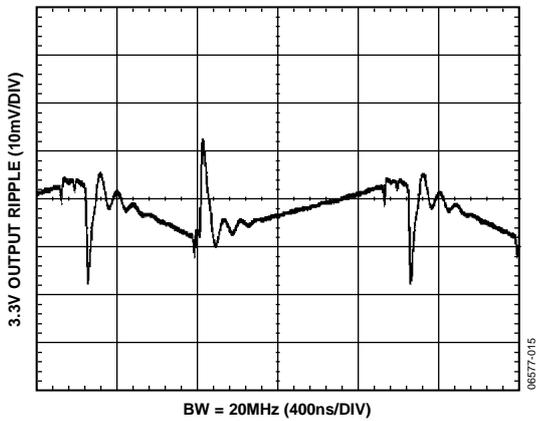


図 18. $V_{ISO} = 3.3V$ の出力電圧リップル(typ)
90% 負荷

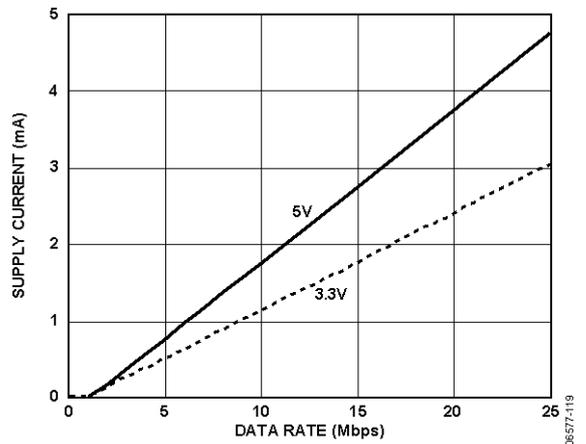


図 21. 入力あたりの $I_{ISO(D)}$ ダイナミック電源電流(typ)

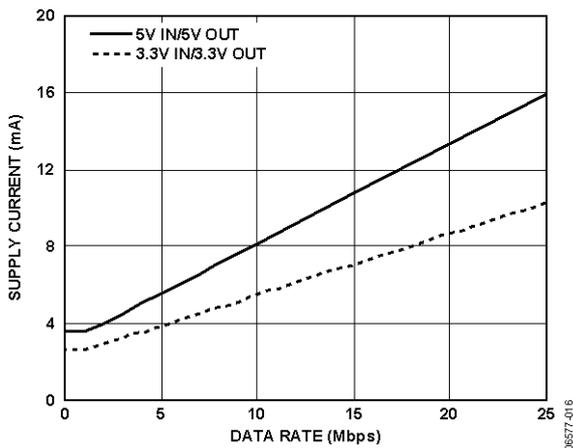


図 19. 順方向データ・チャンネルあたりの I_{CH} 電源電流(typ)
15 pF 出力負荷

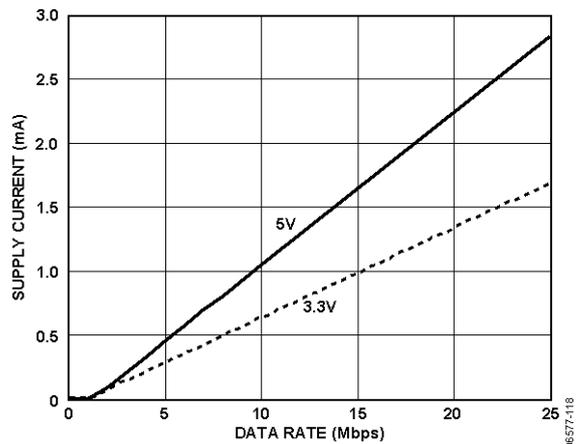


図 22. 出力あたりの $I_{ISO(D)}$ ダイナミック電源電流(typ)

用語

$I_{DD1(Q)}$

$I_{DD1(Q)}$ は、 V_{ISO} に外部負荷がなく、かつ I/O ピンが 2 Mbps 以下で動作中のダイナミック電源電流がないときに、 V_{DD1} ピンに流れる最小動作電流です。 $I_{DD1O(Q)}$ は最小電流動作状態を反映しません。

$I_{DD1(D)}$

$I_{DD1(D)}$ は、すべてのチャンネルが 25 Mbps の最大データ・レートかつ最大ダイナミック負荷状態を表すフル容量負荷で同時に駆動されたときの入力電源電流 (typ) です。出力の抵抗負荷は、ダイナミック負荷とは別に扱う必要があります。

$I_{DD1(MAX)}$

$I_{DD1(MAX)}$ は、フル・ダイナミック負荷状態かつ V_{ISO} 負荷状態での入力電流です。

t_{PLH} 伝搬遅延

t_{PLH} 伝搬遅延は、 V_{IX} 信号の立ち上がりエッジの 50% レベルから V_{OX} 信号の立ち上がりエッジの 50% レベルまで測定。

t_{PLH} 伝搬遅延

t_{PLH} 伝搬遅延は、 V_{IX} 信号の立ち上がりエッジの 50% レベルから V_{OX} 信号の立ち上がりエッジの 50% レベルまで測定。

伝搬遅延スキュー (t_{PSK})

t_{PSK} は、 t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

チャンネル間ゲイン・マッチング

チャンネル間マッチングは、同じ負荷で動作中の 2 つのチャンネル間の伝搬遅延差の絶対値です。

最小パルス幅

最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

最大データ・レート

最大データ・レートは、規定のパルス幅歪みが保証される最高速のデータ・レートです。

アプリケーション情報

動作原理

ADuM5401/ADuM5402/ADuM5403/ADuM5404 の DC/DC コンバータ・セクションは、現代の電源で広く採用されている原理に基づいて動作し、絶縁型パルス幅変調(PWM)帰還を持つ二次側コントローラ・アーキテクチャを採用しています。V_{DD1} 電源は、チップ・スケールの中空トランスへ流れる電流をスイッチする発振回路に電源を供給します。二次側に変換された電源は、3.3 V または 5 V に整流/安定化されます。二次 (V_{ISO})側のコントローラは PWM 制御信号を発生することにより出力をレギュレーションします。この PWM 制御信号は専用の iCoupler データ・チャンネルを使って一次(V_{DD1})側に送られます。この PWM は、二次側へ送る電源を制御するは発振器回路を変調します。帰還により、非常に大きな電力と効率が可能になります。

ADuM5401/ADuM5402/ADuM5403/ADuM5404は、V_{DD1}電源入力にヒステリシスを持つ低電圧ロックアウト(UVLO)機能を内蔵しています。この機能により、入力電源ノイズまたは低速な電源のパワーオン動作によるコンバータの発振が防止されます。

最適な負荷レギュレーションのためには、10 mAの最小負荷電流が推奨されます。負荷が小さいと、狭いPWMパルスまたは誤りPWMパルスから発生する、チップ上のノイズが大きくなります。このように発生された大きなノイズにより、環境によってはデータが破壊される場合があります。

PC ボードのレイアウト

0.5 W の isoPower DC/DC コンバータを内蔵する ADuM5401/ADuM5402/ADuM5403/ADuM5404 デジタル・アイソレータでは、ロジック・インターフェース用の外付けインターフェース回路が不要です。入力電源ピンと出力電源ピンには電源バイパスが必要です(図 23 参照)。ピン 1 とピン 2 との間のチップ・パッドのできるだけ近くに低い ESR のバイパス・コンデンサが必要です。

ADuM5401/ADuM5402/ ADuM5403/ADuM5404 の電源セクションでは、非常に周波数の高い発振器を使って、チップ・スケール・トランスを介して効率良く電力を渡しています。さらに、iCoupler のデータ・セクションの通常動作により、スイッチング過渡電圧が電源ピンに発生します。複数の動作周波数に対してバイパス・コンデンサが必要になります。ノイズの抑圧には、低インダクタンス高周波のコンデンサが必要です。リップル抑圧と適切なレギュレーションには大きな値のコンデンサが必要です。バイパス・コンデンサは V_{DD1}についてはピン 1 とピン 2 の間に、V_{ISO}についてはピン 15 とピン 16 の間に、それぞれ接続するのが便利です。ノイズとリップルを抑圧するときは、少なくとも 2 個のコンデンサの並列組み合わせが必要です。V_{DD1}の推奨コンデンサ値は、0.1 μ F と 33 μ F です。コンデンサが小型であるほど小さい ESR を持ちます。たとえば、セラミック・コンデンサの使用が推奨されます。

低 ESR コンデンサの両端と入力電源ピンとの間のパターン長は 2 mm 以下にする必要があります。パターン長が 2 mm を超えるバイパス・コンデンサを使用すると、データ破壊が発生することがあります。両共通グラウンド・ピンがパッケージ近くで相互接続されていない場合は、ピン 1 とピン 8 との間のバイパスおよびピン 9 とピン 16 との間のバイパスも考慮する必要があります。

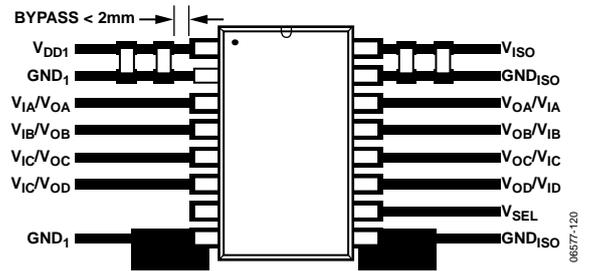


図 23. プリント回路ボードの推奨レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるように注意する必要があります。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインする必要があります。この注意を怠ると、ピン間で発生する電位差が表 8 に規定するデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

ADuM5401/ADuM5402/ADuM5403/ADuM5404 は、フル・ロードと最大速度で動作する場合、約 1 W を消費するパワー・デバイスです。アイソレーション・デバイスにヒートシンクを使うことができないため、デバイスは基本的に PCB から GND ピンへの熱放散に依存しています。デバイスを高い周囲温度で使用する場合には、GND ピンから PCB グラウンド・プレーンへの熱パスを用意するよう注意が必要です。図 23 のボード・レイアウトに、ピン 8 とピン 9 の拡大したパッドを示します。パッドからグラウンド・プレーンへ大口径のビアを設ける必要があります。また、電源プレーンを使用してインダクタンスを小さくする必要もあります。サーマル・パッド内に複数のビアを設けると、チップ内部の温度を大幅に低下させることができます。拡大したパッドの寸法は、設計者と使用可能なボード・スペースによって決定されます。

熱解析

ADuM5401/ADuM5402/ADuM5403/ADuM5404 は、2 個のチップ取り付けパッドを持つスプリット・リードフレームに取り付けた 4 個の内部チップから構成されています。熱解析のためには、 θ_{JA} の決定に影響する最も高いジャンクション温度を持つサーマル・ユニットとしてデバイスを扱う必要があります(表 3 参照)。 θ_{JA} の値としては、細いパターンを使った JEDEC 規格の 4 層ボードにデバイスを実装し、自然空冷で測定した値を使います。通常の動作では、ADuM5401/ADuM5402/ADuM5403/ADuM5404 はフル負荷で、フル温度範囲で出力電流の低下なしに動作しますが、PC ボードのレイアウトのセクションに示す推奨事項に従うと、PCB への熱抵抗が小さくなるため、高い周囲温度で熱余裕を大きくすることができます。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通過するのに要する時間を表すパラメータです(図 24 参照)。ロジック・ローレベル出力への伝搬遅延は、ロジック・ハイレベルへの伝搬遅延と異なることがあります。

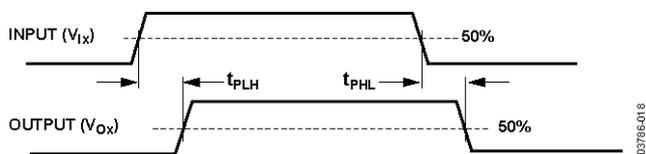


図 24.伝搬遅延パラメータ

パルス幅歪みとはこれら 2 値の間の最大の差を意味し、入力信号のタイミングが出力信号で再現される精度を表します。

チャンネル間マッチングとは、1 つの ADuM5401/ADuM5402/ADuM5403/ADuM5404 デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM5401/ADuM5402/ADuM5403/ADuM5404 デバイス間での伝搬遅延差の最大値を表します。

EMI の考慮事項

ADuM5401/ADuM5402/ADuM5403/ADuM5404 デバイスの DC/DC コンバータ・セクションは、非常に高い周波数で動作して、小型トランスを介して効率良く電源を変換する必要があります。このため高周波電流が発生して、これが回路ボードのグラウンドと電力プレーンへ伝搬して、エッジ放射とダイポール放射の原因になります。これらのデバイスを使用するアプリケーションでは、筐体をグラウンドに接続することが推奨されます。筐体をグラウンドに接続できない場合は、PCB のレイアウトで優れた RF デザインを行う必要があります。特に ADuM5401/ADuM5402/ADuM5403/ADuM5404 を対象とした最新の PCB レイアウト推奨事項については、www.analog.com をご覧ください。

DC 精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。1 μ s 以上入力にロジック変化がない場合、該当する入力状態を表す周期的な更新パルスのセットが出力の DC 精度を確保するために送出されます。デコーダが約 5 μ s 間以上この入力パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態(表 10 参照)にされます。この状況は、ADuM5401/ADuM5402/ADuM5403/ADuM5404 デバイスではパワーアップとパワーダウンの動作時時のみ発生します。

ADuM5401/ADuM5402/ADuM5403/ADuM5404 の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなるり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。この状態が発生する条件を以下の解析により求めます。

ADuM5401/ADuM5402/ADuM5403/ADuM5404 の 3.3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで β = 磁束密度 (Gauss)

N = 受信側コイルの巻数

r_n = 受信側コイルの n 回目の半径 (cm)

ADuM5401/ADuM5402/ADuM5403/ADuM5404 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、最大許容磁界は図 25 のように計算されます。

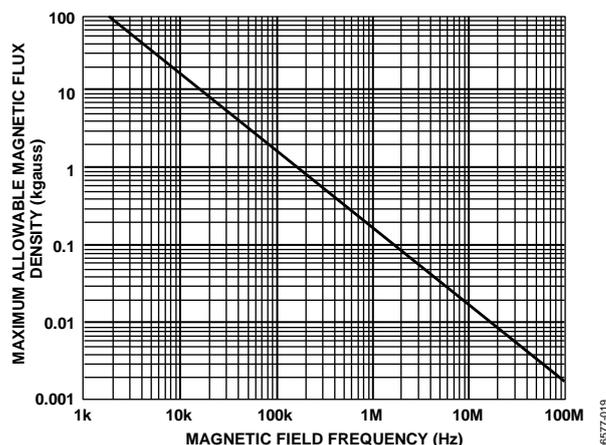


図 25.最大許容外部磁束密度

例えば、磁界周波数=1 MHz で、最大許容磁界=0.2 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッシュホールドの約 50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM5401/ADuM5402/ADuM5403/ADuM5404 のトランスから与えられた距離だけ離れた特定の電流値に対応します。図 26 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図 26 から読み取れるように、ADuM5401/ADuM5402/ADuM5403/ADuM5404 の耐性は極めて高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。前述の 1 MHz の例では、部品動作に影響を与えるためには、0.5 kA の電流を ADuM5401/ADuM5402/ADuM5403/ADuM5404 から 5 mm の距離まで近づける必要があります。

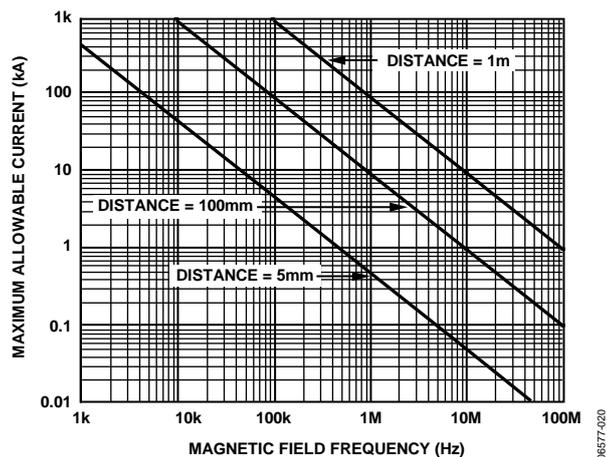


図 26. ADuM5401/ADuM5402/ADuM5403/ADuM5404 までの距離に対する最大許容電流

強い磁界と高周波が組合わさると、プリント回路ボードのパターンで形成されるループに十分な大きな誤差電圧が誘導されて、後段回路のスレッショルドがトリガーされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

消費電力

V_{DD1} 電源入力、iCoupler データ・チャンネルや電源コンバータに電源を供給します。このためデータ・コンバータおよび一次と二次の I/O チャンネルを流れる静止電流は別々に求めることはできません。これらのすべての静止電力要求は、図 27 に示すように $I_{DD1(Q)}$ 電流に含まれています。合計 I_{DD1} 電源電流は、静止動作電流、I/O チャンネルから要求されるダイナミック電流 $I_{DD1(D)}$ 、すべての外部 I_{ISO} 負荷の和に一致します。

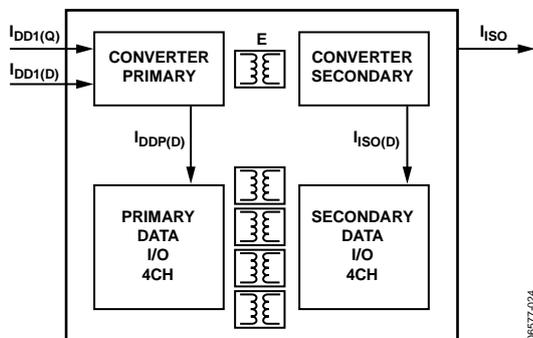


図 27. ADuM5401/ADuM5402/ADuM5403/ADuM5404 内の消費電力

ダイナミック I/O 電流は、 f_r のリフレッシュ・レートより高い速度でチャンネルが動作するときのみ消費されます。各チャンネルのダイナミック電流は、そのデータ・レートにより決定されま

す。図 19 に順方向方向のチャンネルの電流を示します。これは、デバイスの V_{DD1} 側の入力を意味します。図 20 に逆方向方向のチャンネルの電流を示します。これは、デバイスの V_{ISO} 側の入力を意味します。両図は 15 pF (typ) 負荷の場合です。

次式を使うと合計 I_{DD1} 電流を計算することができます。

$$I_{DD1} = (I_{ISO} \times V_{ISO}) / (E \times V_{DD1}) + \sum I_{CHn}; n = 1 \sim 4 \quad (1)$$

ここで、 I_{DD1} は合計電源入力電流。 I_{CHn} は、1 つのチャンネルを流れる電流で、チャンネル方向に応じて図 19 または図 20 から求められます。 I_{ISO} は、二次側の外部負荷を流れる電流です。 E は、 V_{ISO} と V_{DD1} の注目する条件で図 11 から得られる 100 mA 負荷での電源効率です。

最大外部負荷は、ダイナミック出力負荷から最大許容負荷を減算して計算されます。

$$I_{ISO(LOAD)} = I_{ISO(MAX)} - \sum I_{ISO(D)n}; n = 1 \sim 4 \quad (2)$$

ここで、 $I_{ISO(LOAD)}$ は、二次側外部負荷に供給できる電流。 $I_{ISO(MAX)}$ は、 V_{ISO} の二次側最大外部負荷電流。 $I_{ISO(D)n}$ は、入力または出力チャンネルを流れる V_{ISO} からのダイナミック負荷電流(図 21 と図 22 参照)。

前の解析は、各データ出力が 15 pF 容量負荷の場合です。容量負荷が 15 pF より大きい場合、 I_{DD1} と $I_{ISO(LOAD)}$ の解析に含まれる電流が大きくなります。

電源に対する考慮事項

ADuM5401/ADuM5402/ADuM5403/ADuM5404 電力入力、一次側のデータ入力チャンネル、二次側のデータ入力チャンネルはすべて、UVLO 回路の早すぎる動作から保護されています。最小動作電圧より下で、電源コンバータは発振器を非アクティブに維持するため、すべての入力チャンネル・ドライバとリフレッシュ回路はアイドル状態になります。出力は、ロー・レベル状態に維持されます。これにより、パワーアップ動作時およびパワーダウン動作時に未定義状態の送信が防止されます。

V_{DD1} へ電源を加えるとき、UVLO の設定されている電圧に到達するまで、一次側の回路がアイドル状態に維持されます。その時点で、データ・チャンネルは、二次側からデータ・パルスを受信するまでに、デフォルトのロー・レベル出力状態に初期化されます。

一次側の入力チャンネルは、入力をサンプルして、非アクティブの二次出力へパルスを送信します。二次側のコンバータは、一次から電源の受け取りを開始し、 V_{ISO} 電圧は上昇を開始します。二次側の UVLO に到達すると、二次側出力はデフォルトのロー・レベル状態に初期化され、対応する一次側入力からデータ(変化または DC リフレッシュ・パルス)が受信までこの状態を維持します。二次側が初期化されたから出力状態が一次側入力に呼応するまで、1 μ s を要します。

二次側入力は、状態をサンプルして、それを一次側へ送信します。出力は、二次側がアクティブになってから 1 伝搬遅延後に有効になります。

二次側のレート変化は、負荷条件、入力電圧、選択された出力電圧レベルに依存するため、有効データが必要になる前にコンバータが安定化するように、デザインの際に注意する必要があります。

電源が V_{DD1} から切り離されると、一次側のコンバータとカプラーは、UVLO レベルに到達したときシャットダウンします。二次側は、電源の受け取りを停止して、放電を開始します。二次側の出力は、一次から受信した直前の状態を保持します。UVLO レベルに到達して出力がデフォルトのロー・レベル状態になるか、または出力が入力に動作がないことを検出して二次電源が UVLO に到達する前に出力がデフォルト値に設定されるまで、直前の状態の保持が継続されます。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、広範囲なセットの評価を実施して ADuM5401/ADuM5402/ADuM5403/ADuM5404 内の絶縁構造の寿命を測定しています。

定格連続動作電圧より高い電圧レベルを使った加速寿命テストが行われています。幾つかの動作条件に対する加速ファクタを

求めると、注目する動作電圧での故障までの時間を計算することができます。表 9 に、幾つかの動作条件での 50 年のサービス寿命に対するピーク電圧の一覧を示します。多くのケースで、テスト機関により認定された動作電圧は 50 年サービス寿命の電圧より高くなっています。記載したサービス寿命電圧より高い動作電圧で動作させると、早期に絶縁故障が発生します。

ADuM5401/ADuM5402/ADuM5403/ADuM5404 の絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 28、図 29、図 30 に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。バイポーラ AC 条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。表 9 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 29 または図 30 適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 9 に示す 50 年寿命電圧値に制限する必要があります。

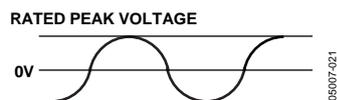


図 28.バイポーラ AC 波形

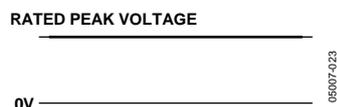
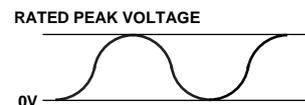


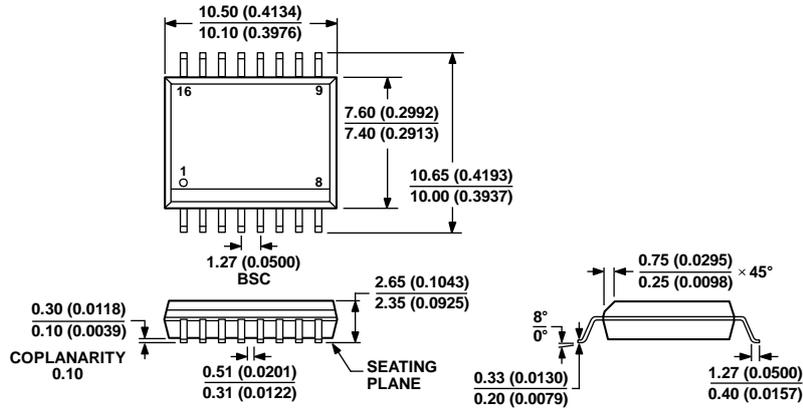
図 29.DC 波形



NOTES:
1. THE VOLTAGE IS SHOWN AS SINUSOIDAL FOR ILLUSTRATION PURPOSES ONLY. IT IS MEANT TO REPRESENT ANY VOLTAGE WAVEFORM VARYING BETWEEN 0 AND SOME LIMITING VALUE. THE LIMITING VALUE CAN BE POSITIVE OR NEGATIVE, BUT THE VOLTAGE CANNOT CROSS 0V.

図 30.ユニポーラ AC 波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

図 31.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
ワイド・ボディ(RW-16)
寸法: mm (インチ)

オーダー・ガイド

Model	Number of Inputs, V _{DD1} Side	Number of Inputs, V _{ISO} Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Pulse Width Distortion (ns)	Temperature Range (°C)	Package Description	Package Option
ADuM5401ARWZ ^{1,2}	3	1	1	100	40	-40 to +105	16-Lead SOIC_W	RW-16
ADuM5401CRWZ ^{1,2}	3	1	25	60	6	-40 to +105	16-Lead SOIC_W	RW-16
ADuM5402ARWZ ^{1,2}	2	2	1	100	40	-40 to +105	16-Lead SOIC_W	RW-16
ADuM5402CRWZ ^{1,2}	2	2	25	60	6	-40 to +105	16-Lead SOIC_W	RW-16
ADuM5403ARWZ ^{1,2}	1	3	1	100	40	-40 to +105	16-Lead SOIC_W	RW-16
ADuM5403CRWZ ^{1,2}	1	3	25	60	6	-40 to +105	16-Lead SOIC_W	RW-16
ADuM5404ARWZ ^{1,2}	0	4	1	100	40	-40 to +105	16-Lead SOIC_W	RW-16
ADuM5404CRWZ ^{1,2}	0	4	25	60	6	-40 to +105	16-Lead SOIC_W	RW-16

¹ テープとリールを提供しています。RL サフィックスを追加すると、13 インチ(1,000 個)のテープおよびリール・オプションが指定されます。

² Z = RoHS 準拠製品