

特長

isoPower 内蔵の絶縁型 DC/DC コンバータ
レギュレーション済み 5 V を出力
出力電力: 500 mW
4 チャンネルの DC~25 Mbps (NRZ)信号アイソレーション
シュミット・トリガ入力
沿面距離 8 mm 以上の 16 ピン SOIC パッケージを採用
高温動作:最大 105°C
同相モード・トランジェント耐性: 25 kV/μs 以上
安全性規制の認定
UL 認識済み
2500 V rms、1 分間の UL 1577 規格に準拠
CSA Component Acceptance Notice #5A(申請中)
VDE 適合性認定(申請中)
DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12
V_{IORM} = 560 V peak

アプリケーション

RS-232/RS-422/RS-485 トランシーバ
工業用フィールド・バス・アイソレーション
電源スタートアップ・バイアスとゲート駆動
絶縁型センサー・インターフェース
工業用 PLC

概要

ADuM5400¹ デバイスは、絶縁型 DC/DC コンバータ isoPower[®]を内蔵する 4 チャンネル・デジタル・アイソレータです。アナログ・デバイス社の iCoupler[®]技術を採用したこの DC/DC コンバータは、5.0 V 入力電圧/5.0 V 出力電圧で最大 500 mW の絶縁されたレギュレーション済み電力を供給します。このアーキテクチャにより、低消費電力の絶縁型デザインで別々の絶縁型 DC/DC コンバータが不要になります。iCoupler チップ・スケール・トランス技術を使って、ロジック信号と DC/DC コンバータの磁気成分をアイソレーションしています。このために、小型で総合的なアイソレーション・ソリューションが実現されています。

ADuM5400 アイソレータは、4 チャンネルの独立なアイソレーション・チャンネルを 2 種類のスピード・グレードで提供しています(オーダー・ガイド参照)。

isoPower では、トランスを介して電力を転送するために、高周波スイッチング素子を使っています。プリント回路ボード(PCB)のレイアウトでは、ノイズ放出規格を満たすように特別な注意が必要です。ボード・レイアウトの詳細については、AN-0971 アプリケーション・ノートを参照してください。

機能ブロック図

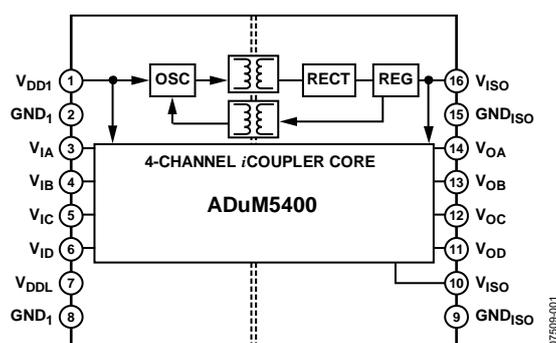


図 1.

¹米国特許 5,952,849、6,873,065、6,903,578、7,075,329 により保護されています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	代表的な性能特性.....	9
アプリケーション.....	1	用語.....	11
概要.....	1	アプリケーション情報.....	12
機能ブロック図.....	1	PCB レイアウト.....	12
改訂履歴.....	2	EMI の注意事項.....	12
仕様.....	3	伝搬遅延パラメータ.....	13
電気的特性.....	3	DC 精度と磁界耐性.....	13
パッケージ特性.....	5	消費電力.....	14
適用規格.....	5	消費電力について.....	14
絶縁および安全性関連の仕様.....	5	熱解析.....	15
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	6	絶縁寿命.....	15
推奨動作条件.....	6	外形寸法.....	16
絶対最大定格.....	7	オーダー・ガイド.....	16
ESD の注意.....	7		
ピン配置およびピン機能説明.....	8		

改訂履歴

10/08—Revision 0: Initial Version

仕様

電気的特性

4.5 V \leq V_{DD1} \leq 5.5 V、各電圧は対応するグラウンドを基準とします。すべての最小/最大仕様は推奨動作範囲に適用。特に指定がない限り、すべての typ 仕様は、T_A = 25 °C、V_{DD1} = 5.0 V、V_{ISO} = 5.0 V での値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER POWER SUPPLY						
Setpoint	V _{ISO}	4.7	5.0	5.4	V	I _{ISO} = 0 mA
Line Regulation	V _{ISO(LINE)}		1		mV/V	I _{ISO} = 50 mA, V _{DD1} = 4.5 V to 5.5 V
Load Regulation	V _{ISO(LOAD)}		1	5	%	I _{ISO} = 10 mA to 90 mA
Output Ripple	V _{ISO(RIP)}		75		mV p-p	20 MHz bandwidth, C _{BO} = 0.1 μ F 10 μ F, I _{ISO} = 90 mA
Output Noise	V _{ISO(N)}		200		mV p-p	C _{BO} = 0.1 μ F 10 μ F, I _{ISO} = 90 mA
Switching Frequency	f _{OSC}		180		MHz	
Pulse-Width Modulation Frequency	f _{PWM}		625		kHz	
DC to 2 Mbps Data Rate ¹						
Maximum Output Supply Current ²	I _{ISO(MAX)}	100			mA	V _{ISO} > 4.5 V, dc to 1 MHz logic signal frequency
Efficiency at Maximum Output Supply Current ³			34		%	I _{ISO} = 100 mA, dc to 1 MHz logic signal frequency
I _{DD1} Supply Current, No V _{ISO} Load	I _{DD1(Q)}		19	30	mA	I _{ISO} = 0 mA, dc to 1 MHz logic signal frequency
I _{DD1} Supply Current, Full V _{ISO} Load	I _{DD1(MAX)}		290		mA	C _L = 0 pF, dc to 1 MHz logic signal frequency, V _{DD} = 4.5 V, I _{ISO} = 100 mA
25 Mbps Data Rate (CRWZ Grade Only)						
I _{DD1} Supply Current, No V _{ISO} Load	I _{DD1(D)}		64		mA	I _{ISO} = 0 mA, C _L = 15 pF, 12.5 MHz logic signal frequency
Available V _{ISO} Supply Current ⁴	I _{ISO(LOAD)}		89		mA	C _L = 15 pF, 12.5 MHz logic signal frequency
Undervoltage Lockout, V_{DD1}, V_{DDL}, and V_{ISO} Supplies⁵						
Positive Going Threshold	V _{UV+}		2.7		V	
Negative Going Threshold	V _{UV-}		2.4		V	
Hysteresis	V _{UVH}		0.3		V	
iCoupler DATA CHANNELS						
I/O Input Currents	I _{IA} , I _{IB} , I _{IC} , I _{ID}	-20	+0.01	+20	μ A	
Logic High Input Threshold	V _{IH}	0.7 \times V _{DD1}			V	
Logic Low Input Threshold	V _{IL}			0.3 \times V _{DD1}	V	
Logic High Output Voltages	V _{OAH} , V _{OBH} , V _{OCH} , V _{ODH}	V _{ISO} - 0.3	5.0		V	I _{Ox} = -20 μ A, V _{Ix} = V _{IxH}
Logic Low Output Voltages	V _{OAL} , V _{OBL} , V _{OCL} , V _{ODL}	V _{ISO} - 0.5	4.8		V	I _{Ox} = -4 mA, V _{Ix} = V _{IxH}
			0.0	0.1	V	I _{Ox} = 20 μ A, V _{Ix} = V _{IxL}
			0.0	0.4	V	I _{Ox} = 4 mA, V _{Ix} = V _{IxL}
AC SPECIFICATIONS						
ADuM5400ARWZ						
Minimum Pulse Width ⁶	PW			1000	ns	C _L = 15 pF, CMOS signal levels
Maximum Data Rate		1			Mbps	C _L = 15 pF, CMOS signal levels
Propagation Delay	t _{PHL} , t _{PLH}		55	100	ns	C _L = 15 pF, CMOS signal levels
Pulse Width Distortion, t _{PLH} - t _{PHL}	PWD			40	ns	C _L = 15 pF, CMOS signal levels
Propagation Delay Skew	t _{PSK}			50	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching	t _{PSKCD} /t _{PSKOD}			50	ns	C _L = 15 pF, CMOS signal levels
ADuM5400CRWZ						
Minimum Pulse Width ⁶	PW			40	ns	C _L = 15 pF, CMOS signal levels
Maximum Data Rate		25			Mbps	C _L = 15 pF, CMOS signal levels
Propagation Delay	t _{PHL} , t _{PLH}		45	60	ns	C _L = 15 pF, CMOS signal levels
Pulse Width Distortion, t _{PLH} - t _{PHL}	PWD			6	ns	C _L = 15 pF, CMOS signal levels

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Change vs. Temperature			5		ps/°C	$C_L = 15$ pF, CMOS signal levels
Propagation Delay Skew	t_{PSK}			15	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels	t_{PSKCD}			6	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels	t_{PSKOD}			15	ns	$C_L = 15$ pF, CMOS signal levels
For All Models						
Output Rise/Fall Time (10% to 90%)	t_R/t_F		2.5		ns	$C_L = 15$ pF, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output	$ CM_H $	25	35		kV/μs	$V_{IX} = V_{DD}$ or V_{ISO} , $V_{CM} = 1000$ V, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	$ CM_L $	25	35		kV/μs	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V
Refresh Rate	f_r		1.0		Mbps	

¹ 全4チャンネルの電源電流値の成分は、同一データレートでまとめてあります。

² V_{ISO} 電源電流は、全データ・レートが 2 Mbps 以下の場合外部用途に使用することができます。データ・レートが 2 Mbps より高い場合、データ・レートに比例する追加電流がデータ I/O チャンネルに流れます。与えられたデータレートで動作する個々のチャンネル動作に対応する追加電源電流は、消費電力のセクションの説明に従って計算することができます。I/O チャンネルのダイナミック負荷は外部負荷として扱い、 V_{ISO} 電源枠に含める必要があります。

³ データ・チャンネルの静止動作の電源要求は、電源セクションから分離できません。効率には、内部消費電力の一部として I/O チャンネルで消費される静止電力が含まれます。

⁴ この電流は、 V_{ISO} ピンでの外部負荷の駆動に使用できます。最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データ・レートですべてのチャンネルが同時に駆動されます。最大データレート以下での使用可能な電源電流の計算については、消費電力のセクションを参照してください。

⁵ 対応する入力または出力の電源が基準レッシュヨールドを下回る場合、低電圧ロックアウト (UVLO) 機能が出力をロー・レベルに維持します。検出レッシュヨールドにヒステリシスを設けているため、発振が防止されとノイズに強くなります。

⁶ 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅です。

パッケージ特性

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input to Output) ¹	R _{LO}		10 ¹²		Ω	
Capacitance (Input to Output) ¹	C _{LO}		2.2		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction to Ambient Thermal Resistance	θ _{JA}		45		°C/W	Thermocouple located at center of package underside, test conducted on 4-layer board with thin traces ³

¹ デバイスは 2 端子デバイスと見なします。すなわち、ピン 1～ピン 8 を相互に接続し、ピン 9～ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間。

³ 熱モデルの定義については熱解析のセクションを参照してください。

適用規格

ADuM5400 は、表 3 に記載する組織の認定を取得しています。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 8 と絶縁寿命のセクションを参照してください。

表 3.

UL	CSA (Pending)	VDE (Pending)
Recognized under 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
Single Protection 2500 V RMS Isolation Voltage	Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (566 V peak) maximum working voltage	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 3,000 V rms 以上を 1 秒間加えて各 ADuM5400 を確認テストします(リーク電流検出規定値 = 10μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM5400 に 1,050 V_{peak} 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	>8.0	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	>8.0	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

ADuM5400 は、安全性制限値データ以内でのみ強化された電气的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージに(*)マークが付いたブランドは、DIN V VDE V 0884-10 認定製品を表します。

表 5.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110			I to IV	
For Rated Mains Voltage ≤ 150 V rms			I to III	
For Rated Mains Voltage ≤ 300 V rms			I to II	
For Rated Mains Voltage ≤ 400 V rms			2	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	560	V peak
Input-to-Output Test Voltage, Method b1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC	V_{PR}	1050	V peak
Input-to-Output Test Voltage, Method a		V_{PR}		
After Environmental Tests Subgroup 1	$V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		672	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ sec	V_{TR}	4000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 2)			
Case Temperature		T_S	150	$^{\circ}\text{C}$
Side 1 Current, I_{DD1}		I_{S1}	555	mA
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	$>10^9$	Ω

温度ディレーティング・カーブ

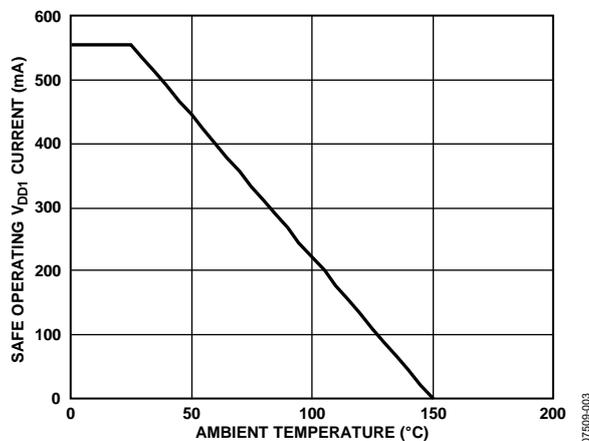


図 2. 温度ディレーティング・カーブ、DIN EN 60747-5-2 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 6.

Parameter	Symbol	Min	Max	Unit
Operating Temperature Range	T_A	-40	+105	$^{\circ}\text{C}$
Supply Voltages ¹	V_{DD}	4.5	5.5	V
Minimum Load ²	$I_{SO(MIN)}$	10		mA

¹各電圧はそれぞれのグラウンドを基準とします。

²外部負荷が規定値より小さい場合、電源 PWM のスイッチング・ノイズが大きくなる可能性があるため、データ・インテグリティ問題が生ずることがあります。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
Storage Temperature (T_{ST})	-55°C to $+150^\circ\text{C}$
Ambient Operating Temperature (T_A)	-40°C to $+85^\circ\text{C}$
Supply Voltages (V_{DD1} , V_{ISO}) ¹	-0.5 V to $+7.0\text{ V}$
V_{ISO} Supply Current ²	
-40°C to $+85^\circ\text{C}$	100 mA
-40°C to $+105^\circ\text{C}$	60 mA
Input Voltage (V_{IA} , V_{IB} , V_{IC} , V_{ID}) ^{1,3}	-0.5 V to $V_{DD1} + 0.5\text{ V}$
Output Voltage (V_{OA} , V_{OB} , V_{OC} , V_{OD}) ^{1,3}	-0.5 V to $V_{ISO} + 0.5\text{ V}$
Average Output Current per Data Output Pin ⁴	-10 mA to $+10\text{ mA}$
Common-Mode Transients ⁵	$-100\text{ kV}/\mu\text{s}$ to $+100\text{ kV}/\mu\text{s}$

¹ 各電圧はそれぞれのグラウンドを基準とします。

² V_{ISO} はサイド 2 I/O チャンネルの DC 負荷とダイナミック負荷に電流を供給します。総合 V_{ISO} 電源電流を求めるときは、この電流を含める必要があります。

³ V_{DD1} と V_{ISO} は、それぞれチャンネルの入力側と出力側の電源電圧を表します。PC ボード・レイアウトのセクションを参照してください。

⁴ 種々の温度に対する最大定格電流値については図 2 を参照してください。

⁵ 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 8.50 年の最小寿命をサポートする最大連続動作電圧¹

Parameter	Maximum	Unit	Reference Standard
AC Voltage			
Bipolar Waveform	424	V peak	50-year minimum lifetime
Unipolar Waveform			
Basic Insulation	600	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10
DC Voltage			
Basic Insulation	600	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10

¹ アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

ピン配置およびピン機能説明

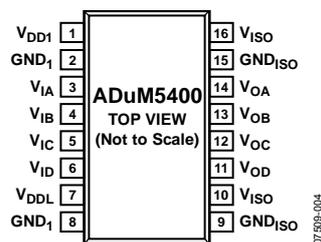


図 3. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1	V _{DD1}	1次側電源電圧、4.5 V～5.5 V。
2、8	GND ₁	グラウンド 1。アイソレータ 1 次側のグラウンド・リファレンス。ピン 2 とピン 8 は内部で接続されているため、両ピンを共通グラウンドへ接続することが推奨されます。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{IC}	ロジック入力 C。
6	V _{ID}	ロジック入力 D。
7	V _{DDL}	ロジック電源電圧。このピンは V _{DD1} に接続して、専用バイパス・コンデンサを接続する必要があります。
9、15	GND _{ISO}	アイソレータ・サイド 2 のグラウンド基準。ピン 9 とピン 15 は内部で接続されているため、両ピンを共通グラウンドへ接続することが推奨されます。
10、16	V _{ISO}	外部負荷用の 2 次側電源電圧出力 5.0 V。これらのピンは内部で接続されていないため、PCB 上で互いに接続する必要があります。
11	V _{OD}	ロジック出力 D。
12	V _{OC}	ロジック出力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。

表 10. 真理値表(正論理)

V _{Ix} Input ¹	V _{DD1} /V _{DDL} State	V _{DD1} /V _{DDL} Input (V)	V _{ISO} State	V _{ISO} Output (V)	V _{Ox} Output ¹	Operation
High	Powered	5.0	Powered	5.0	High	Normal operation, data is high
Low	Powered	5.0	Powered	5.0	Low	Normal operation, data is low

¹ V_{Ix} と V_{Ox} は、それぞれチャンネル(A、B、C、D)の入力信号と出力信号を表します。

代表的な性能特性

各電圧は対応するグラウンドを基準とします。すべての typ 仕様は $T_A = 25^\circ\text{C}$ での値です。

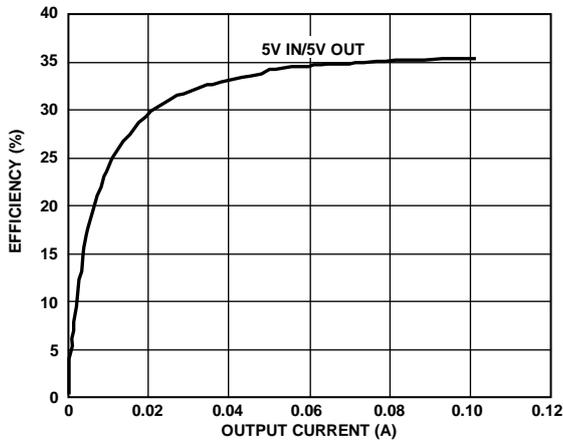


図 4. 5 V/5 V での電源効率

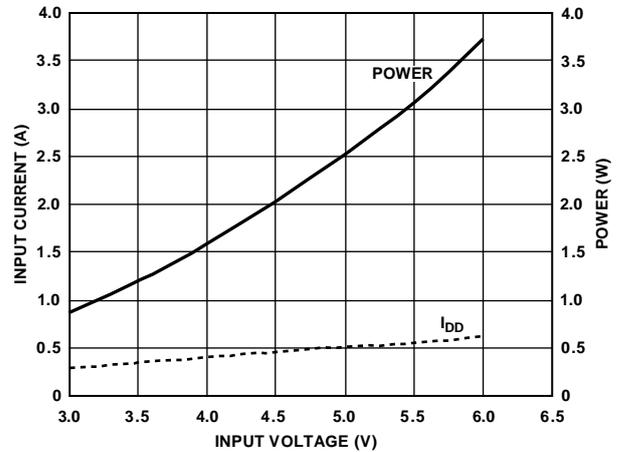


図 7. V_{DD1} 電源電圧対短絡入力電流および電力

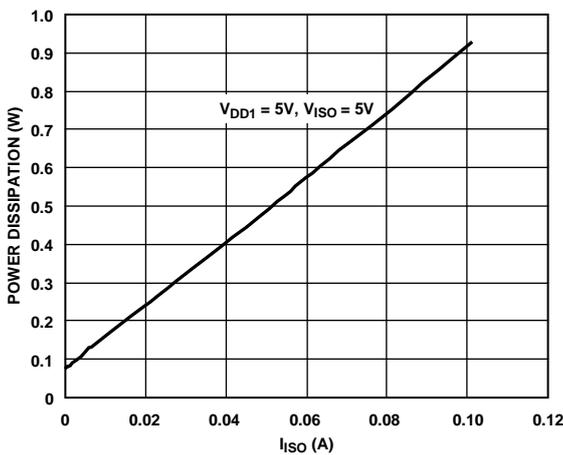


図 5. I_{ISO} 対総合消費電力
データ・チャンネルはアイドル

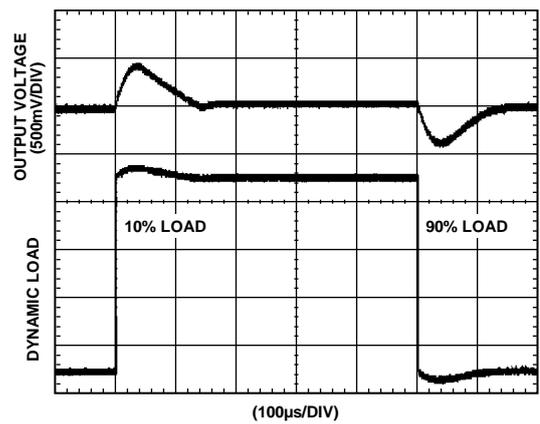


図 8. V_{ISO} 過渡負荷応答
5 V 出力、10%→90%の負荷ステップ

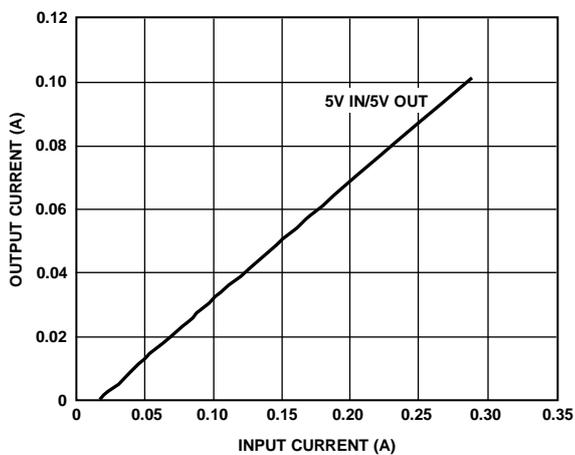


図 6. 外部負荷の関数としての絶縁型出力電源電流 I_{ISO}
5 V/5 V でダイナミック電流なし

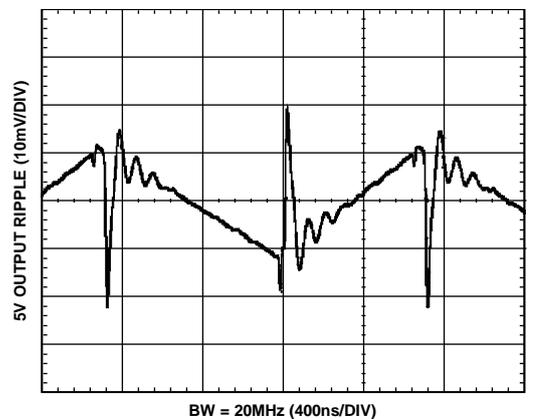


図 9. 90% 負荷での $V_{ISO} = 5\text{ V}$ 出力電圧リップル

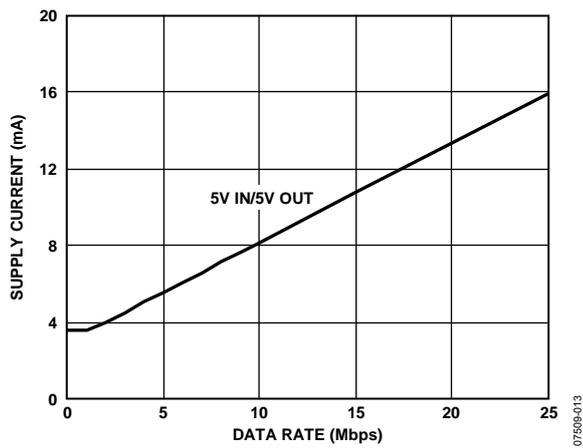


図 10. 順方向データ・チャンネルあたりの I_{CH} 電源電流
(15 pF 出力負荷)

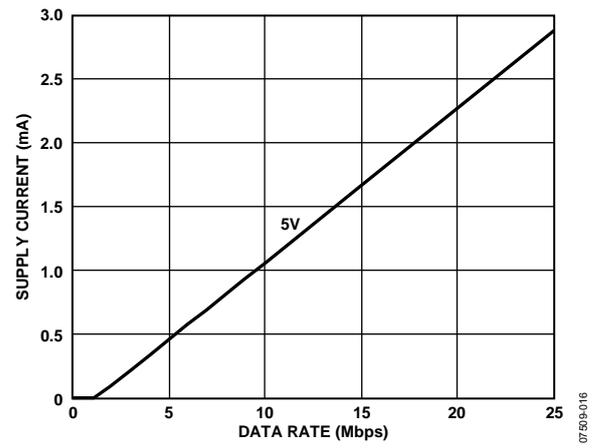


図 11. 出力あたりの $I_{SO(D)}$ ダイナミック電源電流
(15 pF 出力負荷)

用語

$I_{DD1(Q)}$

$I_{DD1(Q)}$ は、 V_{ISO} の外部負荷なしで、かつ I/O ピンは 2 Mbps 未満で動作している(ダイナミック電源電流の増加なし)場合に、 V_{DD1} ピンに流れる最小動作電流です。

$I_{DD1(D)}$

$I_{DD1(D)}$ は、最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データレートですべてのチャンネルが同時に駆動される場合の入力電源電流(typ)です。出力の抵抗負荷はダイナミック負荷と分けて扱います。

$I_{DD1(MAX)}$

$I_{DD1(MAX)}$ は、フル・ダイナミック負荷条件かつフル V_{ISO} 負荷条件での入力電流です。

t_{PHL} 伝搬遅延

t_{PHL} 伝搬遅延は、 V_{IK} 信号の立下がりエッジの 50% レベルから V_{OX} 信号の立下がりエッジの 50% レベルまで測定。

t_{PLH} 伝搬遅延

t_{PLH} 伝搬遅延は、 V_{IK} 信号の立上がりエッジの 50% レベルから V_{OX} 信号の立上がりエッジの 50% レベルまで測定。

伝搬遅延スキュー(t_{PSK})

t_{PSK} は、 t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

チャンネル間マッチング

チャンネル間マッチングは、等しい負荷で動作する 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

最小パルス幅

最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

最大データレート

最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

アプリケーション情報

ADuM5400 の DC/DC コンバータ・セクションは、現代の電源デザインで広く採用されている原理に基づいて動作します。これは、絶縁型パルス幅変調(PWM)帰還を持つ 2 次側コントローラ・アーキテクチャになっています。V_{DD1} 電源は、チップ・スケールの中空トランスへ流れる電流をスイッチする発振回路に電源を供給します。2 次側へ転送される電源は、整流されて 5 V に安定化されます。2 次側(V_{ISO})のコントローラは、専用 iCoupler データ・チャンネルを使って 1 次側(V_{DD1})へ送られる PWM 制御信号を発生することにより出力を安定化します。PWM では発振器回路を変調して、2 次側へ送られる電源を制御します。帰還の使用により、非常に高い電力と効率が可能になっています。

ADuM5400は、V_{DD1}、V_{DDL}、V_{ISO}の各電源に対してヒステリシス付きの低電圧ロックアウト(UVLO)機能を内蔵しています。この機能により、ノイズの多い入力電源または低速パワーオン・ランブ・レートによりコンバータが発振しないようになっています。

最適負荷レギュレーションのためには、10 mAの最小負荷電流が推奨されます。これより小さい負荷では、狭いPWMパルスまたは誤動作PWMパルスによりチップ上に大きなノイズが発生することがあります。このような大きなノイズが発生すると、状況によってはデータが破壊されることがあります。

PCBレイアウト

ADuM5400 デジタル・アイソレータには 0.5 WのisoPower DC/DC コンバータが内蔵されているため、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンには電源バイパスが必要です(図 12参照)。ピン 1 とピン 2 の間にESRの小さいバイパス・コンデンサをチップ・リードから 2 mm以内に接続することが必要であることに注意してください。

ADuM5400 の電源セクションでは、180 MHz の発振器を使って、チップ・スケール・トランスを介して効率良く電力を供給しています。さらに、iCoupler のデータ・セクションの通常動作により、スイッチング過渡電圧が電源ピンに発生します。バイパス・コンデンサが必要です。さらに幾つかの動作周波数に対してトランジェント・サプレッサが必要です。ノイズ抑圧には、180 MHz と 360 MHz で有効な低インダクタンスの高周波コンデンサが必要です。リップル抑圧とレギュレーションには、大きな値のコンデンサにより 625 kHz でバルク電流を供給する必要があります。バイパス・コンデンサは V_{DD1} についてはピン 1 とピン 2 の間に、V_{ISO} についてはピン 15 とピン 16 の間に、それぞれ接続するのが便利です。ノイズとリップルを抑圧するときは、少なくとも 2 個のコンデンサの並列組み合わせが必要です。V_{DD1} の推奨コンデンサ値は、0.1 μ F と 10 μ F です。これより小さいコンデンサでは、ESR が小さい必要があります。例えば、セラミック・コンデンサの使用が望まれます。

低 ESR コンデンサの両端と入力電源ピンとの間の合計リード長は 2 mm 以下にする必要があります。バイパス・コンデンサを 2 mm より長いパターンで接続すると、データ破壊が生ずることがあります。両共通グラウンド・ピンがパッケージの近くに接続されていない限り、ピン 1 とピン 8 の間およびピン 9 とピン 16 の間にバイパス・コンデンサを接続することも検討してください。

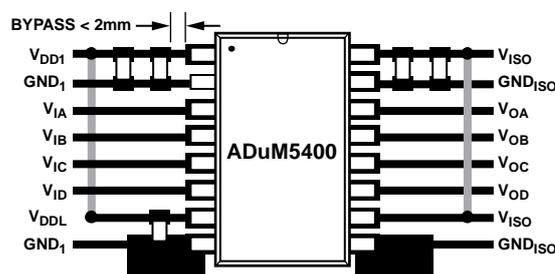


図 12.推奨 PCB レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボードの容量結合が最小になるように注意する必要があります。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインしてください。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格(表 7で規定)を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

ADuM5400 は、フル・ロードと最大速度で動作する場合約 1 Wを消費するパワー・デバイスです。アイソレーション・デバイスにヒートシンクを使うことができないため、デバイスは基本的にPCB からGNDピンへの熱放散に依存しています。デバイスを高い周囲温度で使用する場合には、GNDピンからPCBグラウンド・プレーンへの熱パスを用意してください。図 12のボード・レイアウトに、ピン 8(GND₁)とピン 9 (GND_{ISO})の拡大したパッドを示します。パッドからグラウンドへの接続に径の大きいビアを使い、電源プレーンを使ってインダクタンスを小さくする必要があります。サーマル・パッドに複数のビアを使うと、チップ内部の温度を大幅に下げることができます。パッド拡大寸法は、設計者と使用可能なボード・スペースによって決定されます。

EMIの注意事項

ADuM5400 の DC/DC コンバータ・セクションは、小型のトランスを経由して効率良い電力転送を行うため、非常に高い周波数で動作する必要があります。このため高周波電流が発生し、回路ボードのグラウンド・プレーンと電源プレーンを伝搬して、1 次側と 2 次側のグラウンド・プレーンの中でエッジ放射とダイポール放射が発生します。これらのデバイスを使用するアプリケーションでは接地した筐体の使用が推奨されます。接地した筐体を使用できない場合は、RF デザイン技術を採用した PCB レイアウトを行う必要があります。特に ADuM5400 に対する最新の PCB レイアウト推奨事項については、www.analog.com をご覧ください。

伝搬遅延パラメータ

伝搬遅延時間は、ロジック信号がデバイスを通すのに要する時間を表すパラメータです(図 13参照)。ロジック・ロー・レベル出力への伝搬遅延は、ロジック・ハイ・レベル出力への伝搬遅延と異なることがあります。

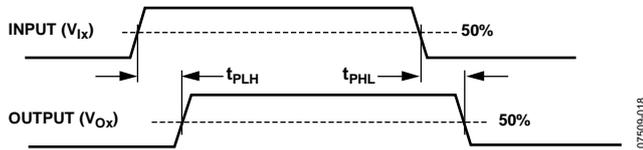


図 13.伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの遅延時間の間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの ADuM5400 デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM540x デバイス間での伝搬遅延差の最大値を表します。

DC精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。1 μ s 以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力での DC を正常に維持します。デコーダが約 5 μ s 間以上この内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態にされます。この状況は、ADuM5400 ではパワーアップ動作とパワーダウン動作時にのみ発生します。

ADuM5400 の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。この状態が発生する条件を以下の解析により求めます。

ADuM5400 の 3.3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで

β = 磁束密度(Gauss)

N = 受信側コイルの巻数

r_n = 受信側コイルの n 回目の半径(cm)

ADuM5400 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、最大許容磁界は図 14 のように計算されます。

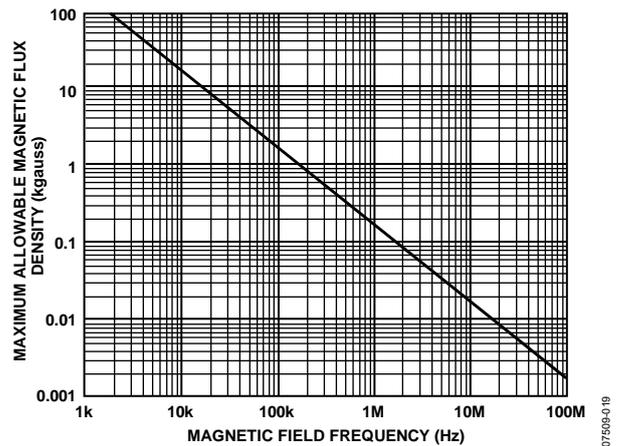


図 14.最大許容外部磁束密度

例えば、磁界周波数= 1 MHz で、最大許容磁界= 0.2 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッシュホールドの約 50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM5400 トランスから与えられた距離だけ離れた特定の電流値に対応します。図 15 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図 15 から読み取れるように、ADuM5400 の耐性は極めて高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM5400 から 5 mm の距離まで近づける必要があります。

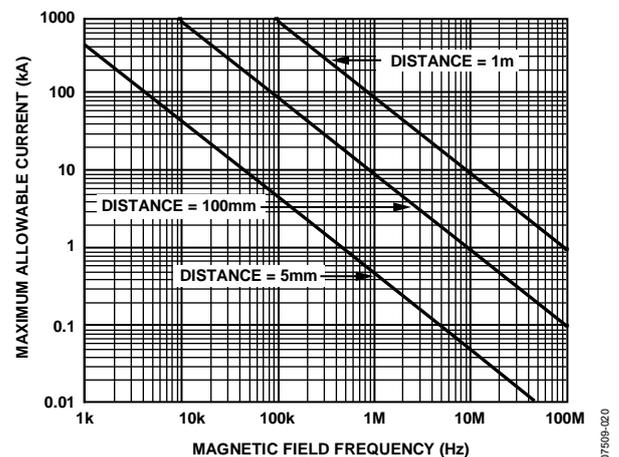


図 15.様々な電流値と ADuM5400 までの距離に対する最大許容電流

強い磁界と高周波が存在すると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

消費電力

V_{DD1} 電源入力、iCouplerデータ・チャンネルと電源コンバータへ電力を供給します。このため、データ・コンバータおよび 1 次側と 2 次側の I/O チャンネルに流れる静止電流を別々に求めることはできません。これらのすべての静止電力要求は、図 16 に示すように $I_{DD1(Q)}$ 電流としてまとめてあります。総合 I_{DD1} 電源電流は、静止動作電流、I/O チャンネルのダイナミック電流 $I_{DD1(D)}$ 、すべての外部 I_{ISO} 負荷の電流の和に一致します。

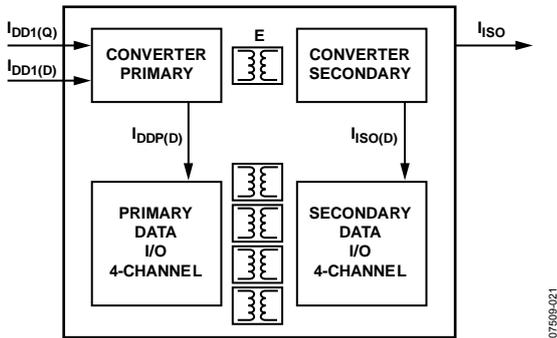


図 16. ADuM5400 内部の消費電力

ダイナミック I/O 電流は、リフレッシュ・レート f_r より高い速度でチャンネルが動作する場合にのみ流れます。各チャンネルのダイナミック電流はデータレートにより決定されます。図 10 に順方向チャンネル(入力はデバイス V_{DD1} 側)の電流を示します。

次の関係を使うと、総合 I_{DD1} 電流を計算することができます。

$$I_{DD1} = (I_{ISO} \times V_{ISO}) / (E \times V_{DD1}) + \sum I_{CHn}; n = 1 \text{ to } 4 \quad (1)$$

ここで、

I_{DD1} は総合電源入力電流。

I_{CHn} は 1 チャンネルを流れる電流で、図 10 から決定。

I_{ISO} は 2 次側外部負荷を流れる電流。

E は 100 mA 負荷での電源効率で、図 4 で注目する V_{ISO} 条件と V_{DD1} 条件から取得。

最大許容負荷からダイナミック出力負荷を減算すると、次のように最大外部負荷を計算することができます。

$$I_{ISO(Load)} = I_{ISO(MAX)} - \sum I_{ISO(D)n}; n = 1 \sim 4 \quad (2)$$

ここで、

$I_{ISO(Load)}$ は、2 次側外部負荷へ供給できる電流。

$I_{ISO(MAX)}$ は、 V_{ISO} での最大 2 次側外部負荷電流。

$I_{ISO(D)n}$ は、 V_{ISO} から出力チャンネルへ流れるダイナミック負荷電流(図 11 参照)。

上記解析では、各データ出力に 15 pF の容量負荷を仮定していません。容量負荷が 15 pF より大きい場合は、 I_{DD1} と $I_{ISO(Load)}$ の解析に追加電流を含める必要があります。

消費電力について

ADuM5400 電源入力、1 次側データ入力チャンネル、2 次側データ出力チャンネルはすべて、UVLO 回路により早期誤動作から保護されています。最小動作電圧より下では、電源コンバータが発振器の非アクティブを維持するため、すべての入力チャンネル・ドライバとリフレッシュ回路がアイドルになります。出力がロー状態に維持されるため、パワーアップ動作とパワーダウン動作で不定状態が送信されるのを防止します。

V_{DD1} へ電源を加えるとき、1 次側回路はアイドルになり、UVLO に設定されている電圧に到達するまでアイドルが維持されます。

1 次側入力チャンネルは、入力をサンプルして、非アクティブの 2 次側出力へパルスを送信します。2 次側コンバータが 1 次側から電源を受けると、 V_{ISO} 電圧は上昇を開始します。2 次側が UVLO に到達すると、2 次側出力はデフォルトのロー状態に初期化され、対応する 1 次側入力のロジック変化または DC リフレッシュ・サイクルからデータが受信されるまでこのロー状態が続きます。2 次側が初期化された後に出力状態が 1 次側入力に対応するようになるまで最大 1 μ s 必要になります。

DC/DC コンバータ・セクションは、自身のパワーアップ・シーケンスを実行します。UVLO に到達すると、1 次側発振器も動作を開始し、2 次側電源回路へ電力を転送します。2 次側 V_{ISO} 電圧はこの時点で UVLO 規定値を下回っています。2 次側からレギュレーション制御信号は発生されていません。この状況では 1 次側の電源発振器はフリー・ランニングが可能で、2 次側へ最大の電力を供給し、この供給は 2 次側電圧がレギュレーション設定ポイントに上昇するまで続きます。これにより、 V_{DD1} で大きな突入過渡電流が発生します。レギュレーション・ポイントに到達すると、レギュレーション制御回路はレギュレーション制御信号を発生し、この制御信号が 1 次側発振器を変調します。 V_{DD1} 電流が減少し、負荷電流に比例するようになります。突入電流は、図 7 に示すように短絡電流より小さくなります。突入電流の継続時間は、 V_{ISO} 負荷条件と V_{DD1} ピンの電流に依存します。

2 次側の充電レートは負荷条件、入力電圧、選択した出力電圧レベルに依存するため、有効なデータが必要とされる前にコンバータが確実に安定するようにしてください。

V_{DD1} から電源がなくなると、1 次側コンバータとカプラは、UVLO レベルに到達したときシャットダウンします。2 次側は電源の受け取りを停止して、放電を開始します。2 次側出力は 1 次側から受信した直前の状態を維持し、次のイベントの 1 つが発生するまでその状態を続けます。

- UVLO レベルに到達し、出力がハイ・インピーダンス状態になる。
- 出力が入力に動作のないことを検出し、出力がデフォルトのロー・レベル状態へ変化して、2 次側電源が UVLO に到達し、かつ出力がハイ・インピーダンス状態へ変化するまでこの状態が続く。

熱解析

ADuM5400 は、分割されたリード・フレームに取り付けられた 4 個の内部チップ(2 個のチップはパドルに接続)から構成されています。熱解析のため、チップをサーマル・ユニットとして扱います。最高ジャンクション温度は、表 2 の θ_{JA} を反映します。 θ_{JA} 値は測定値に基づきます。この測定値は、デバイスを細いパターンを持つ JEDEC 標準 4 層ボードに実装し、自然空冷で取得します。通常の動作条件で、ADuM5400 を 85°C までフル負荷で動作させ、さらに軽減した負荷で 105°C まで動作させます。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、広範囲なセットの評価を実施して ADuM5400 の絶縁構造の寿命を測定しています。

定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対して加速ファクタを定めて、実際の動作電圧での故障までの時間を計算できるようにしています。表 8 に、複数の動作条件での 50 年サービス寿命に対するピーク電圧の一覧を示します。多くのケースで、当局のテストにより認定された動作電圧は 50 年サービス寿命の電圧より高くなっています。記載されたサービス寿命電圧より高い動作電圧で動作させると、早期絶縁故障が発生します。

ADuM5400 の絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 17、図 18、図 19 に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。バイポーラ AC 条件での 50 年動作寿命から、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。表 8 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。

図 18 または図 19 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 8 に示す 50 年寿命電圧値に制限する必要があります。

図 19 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができませんが、電圧は 0 V を通過することはできません。

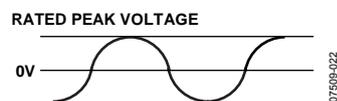


図 17. バイポーラ AC 波形

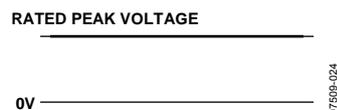


図 18. DC 波形

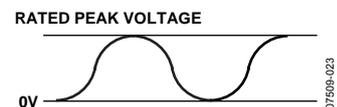


図 19. ユニポーラ AC 波形

