

特長

絶縁型ハイサイド電源を内蔵
150 mW の二次側電源を内蔵
ハイサイド出力とローサイド出力を絶縁
出カソース電流: 100 mA、出カシンク電流: 300 mA
同相モード・トランジェント耐性: 25 kV/μs 以上
高温動作: 105°C
電源レベルが調整可能
ワイド・ボディの 16 ピン SOIC パッケージを採用
安全性規定の認定 (申請中)
UL 認定: 2500 V rms1 分間の UL 1577 規格に準拠

アプリケーション

MOSFET/IGBT ゲート駆動
プラズマ・ディスプレイ・モジュール
モーター駆動
電源
ソーラー・パネル・インバータ

概要

ADuM5230¹は、アナログ・デバイセズの iCoupler[®]技術を採用し、絶縁された独立なハイサイド出力とローサイド出力を提供する絶縁型ハーフ・ブリッジ・ゲート・ドライバです。このアイソレーション製品は、CMOS 技術とマイクロトランス技術との組み合わせにより、絶縁型ハイサイド電源を構成する DC/DC コンバータを内蔵しています。この機能により、ブートストラップ回路のような外付け電源構成から発生するコスト、スペース、性能の問題が解消されます。このハイサイド絶縁型電源は、ADuM5230 のハイサイド出力だけでなく、ADuM5230 と組み合わせて使用できる任意の外付けバッファ回路にも電源を供給します。

ADuM5230 は、高電圧レベル変換方式を採用するゲート・ドライバと比較すると、入力と各出力との間で真の電流アイソレーションを実現できる利点を持っています。各出力は入力に対して最大±700 V_pで動作することができるため、負電圧レベルまでのローサイド・スイッチングをサポートすることができます。ハイサイドとローサイドとの間の差電圧は最大 700 V_pまで可能です。

¹ 米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

機能ブロック図

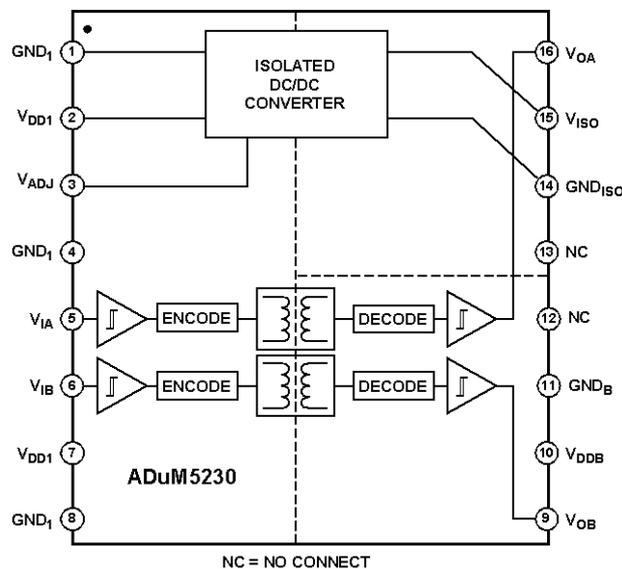


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	代表的な性能特性.....	8
アプリケーション.....	1	アプリケーション情報.....	10
概要.....	1	動作原理.....	10
機能ブロック図.....	1	PCボードのレイアウト.....	10
改訂履歴.....	2	熱解析.....	10
仕様.....	3	伝搬遅延に関するパラメータ.....	11
電気的特性.....	3	DC精度と磁界耐性.....	11
パッケージ特性.....	5	消費電力.....	12
適用規格.....	5	許容電力の増減.....	12
絶縁および安全性関連の仕様.....	5	同相モード・トランジェント耐性.....	12
推奨動作条件.....	5	代表的なアプリケーション回路.....	13
絶対最大定格.....	6	絶縁寿命.....	13
ESDの注意.....	6	外形寸法.....	15
ピン配置およびピン機能の説明.....	7	オーダー・ガイド.....	15

改訂履歴

4/08—Revision 0: Initial Version

仕様

電気的特性

すべての電圧はそれぞれのグラウンドを基準とします。特に指定のない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $12.0\text{ V} \leq V_{DDB} \leq 18.0\text{ V}$ 。すべての最小/最大仕様は推奨動作範囲に対して適用。すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5.0\text{ V}$ 、 $V_{DDB} = 15\text{ V}$ での値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Input Supply Current, Quiescent	$I_{DD1(Q)}$			125	mA	$I_{ISO} = 0\text{ mA}$, dc signal inputs, $V_{ADJ} = \text{open}$
Channel B Supply Current, Quiescent	$I_{DDB(Q)}$			1.6	mA	
Channel A Output Supply Voltage	V_{ISO}	12	15	18.5	V	
At 100 kHz Switching Frequency						
Maximum Channel A Output Supply Current	$I_{ISO(max, 100)}$	10			mA	$C_L = 200\text{ pF}$
Input Supply Current	I_{DD1}			200	mA	$I_{ISO} = I_{ISO(max, 100)}$
Channel B Supply Current	I_{DDB}			1.8	mA	$C_L = 200\text{ pF}$
At 1000 kHz Switching Frequency						
Maximum Channel A Output Supply Current	$I_{ISO(max, 1000)}$	7.5			mA	$C_L = 200\text{ pF}$
Input Supply Current	I_{DD1}			200	mA	$I_{ISO} = I_{ISO(max, 1000)}$
Channel B Supply Current	I_{DDB}			7.5	mA	$C_L = 200\text{ pF}$
Input Currents	I_{IA}, I_{IB}	-10	+0.01	+10	μA	$0 \leq V_{IA}, V_{IB} \leq 5.5\text{ V}$
Logic High Input Voltage	V_{ATH}, V_{BTH}	$0.7 \times V_{DD1}$			V	
Logic Low Input Voltage	V_{ATL}, V_{BTL}			$0.3 \times V_{DD1}$	V	
Logic High Output Voltages	V_{OAH}, V_{OBH}	$V_{ISO} - 0.1$, $V_{DDB} - 0.1$		V_{ISO}, V_{DDB}	V	$I_{OA}, I_{OB} = -1\text{ mA}$
Logic Low Output Voltages	V_{OAL}, V_{OBL}			0.1	V	$I_{OA}, I_{OB} = 1\text{ mA}$
Undervoltage Lockout, V_{ISO} and V_{DDB} Supply						
Positive-Going Threshold	V_{DDBUV+}	8.0		10.1	V	
Negative-Going Threshold	V_{DDBUV-}	7.4		9.0	V	
Hysteresis	V_{DDBUVH}		0.9		V	
Undervoltage Lockout, V_{DD1} Supply						
Positive-Going Threshold	V_{DD1UV+}	3.5		4.2	V	
Negative-Going Threshold	V_{DD1UV-}	3.0		3.9	V	
Hysteresis	V_{DD1UVH}		0.4		V	
Output Short-Circuit Pulsed Current, Sourcing ¹	I_{OA}, I_{OB}	100			mA	
Output Short-Circuit Pulsed Current, Sinking	I_{OA}, I_{OB}	300			mA	
SWITCHING SPECIFICATIONS						
Minimum Pulse Width ²	PW			100	ns	$C_L = 200\text{ pF}$
Maximum Switching Frequency ³		1			MHz	$C_L = 200\text{ pF}$
Propagation Delay ⁴	t_{PHL}, t_{PLH}			100	ns	$C_L = 200\text{ pF}$
Change vs. Temperature			100		ps/°C	
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			8	ns	$C_L = 200\text{ pF}$
Channel-to-Channel Matching, Rising or Falling Matching Edge Polarity ⁵	t_{M2}			8	ns	$C_L = 200\text{ pF}$
Channel-to-Channel Matching, Rising vs. Falling Opposite Edge Polarity ⁶	t_{M1}			10	ns	$C_L = 200\text{ pF}$
Part-to-Part Matching, Rising or Falling Edges ⁷				55	ns	$C_L = 200\text{ pF}$
Part-to-Part Matching, Rising vs. Falling Edges ⁸				63	ns	$C_L = 200\text{ pF}$
Common-Mode Transient Immunity at Logic High Output	$ CM_H $	25	35		kV/ μs	$V_{IX} = V_{DD1}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	$ CM_L $	25	35		kV/ μs	$V_{IX} = 0\text{ V}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
Output Rise Time (10% to 90%)	t_r			25	ns	$C_L = 200\text{ pF}$, $I_{ISO} = 10\text{ mA}$, 100 kHz switching frequency
Output Fall Time (10% to 90%)	t_f			10	ns	$C_L = 200\text{ pF}$, $I_{ISO} = 10\text{ mA}$, 100 kHz switching frequency

¹ 短絡継続時間は 1 sec 未満。平均出力電流は、最大絶対定格のセクションに示す規定値に準拠する必要があります。

- ² 最小パルス幅は、規定のタイミングパラメータが保証される最小のパルス幅。パルスが $1\ \mu\text{s}$ まで広がることもあるため、最小パルス幅以下の動作は避けてください。
- ³ 最大スイッチング周波数は、規定のタイミングと電力変換のパラメータが保証される最大信号周波数。最大周波数を超える動作は回避してください。
- ⁴ 伝搬遅延 t_{PHL} は、 V_{IK} 信号の立下がりエッジの 50% レベルから V_{OK} 信号の立下がりエッジの 50% レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{IK} 信号の立ち上がりエッジの 50% レベルから V_{OK} 信号の立ち上がりエッジの 50% レベルまでを測定した値です。
- ⁵ チャンネル間一致 (立ち上がりまたは立ち下がり的一致するエッジ極性) は、両入力とも立ち上がりまたは立ち下がりエッジのときの、同じデバイスの 2 つのチャンネル間の伝搬遅延差の大きさです。各チャンネルの負荷は同じです。
- ⁶ チャンネル間一致 (立ち上がり対立ち下がりの逆極性エッジ) は、片方の入力が立ち上がりエッジで、他方の入力が立ち下がりエッジのときの、同じデバイスでの 2 つのチャンネル間の伝搬遅延差の大きさです。各チャンネルの負荷は同じです。
- ⁷ デバイス間一致 (立ち上がりまたは立ち下がりエッジ) は、入力が立ち上がりまたは立ち下がりエッジのときの、異なる 2 つのデバイスの 2 つのチャンネル間の伝搬遅延差の大きさです。各デバイスの電源電圧、温度、負荷は同じです。
- ⁸ デバイス間一致 (立ち上がり対立ち下がりエッジ) は、片方の入力が立ち上がりエッジで、他方の入力が立ち下がりエッジのときの、異なる 2 つのデバイスでの 2 つのチャンネル間の伝搬遅延差の大きさです。各デバイスの電源電圧、温度、負荷は同じです。

パッケージ特性

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input-to-Output) ¹	R _{I-O}		10 ¹²		Ω	f = 1 MHz
Capacitance (Input-to-Output)	C _{I-O}		2.0		pF	
Input Capacitance	C _I		4.0		pF	
IC Junction-to-Ambient Thermal Resistance	θ _{JA}		48		°C/W	

¹ デバイスは2端子デバイスと見なします。すなわち、ピン1~ピン8を相互に接続し、ピン9~ピン16を相互に接続します。

適用規格

ADuM5230は、表3に記載する組織の認定を取得しています。

表 3.

UL ¹ (pending)
Recognized under 1577 component recognition program, File E214100

¹ UL1577に従い、絶縁テスト電圧 ≥ 3000 V rms を1秒間加えて各 ADuM5230 を確認テストします(リーク電流検出規定値 = 5 μA)。

絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		2500	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	3.5 min	mm	Measured from input conductors to output conductors, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	3.5 min	mm	Measured from input conductors to output conductors, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Distance through the insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

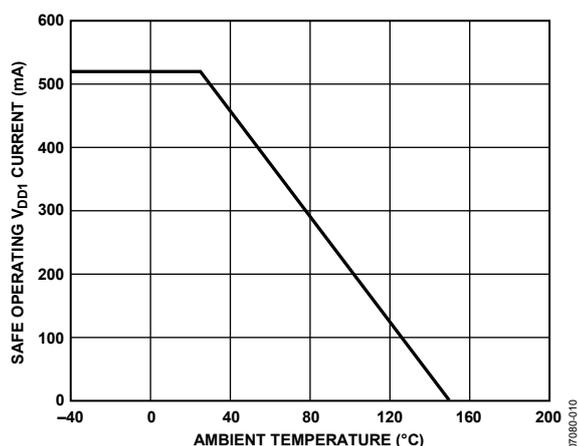


図 2. 温度ディレーティング・カーブ、DIN EN 60747-5-2 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 5.

Parameter	Value
Operating Temperature (T _A)	-40°C to +105°C
Input Supply Voltage ¹ (V _{DD1})	4.5 V to 5.5 V
Channel B Supply Voltage ¹ (V _{DDB})	12 V to 18.5 V
Input Signal Rise and Fall Times	1 ms
Minimum V _{DD1} Power-On Slew Rate ² (P _{SLEW})	400 V/ms

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD1} の立ち上がりが低速すぎると、ADuM5230 電源は正しく初期化されないことがあります。

絶対最大定格

特に指定のない限り、周囲温度は 25°C です。

表 6.

Parameter	Rating
Storage Temperature (T_{ST})	-55°C to +150°C
Ambient Operating Temperature (T_A)	-40°C to +105°C
Input Supply Voltage ¹ (V_{DD1})	-0.5 V to +7.0 V
Channel B Supply Voltage ¹ (V_{DDB})	-0.5 V to +27 V
Input Voltage ¹ (V_{IA}, V_{IB})	-0.5 V to $V_{DD1} + 0.5$ V
Output Voltage ¹ (V_{OA}, V_{OB})	-0.5 V to $V_{ISO} + 0.5$ V, -0.5 V to $V_{DDB} + 0.5$ V
Input-Output Voltage ²	-700 V_{PEAK} to +700 V_{PEAK}
Output Differential Voltage ³	700 V_{PEAK}
Output DC Current (I_{OA}, I_{OB})	-20 mA to +20 mA
Common-Mode Transients ⁴	-100 kV/ μ s to +100 kV/ μ s

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² 入力-出力間電圧は、 $GND_{ISO} - GND_1$ または $GND_B - GND_1$ と定義します。

³ 出力差動電圧は、 $GND_{ISO} - GND_B$ と定義します。

⁴ 任意の絶縁障壁に加わる同相モード・トランジェントを意味します。
絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップ
または恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 7. 最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	424	V peak	50-year minimum lifetime
AC Voltage, Unipolar Waveform Basic Insulation	600	V peak	50-year minimum lifetime
DC Voltage Basic Insulation	600	V peak	50-year minimum lifetime

¹ アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

ピン配置およびピン機能の説明

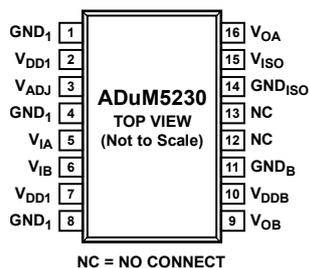


図 3. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	GND1	入力ロジック信号のグラウンド基準。
2	VDD1	入力電源電圧、4.5 V～5.5 V。
3	V _{ADJ}	内蔵 DC/DC コンバータのデューティ・サイクルの調整 (通常は解放)。
4	GND1	入力ロジック信号のグラウンド基準。
5	V _{IA}	ロジック入力 A。
6	V _{IB}	ロジック入力 B。
7	VDD1	入力電源電圧、4.5 V～5.5 V。
8	GND1	入力ロジック信号のグラウンド基準。
9	VOB	出力 B 信号。
10	V _{DDB}	出力 B の電源電圧、12 V～18 V。
11	GND _B	出力 B 信号のグラウンド基準。
12	NC	未接続。
13	NC	未接続。
14	GND _{ISO}	出力 A 信号と絶縁された出力電源電圧のグラウンド基準。
15	V _{ISO}	絶縁された出力電源電圧。
16	VOA	出力 A 信号。

表 9. 真理値表 (正論理)

V _{IA} Input	V _{IB} Input	V _{DD1} State ¹	V _{ISO} State	V _{DDB} State	V _{OA} Output	V _{OB} Output	Notes
High	High	Powered	Powered	Powered	High	High	
High	Low	Powered	Powered	Powered	High	Low	
Low	High	Powered	Powered	Powered	Low	High	
Low	Low	Powered	Powered	Powered	Low	Low	
X	X	UVLO	Unpowered	X	Low	Low	Output returns to input state within 1 μs of V _{DD1} power restoration.
X	X	Powered	UVLO	Unpowered	Low	Low	Output returns to input state within 1 μs of V _{ISO} and V _{DDB} power restoration.
X	High	Powered	UVLO	Powered	Low	High	Output returns to input state within 1 μs of V _{ISO} power restoration.
X	Low	Powered	UVLO	Powered	Low	Low	Output returns to input state within 1 μs of V _{ISO} power restoration.
High	X	Powered	Powered	UVLO	High	Low	V _{OB} output returns to input state within 1 μs of V _{DDB} power restoration.
Low	X	Powered	Powered	UVLO	Low	Low	V _{OB} output returns to input state within 1 μs of V _{DDB} power restoration.

¹ UVLO は、その電源の UVLO スレッショールドより低い電圧または電源が存在しないことを表します。

代表的な性能特性

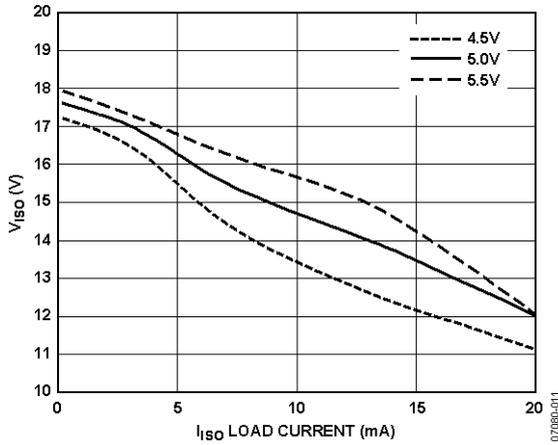


図 4. V_{ISO} 電源電圧対 I_{ISO} 外部負荷電流 (Typ)

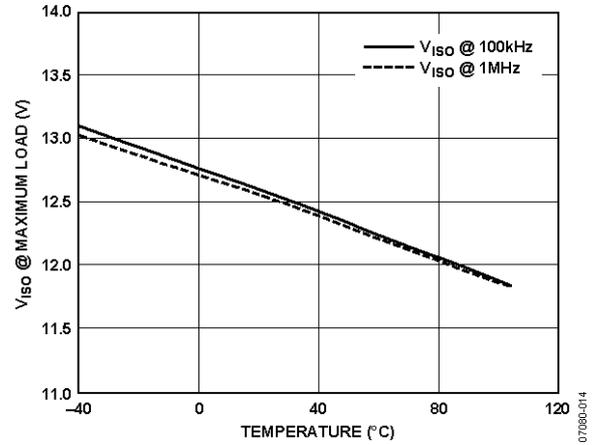


図 7. 最大合計負荷での V_{ISO} 出力電圧 (Typ) の温度特性

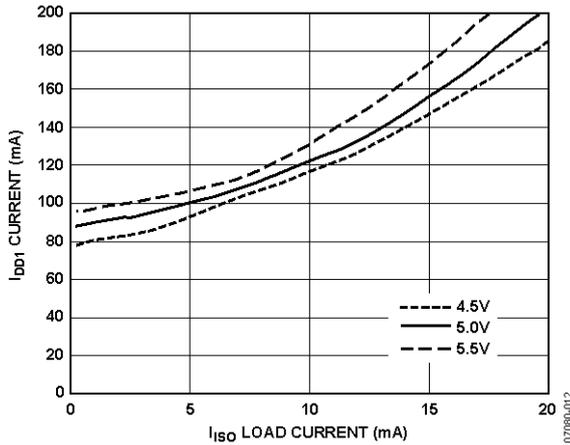


図 5. V_{DD1} 電源電流対 V_{ISO} 外部負荷電流 (Typ)

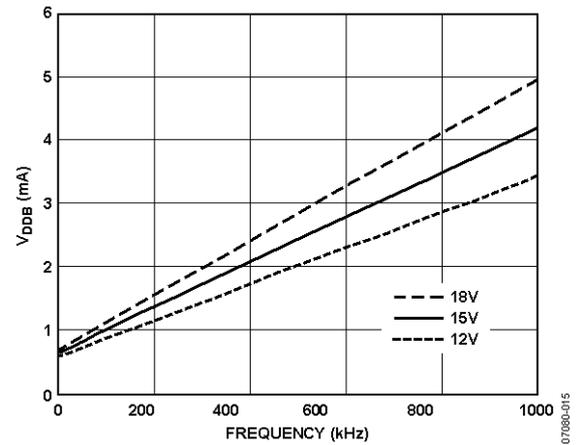


図 8. V_{OA} 出力または V_{OB} 出力の電流消費 (Typ), C_L = 200 pF

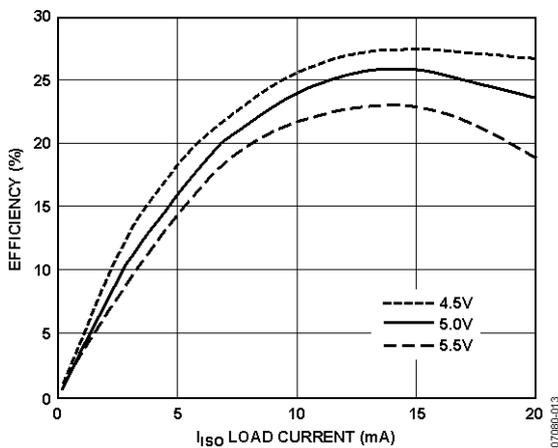


図 6. V_{ISO} 電源効率対 V_{ISO} 外部負荷電流 (Typ)

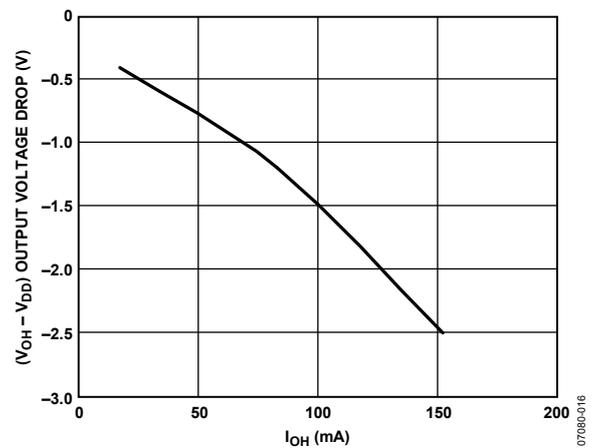


図 9. V_{OH} 電圧降下 (Typ) 対 I_{OH} (V_{DD1} = 5 V, V_{DDB}, V_{ISO} = 12 V ~ 18 V)

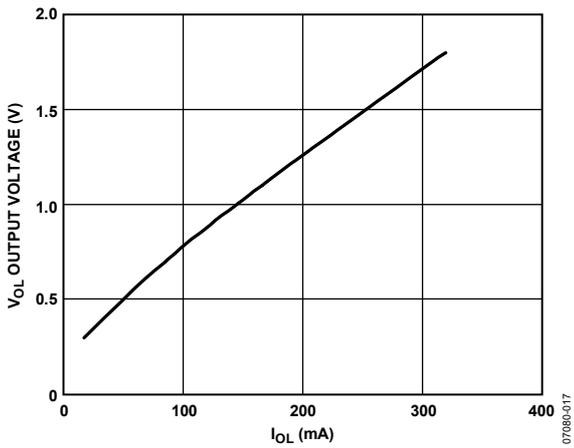


図 10. $V_{OL}(\text{Typ})$ 対 I_{OL} ($V_{DD1} = 5\text{V}$, V_{DDB} , $V_{ISO} = 12\text{V} \sim 18\text{V}$)

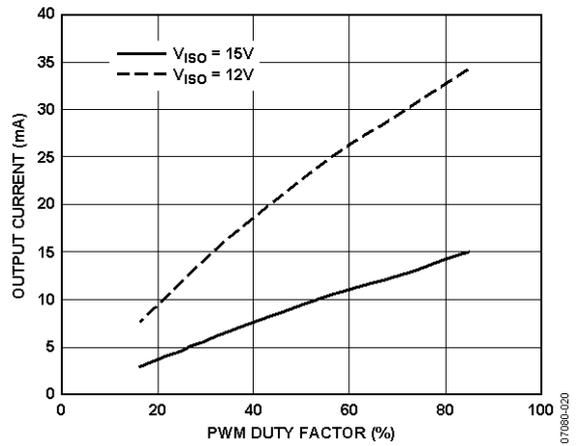


図 13. $V_{DD1} = 5\text{V}$ での出力での有効電流対 PWM デューティ係数

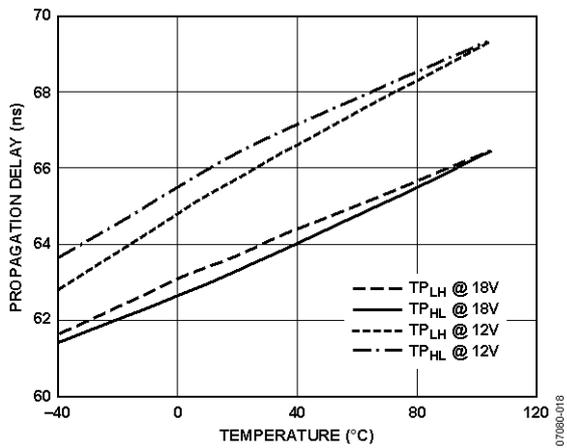


図 11. 伝搬遅延 (Typ) の温度特性

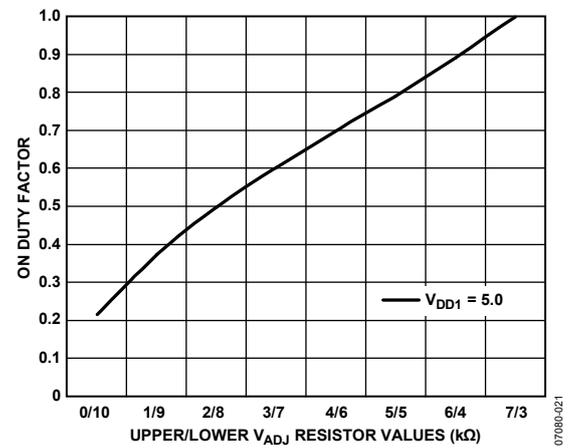


図 14. $V_{DD1} = 5\text{V}$ で、PWM デューティ係数を決定する上側/下側 V_{ADJ} 電圧分圧器抵抗値

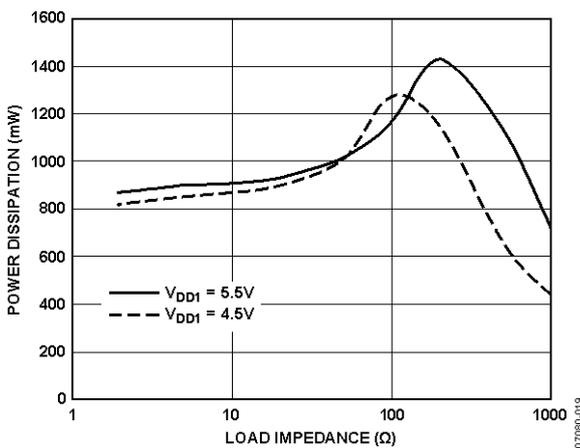


図 12. 故障状態の消費電力対負荷インピーダンス

アプリケーション情報

動作原理

ADuM5230 の DC/DC コンバータ・セクションは、現代の電源デザインで広く採用されている原理に基づいています。この回路は、二次側に、変換される電源レベルを設定する機能を持つオープン・ループ PWM コントローラとして実現されています。 V_{DD1} 電源は、チップ・スケールの中空トランスへ流れる電流をスイッチする発振回路の電源です。二次側では、電源は DC 電圧に整流された後、電圧が約 18 V にクランプされて、二次側の V_{OA} データ・チャンネルと外部用途の V_{ISO} ピンへ供給されます。出力電圧はレギュレーションされていないため、負荷により変化します。

PWM デューティ・サイクルは内部バイアス回路により設定されますが、外付け抵抗回路を使って V_{ADJ} ピンから制御することができます。この機能を使うと、二次で使用可能な電圧を高くすることができます。あるいは、アプリケーションで必要な場合には下げることができます (消費電力のセクション参照)。

V_{DD1} 、 V_{DDB} 、の V_{ISO} 各電源ラインには、電源電圧の低下からデータ・チャンネルを保護する低電圧ロックアウト機能が付いています。

PC ボードのレイアウト

ADuM5230 デジタル・アイソレータには 150 mW の isoPower™ DC/DC コンバータが内蔵されているため、ロジック・インターフェース用の外付けインタフェース回路は不要です。入力ピンと出力電源ピンには電源バイパスが必要です (図 15 参照)。ADuM5230 の電源セクションでは、非常に周波数の高い発振器を使って、チップ・スケール・トランスを介して効率良く電力を変換しています。*iCoupler*® のデータ・セクションの通常動作では、スイッチング過渡電圧が電源ピンに発生します。複数の動作周波数に対してバイパス・コンデンサが必要になります。ノイズの抑圧には、低インダクタンスの高周波コンデンサが必要です。リップル抑圧と適切なレギュレーションには大きな値のコンデンサが必要です。バイパス・コンデンサは V_{DD1} についてはピン 1 とピン 2 の間に、 V_{ISO} についてはピン 15 とピン 14 の間に、それぞれ接続するのが便利です。ノイズとリップルを抑圧するときは、少なくとも 2 個のコンデンサの並列組み合わせが必要です。推奨コンデンサ値は、0.1 μF と 10 μF です。小さい方の値に対しては、非常に低いインダクタンスを持つセラミックまたは同等のコンデンサの使用が推奨されます。コンデンサの両端と入力電源ピンとの間のパターン長は 20 mm 以下にする必要があります。ノイズ抑圧と補強コンデンサによるバイパスはピン 1 とピン 2 の間に、バイパス・コンデンサはピン 7 とピン 8 の間に、それぞれ接続することが推奨されます。ノイズ抑圧と補強コンデンサによるバイパスはピン 14 とピン 15 の間に接続することが推奨されます。

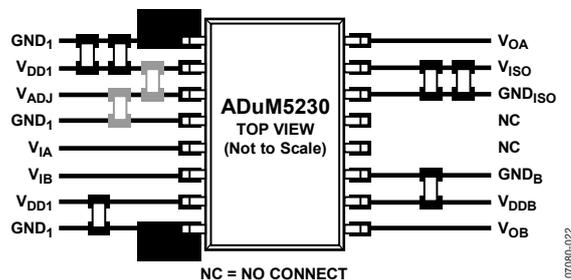


図 15.プリント回路ボードの推奨レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を超えるボード結合が最小になるように注意する必要があります。さらに、すべての結合がデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインする必要があります。この注意が不十分な場合、ピン間で発生する電位差が表 6 に規定するデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

ADuM5230 は、最大負荷と最大速度で動作する場合、消費電力が 1 W になるパワー・デバイスです。アイソレーション・デバイスにはヒートシンクを使うことができないため、デバイスは基本的に PCB から GND ピンへの熱放散に依存します。デバイスを高い周囲温度で使用する場合には、GND ピンから PCB グラウンド・プレーンへ熱バスを設けるように注意が必要です。図 15 のボード・レイアウトに、ピン 1 とピン 8 の拡大したパッドを示します。パッドからグラウンド・プレーンへ複数のビアを設ける必要があります。これにより、チップ内部の温度を大幅に下げることができます。パッド寸法の拡大は、設計者と使用可能なボード・スペースによって決定されます。

熱解析

ADuM5230 は、各々にチップ取り付けパッドが付いた 3 個のリードフレームに取り付けた複数の内部チップから構成されています。熱解析では、デバイスは表 2 に示す θ_{JA} パラメータを反映した最も高い接合温度を持つサーマル・ユニットとして扱われます。この θ_{JA} 値は、JEDEC 規格の細いパターンを使った 4 層ボードにデバイスを実装し、自然空冷で計測した測定値を採用しています。通常の動作では、ADuM5230 はフル負荷で、フル温度範囲で出力電流の低下なしに動作しますが、PC ボードのレイアウトのセクションに示す推奨事項に従うと、PCB への熱抵抗が小さくなるため、高い周囲温度で熱余裕を大きくすることができます。

出力短絡では、図 12 に示すように、パッケージ消費電力は安全な動作限界内にありますが、負荷が 100 Ω レンジになると、消費電力が大きくなりすぎるので、周囲温度が 80°C を超えると、熱的な損傷を受けます。デバイスを高い温度で動作させる場合には、非短絡負荷が大きくなるように注意してください。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通過するのに要する時間を表すパラメータです。ロジック・ローレベル出力への伝搬遅延は、ロジック・ハイレベルへの伝搬遅延と異なることがあります。

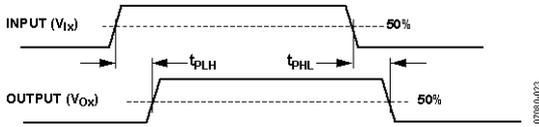


図 16. 伝搬遅延パラメータ

パルス幅歪みとはこれら 2 値の間の最大の差を意味し、入力信号のタイミングが出力信号で再現される精度を表します。

チャンネル間マッチングとは、1 つの ADuM5230 デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

DC 精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、入力ロジックの変化を指定するパルスによってセットまたはリセットされます。1 μ s 以上入力にロジック変化がない場合、出力の DC 精度を確保するために入力状態を指定する周期的な更新パルスのセットが送出されます。デコーダが約 5 μ s 間以上この入力パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態(表 9 参照)にされます。

ADuM5230 の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が大きくなるために、デコーダがセットまたはリセットされてしまう誤動作が発生することにより決定されません。この状態が発生する条件を以下の解析により求めます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッショルドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (d\beta / dt) \sum \pi r_n^2 ; n = 1, 2, \dots, N$$

ここで

β = 磁束密度(Gauss)

N = 受信側コイルの巻数

r_n = 受信側コイルの n 回目の半径(cm)

ADuM5230 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、最大許容磁界は図 17 のように計算されます。

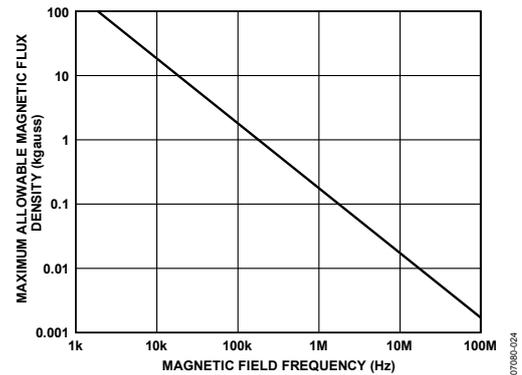


図 17. 最大許容外部磁束密度

例えば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.2 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッショルドの約 50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッショルド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、与えられた距離だけ ADuM5230 トランスから離れた位置にある特定の電流値に対応します。図 18 に、周波数の関数としての許容電流値を距離に対して示します。図から読み取れるように、ADuM5230 の耐性は極めて高く、影響を受けるのは、高周波でかつデバイスに非常に近い極めて大きな電流の場合に限られます。前述の 1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM5230 から 5 mm の距離まで近づける必要があります。

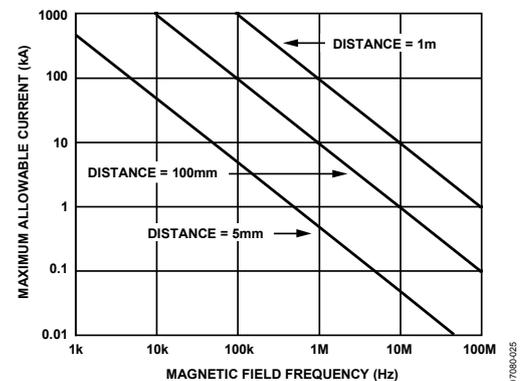


図 18. 様々な電流値と ADuM5230 までの距離に対する最大許容電流

強い磁界と高周波が組合わさると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッショルドを超えてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

消費電力

ADuM5230 内蔵の電源コンバータは、デフォルト構成で二次側に 13 mA を供給します。電源は、データ・チャンネルの V_{OA} とチップ外部用の V_{ISO} ピンに供給されます。 V_{OA} の消費電流は、図 8 に示すように周波数で変わります。外部向けの最大許容電力はデータ・チャンネルの周波数が高くなると小さくなって、合計許容電流内に留まります。

許容電力の増減

V_{ADJ} ピンを使って、 V_{ISO} ピンの許容電力を増減させることができます。この機能を使うと、与えられた負荷に対して V_{ISO} 電圧を上げるか、または最大 V_{ISO} 負荷を小さくすることができます。あるいは、電源出力が不要な場合にも電力を小さくすることができるため、静止電流を小さくして消費電力を節約することができます。

電源の調整は、図 25 に示すように、 V_{ADJ} 、 V_{DD1} 、 GND の間に電圧分圧器を接続して行います。通常動作では、 V_{ADJ} ピンを解放のままにして、内部バイアス回路に内部 PWM のデューティ・ファクタを決定させるようにします。 V_{ADJ} ピンを抵抗分圧器に接続すると、デフォルト値以外のデューティ・ファクタを選択できるようになります。内部 PWM のデューティ・ファク

タと負荷状態での許容電力との関係を 図 13 に示します。所望のデューティ・ファクタを選択すると、図 14 に示すように(合計分圧器抵抗 10 k Ω の場合)、分圧器抵抗の上側と下側の値を選択することができます。

同相モード・トランジェント耐性

一般に、同相モード・トランジェントは、リニア成分と正弦波成分から構成されています。同相モード・トランジェントのリニア成分は次式で与えられます。

$$V_{CM, linear} = (\Delta V / \Delta t)t$$

ここで、 $\Delta V / \Delta t$ は図 19 と図 20 に示すトランジェントの傾斜です。リニア成分のトランジェントは次式で与えられます。

$$dV_{CM} / dt = \Delta V / \Delta t$$

図 22 のデータは、リニア・トランジェントが存在しても ADuM5230 が正常に動作できることを示しています。このデータはデザイン・シミュレーションに基づいており、誤動作なしで ADuM5230 が許容できる最大リニア・トランジェント振幅を表しています。表 1 に示すトランジェント耐性値は測定データを使っており、計測誤差と余裕を考慮しているため、このデータの方が、表 1 に記載された内容に比べて安定であることを示しています。

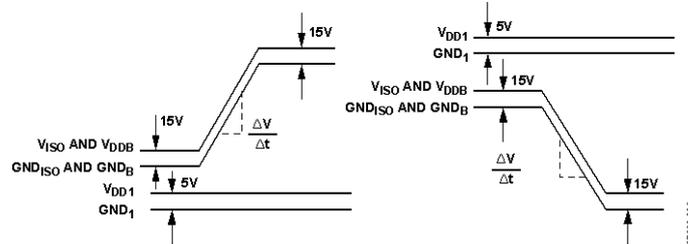


図 19.同相モード・トランジェント耐性波形、入力-出力間

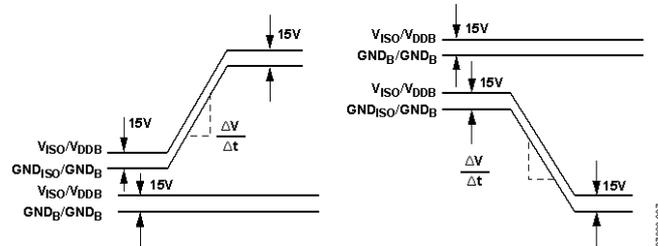


図 20.同相モード・トランジェント耐性波形、出力相互間

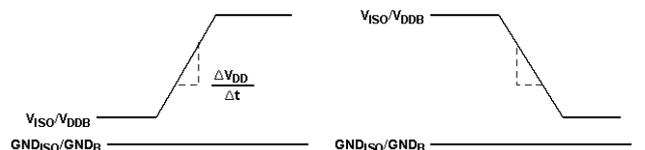


図 21.トランジェント耐性波形、出力電源

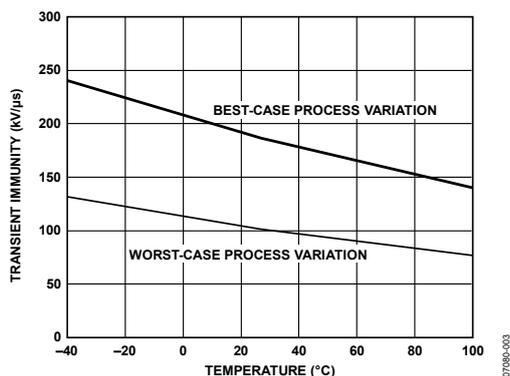


図 22. トランジェント耐性(リニア・トランジェント)の温度特性

与えられた周波数の正弦波成分は次式で与えられます。

$$V_{CM, sinusoidal} = V_0 \sin(2\pi ft)$$

ここで、
 V_0 は正弦波の振幅。
 f は正弦波の周波数。

正弦波成分のトランジェント振幅は次式で与えられます。

$$dV_{CM}/dt = 2\pi f V_0$$

図 23 と図 24 のデータは、正弦波トランジェントが存在しても ADuM5230 が正常に動作できることを示しています。このデータはデザイン・シミュレーションに基づいており、誤動作なしで ADuM5230 が許容できる最大正弦波トランジェント振幅を表しています。このような値を取得する測定は不可能であるため、表 1 には正弦波トランジェントに対する耐性値が含まれていません。

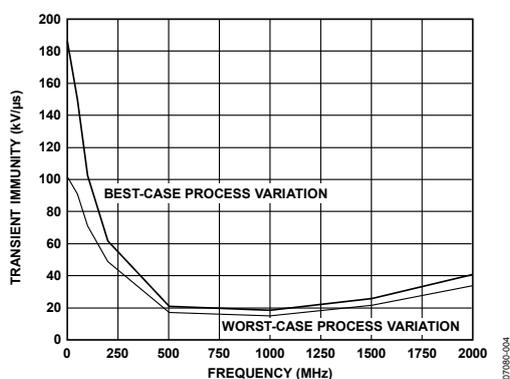


図 23. トランジェント耐性(正弦波トランジェント)、27°C 周囲温度

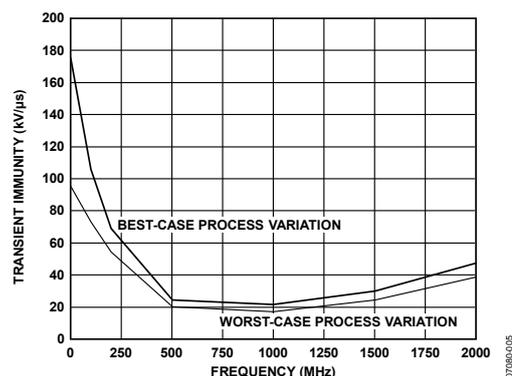


図 24. トランジェント耐性(正弦波トランジェント)、100°C 周囲温度

代表的なアプリケーション回路

ADuM5230 は、低ゲート容量のトランジスタ (一般に 200 pF) を駆動するようにデザインされています。大部分の高電圧アプリケーションでは、それより大きいトランジスタを採用しています。これらのアプリケーションに対応するためには、ADuM5230 にバッファを使用する必要があります(図 25 参照)。多くの場合、バッファ構成が最も安価な選択肢で、デザインの柔軟性もあります。アプリケーションのニーズに合わせて高精度バッファ/高電圧トランジスタの組み合わせを選択することができます。

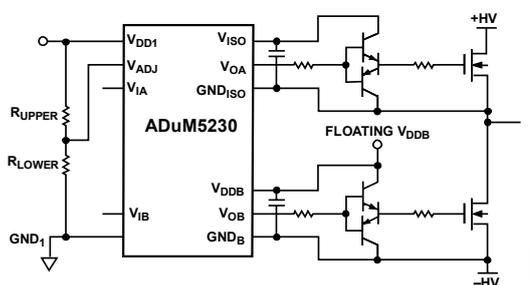


図 25. アプリケーション回路

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイゼズは、規制当局が行うテストの他に、広範囲なセットの評価を実施して ADuM5230 内の絶縁構造の寿命を測定しています。

アナログ・デバイゼズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。

表 7 に、バイポーラ AC 動作条件とアナログ・デバイセズの最大推奨動作電圧での 50 年のサービス寿命に対するピーク電圧の一覧を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM5230 の絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。

iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 26、図 27、図 28 に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。表 7 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 27 または 図 28 適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 7 に示す 50 年寿命電圧値に制限する必要があります。図 27 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができますが、電圧は 0 V を通過することはできません。

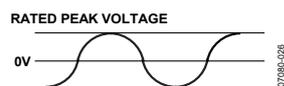


図 26.バイポーラ AC 波形

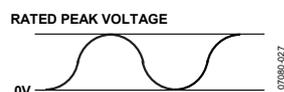


図 27.ユニポーラ AC 波形

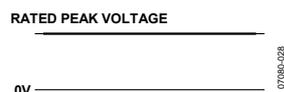
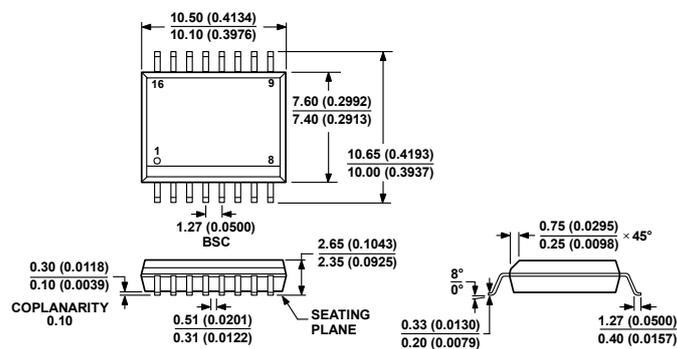


図 28.DC 波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-9

図 29.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
 ワイドボディ(RW-16)
 寸法: mm (インチ)

オーダー・ガイド

Model	No. of Channels	Output Peak Current (A) ¹	Output Voltage (V)	Temperature Range	Package Description	Package Option
ADuM5230ARWZ ²	2	0.1/0.3	15	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM5230ARWZ-RL	2	0.1/0.3	15	-40°C to +105°C	16-Lead SOIC_W, 13-inch Tape and Reel Option (1,000 Units)	RW-16

¹ ソース/シンク

² Z = RoHS 準拠製品