



DC/DCコンバータ内蔵の 2チャンネル・アイソレータ

データシート

ADuM5210/ADuM5211/ADuM5212

特長

- isoPower 内蔵の絶縁型 DC/DC コンバータ
- 3.15 V~5.25 V のレギュレーション出力
- 出力電力: 最大 150 mW
- 2チャンネルの DC~100 Mbps (NRZ) 信号アイソレーション
- ソフトスタート電源
- 沿面距離 5.3 mm の 20 ピン SSOP パッケージを採用
- 最大 15 MHz の SPI をサポート
- 高い動作温度: 105°C
- 高い同相モード・トランジェント耐性: 25 kV/μs 以上
- 安全性規制の認定
 - UL 認定(申請中)
 - 2,500 V rms、1 分間の UL 1577 規格に準拠
 - CSA Component Acceptance Notice #5A(申請中)
 - VDE 適合性認定(申請中)
 - DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12
 - V_{IORM} = 560 V ピーク

アプリケーション

- RS-232 トランシーバ
- 電源スタートアップ・バイアスとゲート駆動
- 絶縁型センサー・インターフェース
- 工業用 PLC

概要

ADuM5210/ADuM5211/ADuM5212¹ は、絶縁型 DC/DC コンバータ isoPower[®] を内蔵する 2 チャンネル・デジタル・アイソレータです。アナログ・デバイセズの iCoupler[®] 技術を採用したこの DC/DC コンバータは絶縁型安定化電力を出力し、出力電圧は 3.15 V~5.25 V の範囲で調整可能です。入力電源電圧範囲は、所要出力より少し低いレベルからかなり高いレベルまで可能です。一般的な電圧の組み合わせとそれに対応する電力レベルを表 2 に示します。

ADuM5210/ADuM5211/ADuM5212 の使用により、低消費電力絶縁型デザインで必要とされた別々の絶縁型 DC/DC コンバータが不要になります。iCoupler チップ・スケール・トランス技術を、ロジック信号の絶縁と DC/DC コンバータの磁気部品に使用しています。これにより、小型の総合アイソレーション・ソリューションが実現されています。

isoPower では、トランスを介して電力を転送するために、高周波スイッチング素子を使っています。プリント回路ボード (PCB) のレイアウトでは、ノイズ放出規格を満たすように特別

¹米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2013 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

機能ブロック図

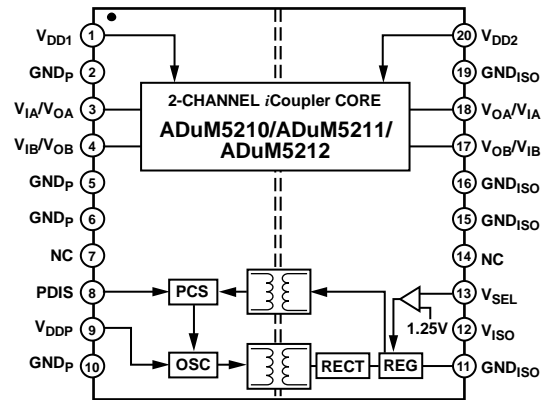


図 1. ADuM5210/ADuM5211/ADuM5212

な注意が必要です。ボード・レイアウトの推奨事項については、AN-0971 アプリケーション・ノートを参照してください。

表 1. データ I/O ポートの配置

Channel	Pin	ADuM5210	ADuM5211	ADuM5212
V _{IA} /V _{OA}	3	V _{IA}	V _{OA}	V _{OA}
V _{IB} /V _{OB}	4	V _{IB}	V _{IB}	V _{OB}
V _{OA} /V _{IA}	18	V _{OA}	V _{IA}	V _{IA}
V _{OB} /V _{IB}	17	V _{OB}	V _{OB}	V _{IB}

表 2. 電力レベル

Input Voltage (V)	Output Voltage (V)	Output Power (mW)
5	5	150
5	3.3	100
3.3	3.3	66

目次

特長.....	1	ESD の注意	11
アプリケーション	1	ピン配置およびピン機能説明.....	12
機能ブロック図	1	真理値表.....	15
概要.....	1	代表的な性能特性	16
改訂履歴.....	2	アプリケーション情報	19
仕様.....	3	PCB レイアウト.....	19
電気的特性—5 V 1 次入力電源/5 V 2 次絶縁型電源.....	3	熱解析.....	20
電気的特性—3.3 V 1 次入力電源/3.3 V 2 次絶縁型電源.....	5	伝搬遅延パラメータ	20
電気的特性—5 V 1 次入力電源/3.3 V 2 次絶縁型電源.....	7	EMI の注意事項.....	20
パッケージ特性.....	9	DC 精度と磁界耐性.....	20
各種規制の認定.....	9	消費電力.....	21
絶縁および安全性関連の仕様	9	絶縁寿命.....	22
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	10	外形寸法.....	23
推奨動作条件.....	10	オーダー・ガイド.....	23
絶対最大定格.....	11		

改訂履歴

5/13—Rev. 0 to Rev. A

Added Table 1, Renumbered Sequentially.....	1
Changes to Table 3	3

1/13—Revision 0: Initial Version

仕様

電気的特性—5 V 1 次入力電源/5 V 2 次絶縁型電源

すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = V_{DDP} = 5\text{ V}$ 、 V_{SEL} 抵抗回路: $R_1 = 10\text{ k}\Omega$ 、 $R_2 = 30.9\text{ k}\Omega$ (V_{ISO} と GND_{ISO} の間に接続)での値です。特に指定がない限り、最小/最大仕様は推奨動作範囲に適用されます: $4.5\text{ V} \leq V_{DD1}$ 、 V_{DD2} 、 $V_{DDP} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$ 。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$ と CMOS 信号レベルでテストされます。

表 3.DC/DC コンバータの静的仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER SUPPLY						
Setpoint	V_{ISO}		5.0		V	$I_{ISO} = 15\text{ mA}$, $R_1 = 10\text{ k}\Omega$, $R_2 = 30.9\text{ k}\Omega$
Thermal Coefficient	$V_{ISO(TC)}$		-44		$\mu\text{V}/^\circ\text{C}$	
Line Regulation	$V_{ISO(LINE)}$		20		mV/V	$I_{ISO} = 15\text{ mA}$, $V_{DDP} = 4.5\text{ V to } 5.5\text{ V}$
Load Regulation	$V_{ISO(LOAD)}$		1.3	3	%	$I_{ISO} = 3\text{ mA to } 27\text{ mA}$
Output Ripple	$V_{ISO(RIP)}$		75		mV p-p	20 MHz bandwidth, $C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 27\text{ mA}$
Output Noise	$V_{ISO(NOISE)}$		200		mV p-p	$C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 27\text{ mA}$
Switching Frequency	f_{OSC}		125		MHz	
Pulse-Width Modulation Frequency	f_{PWM}		600		kHz	
Output Supply	$I_{ISO(MAX)}$	30			mA	$5.5\text{ V} > V_{ISO} > 4.5\text{ V}$
Efficiency at $I_{ISO(MAX)}$			29		%	$I_{ISO} = 27\text{ mA}$
I_{DDP} , No V_{ISO} Load	$I_{DDP(Q)}$		6.8	12	mA	
I_{DDP} , Full V_{ISO} Load	$I_{DDP(MAX)}$		104		mA	
Thermal Shutdown						
Shutdown Temperature			154		$^\circ\text{C}$	
Thermal Hysteresis			10		$^\circ\text{C}$	

表 4.データ・チャンネルの電源電流

Parameter	Symbol	1 Mbps—A, B, C Grades			25 Mbps—B, C Grades			100 Mbps—C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM5210	I_{DD1}	1.1	1.6		6.2	7.0		20	25		mA	$C_L = 0\text{ pF}$
	I_{DD2}	2.7	4.5		4.8	7.0		9.5	15		mA	$C_L = 0\text{ pF}$
ADuM5211	I_{DD1}	2.1	2.7		4.9	6.5		15	19		mA	$C_L = 0\text{ pF}$
	I_{DD2}	2.3	2.9		4.7	6.5		15.6	19		mA	$C_L = 0\text{ pF}$
ADuM5212	I_{DD1}	2.7	4.5		4.8	7.0		9.5	15		mA	$C_L = 0\text{ pF}$
	I_{DD2}	1.1	1.6		6.2	7.0		20	25		mA	$C_L = 0\text{ pF}$

表 5.スイッチング仕様

Parameter	Symbol	A Grade			B Grade			C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS												
Data Rate				1			25			100	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}			50			35	13	18	24	ns	50% input to 50% output
Pulse Width Distortion	PWD			10			3			2	ns	$ t_{PLH} - t_{PHL} $
Pulse Width	PW	1000			40			10			ns	Within PWD limit
Propagation Delay Skew	t_{PSK}			38			12			9	ns	Between any two units
Channel Matching												
Codirectional	t_{PSKCD}			5			3			2	ns	
Opposing Direction	t_{PSKOD}			10			6			5	ns	
Jitter				2			2			1	ns	

表 6. 入力/出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Logic High Input Threshold	V_{IH}	$0.7 V_{ISO}$, $0.7 V_{DD1}$			V	
Logic Low Input Threshold	V_{IL}			$0.3 V_{ISO}$, $0.3 V_{DD1}$	V	
Logic High Output Voltages	V_{OH}	$V_{DD1} - 0.1$, $V_{DD2} - 0.1$	V_{DD1}, V_{DD2}		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
		$V_{DD1} - 0.4$, $V_{DD2} - 0.4$	$V_{DD1} - 0.2$, $V_{DD2} - 0.2$		V	$I_{Ox} = -4 \text{ mA}, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	V_{OL}		0.0	0.1	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4 \text{ mA}, V_{Ix} = V_{IxL}$
Undervoltage Lockout						$V_{DD1}, V_{DD2}, V_{DDP}$ supply
Positive Going Threshold	V_{UV+}		2.6		V	
Negative Going Threshold	V_{UV-}		2.4		V	
Hysteresis	V_{UVH}		0.2		V	
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.54	0.8	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		1.6	2.0	mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.09		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.04		mA/Mbps	
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_{Ix} \leq V_{DDx}$
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ¹	CM	25	35		kV/ μs	$V_{Ix} = V_{DD1}$ or V_{ISO} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Refresh Rate	t_r		1.6		μs	

¹ |CM|は、ハイ・レベル入力に対して $V_{Ox} > 0.8 \times V_{DD1}$ または $0.8 \times V_{ISO}$ を、またはロー・レベル入力に対して $V_{Ox} < 0.8 \times V_{DD1}$ または $0.8 \times V_{ISO}$ をそれぞれ維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりと立下がりの両同相モード電圧エッジに適用されます。

電気的特性—3.3 V 1 次入力電源/3.3 V 2 次絶縁型電源

すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = V_{DDP} = 3.3\text{ V}$ 、 V_{SEL} 抵抗回路: $R1 = 10\text{ k}\Omega$ 、 $R2 = 16.9\text{ k}\Omega$ (V_{ISO} と GND_{ISO} の間に接続)での値です。特に指定がない限り、最小/最大仕様は推奨動作範囲に適用されます: $3.0\text{ V} \leq V_{DD1}$ 、 V_{DD2} 、 $V_{DDP} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$ 。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$ と CMOS 信号レベルでテストされます。

デジタル・アイソレータ・チャンネルと電源セクションは独立に動作するため、このセクションの動作電圧では、最大データ・レートで両データ・チャンネルを動作させるために V_{ISO} から十分な電流が得られないことがあります。この電源から V_{DD2} へ電力を供給する場合は、アプリケーションが V_{ISO} の電源容量内にあることを確認して下さい。

表 7.DC/DC コンバータの静的仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER SUPPLY						
Setpoint	V_{ISO}		3.3		V	$I_{ISO} = 10\text{ mA}$, $R1 = 10\text{ k}\Omega$, $R2 = 16.9\text{ k}\Omega$
Thermal Coefficient	$V_{ISO (TC)}$		-26		$\mu\text{V}/^\circ\text{C}$	$I_{ISO} = 20\text{ mA}$
Line Regulation	$V_{ISO (LINE)}$		20		mV/V	$I_{ISO} = 10\text{ mA}$, $V_{DDP} = 3.0\text{ V to } 3.6\text{ V}$
Load Regulation	$V_{ISO (LOAD)}$		1.3	3	%	$I_{ISO} = 2\text{ mA to } 18\text{ mA}$
Output Ripple	$V_{ISO (RIP)}$		50		mV p-p	20 MHz bandwidth, $C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 18\text{ mA}$
Output Noise	$V_{ISO (NOISE)}$		130		mV p-p	$C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 18\text{ mA}$
Switching Frequency	f_{OSC}		125		MHz	
Pulse-Width Modulation Frequency	f_{PWM}		600		kHz	
Output Supply	$I_{ISO (MAX)}$	20			mA	$3.6\text{ V} > V_{ISO} > 3\text{ V}$
Efficiency at $I_{ISO (MAX)}$			27		%	$I_{ISO} = 18\text{ mA}$
I_{DDP} , No V_{ISO} Load	$I_{DDP (Q)}$		3.3	10.5	mA	
I_{DDP} , Full V_{ISO} Load	$I_{DDP (MAX)}$		77		mA	
Thermal Shutdown						
Shutdown Temperature			154		$^\circ\text{C}$	
Thermal Hysteresis			10		$^\circ\text{C}$	

表 8.データ・チャンネルの電源電流

Parameter	Symbol	1 Mbps—A, B, C Grades			25 Mbps—B, C Grades			100 Mbps—C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM5210	I_{DD1}		0.75	1.4		5.1	9.0		17	23	mA	$C_L = 0\text{ pF}$
	I_{DD2}		2.0	3.5		2.7	4.6		4.8	9	mA	$C_L = 0\text{ pF}$
ADuM5211	I_{DD1}		1.6	2.1		3.8	5.0		11	15	mA	$C_L = 0\text{ pF}$
	I_{DD2}		1.7	2.3		3.9	6.2		11	15	mA	$C_L = 0\text{ pF}$
ADuM5212	I_{DD1}		2.0	3.5		2.7	4.6		4.8	9	mA	$C_L = 0\text{ pF}$
	I_{DD2}		0.75	1.4		5.1	9.0		17	23	mA	$C_L = 0\text{ pF}$

表 9.スイッチング仕様

Parameter	Symbol	A Grade			B Grade			C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS												
Data Rate				1			25			100	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}			50			35	20	25	33	ns	50% input to 50% output
Pulse Width Distortion	PWD			10			3			2.5	ns	$ t_{PLH} - t_{PHL} $
Pulse Width	PW	1000			40			10			ns	Within PWD limit
Propagation Delay Skew	t_{PSK}			38			16			12	ns	Between any two units
Channel Matching												
Codirectional	t_{PSKCD}			5			3			2.5	ns	
Opposing Direction	t_{PSKOD}			10			6			5	ns	
Jitter				2			2			1	ns	

表 10.入力/出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Logic High Input Threshold	V_{IH}	$0.7 V_{ISO}, 0.7 V_{DD1}$			V	
Logic Low Input Threshold	V_{IL}			$0.3 V_{ISO}, 0.3 V_{DD1}$	V	
Logic High Output Voltages	V_{OH}	$V_{DD1} - 0.1, V_{DD2} - 0.1$	V_{DD1}, V_{DD2}		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
			$V_{DD1} - 0.4, V_{DD2} - 0.4$	$V_{DD1} - 0.2, V_{DD2} - 0.2$		V
Logic Low Output Voltages	V_{OL}		0.0	0.1	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
				0.2	0.4	V
Undervoltage Lockout						$V_{DD1}, V_{DD2}, V_{DDP}$ supply
Positive Going Threshold	V_{UV+}		2.6		V	
Negative Going Threshold	V_{UV-}		2.4		V	
Hysteresis	V_{UVH}		0.2		V	
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.4	0.6	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		1.2	1.7	mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.08		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.015		mA/Mbps	
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0 V \leq V_{Ix} \leq V_{DDx}$
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		3		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM $	25	35		kV/ μs	$V_{Ix} = V_{DD1}$ Or $V_{ISO}, V_{CM} = 1000 V,$ transient magnitude = 800 V
Refresh Rate	t_r		1.6		μs	

¹ |CM|は、ハイ・レベル入力に対して $V_{Ox} > 0.8 \times V_{DD1}$ または $0.8 \times V_{ISO}$ を、またはロー・レベル入力に対して $V_{Ox} < 0.8 \times V_{DD1}$ または $0.8 \times V_{ISO}$ をそれぞれ維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりと立下がりの両同相モード電圧エッジに適用されます。

電気的特性—5 V 1 次入力電源/3.3 V 2 次絶縁型電源

すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DDP} = 5\text{ V}$ 、 $V_{DD2} = 3.3\text{ V}$ 、 V_{SEL} 抵抗回路: $R1 = 10\text{ k}\Omega$ 、 $R2 = 16.9\text{ k}\Omega$ (V_{ISO} と GND_{ISO} の間に接続)での値です。特に指定がない限り、最小/最大仕様は推奨動作範囲に適用されます: $4.5\text{ V} \leq V_{DD1}$ 、 $V_{DDP} \leq 5.5\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$ 。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$ と CMOS 信号レベルでテストされます。

表 11.DC/DC コンバータの静的仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER SUPPLY						
Setpoint	V_{ISO}		3.3		V	$I_{ISO} = 15\text{ mA}$, $R1 = 10\text{ k}\Omega$, $R2 = 16.9\text{ k}\Omega$
Thermal Coefficient	$V_{ISO(TC)}$		-26		$\mu\text{V}/^\circ\text{C}$	
Line Regulation	$V_{ISO(LINE)}$		20		mV/V	$I_{ISO} = 15\text{ mA}$, $V_{DDP} = 4.5\text{ V to } 5.5\text{ V}$
Load Regulation	$V_{ISO(LOAD)}$		1.3	3	%	$I_{ISO} = 3\text{ mA to } 27\text{ mA}$
Output Ripple	$V_{ISO(RIP)}$		50		mV p-p	20 MHz bandwidth, $C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 27\text{ mA}$
Output Noise	$V_{ISO(NOISE)}$		130		mV p-p	$C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 27\text{ mA}$
Switching Frequency	f_{OSC}		125		MHz	
Pulse Width Modulation Frequency	f_{PWM}		600		kHz	
Output Supply	$I_{ISO(MAX)}$	30			mA	$3.6\text{ V} > V_{ISO} > 3\text{ V}$
Efficiency at $I_{ISO(MAX)}$			24		%	$I_{ISO} = 27\text{ mA}$
I_{DDP} , No V_{ISO} Load	$I_{DDP(Q)}$		3.2	8	mA	
I_{DDP} , Full V_{ISO} Load	$I_{DDP(MAX)}$		85		mA	
Thermal Shutdown						
Shutdown Temperature			154		$^\circ\text{C}$	
Thermal Hysteresis			10		$^\circ\text{C}$	

表 12.データ・チャンネルの電源電流

Parameter	Symbol	1 Mbps—A, B, C Grades			25 Mbps—B, C Grades			100 Mbps—C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM5210	I_{DD1}	1.1	1.6		6.2	7.0		20	25		mA	$C_L = 0\text{ pF}$
	I_{DD2}	2.0	3.5		2.7	4.6		4.8	9.0		mA	$C_L = 0\text{ pF}$
ADuM5211	I_{DD1}	2.1	2.7		4.9	6.5		15	19		mA	$C_L = 0\text{ pF}$
	I_{DD2}	1.7	2.3		3.9	6.2		11	15		mA	$C_L = 0\text{ pF}$
ADuM5212	I_{DD1}	2.0	3.5		2.7	4.6		4.8	9.0		mA	$C_L = 0\text{ pF}$
	I_{DD2}	1.1	1.6		6.2	7.0		20	25		mA	$C_L = 0\text{ pF}$

表 13.スイッチング仕様

Parameter	Symbol	A Grade			B Grade			C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS												
Data Rate			1			25			100		Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}		50			35		13	20	26	ns	50% input to 50% output
Pulse Width Distortion	PWD		10			3			2.5		ns	$ t_{PLH} - t_{PHL} $
Pulse Width	PW	1000			40			10			ns	Within PWD limit
Propagation Delay Skew	t_{PSK}		38			16			12		ns	Between any two units
Channel Matching												
Codirectional	t_{PSKCD}		5			3			2		ns	
Opposing Direction	t_{PSKOD}		10			6			5		ns	
Jitter			2			2			1		ns	

表 14. 入力/出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Logic High Input Threshold	V_{IH}	$0.7 V_{ISO}$, $0.7 V_{DD1}$			V	
Logic Low Input Threshold	V_{IL}			$0.3 V_{ISO}$, $0.3 V_{DD1}$	V	
Logic High Output Voltages	V_{OH}	$V_{DD1} - 0.1$, $V_{DD2} - 0.1$	V_{DD1} , V_{DD2}		V	$I_{Ox} = -20 \mu A$, $V_{Ix} = V_{IxH}$
		$V_{DD1} - 0.4$, $V_{DD2} - 0.4$	$V_{DD1} - 0.2$, $V_{DD2} - 0.2$		V	$I_{Ox} = -4 \text{ mA}$, $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	V_{OL}		0.0	0.1	V	$I_{Ox} = 20 \mu A$, $V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4 \text{ mA}$, $V_{Ix} = V_{IxL}$
Undervoltage Lockout						V_{DD1} , V_{DD2} , V_{DDP} supply
Positive Going Threshold	V_{UV+}		2.6		V	
Negative Going Threshold	V_{UV-}		2.4		V	
Hysteresis	V_{UVH}		0.2		V	
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.54	0.75	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		1.2	2.0	mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.09		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.02		mA/Mbps	
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_{Ix} \leq V_{DDx}$
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM $	25	35		kV/ μs	$V_{Ix} = V_{DD1}$ or V_{ISO} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Refresh Rate	t_r		1.6		μs	

¹ $|CM|$ は、ハイ・レベル入力に対して $V_{Ox} > 0.8 \times V_{DD1}$ または $0.8 \times V_{ISO}$ を、またはロー・レベル入力に対して $V_{Ox} < 0.8 \times V_{DD1}$ または $0.8 \times V_{ISO}$ をそれぞれ維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりと立下がりの両同相モード電圧エッジに適用されます。

パッケージ特性

表 15.熱特性およびアイソレーション特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction-to-Ambient Thermal Resistance	θ _{JA}		50		°C/W	Thermocouple located at center of package underside, test conducted on 4-layer board with thin traces ³

¹ デバイスは2端子デバイスと見なします。すなわち、ピン1~ピン10を相互に接続し、ピン11~ピン20を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間。

³ 熱モデルの定義については熱解析のセクションを参照してください。

各種規制の認定

表 16.

UL (Pending) ¹	CSA (Pending)	VDE (Pending) ²
Recognized under 1577 Component Recognition Program ¹ Single Protection, 2500 V RMS Isolation Voltage File E214100	Approved under CSA Component Acceptance Notice #5A Basic insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (565 V peak) maximum working voltage File 205078	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ² Reinforced insulation, 560 V peak File 2471900-4880-0001

¹ UL1577に従い、絶縁テスト電圧3,000 V rms以上を1秒間加えて各ADuM5210/ADuM5211/ADuM5212を確認テストします(リーク電流検出規定値 = 10μA)。

² DIN V VDE V 0884-10に従い、各ADuM5210/ADuM5211/ADuM5212に1,590 Vpeak以上の絶縁テスト電圧を1秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 17.安全性に関する重要寸法と材質

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	5.3	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	5.3	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303, Part 1
Isolation Group		II		Material group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

これらのアイソレータは、安全性制限値データ以内でのみ強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージに(*)マークが付いたブランドは、DIN V VDE V 0884-10 認定製品を表します。

表 18.VDE 特性

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	560	V peak
Input-to-Output Test Voltage, Method b1	$V_{IORM} \times 1.875 = V_{pd(m)}$, 100% production test, $t_{mi} = t_m = 1$ sec, partial discharge < 5 pC	$V_{pd(m)}$	1050	V peak
Input-to-Output Test Voltage, Method a After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$, $t_{mi} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	840	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{mi} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	672	V peak
Highest Allowable Overvoltage		V_{IOTM}	3535	V peak
Surge Isolation Voltage		V_{IOSM}	4000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 2)	T_S	150	°C
Case Temperature		I_{S1}	2.5	W
Safety Total Dissipated Power		R_S	>10 ⁹	Ω
Insulation Resistance at T_S	$V_{IO} = 500$ V			

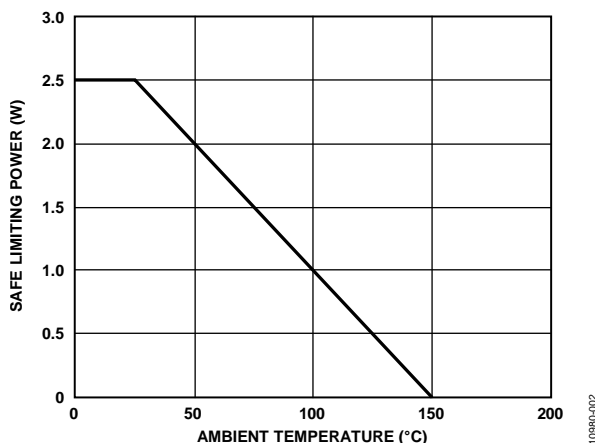


図 2.温度ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 19.

Parameter	Symbol	Min	Max	Unit
Operating Temperature ¹	T_A	-40	+105	°C
Supply Voltages ²				
V_{DDP} at $V_{ISO} = 3.0$ V to 3.6 V	V_{DDP}	3.0	5.5	V
V_{DDP} at $V_{ISO} = 4.5$ V to 5.5 V		4.5	5.5	V
V_{DD1} , V_{DD2}	V_{DD1} , V_{DD2}	2.7	5.5	V

¹ 105°C での動作には、表 20 に規定するように最大負荷電流の削減が必要です。

² 各電圧はそれぞれのグラウンドを基準とします。

絶対最大定格

特に指定のない限り、周囲温度は 25 °C です。

表 20.

Parameter	Rating
Storage Temperature (T_{ST})	-55°C to +150°C
Ambient Operating Temperature (T_A)	-40°C to +105°C
Supply Voltages (V_{DDP} , V_{DD1} , V_{DD2} , V_{ISO}) ¹	-0.5 V to +7.0 V
V_{ISO} Supply Current ²	
$T_A = -40°C$ to $+105°C$	30 mA
Input Voltage (V_{IA} , V_{IB} , $PDIS$, V_{SEL}) ^{1,3}	-0.5 V to $V_{DD1} + 0.5$ V
Output Voltage (V_{OA} , V_{OB}) ^{1,3}	-0.5 V to $V_{DD0} + 0.5$ V
Average Output Current Per Data Output Pin ⁴	-10 mA to +10 mA
Common-Mode Transients ⁵	-100 kV/ μ s to +100 kV/ μ s

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{ISO} は V_{ISO} I/O チャンネルの DC 負荷とダイナミック負荷に電流を供給します。総合 V_{ISO} 電源電流を求めるときは、この電流を含める必要があります。85°C~105°C の周囲温度では、最大許容電流は小さくなります。

³ V_{DD1} と V_{DD0} は、それぞれチャンネルの入力側と出力側の電源電圧を表します。PC ボード・レイアウトのセクションを参照してください。

⁴ 種々の温度に対する最大定格電流値については図 2 を参照してください。

⁵ 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧は、ラッチアップまたは永久故障の原因になります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 21.50 年の最小寿命をサポートする最大連続動作電圧¹

Parameter	Max	Unit	Applicable Certification
AC Voltage			
Bipolar Waveform	560	V peak	All certifications, 50-year operation
Unipolar Waveform	560	V peak	
DC Voltage			
DC Peak Voltage	560	V peak	

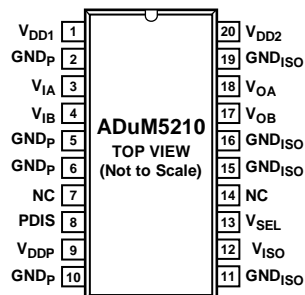
¹ アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



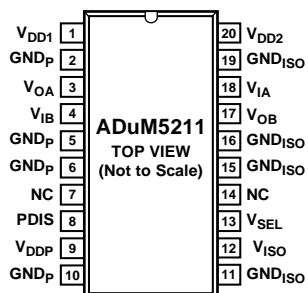
NOTES
 1. PINS LABELED NC CAN BE ALLOWED TO FLOAT, BUT IT IS BETTER TO CONNECT THESE PINS TO GROUND. AVOID ROUTING HIGH SPEED SIGNALS THROUGH THESE PINS BECAUSE NOISE COUPLING MAY RESULT.

10890-003

図 3.ADuM5210 のピン配置

表 22.ADuM5210 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	デバイスのサイド 1 ロジック回路の電源。V _{DDP} とは独立で、3.0 V～5.5 V で動作することができます。
2、5、6、10	GND _P	アイソレータ・サイド 1 のグラウンド基準。これらすべてのピンは内部で接続されているため、すべての GND _P ピンを共通グラウンドに接続することが推奨されます。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
7、14	NC	このピンは内部で接続されていません (図 3 参照)。
8	PDIS	電源ディスエーブル。このピンをロー・レベルにすると電力コンバータがアクティブに、ハイ・レベルにすると電源が低消費電力スタンバイ・モードに、それぞれなります。
9	V _{DDP}	1 次側 isoPower 電源電圧 3.0 V～5.5 V。
11、15、16、19	GND _{ISO}	アイソレータ・サイド 2 のグラウンド基準。これらすべてのピンは内部で接続されているため、すべての GND _{ISO} ピンを共通グラウンドに接続することが推奨されます。
12	V _{ISO}	外部負荷に対する 2 次側電源電圧出力、3.3 V (V _{SEL} = ロー・レベル) または 5.0 V (V _{SEL} = ハイ・レベル)。
13	V _{SEL}	出力電圧の選択。V _{ISO} と GND _{ISO} の間に熱的に一致する抵抗回路を接続して、出力電圧を分圧して 1.25 V リファレンス電圧に一致させてください。V _{ISO} 電圧は V _{DDP} の上側 20% または下側 75% まで設定することができますが、許容出力電圧範囲を超えることはできません。
17	V _{OB}	ロジック出力 B。
18	V _{OA}	ロジック出力 A。
20	V _{DD2}	デバイスのサイド 2 ロジック回路の電源。V _{ISO} とは独立で、3.0 V～5.5 V で動作することができます。



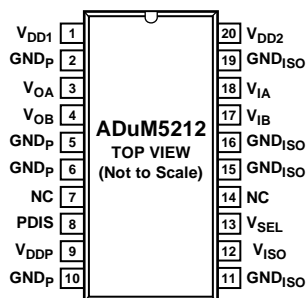
NOTES
 1. PINS LABELED NC CAN BE ALLOWED TO FLOAT, BUT IT IS BETTER TO CONNECT THESE PINS TO GROUND. AVOID ROUTING HIGH SPEED SIGNALS THROUGH THESE PINS BECAUSE NOISE COUPLING MAY RESULT.

10889D-005

図 4.ADuM5211 のピン配置

表 23.ADuM5211 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	デバイスのサイド 1 ロジック回路の電源。V _{DDP} とは独立で、3.0 V～5.5 V で動作することができます。
2、5、6、10	GND _P	アイソレータ・サイド 1 のグラウンド基準。これらすべてのピンは内部で接続されているため、すべての GND _P ピンを共通グラウンドに接続することが推奨されます。
3	V _{OA}	ロジック出力 A。
4	V _{IB}	ロジック入力 B。
7、14	NC	このピンは内部で接続されていません (図 4 参照)。
8	PDIS	電源ディスエーブル。このピンをロー・レベルにすると電力コンバータがアクティブに、ハイ・レベルにすると電源が低消費電力スタンバイ・モードに、それぞれなります。
9	V _{DDP}	1 次側 isoPower 電源電圧 3.0 V～5.5 V。
11、15、16、19	GND _{ISO}	アイソレータ・サイド 2 のグラウンド基準。これらすべてのピンは内部で接続されているため、すべての GND _{ISO} ピンを共通グラウンドに接続することが推奨されます。
12	V _{ISO}	外部負荷に対する 2 次側電源電圧出力、3.3 V (V _{SEL} = ロー・レベル) または 5.0 V (V _{SEL} = ハイ・レベル)。
13	V _{SEL}	出力電圧の選択。V _{ISO} と GND _{ISO} の間に熱的に一致する抵抗回路を接続して、出力電圧を分圧して 1.25 V リファレンス電圧に一致させてください。V _{ISO} 電圧は V _{DDP} の上側 20% または下側 75% まで設定することができますが、許容出力電圧範囲を超えることはできません。
17	V _{OB}	ロジック出力 B。
18	V _{IA}	ロジック入力 A。
20	V _{DD2}	デバイスのサイド 2 ロジック回路の電源。V _{ISO} とは独立で、3.0 V～5.5 V で動作することができます。



NOTES
 1. PINS LABELED NC CAN BE ALLOWED TO FLOAT OR CAN BE CONNECTED TO THE GROUND. AVOID CONNECTING THEM TO HIGH SPEED SIGNALS TO MINIMIZE CAPACITIVE COUPLING OF NOISE.

1088C-007

図 5.ADuM5212 のピン配置

表 24.ADuM5212 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	デバイスのサイド 1 ロジック回路の電源。V _{DDP} とは独立で、3.0 V~5.5 V で動作することができます。
2、5、6、10	GND _P	アイソレータ・サイド 1 のグラウンド基準。これらすべてのピンは内部で接続されているため、すべての GND _P ピンを共通グラウンドに接続することが推奨されます。
3	V _{OA}	ロジック出力 A。
4	V _{OB}	ロジック出力 B。
7、14	NC	このピンは内部で接続されていません (図 5 参照)。
8	PDIS	電源ディスエーブル。このピンをロー・レベルにすると電力コンバータがアクティブに、ハイ・レベルにすると電源が低消費電力スタンバイ・モードに、それぞれなります。
9	V _{DDP}	1 次側 isoPower 電源電圧 3.0 V~5.5 V。
11、15、16、19	GND _{ISO}	アイソレータ・サイド 2 のグラウンド基準。これらすべてのピンは内部で接続されているため、すべての GND _{ISO} ピンを共通グラウンドに接続することが推奨されます。
12	V _{ISO}	外部負荷に対する 2 次側電源電圧出力、3.3 V (V _{SEL} = ロー・レベル) または 5.0 V (V _{SEL} = ハイ・レベル)。
13	V _{SEL}	出力電圧の選択。V _{ISO} と GND _{ISO} の間に熱的に一致する抵抗回路を接続して、出力電圧を分圧して 1.25 V リファレンス電圧に一致させてください。V _{ISO} 電圧は V _{DDP} の上側 20% または下側 75% まで設定することができますが、許容出力電圧範囲を超えることはできません。
17	V _{IB}	ロジック入力 B。
18	V _{IA}	ロジック入力 A。
20	V _{DD2}	デバイスのサイド 2 ロジック回路の電源。V _{ISO} とは独立で、3.0 V~5.5 V で動作することができます。

真理値表

表 25. 電源セクションの真理値表(正論理)

V _{DDP} (V)	V _{SEL} Input	PDIS Input	V _{ISO} Output (V)	Notes
5	R1 = 10 kΩ, R2 = 30.9 kΩ,	Low	5	
5	R1 = 10 kΩ, R2 = 30.9 kΩ,	High	0	
3.3	R1 = 10 kΩ, R2 = 16.9 kΩ	Low	3.3	
3.3	R1 = 10 kΩ, R2 = 16.9 kΩ	High	0	
5	R1 = 10 kΩ, R2 = 30.9 kΩ,	Low	3.3	
5	R1 = 10 kΩ, R2 = 30.9 kΩ,	High	0	
3.3	R1 = 10 kΩ, R2 = 16.9 kΩ	Low	5	Configuration not recommended
3.3	R1 = 10 kΩ, R2 = 16.9 kΩ	High	0	

表 26. データ・セクションの真理値表 (正論理)

V _{DDI} State ¹	V _{Ix} Input ¹	V _{DDO} State ¹	V _{Ox} Output ¹	Notes
Powered	High	Powered	High	Normal operation, data is high
Powered	Low	Powered	Low	Normal operation, data is low
X ²	X ²	Unpowered	Z ³	Output is off
Unpowered	Low	Powered	Low	Output default low
Unpowered	High	Powered	Indeterminate	If a high level is applied to an input when no supply is present, then it can parasitically power the input side causing unpredictable operation

¹ この表内の I と O は、データ・バスおよび対応する電源の入力側と出力側を意味します。

² X = don't care.

³ Z = ハイ・インピーダンス状態。

代表的な性能特性

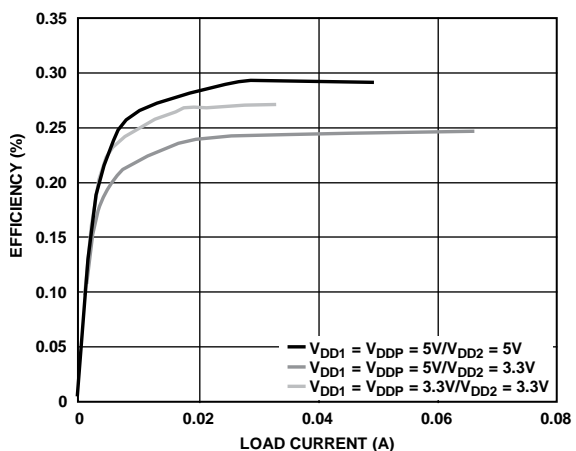


図 6. 5 V/5 V、5 V/3.3 V、3.3 V/3.3 V での電源効率

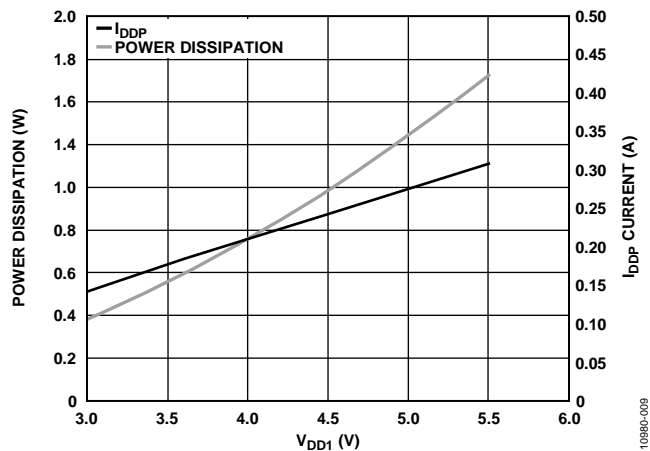


図 9. V_{DD1} 電源電圧対短絡入力電流および電力

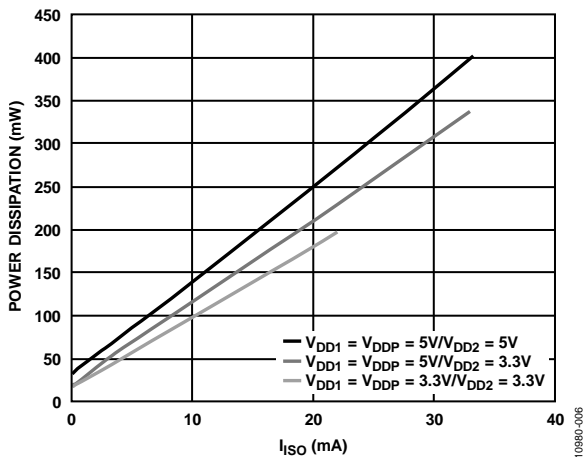


図 7. I_{ISO} 対総合消費電力

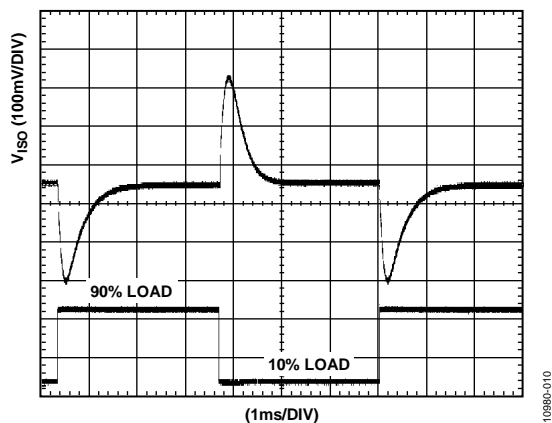


図 10. V_{ISO} 過渡負荷応答
5 V 出力、10%→90% の負荷ステップ

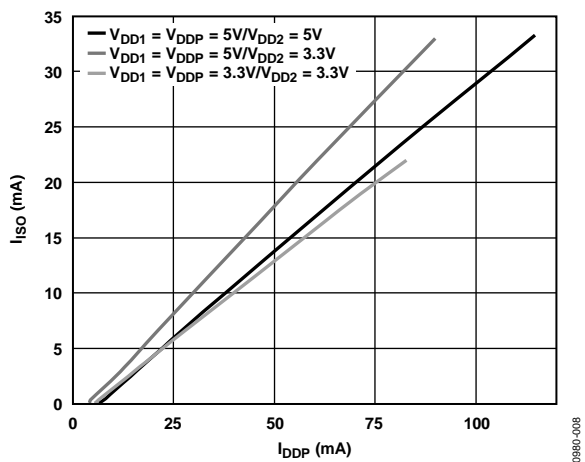


図 8. 5 V/5 V、5 V/3.3 V、3.3 V/3.3 V での外部負荷の関数としての絶縁型出力電源電流 I_{ISO}

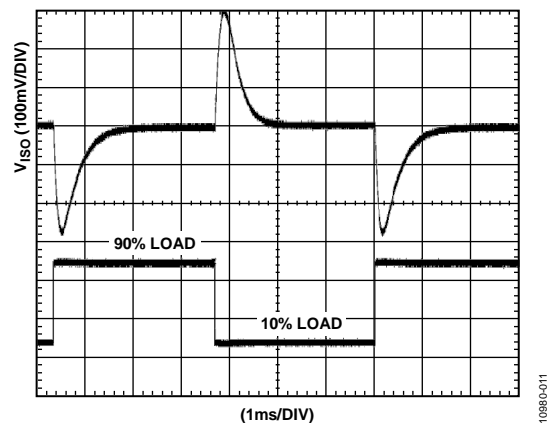


図 11. 過渡負荷応答
3 V 出力、10%→90% の負荷ステップ

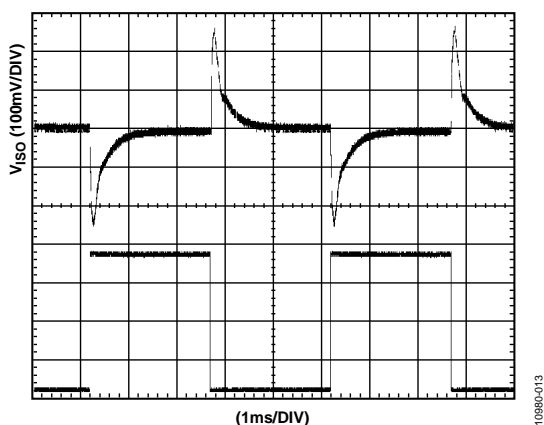


図 12. 過渡負荷応答
5 V 入力、3.3 V 出力、10%→90% 負荷ステップ

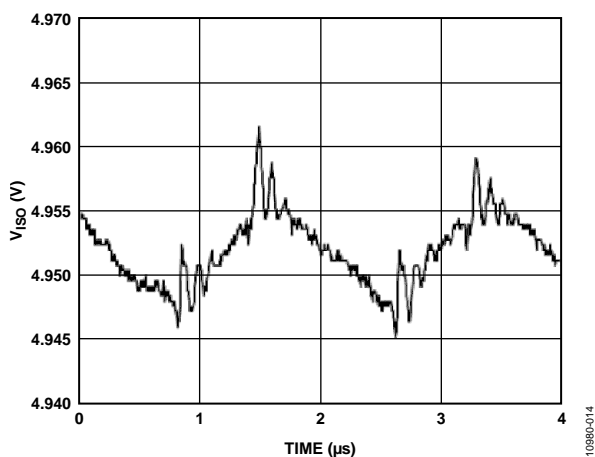


図 13. 90% 負荷での $V_{iso} = 5V$ 出力電圧リップル

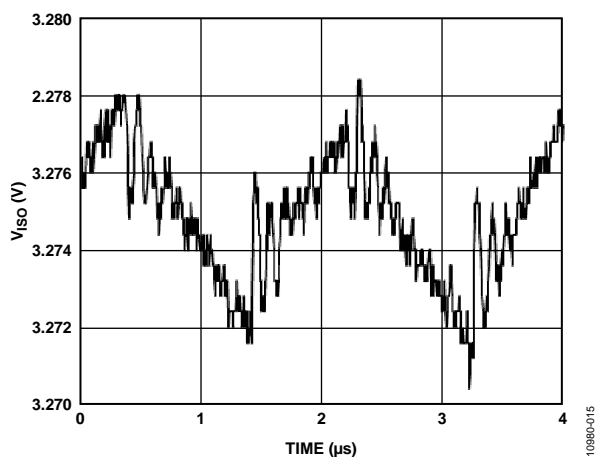


図 14. 90% 負荷での $V_{iso} = 3.3V$ 出力電圧リップル

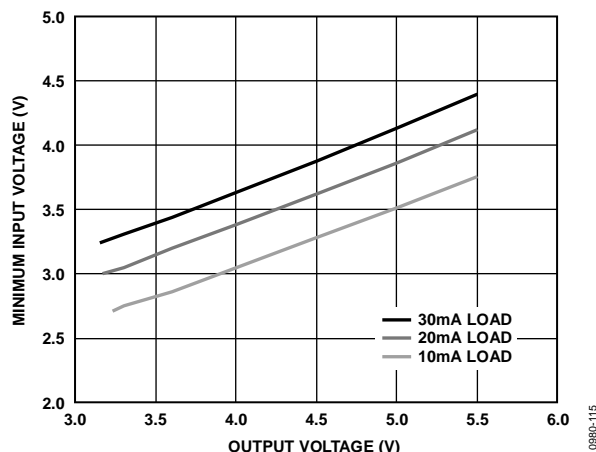


図 15. PWM デューティ・ファクタ 80%以上を維持する負荷条件での出力電圧と所要入力電圧との関係

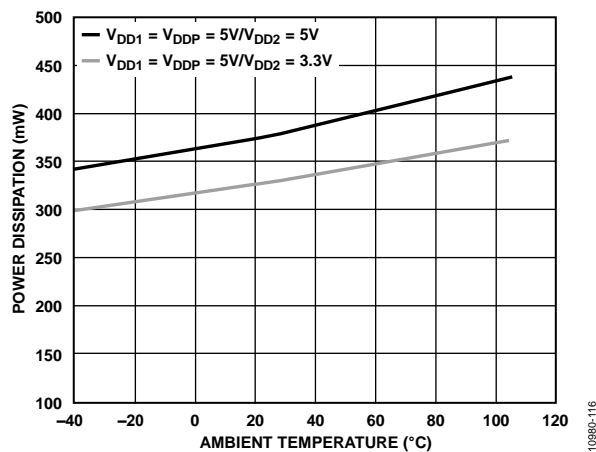


図 16. 消費電力の温度特性、30 mA 負荷

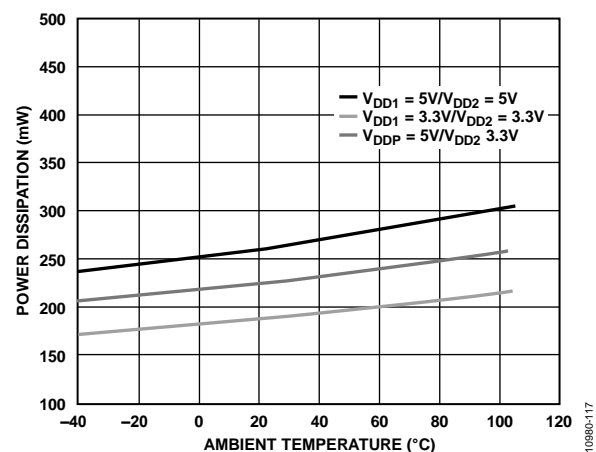


図 17. 消費電力の温度特性、20 mA 負荷

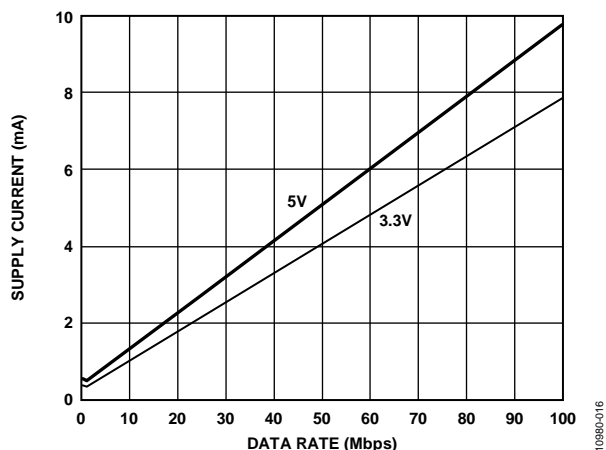


図 18.5 V および 3.3 V 動作でのデータレート対入力チャンネル当たりの電源電流

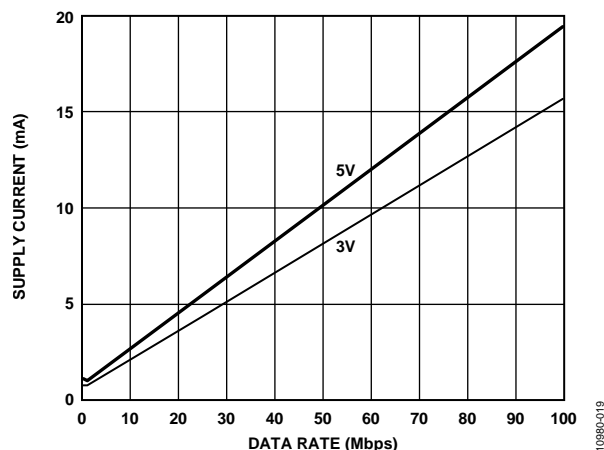


図 21.5 V および 3.3 V 動作でのデータレート対 ADuM5210 V_{DD1} または ADuM5212 V_{DD2} の電源電流

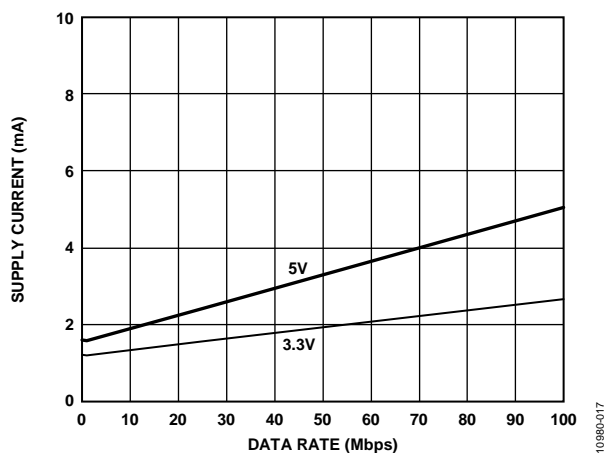


図 19.5 V および 3.3 V 動作でのデータレート(出力無負荷)対出力チャンネルあたりの電源電流

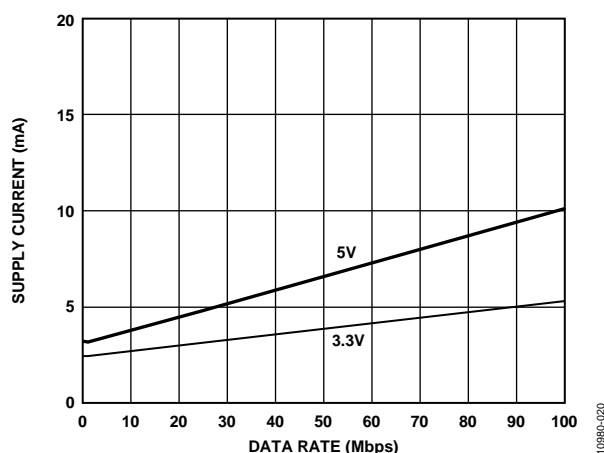


図 22.5 V および 3.3 V 動作でのデータレート対 ADuM5210 V_{DD2} または ADuM5212 V_{DD2} の電源電流

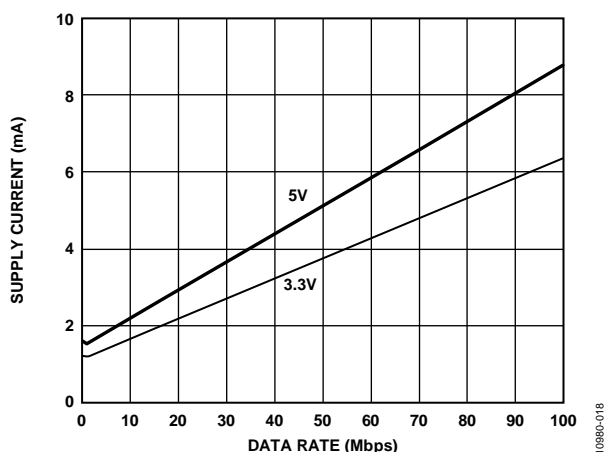


図 20.5 V および 3.3 V 動作でのデータレート(15 pF 出力無負)対出力チャンネルあたりの電源電流

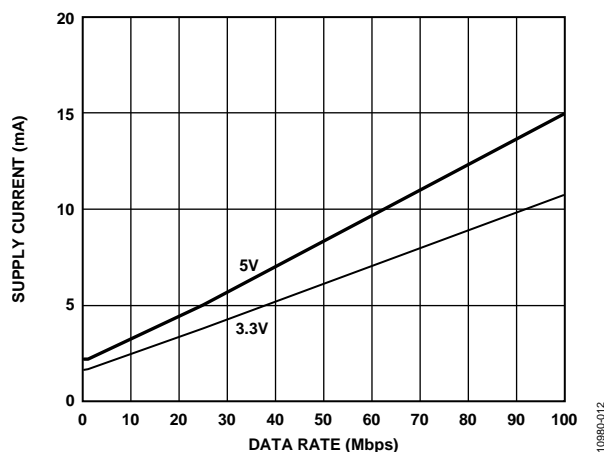


図 23.5 V および 3.3 V 動作でのデータレート対 ADuM5211 の V_{DD1} または V_{DD2} の電源電流

アプリケーション情報

ADuM5210/ADuM5211/ ADuM5212 の DC/DC コンバータ・セクションは、現代の電源で広く採用されている原理に基づいて動作します。これは、絶縁型パルス幅変調 (PWM) 帰還を持つスプリット・コントローラ・アーキテクチャになっています。V_{DDP} 電源は、チップ・スケールの中空トランスへ流れる電流をスイッチする発振回路に電源を供給します。2 次側に転送される電力は、整流され、さらに外付け分圧器による設定に応じて 3.15 V~5.25 V の値にレギュレーションされます(式 1 参照)。2 次側 (V_{ISO}) のコントローラは、専用 iCoupler データ・チャンネルを使って 1 次側 (V_{DDP}) へ送られる PWM 制御信号を発生することにより出力を安定化します。PWM では発振器回路を変調して、2 次側へ送られる電源を制御します。帰還の使用により、非常に高い電力と効率が可能になっています。

$$V_{ISO} = 1.25V \frac{(R1+R2)}{R1} \quad (1)$$

ここで、

R1 は V_{SEL} と GND_{ISO} の間の抵抗。

R2 は、V_{SEL} と V_{ISO} の間の抵抗。

出力電圧は連続的に調整可能であるため、動作状態は無限にあります。このデータシートでは仕様の表に示す 3 つの動作状態について説明します。入力電圧と出力電圧の多くの組み合わせが可能です。図 15 に、室温でサポートしている電圧の組み合わせを示します。図 15 は、V_{ISO} を固定し、PWM デューティ・サイクルが 80% になるまで入力電圧を下げて取得した図です。各カーブは、この条件での動作に必要な最小入力電圧を表します。例えば、5 V で 30 mA の出力電流が必要な場合、V_{DDP} での最小入力電圧は 4.25 V となります。図 15 に、V_{DDP} = 3.3 V 入力と V_{ISO} = 5 V の構成が推奨されない理由も示します。出力電流 10 mA の場合でも、PWM は 80% 以下のデューティ・ファクタを維持できないため、負荷または温度の変動をサポートする余裕がありません。

一般に、ADuM5210/ADuM5211/ADuM5212 の消費電力は室温と最大温度の間で約 17% 大きくなるため、20% の PWM マージンで温度変動をカバーします。

ADuM5210/ADuM5211/ADuM5212 は、1 次側と 2 次側の I/O ピン、および V_{DDP} 電源入力にヒステリシスを持つ低電圧ロックアウト (UVLO) 機能を内蔵しています。この機能により、ノイズの多い入力電源または低速パワーオン・ランプ・レートによりコンバータが発振しないようになっています。

PCB レイアウト

ADuM5210/ADuM5211/ADuM5212 デジタル・アイソレータには 0.15 W の isoPower DC/DC コンバータが内蔵されているため、ロジック・インターフェース用の外付けインターフェース回路は不要です。ESR の小さいコンデンサによる電源バイパスをチップ・パッドのできるだけ近くに設けることが必要です。

isoPower 入力には、電源を効果的にバイパスし、出力電圧を設定し、コア電圧レギュレータをバイパスするために複数の受動部品が必要です(図 24~図 26 参照)。

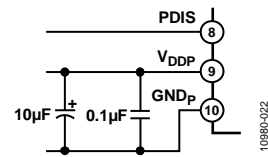


図 24. V_{DDP} のバイアス部品とバイパス部品

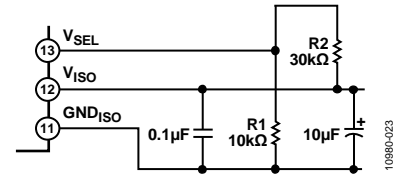


図 25. V_{ISO} のバイアス部品とバイパス部品

ADuM5210/ADuM5211/ ADuM5212 の電源セクションでは、125 MHz の発振器周波数を使って、チップ・スケール・トランスを介して効率良く電力を供給しています。複数の動作周波数に対してバイパス・コンデンサが必要になります。ノイズの抑圧には、低インダクタンス高周波のコンデンサが必要です。リップル抑圧と適切なレギュレーションには大きな値のバルク・コンデンサが必要です。これらのコンデンサは V_{DDP} についてはピン 9 とピン 10 の間に、V_{ISO} についてはピン 11 とピン 12 の間に、それぞれ接続するのが便利です。ノイズとリップルを抑圧するときは、少なくとも 2 個のコンデンサの並列組み合わせが必要です。V_{DD1} の推奨コンデンサ値は、0.1 µF と 10 µF です。これより小さいコンデンサでは、ESR が小さい必要があります。例えば、NPO または X5R セラミック・コンデンサの使用が推奨されます。10 µF のバルク容量としては、セラミック・コンデンサも推奨されます。EMI 制御をさらに強化するときは、並列に 10 nF コンデンサを追加接続することができます。

低 ESR コンデンサの両端と入力電源ピンとの間の合計リード長は 2 mm 以下にする必要があります。

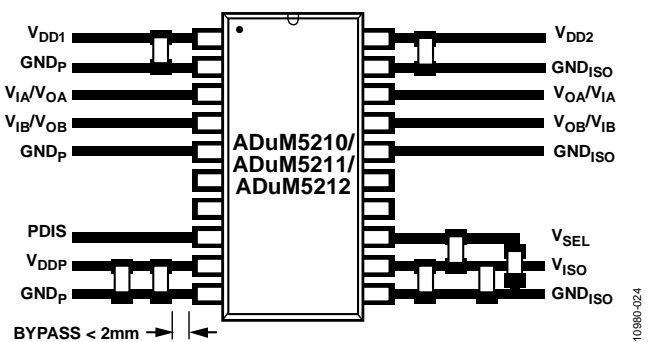


図 26. 推奨 PCB レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるように注意する必要があります。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインしてください。この注意を怠ると、ピン間で発生する電位差が表 20 に規定するデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

熱解析

ADuM5210/ADuM5211/ADuM5212 は、分割されたリード・フレームに取り付けられた 4 個の内部チップ (2 個のチップはパドルに接続) から構成されています。熱解析のため、チップを 1 つのサーマル・ユニットとして扱います。最高ジャンクション温度は、表 15 の θ_{JA} を反映しています。 θ_{JA} 値は、細いパターンを持つ JEDEC 標準 4 層ボード上にデバイスを実装して自然空冷の下で測定します。通常の動作では、ADuM5210/ADuM5211/ADuM5212 はフル負荷で、フル温度範囲で出力電流の低下なしに動作します。

伝搬遅延パラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表すパラメータです(図 27 参照)。ロジック・ロー・レベル出力への伝搬遅延は、ロジック・ハイ・レベルへの伝搬遅延と異なることがあります。

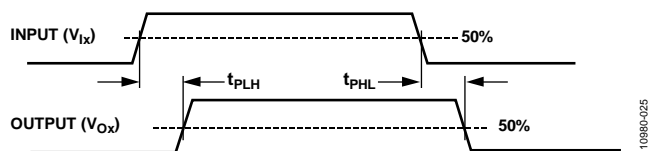


図 27.伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの遅延時間間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの ADuM5210/ADuM5211/ADuM5212 デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM5210/ADuM5211/ADuM5212 デバイス間での伝搬遅延差の最大値を表します。

EMI の注意事項

ADuM5210/ADuM5211/ADuM5212 の DC/DC コンバータ・セクションは、小型のトランスを経由して効率良い電力転送を行うため、非常に高い周波数で動作する必要があります。このため高周波電流が発生して回路ボード・グラウンドと電源プレーンに混入して、エッジ放射とダイポール放射が発生します。これらのデバイスを使用するアプリケーションでは接地した筐体の使用が推奨されます。接地した筐体を使用できない場合は、RF デザイン技術を採用した PCB レイアウトを行う必要があります。ADuM5210/ADuM5211/ADuM5212 の最新の PCB レイアウト推奨事項については、AN-0971 アプリケーション・ノートを参照してください。

DC 精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。1.6 μ s 以上入りにロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力での DC を正常に維持します。

デコーダが約 6.4 μ s 間以上この内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルトのロー・レベル状態にされます。この状況は、ADuM5210/ADuM5211/ADuM5212 デバイスではパワーアップ動作とパワーダウン動作時にのみ発生します。

ADuM5210/ADuM5211/ADuM5212 の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなって、デコーダをセットまたはリセットさせる誤動作の発生により決まります。この状態が発生する条件を以下の解析により求めます。ADuM5210/ADuM5211/ADuM5212 の 3.3 V 動作は最も敏感な動作モードであるため、この条件について調べます。

トランス出力でのパルスは 1.5 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

- ここで、
- β = 磁束密度 (Gauss)
- N = 受信側コイルの巻数
- r_n = 受信側コイルの n 回目の半径 (cm)

ADuM5210/ADuM5211/ADuM5212 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50% であるという条件が与えられると、最大許容磁界は図 28 のように計算されます。

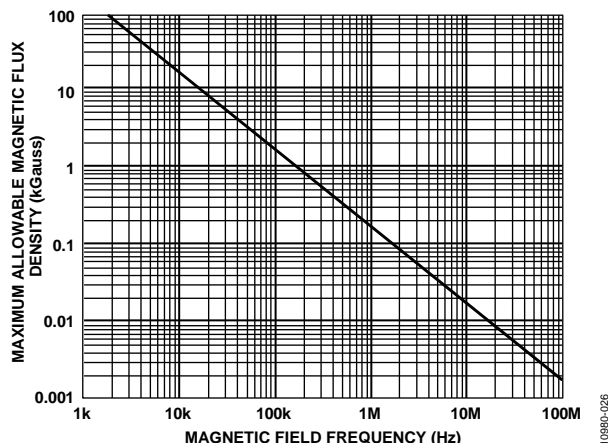


図 28.最大許容外部磁束密度

例えば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.2 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッシュホールドの約 50% であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM5210/ ADuM5211/ADuM5212 トランスから与えられた距離だけ離れた特定の電流値に対応します。図 29 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図 29 から読み取れるように、ADuM5210/ADuM5211/ADuM5212 の耐性は極めて高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM5210/ ADuM5211/ADuM5212 から 5 mm の距離まで近づける必要があります。

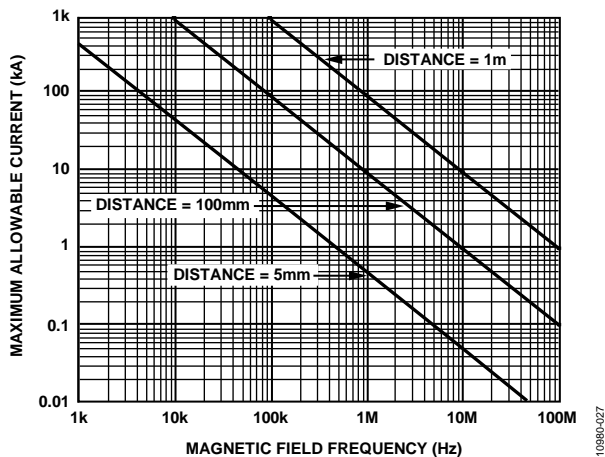


図 29.様々な電流値と ADuM521x までの距離に対する最大許容電流

強い磁界と高周波が組合わさると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

消費電力

V_{DDP} 電源入力は、コンバータのみへ電源を供給します。データ・チャンネルの電源は、 V_{DD1} と V_{DD2} から供給されます。これらの電源は、必要に応じて、 V_{DDP} と V_{ISO} へ接続することができます。あるいは、独立な電源から得ることができます。コンバータは、設計者の判断で使用するスタンドアロン電源として扱う必要があります。

ADuM5210/ADuM5211/ADuM5212 アイソレータ内にあるチャンネルの V_{DD1} または V_{DD2} の電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(Q)} \quad f \leq 0.5 f_r$$

$$I_{DD1} = I_{DD1(D)} \times (2f - f_r) + I_{DD1(Q)} \quad f > 0.5 f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5 f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5 f_r$$

ここで、

$I_{DD1(D)}$ と $I_{DDO(D)}$ は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です (mA/Mbps)。

$I_{DD1(Q)}$ と $I_{DDO(Q)}$ は、それぞれ指定された入力静止電源電流と出力静止電源電流です (mA)。

f は入力ロジック信号周波数 (MHz)、入力データレートの 1/2 で単位は Mbps。

f_r は入力ステージ・リフレッシュ・レート (Mbps)。

C_L は出力負荷容量 (pF)。

V_{DDO} = 出力電源電圧 (V)

V_{DD1} と V_{DD2} の電源電流を計算するために、 V_{DD1} と V_{DD2} に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。図 18 と図 19 に、無負荷状態の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 20 に、15 pF 負荷の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 21 ~ 図 23 に、ADuM5210/ ADuM5211/ADuM5212 チャンネル構成に対するデータレートの関数としての V_{DD1} と V_{DD2} の合計電源電流を示します。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイセスは、広範囲なセットの評価を実施して ADuM5210/ ADuM5211/ADuM5212 の絶縁構造の寿命を測定しています。

定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対して加速ファクタを定めて、実際の動作電圧での故障までの時間を計算できるようにしています。表 21 に、複数の動作条件での 50 年サービス寿命に対するピーク電圧の一覧を示します。多くのケースで、当局のテストにより認定された動作電圧は 50 年サービス寿命の電圧より高くなっています。記載されたサービス寿命電圧より高い動作電圧で動作させると、早期絶縁故障が発生します。

ADuM5210/ADuM5211/ ADuM5212 の絶縁寿命は、アイソレーション障壁に加えらる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 30、図 31、図 32 に、これらの様々なアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命から、アナログ・デバイセスが推奨する最大動作電圧が決定されています。

DC 電圧またはユニポーラ AC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。表 21 に示す動作電圧は、DC 電圧またはユニポーラ AC 電圧のケースに適合する場合、50 年の最小寿命に適用することができます。図 31 または図 32 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 21 に示す 50 年寿命電圧値に制限する必要があります。

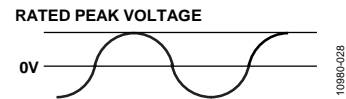


図 30.バイポーラ AC 波形

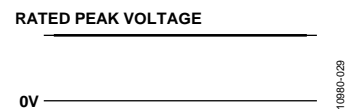
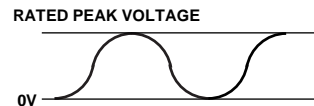


図 31.DC 波形

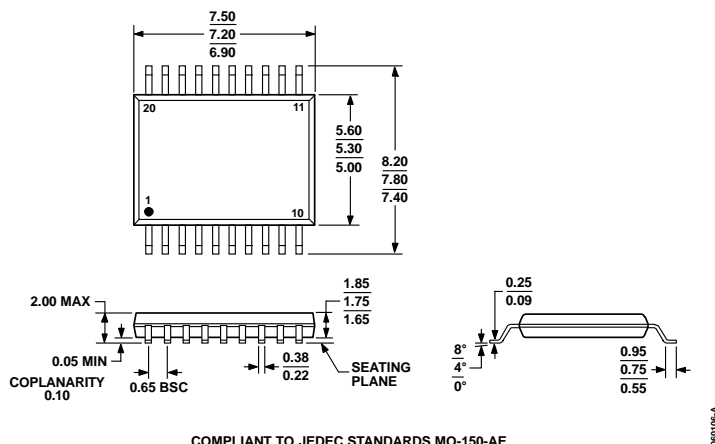


NOTES

1. THE VOLTAGE IS SHOWN AS SINUSOIDAL FOR ILLUSTRATION PURPOSES ONLY. IT IS MEANT TO REPRESENT ANY VOLTAGE WAVEFORM VARYING BETWEEN 0V AND SOME LIMITING VALUE. THE LIMITING VALUE CAN BE POSITIVE OR NEGATIVE, BUT THE VOLTAGE CANNOT CROSS 0V.

図 32.ユニポーラ AC 波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-150-AE

図 33.20 ピン・シュリンク・スモール・アウトライン・パッケージ[SSOP] (RS-20)
寸法: mm

オーダー・ガイド

Model ^{1,2}	Number of Inputs, V _{DDP} Side	Number of Inputs, V _{ISO} Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Pulse Width Distortion (ns)	Temperature Range (°C)	Package Description	Package Option
ADuM5210ARSZ	2	0	1	75	40	-40 to +105	20-Lead SSOP	RS-20
ADuM5210ARSZ-RL7	2	0	1	75	40	-40 to +105	20-Lead SSOP	RS-20
ADuM5210BRSZ	2	0	25	40	3	-40 to +105	20-Lead SSOP	RS-20
ADuM5210BRSZ-RL7	2	0	25	40	3	-40 to +105	20-Lead SSOP	RS-20
ADuM5210CRSZ	2	0	100	15	2	-40 to +105	20-Lead SSOP	RS-20
ADuM5210CRSZ-RL7	2	0	100	15	2	-40 to +105	20-Lead SSOP	RS-20
ADuM5211ARSZ	1	1	1	75	40	-40 to +105	20-Lead SSOP	RS-20
ADuM5211ARSZ-RL7	1	1	1	75	40	-40 to +105	20-Lead SSOP	RS-20
ADuM5211BRSZ	1	1	25	40	3	-40 to +105	20-Lead SSOP	RS-20
ADuM5211BRSZ-RL7	1	1	25	40	3	-40 to +105	20-Lead SSOP	RS-20
ADuM5211CRSZ	1	1	100	15	2	-40 to +105	20-Lead SSOP	RS-20
ADuM5211CRSZ-RL7	1	1	100	15	2	-40 to +105	20-Lead SSOP	RS-20
ADuM5212ARSZ	0	2	1	75	40	-40 to +105	20-Lead SSOP	RS-20
ADuM5212ARSZ-RL7	0	2	1	75	40	-40 to +105	20-Lead SSOP	RS-20
ADuM5212BRSZ	0	2	25	40	3	-40 to +105	20-Lead SSOP	RS-20
ADuM5212BRSZ-RL7	0	2	25	40	3	-40 to +105	20-Lead SSOP	RS-20
ADuM5212CRSZ	0	2	100	15	2	-40 to +105	20-Lead SSOP	RS-20
ADuM5212CRSZ-RL7	0	2	100	15	2	-40 to +105	20-Lead SSOP	RS-20

¹ "RL7"サフィックスを追加すると、7インチのテープおよびリール・オプションが指定されます。

² Z = RoHS 準拠製品。