

ADuM4400/ADuM4401/ADuM4402

特長

IEC 61000-4-x に準拠してシステム・レベル ESD 性能を強化
安全性規制の認定

- UL 認定: 5000 V rms 1 分間の(二重保護)
- CSA Component Acceptance Notice #5A(申請中)
 - IEC 60950-1: 600 V rms (強化)
 - IEC 60601-1: 250 V rms (強化)

- VDE 適合性認定(申請中)
 - DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12
 - $V_{IORM} = 846$ V peak (強化)

低消費電力動作

- 5 V 動作
 - 0 Mbps~2 Mbps でチャンネルあたり最大 1.4 mA
 - 10 Mbps でチャンネルあたり最大 4.3 mA
 - 90 Mbps でチャンネルあたり最大 34 mA
- 3 V 動作
 - 0 Mbps~2 Mbps でチャンネルあたり最大 0.9 mA
 - 10 Mbps でチャンネルあたり最大 2.4 mA
 - 90 Mbps でチャンネルあたり最大 20 mA

双方向通信

3 V/5 V のレベル変換

高温動作: 105°C

高いデータレート: DC~90 Mbps (NRZ)

高精度なタイミング特性

最大パルス幅歪み: 2 ns

最大チャンネル間マッチング: 2 ns

同相モード・トランジェント耐性: 25 kV/μs 以上

出カインーブル機能

RoHS 準拠の 16 ピン SOIC ワイド・ボディ・パッケージを採用

アプリケーション

汎用高電圧マルチチャンネル・アイソレーション

医用装置

モーター駆動

電源

概要

ADuM440x¹ は、アナログ・デバイセズの iCoupler® 技術を採用した 4 チャンネルのデジタル・アイソレータです。これらのアイソレーション・デバイスは高速 CMOS 技術と空心コアを使ったモノリシック・トランス技術の組み合わせにより、フォトカプラ・デバイスやその他のカプラ IC の置換品より優れた性能特性を提供します。

ADuM440x アイソレータは、4 チャンネルの独立なアイソレーション・チャンネルを様々なチャンネル構成とデータレートで提供します(オーダー・ガイド参照)。これらの全モデルは、いずれの側も 2.7 V~5.5 V 範囲の電源電圧で動作するため、低い電圧のシステムと互換性を持ち、さらに絶縁障壁に跨る電圧変換機能も可能にします。ADuM440x アイソレータは、入力ロジックに変化がない場合およびパワーアップ/パワーダウン時に DC を正確に維持する特許取得済みのリフレッシュ機能を持っています。

このファミリーのアイソレータは、アナログ・デバイセズの他の多くのアイソレータと同様に、消費電力が非常に小さく、最大 10 Mbps のデータレートの同等なアイソレータに比べて 1/10~1/6 の消費電力で済みます。ADuM440x のすべてのモデルは、小さいパルス幅歪みを持っています(C グレードで 2 ns 以下)。さらに、各モデルは外部ノイズに対する保護機能を持つ入力グリッチ・フィルタを内蔵しています。

ADuM440x では、システム・レベル IEC 61000-4-x コンプライアンス (ESD/バースト/サージ)の達成に役立つ回路とレイアウトの強化を行っています。ADuM440x 製品に対するこれらのテストでの実際の対応能力は、ユーザのボードまたはモジュールのデザインとレイアウトに強く依存します。詳細については、アプリケーション・ノート AN-793「ESD/Latch-Up Considerations with iCoupler Isolation Products」をご覧ください。

¹ 米国特許 5,952,849、6,873,065、7,075,329 により保護されています。

機能ブロック図

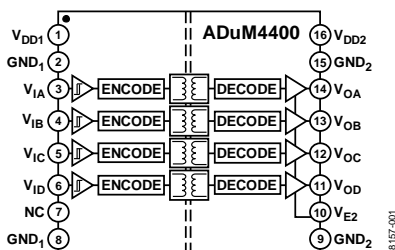


図 1. ADuM4400

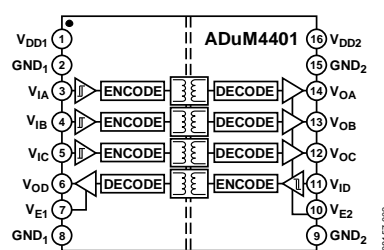


図 2. ADuM4401

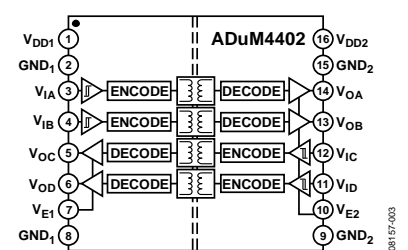


図 3. ADuM4402

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2009 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長	1	推奨動作条件.....	8
アプリケーション.....	1	絶対最大定格.....	9
概要	1	ESD の注意	9
機能ブロック図.....	1	ピン配置およびピン機能説明	10
改訂履歴.....	2	代表的な性能特性.....	13
仕様	3	アプリケーション情報.....	15
電気的特性—5 V 動作	3	PC ボードのレイアウト	15
電気的特性—3 V 動作	4	システム・レベル ESD の考慮事項と強化	15
電気的特性—ミックスド 5 V/3 V 動作.....	5	伝搬遅延に関するパラメータ	15
電気的特性—ミックスド 3 V/5 V 動作.....	6	DC 精度と磁界耐性.....	15
パッケージ特性.....	7	消費電力.....	16
適用規格.....	7	絶縁寿命.....	17
絶縁および安全性関連の仕様	7	外形寸法	18
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性(認定申請中).....	8	オーダー・ガイド.....	18

改訂履歴

4/09—Revision 0: Initial Version

仕様

電気的特性—5 V動作

特に指定がない限り、すべての typ 仕様は $T_A = 25^\circ\text{C}$ および $V_{DD1} = V_{DD2} = 5\text{ V}$ で規定します。最小/最大仕様は、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 105^\circ\text{C}$ の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$ と CMOS 信号レベルでテストされます。

表 1.

Parameter	Symbol	A Grade			B Grade			C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS												
Data Rate				1			10			90	Mbps	Within PWD limit
Propagation Delay	t_{PHL}, t_{PLH}	50	65	100	20	32	50	18	27	32	ns	50% input to 50% output
Pulse Width Distortion	PWD			40			3		0.5	2	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			11			5			3		ps/ $^\circ\text{C}$	
Pulse Width	PW	1000			100				8.3	11.1	ns	Within PWD limit
Propagation Delay Skew	t_{PSK}			50			15			10	ns	Between any two units
Channel Matching												
Codirectional	t_{PSKCD}			50			3			2	ns	
Opposing-Direction	t_{PSKOD}			50			6			5	ns	

表 2.

Parameter	Symbol	1 Mbps—A, B, C Grades			10 Mbps—B, C Grades			90 Mbps—C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM4400	I_{DD1}		2.9	3.5		9.0	11.6		72	100	mA	
	I_{DD2}		1.2	1.9		3.0	5.5		19	36	mA	
ADuM4401	I_{DD1}		2.5	3.2		7.4	10.6		59	82	mA	
	I_{DD2}		1.6	2.4		4.4	6.5		32	46	mA	
ADuM4402	I_{DD1}		2.0	2.8		6.0	7.5		51	62	mA	
	I_{DD2}		2.0	2.8		6.0	7.5		51	62	mA	

表 3.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Logic High Input Threshold	V_{IH}	2.0			V	
Logic Low Input Threshold	V_{IL}			0.8	V	
Logic High Output Voltage	V_{OH}	$V_{DDx} - 0.1$	5.0		V	$I_{Ox} = -20\ \mu\text{A}$, $V_{Ix} = V_{IxH}$
		$V_{DDx} - 0.4$	4.8		V	$I_{Ox} = -4\ \text{mA}$, $V_{Ix} = V_{IxH}$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.57	0.83	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		0.23	0.35	mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.20		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.05		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ¹	CM	25	35		kV/ μs	$V_{Ix} = V_{DDx}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
Output Disable Propagation Delay	t_{PHZ}, t_{PLH}		6	8	ns	High/low-to-high impedance
Output Enable Propagation Delay	t_{PZH}, t_{PZL}		6	8	ns	High impedance-to-high/low
Refresh Rate	f_r		1.2		Mbps	

¹|CM|は、 $V_O > 0.8 V_{DD}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりと立下りの両同相モード電圧エッジに適用されます。

電气的特性—3 V動作

特に指定がない限り、すべての typ 仕様は $T_A = 25^\circ\text{C}$ および $V_{DD1} = V_{DD2} = 3.0\text{ V}$ で規定します。最小/最大仕様は、 $2.7\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $2.7\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 105^\circ\text{C}$ の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$ と CMOS 信号レベルでテストされます。

表 4.

Parameter	Symbol	A Grade			B Grade			C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS												
Data Rate				1			10			90	Mbps	Within PWD limit
Propagation Delay	t_{PHL}, t_{PLH}	50	75	100	20	38	50	20	34	45	ns	50% input to 50% output
Pulse Width Distortion	PWD			40			3		0.5	2	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			11			5			3		ps/°C	
Pulse Width	PW	1000			100				8.3	11.1	ns	Within PWD limit
Propagation Delay Skew	t_{PSK}			50			22			16	ns	Between any two units
Channel Matching												
Codirectional	t_{PSKCD}			50			3			2	ns	
Opposing-Direction	t_{PSKOD}			50			6			5	ns	

表 5.

Parameter	Symbol	1 Mbps—A, B, C Grades			10 Mbps—B, C Grades			90 Mbps—C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM4400	I_{DD1}	1.6	2.1		4.8	7.1		37	54		mA	
	I_{DD2}	0.7	1.2		1.8	2.3		11	15		mA	
ADuM4401	I_{DD1}	1.4	1.9		0.1	5.6		31	44		mA	
	I_{DD2}	0.9	1.5		2.5	3.3		17	24		mA	
ADuM4402	I_{DD1}	1.2	1.7		3.3	4.4		24	39		mA	
	I_{DD2}	1.2	1.7		3.3	4.4		24	39		mA	

表 6.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Logic High Input Threshold	V_{IH}	1.6			V	
Logic Low Input Threshold	V_{IL}			0.4	V	
Logic High Output Voltage	V_{OH}	$V_{DDx} - 0.1$	3.0		V	$I_{Ox} = -20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxH}$
		$V_{DDx} - 0.4$	2.8		V	$I_{Ox} = -4\text{ mA}$, $V_{Ix} = V_{IxH}$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.31	0.49	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		0.19	0.27	mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.10		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.03		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		3		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM $	25	35		kV/ μs	$V_{Ix} = V_{DDx}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
Output Disable Propagation Delay	t_{PHZ}, t_{PLH}		6	8	ns	High/low-to-high impedance
Output Enable Propagation Delay	t_{PZH}, t_{PZL}		6	8	ns	High impedance-to-high/low
Refresh Rate	f_r		1.2		Mbps	

¹ $|CM|$ は、 $V_o > 0.8 V_{DD}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりと立下りの両同相モード電圧エッジに適用されます。

電气的特性—ミックスド 5 V/3 V 動作

特に指定がない限り、すべての typ 仕様は $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 3.0\text{ V}$ で規定します。最小/最大仕様は、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $2.7\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 105^\circ\text{C}$ の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$ と CMOS 信号レベルでテストされます。

表 7.

Parameter	Symbol	A Grade			B Grade			C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS												
Data Rate				1			10			90	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	50	70	50	15	35	50	20	30	40	ns	50% input to 50% output
Pulse Width Distortion	PWD			40			3		0.5	2	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			11			5			3		ps/°C	
Pulse Width	PW	1000			100				8.3	11.1	ns	Within PWD limit
Propagation Delay Skew	t_{PSK}			50			22			14	ns	Between any two units
Channel Matching												
Codirectional	t_{PSKCD}			50			3			2	ns	
Opposing-Direction	t_{PSKOD}			50			6			5	ns	

表 8.

Parameter	Symbol	1 Mbps—A, B, C Grades			10 Mbps—B, C Grades			90 Mbps—C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM4400	I_{DD1}	2.9	3.5		9.0	11.6		72	100		mA	
	I_{DD2}	0.7	1.2		1.8	2.3		11	15		mA	
ADuM4401	I_{DD1}	2.5	3.2		7.4	10.6		59	82		mA	
	I_{DD2}	0.9	1.5		2.5	3.3		17	24		mA	
ADuM4402	I_{DD1}	2.0	2.8		6.0	7.5		46	62		mA	
	I_{DD2}	1.2	1.7		3.3	4.4		24	39		mA	

表 9.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Logic High Input Threshold	V_{IH}	2.0			V	
Logic Low Input Threshold	V_{IL}			0.8	V	
Logic High Output Voltage	V_{OH}	$V_{DDx} - 0.1$	3.0		V	$I_{Ox} = -20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxH}$ $I_{Ox} = -4\text{ mA}$, $V_{Ix} = V_{IxH}$ $0\text{ V} \leq V_{Ix} \leq V_{DDx}$
		$V_{DDx} - 0.4$	2.8		V	
Input Current per Channel	I_I	-10	+0.01	+10	μA	
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.57	0.83	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		0.29	0.27	mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.20		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.03		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		3		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM $	25	35		kV/ μs	$V_{Ix} = V_{DDx}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
Output Disable Propagation Delay	t_{PHZ}, t_{PLH}		6	8	ns	High/low-to-high impedance
Output Enable Propagation Delay	t_{PZH}, t_{PZL}		6	8	ns	High impedance-to-high/low
Refresh Rate	f_r		1.2		Mbps	

¹ $|CM|$ は、 $V_o > 0.8 V_{DD}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりと立下りの両同相モード電圧エッジに適用されます。

電气的特性—ミックスド 3 V/5 V動作

特に指定がない限り、すべての typ 仕様は $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.0\text{ V}$ 、 $V_{DD2} = 5\text{ V}$ で規定します。最小/最大仕様は、 $2.7\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 105^\circ\text{C}$ の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$ と CMOS 信号レベルでテストされます。

表 10.

Parameter	Symbol	A Grade			B Grade			C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS												
Data Rate				1			10			90	Mbps	Within PWD limit
Propagation Delay	t_{PHL}, t_{PLH}	50	70	100	15	35	50	20	30	40	ns	50% input to 50% output
Pulse Width Distortion	PWD			40			3		0.5	2	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			11			5			3		ps/ $^\circ\text{C}$	
Pulse Width	PW	1000			100				8.3	11.1	ns	Within PWD limit
Propagation Delay Skew	t_{PSK}			50			22			14	ns	Between any two units
Channel Matching												
Codirectional	t_{PSKCD}			50			3			2	ns	
Opposing-Direction	t_{PSKOD}			50			6			5	ns	

表 11.

Parameter	Symbol	1 MBps—A, B, C Grades			10 MBps—B, C Grades			90 MBps—C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM4400	I_{DD1}	1.6	2.1		4.8	7.1		37	54		mA	
	I_{DD2}	1.2	1.9		3.0	5.5		19	36		mA	
ADuM4401	I_{DD1}	1.4	1.9		4.1	5.6		31	44		mA	
	I_{DD2}	1.6	2.4		4.4	6.5		32	46		mA	
ADuM4402	I_{DD1}	1.2	1.7		3.3	4.4		24	39		mA	
	I_{DD2}	2.0	2.8		6.0	7.5		46	62		mA	

表 12.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Logic High Input Threshold	V_{IH}	1.6			V	
Logic Low Input Threshold	V_{IL}			0.4	V	
Logic High Output Voltage	V_{OH}	$V_{DDx} - 0.1$	5.0		V	$I_{Ox} = -20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxH}$
		$V_{DDx} - 0.4$	4.8		V	$I_{Ox} = -4\text{ mA}$, $V_{Ix} = V_{IxH}$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.31	0.49	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		0.19	0.35	mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.10		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.05		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM $	25	35		kV/ μs	$V_{Ix} = V_{DDx}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
Output Disable Propagation Delay	t_{PHZ}, t_{PLH}		6	8	ns	High/low-to-high impedance
Output Enable Propagation Delay	t_{PZH}, t_{PZL}		6	8	ns	High impedance-to-high/low
Refresh Rate	f_r		1.1		Mbps	

¹ $|CM|$ は、 $V_o > 0.8 V_{DD}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりと立下りの両同相モード電圧エッジに適用されます。

パッケージ特性

表 13.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction-to-Case Thermal Resistance, Side 1	θ _{Jc1}		33		°C/W	Thermocouple located at center of package underside
IC Junction-to-Case Thermal Resistance, Side 2	θ _{Jc0}		28		°C/W	

¹ デバイスは 2 端子デバイスと見なします。すなわち、ピン 1～ピン 8 を相互に接続し、ピン 9～ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間。

適用規格

ADuM440xは、表 14に記載する組織の認定を取得しています。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 19と絶縁寿命のセクションを参照してください。

表 14.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under 1577 component recognition program ¹ Double/reinforced insulation, 5000 V rms isolation voltage File E214100	Approved under CSA Component Acceptance Notice #5A Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 600 V rms (848 V peak) maximum working voltage Reinforced insulation per IEC 60601-1 250 V rms (353 V peak) maximum working voltage File 205078	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ² Reinforced insulation, 846 V peak File 2471900-4880-0001

¹ UL1577に従い、絶縁テスト電圧 6,000 V rms 以上を 1 秒間加えて各 ADuM440x を確認テストします(リーク電流検出規定値 = 10μA)。

² DIN V VDE V 0884-10に従い、各 ADuM440x に 1,590 Vpeak 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 15.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		5000	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	8.0 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8.0 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性(認定申請中)

これらのアイソレータは、安全性制限値データ以内でのみ強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。

パッケージ表面の(*)マークは、846 V_{peak} 動作電圧に対して DIN V VDE V 0884-10 認定済みであることを表示します。

表 16.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 450 V rms For Rated Mains Voltage ≤ 600 V rms			I to IV I to II I to II	
Climatic Classification			40/105/21	
Pollution Degree (DIN VDE 0110, Table 1)			2	
Maximum Working Insulation Voltage		V _{IORM}	846	V peak
Input-to-Output Test Voltage, Method b1	V _{IORM} × 1.875 = V _{PR} , 100% production test, t _m = 1 sec, partial discharge < 5 pC	V _{PR}	1590	V peak
Input-to-Output Test Voltage, Method a		V _{PR}		
After Environmental Tests Subgroup 1	V _{IORM} × 1.6 = V _{PR} , t _m = 60 sec, partial discharge < 5 pC		1375	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V _{IORM} × 1.2 = V _{PR} , t _m = 60 sec, partial discharge < 5 pC		1018	V peak
Highest Allowable Overvoltage	Transient overvoltage, t _{TR} = 10 seconds	V _{TR}	6000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure; see Figure 4			
Case Temperature		T _S	150	°C
Side 1 Current		I _{S1}	265	mA
Side 2 Current		I _{S2}	335	mA
Insulation Resistance at T _S	V _{IO} = 500 V	R _S	>10 ⁹	Ω

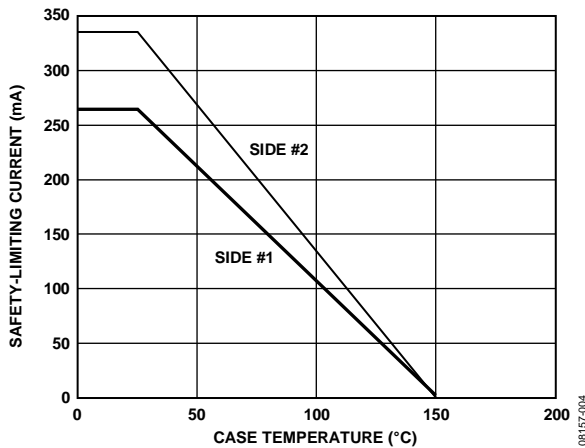


図 4. 温度ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 17.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	T _A	-40	+105	°C
Supply Voltages ¹	V _{DD1} , V _{DD2}	2.7	5.5	V
Input Signal Rise and Fall Times			1.0	ms

¹ すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、DC 精度と磁界耐性のセクションを参照してください。

絶対最大定格

表 18.

Parameter	Rating
Storage Temperature (T_{ST})	-65°C to +150°C
Ambient Operating Temperature (T_A)	-40°C to +105°C
Supply Voltages (V_{DD1} , V_{DD2}) ¹	-0.5 V to +7.0 V
Input Voltage (V_{IA} , V_{IB} , V_{IC} , V_{ID} , V_{E1} , V_{E2}) ^{1,2}	-0.5 V to $V_{DD1} + 0.5$ V
Output Voltage (V_{OA} , V_{OB} , V_{OC} , V_{OD}) ^{1,2}	-0.5 V to $V_{DDO} + 0.5$ V
Average Output Current Per Pin ³	
Side 1 (I_{O1})	-18 mA to +18 mA
Side 2 (I_{O2})	-22 mA to +22 mA
Common-Mode Transients ⁴	-100 kV/μs to +100 kV/μs

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD1} と V_{DDO} は、それぞれチャンネルの入力側と出力側の電源電圧を表します。PC ボード・レイアウトのセクションを参照してください。

³ 種々の温度に対する最大定格電流値については図 4 を参照してください。

⁴ 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 19.最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	565	V peak	50 year minimum lifetime
AC Voltage, Unipolar Waveform Reinforced Insulation	846	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10
DC Voltage Reinforced Insulation	846	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10

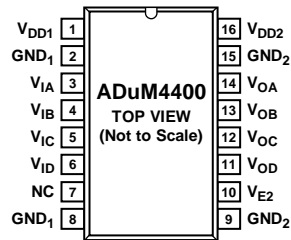
¹ アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

表 20.真理値表(正論理)

V_{IX} Input ¹	V_{EX} Input	V_{DD1} State ¹	V_{DDO} State ¹	V_{OX} Output ¹	Notes
H	H or NC	Powered	Powered	H	
L	H or NC	Powered	Powered	L	
X	L	Powered	Powered	Z	
X	H or NC	Unpowered	Powered	H	Outputs return to input state within 1 μs of V_{DD1} power restoration.
X	L	Unpowered	Powered	Z	
X	X	Powered	Unpowered	Indeterminate	Outputs return to input state within 1 μs of V_{DDO} power restoration if V_{EX} state is H or NC. Outputs return to high impedance state within 8 ns of V_{DDO} power restoration if V_{EX} state is L.

¹ V_{IX} と V_{OX} は、それぞれチャンネル(A、B、C、D)の入力信号と出力信号を表します。 V_{EX} は、 V_{OX} 出力と同じ側の出力イネーブル信号を表します。 V_{DD1} と V_{DDO} は、それぞれチャンネルの入力側と出力側の電源電圧を表します。

ピン配置およびピン機能説明



NOTES

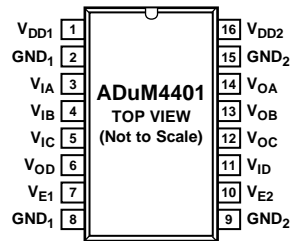
1. NC = NO CONNECT
2. PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₁ IS RECOMMENDED.
3. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

08157-005

図 5.ADuM4400 のピン配置

表 21.ADuM4400 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	アイソレータ・サイド 1 の電源電圧、2.7 V～5.5 V。
2	GND ₁	グラウンド 1。アイソレータ・サイド 1 のグラウンド基準。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{IC}	ロジック入力 C。
6	V _{ID}	ロジック入力 D。
7	NC	未接続。
8	GND ₁	グラウンド 1。アイソレータ・サイド 1 のグラウンド基準。
9	GND ₂	グラウンド 2。アイソレータ・サイド 2 のグラウンド基準。
10	V _{E2}	出力イネーブル 2。アクティブ・ハイ・レベルのロジック入力。V _{E2} がハイ・レベルまたは解放のとき、サイド 2 の V _{OX} 出力がイネーブルされます。 V _{E2} がロー・レベルのとき、サイド 2 の V _{OX} 出力がディスエーブルされます。ノイズの多い環境では、V _{E2} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。
11	V _{OD}	ロジック出力 D。
12	V _{OC}	ロジック出力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。
15	GND ₂	グラウンド 2。アイソレータ・サイド 2 のグラウンド基準。
16	V _{DD2}	アイソレータ・サイド 2 の電源電圧、2.7 V～5.5 V。



NOTES

- PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₁ IS RECOMMENDED.
- PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

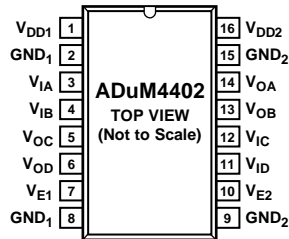
08157-206

図 6.ADuM4401 のピン配置

表 22.ADuM4401 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	アイソレータ・サイド1の電源電圧、2.7 V～5.5 V。
2	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{IC}	ロジック入力 C。
6	V _{OD}	ロジック出力 D。
7	V _{E1}	出力イネーブル。アクティブ・ハイのロジック入力。V _{E1} がハイ・レベルまたは解放のとき、サイド1のV _{OX} 出力がイネーブルされます。V _{E1} がロー・レベルのとき、サイド1のV _{OX} 出力がディスエーブルされます。ノイズの多い環境では、V _{E1} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。
8	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。
9	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。
10	V _{E2}	出力イネーブル2。アクティブ・ハイ・レベルのロジック入力。V _{E2} がハイ・レベルまたは解放のとき、サイド2のV _{OX} 出力がイネーブルされます。V _{E2} がロー・レベルのとき、サイド2のV _{OX} 出力がディスエーブルされます。ノイズの多い環境では、V _{E2} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。
11	V _{ID}	ロジック入力 D。
12	V _{OC}	ロジック出力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。
15	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。
16	V _{DD2}	アイソレータ・サイド2の電源電圧、2.7 V～5.5 V。

ADuM4400/ADuM4401/ADuM4402



NOTES

1. PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₁ IS RECOMMENDED.
2. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

08157-007

図 7. ADuM4402 のピン配置

表 23. ADuM4402 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	アイソレータ・サイド1の電源電圧、2.7 V～5.5 V。
2	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{OC}	ロジック出力 C。
6	V _{OD}	ロジック出力 D。
7	V _{E1}	出力イネーブル1。アクティブ・ハイ・レベルのロジック入力。V _{E1} がハイ・レベルまたは解放のとき、サイド1のV _{OX} 出力がイネーブルされます。V _{E1} がロー・レベルのとき、サイド1のV _{OX} 出力がディスエーブルされます。ノイズの多い環境では、V _{E1} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。
8	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。
9	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。
10	V _{E2}	出力イネーブル2。アクティブ・ハイ・レベルのロジック入力。V _{E2} がハイ・レベルまたは解放のとき、サイド2のV _{OX} 出力がイネーブルされます。V _{E2} がロー・レベルのとき、サイド2のV _{OX} 出力がディスエーブルされます。ノイズの多い環境では、V _{E2} を外部のロジック・ハイ・レベルまたはロー・レベルに接続することをお勧めします。
11	V _{ID}	ロジック入力 D。
12	V _{IC}	ロジック入力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。
15	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。
16	V _{DD2}	アイソレータ・サイド2の電源電圧、2.7 V～5.5 V。

代表的な性能特性

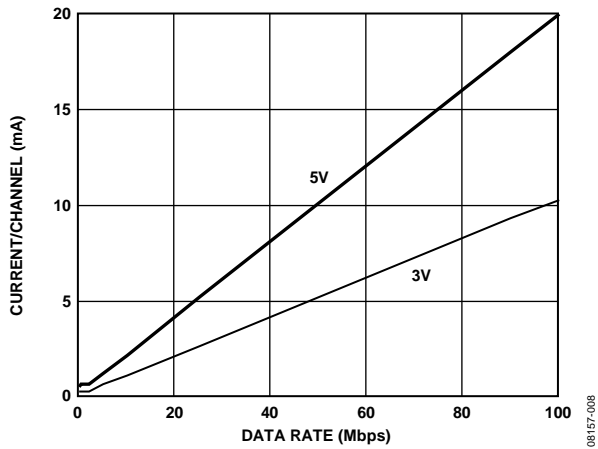


図 8. データレート対チャンネル当たりの入力電源電流 (無負荷)

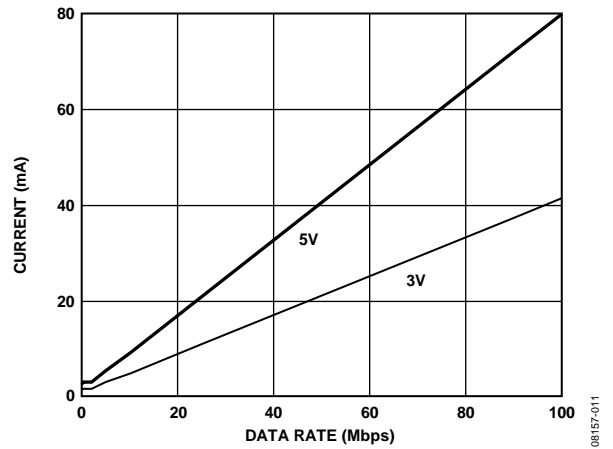


図 11. 5 V および 3 V 動作でのデータレート対 ADuM4400 V_{DD1} 電源電流

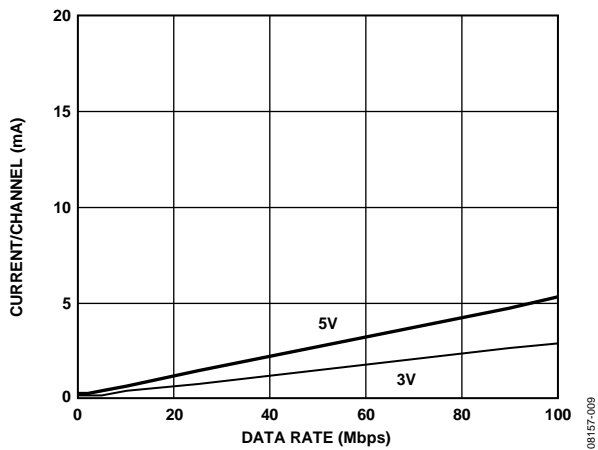


図 9. データレート対チャンネル当たりの出力電源電流 (無負荷)

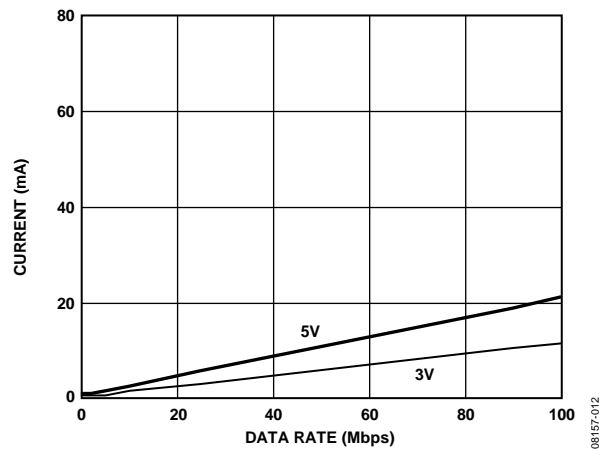


図 12. 5 V および 3 V 動作でのデータレート対 ADuM4400 V_{DD2} の電源電流

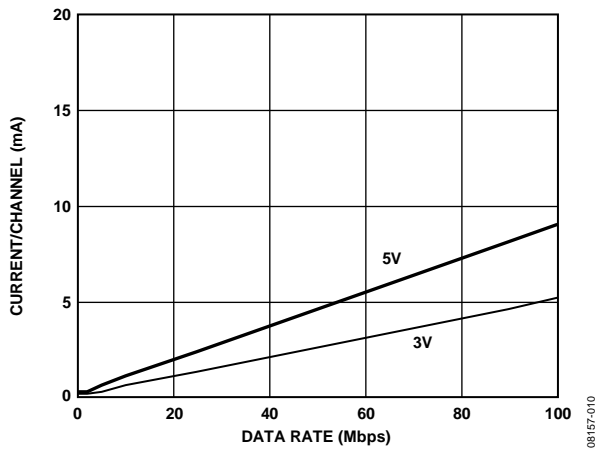


図 10. データレート対チャンネル当たりの出力電源電流 (15 pF 出力負荷)

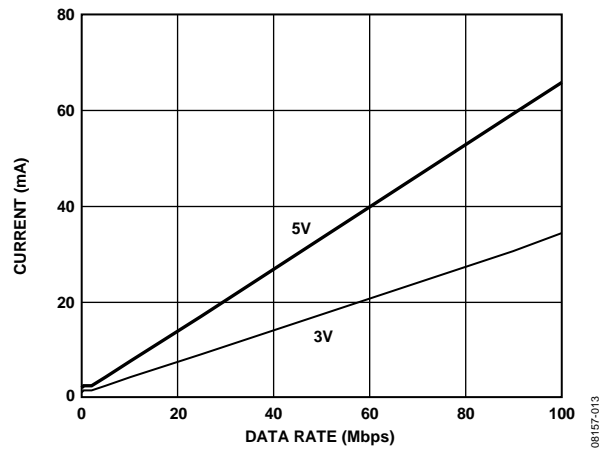


図 13. 5 V および 3 V 動作でのデータレート対 ADuM4401 V_{DD1} 電源電流

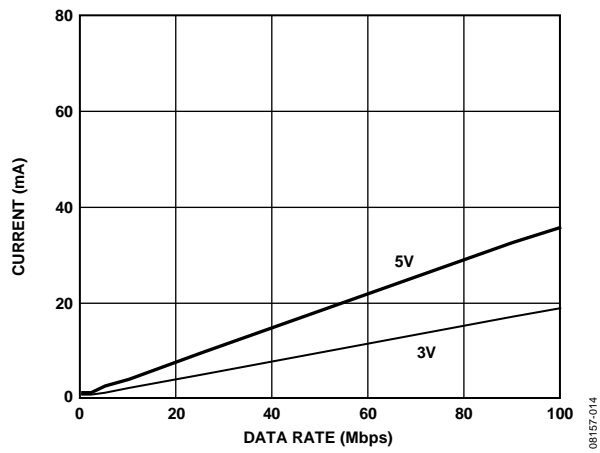


図 14. 5 V および 3 V 動作でのデータレート対 ADuM4401 V_{DD2} の電源電流

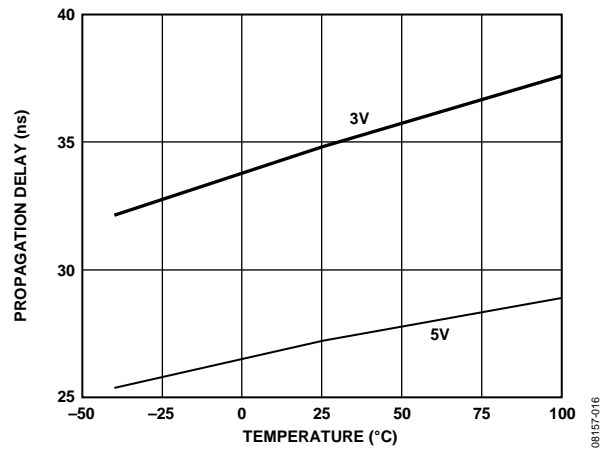


図 16. 伝搬遅延の温度特性、C グレード

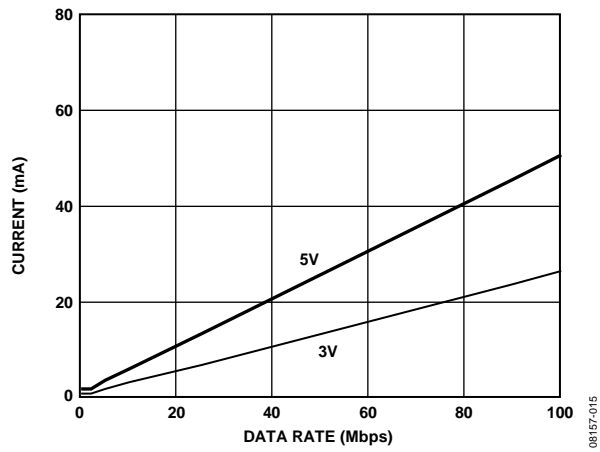


図 15. 5 V および 3 V 動作でのデータレート対 ADuM4402 の V_{DD1} または V_{DD2} 電源電流

アプリケーション情報

PCボードのレイアウト

ADuM440x デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンにはバイパス・コンデンサを接続することが推奨されます(図 17参照)。バイパス・コンデンサは V_{DD1} についてはピン 1 とピン 2 の間に、 V_{DD2} についてはピン 15 とピン 16 の間に、それぞれ接続するのが便利です。コンデンサの値は、 $0.01\mu\text{F}\sim 0.1\mu\text{F}$ とする必要があります。コンデンサピンと入力電源ピンとの間の合計リード長は 20 mm を超えないようにします。各パッケージ側のグラウンド対がパッケージのすぐ近くで接続されていない限り、ピン 1 とピン 8 の間およびピン 9 とピン 16 の間でバイパスしてください。

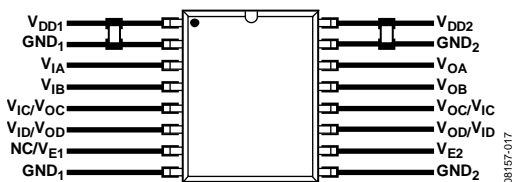


図 17. プリント回路ボードの推奨レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるように注意する必要があります。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインする必要があります。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

システム・レベル ESDの考慮事項と強化

システム・レベル ESD の信頼性 (たとえば IEC 61000-4-x) は、アプリケーションごとに大幅に変わるシステム・デザインに大きく依存します。ADuM440x では、ESD 信頼性のシステム・デザインへの依存性を小さくするために多くの機能強化を行っています。この機能強化には次が含まれます。

- すべての入力/出力インターフェースへ ESD 保護セルを追加。
- ビア付きの太い並行ラインの使用による主要なメタル・パターン抵抗を削減。
- PMOS デバイスと NMOS デバイスとの間にガードおよびアイソレーション技術を採用することにより、CMOS デバイスに固有な SCR 効果を削減。
- メタル・パターンに 45° コーナーを採用することにより電界集中領域を削減。
- 各電源ピンとそれぞれのグラウンドとの間の ESD クランプを大きくして、電源ピンの過電圧保護機能を強化。

ADuM440x ではシステム・レベルの ESD 信頼性を強化していますが、強固なシステム・レベル・デザインの代わりになるものではありません。ボード・レイアウトとシステム・レベル・デザインの推奨事項については、アプリケーション・ノート AN-793 「ESD/Latch-Up Considerations with iCoupler Isolation Products」を参照してください。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号が部品を通過するのに要する時間を表すパラメータです。ロジック・ロー・レベル出力への伝搬遅延は、ロジック・ハイ・レベルへの伝搬遅延と異なることがあります。

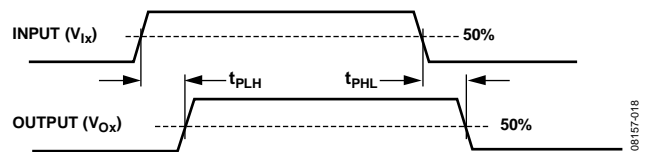


図 18. 伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの遅延時間の間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングは、1 つの ADuM440x 製品内にある複数のチャンネル間の伝搬遅延差の最大値を表します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM440x 製品間での伝搬遅延差の最大値を表します。

DC精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、入力ロジックの変化を指定するパルスによりセットまたはリセットされます。約 1 μs 以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力での DC を正常に維持します。デコーダが約 5 μs 間以上この内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態(表 20参照)にされます。

ADuM440x の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が大きくなるために、デコーダをセットまたはリセットさせてしまう誤動作が発生することで決まります。この状態が発生する条件を以下の解析により求めます。ADuM440x の 3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt)\Sigma[r_n^2; n = 1, 2, \dots, N]$$

ここで

β = 磁束密度 (Gauss)

N = 受信側コイルの巻数

r_n = 受信側コイルの n 回目の半径 (cm)

ADuM440x 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50% であるという条件が与えられると、最大許容磁界は図 19 のように計算されます。

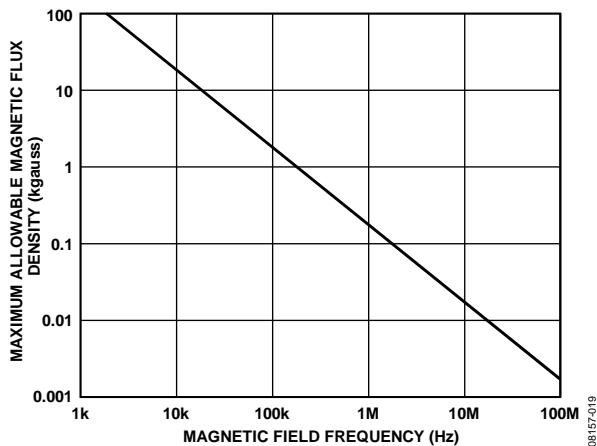


図 19. 最大許容外部磁束密度

例えば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.2 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッシュホールドの約 50% であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても (さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ小さくなるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM440x トランスから与えられた距離だけ離れた特定の電流値に対応します。図 20 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図から読み取れるように、ADuM440x の耐性は高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。前述の 1 MHz の例では、部品動作に影響を与えるためには、0.5 kA の電流を ADuM440x から 5 mm の距離まで近づける必要があります。

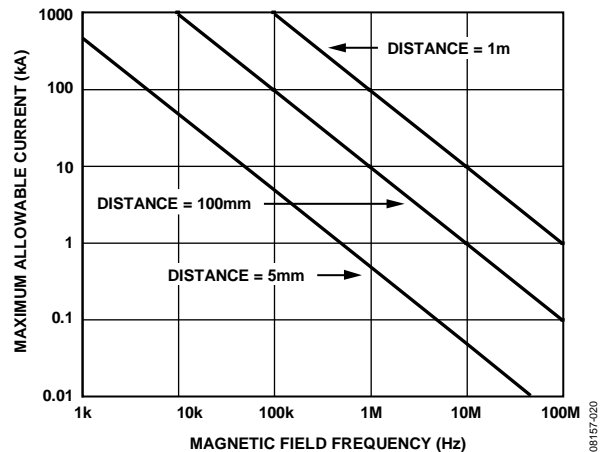


図 20. 様々な電流値と ADuM440x までの距離に対する最大許容電流

強い磁界と高周波が合わさると、プリント回路ボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

消費電力

ADuM440x アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDI} = I_{DDI(Q)} \quad f \leq 0.5f_r$$

$$I_{DDI} = I_{DDI(D)} \times (2f - f_r) + I_{DDI(Q)} \quad f > 0.5f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5f_r$$

ここで、

$I_{DDI(D)}$ と $I_{DDO(D)}$ は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です (mA/Mbps)。

C_L は出力負荷容量 (pF)。

V_{DDO} は出力電源電圧 (V)。

f は入力ロジック信号周波数 (MHz、入力データレートの 1/2、NRZ シグナリング)。

f_r は入力ステージのリフレッシュ・レート (Mbps)。

$I_{DDI(Q)}$ と $I_{DDO(Q)}$ は、それぞれ指定された入力静止電源電流と出力静止電源電流です (mA)。

I_{DD1} と I_{DD2} の電源電流を計算するために、 I_{DD1} と I_{DD2} に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。図 8 と図 9 に、無負荷状態の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 10 に、15 pF の出力条件に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 11 ~ 図 15 に、ADuM4400/ADuM4401/ADuM4402 チャンネル構成に対するデータレートの関数としての I_{DD1} と I_{DD2} の合計電源電流を示します。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施して ADuM440x の絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。表 19 に、バイポーラ AC 動作条件での 50 年のサービス寿命に対するピーク電圧と最大 CSA/VDE 認定動作電圧を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM440x の絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 21、図 22、図 23 に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現

することができます。表 19 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 22 または図 23 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 19 に示す 50 年寿命電圧値に制限する必要があります。

図 22 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることはできませんが、電圧は 0 V を通過することはできません。

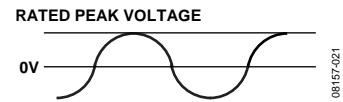


図 21. バイポーラ AC 波形

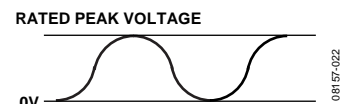


図 22. ユニポーラ AC 波形

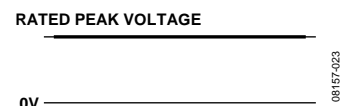
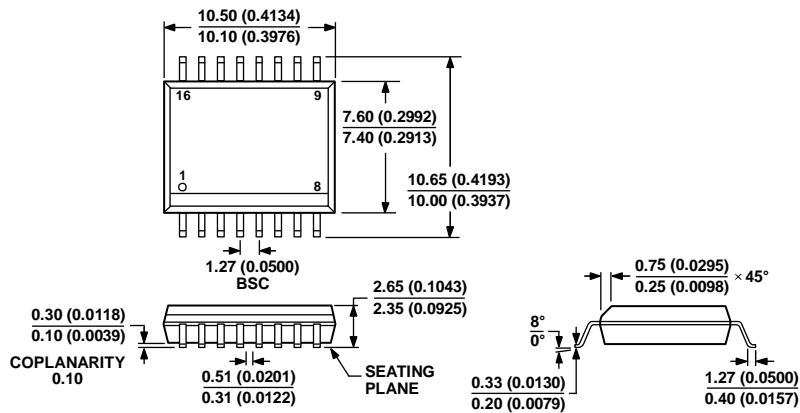


図 23. DC 波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032705-B

図 24.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
ワイドボディ(RW-16)
寸法: mm (インチ)

オーダー・ガイド

Model	Number of Inputs, V _{DD1} Side	Number of Inputs, V _{DD2} Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Pulse Width Distortion (ns)	Temperature Range	Package Description	Package Option
ADuM4400ARWZ ^{1,2}	4	0	1	100	40	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM4400BRWZ ^{1,2}	4	0	10	50	3	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM4400CRWZ ^{1,2}	4	0	90	32	2	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM4401ARWZ ^{1,2}	3	1	1	100	40	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM4401BRWZ ^{1,2}	3	1	10	50	3	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM4401CRWZ ^{1,2}	3	1	90	32	2	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM4402ARWZ ^{1,2}	2	2	1	100	40	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM4402BRWZ ^{1,2}	2	2	10	50	3	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM4402CRWZ ^{1,2}	2	2	90	32	2	-40°C to +105°C	16-Lead SOIC_W	RW-16

¹ テープとリールを提供しています。"-RL"サフィックスを追加すると、13インチ(1,000個)のテープおよびリール・オプションが指定されます。

² Z = RoHS 準拠製品。