



単電源／両電源、高電圧絶縁型 IGBT ゲート・ドライバ、ミラー・クランプ内

データシート

ADuM4135

特長

- 4 A ピーク・ドライブの出力機能
- 出力電力デバイス抵抗: <math>< 1 \Omega</math>
- 非飽和保護機能
 - 絶縁された非飽和故障の通知機能
 - 故障時のソフト・シャットダウン
- ミラー・クランプ出力 (ゲート・センス入力付き)
- 絶縁故障およびレディ通知機能
- 低伝搬遅延: 55 ns (typ)
- 最小パルス幅: 50 ns
- 動作温度範囲: -40°C to $+125^\circ\text{C}$
- 出力電圧範囲: 最大 30 V
- 入力電圧範囲: 2.3 V ~ 6 V
- 出力／入力の低電圧ロックアウト (UVLO)
- 沿面距離: 最小 7.8 mm
- 600 V rms または 1092 V dc 動作電圧での耐用年数: 20 年
- 安全性と規制に対する認定 (申請中)
 - 5.7 kV ac、1 分間、UL 1577 準拠
 - CSA Component Acceptance Notice 5A
 - DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12
 - $V_{IORM} = 849 \text{ V peak}$ (強化／基本)

アプリケーション

- MOSFET/IGBT ゲート・ドライバ
- PV インバータ
- モーター駆動
- 電源

概要

ADuM4135 は、絶縁型ゲート・バイポーラ・トランジスタ (IGBT) の駆動用に特別に最適化された 1 チャンネル・ゲート・ドライバです。入力信号と出力ゲート・ドライバ間の絶縁には、アナログ・デバイセズの iCoupler® 技術が使用されています。

ADuM4135 はミラー・クランプ回路を内蔵しており、ゲート電圧が 2 V を下回ったときに単一電源で確実に IGBT をオフにできます。ミラー・クランプ動作あり／なしのどちらでも、ユニポーラまたはバイポーラの 2 次電源動作が可能です。

アナログ・デバイセズのチップ・スケール・トランスにより、チップの高電圧領域と低電圧領域間の制御情報の絶縁された通信も可能です。チップの状態に関する情報は、専用の出力から読み出すことができます。2 次側での故障発生後のデバイスのリセット制御は、デバイスの 1 次側で行います。

ADuM4135 には、高電圧短絡回路の IGBT 動作を保護する非飽和検出回路が内蔵されています。非飽和保護の機能には、最初のターンオンによる電圧スパイクをマスクすることを目的とした、スイッチング・イベント後の 300 ns のマスキング時間などのノイズ低減機能も含まれます。内蔵の 500 μA 電流源によりデバイス数を少なくできますが、ノイズ耐性を向上する必要がある場合は、内部ブランキング・スイッチを使用して外部電流源を追加できます。

一般的な IGBT 閾値レベルを考慮して、2 次側 UVLO は 11 V に設定されています。

機能ブロック図

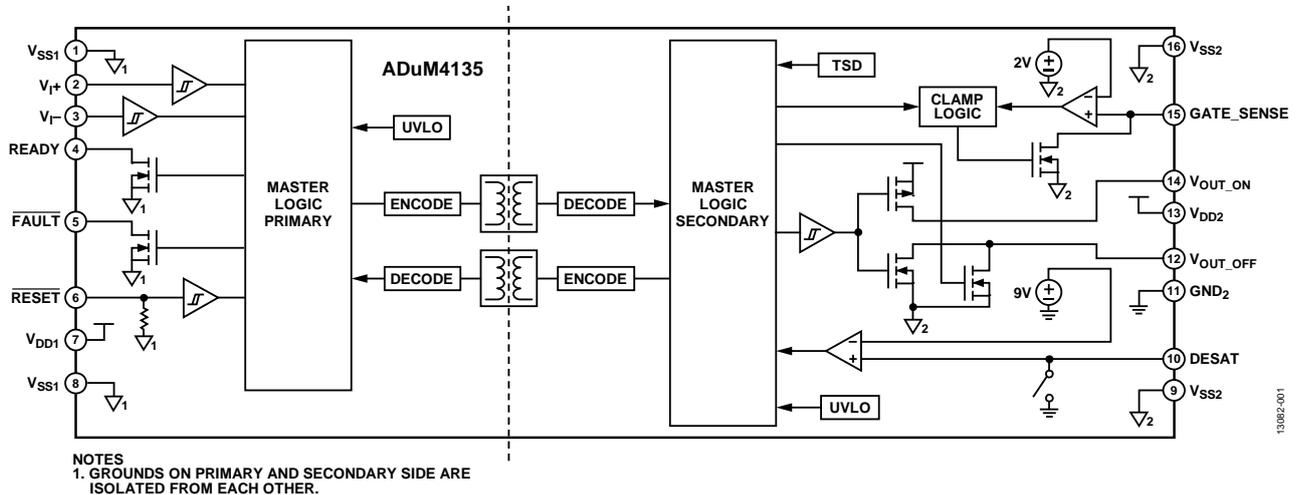


図 1.

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	ピン配置およびピン機能の説明.....	8
アプリケーション.....	1	代表的な性能特性.....	9
概要.....	1	アプリケーション情報.....	12
機能ブロック図.....	1	PCB レイアウト.....	12
改訂履歴.....	2	伝搬遅延に関するパラメータ.....	12
仕様.....	3	保護機能.....	12
電気的特性.....	3	消費電力.....	14
パッケージ特性.....	5	DC 精度と磁界耐性.....	15
適用規格.....	5	絶縁寿命.....	15
絶縁および安全性関連の仕様.....	5	代表的なアプリケーション.....	16
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性.....	6	外形寸法.....	17
推奨動作条件.....	6	オーダー・ガイド.....	17
絶対最大定格.....	7		
ESD に関する注意.....	7		

改訂履歴

7/15—Revision 0:初版

仕様

電気的特性

ローサイド電圧は V_{SS1} を基準としています。ハイサイド電圧は GND_2 、 $2.3\text{ V} \leq V_{DD1} \leq 6\text{ V}$ 、 $12\text{ V} \leq V_{DD2} \leq 30\text{ V}$ 、および $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ を基準としています。特に断りのない限り、他のすべての最小/最大の仕様規定は推奨動作範囲全体に適用されます。すべての代表仕様は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = 5.0\text{ V}$ 、 $V_{DD2} = 15\text{ V}$ での値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
High-Side Power Supply						
Input Voltage						
V_{DD2}	V_{DD2}	12		30	V	$V_{DD2} - V_{SS2} \leq 30\text{ V}$
V_{SS2}	V_{SS2}	-15		0	V	
Input Current, Quiescent						
V_{DD2}	$I_{DD2(Q)}$		3.62	4.37	mA	Ready high
V_{SS2}	$I_{SS2(Q)}$		4.82	6.21	mA	
Logic Supply						
V_{DD1} Input Voltage	V_{DD1}	2.3		6	V	
Input Current						
Output Low	I_{DD1}		1.78	2.17	mA	Output signal low
Output High			4.78	5.89	mA	Output signal high
Logic Inputs (V_{I+} , V_{I-} , $\overline{\text{RESET}}$)						
Input Current (V_{I+} , V_{I-} Only)	I_I	-1	+0.01	+1	μA	
Logic High Input Voltage	V_{IH}	$0.7 \times V_{DD1}$ 3.5			V	$2.3\text{ V} \leq V_{DD1} - V_{SS1} \leq 5\text{ V}$ $V_{DD1} - V_{SS1} > 5\text{ V}$
Logic Low Input Voltage	V_{IL}			$0.29 \times V_{DD1}$ 1.5	V	$2.3\text{ V} \leq V_{DD1} - V_{SS1} \leq 5\text{ V}$ $V_{DD1} - V_{SS1} > 5\text{ V}$
$\overline{\text{RESET}}$ Internal Pull-Down	$R_{\overline{\text{RESET_PD}}}$		300		k Ω	
UVLO						
V_{DD1} Positive Going Threshold	$V_{VDD1UV+}$		2.23	2.3	V	
V_{DD1} Negative Going Threshold	$V_{VDD1UV-}$	2.0	2.135		V	
V_{DD1} Hysteresis	$V_{VDD1UVH}$		0.095		V	
V_{DD2} Positive Going Threshold	$V_{VDD2UV+}$		11.5	12.0	V	
V_{DD2} Negative Going Threshold	$V_{VDD2UV-}$	10.4	11.1		V	
V_{DD2} Hysteresis	$V_{VDD2UVH}$		0.4		V	
FAULT Pull-Down FET Resistance	$R_{\text{FAULT_PD_FET}}$		11	50	Ω	Tested at 5 mA
READY Pull-Down FET Resistance	$R_{\text{RDY_PD_FET}}$		11	50	Ω	Tested at 5 mA
Desaturation (DESAT)						
Desaturation Detect Comparator Voltage	$V_{\text{DESAT_TH}}$	8.73	9.2	9.61	V	
Internal Current Source	$I_{\text{DESAT_SRC}}$	481	537	593	μA	
Thermal Shutdown						
TSD Positive Edge	$T_{\text{TSD_POS}}$		155		$^\circ\text{C}$	
TSD Hysteresis	$T_{\text{TSD_HYST}}$		20		$^\circ\text{C}$	
Miller Clamp Voltage Threshold	$V_{\text{CLP_TH}}$	1.75	2	2.25	V	Referenced to V_{SS2}
Internal NMOS Gate Resistance						
	$R_{\text{DSON_N}}$		315	625	m Ω	Tested at 250 mA
			318	625	m Ω	Tested at 1 A
Internal PMOS Gate Resistance						
	$R_{\text{DSON_P}}$		471	975	m Ω	Tested at 250 mA
			479	975	m Ω	Tested at 1 A
Soft Shutdown NMOS	$R_{\text{DSON_FAULT}}$		10.2	22	Ω	Tested at 250 mA
Internal Miller Clamp Resistance	$R_{\text{DSON_MILLER}}$		1.1	2.75	Ω	Tested at 100 mA
Peak Current			4.61		A	$V_{DD2} = 12\text{ V}$, 2 Ω gate resistance

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width ¹	PW	50			ns	$C_L = 2 \text{ nF}$, $V_{DD2} = 15 \text{ V}$, $R_{GON2} = R_{GOFF2} = 3.9 \Omega$
RESET Debounce	t_{DEB_RESET}	500	615	700	ns	
Propagation Delay ³	t_{DHL} , t_{DLH}	40	55	66	ns	$C_L = 2 \text{ nF}$, $V_{DD2} = 15 \text{ V}$, $R_{GON2} = R_{GOFF2} = 3.9 \Omega$
Propagation Delay Skew ⁴	t_{PSK}			15	ns	$C_L = 2 \text{ nF}$, $R_{GON2} = R_{GOFF2} = 3.9 \Omega$, $V_{DD1} = 5 \text{ V to } 6 \text{ V}$
Output Rise/Fall Time (10% to 90%)	t_R/t_F	11	16	22.9	ns	$C_L = 2 \text{ nF}$, $V_{DD2} = 15 \text{ V}$, $R_{GON2} = R_{GOFF2} = 3.9 \Omega$
Blanking Capacitor Discharge Switch Masking	t_{DESAT_DELAY}	213	312	529	ns	
Time to Report Desaturation Fault to FAULT Pin	t_{REPORT}		0.5	2	μs	

¹最小パルス幅は、仕様規定されたタイミング・パラメータが保証される最小のパルス幅。

²消費電力のセクションを参照。

³伝搬遅延 t_{DLH} は、入力立上がりロジック・ハイ閾値 V_{IH} から V_{OUTX} 信号の出力立上がり 10% 閾値までを測定した値です。伝搬遅延 t_{DHL} は、ロジック・ロー閾値 V_{IL} から V_{OUTX} 信号の出力立下がり 90% 閾値までを測定した値です。伝搬遅延パラメータの波形については、図 20 を参照してください。

⁴ t_{PSK} は、推奨動作条件内の同一の動作温度、電源電圧、出力負荷で、複数のユニットで測定した t_{DLH} または t_{DHL} の最悪の場合の差の大きさです。伝搬遅延パラメータの波形については、図 20 を参照してください。

パッケージ特性

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input Side to High-Side Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input Side to High-Side Output) ¹	C _{I-O}		2.0		pF	
Input Capacitance	C _I		4.0		pF	
Junction-to-Ambient Thermal Resistance	θ _{JA}		75.4		°C/W	4-layer printed circuit board (PCB)
Junction-to-Case Thermal Resistance	θ _{JC}		35.4		°C/W	4-layer PCB

¹ デバイスは 2 端子デバイスとみなします。ピン 1 ~ ピン 8 を相互接続し、ピン 9 ~ ピン 16 を相互接続します。

適用規格

ADuM4135 は、表 3 に記載された組織の認定を申請中です。

表 3.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under UL 1577 Component Recognition Program Single Protection, 5700 V rms Isolation Voltage File E214100	Approved under CSA Component Acceptance Notice 5A Basic insulation per CSA 60950-1-07+A1+A2 and IEC 60950-1 2nd Ed.+A1+A2, 780 V rms (1103 V peak) maximum working voltage CSA 60950-1-07+A1+A2 and IEC 60950-1 2 nd Ed.+A1+A2, 390 V rms (551 V peak) maximum working voltage File 205078	Certified according to VDE0884-10 Reinforced insulation, 849 V peak Basic insulation, 849 V peak File 2471900-4880-0001

絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage			V rms	1 minute duration
Minimum External Air Gap (Clearance)	L (I01)	7.8 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L (I02)	7.8 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.026 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	> 400	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

このアイソレータは、安全限界データ範囲内の強化絶縁のみに適しています。安全性データの維持は、保護回路によって保証されず。パッケージのアスタリスク (*) マークは、560 V_{peak} 動作電圧の DIN V VDE V 0884-10 認定取得済みであることを示しています。

表 5. VDE 特性

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V _{IORM}	849	V peak
Input-to-Output Test Voltage, Method B1	V _{IORM} × 1.875 = V _{pd(m)} , 100 % production test, t _{ini} = t _m = 1 sec, partial discharge < 5 pC	V _{pd(m)}	1592	V peak
Input-to-Output Test Voltage, Method A After Environmental Tests Subgroup 1	V _{IORM} × 1.5 = V _{pd(m)} , t _{ini} = 60 sec, t _m = 10 sec, partial discharge < 5 pC	V _{pd(m)}	1274	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V _{IORM} × 1.2 = V _{pd(m)} , t _{ini} = 60 sec, t _m = 10 sec, partial discharge < 5 pC	V _{pd(m)}	1019	V peak
Highest Allowable Overvoltage		V _{IOTM}	8000	V peak
Surge Isolation Voltage	V _{PEAK} = 12.8 kV, 1.2 μs rise time, 50 μs, 50% fall time	V _{IOSM}	8000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure (see 図 2)			
Maximum Junction Temperature		T _S	150	°C
Safety Total Dissipated Power		P _S	2.77	W
Insulation Resistance at T _S	V _{IO} = 500 V	R _S	>10 ⁹	Ω

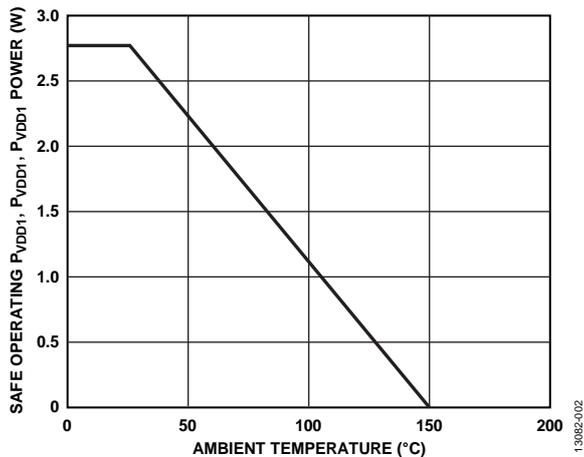


図 2. ADuM4135 の熱デレーティング・カーブ、DIN V VDE V 0884-10 による安全限界値のケース温度に対する依存性

推奨動作条件

表 6.

Parameter	Value
Operating Temperature Range (T _A)	-40°C to +125°C
Supply Voltages	
V _{DD1} ¹	2.3 V to 6 V
V _{DD2} ²	12 V to 30 V
V _{DD2} - V _{SS2}	12 V to 30 V
V _{SS2}	-15 V to 0 V
Input Signal Rise/Fall Time	1 ms

¹ V_{SS1} を基準。

² GND₂ を基準。

絶対最大定格

表 7.

Parameter	Rating
Storage Temperature Range (T_{ST})	-55°C to +150°C
Ambient Operating Temperature Range (T_A)	-40°C to +125°C
Supply Voltages	
V_{DD1}^1	-0.3 V to +6.5 V
V_{DD2}^2	-0.3 V to +40 V
V_{SS2}^2	-20 V to +0.3 V
$V_{DD2} - V_{SS2}^2$	35 V
Input Voltages	
V_{I+} , V_{I-} , RESET	-0.3 V to +6.5 V
V_{DESAT}	-0.3 V to $V_{DD2} + 0.3$ V
V_{GATE_SENSE}	-0.3 V to $V_{DD2} + 0.3$ V
V_{OUT_ON}	-0.3 V to $V_{DD2} + 0.3$ V
V_{OUT_OFF}	-0.3 V to $V_{DD2} + 0.3$ V
V_{OUT_ON} , V_{OUT_OFF} Current for 1.5 μ s at 15 kHz	6 A
Common-Mode Transients (ICM)	-100 kV/ μ s to +100 kV/ μ s

¹ V_{SS1} を基準。² GND₂ を基準。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。長時間にわたり製品を絶対最大定格を超える状態に置くと、製品の信頼性に影響を与えることがあります。

表 8. 最大連続動作電圧¹

Parameter	Value	Constraint
60 Hz AC Voltage	600 V rms	20 year lifetime at 0.1% failure rate, zero average voltage
DC Voltage	1092 V peak	Limited by the creepage of the package, Pollution Degree 2, Material Group II ^{2,3}

¹ 詳細については、絶縁寿命のセクションを参照してください。² 他の汚染度要件および材料グループ要件により、別の制限が発生します。³ 一部のシステム・レベル規格では、部品でのプリント配線基板 (PWB) の沿面距離値の使用を許可しています。これらの規格では、サポートされている DC 電圧が高いことがあります。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 9. 真値表 (正論理)¹

V_{I+} Input	V_{I-} Input	RESET Pin	READY Pin	FAULT Pin	V_{DD1} State	V_{DD2} State	V_{GATE}^2
L	L	H	H	H	Powered	Powered	L
L	H	H	H	H	Powered	Powered	L
H	L	H	H	H	Powered	Powered	H
H	H	H	H	H	Powered	Powered	L
X	X	H	L	Unknown	Powered	Powered	L
X	X	H	Unknown	L	Powered	Powered	L
L	L	H	L	Unknown	Unpowered	Powered	L
X	X	L ³	Unknown	H ³	Powered	Powered	L
X	X	X	L	Unknown	Powered	Unpowered	Unknown

¹ X はドント・ケア、L はロー、H はハイ。² V_{GATE} は、駆動されるゲートの電圧。³ 時間依存値。タイミングの詳細については、絶対最大定格のセクションを参照してください。

ピン配置およびピン機能の説明

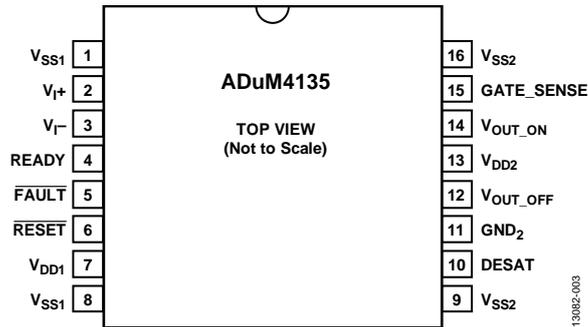


図 3. ピン配置

表 10. ピン機能の説明

ピン番号	記号	説明
1, 8	V _{SS1}	1 次側のグラウンド基準。
2	V _{I+}	正論理 CMOS 入力駆動信号。
3	V _{I-}	負論理 CMOS 入力駆動信号。
4	READY	オープンドレイン・ロジック出力。信号を読み出すには、このピンをプルアップ抵抗に接続します。このピンがハイ状態の場合、デバイスが機能しており、ゲート・ドライバとして動作できることを示しています。READY ローが存在する場合、ゲート駆動出力はハイ状態に移行しません。
5	FAULT	オープンドレイン・ロジック出力。信号を読み出すには、このピンをプルアップ抵抗に接続します。このピンがロー状態の場合、非飽和故障が発生したことを示しています。故障状態が存在する場合、ゲート駆動出力はハイ状態に移行しません。
6	RESET	CMOS 入力。故障が存在する場合、このピンをローにすると故障がクリアされます。
7	V _{DD1}	1 次側の入力電源電圧、2.3 V ~ 5.5 V (V _{SS1} 基準)。
9, 16	V _{SS2}	2 次側の負電源、-15 V ~ 0 V (GND ₂ 基準)。
10	DESAT	非飽和状態の検出。このピンは、外部電流源またはプルアップ抵抗に接続します。このピンは、NTC 温度検出や他の故障状態を検出できます。このピンの故障は、1 次側の FAULT ピンで故障が発生していることをアサートします。1 次側で故障をクリアしないと、ゲート駆動が停止します。故障状態中に、小型のターンオフ FET によりゲート電圧がゆっくりと降下します。
11	GND ₂	2 次側のグラウンド基準。このピンは、IGBT のエミッタまたは駆動される MOSFET のソースに接続します。
12	V _{OUT_OFF}	オフ信号用のゲート駆動出力電流パス。
13	V _{DD2}	2 次側入力電源電圧、12 V ~ 30 V (GND ₂ 基準)。
14	V _{OUT_ON}	オン信号用のゲート駆動出力電流パス。
15	GATE_SENSE	ゲート電圧検知入力およびミラー・クランプ出力。このピンは、駆動する電力デバイスのゲートに接続します。このピンは、ミラー・クランピングの目的でゲート電圧を検知します。ミラー・クランプを使用しない場合は、GATE_SENSE を V _{SS2} に接続します。

代表的な性能特性

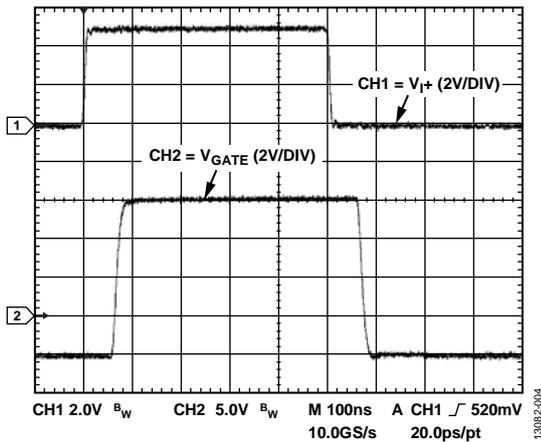


図 4. 代表的な入力-出力波形、2 nF の負荷、5.1 Ω のシリーズ・ゲート抵抗、 $V_{DD1} = +5\text{ V}$ 、 $V_{DD2} = +15\text{ V}$ 、 $V_{SS2} = -5\text{ V}$

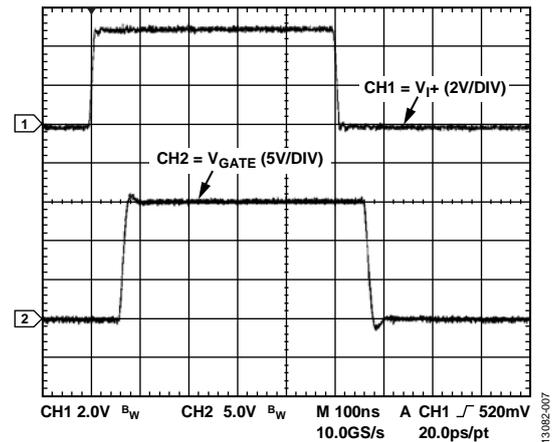


図 7. 代表的な入力-出力波形、2 nF の負荷、3.9 Ω のシリーズ・ゲート抵抗、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 15\text{ V}$ 、 $V_{SS2} = 0\text{ V}$

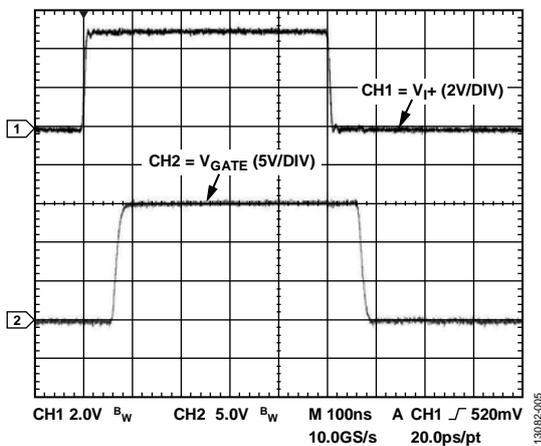


図 5. 代表的な入力-出力波形、2 nF の負荷、5.1 Ω のシリーズ・ゲート抵抗、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 15\text{ V}$ 、 $V_{SS2} = 0\text{ V}$

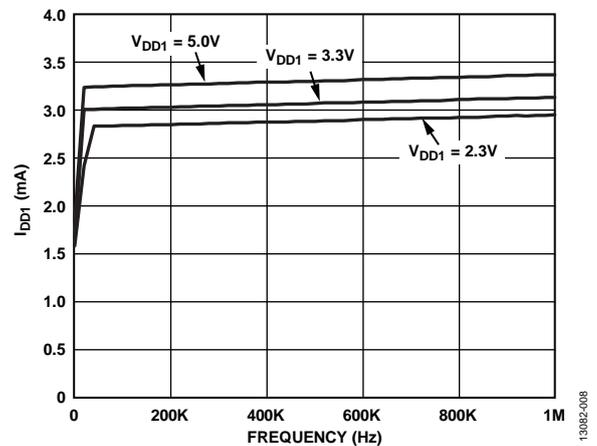


図 8. 代表的な I_{DD1} 電流と周波数の関係、デューティ = 50%、 $V_{I+} = V_{DD1}$

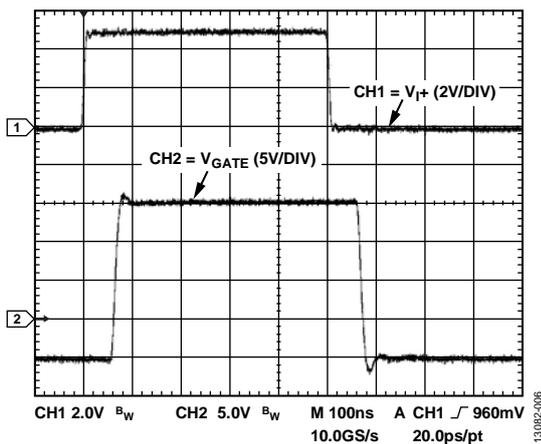


図 6. 代表的な入力-出力波形、2 nF の負荷、3.9 Ω のシリーズ・ゲート抵抗、 $V_{DD1} = +5\text{ V}$ 、 $V_{DD2} = +15\text{ V}$ 、 $V_{SS2} = -5\text{ V}$

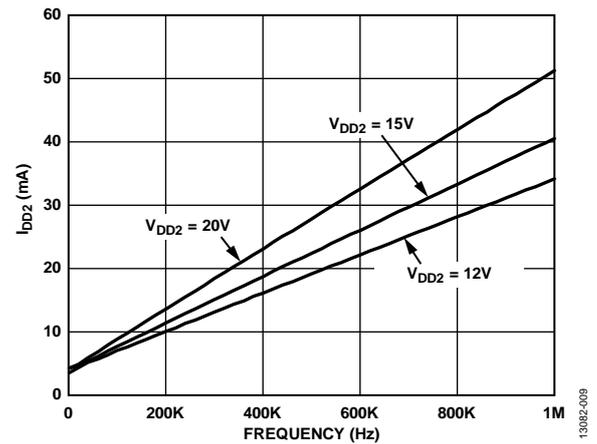


図 9. 代表的な I_{DD2} 電流と周波数の関係、デューティ = 50%、2 nF の負荷、 $V_{SS2} = 0\text{ V}$

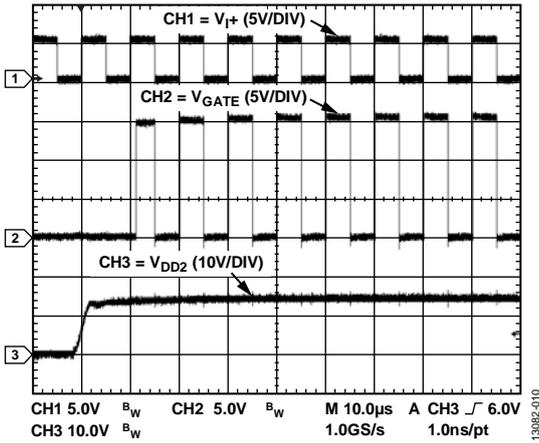


図 10. 代表的な V_{DD2} スタートアップから出力有効まで

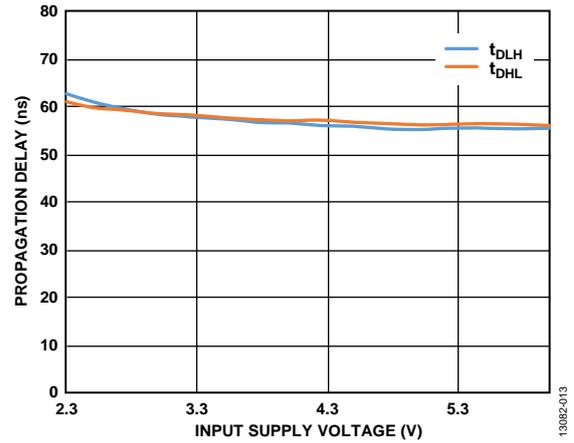


図 13. 代表的な伝搬遅延と入力電源電圧の関係、 $V_{DD2} - V_{SS2} = 12\text{ V}$

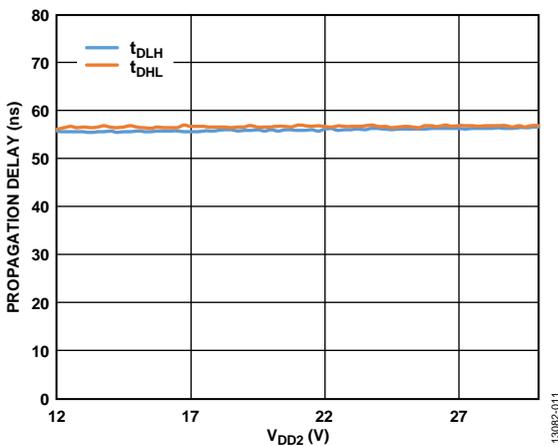


図 11. 代表的な伝搬遅延と出力電源電圧 (V_{DD2}) の関係、 $V_{DD2} = 15\text{ V}$ および $V_{DD1} = 5\text{ V}$

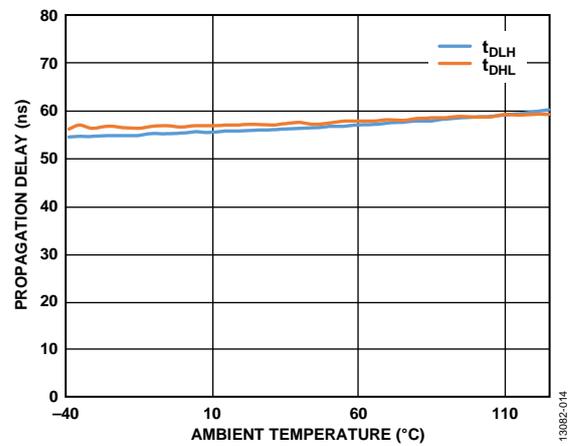


図 14. 代表的な伝搬遅延と周囲温度の関係、 $V_{DD2} = 5\text{ V}$ 、 $V_{DD2} - V_{SS2} = 12\text{ V}$

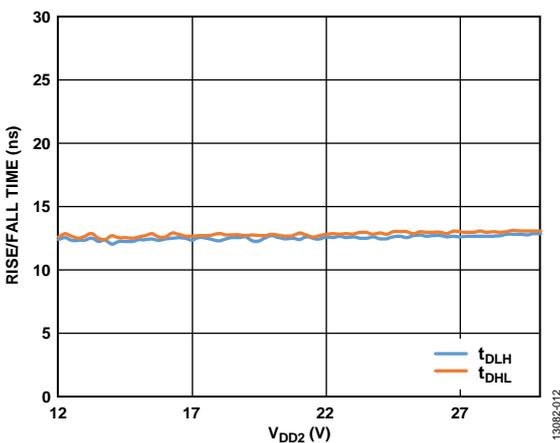


図 12. 代表的な立上がり/立下がり時間と V_{DD2} の関係、 $V_{DD2} - V_{SS2} = 12\text{ V}$ 、 $V_{DD1} = 5\text{ V}$ 、 2 nF の負荷、 $R_G = 3.9\ \Omega$

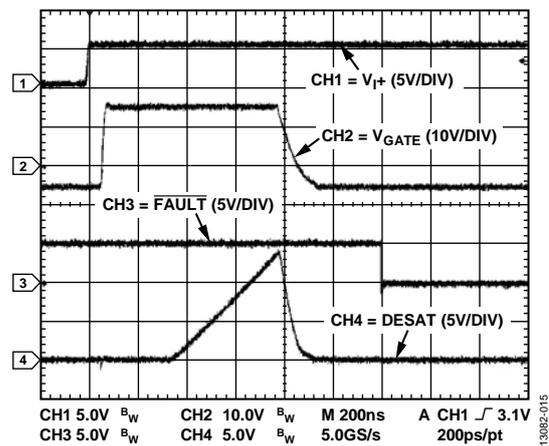


図 15. 非飽和状態と通知機能の例

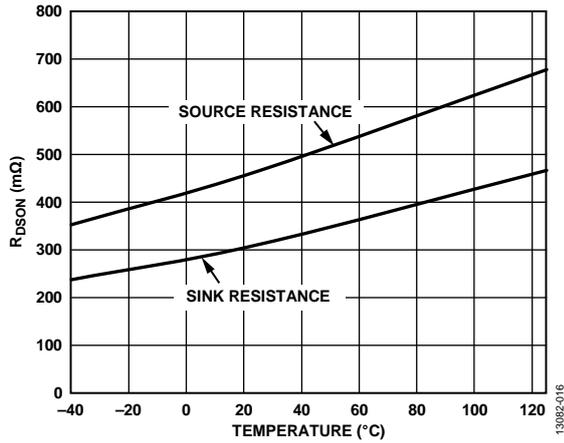


図 16. 代表的な出力抵抗 (R_{DSON}) と温度の関係

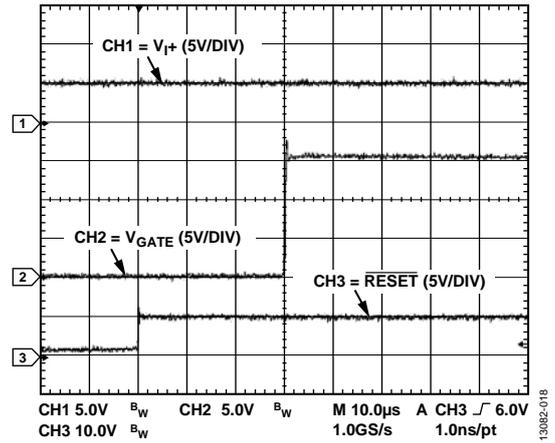


図 18. RESET から出力有効までの例

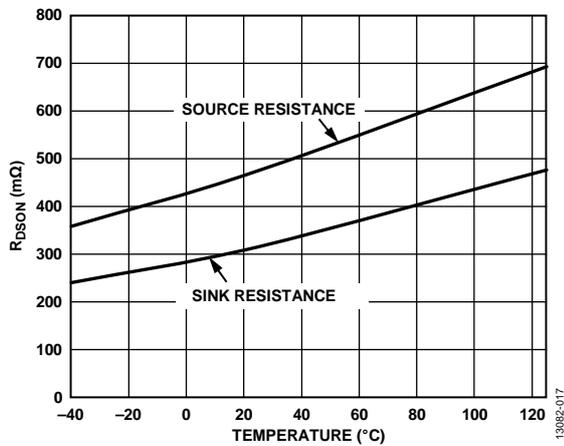


図 17. 代表的な出力抵抗 (R_{DSON}) と温度の関係、 $V_{DD2} = 15$ V

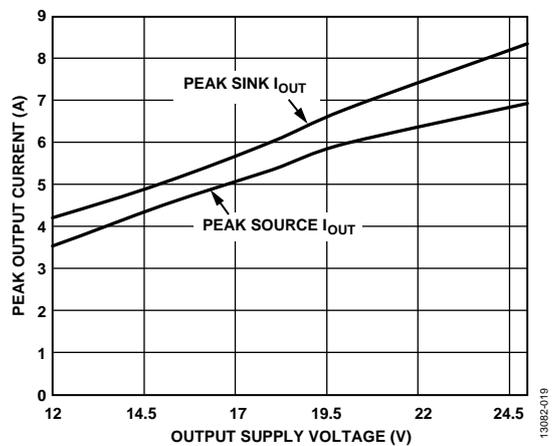


図 19. 代表的なピーク出力電流と出力電源電圧の関係、 2Ω の直列抵抗 (I_{OUT} は、デバイスのゲートに入力される / デバイスのゲートから出力される電流)

アプリケーション情報

PCB レイアウト

ADuM4135 の IGBT ゲート・ドライバには、ロジック・インターフェース用の外部インターフェース回路は必要ありません。入力および出力の電源ピンに電源バイパス・コンデンサを接続する必要があります。0.01 μF ~ 0.1 μF の小型セラミック・コンデンサを使用して、優れた高周波バイパスを提供します。出力電源ピン V_{DD2} に 10 μF コンデンサを追加して、ADuM4135 出力でゲート容量を駆動するのに必要な電荷を提供することも推奨します。出力電源ピンでは、バイパスでのインダクタンスを低減するため、バイパス・コンデンサでビアを使用したり、複数のビアを使用したりしないでください。小さいコンデンサと入力または出力電源ピンの両端間の合計リード長が 5 mm を超えてはいけません。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表します。ロー出力への伝搬遅延とハイ出力への伝搬遅延は異なることがあります。ADuM4135 において、 t_{DLH} は立上がり入力ハイ・ロジック閾値 (V_{IH}) から出力立上がり 10% 閾値までの時間として仕様規定されています (図 20 を参照)。同様に、立下がり伝搬遅延 (t_{DHL}) は、入力立ち下がりロー・ロジック閾値 (V_{IL}) から出力立下がり 90% 閾値までの時間として定義されています。立上がり時間と立下がり時間は負荷条件によって異なり、伝搬遅延には含まれません。これはゲート・ドライバの業界標準です。

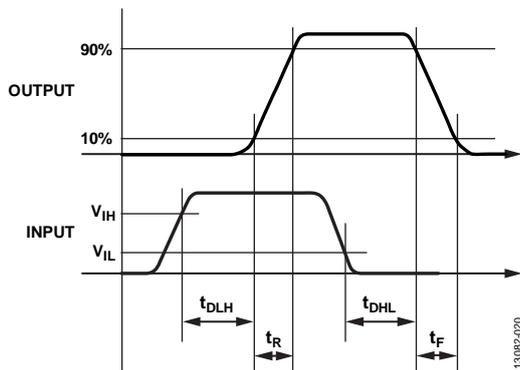


図 20. 伝搬遅延のパラメータ

伝搬遅延スキューは、同じ温度、入力電圧、および負荷条件下で動作する複数の ADuM4135 コンポーネント間での伝搬遅延差の最大値に相当します。

保護機能

故障通知機能

ADuM4135 は、IGBT の動作時に発生する可能性のある故障保護機能を備えています。主要な故障状態は非飽和です。飽和状態が検出された場合、ADuM4135 はゲート駆動をシャットダウンし、 $\overline{\text{FAULT}}$ がロー・レベルであることをアサートします。この出力は、 $\overline{\text{FAULT}}$ がロー・レベルになってから 500 ns の間はディスエーブルになり、その後ハイ・レベルになります。 $\overline{\text{FAULT}}$ は、 $\overline{\text{FAULT}}$ の立下がりエッジでハイ・レベルにリセットされます。 $\overline{\text{FAULT}}$ がロー・レベルに維持されている間、出力はディスエーブルのままになります。 $\overline{\text{FAULT}}$ ピンには、300 k Ω プルダウン抵抗が内蔵されています。

非飽和の検出

時折、ADuM4135 の IGBT に接続された回路でコンポーネントの障害または故障が発生することがあります。例えば、インダクタ/モーター巻線に短絡がある場合や、電源/グラウンド・バスへの短絡がある場合などに発生します。結果として、電流が過度に流れて IGBT が非飽和状態になります。この状態を検出し、FET が損傷する可能性を低減するため、ADuM4135 には閾値回路が採用されています。ハイサイド・ドライバがオンのときに DESAT ピンが 9 V の非飽和の閾値 ($V_{\text{DESAT, TH}}$) を超えると、ADuM4135 は故障状態になり、IGBT がオフになります。このとき、 $\overline{\text{FAULT}}$ ピンがロー・レベルになります。500 μA の内部電流源が提供されるだけでなく、外部電流源またはプルアップ抵抗を使用して充電電流をブーストすることもできます。ADuM4135 には、IGBT が初めてオンになるときの誤トリガーを防止するためのブランキング時間が組み込まれています。非飽和を検出してから $\overline{\text{FAULT}}$ ピンに非飽和故障を通知するまでの時間は 2 μs 未満です (t_{REPORT})。RESET をロー・レベルにすると、故障がクリアされます。RESET ピンには、500 ns のバウンス防止時間 ($t_{\text{DEB_RESET}}$) が設けられています。図 21 に示している $t_{\text{DESAT_DELAY}}$ 時間は、IGBT がオンになっている時間の最初の部分で、ブランキング・コンデンサをグラウンドに接続する内部スイッチをロー・レベルに接続された状態に保つ、300 ns のマスキング時間を提供します。

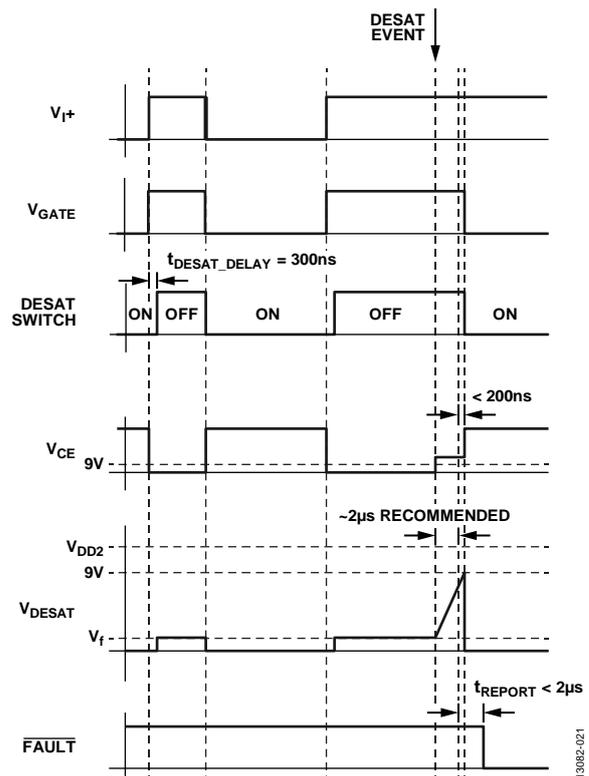


図 21. 非飽和検出のタイミング図

次のデザイン例では、図 28 に示している回路図と図 21 の波形を参照してください。通常動作環境下で、IGBT オフになっているとき、IGBT の両端の電圧 V_{CE} はシステムに供給されるレール電圧まで上昇します。この場合、阻止ダイオードがオフになり ADuM4135 を高電圧から保護します。オフになっている間、内部の非飽和スイッチがオンになり、電流が R_{BLANK} 抵抗を流れます。これにより、 C_{BLANK} コンデンサを低電圧に保つことができます。IGBT がオンになっている最初の 300 ns にわたり、DESAT スイッチはオン状態を維持し、DESAT ピン電圧をローレベルにクランプします。300 ns の遅延時間が経過した後、DESAT ピンが解放され、DESAT ピンは DESAT ピンの内部電流源またはオプションの外部プルアップ R_{BLANK} によって V_{DD2} に向かって上昇し、駆動されるスイッチのコレクタまたはドレインによってクランプされていない場合に電流の駆動能力が向上します。この時点で電流を減衰するには、 V_{RDESAT} を選択します。通常、 $100\ \Omega \sim 2\ k\Omega$ の範囲で選択します。IGBT のコレクタが高レール電圧を超えることを阻止し、高速回復ダイオードとして使用できるように、阻止ダイオードを選択してください。

非飽和状態になると、非飽和検出回路で V_{CE} が 9 V の閾値を超えます。ブランキング電流を増やすのに R_{BLANK} 抵抗を使用していない場合、ブランキング・コンデンサの電圧 C_{BLANK} が 500 μA (typ) を C_{BLANK} 容量で除算した値の比で上昇します。IGBT の仕様規定によって異なりますが、標準的なブランキング時間は約 2 μs です。DESAT ピンが 9 V の閾値を超えると、故障レジスタに値が書き込まれ、200 ns 以内にゲート出力がローレベルを駆動します。N-FET 故障 MOSFET (内部ゲート・ドライバ N-FET よりも約 50 倍抵抗が高い) を使用して出力がローレベルになり、ソフト・シャットダウンを実行して、デバイスが突然オフになった場合に IGBT で過電圧スパイクが発生する可能性を低減します。2 μs 以内に、1 次側の FAULT ピンに故障が通知されます。故障をクリアするには、リセットする必要があります。

ミラー・クランプ

ADuM4135 は、IGBT のシャットオフ時にミラー容量によって発生する IGBT ゲート上の電圧スパイクを低減するミラー・クランプを内蔵しています。入力ゲート信号が IGBT がオフになる (ローレベルになる) ように要求すると、ミラー・クランプ MOSFET が最初にオフになります。GATE_SENSE ピンの電圧が 2 V の内部電圧リファレンス (V_{SS2} を基準) を超えると、内部ミラー・クランプは IGBT のオフ時間の残り時間にわたってラッチされ、ゲート電流が追従する 2 つ目の低インピーダンス電流パスを作成します。ミラー・クランプ・スイッチは、入力駆動信号がローからハイに変わるまでオン状態を維持します。タイミングの波形の例を図 22 に示します。

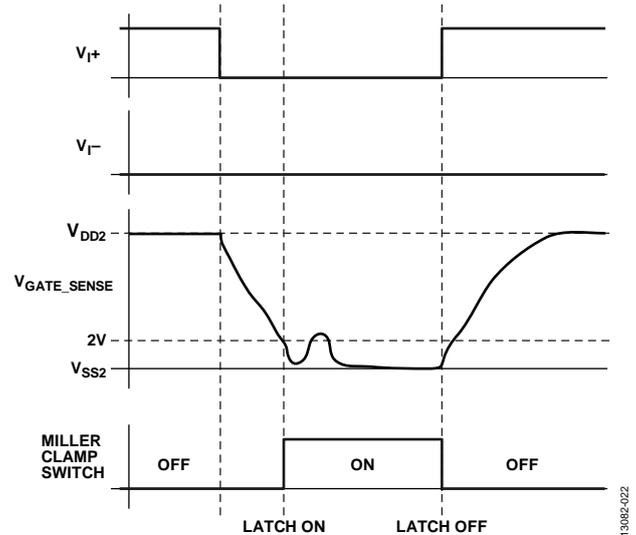


図 22. ミラー・クランプの例

サーマル・シャットダウン

ADuM4135 の内部温度が 155°C (typ) を超えると、デバイスはサーマル・シャットダウン (TSD) 状態になります。サーマル・シャットダウンの間、READY ピンは 1 次側でローレベルになり、ゲート駆動がディスエーブルになります。TSD 状態になると、内部温度が 125°C (typ) 未満になるまでデバイスは TSD を終了しません。内部温度が 125°C (typ) 未満になると、READY ピンがハイレベルに戻り、デバイスがシャットダウンを終了します。

低電圧ロックアウト (UVLO) 故障

UVLO 故障は、電源電圧が指定された UVLO 閾値未満の場合に発生します。1 次側または 2 次側が UVLO 状態になると、READY ピンがローレベルになり、ゲート駆動がディスエーブルになります。UVLO 状態が解消されると、デバイスは動作を再開し、READY ピンがハイレベルになります。

READY ピン

オープンドレイン READY ピンは、1 次側と 2 次側の通信がアクティブであることを確認する出力です。UVLO 状態または TSD 状態が存在しない場合、READY ピンはハイレベルを維持します。READY ピンがローレベルになると、IGBT ゲートがローレベルになります。

表 11. READY ピンのロジックの表

UVLO	TSD	READY Pin Output
No	No	High
Yes	No	Low
No	Yes	Low
Yes	Yes	Low

FAULT ピン

オープンドレイン **FAULT** ピンは、非飽和故障が発生したことを通知する出力です。**FAULT** ピンがロー・レベルになると、IGBT ゲートがロー・レベルになります。非飽和状態になった場合、**RESET** ピンは少なくとも 500 ns の間ロー・レベルになり、その後ハイ・レベルになって IGBT ゲート駆動に動作を戻す必要があります。

RESET ピン

RESET ピンには、300 kΩ (typ) プルダウン抵抗が内蔵されています。**RESET** ピンは、CMOS ロジック・レベルを受け付けます。**RESET** ピンがロー・レベルに維持されると、500 ns のパルス防止時間が経過した後に、**FAULT** ピンのあらゆる故障がクリアされます。**RESET** ピンがロー・レベルに維持されている間、**V_{OUT_OFF}** のスイッチは閉じて、IGBT のゲート電圧がロー・レベルになります。**RESET** がハイ・レベルになると、故障は存在しなくなり、デバイスは動作を再開します。

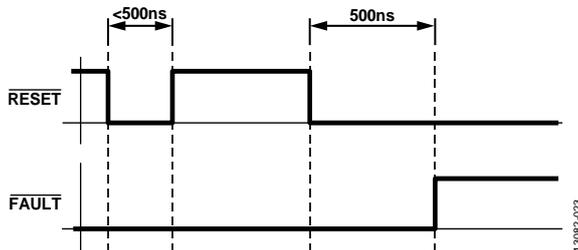


図 23. **RESET** タイミング

V_{I+} および V_{I-} 動作

ADuM4135 には、IGBT ゲート駆動信号 **V_{OUT_ON}** および **V_{OUT_OFF}** を制御するための 2 つの駆動入力 **V_{I+}** と **V_{I-}** があります。**V_{I+}** 入力と **V_{I-}** 入力はどちらも CMOS ロジック・レベル入力を使用します。**V_{I+}** ピンと **V_{I-}** ピンの入力ロジックを制御するには、**V_{I+}** ピンをハイ・レベル、または **V_{I-}** ピンをロー・レベルにアサートします。**V_{I-}** ピンがロー・レベルの場合、**V_{I+}** ピンは正論理を受け付けます。**V_{I+}** がハイ・レベルに維持されている場合、**V_{I-}** ピンは負論理を受け付けます。故障がアサートされた場合、**RESET** ピンによって故障がクリアされるまで送信がブロックされます。

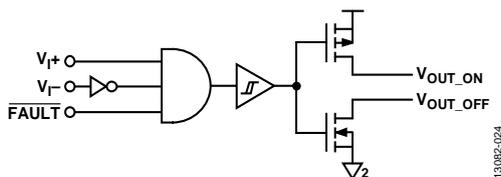


図 24. **V_{I+}** および **V_{I-}** のブロック図

最小パルス幅 **PW** は、タイミング仕様が保証される最小期間です。

ゲート抵抗の選択

ADuM4135 には、IGBT の駆動用の 2 つの出力ノードがあります。この方法の利点は、IGBT のターンオンとターンオフ用に 2 つの異なる直列抵抗を選択できることです。通常は、ターンオンよりもターンオフのほうが速くなるようにします。直列抵抗を選択するには、IGBT の最大許容ピーク電流を決定します。ゲートの電圧振幅とゲート・ドライバの内部抵抗から外部抵抗を求めることができます。

$$I_{PEAK} = (V_{DD2} - V_{SS2}) / (R_{DSON_N} + R_{GOFF})$$

例えば、ターンオフ・ピーク電流が 4 A で、 $(V_{DD2} - V_{SS2})$ が 18 V の場合は、次のようになります。

$$R_{GOFF} = ((V_{DD2} - V_{SS2}) - I_{PEAK} \times R_{DSON_N}) / I_{PEAK}$$

$$R_{GOFF} = (18 \text{ V} - 4 \text{ A} \times 0.6 \Omega) / 4 \text{ A} = 3.9 \Omega$$

R_{GOFF} を選択した後に、少し大きい **R_{GON}** を選択して、ターンオン時間を遅くすることができます。

消費電力

IGBT ゲートの駆動中に、ドライバは電力を消費する必要があります。この電力は無視できるレベルではないため、留意しないと TSD 状態になります。IGBT のゲートは、容量性負荷として大まかにシミュレートすることができます。ミラー容量と他の非直線性により、一般的には、特定の IGBT が指定されている入力容量 **C_{ISS}** に 5 を乗算して、駆動される負荷の概算値を見積もります。この値を使用して、スイッチング動作によるシステムの総消費電力を見積もるには次の数式を使用します。

$$P_{DISS} = C_{EST} \times (V_{DD2} - V_{SS2})^2 \times f_s$$

ここで、

$$C_{EST} = C_{ISS} \times 5$$

f_s は、IGBT のスイッチング周波数。

この消費電力は、内部ゲート・ドライバの内部オン抵抗と外部ゲート抵抗 **R_{GON}** および **R_{GOFF}** で共有されます。直列抵抗の合計に対する内部ゲート抵抗の比率により、ADuM4135 チップ内の損失を計算できます。

$$P_{DISS_ADuM4135} = P_{DISS} \times 0.5(R_{DSON_P} / (R_{GON} + R_{DSON_P}) + R_{DSON_N} / (R_{GOFF} + R_{DSON_N}))$$

チップ内の消費電力に **θ_{JA}** を乗算することで、ADuM4135 の周囲温度からの温度上昇値を得られます。

$$T_{ADuM4135} = \theta_{JA} \times P_{DISS_ADuM4135} + T_{AMB}$$

デバイスを仕様範囲内に収めるには、**T_{ADuM4135}** が 125 °C を超えてはいけません。**T_{ADuM4135}** が 155 °C (typ) を超えると、デバイスはサーマル・シャットダウン状態になります。

DC 精度と磁界耐性

ADuM4135 は、外部磁界に対する耐性を備えています。ADuM4135 の磁界耐性に関する限界は、トランスの受信側コイルに発生する誘導電圧が、誤ってデコーダを設定またはリセットする値まで大きくなるという条件によって設定されます。このエラー状態が発生する条件は、後述する解析によって求めることができます。ADuM4135 の 2.3 V 動作条件は最も感受性の高い動作モードであるため、この条件を調べます。

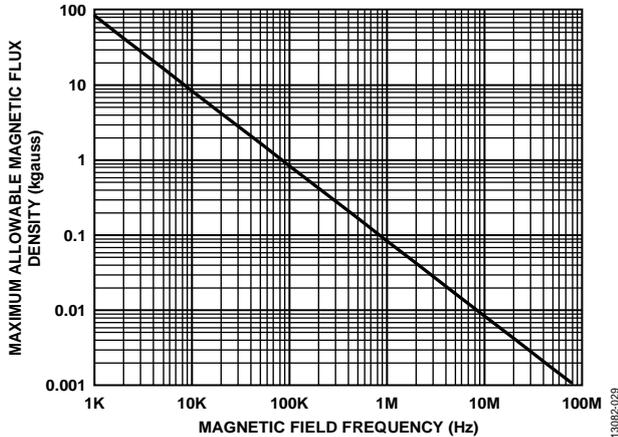


図 25. 最大許容の外部磁束密度

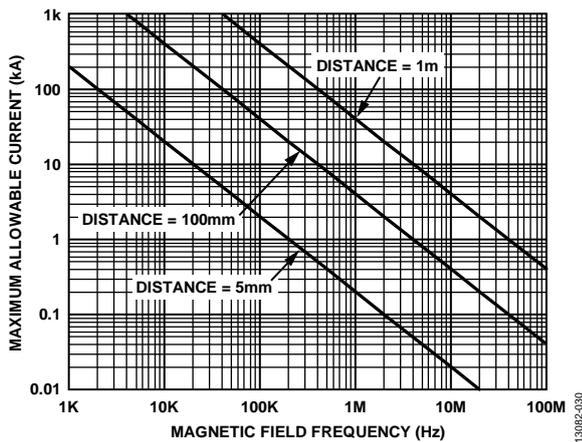


図 26. 電流と ADuM4135 の間隔と最大許容電流の関係

絶縁寿命

すべての絶縁構造は、長期間にわたり電圧ストレスを受けると、最終的に劣化します。絶縁性能の低下率は、絶縁の両端に加える電圧波形の特性だけでなく、材料や材料の境界面に依存します。

注目すべき 2 つのタイプの絶縁劣化として、空気にさらされる表面に沿った破壊と絶縁疲労があります。表面破壊は、表面トラッキング現象で、システム・レベル規格に定められている沿面距離条件で主に決定されます。絶縁疲労は、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長期間にわたる絶縁低下が生じる現象です。

表面トラッキング

表面トラッキングは、電気安全規格で規定されており、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離が定められています。安全性規制当局は、部品の表面絶縁について特性評価の試験を行い、部品を異なる材料グループに分類します。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、小さい沿面距離で十分に長い寿命を実現できます。特定の動作電圧と材料グループの最小沿面距離は、各システム・レベル規格で定められており、絶縁の両端にまたがる合計 rms 電圧、汚染度、材料グループに基づいています。ADuM4135 アイソレータの材料グループと沿面距離を表 8 に示します。

絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、印加する電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分に長いことを確認することが重要です。アイソレータがサポートしている耐疲労動作電圧が、耐トラッキング動作電圧と異なることがあります。これは、ほとんどの規格で仕様規定されているトラッキングに該当する動作電圧です。

試験とモデリングにより、長期間にわたる性能低下の主な要因は、増分型損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体のストレスは、DC ストレスや、AC 成分の時間とともに変化する電圧ストレスに大別できます。前者は変位電流が存在しないため、わずかな疲労しか発生させず、後者は疲労を発生させます。

認定ドキュメントに記載されている定格は、通常 60 Hz の正弦波ストレスに基づいています。これは、このストレスにはライン電圧からの絶縁が反映されるためです。ただし、多くの実用的なアプリケーションでは、60 Hz の AC 電圧とバリアの両端にかかる DC 電圧が組み合わせられています (数式 1 を参照)。ストレスの AC 部分のみが疲労を発生させるため、AC rms 電圧を求めるように数式を組み替えることができます (式 2 を参照)。この製品で使用されているポリイミド材料での絶縁疲労に関しては、AC rms 電圧が製品寿命を決定します。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \tag{1}$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \tag{2}$$

ここで、

V_{RMS} は、合計 rms 動作電圧。

$V_{AC\ RMS}$ は、動作電圧の時間とともに変化する部分。

V_{DC} は、動作電圧の DC オフセット。

計算とパラメータ使用の例

次の例は、電力変換アプリケーションで一般的な例です。絶縁バリアの一方に 240 V AC rms のライン電圧、もう一方に 400 V dc のバス電圧が存在するとします。アイソレータの材料はポリイミドです。デバイスの沿面距離と寿命を判断する際の臨界電圧を求めるには、図 27 と以降の数式を参照してください。

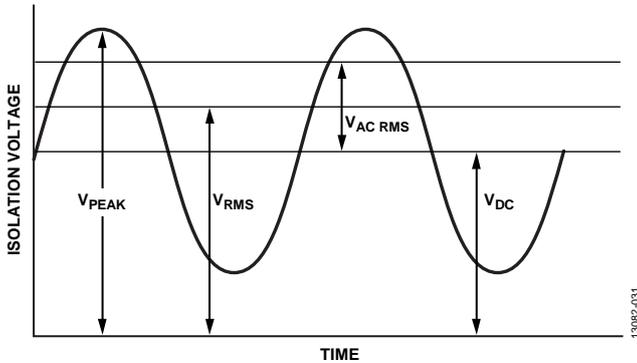


図 27. 臨界電圧の例

式 1 のバリアの両端にかかる動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\ \text{V rms}$$

システムの規格で要求される沿面距離を求める場合は、この 466 V rms の動作電圧と材料グループおよび汚染度を組み合わせて使用します。

寿命が十分に長いかどうか判断するには、動作電圧の時間とともに変化する部分を求めます。AC rms 電圧は式 2 から得られます。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240\ \text{V rms}$$

この場合、AC rms は 240 V rms のライン電圧です。この計算は、波形が正弦波でない場合によくあてはまりません。AC 波形の値を表 8 に示す動作電圧の制限値と比較して期待寿命を確認すると、60 Hz サイン波の値よりも低く、20 年の運用寿命規定を十分に満たしていることがわかります。

表 8 の DC 動作電圧の制限値は、IEC 60664-1 で仕様規定されたパッケージの沿面距離により定められています。この値は、特定のシステム・レベル規格とは異なることがあります。

代表的なアプリケーション

図 28 の代表的なアプリケーション回路図は、非飽和検出用にブランキング・コンデンサの充電電流を増加させるための追加の R_{BLANK} 抵抗を備えたバイポーラ・セットアップを示しています。 R_{BLANK} 抵抗はオプションです。ユニポーラ動作にする場合は、 V_{SS2} 電源を取り外して、 V_{SS2} を GND_2 に接続する必要があります。

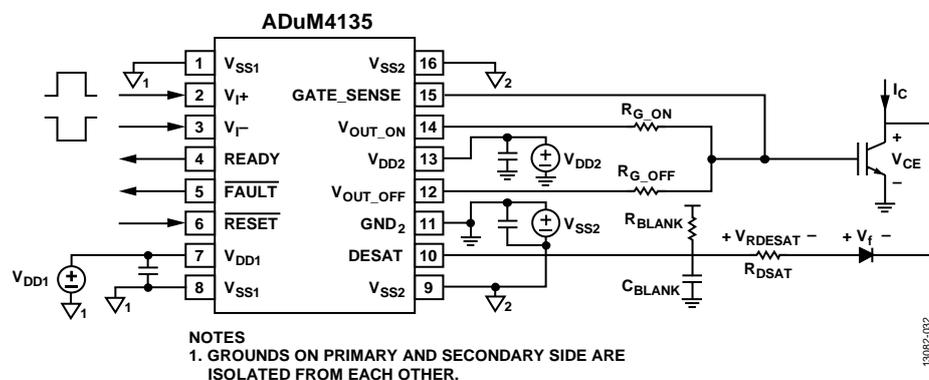
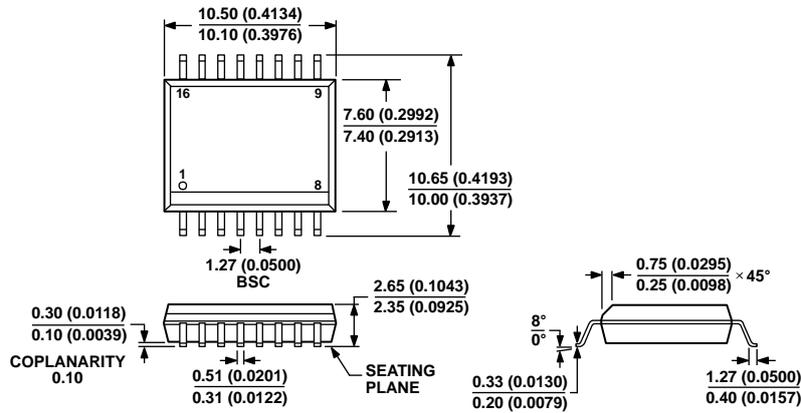


図 28. 代表的なアプリケーション回路図

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-B

図 29. 16 ピン、標準スモール・アウトライン・パッケージ [SOIC_W]
 ワイド・ボディ (RW-16)
 寸法単位: mm (括弧内はインチ)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADuM4135BRWZ	-40 °C to +125 °C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
ADuM4135BRWZ-RL	-40 °C to +125 °C	16-Lead Standard Small Outline Package [SOIC_W], 13" Tape and Reel	RW-16
EVAL-ADuM4135EBZ		Evaluation Board	

¹ Z = RoHS 準拠製品