



遅延クロック付きSPI用 3.75 kV、6CH、SPI Isolator デジタル・アイソレータ

データシート

ADuM3150

特長

遅延クロックモードで最大40 MHzのSPIクロック速度をサポート

4線式で最大17 MHzのSPIクロック速度をサポート
4つの高速、低伝搬遅延のSPI信号絶縁チャンネル
2つの250kbpsデータ・チャンネル

遅延補償クロック・ライン
沿面距離5.1 mmの20ピンSSOPパッケージを採用
高温動作：～125° C
高コモン・モード過渡電圧耐性：>25 kV/ μ s

安全性と規制の認可

- UL 1577に基づいたUL規格の認定(申請中)
3750 V rmsで1分間
- CSA 部品承認通告 #5A(申請中)
- VDE適合性認定(申請中)
DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12
 $V_{1ORM} = 560$ V peak

アプリケーション

工業用プログラマブル・ロジック・コントローラ (PLC)
センサー・アイソレーション

概要

ADuM3150¹ は絶縁型シリアル・ペリフェラル・インターフェース (SPI) 用に最適化された 6チャンネル SPI Isolator™ デジタル・アイソレータです。アナログ・デバイセズ社の iCoupler®チップ・スケール・トランス技術に基づき、CLK、MO/SI、MI/SO、SSのSPIバス信号の伝搬遅延を小さくできるので、最大17 MHzまでのSPIクロック・レートまでサポートしています。これらのチャンネルはSPI用にタイミングを最適化しており、伝搬遅延14 ns、ジッタ1 nsで動作します。

アイソレータADuM3150は、別用途向けに2つの独立した低データ・レートの絶縁チャンネル (各方向に1チャンネル) も内蔵しています。低速チャンネルのデータはジッタ2.5 μ sで、データ・レート250 kbpsが可能のようにサンプリングされ、シリアル伝送されます。

ADuM3150には、このデバイスのマスター側に遅延クロック出力があります。この出力は40MHzのクロック性能に対応するた

¹米国特許番号5,952,849、6,873,065、6,262,600、7,075,329により保護されています。その他の特許は申請中です。

機能ブロック図

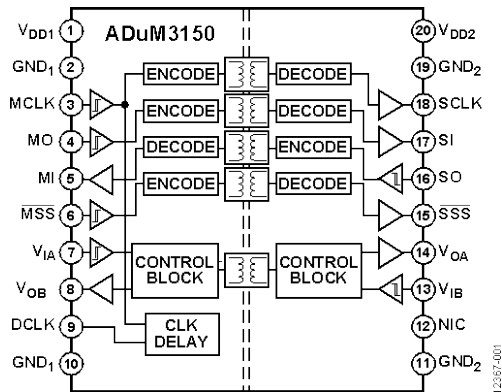


Figure 1.

めにマスターのもう1つのクロック動作ポートとともに使用できます。詳細については、遅延クロックセクションを参照してください。表 1. 関連製品

製品	説明
ADuM3151	3.75 kV、マルチチャンネル SPI アイソレータ
ADuM3152	3.75 kV、マルチチャンネル SPI アイソレータ
ADuM3153	3.75 kV、マルチチャンネル SPI アイソレータ

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料はREVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	絶対最大定格	13
アプリケーション	1	ESDに関する注意	13
機能ブロック図	1	ピン配置およびピン機能説明	14
概要	1	代表的な性能特性	15
改訂履歴	2	アプリケーション情報	16
仕様	3	はじめに	16
電気的特性-5 V動作	3	プリント回路基板 (PCB)のレイアウト	17
電気的特性-3.3 V動作	5	伝搬遅延に関連するパラメータ	18
電気的特性-ミックス電源5 V/3.3 V動作	7	DCの再現と磁界耐性	18
電気的特性-ミックス電源3.3 V/5 V動作	9	消費電力	19
パッケージ特性	11	絶縁寿命	19
適用規格	11	外形寸法	21
絶縁および安全性関連の仕様	11	オーダー・ガイド	21
DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12絶縁特性1 2			
推奨動作条件	12		

改訂履歴

7/14-Revision 0: 初版

仕様

電気的特性-5 V動作

すべてのtyp仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{V}$ での値です。特に指定のない限り、最小/最大仕様は全ての推奨動作範囲に適用されます： $4.5\text{V} \leq V_{DD1} \leq 5.5\text{V}$ 、 $4.5\text{V} \leq V_{DD2} \leq 5.5\text{V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。特に指定のない限り、スイッチング仕様は $C_L = 15\text{pF}$ とCMOS信号レベルでテストされます。

表 2. スwitchング仕様

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
MCLK, M0, S0									
SPI Clock Rate	SPI_{MCLK}			10			17	MHz	
Data Rate Fast (M0, S0)	DR_{FAST}			40			40	Mbps	Within PWD limit
Propagation Delay	$t_{\text{PHL}}, t_{\text{PLH}}$			25	12	14		ns	50% input to 50% output
Pulse Width	PW	12.5			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			2			2	ns	$ t_{\text{PLH}} - t_{\text{PHL}} $
Codirectional Channel Matching ¹	t_{PSKCD}			2			2	ns	
Jitter, High Speed	J_{HS}		1			1		ns	
MSS									
Data Rate Fast	DR_{FAST}			40			40	Mbps	Within PWD limit
Propagation Delay	$t_{\text{PHL}}, t_{\text{PLH}}$		21	25	21	25		ns	50% input to 50% output
Pulse Width	PW	12.5			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			2			2	ns	$ t_{\text{PLH}} - t_{\text{PHL}} $
Setup Time ²	$\text{MSS}_{\text{SETUP}}$	1.5			10			ns	
Jitter, High Speed	J_{HS}		1			1		ns	
DCLK									
Data Rate				40			40	MHz	
Propagation Delay	$t_{\text{PHL}}, t_{\text{PLH}}$			50			35	ns	$t_{\text{PMCLK}} + t_{\text{PSO}} + 3\text{ns}$
Pulse Width Distortion	PWD			3			3	ns	$ t_{\text{PLH}} - t_{\text{PHL}} $
Pulse Width	PW	12			12			ns	Within PWD limit
Clock Delay Error	DCLK_{ERR}	0	4.5	12	1	5.5	12	ns	$t_{\text{PDCLK}} - (t_{\text{PMCLK}} + t_{\text{PSO}})$
Jitter	J_{DCLK}		1			1		ns	
$V_{\text{IA}}, V_{\text{IB}}$									
Data Rate Slow	DR_{SLOW}			250			250	kbps	Within PWD limit
Propagation Delay	$t_{\text{PHL}}, t_{\text{PLH}}$	0.1		2.6	0.1		2.6	μs	50% input to 50% output
Pulse Width	PW	4			4			μs	Within PWD limit
Jitter, Low Speed	J_{LS}			2.5			2.5	μs	
V_{IX} ³ Minimum Input Skew ⁴	$t_{\text{VIX_SKEW}}$	10			10			ns	

¹ 同方向チャンネル間マッチングは、アイソレーション・バリアの同じ側に入力を持つ任意の2つのチャンネル間の伝搬遅延差の絶対値です。

² MSS信号にはすべてのグレードでグリッジ・フィルタが入っています。しかしBグレード品では、その他の高速信号にはグリッジ・フィルタが入っていません。MSSが確実に他の高速信号より先に出力に到達するように、速度グレードによって時間は異なりますが、MSSを競い合う信号より前に設定してください。

³ $V_{\text{IX}} = V_{\text{IA}}$ 又は V_{IB} 。

⁴ 内部の非同期クロック（ユーザーは使用できません）が低速信号をサンプリングします。同方向チャンネルのエッジ・シーケンスがエンド・アプリケーションで重要な場合、出力に正しい順番あるいは同時に到達する事を保証するために、先行パルスは後発パルスより少なくとも1 $t_{\text{VIX_SKEW}}$ 時間前でなければなりません。

表 3. 全グレード共通^{1, 2, 3}

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY CURRENT						
1 MHz, A Grade and B Grade	I_{DD1}		5	6.5	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
	I_{DD2}		6.2	8.5	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
17 MHz, B Grade	I_{DD1}		15	18	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
	I_{DD2}		13.5	16	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
DC SPECIFICATIONS						
MCKL, \overline{MSS} , MO, SO, V_{IA} , V_{IB}						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Input Hysteresis	V_{IHYST}		500		mV	
Input Current per Channel	I_I	-1	+0.0	+1	μ A	$0 \text{ V} \leq V_{INPUT} \leq V_{DDx}$
SCLK, \overline{SSS} , MI, SI, V_{OA} , V_{OB} , DCLK						
Output Voltages						
Logic High	V_{OH}	$V_{DDx} - 0.1$	5.0		V	$I_{OUTPUT} = -20 \mu\text{A}$, $V_{INPUT} = V_{IH}$
		$V_{DDx} - 0.4$	4.8		V	$I_{OUTPUT} = -4 \text{ mA}$, $V_{INPUT} = V_{IH}$
Logic Low	V_{OL}		0.0	0.1	V	$I_{OUTPUT} = 20 \mu\text{A}$, $V_{INPUT} = V_{IL}$
			0.2	0.4	V	$I_{OUTPUT} = 4 \text{ mA}$, $V_{INPUT} = V_{IL}$
V_{DD1} , V_{DD2} Undervoltage Lockout	UVLO		2.6		V	
Supply Current for High Speed Channel						
Dynamic Input	$I_{DDI(D)}$		0.09		mA/Mbps	
Dynamic Output	$I_{DDO(D)}$		0.02		mA/Mbps	
Supply Current for All Low Speed Channels						
Quiescent Input	$I_{DDI(Q)}$		4.0		mA	
Quiescent Output	$I_{DDO(Q)}$		6.4		mA	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁴	$ CM $	25	35		kV/ μ s	$V_{INPUT} = V_{DDx}$, $V_{CM} = 1000 \text{ V}$ Transient magnitude = 800 V

¹ $V_{DDx} = V_{DD1}$ 又は V_{DD2} 。² V_{INPUT} は MCLK、 \overline{MSS} ピン、MOピン、SOピン、 V_{IA} ピン又は V_{IB} ピンのいずれかの入力電圧です。³ I_{OUTPUT} はSCLKピン、DCLKピン、 \overline{SSS} ピン、MIピン、SIピン、VOAピン 又は VOBのいずれかの出力電流です。⁴ $|CM|$ は出力電圧が V_{OH} と V_{OL} の制限値内を維持している間に維持できるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、立ち上がりとしち下がりの両コモン・モード電圧エッジに適用されます。

電氣的特性-3.3 V動作

すべてのtyp仕様は、 $T_A = 25^\circ \text{C}$ 、 $V_{DD1} = V_{DD2} = 3.3 \text{V}$ での値です。特に指定のない限り、最小/最大仕様はすべての推奨動作範囲に適用されます： $3.0 \text{V} \leq V_{DD1} \leq 3.6 \text{V}$ 、 $3.0 \text{V} \leq V_{DD2} \leq 3.6 \text{V}$ 、 $-40^\circ \text{C} \leq T_A \leq +125^\circ \text{C}$ 。特に指定のない限り、スイッチング仕様は $C_L = 15 \text{pF}$ とCMOS信号レベルでテストされます。

表 4. スwitching仕様

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
MCLK, MO, SO									
SPI Clock Rate	SPI_{MCLK}			8.3			12.5	MHz	
Data Rate Fast (MO, SO)	DR_{FAST}			40			40	Mbps	Within PWD limit
Propagation Delay	t_{PHL}, t_{PLH}			30			20	ns	50% input to 50% output
Pulse Width	PW	12.5			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			3			3	ns	$ t_{PLH} - t_{PHL} $
Codirectional Channel Matching ¹	t_{PSKCD}			3			3	ns	
Jitter, High Speed	J_{HS}		1			1		ns	
MSS									
Data Rate Fast	DR_{FAST}			40			40	Mbps	Within PWD limit
Propagation Delay	t_{PHL}, t_{PLH}			30			30	ns	50% input to 50% output
Pulse Width	PW	12.5			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			3			3	ns	$ t_{PLH} - t_{PHL} $
Setup Time ²	MSS_{SETUP}	1.5			10			ns	
Jitter, High Speed	J_{HS}		1			1		ns	
DCLK									
Data Rate				40			40	MHz	
Propagation Delay	t_{PHL}, t_{PLH}			60			40	ns	$t_{PMCLK} + t_{PSO} + 3 \text{ ns}$
Pulse Width Distortion	PWD			3			3	ns	$ t_{PLH} - t_{PHL} $
Pulse Width	PW	12			12			ns	Within PWD limit
Clock Delay Error	$DCLK_{ERR}$	-4	+2.	+9	-3	+2.	+8	ns	$t_{PDCLK} - (t_{PMCLK} + t_{PSO})$
Jitter	J_{DCLK}		1			1		ns	
V_{IA}, V_{IB}									
Data Rate Slow	DR_{SLOW}			250			250	kbps	Within PWD limit
Propagation Delay	t_{PHL}, t_{PLH}	0.1		2.6	0.1		2.6	μs	50% input to 50% output
Pulse Width	PW	4			4			μs	Within PWD limit
Jitter, Low Speed	J_{LS}			2.5			2.5	μs	
V_{IX} ³ Minimum Input Skew ⁴	t_{VIX_SKEW}	10			10			ns	

¹ 同方向チャンネル間マッチングは、アイソレーション・バリアの同じ側に入力を持つ任意の2つのチャンネル間の伝搬遅延差の絶対値です。

² MSS 信号はすべてのグレードにグリッジ・フィルタが入っています。しかしBグレード品では、その他の高速信号にははグリッジ・フィルタが入っていません。MSSが確実に他の高速信号より先に出力に到達するように、速度グレードによって時間は異なりますがMSSを競い合う信号の前に設定してください。

³ $V_{IX} = V_{IA}$ 又は V_{IB} 。

⁴ 内部の非同期クロック（ユーザーは使用できません）が低速信号をサンプリングします。同方向チャンネルのエッジ・シーケンスがエンド・アプリケーションで重要な場合、出力に正しい順番あるいは同時に到達する事を保証するために、先行パルスは後発パルスより少なくとも1 t_{VIX_SKEW} 時間前でなければなりません。

表 5. 全グレード共通^{1, 2, 3}

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY CURRENT						
1 MHz, A Grade and B Grade	I_{DD1}		3.4	4.5	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
	I_{DD2}		4.7	6.0	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
17 MHz, B Grade	I_{DD1}		9.5	15	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
	I_{DD2}		8	12	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
DC SPECIFICATIONS						
MCKL, \overline{MSS} , MO, SO, V_{IA} , V_{IB}						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Input Hysteresis	V_{IHYST}		500		mV	
Input Current per Channel	I_I	-1	+0.0 1	+1	μ A	$0 \text{ V} \leq V_{INPUT} \leq V_{DDx}$
SCLK, \overline{SSS} , MI, SI, V_{OA} , V_{OB} , DCLK						
Output Voltages						
Logic High	V_{OH}	$V_{DDx} - 0.1$	5.0		V	$I_{OUTPUT} = -20 \mu\text{A}$, $V_{INPUT} = V_{IH}$
		$V_{DDx} - 0.4$	4.8		V	$I_{OUTPUT} = -4 \text{ mA}$, $V_{INPUT} = V_{IH}$
Logic Low	V_{OL}		0.0 0.2	0.1 0.4	V	$I_{OUTPUT} = 20 \mu\text{A}$, $V_{INPUT} = V_{IL}$ $I_{OUTPUT} = 4 \text{ mA}$, $V_{INPUT} = V_{IL}$
V_{DD1} , V_{DD2} Undervoltage Lockout	UVLO		2.6		V	
Supply Current for High Speed Channel						
Dynamic Input	$I_{DDI(D)}$		0.09		mA/Mbps	
Dynamic Output	$I_{DDO(D)}$		0.02		mA/Mbps	
Supply Current for All Low Speed Channels						
Quiescent Input	$I_{DDI(Q)}$		4.5		mA	
Quiescent Output	$I_{DDO(Q)}$		5.5		mA	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁴	$ CM $	25	35		kV/ μ s	$V_{INPUT} = V_{DDx}$, $V_{CM} = 1000$ V Transient magnitude = 800 V

¹ $V_{DDx} = V_{DD1}$ 又は V_{DD2} 。² V_{INPUT} は MCKL、 \overline{MSS} ピン、MOピン、SOピン、 V_{IA} ピン又は V_{IB} ピンのいずれかの入力電圧です。³ I_{OUTPUT} はSCLKピン、DCLKピン、 \overline{SSS} 、MIピン、SIピン、 V_{OA} ピン 又は V_{OB} のいずれかの出力電流です。⁴ $|CM|$ は出力電圧が V_{OH} と V_{OL} の制限値内を維持している間に維持できるコモン・モード電圧の最大スループートです。コモン・モード電圧スループートは、立ち上がりと立ち下りの両コモン・モード電圧エッジに適用されます。

電气的特性-ミックス電源5 V/3.3 V動作

すべてのtyp仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{V}$ 、 $V_{DD2} = 3.3\text{V}$ での値です。特に指定のない限り、最小/最大仕様はすべての推奨動作範囲に適用されます： $4.5\text{V} \leq V_{DD1} \leq 5.5\text{V}$ 、 $3.0\text{V} \leq V_{DD2} \leq 3.6\text{V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。特に指定のない限り、スイッチング仕様は $C_L = 15\text{pF}$ と CMOS信号レベルでテストされます。

表 6. スwitchング仕様

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
MCLK, MO, SO									
SPI Clock Rate	SPI_{MCLK}			9.2			15.6	MHz	
Data Rate Fast (MO, SO)	DR_{FAST}			40			40	Mbps	Within PWD limit
Propagation Delay	$t_{\text{PHL}}, t_{\text{PL}}$ H			27			16	ns	50% input to 50% output
Pulse Width	PW	12. 5			12. 5			ns	Within PWD limit
Pulse Width Distortion	PWD			3			2	ns	$ t_{\text{PLH}} - t_{\text{PHL}} $
Codirectional Channel Matchin g. ¹	t_{PSKCD}			2			2	ns	
Jitter, High Speed	J_{HS}		1			1		ns	
MSS									
Data Rate Fast	DR_{FAST}			40			40	Mbps	Within PWD limit
Propagation Delay	$t_{\text{PHL}}, t_{\text{PL}}$ H			27			26	ns	50% input to 50% output
Pulse Width	PW	12. 5			12. 5			ns	Within PWD limit
Pulse Width Distortion	PWD			2			2	ns	$ t_{\text{PLH}} - t_{\text{PHL}} $
Setup Time ²	$\text{MSS}_{\text{SETUP}}$	1.5			10			ns	
Jitter, High Speed	J_{HS}		1			1		ns	
DCLK									
Data Rate				40			40	MHz	
Propagation Delay	$t_{\text{PHL}}, t_{\text{PL}}$ H			50			35	ns	$t_{\text{PMCLK}} + t_{\text{PSO}} + 3\text{ns}$
Pulse Width Distortion	PWD			3			3	ns	$ t_{\text{PLH}} - t_{\text{PHL}} $
Pulse Width	PW	12			12			ns	Within PWD limit
Clock Delay Error	DCLK_{ERR}	-5	0	+7	-5	+1. 2	+9	ns	$t_{\text{PDCLK}} - (t_{\text{PMCLK}} + t_{\text{PSO}})$
Jitter	J_{DCLK}		1			1		ns	
$V_{\text{IA}}, V_{\text{IB}}$									
Data Rate Slow	DR_{SLOW}			250			250	kbps	Within PWD limit
Propagation Delay	$t_{\text{PHL}}, t_{\text{PL}}$ H	0.1		2.6	0.1		2.6	μs	50% input to 50% output
Pulse Width	PW	4			4			μs	Within PWD limit
Jitter, Low Speed	J_{LS}			2.5			2.5	μs	
V_{IX} ³ Minimum Input Skew ⁴	$t_{\text{VIx_SKEW}}$	10			10			ns	

¹ 同方向チャンネル間マッチングは、アイソレーション・バリアの同じ側に入力を持つ任意の2つのチャンネル間の伝搬遅延差の絶対値です。

² MSS信号はすべてのグレードでグリッジ・フィルタが入っています。しかしBグレード品では、その他の高速信号にはグリッジ・フィルタが入っていません。MSSが確実に他の高速信号より先に出力に到達するように、速度グレードによって時間は異なりますが、MSSを競い合う信号の前に設定してください。

³ $V_{\text{IX}} = V_{\text{IA}}$ 又は V_{IB} 。

⁴ 内部の非同期クロック（ユーザーは使用できません）が低速信号をサンプリングします。同方向チャンネルのエッジ・シーケンスがエンド・アプリケーションで重要な場合、出力に正しい順番あるいは同時に到達する事を保証するために、先行パルスは後発パルスより少なくとも1 $t_{\text{VIx_SKEW}}$ 時間前であればなりません。

表 7. 全グレード共通^{1, 2, 3}

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY CURRENT						
1 MHz, A Grade and B Grade	I_{DD1}		5.3	6.2	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
	I_{DD2}		4.9	6	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
17 MHz, B Grade	I_{DD1}		16	18	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
	I_{DD2}		10	12	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
DC SPECIFICATIONS						
MCKL, \overline{MSS} , MO, SO, V_{IA} , V_{IB}						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Input Hysteresis	V_{IHYST}		500		mV	
Input Current per Channel	I_I	-1	+0.0 1	+1	μ A	$0 V \leq V_{INPUT} \leq V_{DDx}$
SCLK, \overline{SSS} , MI, SI, V_{OA} , V_{OB} , DCLK						
Output Voltages						
Logic High	V_{OH}	$V_{DDx} - 0.1$	5.0		V	$I_{OUTPUT} = -20 \mu$ A, $V_{INPUT} = V_{IH}$
		$V_{DDx} - 0.4$	4.8		V	$I_{OUTPUT} = -4$ mA, $V_{INPUT} = V_{IH}$
Logic Low	V_{OL}		0.0 0.2	0.1 0.4	V	$I_{OUTPUT} = 20 \mu$ A, $V_{INPUT} = V_{IL}$ $I_{OUTPUT} = 4$ mA, $V_{INPUT} = V_{IL}$
V_{DD1} , V_{DD2} Undervoltage Lockout	UVLO		2.6		V	
Supply Current for High Speed Channel						
Dynamic Input	$I_{DDI(D)}$		0.09		mA/Mbps	
Dynamic Output	$I_{DDO(D)}$		0.02		mA/Mbps	
Supply Current for All Low Speed Channels						
Quiescent Input	$I_{DDI(Q)}$		4.0		mA	
Quiescent Output	$I_{DDO(Q)}$		4.7		mA	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁴	CM	25	35		kV/ μ s	$V_{INPUT} = V_{DDx}$, $V_{CM} = 1000$ V Transient magnitude = 800 V

¹ $V_{DDx} = V_{DD1}$ 又は V_{DD2} 。² V_{INPUT} は MCLK、 \overline{MSS} ピン、MOピン、SOピン、 V_{IA} ピン又は V_{IB} ピンのいずれかの入力電圧です。³ I_{OUTPUT} はSCLKピン、DCLKピン、 \overline{SSS} ピン、MIピン、SIピン、 V_{OA} ピン 又は V_{OB} のいずれかの出力電流です。⁴ |CM| は出力電圧が V_{OH} と V_{OL} の制限値内を維持している間に維持できるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、立ち上がりと立ち下がりの両コモン・モード電圧エッジに適用されます。

電気的特性-ミックス電源3.3 V/5 V動作

すべてのtyp仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{V}$ 、 $V_{DD2} = 5\text{V}$ での値です。特に指定のない限り、最小/最大仕様は、全推奨動作範囲に適用されます： $3.0\text{V} \leq V_{DD1} \leq 3.6\text{V}$ 、 $4.5\text{V} \leq V_{DD2} \leq 5.5\text{V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。特に指定のない限り、スイッチング仕様は $C_L = 15\text{pF}$ と CMOS信号レベルでテストされます。

表 8. スwitchング仕様

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
MCLK, MO, SO									
SPI Clock Rate	SPI_{MCLK}			9.2			15.6	MHz	
Data Rate Fast (MO, SO)	DR_{FAST}			40			40	Mbps	Within PWD limit
Propagation Delay	t_{PHL}, t_{PLH}			27			16	ns	50% input to 50% output
Pulse Width	PW	12.5			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			2			2	ns	$ t_{PLH} - t_{PHL} $
Codirectional Channel Matchin g. ¹	t_{PSKCD}			3			3	ns	
Jitter, High Speed	J_{HS}		1			1		ns	
MSS									
Data Rate Fast	DR_{FAST}			40			40	Mbps	Within PWD limit
Propagation Delay	t_{PHL}, t_{PLH}			26			26	ns	50% input to 50% output
Pulse Width	PW	12.5			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			3			3	ns	$ t_{PLH} - t_{PHL} $
Setup Time. ²	MSS_{SETUP}	1.5			10			ns	
Jitter, High Speed	J_{HS}		1			1		ns	
DCLK									
Data Rate				40			40	MHz	
Propagation Delay	t_{PHL}, t_{PLH}			60			40	ns	$t_{PMCLK} + t_{PSO} + 3\text{ ns}$
Pulse Width Distortion	PWD			3			3	ns	$ t_{PLH} - t_{PHL} $
Pulse Width	PW	12			12			ns	Within PWD limit
Clock Delay Error	$DCLK_{ERR}$	2	7	13	2	6.8	11	ns	$t_{PDCLK} - (t_{PMCLK} + t_{PSO})$
Jitter	J_{DCLK}		1			1		ns	
V_{IA}, V_{IB}									
Data Rate Slow	DR_{SLOW}			250			250	kbps	Within PWD limit
Propagation Delay	t_{PHL}, t_{PLH}	0.1		2.6	0.1		2.6	μs	50% input to 50% output
Pulse Width	PW	4			4			μs	Within PWD limit
Jitter, Low Speed	J_{LS}			2.5			2.5	μs	
V_{IX} ³ Minimum Input Skew. ⁴	t_{VIX_SKEW}	10			10			ns	

¹ 同方向チャンネル間マッチングは、アイソレーション・バリアの同じ側に入力を持つ任意の2つのチャンネル間の伝搬遅延差の絶対値です。
² MSS信号はすべてのグレードでグリッジ・フィルタが入っています。しかしBグレード品では、その他の高速信号にグリッジ・フィルタが入っていません。MSSが確実に他の高速信号より先に出力に到達するように、速度グレードによって時間は異なりますが、MSSを競い合う信号の前に設定してください。

³ $V_{IX} = V_{IA}$ 又は V_{IB} 。

⁴ 内部の非同期クロック（ユーザーは使用できません）が低速信号をサンプリングします。同方向チャンネルのエッジ・シーケンスがエンド・アプリケーションで重要な場合、出力に正しい順番あるいは同時に到達する事を保証するために、先行パルスは後発パルスより少なくとも1 t_{VIX_SKEW} 時間前であればなりません。

表 9. 全グレード共通^{1, 2, 3}

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY CURRENT						
1 MHz, A Grade and B Grade	I_{DD1}		3.5	4.5	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
	I_{DD2}		6.8	9	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
17 MHz, B Grade	I_{DD1}		12.5	14.5	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
	I_{DD2}		14	16	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
DC SPECIFICATIONS						
MCKL, \overline{MSS} , MO, SO, V_{IA} , V_{IB}						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Input Hysteresis	V_{IHYST}		500		mV	
Input Current per Channel	I_I	-1	+0.0	+1	μ A	$0 V \leq V_{INPUT} \leq V_{DDx}$
			1			
SCLK, \overline{SSS} , MI, SI, V_{OA} , V_{OB} , DCLK						
Output Voltages						
Logic High	V_{OH}	$V_{DDx} - 0.1$	5.0		V	$I_{OUTPUT} = -20 \mu$ A, $V_{INPUT} = V_{IH}$
		$V_{DDx} - 0.4$	4.8		V	$I_{OUTPUT} = -4$ mA, $V_{INPUT} = V_{IH}$
Logic Low	V_{OL}		0.0	0.1	V	$I_{OUTPUT} = 20 \mu$ A, $V_{INPUT} = V_{IL}$
			0.2	0.4	V	$I_{OUTPUT} = 4$ mA, $V_{INPUT} = V_{IL}$
V_{DD1} , V_{DD2} Undervoltage Lockout	UVLO		2.6		V	
Supply Current for High Speed Channel						
Dynamic Input	$I_{DDI(D)}$		0.09		mA/Mbps	
Dynamic Output	$I_{DDO(D)}$		0.02		mA/Mbps	
Supply Current for All Low Speed Channels						
Quiescent Input	$I_{DDI(Q)}$		2.8		mA	
Quiescent Output	$I_{DDO(Q)}$		6.4		mA	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁴	$ CM $	25	35		kV/ μ s	$V_{INPUT} = V_{DDx}$, $V_{CM} = 1000$ V Transient magnitude = 800 V

¹ $V_{DDx} = V_{DD1}$ 又は V_{DD2} .² V_{INPUT} は MCKL、 \overline{MSS} ピン、MOピン、SOピン、 V_{IA} ピン又は V_{IB} ピンのいずれかの入力電圧です。³ I_{OUTPUT} はSCLKピン、DCLKピン、 \overline{SSS} ピン、MIピン、SIピン、 V_{OA} ピン 又は V_{OB} のいずれかの出力電流です。⁴ $|CM|$ は出力電圧が V_{OH} と V_{OL} の制限値内を維持している間に維持できるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、立ち上がりと立ち下がりの両コモン・モード電圧エッジに適用されます。

パッケージ特性

表 10.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input-to-Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input-to-Output) ¹	C _{I-O}		1.0		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction-to-Case Thermal Resistance	θ _{JC}		75		° C/W	Thermocouple located at center of package underside

¹ デバイスは 2 端子デバイスと見なします: ピン1~ピン8 を相互に接続し、ピン9~ピン16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンドの間。

適用規格

ADuM3150は、表 11に記載する組織の認定を申請中です。特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 16 と絶縁寿命のセクションを参照してください。

表 11.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5 A	Certified according to DIN V DE V 0884-10 (VDE V 0884-10):2006-12 ²
3750 V rms Single Protection	Basic insulation per CSA 60950-1-07 and IEC 60950-1 second edition, 510 V rms (721 V peak) maximum working voltage ³	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 1,200 V rms 以上を1 秒間加えてADuM3150 を確認テストします (リーク電流検出規定値 = 5 μA)。

² DIN V DE V 0884-10 に従い、ADuM3150に525Vpeak 以上の絶縁テスト電圧を1 秒間加えることによりテストして保証されています (部分放電の検出規定値=5 pC)。部品のアスタリスク(*)マークは、DIN V DE V 0884-10 認定製品を表します。

³ 各種動作条件下での推奨最大動作電圧については表 16を参照してください。

絶縁および安全性関連の仕様

表 12.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		3750	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	5.1	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	5.1	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017	mm min	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Material Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12絶縁特性

このアイソレータは、安全性制限値内でのみ、強化された電氣的絶縁を満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージ上のアスタリスク(*)マークは、DIN V VDE V 0884-10認定製品を表します。

表 13.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms Climatic Classification Pollution Degree per DIN VDE 0110, Table 1 Maximum Working Insulation Voltage			I to IV I to III I to II 40/105/21 2	
Input-to-Output Test Voltage, Method b 1	$V_{IORM} \times 1.875 = V_{pd(m)}$, 100% production test, $t_{ini} = t_m = 1$ sec, partial discharge < 5 pC	$V_{pd(m)}$	1050	V peak
Input-to-Output Test Voltage, Method a After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	840	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	672	V peak
Highest Allowable Overvoltage		V_{IOTM}	5300	V peak
Surge Isolation Voltage	$V_{IOSM(TEST)} = 10$ kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	6000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see 図 2)			
Case Temperature		T_S	130	$^{\circ}$ C
Safety Total Dissipated Power		I_{S1}	1.4	W
Insulation Resistance at T_S	$V_{I0} = 500$ V	R_S	$>10^9$	Ω

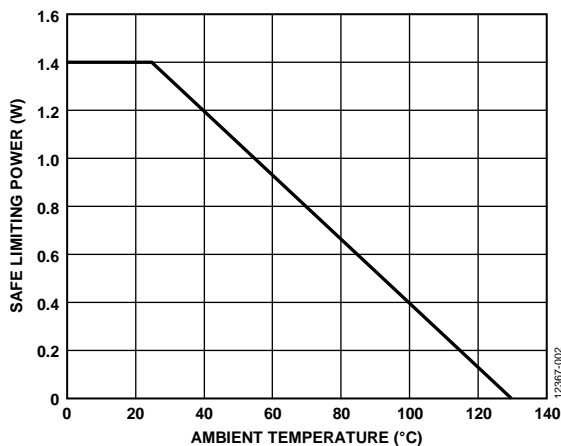


図 2. 温度ディレーティング・カーブ、DIN V VDE V 0884-10に

推奨動作条件

表 14.

Parameter	Symbol	Min	Max	Unit
動作温度範囲	T_A	-40	+125	$^{\circ}$ C
電源範囲 ¹	V_{DD1} , V_{DD}	3.0	5.5	V
入力信号の立ち上がり/立ち下り時間	²		1.0	ms

¹ 外部磁界耐性については、DCの再現と磁界耐性のセクションを参照してください。

よる安全な規定値のケース温度に対する依存性

絶対最大定格

特に指定のない限り、TA = 25°C。

表 15.

Parameter	Rating ¹
Storage Temperature (T _{ST}) Range	-65° C to +150° C
Ambient Operating Temperature (T _A) Range	-40° C to +125° C
Supply Voltages (V _{DD1} , V _{DD2})	-0.5 V to +7.0 V
Input Voltages (V _{IA} , V _{IB} , MCLK, MO, SO, MSS)	-0.5 V to V _{DDx} + 0.5 V
Output Voltages (SCLK, DCLK, SSS, MI, SI, V _{OA} , V _{OB})	-0.5 V to V _{DDx} + 0.5 V
Average Output Current per Pin ²	-10 mA to +10 mA
Common-Mode Transients ³	-100 kV/μs to +100 kV/μs

¹ V_{DDx} = V_{DD1} 又は V_{DD2}。

² 種々の温度に対する最大定格電流値については図 2を参照してください。

³ 絶縁障壁を跨ぐコモン・モード過渡電圧を意味します。絶対最大定格を超えるコモン・モード過渡電圧は、ラッチアップまたは永久故障の原因になります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。この規定はスト

レス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。長時間における最大動作条件以上での動作はデバイスの信頼性に影響を与える可能性があります。

表 16. 最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC 60 Hz RMS Voltage	400	V rms	20 year lifetime at 0.1% failure rate, zero average voltage
DC Voltage	722	V peak	Limited by the creepage of the package, Pollution Degree 2, Material Group II ^{2, 3}

¹ 詳細については、絶縁寿命のセクションを参照してください。

² 他の汚染度や材料グループの条件は異なる制約を生じます。

³ 一部のシステム・レベル規格はプリント配線板(PWB)の沿面距離値を採用した部品を容認します。これらの規格の場合サポートするDC電圧は高くなる可能性があります。

ESDに関する注意



ESD (electrostatic discharge) sensitive device.

Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

ピン配置およびピン機能説明

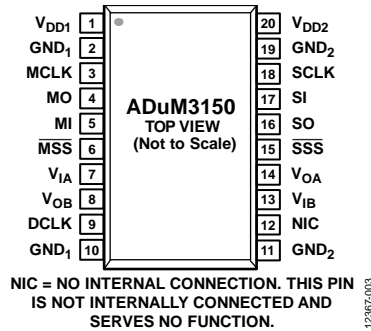


Figure 3. ピン配置

表 17. Pin Function Descriptions

Pin No.	Mnemonic	Direction	Description
1	V _{DD1}	Power	サイド1の入力電源。V _{DD1} から直近グラウンドの GND ₁ へバイパス・コンデンサを接続してください。
2, 10	GND ₁	Return	グラウンド 1。アイソレータのサイド1のグラウンド基準電位とリターン。
3	MCLK	Clock	マスターのコントローラからのSPI クロック。
4	MO	Input	マスターのMO/SI 線からのSPI データ。
5	MI	Output	スレーブからマスターのMI/SO 線へのSPI データ。
6	MSS	Input	マスターからのスレーブ・セレクト。この信号はアクティブ・ロー・ロジックを使用します。スレーブ・セレクト・ピンは速度グレードによっては、次のクロック又はデータ・エッジから10 ns程度のセットアップ時間を必要とします。
7	V _{IA}	Input	低速データ入力 A。
8	V _{OB}	Output	低速データ出力 B。
9	DCLK	Output	遅延クロック出力。このピンからMCLKの遅延されたコピー信号が出力します。
11, 19	GND ₂	Return	グラウンド 2。アイソレータのサイド2のグラウンド基準電位とリターン。
12	NIC	None	内部で未接続。このピンは内部で未接続になっており、ADuM3150の機能はありません。
13	V _{IB}	Input	低速データ入力 B。
14	V _{OA}	Output	低速データ出力 A。
15	SSS	Output	スレーブに対するスレーブ・セレクト。この信号はアクティブ・ロー・ロジックを使用します。
16	SO	Input	スレーブからマスターのMI/SO線へSPI データ。
17	SI	Output	マスターからスレーブのMO/SI 線へのSPI データ。
18	SCLK	Output	マスターのコントローラからのSPI クロック。
20	V _{DD2}	Power	サイド2の入力電源。V _{DD2} から直近グラウンドのGND ₂ へバイパス・コンデンサを接続してください。

表 18. 電源オフ時のデフォルト状態の真理値表 (正論理)¹

V _{DD1} State	V _{DD2} State	Side 1 Outputs	Side 2 Outputs	SSS	Notes
Unpowered	Powered	Z	Z	Z	Outputs on an unpowered side are high impedance within one diode drop of ground
Powered	Unpowered	Z	Z	Z	Outputs on an unpowered side are high impedance within one diode drop of ground

¹ Z は高インピーダンスです。

代表的な性能特性

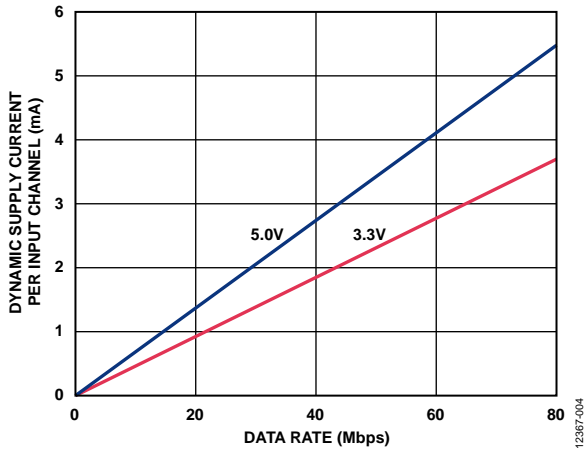


Figure 4. 5.0 Vおよび3.3 V動作でのデータ・レート 対 入力チャンネル当たりのダイナミック電源電流(Typ)

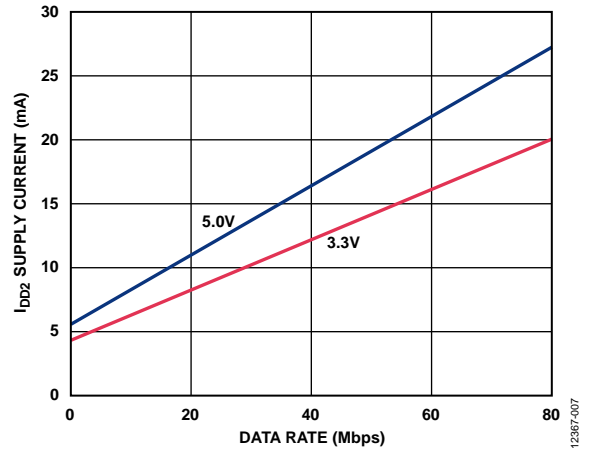


図 7. 5.0 Vおよび3.3 V動作でのデータ・レート 対 I_{DD2}電源電流(Typ)

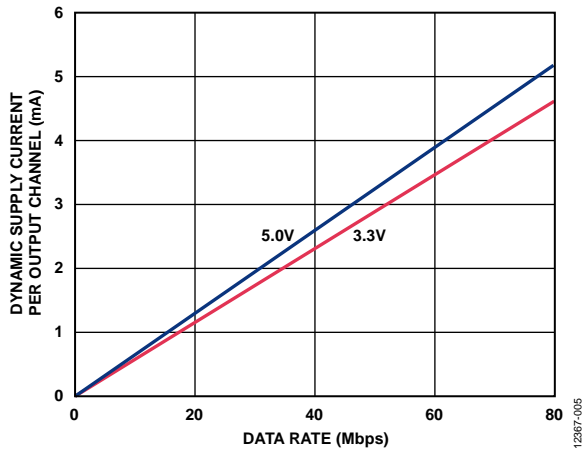


図 5. 5.0 Vおよび3.3 V動作でのデータ・レート 対 出力チャンネルあたりのダイナミック電源電流(Typ)

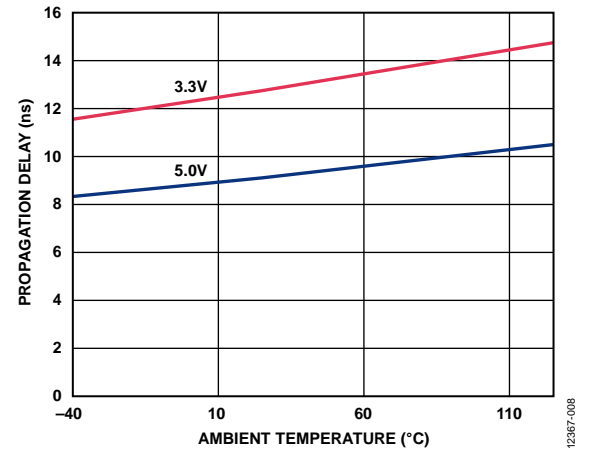


図 8. 周囲温度 対 高速チャンネルの標準伝播遅延 (グリッド・フィルタ無し) 詳細については高速チャンネルのセクションを参照

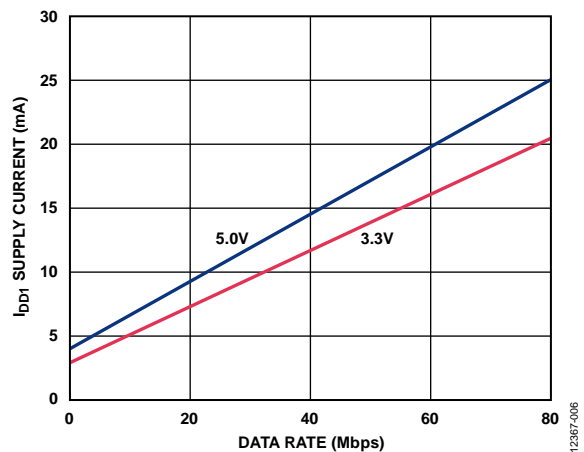


図 6. 5.0 Vおよび3.3 V動作でのデータ・レート 対 I_{DD1} 電源電流(Typ)

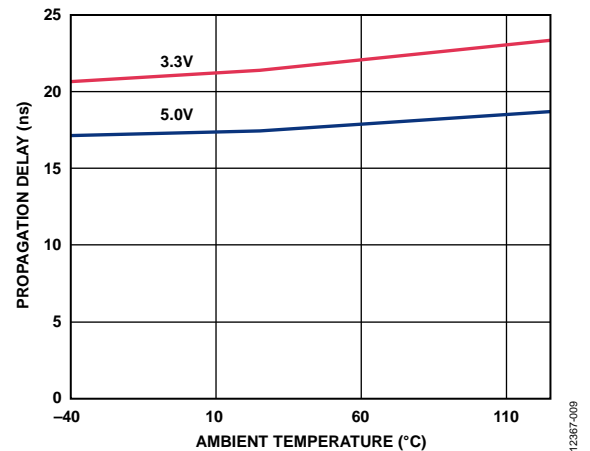


図 9. 周囲温度 対 高速チャンネルの標準伝播遅延 (グリッドフィルタ有り) -詳細については高速チャンネルのセクションを参照

アプリケーション情報

はじめに

ADuM3150は高速データ用にSPIの絶縁を最適化し、制御機能と状態監視機能用に低速チャンネルを提供するために開発された製品ファミリーの1つです。アイソレータは速度とノイズ耐性を強化するために差動信号処理の*iCoupler*技術を採用しています。

高速チャンネル

ADuM3150は4つの高速チャンネルを内蔵しています。最初の3つのCLK、MI/SO、MO/SI（スラッシュは個別の入力と出力の接続を表し、アイソレータを介してSPIバス信号に対応したデータ経路を形成しています）は、伝搬遅延の最小化（Bグレード）あるいは高いノイズ耐性（Aグレード）のどちらかに最適化されています。2つのグレードの違いは、Aグレード・バージョンのこれら3つのチャンネルにはグリッジ・フィルタを追加している事ですが、このフィルタにより伝播遅延は大きくなります。Bグレード・バージョン（伝搬遅延は14 ns max）は、標準4線SPIで最大17MHzのクロック・レートが可能です。しかしBグレード・バージョンはグリッジ・フィルタを備えていないので、これらの信号線上に10 ns以下のスプリアス・グリッチが存在しない事を確認する必要があります。

Bグレード製品に10ns以下のグリッチが加わると、グリッジの2番目のエッジを見過ごす可能性があります。このパルス状態は、出力にスプリアスとして謝ったデータの変化となって現れますが、これはリフレッシュ又は次の有効データ・エッジによって修正されます。ノイズが多い環境ではAグレード製品の使用をお勧めします。

表 19はSPI信号経路とADuM3150のピン記号とデータ方向の関係を示します。

表 19. SPI 信号経路名に対応したピン記号

SPI Signal Path	Master Side 1	Data Direction	Slave Side 2
CLK	MCLK	→	SCLK
MO/SI	MO	→	SI
MI/SO	MI	←	SO
SS	MSS	→	SSS

データ・または、SPIの動作モードを自ら知ることはできません。CLK、MO/SI のSPIデータ経路は伝搬遅延とチャンネル間マッチングについて最適化されています。MI/SOのSPI データ経路は伝搬遅延について最適化されています。デバイスあるはクロック・チャンネルに同期しないので、クロック極性あるいはデータ・ラインに基づくタイミングに制約はありません。

SS（スレーブ・セレクト・バー）は一般的にアクティブ・ロー信号です。SPI や SPIのようなバスには多くの異なる機能があります。これらの機能の多くはエッジ・トリガーです；従って、SS経路にはAグレードとBグレードの両方ともグリッジ・フィルタが内蔵されています。グリッジ・フィルタは狭いパルスが出力へ伝播したり、あるいは誤動作を起こしたりするのを防止します。グリッジ・フィルタにより伝播時間が追加になるので、Bグレードの場合、MSS信号は最初のアクティブ・クロック・エッジの前にセットアップ時間10 nsが必要です。

低速データ・チャンネル

低速データ・チャンネルはタイミングが重要でない用途向けの低コストな絶縁データ経路として用意されています。デバイスの一方のサイドの全高速入力、全低速入力のDC値を同時にサンプリングし、パケット化され、絶縁コイルを通してシフト（もうひとつのサイドへ伝送）します。受信側は高速チャンネルのロジックDCレベルについて正しいか出力と比較され、低速入力データは、対応する低速出力ピンに伝送されます。次にプロセスの方向が逆転し、デバイスの反対側の入力を読み込んで、それらの入力データをパケット化し、絶縁信号パスを通じて送り返し同様の処理をします。高速チャンネルのロジックDCレベル再生データは内部で処理（比較チェック）され、同時に低速データ・ピンに低速データ入力クロックで出力されます。

この双方向データの往復はフリー・ランニングする内部クロックによって実行されます。データはこのクロックを基に離散的な時間でサンプリングされるので、入力データ・エッジが内部サンプル・クロックを基準にどこで変化するかにより低速チャンネルの伝搬遅延は0.1 μ s~2.6 μ sの変移があります。

図 10は低速チャンネルのサンプリング動作を説明しています。

- A点：データはサンプリングされる前の2.5 μ sの間に遷移することが許され、サンプリング結果が出力に伝播するのは約100 nsかかります。これは伝搬遅延時間の中で2.5 μ sの不確定性のように見えます。
- B点：データ・パルスが最小低速度パルス幅（サンプリングの間隔）より狭い場合、サンプリングされないレベルが全く伝送されない場合があります。

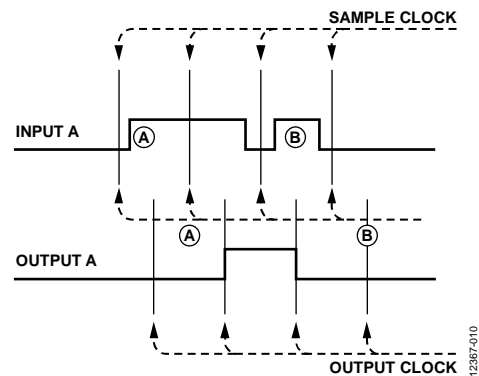


図 10. 低速度チャンネルのタイミング

遅延クロック回路

ディレイをかけたクロックを発生するDCLK機能が内蔵されているので、一般的に伝搬遅延で決まる制限以上の速度でのSPIデータ伝送が可能です。4線SPIアプリケーションでのクロックの最大速度はデータが1クロック・エッジでシフト出力し、戻りのデータが相補クロック・エッジでシフト入力する動作の特性によって決まります。絶縁されたシステムでは、アイソレータを通した際の遅延は重大です。最初のクロック・エッジ（スレーブにそのデータの存在する事を知らせる）はアイソレータを通して伝送します。スレーブはそれに従い、データはアイソレータを介してマスターに伝送します。データが適切にマスターにシフト入力されるためには、データは相補クロックのエッジの前にマスターに到達しなければなりません。

例を図 11に示しますが、アイソレータの伝搬遅延が50 nsの場合、スレーブからの応答がマスターに戻ってくるまでに100 ns以上必要となります。簡略化のためにパターン伝搬遅延あるいはスレーブの遅延が全くない理想条件と仮定すると、SPIバスの最も速いクロック周期は200 nsあるいは5 MHzという事になります。

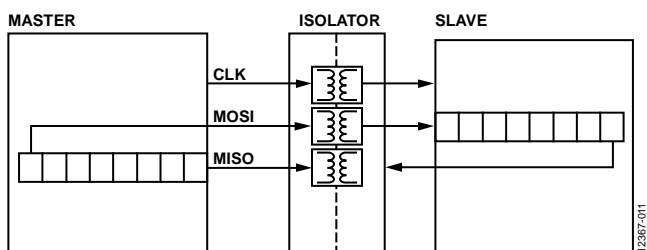


図 11. 標準的なSPI回路

SPIクロックのこの制限を避けるために、図 12に示すように、スレーブから戻ってくるデータとタイミングを一致させる遅延したクロック信号とともに、2つ目のレシーバ・バッファを使用する事ができます。従来、クロックの適切な遅延は、クロックのコピーをマッチングしたアイソレータ・チャンネルを通して送り返し、その遅延クロックを使ってスレーブ・データをもう1つのバッファにシフトするという方法で実現しました。しかし1チャンネル余分に使う事は、もう1つのアイソレータ・チャンネルを必要とする事になるのでコスト高になります。

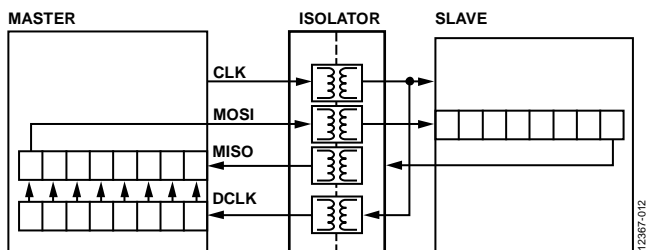


図 12. 絶縁チャンネルの遅延を利用した高速SPI

図 13に示すように、ADuM3150はマスター側に遅延回路を設けているので、追加の高速チャンネルの必要性はありません。各アイソレータのラウンドトリップ伝搬遅延が一致するように、DCLK は出荷テストで調整されています。DCLK信号はあたかも前述した回路のスレーブからのデータに並行してクロック信号が伝播するかのように使用する事ができます。

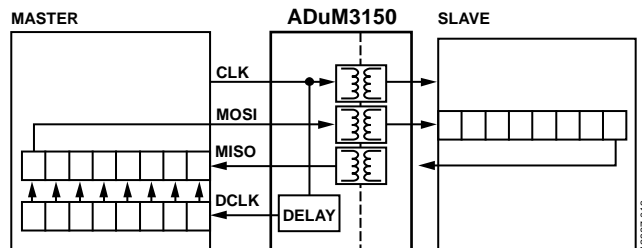


図 13. 高精度クロック遅延信号を利用した高速SPI

この回路は、最大40 MHzのクロック・レートで動作可能です。MI/SOデータはDCLKにより2次的なレシーバ・バッファにシフトされ、最後にマスターによって内部的にその最終的な場所に転送されます。ADuM3150はこれらのデータ転送速度を実現するために余分な高価なアイソレータ・チャンネルを使う必要はありません。ちなみにこの図では、分かりやすくするためSSチャンネルは省略されています。

プリント回路基板 (PCB) のレイアウト

デジタル・アイソレータADuM3150には、ロジック・インターフェースのための外付け回路は不要です。入力電源ピンと出力電源ピンにはバイパス・コンデンサの接続を推奨します：V_{DD1} と V_{DD2} に接続(図 14を参照)。コンデンサ値は、0.01 μF ~ 0.1 μFとする必要があります。コンデンサの両端と入力電源ピンとの間のパターン長は20 mm以下にする必要があります。

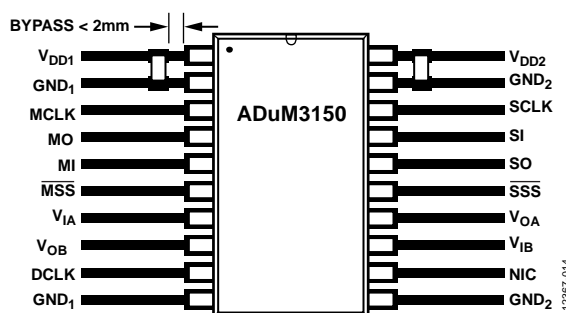


図 14. 推奨PCBレイアウト

高コモン・モード過渡電圧が発生するアプリケーションでは、アイソレーション・バリアを通過するボード上での結合が最小になるようにレイアウトする事が重要です。さらに、発生する如何なる結合も部品側のすべてのピンに等しく影響するようにボード・レイアウトをデザインする必要があります。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

伝搬遅延に関連するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通ずるのに要する時間を表すパラメータです。ハイ・レベルからロー・レベルへの変化の入出力間伝搬遅延は、ロー・レベルからハイ・レベルへの変化の伝搬遅延と異なることがあります。

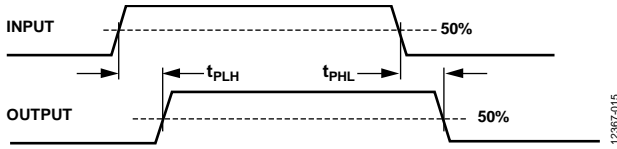


図 15. 伝搬遅延パラメータ

パルス幅歪みとはこれら2 つエッジの伝播遅延時間間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1つのADuM3150デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

DCの再生と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が出力に表われます。1.2 μs以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを低速チャンネルを介して送信し、出力でのDCを正常に維持します。

低速デコーダが約5 μs以上この更新パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、このウォッチドッグ・タイマー回路によりアイソレータ出力が強制的に高Z状態になります。

デバイスの磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作の発生により決まります。次の解析によりこのような条件が決定されます。ADuM3150 は3 V動作が最も感度の高い動作モードであるので、この動作条件で考察します。

トランス出力でのパルスは1.5 V以上の振幅を持っています。デコーダは約1.0 Vの検出スレッショールドを持つので、誘導電圧に対しては0.5 Vの余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで：

β は磁束密度。

r_n =受信側コイル巻き数n回目の半径。

N =受信側コイルの巻き数。

ADuM3150受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける0.5 V余裕の最大50%であるという条件が与えられると、最大許容磁界は図 16のように計算されます。

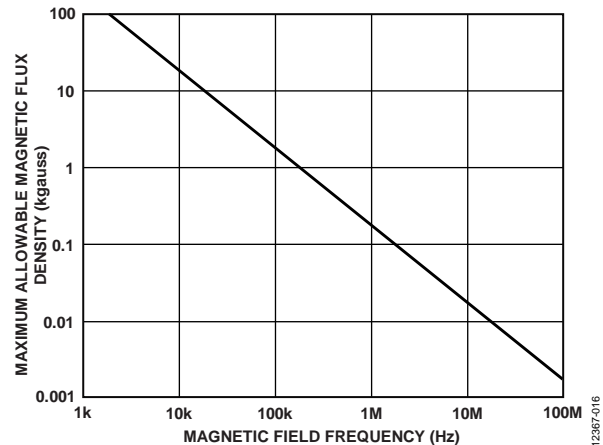


図 16. 最大許容外部磁束密度

たとえば、磁界周波数= 1 MHzで、最大許容磁界= 0.5 Kgaussの場合、受信側コイルでの誘導電圧は0.25 Vになります。これは検出スレッショールドの約50%であるため、誤って出力が変化する事はありません。仮にこのようなイベントが送信パルス中に起こり(かつ最悪ケースの極性であっても)受信パルスが1.0 V以上から0.75Vに減少しても、デコーダの検出スレッショールド0.5 Vより十分高い値です。

前述の磁束密度値は、ADuM3150トランスから与えられた距離だけ離れた特定の電流の大きさに対応します。図 17に、各選ばれた距離に対して周波数の関数としての許容電流値を示します。ADuM3150は、外部磁界に対して極めて高い耐性を持っており、影響を受けるのは、高周波でかつデバイスに非常に近い極めて大きな電流の場合に限られます。前述の1 MHz例では、1.2 kAの電流をADuM3150から5 mmの距離まで近づけるとデバイスの動作に影響を与えることになります。

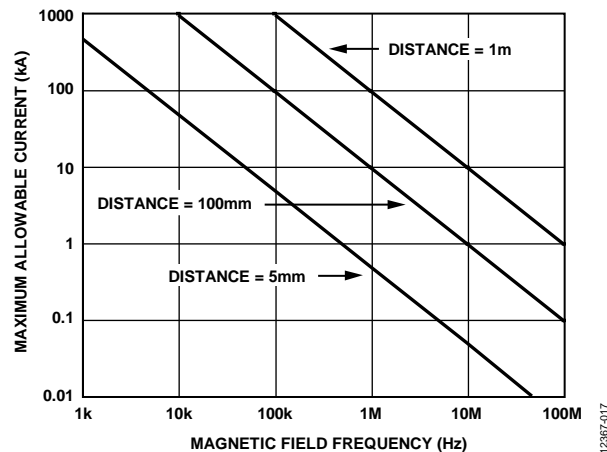


図 17. さまざまな電流値とADuM3150までの距離に対する最大許容電流

強い磁界と高周波が組合わされると、プリント回路ボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッショールドがトリガーされてしまうことがあるので注意してください。パターンのレイアウトでは、このようなループが形成されないように注意する必要があります。

消費電力

アイソレータADuM3150内にあるチャンネルの電源電流は、高速チャンネルあるいは低速チャンネルにかかわらず、電源電圧、チャンネルのデータ・レート、チャンネルの出力負荷の関数になっています。

低速チャンネルは内部のピンボン・データ経路（双方向のデータのやり取り）により一定の静止電源電流が流れます。動作周波数は十分に低いので、推奨容量負荷によって生じる容量性の損失（動的電流）は、静止電源電流に比べて無視できます。計算を簡単にするため、データ・レートの詳細な計算は削除します。そして個々の動作電圧に対するアイソレータの低速チャンネルによる各サイドの静止電源電流、は表 3、表 5、表 7、表 9に載っています。アイソレータの各サイドの合計消費電流を求めるにはこれらの静止電源電流を、次の式で計算した高速チャンネルの電流に加算します。

各高速入力チャンネルの電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(D)} \times f + I_{DD1(Q)}$$

各高速出力チャンネルの電源電流は次式で与えられます。

$$I_{DD0} = (I_{DD0(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DD0}) \times f + I_{DD0(Q)}$$

ここで：

$I_{DD1(D)}$ と $I_{DD0(D)}$ は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です(mA/Mbps)。

C_L は出力負荷容量(pF)。

V_{DD0} =出力電源電圧(V)

f は入力ロジック信号のデータ・レートで、単位はMbpsで表します。

$I_{DD1(Q)}$ と $I_{DD0(Q)}$ は、それぞれ仕様既定されている入力静止電源電流と出力静止電源電流です(mA)。

V_{DD1} と V_{DD2} の合計電源電流を計算するためには、 V_{DD1} と V_{DD2} に対応する各入力チャンネルと出力チャンネルの電源電流を計算して合計します。Figure 4と図 5に、無負荷出力状態でのチャンネル当たりの電源電流をデータ・レートの関数として示します。図 6と図 7に、ADuM3150のチャンネル構成に対して、全高速チャンネルが同じデータ・レートで動作し、低速チャンネルがアイドル状態とした場合の I_{DD1} と I_{DD2} の合計電源電流をデータ・レートの関数として示します。

絶縁寿命

すべての絶縁構造は、長時間にわたり電圧ストレスを受けると結果的にはブレイクダウンを起こします。絶縁性能の低下率は、物質、物質界面とともに、絶縁に加わる電圧波形の特性に依存します。

絶縁劣化には主に重要な2つのタイプがあります：空気に晒される表面に沿ったブレイクダウンと絶縁疲労劣化です。表面ブレイクダウンは表面トラッキング（電流が絶縁された表面に流れる）現象で、システム・レベル規格の表面沿面距離(Creepage)の条件を決める主な決定要因です。絶縁劣化は絶縁物質の中でチャージ・インジェクションあるいは電流変位により長期的な絶縁劣化が起きる現象です。

表面トラッキング

電気安全規格には、表面トラッキングは動作電圧、環境条件、絶縁材料特性に基づいた表面の最小沿面距離を決めると説明されています。安全機関が部品の表面絶縁について特性試験を行う事により、部品を異なる材料グループに分類する事ができます。下のほうの材料グループほど表面トラッキングに対する耐性が大きくなるので、小さな沿面距離でも十分な寿命が得られます。対象の動作電圧と材料グループに対する最小沿面距離は各システム・レベルの規格に記述されており、絶縁をまたがる全rms電圧、表面の汚染度、材料グループに基づきます。アイソレータADuM3150の材料グループと沿面距離は表 12に示されています。

絶縁疲労劣化

疲労劣化に起因する絶縁の寿命はその厚さ、材料特性、加わる電圧ストレスによって決まります。製品の寿命は、アプリケーションの動作電圧で十分かどうかを確認する事が重要です。疲労劣化に対してアイソレータがサポートする動作電圧は、トラッキングに対してサポートする動作電圧と違う可能性があります。ほとんどの規格で規定されているのはトラッキングに適用する動作電圧です。

評価とモデリングによって、長期間にわたる劣化の主な原因は、破損を増加させるポリイミド絶縁の中の電流の変化である事がわかりました。絶縁にかかるストレスは次のように大きく分ける事ができます：DCストレス（変位電流がないので劣化は少ない）とAC成分の時間で変化する電圧ストレス（劣化を起こす）。

認定資料の定格は通常60 Hzサイン波ストレスを基本にしています。なぜなら60 Hzサイン波ストレスはライン電圧からの絶縁を反映するからです。しかし実際の多くのアプリケーションでは式1に示すようにバリアを跨いでAC60HzとDCの組み合わせがかかります。疲労劣化を招くのはAC部分のストレスだけなので、式2に示すように式を書き換えてAC rmsを求めます。この製品に使用されているポリイミド材料の絶縁劣化特性により、AC rms電圧が製品寿命を決めます。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで：

$V_{AC\ RMS}$ は動作電圧の時間によって変化する部分です。

V_{DC} は動作電圧のDCオフセットです。

V_{RMS} は合計rms動作電圧です。

計算とパラメータ例の使用

下記は電力変換アプリケーションでよく起こる例です。絶縁の片方のサイドのライン電圧が240 V_{AC RMS}で、アイソレーション・バリアのもう一方のサイドに400 V_{DC}バス電圧が加わっていると仮定します。アイソレータの材料はポリイミドです。デバイスの沿面距離、クリアランスと寿命を決めるための重要な電圧を明確にするため、図 18と次の式を参照してください。

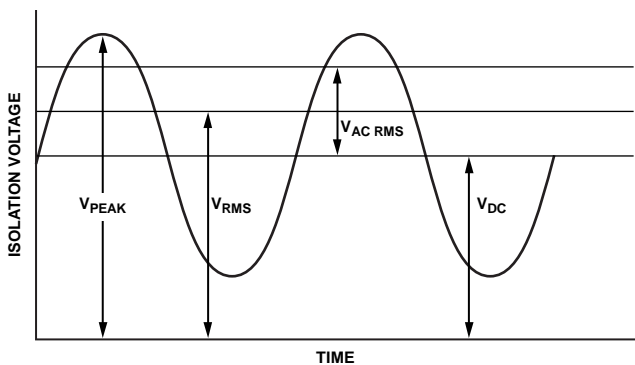


図 18. 重要な電圧の例

障壁を跨ぐ動作電圧は式1から

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\ V$$

この電圧は、システム規格によって要求される沿面距離を調べる時、材料グループと表面の汚れ具合とともに使用される動作電圧です。

寿命が十分あるかどうかを判断するために、動作電圧の時間変動部分を求めます。AC rms電圧は式2から得られます。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

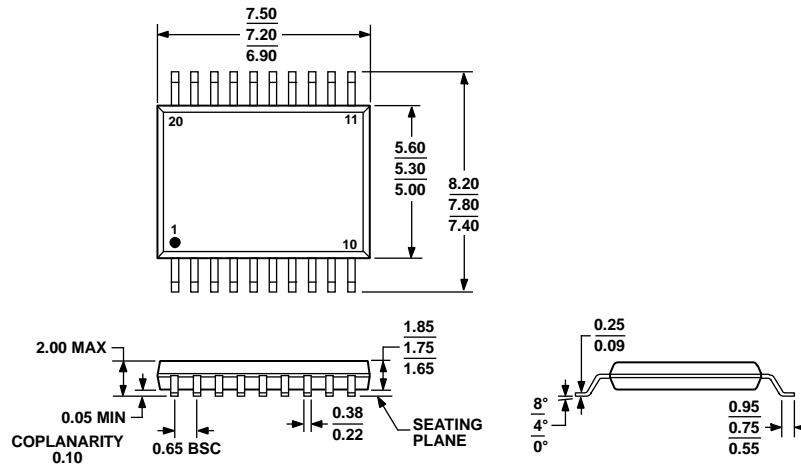
$$V_{AC\ RMS} = 240\ V\ rms$$

この場合、AC rms電圧は単純に240 V rmsのライン電圧です。この計算は波形がサイン波でない時、より大きな意味を持ちます。60Hzサイン波を印加した場合に要求される寿命を推測するために、この値を表 16に記述されている動作電圧の限界と比較します。計算した電圧は寿命20年に対する動作電圧よりかなり低いので、デバイスはもっと長い寿命が期待されます。

表 16に示すDC動作電圧の制限はIEC 60664-1に規定されているようにパッケージの沿面距離によって決まる事に注意してください。この値は個別のシステム・レベル規格により異なる可能性があります。

12367-018

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-150-AE

図 19. 20ピン・シュリンク・スモール・アウトライン・パッケージ[SSOP]
(RS-20)
寸法: mm

オーダー・ガイド

Model ¹	No. of Inputs, V _{DD1} Side	No. of Inputs, V _{DD2} Side	Maximum Data Rate (MHz)	Maximum Propagation Delay, 5 V (ns)	Isolation Rating (V ac)	Temperature Range	Package Description	Package Option
ADuM3150ARSZ	4	2	10	25	3750	-40° C to +125° C	20-Lead SSOP	RS-20
ADuM3150ARSZ-RL7	4	2	10	25	3750	-40° C to +125° C	20-Lead SSOP, 7" Tape and Reel	RS-20
ADuM3150BRSZ	4	2	17	14	3750	-40° C to +125° C	20-Lead SSOP	RS-20
ADuM3150BRSZ-RL7	4	2	17	14	3750	-40° C to +125° C	20-Lead SSOP, 7" Tape and Reel	RS-20
EVAL-ADuM3150Z							Evaluation Board	

¹ Z = RoHS 準拠製品。