

ADuM2200/ADuM2201

特長

- 高いアイソレーション電圧: 5000 V rms
- 低消費電力動作
 - 5 V 動作
 - 0 Mbps ~ 2 Mbps でチャンネルあたり最大 1.6 mA
 - 10 Mbps でチャンネルあたり最大 3.7 mA
 - 3 V 動作
 - 0 Mbps ~ 2 Mbps でチャンネルあたり最大 1.4 mA
 - 10 Mbps でチャンネルあたり最大 2.4 mA
- 双方向通信
- 3 V/5 V のレベル変換
- 高温動作: 105
- 高いデータ・レート: DC ~ 10 Mbps (NRZ)
- 高精度なタイミング特性
 - 最大パルス幅歪み: 3 ns
 - 最大チャンネル間マッチング: 3 ns
- 同相モード・トランジエント耐性: 25 kV/μs 以上
- 16ピン・ワイド・ボディ SOIC パッケージ (RoHS モデル提供中)
- 安全性規制の認定
 - UL 認定: 5000 V rms1 分間の UL 1577 規格(申請中)
 - CSA Component Acceptance Notice #5A(申請中)
 - IEC 60950-1: 600 V rms (強化)
 - IEC 60601-1: 250 V rms (強化)
 - VDE 適合性認定(申請中)
 - DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12
 - V_{IORM} = 846 V peak

アプリケーション

- 汎用高電圧マルチチャンネル・アイソレーション
- 医用装置
- 電源
- RS-232/RS-422/RS-485 トランシーバのアイソレーション

概要

ADuM220x¹は、アナログ・デバイセズの *iCoupler*® 技術を採用した 2 チャンネルのデジタル・アイソレータです。これらのアイソレーション・デバイスでは、高速 CMOS 技術と空心コアを使ったモノリシック・トランス技術との組み合わせにより、フォトカプラ・デバイスなどの置換品より優れた性能特性を提供します。

iCoupler デバイスでは、LED とフォトダイオードを使用しないため、フォトカプラに起因して生ずるデザインの難しさが解消されます。不確かな電流変換比、非線形な伝達関数、温度と寿命の影響に関するフォトカプラで発生する一般的な問題は、シンプルな *iCoupler* デジタル・インタフェースと安定な性能特性により解消されます。これらの *iCoupler* 製品により、外付けのドライバとその他のディスクリート部品は不要になります。さらに、*iCoupler* デバイスは同等の信号データ・レートで動作させた場合、フォトカプラの消費電力の 1/10 ~ 1/6 で動作します。

ADuM220x アイソレータは、2 チャンネルの独立なアイソレーション・チャンネルを様々なチャンネル構成とデータ・レートで提供します(オーダー・ガイド参照)。ADuM220x モデルは、両側とも 3.0 V ~ 5.5 V の電源電圧範囲で動作するため、低電圧システムと互換性を持ち、さらに絶縁障壁に跨がる電圧変換機能も提供します。さらに、ADuM220x はパルス幅歪みが小さく (BRWZ グレードで 3 ns 以下)、かつチャンネル間マッチングが優れています (BRWZ グレードで 3 ns 以下)。ADuM220x アイソレータは、他のフォトカプラとは異なり、入力ロジックに変化がない場合およびパワーアップ/パワーダウン時に DC を正確に維持する特許取得済みのリフレッシュ機能を持っています。

¹ 米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

機能ブロック図

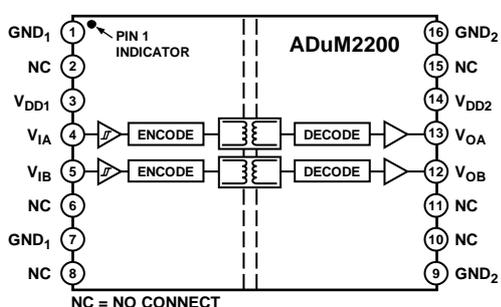


図 1. ADuM2200

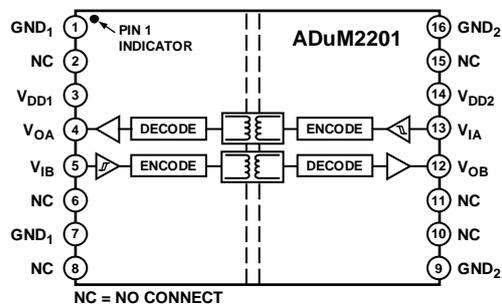


図 2. ADuM2201

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2008 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	絶対最大定格.....	12
アプリケーション.....	1	ESDの注意.....	12
概要.....	1	ピン配置およびピン機能説明.....	13
機能ブロック図.....	1	代表的な性能特性.....	15
改訂履歴.....	2	アプリケーション情報.....	16
仕様.....	3	PCボードのレイアウト.....	16
電気的特性—5 V動作.....	3	伝搬遅延に関するパラメータ.....	16
電気的特性—3 V動作.....	5	DC精度と磁界耐性.....	16
電気的仕様—5 V/3 Vミックスまたは3 V/5 V動作.....	7	消費電力.....	17
パッケージ特性.....	10	絶縁寿命.....	18
適用規格.....	10	外形寸法.....	19
絶縁および安全性関連の仕様.....	10	オーダー・ガイド.....	19
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	11		
推奨動作条件.....	11		

改訂履歴

1/08—Revision 0: Initial Version

仕様

電気的特性—5 V 動作¹

特に指定のない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 。すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{ V}$ における値。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Input Supply Current, per Channel, Quiescent	$I_{DD1(Q)}$		0.4	0.8	mA	
Output Supply Current, per Channel, Quiescent	$I_{DDO(Q)}$		0.5	0.6	mA	
ADuM2200, Total Supply Current, Two Channels ²						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$		1.3	1.7	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$		1.0	1.6	mA	DC to 1 MHz logic signal frequency
10 Mbps (BR Grade Only)						
V_{DD1} Supply Current	$I_{DD1(10)}$		3.5	4.6	mA	5 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(10)}$		1.7	2.8	mA	5 MHz logic signal frequency
ADuM2201, Total Supply Current, Two Channels ²						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$		1.1	1.5	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$		1.3	1.8	mA	DC to 1 MHz logic signal frequency
10 Mbps (BR Grade Only)						
V_{DD1} Supply Current	$I_{DD1(10)}$		2.6	3.4	mA	5 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(10)}$		3.1	4.0	mA	5 MHz logic signal frequency
For All Models						
Input Currents	I_{IA}, I_{IB}	-10	+0.01	+10	μA	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$ or V_{DD2}
Logic High Input Threshold	V_{IH}	0.7 (V_{DD1} or V_{DD2})			V	
Logic Low Input Threshold	V_{IL}			0.3 (V_{DD1} or V_{DD2})	V	
Logic High Output Voltages	V_{OAH}	$(V_{DD1}$ or $V_{DD2}) - 0.1$	5.0		V	$I_{Ox} = -20\ \mu\text{A}$, $V_{Ix} = V_{IxH}$
	V_{OBH}	$(V_{DD1}$ or $V_{DD2}) - 0.5$	4.8		V	$I_{Ox} = -4\ \text{mA}$, $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	V_{OAL}		0.0	0.1	V	$I_{Ox} = 20\ \mu\text{A}$, $V_{Ix} = V_{IxL}$
	V_{OBL}		0.04	0.1	V	$I_{Ox} = 400\ \mu\text{A}$, $V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\ \text{mA}$, $V_{Ix} = V_{IxL}$
SWITCHING SPECIFICATIONS						
ADuM220xAR						
Minimum Pulse Width ³	PW			1000	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Maximum Data Rate ⁴		1			Mbps	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay ⁵	t_{PHL}, t_{PLH}	20		150	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ ⁵	PWD			40	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay Skew ⁶	t_{PSK}			100	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Channel-to-Channel Matching ⁷	$t_{PSKCD/OD}$			50	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		10		ns	$C_L = 15\ \text{pF}$, CMOS signal levels
ADuM220xBR						
Minimum Pulse Width ³	PW			100	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Maximum Data Rate ⁴		10			Mbps	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay ⁵	t_{PHL}, t_{PLH}	20		50	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ ⁵	PWD			3	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Change vs. Temperature			5		ps/ $^\circ\text{C}$	$C_L = 15\ \text{pF}$, CMOS signal levels

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Propagation Delay Skew ⁶	t _{PSK}			15	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels ⁷	t _{PSKCD}			3	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels ⁷	t _{PSKOD}			15	ns	C _L = 15 pF, CMOS signal levels
Output Rise/Fall Time (10% to 90%) For All Models	t _R /t _F		2.5		ns	C _L = 15 pF, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output ⁸	CM _H	25	35		kV/μs	V _{Ix} = V _{DD1} or V _{DD2} , V _{CM} = 1000 V, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output ⁸	CM _L	25	35		kV/μs	V _{Ix} = 0 V, V _{CM} = 1000 V, transient magnitude = 800 V
Refresh Rate	f _r		1.2		Mbps	
Input Dynamic Supply Current, per Channel ⁹	I _{DD1(D)}		0.19		mA/Mbps	
Output Dynamic Supply Current, per Channel ⁹	I _{DDO(D)}		0.05		mA/Mbps	

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² 電源電流値は、同一データ・レートで動作する両チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータ・レートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションを参照してください。無負荷状態または有負荷状態に対するデータ・レートの関数としてのチャンネル当たりの電源電流については、図6～図8を参照してください。ADuM2200とADuM2201のチャンネル構成に対するデータ・レートの関数としてのI_{DD1}とI_{DD2}の合計電源電流については、図9～図11を参照してください。

³ 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

⁴ 最大データ・レートは、規定のパルス幅歪みが保証される最高速のデータ・レートです。

⁵ 伝搬遅延 t_{PHL} は、V_{Ix}信号の立下がりエッジの50%レベルからV_{Ox}信号の立下がりエッジの50%レベルまでを測定した値です。伝搬遅延 t_{PLH} は、V_{Ix}信号の立上がりエッジの50%レベルからV_{Ox}信号の立上がりエッジの50%レベルまでを測定した値です。

⁶ t_{PSK} は、t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

⁷ 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。

⁸ CM_H は、V_O > 0.8 V_{DD2} を維持している間に維持できる同相モード電圧の最大スルーレートです。CM_L は V_O < 0.8 V を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、同相モード電圧の立ち上がりおよび立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

⁹ ダイナミック電源電流は、信号データ・レートを1 Mbps 増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図6～図8を参照してください。与えられたデータ・レートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

電氣的特性—3 V 動作¹

特に指定のない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$, $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 。すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 3.0\text{ V}$ における値。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Input Supply Current, per Channel, Quiescent	$I_{DD1(Q)}$		0.3	0.5	mA	
Output Supply Current, per Channel, Quiescent	$I_{DDO(Q)}$		0.3	0.5	mA	
ADuM2200, Total Supply Current, Two Channels ²						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$		0.8	1.3	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$		0.7	1.0	mA	DC to 1 MHz logic signal frequency
10 Mbps (BR Grade Only)						
V_{DD1} Supply Current	$I_{DD1(10)}$		2.0	3.2	mA	5 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(10)}$		1.1	1.7	mA	5 MHz logic signal frequency
ADuM2201, Total Supply Current, Two Channels ²						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$		0.7	1.3	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$		0.8	1.6	mA	DC to 1 MHz logic signal frequency
10 Mbps (BR Grade Only)						
V_{DD1} Supply Current	$I_{DD1(10)}$		1.5	2.1	mA	5 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(10)}$		1.9	2.4	mA	5 MHz logic signal frequency
For All Models						
Input Currents	I_{IA}, I_{IB}	-10	+0.01	+10	μA	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$ or V_{DD2}
Logic High Input Threshold	V_{IH}	0.7 (V_{DD1} or V_{DD2})			V	
Logic Low Input Threshold	V_{IL}			0.3 (V_{DD1} or V_{DD2})	V	
Logic High Output Voltages	V_{OAH}	$(V_{DD1}$ or $V_{DD2}) - 0.1$	3.0		V	$I_{Ox} = -20\ \mu\text{A}$, $V_{Ix} = V_{IxH}$
	V_{OBH}	$(V_{DD1}$ or $V_{DD2}) - 0.5$	2.8		V	$I_{Ox} = -4\ \text{mA}$, $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	V_{OAL}		0.0	0.1	V	$I_{Ox} = 20\ \mu\text{A}$, $V_{Ix} = V_{IxL}$
	V_{OBL}		0.04	0.1	V	$I_{Ox} = 400\ \mu\text{A}$, $V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\ \text{mA}$, $V_{Ix} = V_{IxL}$
SWITCHING SPECIFICATIONS						
ADuM220xAR						
Minimum Pulse Width ³	PW			1000	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Maximum Data Rate ⁴		1			Mbps	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay ⁵	t_{PHL}, t_{PLH}	20		150	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ ⁵	PWD			40	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay Skew ⁶	t_{PSK}			100	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Channel-to-Channel Matching ⁷	$t_{PSKCD/OD}$			50	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		10		ns	$C_L = 15\ \text{pF}$, CMOS signal levels
ADuM220xBR						
Minimum Pulse Width ³	PW			100	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Maximum Data Rate ⁴		10			Mbps	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay ⁵	t_{PHL}, t_{PLH}	20		60	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ ⁵	PWD			3	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay Skew ⁶	t_{PSK}			22	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels ⁷	t_{PSKCD}			3	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels ⁷	t_{PSKOD}			22	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		3.0		ns	$C_L = 15\ \text{pF}$, CMOS signal levels
For All Models						
Common-Mode Transient Immunity	$ CM_H $	25	35		kV/ μs	$V_{Ix} = V_{DD1}$ or V_{DD2} , $V_{CM} = 1000\ \text{V}$,

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
at Logic High Output ⁸ Common-Mode Transient Immunity at Logic Low Output ⁸	CM _L	25	35		kV/μs	transient magnitude = 800 V V _{ix} = 0 V, V _{CM} = 1000 V, transient magnitude = 800 V
Refresh Rate	f _r		1.1		Mbps	
Input Dynamic Supply Current, per Channel ⁹	I _{DDI (D)}		0.10		mA/Mbps	
Output Dynamic Supply Current, per Channel ⁹	I _{DDO (D)}		0.03		mA/Mbps	

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² 電源電流値は、同一データ・レートで動作する両チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータ・レートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションを参照してください。無負荷状態または有負荷状態に対するデータ・レートの関数としてのチャンネル当たりの電源電流については、図 6～図 8 を参照してください。ADuM2200 と ADuM2201 のチャンネル構成に対するデータ・レートの関数としての I_{DDI} と I_{DDO} の合計電源電流については、図 9～図 11 を参照してください。

³ 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

⁴ 最大データ・レートは、規定のパルス幅歪みが保証される最高速のデータ・レートです。

⁵ 伝搬遅延 t_{PHL} は、V_{ix} 信号の立下がりエッジの 50% レベルから V_{ox} 信号の立下がりエッジの 50% レベルまでを測定した値です。伝搬遅延 t_{PLH} は、V_{ix} 信号の立上がりエッジの 50% レベルから V_{ox} 信号の立上がりエッジの 50% レベルまでを測定した値です。

⁶ t_{PSK} は、t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

⁷ 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

⁸ CM_H は、V_O > 0.8 V_{DD2} を維持している間に維持できる同相モード電圧の最大スルーレートです。CM_L は V_O < 0.8 V を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、同相モード電圧の立ち上がりと立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

⁹ ダイナミック電源電流は、信号データ・レートを 1 Mbps 増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図 6～図 8 を参照してください。与えられたデータ・レートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

電氣的仕様—5 V/3 V ミックスまたは 3 V/5 V 動作¹

特に指定のない限り、5 V/3 V 動作: $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 。3 V/5 V 動作: $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 。すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.0\text{ V}$ 、 $V_{DD2} = 5\text{ V}$ または $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 3.0\text{ V}$ における値。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Input Supply Current, per Channel, Quiescent	$I_{DD1(Q)}$					
5 V/3 V Operation			0.4	0.8	mA	
3 V/5 V Operation			0.3	0.5	mA	
Output Supply Current, per Channel, Quiescent	$I_{DDO(Q)}$					
5 V/3 V Operation			0.3	0.5	mA	
3 V/5 V Operation			0.5	0.6	mA	
ADuM2200, Total Supply Current, Two Channels ²						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$					
5 V/3 V Operation			1.3	1.7	mA	DC to 1 MHz logic signal frequency
3 V/5 V Operation			0.8	1.3	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$					
5 V/3 V Operation			0.7	1.0	mA	DC to 1 MHz logic signal frequency
3 V/5 V Operation			1.0	1.6	mA	DC to 1 MHz logic signal frequency
10 Mbps (BR Grade Only)						
V_{DD1} Supply Current	$I_{DD1(10)}$					
5 V/3 V Operation			3.5	4.6	mA	5 MHz logic signal frequency
3 V/5 V Operation			2.0	3.2	mA	5 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(10)}$					
5 V/3 V Operation			1.1	1.7	mA	5 MHz logic signal frequency
3 V/5 V Operation			1.7	2.8	mA	5 MHz logic signal frequency
ADuM2201, Total Supply Current, Two Channels ²						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$					
5 V/3 V Operation			1.1	1.5	mA	DC to 1 MHz logic signal frequency
3 V/5 V Operation			0.7	1.3	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$					
5 V/3 V Operation			0.8	1.6	mA	DC to 1 MHz logic signal frequency
3 V/5 V Operation			1.3	1.8	mA	DC to 1 MHz logic signal frequency
10 Mbps (BR Grade Only)						
V_{DD1} Supply Current	$I_{DD1(10)}$					
5 V/3 V Operation			2.6	3.4	mA	5 MHz logic signal frequency
3 V/5 V Operation			1.5	2.1	mA	5 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(10)}$					
5 V/3 V Operation			1.9	2.4	mA	5 MHz logic signal frequency
3 V/5 V Operation			3.1	4.0	mA	5 MHz logic signal frequency

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
For All Models						
Input Currents	I_{IA}, I_{IB}	-10	+0.01	+10	μA	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$ or V_{DD2}
Logic High Input Threshold	V_{IH}	0.7 (V_{DD1} or V_{DD2})			V	
Logic Low Input Threshold	V_{IL}			0.3 (V_{DD1} or V_{DD2})	V	
Logic High Output Voltages	V_{OAH}, V_{OBH}	$(V_{DD1}$ or $V_{DD2}) - 0.1$	$(V_{DD1}$ or $V_{DD2})$		V	$I_{OX} = -20\ \mu\text{A}, V_{IX} = V_{IXH}$
		$(V_{DD1}$ or $V_{DD2}) - 0.5$	$(V_{DD1}$ or $V_{DD2}) - 0.2$		V	$I_{OX} = -4\ \text{mA}, V_{IX} = V_{IXH}$
Logic Low Output Voltages	V_{OAL}, V_{OBL}		0.0	0.1	V	$I_{OX} = 20\ \mu\text{A}, V_{IX} = V_{IXL}$
			0.04	0.1	V	$I_{OX} = 400\ \mu\text{A}, V_{IX} = V_{IXL}$
			0.2	0.4	V	$I_{OX} = 4\ \text{mA}, V_{IX} = V_{IXL}$
					V	
SWITCHING SPECIFICATIONS						
ADuM220xAR						
Minimum Pulse Width ³	PW			1000	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Maximum Data Rate ⁴		1			Mbps	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay ⁵	t_{PHL}, t_{PLH}	15		150	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} ^5$	PWD			40	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay Skew ⁶	t_{PSK}			50	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Channel-to-Channel Matching ⁷	$t_{PSKCD/OD}$			50	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		10		ns	$C_L = 15\ \text{pF}$, CMOS signal levels
ADuM220xBR						
Minimum Pulse Width ³	PW			100	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Maximum Data Rate ⁴		10			Mbps	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay ⁵	t_{PHL}, t_{PLH}	15		55	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} ^5$	PWD			3	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Change vs. Temperature			5		ps/ $^{\circ}\text{C}$	$C_L = 15\ \text{pF}$, CMOS signal levels
Propagation Delay Skew ⁶	t_{PSK}			22	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels ⁷	t_{PSKCD}			3	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels ⁷	t_{PSKOD}			22	ns	$C_L = 15\ \text{pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F					
5 V/3 V Operation			3.0		ns	$C_L = 15\ \text{pF}$, CMOS signal levels
3 V/5 V Operation			2.5		ns	$C_L = 15\ \text{pF}$, CMOS signal levels
5 V/3 V Operation			3.0		ns	$C_L = 15\ \text{pF}$, CMOS signal levels
3 V/5 V Operation			2.5		ns	$C_L = 15\ \text{pF}$, CMOS signal levels
For All Models						
Common-Mode Transient Immunity at Logic High Output ⁸	$ CM_H $	25	35		kV/ μs	$V_{IX} = V_{DD1}$ or $V_{DD2}, V_{CM} = 1000\ \text{V}$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output ⁸	$ CM_L $	25	35		kV/ μs	$V_{IX} = 0\ \text{V}, V_{CM} = 1000\ \text{V}$, transient magnitude = 800 V
Refresh Rate	f_r					
5 V/3 V Operation			1.2		Mbps	
3 V/5 V Operation			1.1		Mbps	
Input Dynamic Supply Current, per Channel ⁹	$I_{DDI(D)}$					
5 V/3 V Operation			0.19		mA/Mbps	
3 V/5 V Operation			0.10		mA/Mbps	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Output Dynamic Supply Current, per Channel ⁹	$I_{DDO(D)}$					
5 V/3 V Operation			0.03		mA/Mbps	
3 V/5 V Operation			0.05		mA/Mbps	

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² 電源電流値は、同一データ・レートで動作する両チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータ・レートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションを参照してください。無負荷状態または有負荷状態に対するデータ・レートの関数としてのチャンネル当たりの電源電流については、図 6～図 8 を参照してください。ADuM2200 と ADuM2201 のチャンネル構成に対するデータ・レートの関数としての I_{DD1} と I_{DD2} の合計電源電流については、図 9～図 11 を参照してください。

³ 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

⁴ 最大データ・レートは、規定のパルス幅歪みが保証される最高速のデータ・レートです。

⁵ 伝搬遅延 t_{PHL} は、 V_{IK} 信号の立下がりエッジの 50% レベルから V_{OK} 信号の立下がりエッジの 50% レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{IK} 信号の立上がりエッジの 50% レベルから V_{OK} 信号の立上がりエッジの 50% レベルまでを測定した値です。

⁶ t_{PSK} は、 t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

⁷ 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

⁸ CM_H は、 $V_O > 0.8 V_{DD2}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。 CM_L は $V_O < 0.8 V$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、同相モード電圧の立ち上がりとし立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

⁹ ダイナミック電源電流は、信号データ・レートを 1 Mbps 増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図 6～図 8 を参照してください。与えられたデータ・レートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

パッケージ特性

表 4.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input-to-Output) ¹	R _{I-O}		10 ¹²		Ω	f = 1 MHz
Capacitance (Input-to-Output) ¹	C _{I-O}		2.2		pF	
Input Capacitance ²	C _I		4.0		pF	
IC Junction-to-Case Thermal Resistance, Side 1	θ _{JCI}		33		°C/W	Thermocouple located at center of package underside
IC Junction-to-Case Thermal Resistance, Side 2	θ _{JCO}		28		°C/W	

¹ デバイスは 2 端子デバイスと見なします。すなわち、ピン 1~ピン 8 を相互に接続し、ピン 9~ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間で測定。

適用規格

ADuM220x は、表 5 に記載する組織の認定を取得しています。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、

表 10 と絶縁寿命のセクションを参照してください。

表 5.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under the UL 1577 component recognition program ¹	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
Double/reinforced insulation, 5000 V rms isolation voltage	Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 600 V rms (848 V peak) maximum working voltage Reinforced insulation per IEC 60601-1 250 V rms (353 V peak) maximum working voltage	Reinforced insulation, 846 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 ≥ 6,000 V rms を 1 秒間加えて各 ADuM220x を確認テストします(リーク電流検出規定値 = 10 μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM220x に 1,590 V_{peak} 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値=5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 6.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		5000	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	7.46 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8.10 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

これらのアイソレータは、安全性制限値データ以内でのみ強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージ表面の(*)マークは、846 Vpeak 動作電圧に対して DIN V VDE V 0884-10 認定済みであることを表示します。

表 7.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 450 V rms For Rated Mains Voltage ≤ 600 V rms			I to IV I to II I to II	
Climatic Classification			40/105/21	
Pollution Degree (DIN VDE 0110, Table 1)			2	
Maximum Working Insulation Voltage		V_{IORM}	846	V peak
Input-to-Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC	V_{PR}	1590	V peak
Input-to-Output Test Voltage, Method A		V_{PR}		
After Environmental Tests Subgroup 1	$V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		1375	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		1018	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ seconds	V_{TR}	6000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure; see 図 3			
Case Temperature		T_S	150	°C
Side 1 Current		I_{S1}	265	mA
Side 2 Current		I_{S2}	335	mA
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	>10 ⁹	Ω

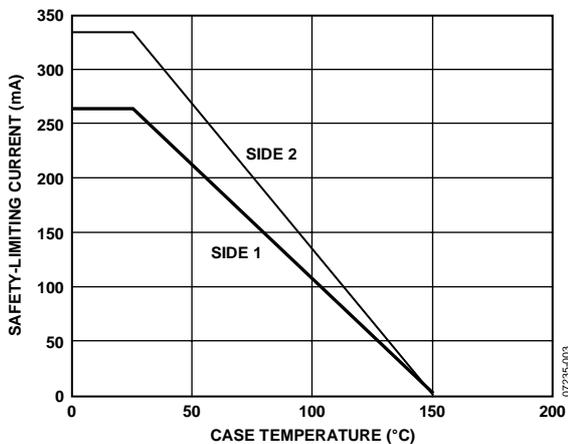


図 3. 温度ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 8.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	T_A	-40	+105	°C
Supply Voltages ¹	V_{DD1}, V_{DD2}	3.0	5.5	V
Input Signal Rise and Fall Times			1.0	ms

¹ すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、DC 精度と磁界耐性のセクションを参照してください。

絶対最大定格

表 9.

Parameter	Rating
Storage Temperature (T_{ST})	-65°C to +150°C
Ambient Operating Temperature (T_A)	-40°C to +105°C
Supply Voltages (V_{DD1} , V_{DD2}) ¹	-0.5 V to +7.0 V
Input Voltage (V_{IA} , V_{IB} , V_{IC} , V_{ID} , V_{E1} , V_{E2}) ^{1,2}	-0.5 V to $V_{DD1} + 0.5$ V
Output Voltage (V_{OA} , V_{OB} , V_{OC} , V_{OD}) ^{1,2}	-0.5 V to $V_{DDO} + 0.5$ V
Average Output Current per Pin ³	
Side 1 (I_{O1})	-18 mA to +18 mA
Side 2 (I_{O2})	-22 mA to +22 mA
Common-Mode Transients ⁴	-100 kV/ μ s to +100 kV/ μ s

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD1} と V_{DDO} は、それぞれチャンネルの入力側と出力側の電源電圧を表します。PC ボードのレイアウトのセクションを参照してください。

³ 種々の温度に対する最大定格電流値については図 3 を参照してください。

⁴ 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 10. 最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	565	V peak	50 year minimum lifetime
AC Voltage, Unipolar Waveform Reinforced Insulation	846	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10
DC Voltage Reinforced Insulation	846	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10

¹ アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

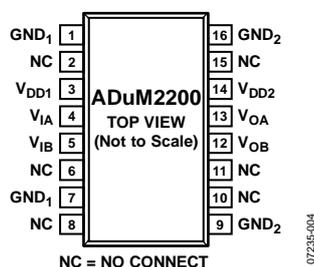
表 11. ADuM2200 の真理値表(正論理)

V_{IA} Input	V_{IB} Input	V_{DD1} State	V_{DD2} State	V_{OA} Output	V_{OB} Output	Notes
H	H	Powered	Powered	H	H	
L	L	Powered	Powered	L	L	
H	L	Powered	Powered	H	L	
L	H	Powered	Powered	L	H	
X	X	Unpowered	Powered	H	H	Outputs return to the input state within 1 μ s of V_{DD1} power restoration.
X	X	Powered	Unpowered	Indeterminate	Indeterminate	Outputs return to the input state within 1 μ s of V_{DDO} power restoration.

表 12. ADuM2201 の真理値表(正論理)

V_{IA} Input	V_{IB} Input	V_{DD1} State	V_{DD2} State	V_{OA} Output	V_{OB} Output	Notes
H	H	Powered	Powered	H	H	
L	L	Powered	Powered	L	L	
H	L	Powered	Powered	H	L	
L	H	Powered	Powered	L	H	
X	X	Unpowered	Powered	Indeterminate	H	Outputs return to the input state within 1 μ s of V_{DD1} power restoration.
X	X	Powered	Unpowered	H	Indeterminate	Outputs return to the input state within 1 μ s of V_{DDO} power restoration.

ピン配置およびピン機能説明

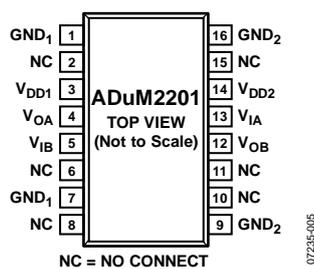


- NOTES:
1. PIN 1 AND PIN 7 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₁ IS RECOMMENDED.
 2. PIN 9 AND PIN 16 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

図 4.ADuM2200 のピン配置

表 13.ADuM2200 のピン機能説明

ピン番号	記号	説明
1	GND1	グラウンド 1。アイソレータ・サイド 1 のグラウンド基準。
2	NC	内部接続なし。
3	VDD1	アイソレータ・サイド 1 の電源電圧、3.0 V～5.5 V。
4	VIA	ロジック入力 A。
5	VIB	ロジック入力 B。
6	NC	内部接続なし。
7	GND1	グラウンド 1。アイソレータ・サイド 1 のグラウンド基準。
8	NC	内部接続なし。
9	GND2	グラウンド 2。アイソレータ・サイド 2 のグラウンド基準。
10	NC	内部接続なし。
11	NC	内部接続なし。
12	VOB	ロジック出力 B。
13	VOA	ロジック出力 A。
14	VDD2	アイソレータ・サイド 2 の電源電圧、3.0 V～5.5 V。
15	NC	内部接続なし。
16	GND2	グラウンド 2。アイソレータ・サイド 2 のグラウンド基準。



- NOTES:**
1. PIN 1 AND PIN 7 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₁ IS RECOMMENDED.
 2. PIN 9 AND PIN 16 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

図 5.ADuM2201 のピン配置

表 14.ADuM2201 のピン機能説明

ピン番号	記号	説明
1	GND1	グラウンド1。アイソレータ・サイド1のグラウンド基準。
2	NC	内部接続なし。
3	VDD1	アイソレータ・サイド1の電源電圧、3.0 V～5.5 V。
4	VOA	ロジック出力 A。
5	V _{IB}	ロジック入力 B。
6	NC	内部接続なし。
7	GND1	グラウンド1。アイソレータ・サイド1のグラウンド基準。
8	NC	内部接続なし。
9	GND2	グラウンド2。アイソレータ・サイド2のグラウンド基準。
10	NC	内部接続なし。
11	NC	内部接続なし。
12	VOB	ロジック出力 B。
13	VIA	ロジック入力 A。
14	VDD2	アイソレータ・サイド2の電源電圧、3.0 V～5.5 V。
15	NC	内部接続なし。
16	GND2	グラウンド2。アイソレータ・サイド2のグラウンド基準。

代表的な性能特性

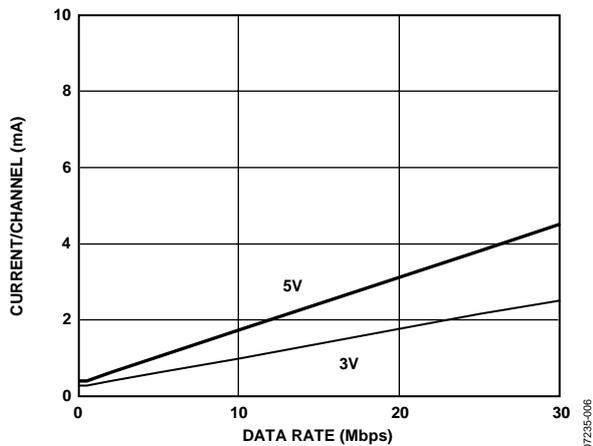


図 6. チャンネルあたりの入力電源電流 (Typ) 対 5 V および 3 V 動作でのデータ・レート (出力無負荷)

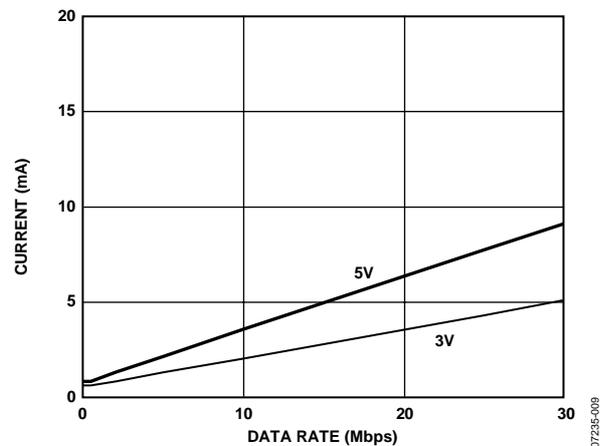


図 9. ADuM2200 V_{DD1} 電源電流 (Typ) 対 5 V および 3 V 動作でのデータレート

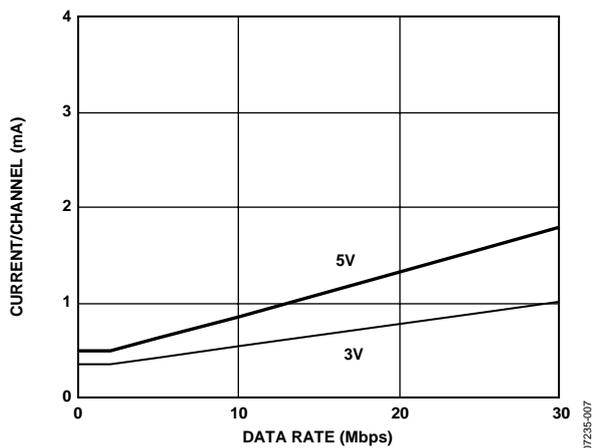


図 7. チャンネルあたりの出力電源電流 (Typ) 対 5 V および 3 V 動作でのデータ・レート (出力無負荷)

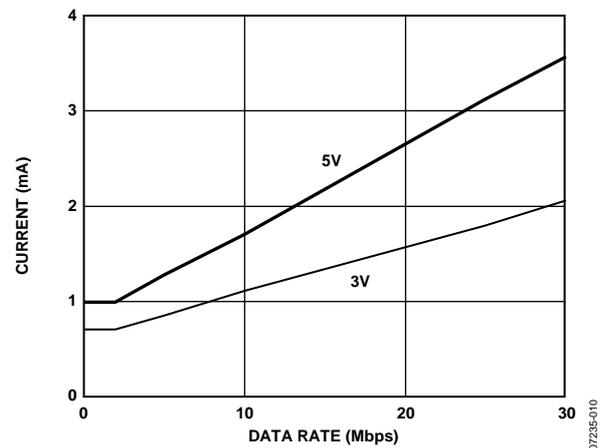


図 10. ADuM2200 V_{DD2} の電源電流 (Typ) 対 5 V および 3 V 動作でのデータレート

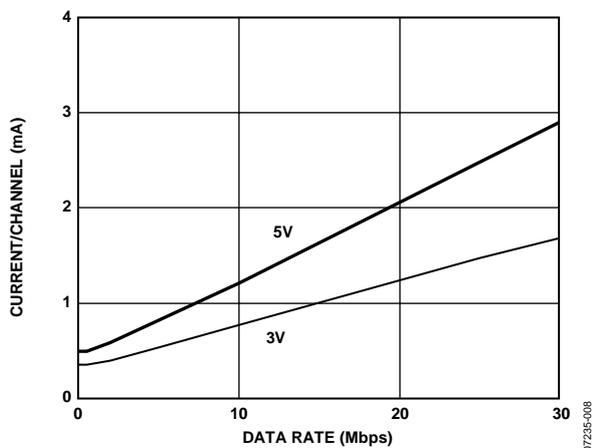


図 8. チャンネルあたりの出力電源電流 (Typ) 対 5 V および 3 V 動作でのデータ・レート (15 pF 出力無負)

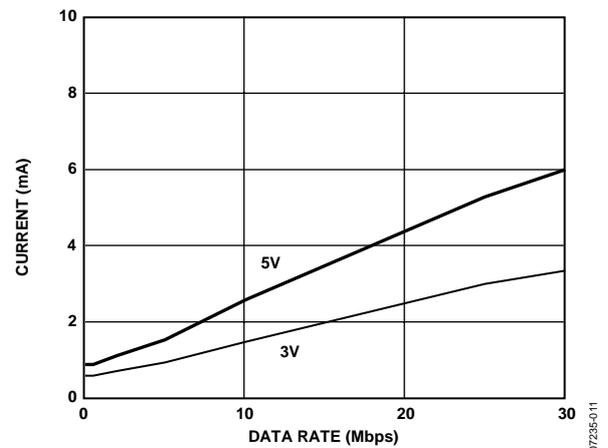


図 11. ADuM2201 の V_{DD1} または V_{DD2} 電源電流 (Typ) 対 5 V および 3 V 動作でのデータレート

アプリケーション情報

PC ボードのレイアウト

ADuM220x デジタル・アイソレータには、ロジック・インタフェース用の外付けインタフェース回路は不要です。入力電源ピンと出力電源ピンにはバイパス・コンデンサを接続することが推奨されます(図 12 参照)。バイパス・コンデンサは V_{DD1} についてはピン 1 とピン 3 の間に、 V_{DD2} についてはピン 14 とピン 16 の間に、それぞれ接続するのが便利です。コンデンサの値は、 $0.01 \mu\text{F} \sim 0.1 \mu\text{F}$ にします。コンデンサ端子と入力電源ピンとの間の合計リード長は 20 mm を超えないようにします。各パッケージ側のグラウンド対がパッケージのすぐ近くで接続されていない限り、ピン 3 とピン 7 の間およびピン 9 とピン 14 の間でバイパスしてください。

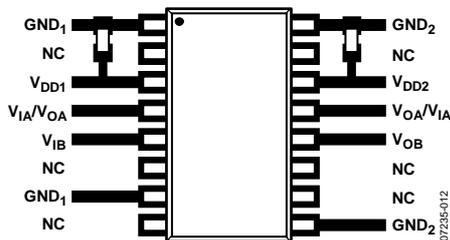


図 12.プリント回路ボードの推奨レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を超えるボード結合が最小になるように注意する必要があります。さらに、すべての結合がデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインする必要があります。この注意が不十分な場合、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号が部品を通過するのに要する時間を表すパラメータです。ロジック・ローレベル出力への伝搬遅延は、ロジック・ハイレベルへの伝搬遅延と異なることがあります。

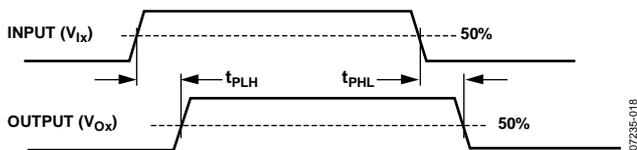


図 13.伝搬遅延パラメータ

パルス幅歪みとはこれら 2 値の間の最大の差を意味し、入力信号のタイミングが出力信号で再現される精度を表します。

チャンネル間マッチングは、1 つの ADuM220x 製品内にある複数のチャンネル間の伝搬遅延差の最大値を表します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM220x 製品間での伝搬遅延差の最大値を表します。

DC 精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、入力ロジックの変化を指定するパルスによりセットまたはリセットされます。約 $1 \mu\text{s}$ 以上入力にロジック変化がない場合、出力の DC 精度を確保するために、入力状態を指定する周期的な更新パルスのセットが送出されず、デコーダが約 $5 \mu\text{s}$ 間以上この入力パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態(表 11 と表 12 参照)にされます。

ADuM220x の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が大きくなるために、デコーダをセットまたはリセットさせてしまう誤動作が発生することで決まります。この状態が発生する条件を以下の解析により求めます。ADuM220x の 3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッショルドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt)\Sigma\pi r_n^2; n = 1, 2, \dots, N$$

ここで、

β = 磁束密度(Gauss)

N = 受信側コイルの巻数

r_n = 受信側コイルの n 回目の半径(cm)

ADuM220x 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、最大許容磁界は図 14 のように計算されます。

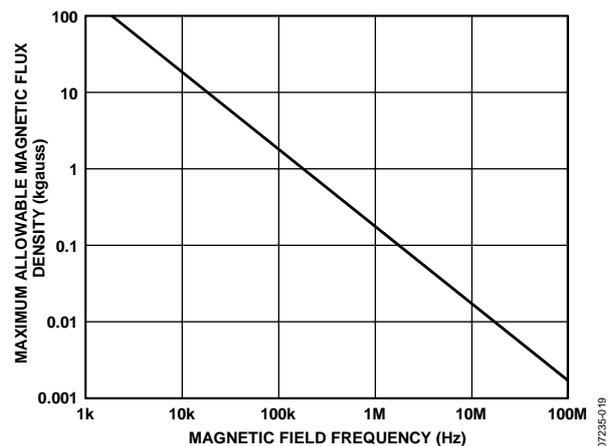


図 14.最大許容外部磁束密度

たとえば、1 MHz の磁界周波数と 0.2 k ガウスの最大許容磁界により、受信コイルに 0.25 V の電圧が誘導されます。これは検出スレッショールドの約 50% であるため、出力変化の誤動作はありません。同様に、このようなことが送信パルス区間に発生すると(さらにワーストケース極性の場合)、受信パルスは 1.0V 以上から 0.75V に小さくなります。これでも、0.5 V のデコーダ検出スレッショールドより上です。

前述の磁束密度値は、与えられた距離だけ ADuM220x トランスから離れた位置にある特定の電流値に対応します。図 15 に、周波数の関数としての許容電流値を距離に対して示します。図から読み取れるように、ADuM220x の耐性は高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。前述の 1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM220x から 5 mm の距離まで近づける必要があります。

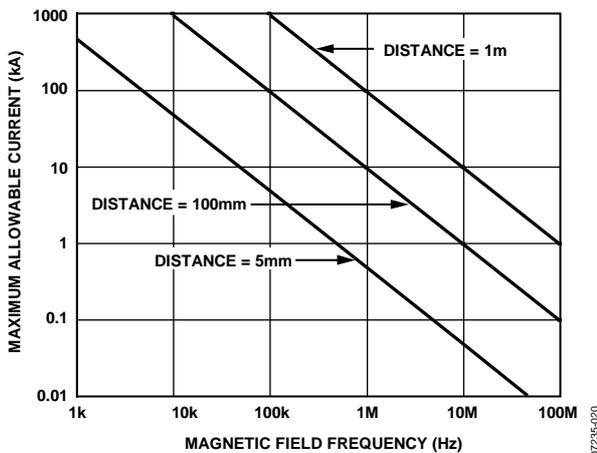


図 15. 様々な電流値と ADuM220x までの距離に対する最大許容電流

強い磁界と高周波が組合わさると、プリント回路ボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッショールドを超えてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

消費電力

ADuM220x アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータ・レート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(Q)} \quad f \leq 0.5f_r$$

$$I_{DD1} = I_{DD1(D)} \times (2f - f_r) + I_{DD1(Q)} \quad f > 0.5f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5f_r$$

$I_{DD1(D)}$ と $I_{DDO(D)}$ は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です (mA/Mbps)。 C_L は出力負荷容量 (pF)。 V_{DDO} は出力電源電圧 (V)。 f は入力ロジック信号周波数 (MHz、入力データ・レートの 1/2、NRZ シグナリング)。 f_r は入力ステージのリフレッシュ・レート (Mbps)。 $I_{DD1(Q)}$ と $I_{DDO(Q)}$ は、それぞれ指定された入力静止電源電流と出力静止電源電流です (mA)。

I_{DD1} と I_{DD2} の電源電流を計算するために、 I_{DD1} と I_{DD2} に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。図 6 と図 7 に、無負荷状態の出力に対して、データ・レートの関数としてのチャンネル当たりの電源電流を示します。図 8 に、15 pF 負荷の出力に対して、データ・レートの関数としてのチャンネル当たりの電源電流を示します。図 9 ~ 図 11 に、ADuM2200/ADuM2201 チャンネル構成に対するデータ・レートの関数としての I_{DD1} と I_{DD2} の合計電源電流を示します。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施して ADuM220x の絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。表 10 に、バイポーラ AC 動作条件とアナログ・デバイセズの最大推奨動作電圧での 50 年のサービス寿命に対するピーク電圧と最大 CSA/VDE 認定動作電圧を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM220x の絶縁寿命は、アイソレーション障壁に加えらる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 16、図 17、図 18 に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。

表 10 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用するこ

とができます。図 17 または図 18 適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は

表 10 に示す 50 年寿命電圧値に制限する必要があります。

図 17 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができますが、電圧は 0 V を通過することはできません。

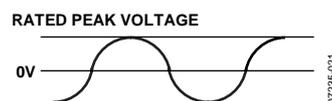


図 16. バイポーラ AC 波形

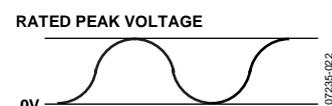


図 17. ユニポーラ AC 波形

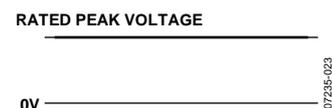
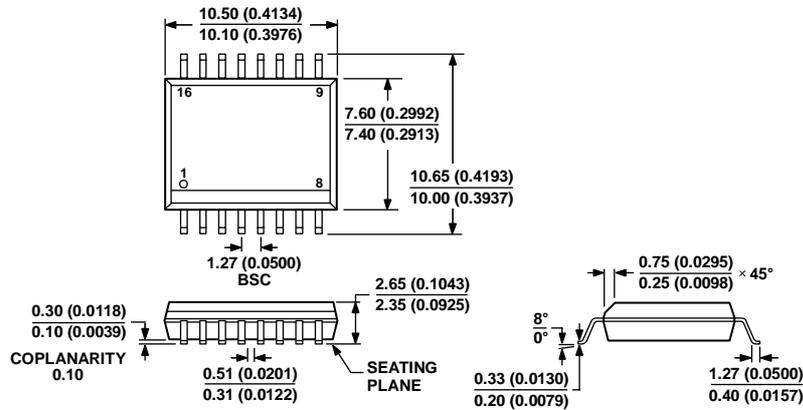


図 18. DC 波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

図 19.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]ワイドボディ(RW-16)寸法: mm (インチ)

オーダー・ガイド

Model	Number of Inputs, V _{DD1} Side	Number of Inputs, V _{DD2} Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Pulse Width Distortion (ns)	Temperature Range	Package Description	Package Option
ADuM2200ARWZ ^{1,2}	2	0	1	150	40	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM2200BRWZ ^{1,2}	2	0	10	50	3	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM2201ARWZ ^{1,2}	1	1	1	150	40	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM2201BRWZ ^{1,2}	1	1	10	50	3	-40°C to +105°C	16-Lead SOIC_W	RW-16

¹ *テープとリールを提供しています。「-RL」サフィックスを追加すると、13インチ(1,000個)のテープおよびリール・オプションが指定されます。

² Z = RoHS 準拠製品

データシート 変更履歴

2009 年 4 月 23 日

アナログ・デバイセズ株式会社

型版 : ADuM2200/ADuM2201

以下の箇所が間違っておりましたので変更いたしました。

P1 データシートタイトル

変更前 :

超高速 SiGe、ECL クロック / データ ・ バッファ

変更後 :

2 チャンネルのデジタル ・ アイソレータ、絶縁耐圧 5 kV