



3.0 kV RMS、 6 チャンネル・デジタル・アイソレータ

データシート

ADuM160N/ADuM161N/ADuM162N/ADuM163N

特長

高いコモンモード過渡耐性: 100 kV/μs
放射ノイズ、伝導ノイズに対して高い耐性
低伝搬遅延

最大 13 ns (5 V 動作時)

最大 15 ns (1.8 V 動作時)

最大データ・レート: 150 Mbps を確保

安全性と規制に対する認定 (申請中)

UL 認定:1 分間で 3000 V rms、UL 1577 規格に準拠

CSA Component Acceptance Notice 5A

VDE 適合性認定

DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12

$V_{IORM} = 565 \text{ V (peak)}$

GB4943.1-2011 に準拠する CQC 認定

低いダイナミック消費電力

1.8 V ~ 5 V のレベル変換

高温動作: 125 °C

フェイルセーフ・ハイ/ローのオプション

16 ピン、RoHS 準拠、ナロー・ボディ SOIC パッケージ

アプリケーション

汎用マルチチャンネル絶縁

シリアル・ペリフェラル・インターフェース (SPI) / データ・コンバータ絶縁

工業用フィールド・バス絶縁

概要

ADuM160N/ADuM161N/ADuM162N/ADuM163N¹ は、アナログ・デバイス社の iCoupler® 技術をベースにした 6 チャンネル・デジタル・アイソレータです。これらの絶縁デバイスは、高速 CMOS 技術と空芯コアを使用したモノリシック・トランス技術の組み合わせによって、フォトカプラ・デバイスやその他の集積化カプラなどの代替品よりも優れた性能特性を發揮します。5 V 動作時の最大伝搬遅延は 13 ns、パルス幅歪みは 4.5 ns 未満です。伝搬遅延に関するチャンネル間マッチングは、最大 4.0 ns という厳格な範囲に収まっています。

ADuM160N/ADuM161N/ADuM162N/ADuM163N のデータ・チャンネルは独立していて、耐圧定格 3.0 kV rms のさまざまな構成の製品を用意しています (Ordering Guide を参照)。デバイスは、両側とも 1.7 V ~ 5.5 V の電源電圧で動作するため、低電圧システムとの互換性があります。さらに、絶縁バリアをまたぐ電圧変換機能も実現します。

他のフォトカプラとは異なり、入力ロジックに遷移がない場合の DC 精度が確保されます。2 種類のフェイルセーフ・オプションがあり、入力電源が供給されなくなると、出力が既定の状態に遷移します。

¹ 米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

機能ブロック図

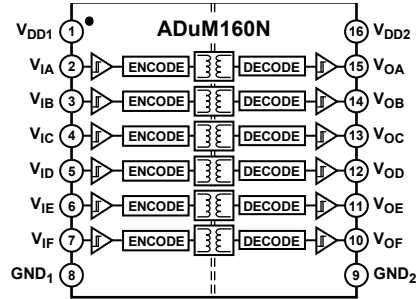


図 1. ADuM160N 機能ブロック図

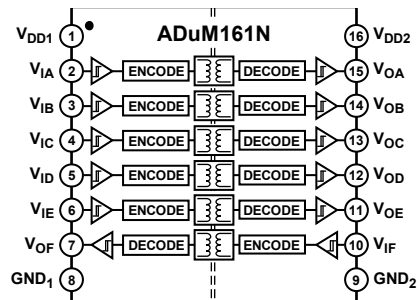


図 2. ADuM161N 機能ブロック図

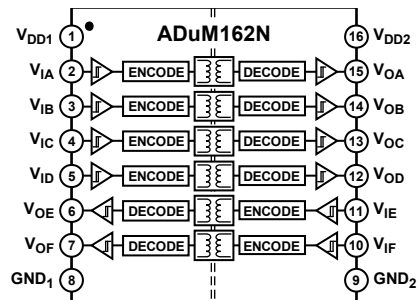


図 3. ADuM162N 機能ブロック図

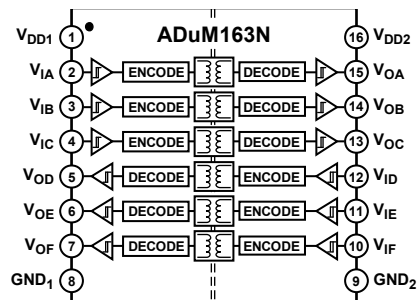


図 4. ADuM163N 機能ブロック図

目次

特長.....	1	推奨動作条件.....	12
アプリケーション.....	1	絶対最大定格.....	13
概要.....	1	ESDに関する注意.....	13
機能ブロック図.....	1	ピン配置およびピン機能の説明.....	14
改訂履歴.....	2	代表的な性能特性.....	18
仕様.....	3	動作原理.....	20
電気的特性 - 5 V 動作時.....	3	アプリケーション情報.....	21
電気的特性 - 3.3 V 動作時.....	5	PCB レイアウト.....	21
電気的特性 - 2.5 V 動作時.....	7	伝搬遅延に関するパラメータ.....	21
電気的特性 - 1.8 V 動作時.....	9	ジッタの計測.....	21
絶縁および安全性関連の仕様.....	11	絶縁寿命.....	21
パッケージ特性.....	11	外形寸法.....	23
適用規格.....	11	オーダー・ガイド.....	23
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性.....	12		

改訂履歴

7/2016—Revision 0: Initial Version

仕様

電気的特性 - 5 V 動作時

すべての代表的な仕様は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{ V}$ 時の値です。最小/最大仕様は、特に指定のない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、および $-40\text{ }^\circ\text{C} \leq T_A \leq +125\text{ }^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定のない限り、スイッチング仕様は、 $C_L = 15\text{ pF}$ 、CMOS 信号レベルでテストされます。電源電流は、50% のデューティ・サイクル信号で仕様規定されています。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within pulse width distortion (PWD) limit
Data Rate ¹		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	4.8	7.2	13	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.5	4.5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			6.1	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.5	4.0	ns	
Opposing Direction	t_{PSKOD}		0.5	4.5	ns	
Jitter			490		ps p-p	See the Jitter Measurement section
			70		ps rms	See the Jitter Measurement section
DC SPECIFICATIONS						
Input Threshold Voltage						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DDx} - 0.1$	V_{DDx}		V	$I_{Ox}^2 = -20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxH}^3$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox}^2 = -4\text{ mA}$, $V_{Ix} = V_{IxH}^3$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^2 = 20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxL}^4$
			0.2	0.4	V	$I_{Ox}^2 = 4\text{ mA}$, $V_{Ix} = V_{IxL}^4$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Quiescent Supply Current						
ADuM160N						
	$I_{DD1(Q)}$		2.3	3.5	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD2(Q)}$		3.3	4.52	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD1(Q)}$		19.3	30	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
	$I_{DD2(Q)}$		3.5	4.82	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
ADuM161N						
	$I_{DD1(Q)}$		2.5	3.8	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD2(Q)}$		3.2	4.22	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD1(Q)}$		16.0	24.8	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
	$I_{DD2(Q)}$		7.2	11.2	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
ADuM162N						
	$I_{DD1(Q)}$		2.8	4.0	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD2(Q)}$		3.0	4.2	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD1(Q)}$		14.1	22.5	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
	$I_{DD2(Q)}$		10.5	16.7	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
ADuM163N						
	$I_{DD1(Q)}$		3.0	4.26	mA	$V_I^S = 0 (N0), 1 (N1)^6$
	$I_{DD2(Q)}$		2.8	3.92	mA	$V_I^S = 0 (N0), 1 (N1)^6$
	$I_{DD1(Q)}$		11.8	18.9	mA	$V_I^S = 1 (N0), 0 (N1)^6$
	$I_{DD2(Q)}$		14.6	23	mA	$V_I^S = 1 (N0), 0 (N1)^6$
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DD0(D)}$		0.02		mA/Mbps	Inputs switching, 50% duty cycle
Undervoltage Lockout						
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁷	$ CM_H $	75	100		kV/ μ s	$V_{IX} = V_{DDx}, V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ 最高で 150 Mbps のデータ・レートが確保されていますが、これよりも速いデータ・レートにすることも可能です。

² I_{Ox} はチャンネル x 出力電流で、x=A、B、C、D、E、または F。

³ V_{IH} は、入力側ロジック・ハイ・レベル。

⁴ V_{IL} は、入力側ロジック・ロー・レベル。

⁵ V_I は電圧入力。

⁶ N0 は、ADuM160N0/ADuM161N0/ADuM162N0/ADuM163N0 の各モデルを指します。N1 は、ADuM160N1/ADuM161N1/ADuM162N1/ADuM163N1 の各モデルを指します。「オーダー・ガイド」のセクションを参照してください。

⁷ $|CM_H|$ は、電圧出力 (V_O) > 0.8 V_{DDx} を維持しながら持続できる共通モード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8$ V を維持しながら持続できる共通モード電圧の最大スルー・レートです。共通モード電圧スルー・レートは、共通モード電圧の立上がりりと立下りの両エッジに適用されます。

表 2. 合計電源電流とデータ・スループットの関係

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
ADuM160N											
Supply Current Side 1	I_{DD1}		10.8	15.8		12.3	19.2		18.3	26	mA
Supply Current Side 2	I_{DD2}		3.6	5.5		5.63	9.0		12.8	20.9	mA
ADuM161N											
Supply Current Side 1	I_{DD1}		9.27	14.5		10.9	17.2		17.3	25.6	mA
Supply Current Side 2	I_{DD2}		5.33	9.0		7.39	12		14.5	22.2	mA
ADuM162N											
Supply Current Side 1	I_{DD1}		8.53	13.0		10.2	15.6		16.4	25.5	mA
Supply Current Side 2	I_{DD2}		6.83	10.5		8.64	13.1		14.6	22.3	mA
ADuM163N											
Supply Current Side 1	I_{DD1}		7.47	12.3		9.35	14.5		15.9	23	mA
Supply Current Side 2	I_{DD2}		8.75	14.0		10.5	16.0		17.0	23.3	mA

電气的特性 - 3.3 V 動作時

すべての代表的な仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 3.3\text{ V}$ 時の値です。最小/最大仕様は、特に指定のない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、および $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定のない限り、スイッチング仕様は、 $C_L = 15\text{ pF}$ 、CMOS 信号レベルでテストされます。電源電流は、50% のデューティ・サイクル信号で仕様規定されています。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate ¹		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	4.8	6.8	14	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	4.5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			7.5	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.7	4.0	ns	
Opposing Direction	t_{PSKOD}		0.7	4.5	ns	
Jitter			580		ps p-p	See the Jitter Measurement section
			120		ps rms	See the Jitter Measurement section
DC SPECIFICATIONS						
Input Threshold Voltage						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DDx} - 0.1$	V_{DDx}		V	$I_{Ox}^2 = -20\ \mu\text{A}$, $V_{Ix} = V_{IxH}^3$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox}^2 = -2\ \text{mA}$, $V_{Ix} = V_{IxH}^3$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^2 = 20\ \mu\text{A}$, $V_{Ix} = V_{IxL}^4$
			0.2	0.4	V	$I_{Ox}^2 = 2\ \text{mA}$, $V_{Ix} = V_{IxL}^4$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Quiescent Supply Current						
ADuM160N						
	$I_{DD1(Q)}$		2.2	3.4	mA	$V_I^5 = 0\ (N0)$, $1\ (N1)^6$
	$I_{DD2(Q)}$		3.1	4.1	mA	$V_I^5 = 0\ (N0)$, $1\ (N1)^6$
	$I_{DD1(Q)}$		19	27.7	mA	$V_I^5 = 1\ (N0)$, $0\ (N1)^6$
	$I_{DD2(Q)}$		3.4	4.7	mA	$V_I^5 = 1\ (N0)$, $0\ (N1)^6$
ADuM161N						
	$I_{DD1(Q)}$		2.3	3.6	mA	$V_I^5 = 0\ (N0)$, $1\ (N1)^6$
	$I_{DD2(Q)}$		3.0	4.0	mA	$V_I^5 = 0\ (N0)$, $1\ (N1)^6$
	$I_{DD1(Q)}$		15.8	24.6	mA	$V_I^5 = 1\ (N0)$, $0\ (N1)^6$
	$I_{DD2(Q)}$		7.0	11	mA	$V_I^5 = 1\ (N0)$, $0\ (N1)^6$
ADuM162N						
	$I_{DD1(Q)}$		2.6	3.8	mA	$V_I^5 = 0\ (N0)$, $1\ (N1)^6$
	$I_{DD2(Q)}$		2.8	4.0	mA	$V_I^5 = 0\ (N0)$, $1\ (N1)^6$
	$I_{DD1(Q)}$		13.9	22.2	mA	$V_I^5 = 1\ (N0)$, $0\ (N1)^6$
	$I_{DD2(Q)}$		10.3	16.5	mA	$V_I^5 = 1\ (N0)$, $0\ (N1)^6$
ADuM163N						
	$I_{DD1(Q)}$		2.8	4.16	mA	$V_I^5 = 0\ (N0)$, $1\ (N1)^6$
	$I_{DD2(Q)}$		2.6	3.82	mA	$V_I^5 = 0\ (N0)$, $1\ (N1)^6$
	$I_{DD1(Q)}$		11.5	18.5	mA	$V_I^5 = 1\ (N0)$, $0\ (N1)^6$
	$I_{DD2(Q)}$		14.3	22.5	mA	$V_I^5 = 1\ (N0)$, $0\ (N1)^6$
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DD0(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Undervoltage Lockout	UVLO					
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁷	$ CM_H $	75	100		kV/ μ s	$V_{IX} = V_{DDx}$, $V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ 最高で 150 Mbps のデータ・レートが確保されていますが、これよりも速いデータ・レートにすることも可能です。

² I_{Ox} はチャンネル x 出力電流で、x=A、B、C、D、E、または F。

³ V_{IKH} は、入力側ロジック・ハイ・レベル。

⁴ V_{IKL} は、入力側ロジック・ロー・レベル。

⁵ V_I は電圧入力。

⁶ N0 は、ADuM160N0/ADuM161N0/ADuM162N0/ADuM163N0 の各モデルを指します。N1 は、ADuM160N1/ADuM161N1/ADuM162N1/ADuM163N1 の各モデルを指します。「オーダー・ガイド」のセクションを参照してください。

⁷ $|CM_H|$ は、電圧出力 (V_O) > 0.8 V_{DDx} を維持しながら持続できる共通モード電圧の最大スルー・レートです。 $|CML|$ は、 $V_O > 0.8$ V を維持しながら持続できる共通モード電圧の最大スルー・レートです。共通モード電圧スルー・レートは、共通モード電圧の立上がりと立下りの両エッジに適用されます。

表 4. 合計電源電流とデータ・スループットの関係

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
ADuM160N											
Supply Current Side 1	I_{DD1}		10.5	15.5		11.7	18.6		16.6	24.6	mA
Supply Current Side 2	I_{DD2}		3.4	5.4		5.4	7.8		11.8	19.9	mA
ADuM161N											
Supply Current Side 1	I_{DD1}		9.0	14.2		10.4	16.6		15.7	24.1	mA
Supply Current Side 2	I_{DD2}		5.1	8.8		7.0	11.6		13.1	20.8	mA
ADuM162N											
Supply Current Side 1	I_{DD1}		8.3	12.8		9.8	14.8		15.2	24.3	mA
Supply Current Side 2	I_{DD2}		6.6	10.3		8.3	12.6		13.8	21.5	mA
ADuM163N											
Supply Current Side 1	I_{DD1}		7.3	12		8.9	14.2		14.9	22	mA
Supply Current Side 2	I_{DD2}		8.5	13.7		9.9	15.6		16	22.3	mA

電気的特性 - 2.5 V 動作時

すべての代表的な仕様は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 2.5\text{ V}$ 時の値です。最小/最大仕様は、特に指定のない限り、 $2.25\text{ V} \leq V_{DD1} \leq 2.75\text{ V}$ 、 $2.25\text{ V} \leq V_{DD2} \leq 2.75\text{ V}$ 、および $-40\text{ }^\circ\text{C} \leq T_A \leq +125\text{ }^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定のない限り、スイッチング仕様は、 $C_L = 15\text{ pF}$ 、CMOS 信号レベルでテストされます。電源電流は、50% のデューティ・サイクル信号で仕様規定されています。

表 5.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate ¹		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	5.0	7.0	14	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	5.0	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			6.8	ns	Between any two units at the same temperature, voltage, load
Channel Matching						
Codirectional	t_{PSKCD}		0.7	5.0	ns	
Opposing Direction	t_{PSKOD}		0.7	5.0	ns	
Jitter			800		ps p-p	See the Jitter Measurement section
			190		ps rms	See the Jitter Measurement section
DC SPECIFICATIONS						
Input Threshold Voltage						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DDx} - 0.1$	V_{DDx}		V	$I_{Ox}^2 = -20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxH}^3$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox}^2 = -2\text{ mA}$, $V_{Ix} = V_{IxH}^3$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^2 = 20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxL}^4$
			0.2	0.4	V	$I_{Ox}^2 = 2\text{ mA}$, $V_{Ix} = V_{IxL}^4$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Quiescent Supply Current						
ADuM160N						
	$I_{DD1(Q)}$		2.1	3.3	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD2(Q)}$		3.1	4.1	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD1(Q)}$		19	27.7	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
	$I_{DD2(Q)}$		3.3	4.6	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
ADuM161N						
	$I_{DD1(Q)}$		2.2	3.5	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD2(Q)}$		2.9	3.9	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD1(Q)}$		15.7	24.5	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
	$I_{DD2(Q)}$		6.9	10.9	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
ADuM162N						
	$I_{DD1(Q)}$		2.5	3.7	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD2(Q)}$		2.7	3.9	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD1(Q)}$		13.8	22.1	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
	$I_{DD2(Q)}$		10.2	16.4	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
ADuM163N						
	$I_{DD1(Q)}$		2.7	4.08	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD2(Q)}$		2.55	3.72	mA	$V_I^5 = 0\text{ (N0)}, 1\text{ (N1)}^6$
	$I_{DD1(Q)}$		11.5	18.4	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
	$I_{DD2(Q)}$		14.3	22.3	mA	$V_I^5 = 1\text{ (N0)}, 0\text{ (N1)}^6$
Dynamic Supply Current						
Dynamic Input	$I_{DDI(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Undervoltage Lockout						
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁷	$ CM_H $	75	100		kV/ μ s	$V_{IX} = V_{DDx}$, $V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ 最高で 150 Mbps のデータ・レートが確保されていますが、これよりも速いデータ・レートにすることも可能です。

² I_{Ox} はチャンネル x 出力電流で、x=A、B、C、D、E、または F。

³ V_{KH} は、入力側ロジック・ハイ・レベル。

⁴ V_{KL} は、入力側ロジック・ロー・レベル。

⁵ V_I は電圧入力。

⁶ N0 は、ADuM160N0/ADuM161N0/ADuM162N0/ADuM163N0 の各モデルを指します。N1 は、ADuM160N1/ADuM161N1/ADuM162N1/ADuM163N1 の各モデルを指します。「オーダー・ガイド」のセクションを参照してください。

⁷ $|CM_H|$ は、電圧出力 (V_O) > 0.8 V_{DDx} を維持しながら持続できる共通モード電圧の最大スルー・レートです。 $|CML|$ は、 $V_O > 0.8$ V を維持しながら持続できる共通モード電圧の最大スルー・レートです。共通モード電圧スルー・レートは、共通モード電圧の立上がりと立下がりの両エッジに適用されます。

表 6. 合計電源電流とデータ・スループットの関係

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
ADuM160N											
Supply Current Side 1	I_{DD1}		10.4	15.4		11.2	18.4		16	24	mA
Supply Current Side 2	I_{DD2}		3.3	5.3		4.8	7.2		9.8	17.9	mA
ADuM161N											
Supply Current Side 1	I_{DD1}		8.9	14.1		10.1	16.3		14.8	23.6	mA
Supply Current Side 2	I_{DD2}		5.0	8.7		6.5	11.1		11.4	20.1	mA
ADuM162N											
Supply Current Side 1	I_{DD1}		8.1	12.6		9.4	14.4		14.1	23.2	mA
Supply Current Side 2	I_{DD2}		6.5	10.2		7.8	12.1		12.4	20.1	mA
ADuM163N											
Supply Current Side 1	I_{DD1}		7.1	11.9		8.5	13.9		13.6	21	mA
Supply Current Side 2	I_{DD2}		8.3	13.4		9.7	15.2		14.8	21.3	mA

電气的特性 - 1.8 V 動作時

すべての代表的な仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 1.8\text{V}$ 時の値です。最小/最大仕様は、特に指定のない限り、 $1.7\text{V} \leq V_{DD1} \leq 1.9\text{V}$ 、 $1.7\text{V} \leq V_{DD2} \leq 1.9\text{V}$ 、および $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定のない限り、スイッチング仕様は、 $C_L = 15\text{pF}$ 、CMOS信号レベルでテストされます。電源電流は、50%のデューティ・サイクル信号で仕様規定されています。

表 7.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate ¹		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	5.8	8.7	15	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	5.0	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/°C	
Propagation Delay Skew	t_{PSK}			7.0	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.7	5.0	ns	
Opposing Direction	t_{PSKOD}		0.7	5.0	ns	
Jitter			470		ps p-p	See the Jitter Measurement section
			70		ps rms	See the Jitter Measurement section
DC SPECIFICATIONS						
Input Threshold Voltage						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DDx} - 0.1$	V_{DDx}		V	$I_{Ox}^2 = -20\ \mu\text{A}$, $V_{Ix} = V_{IxH}^3$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox}^2 = -2\ \text{mA}$, $V_{Ix} = V_{IxH}^3$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^2 = 20\ \mu\text{A}$, $V_{Ix} = V_{IxL}^4$
			0.2	0.4	V	$I_{Ox}^2 = 2\ \text{mA}$, $V_{Ix} = V_{IxL}^4$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{V} \leq V_{Ix} \leq V_{DDx}$
Quiescent Supply Current						
ADuM160N						
	$I_{DD1(Q)}$		2.0	3.2	mA	$V_I^5 = 0\ (N0), 1\ (N1)^6$
	$I_{DD2(Q)}$		3.0	4.0	mA	$V_I^5 = 0\ (N0), 1\ (N1)^6$
	$I_{DD1(Q)}$		18.7	27.4	mA	$V_I^5 = 1\ (N0), 0\ (N1)^6$
	$I_{DD2(Q)}$		3.3	4.6	mA	$V_I^5 = 1\ (N0), 0\ (N1)^6$
ADuM161N						
	$I_{DD1(Q)}$		2.1	3.4	mA	$V_I^5 = 0\ (N0), 1\ (N1)^6$
	$I_{DD2(Q)}$		2.9	3.9	mA	$V_I^5 = 0\ (N0), 1\ (N1)^6$
	$I_{DD1(Q)}$		15.5	24.3	mA	$V_I^5 = 1\ (N0), 0\ (N1)^6$
	$I_{DD2(Q)}$		6.8	10.8	mA	$V_I^5 = 1\ (N0), 0\ (N1)^6$
ADuM162N						
	$I_{DD1(Q)}$		2.4	3.6	mA	$V_I^5 = 0\ (N0), 1\ (N1)^6$
	$I_{DD2(Q)}$		2.7	3.9	mA	$V_I^5 = 0\ (N0), 1\ (N1)^6$
	$I_{DD1(Q)}$		13.7	22	mA	$V_I^5 = 1\ (N0), 0\ (N1)^6$
	$I_{DD2(Q)}$		10.1	16.3	mA	$V_I^5 = 1\ (N0), 0\ (N1)^6$
ADuM163N						
	$I_{DD1(Q)}$		2.6	4.03	mA	$V_I^5 = 0\ (N0), 1\ (N1)^6$
	$I_{DD2(Q)}$		2.5	3.72	mA	$V_I^5 = 0\ (N0), 1\ (N1)^6$
	$I_{DD1(Q)}$		11.3	18.3	mA	$V_I^5 = 1\ (N0), 0\ (N1)^6$
	$I_{DD2(Q)}$		14	22	mA	$V_I^5 = 1\ (N0), 0\ (N1)^6$
Dynamic Supply Current						
Dynamic Input	$I_{DDI(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Undervoltage Lockout	UVLO					
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁷	$ CM_H $	75	100		kV/ μ s	$V_{IX} = V_{DDx}$, $V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ 最高で 150 Mbps のデータ・レートが確保されていますが、これよりも速いデータ・レートにすることも可能です。

² I_{Ox} はチャンネル x 出力電流で、x=A、B、C、D、E、または F。

³ V_{IKH} は、入力側ロジック・ハイ・レベル。

⁴ V_{IKL} は、入力側ロジック・ロー・レベル。

⁵ V_I は電圧入力。

⁶ N0 は、ADuM160N0/ADuM161N0/ADuM162N0/ADuM163N0 の各モデルを指します。N1 は、ADuM160N1/ADuM161N1/ADuM162N1/ADuM163N1 の各モデルを指します。「オーダー・ガイド」のセクションを参照してください。

⁷ $|CM_H|$ は、電圧出力 (V_O) > 0.8 V_{DDx} を維持しながら持続できる共通モード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8$ V を維持しながら持続できる共通モード電圧の最大スルー・レートです。共通モード電圧スルー・レートは、共通モード電圧の立上がりおよび立下りの両エッジに適用されます。

表 8. 合計電源電流とデータ・スルーブットの関係

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
ADuM160N											
Supply Current Side 1	I_{DD1}		10.2	15.2		11.3	18.2		15.9	23.9	mA
Supply Current Side 2	I_{DD2}		3.3	5.3		4.8	7.2		9.8	17.9	mA
ADuM161N											
Supply Current Side 1	I_{DD1}		8.7	13.9		10	16.2		14.6	23.4	mA
Supply Current Side 2	I_{DD2}		4.9	8.6		6.4	11		11.4	20.1	mA
ADuM162N											
Supply Current Side 1	I_{DD1}		8.0	12.5		9.2	14.2		13.9	23	mA
Supply Current Side 2	I_{DD2}		6.4	10.1		7.7	12		12.4	20.1	mA
ADuM163N											
Supply Current Side 1	I_{DD1}		7.0	11.8		8.3	13.7		13.3	20.7	mA
Supply Current Side 2	I_{DD2}		8.2	13.3		9.5	15		14.5	21	mA

絶縁および安全性関連の仕様

詳細については、<http://www.analog.com/jp/icouplersafety> を参照してください。

表 9.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		3000	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L (I01)	4.0	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L (I02)	4.0	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	4.5	mm min	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Internal Gap (Internal Clearance)		25.5	μm min	Minimum distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Material Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

パッケージ特性

表 10.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R _{I-O}		10 ¹³		Ω	
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction to Ambient Thermal Resistance	θ _{JA}		75		°C/W	Thermocouple located at center of package underside

¹ このデバイスは 2 端子デバイスとみなされます。すなわち、ピン 1 ~ ピン 8 を相互に接続し、ピン 9 ~ ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間の値です。

適用規格

特定のクロス・アイソレーション波形と絶縁レベルに対して推奨される最大動作電圧については、表 15 および絶縁寿命のセクションを参照してください。

表 11.

UL (Pending)	CSA (Pending)	VDE (Pending)	CQC (Pending)
Recognized Under UL 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²	Certified under CQC11-471543-2012, GB4943.1-2011:
Single Protection, 3000 V rms Isolation Voltage	CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: Basic insulation at 400 V rms (565 V peak)	Reinforced insulation, V _{IORM} = 565 V peak, V _{IOSM} = 6000 V peak	Basic insulation at 770 V rms (1089 V peak)
Double Protection, 3000 V rms Isolation Voltage	Reinforced insulation at 200 V rms (283 V peak) IEC 60601-1 Edition 3.1: basic insulation (one means of patient protection (1 MOPP)), 250 V rms (354 V peak) CSA 61010-1-12 and IEC 61010-1 third edition: Basic insulation at 300 V rms mains, 400 V rms secondary (565 V peak) Reinforced insulation at 300 V rms mains, 200 V secondary (282 V peak)	Basic insulation, V _{IORM} = 565 V peak, V _{IOSM} = 10,000 V peak	Reinforced insulation at 385 V rms (545 V peak)
File E214100	File 205078	File 2471900-4880-0001	File (pending)

¹ UL 1577 に従い、ADuM160N/ADuM161N/ADuM162N/ADuM163N は、3600 V rms 以上の絶縁試験電圧を 1 秒間加えるテストで確認されています。

² DIN V VDE V 0884-10 に従い、ADuM160N/ADuM161N/ADuM162N/ADuM163N は、1059 V peak 以上の絶縁試験電圧を 1 秒間加えるテストで確認されています (部分放電検出の規定値 = 5 pC)。コンポーネント表面の * マークは、DIN V VDE V 0884-10 認定製品であることを表します。

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

これらのアイソレータは、安全性限界データ範囲内の強化された電氣的絶縁に適しています。保護回路により、安全性データが維持されます。パッケージの * マークは、DIN V VDE V 0884-10 認定済みであることを示しています。

表 12.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 600 V rms			I to IV I to IV I to III	
Climatic Classification			40/125/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	565	V peak
Input to Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{pd(m)}$, 100% production test, $t_{ini} = t_m = 1$ sec, partial discharge < 5 pC	$V_{pd(m)}$	1059	V peak
Input to Output Test Voltage, Method A After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	848	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC		678	V peak
Highest Allowable Overvoltage		V_{IOTM}	4200	V peak
Surge Isolation Voltage Basic	$V_{PEAK} = 10$ kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	10000	V peak
Surge Isolation Voltage Reinforced	$V_{PEAK} = 10$ kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	6000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 5)			
Maximum Junction Temperature		T_S	150	°C
Total Power Dissipation at 25°C		P_S	1.64	W
Insulation Resistance at T_S		R_S	>10 ⁹	Ω

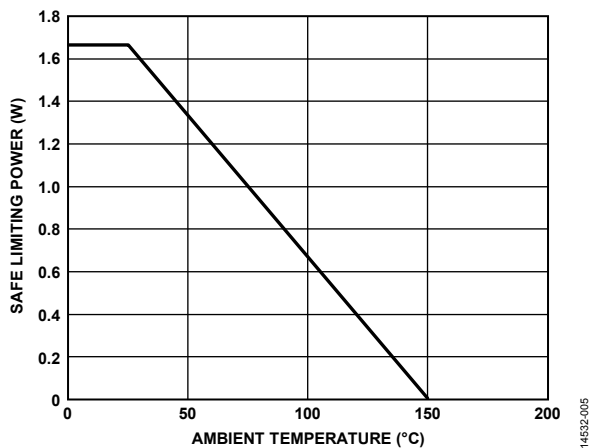


図 5. 熱ディレーティング曲線、安全限界値と周囲温度の依存関係 (DIN V VDE V 0884-10 に適合)

推奨動作条件

表 13.

Parameter	Symbol	Rating
Operating Temperature	T_A	-40°C to +125°C
Supply Voltages	V_{DD1}, V_{DD2}	1.7 V to 5.5 V
Input Signal Rise and Fall Times		1.0 ms

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 14.

Parameter	Rating
Storage Temperature (T_{ST}) Range	-65°C to +150°C
Ambient Operating Temperature (T_A) Range	-40°C to +125°C
Supply Voltages (V_{DD1} , V_{DD2})	-0.5 V to +7.0 V
Input Voltages (V_{IA} , V_{IB} , V_{IC} , V_{ID} , V_{IE} , V_{IF})	-0.5 V to $V_{DD1} + 0.5$ V
Output Voltages (V_{OA} , V_{OB} , V_{OC} , V_{OD} , V_{OE} , V_{OF})	-0.5 V to $V_{DD0} + 0.5$ V
Average Output Current per Pin ³	
Side 1 Output Current (I_{O1})	-10 mA to +10 mA
Side 2 Output Current (I_{O2})	-10 mA to +10 mA
Common-Mode Transients ⁴	-150 kV/ μs to +150 kV/ μs

¹ V_{DD1} は、入力側の電源電圧。

² V_{DD0} は出力側の電源電圧。

³ 種々の温度に対する最大定格電流値については、図5を参照してください。

⁴ 絶縁バリアをまたぐコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障を引き起こす可能性があります。

表 15. 最大の連続動作電圧¹

Parameter	Rating	Constraint
AC Voltage		
Bipolar Waveform		
Basic Insulation	789 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Reinforced Insulation	403 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Unipolar Waveform		
Basic Insulation	909 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Reinforced Insulation	469 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
DC Voltage		
Basic Insulation	558 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Reinforced Insulation	285 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1

¹ 絶縁バリアにかかる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

真理値表

表 16. ADuM160N/ADuM161N/ADuM162N/ADuM163N 真理値表 (正論理)

V_{IX} Input ^{1,2}	V_{DD1} State ²	V_{DD0} State ²	Default Low (N0), V_{OX} Output ^{1,2,3}	Default High (N1), V_{OX} Output ^{1,2,3}	Test Conditions/Comments
L	Powered	Powered	L	L	Normal operation
H	Powered	Powered	H	H	Normal operation
L	Unpowered	Powered	L	H	Fail-safe output
X ⁴	Powered	Unpowered	Indeterminate	Indeterminate	Output Unpowered

¹ Lはロー、Hはハイ、Xはドント・ケア (どちらでもよい)。

² V_{IX} と V_{OX} は、所定のチャンネル (A、B、C、D、E、またはF) の入出力信号を指します。 V_{DD1} と V_{DD0} はそれぞれ、特定のチャンネルの入力側と出力側の電源電圧を表します。

³ N0 は、ADuM160N0/ADuM161N0/ADuM162N0/ADuM163N0 の各モデルを指します。N1 は、ADuM160N1/ADuM161N1/ADuM162N1/ADuM163N1 の各モデルを指します。「オーダー・ガイド」のセクションを参照してください。

⁴ ESD 保護回路を通してデバイスに給電されないように、通電されていない電源と同じ側の入力ピン (V_{IX}) をロー状態にする必要があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

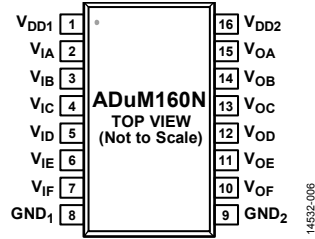


図 6. ADuM160N ピン配置

表 17. ADuM160N ピン機能の説明

ピン番号 ¹	記号	説明
1	V _{DD1}	アイソレータ 1 次側の電源電圧。
2	V _{IA}	ロジック入力 A。
3	V _{IB}	ロジック入力 B。
4	V _{IC}	ロジック入力 C。
5	V _{ID}	ロジック入力 D。
6	V _{IE}	ロジック入力 E。
7	V _{IF}	ロジック入力 F。
8	GND ₁	グラウンド 1。アイソレータ 1 次側のグラウンド基準。
9	GND ₂	グラウンド 2。アイソレータ 2 次側のグラウンド基準。
10	V _{OF}	ロジック出力 F。
11	V _{OE}	ロジック出力 E。
12	V _{OD}	ロジック出力 D。
13	V _{OC}	ロジック出力 C。
14	V _{OB}	ロジック出力 B。
15	V _{OA}	ロジック出力 A。
16	V _{DD2}	アイソレータ 2 次側の電源電圧。

¹ 特定のレイアウト・ガイドラインについては、AN-1109 アプリケーション・ノートを参照してください。

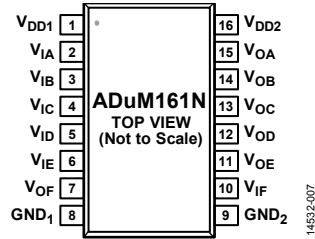


図 7. ADuM161N ピン配置

表 18. ADuM161N ピン機能の説明

ピン番号 ¹	記号	説明
1	V _{DD1}	アイソレータ 1 次側の電源電圧。
2	V _{1A}	ロジック入力 A。
3	V _{1B}	ロジック入力 B。
4	V _{1C}	ロジック入力 C。
5	V _{1D}	ロジック入力 D。
6	V _{1E}	ロジック入力 E。
7	V _{1F}	ロジック出力 F。
8	GND ₁	グラウンド 1。アイソレータ 1 次側のグラウンド基準。
9	GND ₂	グラウンド 2。アイソレータ 2 次側のグラウンド基準。
10	V _{1F}	ロジック入力 F。
11	V _{1E}	ロジック出力 E。
12	V _{1D}	ロジック出力 D。
13	V _{1C}	ロジック出力 C。
14	V _{1B}	ロジック出力 B。
15	V _{1A}	ロジック出力 A。
16	V _{DD2}	アイソレータ 2 次側の電源電圧。

¹ 特定のレイアウト・ガイドラインについては、AN-1109 アプリケーション・ノートを参照してください。

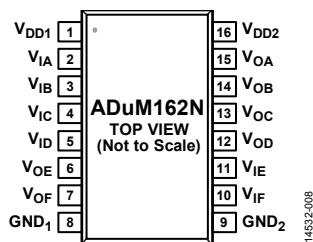


図 8. ADuM162N ピン配置

表 19. ADuM162N ピン機能の説明

ピン番号 ¹	記号	説明
1	V _{DD1}	アイソレータ 1 次側の電源電圧。
2	V _{1A}	ロジック入力 A。
3	V _{1B}	ロジック入力 B。
4	V _{1C}	ロジック入力 C。
5	V _{1D}	ロジック入力 D。
6	V _{1OE}	ロジック出力 E。
7	V _{1OF}	ロジック出力 F。
8	GND ₁	グラウンド 1。アイソレータ 1 次側のグラウンド基準。
9	GND ₂	グラウンド 2。アイソレータ 2 次側のグラウンド基準。
10	V _{1F}	ロジック入力 F。
11	V _{1E}	ロジック入力 E。
12	V _{1OD}	ロジック出力 D。
13	V _{1OC}	ロジック出力 C。
14	V _{1OB}	ロジック出力 B。
15	V _{1OA}	ロジック出力 A。
16	V _{DD2}	アイソレータ 2 次側の電源電圧。

¹ 特定のレイアウト・ガイドラインについては、AN-1109 アプリケーション・ノートを参照してください。

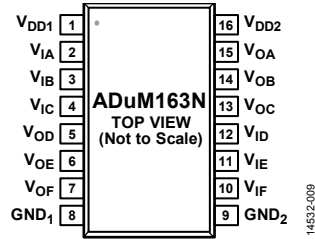


図 9. ADuM163N ピン配置

表 20. ADuM163N ピン機能の説明

ピン番号 ¹	記号	説明
1	V _{DD1}	アイソレータ 1 次側の電源電圧。
2	V _{1A}	ロジック入力 A。
3	V _{1B}	ロジック入力 B。
4	V _{1C}	ロジック入力 C。
5	V _{OD}	ロジック出力 D。
6	V _{OE}	ロジック出力 E。
7	V _{OF}	ロジック出力 F。
8	GND ₁	グラウンド 1。アイソレータ 1 次側のグラウンド基準。
9	GND ₂	グラウンド 2。アイソレータ 2 次側のグラウンド基準。
10	V _{IF}	ロジック入力 F。
11	V _{IE}	ロジック入力 E。
12	V _{ID}	ロジック入力 D。
13	V _{OC}	ロジック出力 C。
14	V _{OB}	ロジック出力 B。
15	V _{OA}	ロジック出力 A。
16	V _{DD2}	アイソレータ 2 次側の電源電圧。

¹ 特定のレイアウト・ガイドラインについては、AN-1109 アプリケーション・ノートを参照してください。

代表的な性能特性

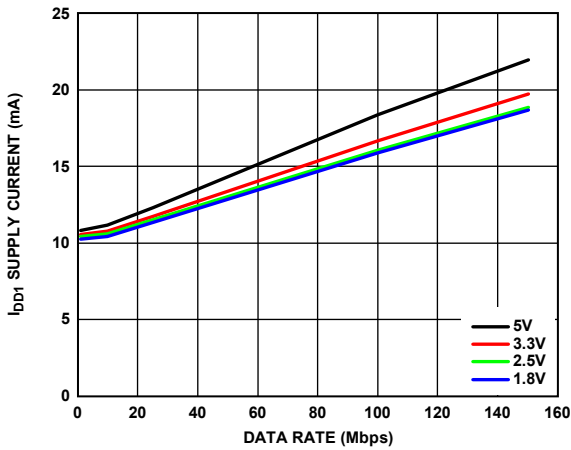


図 10. ADuM160N、各種電圧での I_{DD1} 電源電流とデータ・レートの関係

14532-010

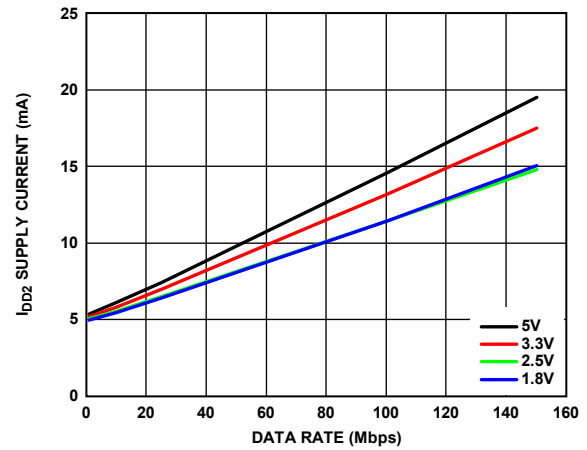


図 13. ADuM161N、各種電圧での I_{DD2} 電源電流とデータ・レートの関係

14532-013

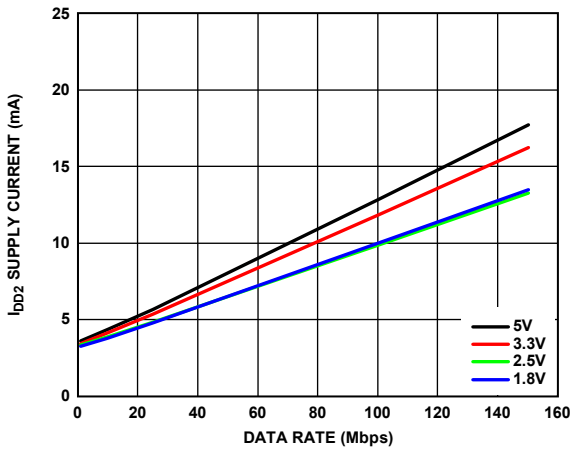


図 11. ADuM160N、各種電圧での I_{DD2} 電源電流とデータ・レートの関係

14532-011

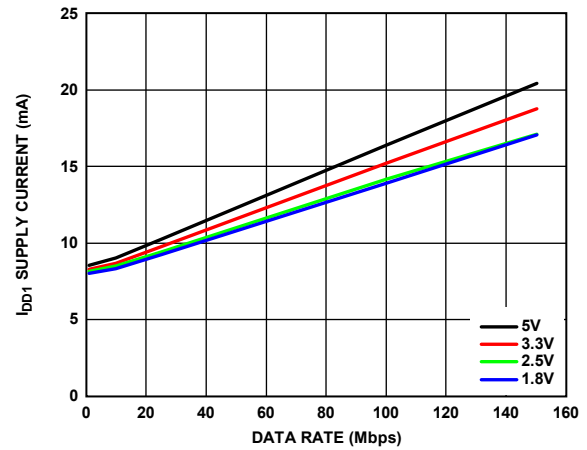


図 14. ADuM162N、各種電圧での I_{DD1} 電源電流とデータ・レートの関係

14532-014

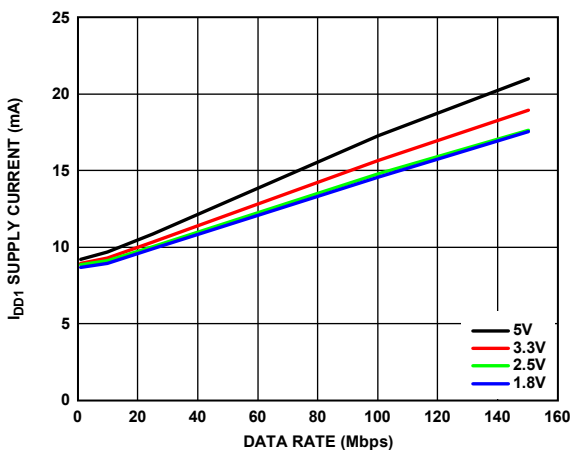


図 12. ADuM161N、各種電圧での I_{DD1} 電源電流とデータ・レートの関係

14532-012

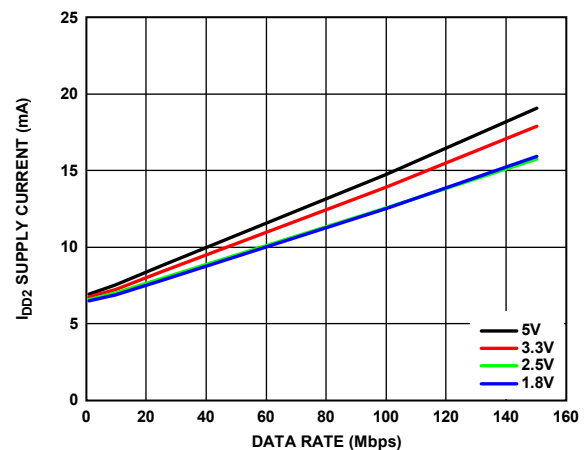


図 15. ADuM162N、各種電圧での I_{DD2} 電源電流とデータ・レートの関係

14532-015

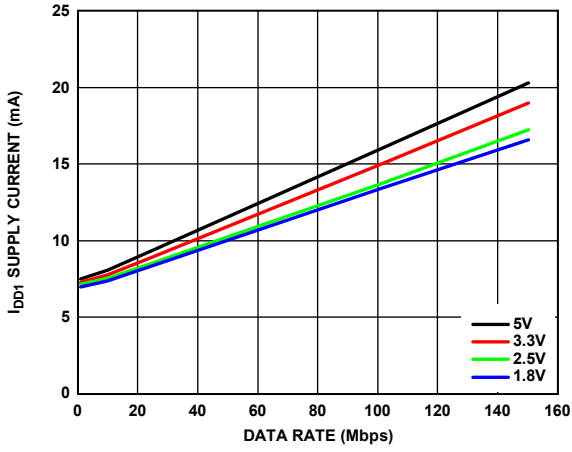


図 16. ADuM163N、各種電圧での I_{DD1} 電源電流とデータ・レートの関係

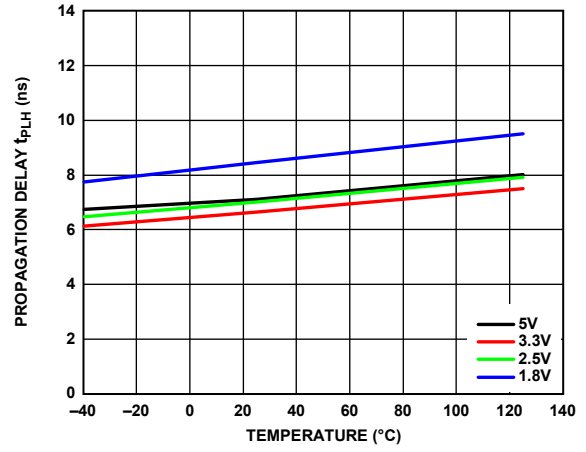


図 18. 各種電圧での伝搬遅延 t_{PLH} と温度の関係

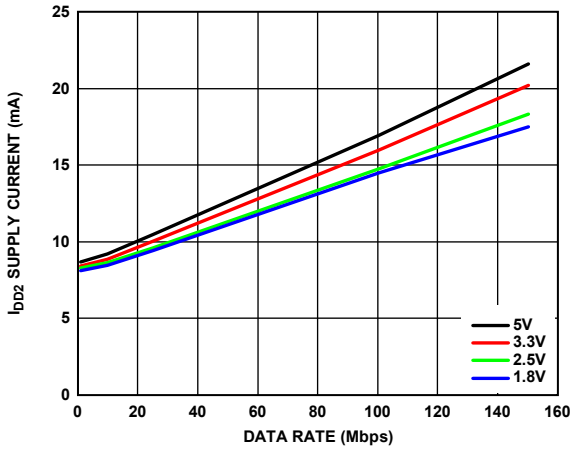


図 17. ADuM163N、各種電圧での I_{DD2} 電源電流とデータ・レートの関係

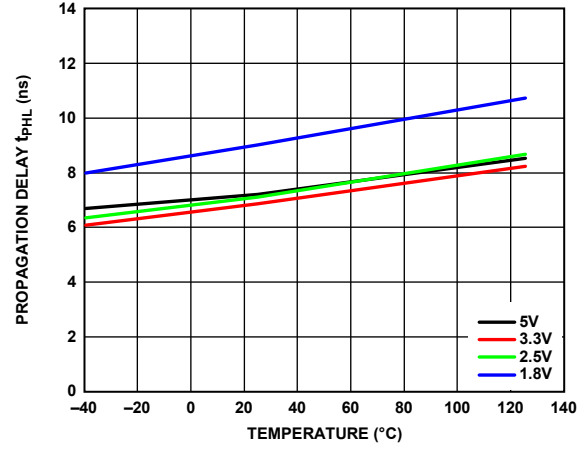


図 19. 各種電圧での伝搬遅延 t_{PHL} と温度の関係

動作原理

ADuM160N/ADuM161N/ADuM162N/ADuM163N は、高周波の搬送波を使用して、ポリイミド絶縁体の層で分離された *iCoupler* チップスケール・トランス・コイルを使用して、絶縁バリアをまたいでデータを転送します。オン/オフ・キーイング (OOK) 技術および図 20 と図 21 に示す差動アーキテクチャにより、ADuM160N/ADuM161N/ADuM162N/ADuM163N では非常に小さい伝搬遅延と高速性が実現されています。内蔵レギュレータと入出力の設計技術により、1.7 V ~ 5.5 V の幅広いロジック電圧と電源電圧に対応し、1.8 V、2.5 V、3.3 V、および 5 V ロジックの電圧変換が可能になります。このアーキテクチャは、高いコモンモード過渡耐圧や、電氣的ノイズ/電磁干渉に対して高い耐性を発揮できるように設計されています。分散スペクトルの OOK 搬送波や他の技術によって、EMI 放射は最小限に抑えられています。

図 20 に、フェイルセーフ出力状態がロー・レベルの ADuM160N0/ADuM161N0/ADuM162N0/ADuM163N0 モデルの波形を示します。この場合、入力状態がロー・レベルになると、搬送波の波形がオフになります。入力側がオフの場合または動作していない場合、フェイルセーフ出力状態により、出力がロー・レベルに設定されます。図 21 に、フェイルセーフ出力状態がハイ・レベルの ADuM160N1/ADuM161N1/ADuM162N1/ADuM163N1 モデルの波形を示します。この場合、入力状態がハイ・レベルになると、搬送波の波形がオフになります。入力側がオフの場合または動作していない場合、フェイルセーフ出力状態により、出力がハイ・レベルに設定されます。フェイルセーフ出力状態がロー・レベルのモデル、またはフェイルセーフ出力状態がハイ・レベルのモデルについては、オーダー・ガイドを参照してください。

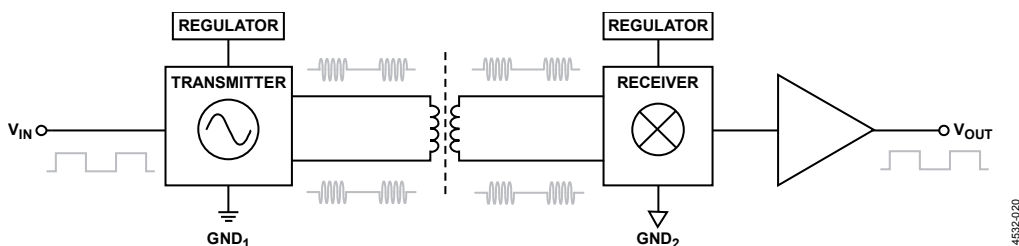


図 20. フェイルセーフ出力状態がロー・レベルの単一チャンネルの動作ブロック図

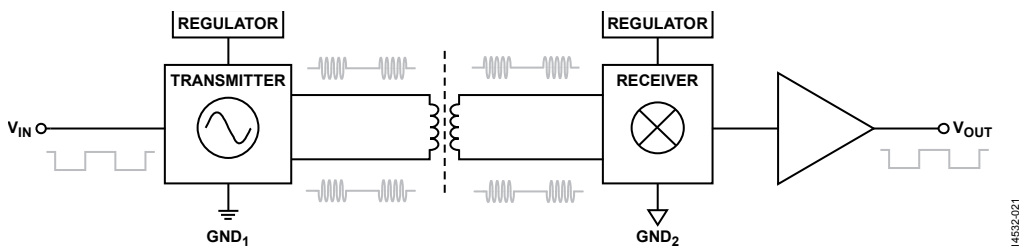


図 21. フェイルセーフ出力状態がハイ・レベルの単一チャンネルの動作ブロック図

アプリケーション情報

PCB レイアウト

ADuM160N/ADuM161N/ADuM162N/ADuM163N のデジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンに電源バイパス・コンデンサを接続することを強く推奨します（図 22 を参照）。 V_{DD1} の場合はピン 1 と 8 の間にバイパス・コンデンサを接続し、 V_{DD2} の場合はピン 9 と 16 の間にバイパス・コンデンサを接続します。推奨されるバイパス・コンデンサ値は $0.01 \mu\text{F}$ ～ $0.1 \mu\text{F}$ です。コンデンサと入力電源ピンの両端間の合計リード長が 10 mm を超えてはいけません。

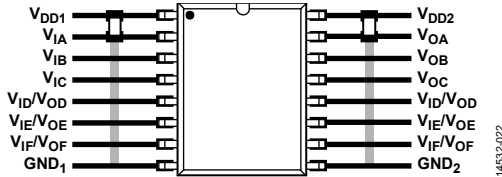


図 22. 推奨されるプリント回路基板レイアウト

高いコモンモード過渡電圧が発生するアプリケーションでは、絶縁バリアをまたぐボードのカップリングを最小限に抑えてください。さらに、すべてのカップリングがデバイス側のすべてのピンで均等に発生するように基板レイアウトを設計する必要があります。この注意を怠ると、ピン間で生じる電位差がデバイスの絶対最大定格を超えるので、ラッチアップまたは恒久的な損傷につながります。

基板のレイアウト・ガイドラインについては、AN-1109 アプリケーション・ノートを参照してください。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通するのに要する時間を表すパラメータです。ロジック 0 出力への伝搬遅延は、ロジック 1 出力への伝搬遅延と異なることがあります。

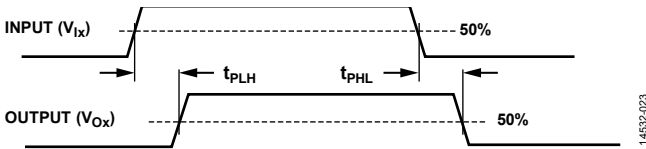


図 23. 伝搬遅延パラメータ

パルス幅歪みは、これら 2 つの伝搬遅延間の最大差に相当し、入力信号のタイミングが出力信号で再現される精度を表します。

チャンネル間マッチングは、ADuM160N/ADuM161N/ADuM162N/ADuM163N の単一コンポーネント内にある複数のチャンネル間における伝播遅延差の最大値です。

伝播遅延スキューは、同じ条件下で動作する ADuM160N/ADuM161N/ADuM162N/ADuM163N の複数のコンポーネント間における伝播遅延差の最大値です。

ジッタの計測

図 24 に、ADuM160N/ADuM161N/ADuM162N/ADuM163N のアイ・ダイアグラムを示します。Agilent 81110A パルス・パターン発生器を 150 Mbps で使用し、5 V 電源用の擬似ランダム・ビット・シーケンス (PRBS)、 $2(n-1)$ 、 $n=14$ で計測しました。Tektronix モデル 5104B オシロスコープを 1 GHz、10 GSPS で使用してジッタを計測し、DPOJET ジッタおよびアイ・ダイアグラムの解析ツールを使用しました。結果には、ADuM160N/ADuM161N/ADuM162N/ADuM163N の代表的な 490 ps p-p ジッタ計測値を示しました。

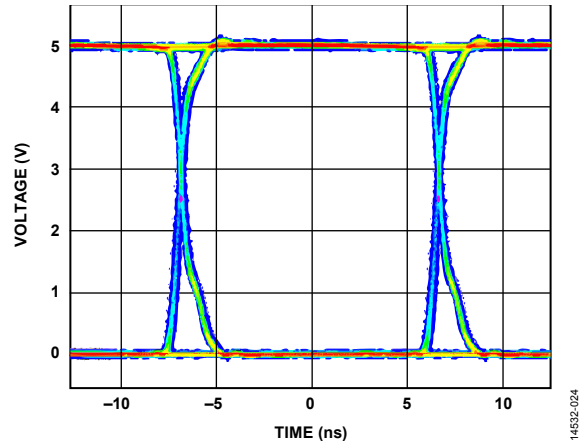


図 24. ADuM160N/ADuM161N/ADuM162N/ADuM163N のアイ・ダイアグラム

絶縁寿命

絶縁構造は種類に関係なく、長時間にわたり電圧ストレスを受けると、最終的に劣化します。絶縁性能の低下率は、絶縁体に加える電圧波形の特性だけでなく、材料や材料の境界面にも依存します。

絶縁劣化には、空気にさらされる表面に沿った破壊と絶縁疲労の注目すべき 2 つのタイプがあります。表面破壊は表面トラッキング現象で、システム・レベルの規格に定められた沿面距離条件で主に決定されます。絶縁疲労は、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長時間にわたり絶縁低下が生じる現象です。

表面トラッキング

表面トラッキングは電気安全規格で規定されています。また、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離が定められています。安全性規制当局では、部品の表面絶縁について特性評価テストを行い、部品をさまざまな材料グループに分類しています。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、小さい沿面距離で十分な寿命を実現できます。特定の動作電圧と材料グループの最小沿面距離は、各システム・レベル規格で定められていて、絶縁両端の rms 合計電圧、汚染度、材料グループに基づいています。ADuM160N/ADuM161N/ADuM162N/ADuM163N アイソレータの材料グループと沿面距離を表 9 に示します。

絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であると確認することが重要です。アイソレータがサポートしている耐疲労動作電圧が、耐トラッキング動作電圧と異なることがあります。トラッキングに該当する動作電圧は、ほとんどの規格で仕様規定されています。

テストとモデリングにより、長期間にわたる性能低下の主な要因は、増分型損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体のストレスは、DC ストレスや、AC 成分の時間とともに変化する電圧ストレスに大別できます。前者の場合は変位電流が存在しないため、ほとんど疲労が発生しませんが、後者の場合は疲労が発生します。

通常、認定文書に記載されている定格は、60 Hz のサイン波ストレスに基づいています。このストレスには、ライン電圧からの絶縁が反映されることが理由です。ただし、多くの実用的なアプリケーションでは、60 Hz の AC とバリアをまたぐ DC が組み合わせられています（式 1 を参照）。ストレスの AC 部分のみが疲労を発生するため、AC rms 電圧を求めるように式を変形できます（式 2 を参照）。これらの製品で使用されるポリイミド材料での絶縁疲労については、AC rms 電圧で製品寿命が決まります。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで

$V_{AC\ RMS}$ は、動作電圧の時間とともに変化する成分。

V_{RMS} は、合計 rms 動作電圧。

V_{DC} は、動作電圧の DC オフセット。

計算とパラメータ使用の例

一般的な電力変換アプリケーションの例を以下に示します。絶縁バリアの一方に 240 V ac rms のライン電圧、他方に 400 V dc のバス電圧が存在するとします。デバイスの沿面距離と寿命を判断するために臨界電圧を求める場合は、図 25 と以降の数式を参照してください。

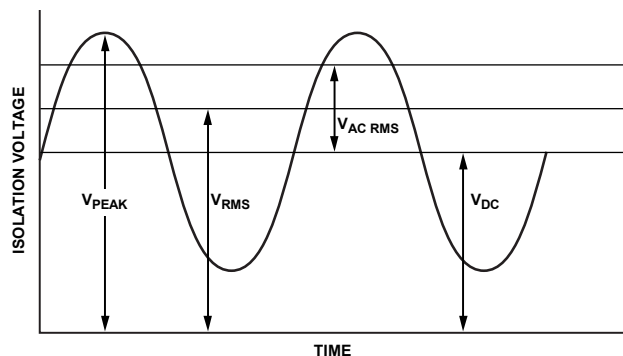


図 25. 臨界電圧の例

式 1 のバリアの両端にかかる動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\text{ V}$$

この V_{RMS} は、システムの規格で要求されている沿面距離を求める際に、材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が十分であるかどうか判断するには、動作電圧の時間とともに変化する成分を求めます。AC rms 電圧を求めるには、式 2 を使用します。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

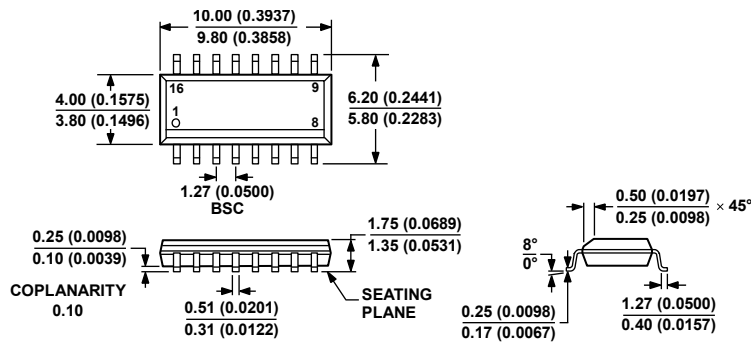
$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240\text{ V rms}$$

この場合、AC rms は 240 V rms のライン電圧です。この計算は、波形がサイン波でない場合はさらにあてはまりません。この値を表 15 の動作電圧の制限値と比較して期待寿命を確認すると、60 Hz サイン波の値よりも低く、50 年の運用寿命規定を十分に満たしていることがわかります。

表 15 の DC 動作電圧の制限値は、IEC 60664-1 で規定されているパッケージの沿面距離により定められています。この値は、特定のシステム・レベル規格と異なる場合があります。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AC
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

060606-A

図 26. 16 ピン、標準スモール・アウトライン・パッケージ [SOIC_N]
 ナロー・ボディ (R-16)
 寸法単位: mm (括弧内はインチ)

オーダー・ガイド

Model ¹	Temperature Range	No. of Inputs, V _{DD1} Side	No. of Inputs, V _{DD2} Side	Withstand Voltage Rating (kV rms)	Fail-Safe Output State	Package Description	Package Option
ADuM160N1BRZ	-40°C to +125°C	6	0	3.0	High	16-Lead SOIC_N	R-16
ADuM160N1BRZ-RL7	-40°C to +125°C	6	0	3.0	High	16-Lead SOIC_N, 7" Reel	R-16
ADuM160N0BRZ	-40°C to +125°C	6	0	3.0	Low	16-Lead SOIC_N	R-16
ADuM160N0BRZ-RL7	-40°C to +125°C	6	0	3.0	Low	16-Lead SOIC_N, 7" Reel	R-16
ADuM161N1BRZ	-40°C to +125°C	5	1	3.0	High	16-Lead SOIC_N	R-16
ADuM161N1BRZ-RL7	-40°C to +125°C	5	1	3.0	High	16-Lead SOIC_N, 7" Reel	R-16
ADuM161N0BRZ	-40°C to +125°C	5	1	3.0	Low	16-Lead SOIC_N	R-16
ADuM161N0BRZ-RL7	-40°C to +125°C	5	1	3.0	Low	16-Lead SOIC_N, 7" Reel	R-16
ADuM162N1BRZ	-40°C to +125°C	4	2	3.0	High	16-Lead SOIC_N	R-16
ADuM162N1BRZ-RL7	-40°C to +125°C	4	2	3.0	High	16-Lead SOIC_N, 7" Reel	R-16
ADuM162N0BRZ	-40°C to +125°C	4	2	3.0	Low	16-Lead SOIC_N	R-16
ADuM162N0BRZ-RL7	-40°C to +125°C	4	2	3.0	Low	16-Lead SOIC_N, 7" Reel	R-16
ADuM163N1BRZ	-40°C to +125°C	3	3	3.0	High	16-Lead SOIC_N	R-16
ADuM163N1BRZ-RL7	-40°C to +125°C	3	3	3.0	High	16-Lead SOIC_N, 7" Reel	R-16
ADuM163N0BRZ	-40°C to +125°C	3	3	3.0	Low	16-Lead SOIC_N	R-16
ADuM163N0BRZ-RL7	-40°C to +125°C	3	3	3.0	Low	16-Lead SOIC_N, 7" Reel	R-16

¹ Z = RoHS 準拠製品。