

特長

RoHS 準拠の 16 ピン SOIC ワイド・ボディ・パッケージを採用

低消費電力動作: 5 V

0 Mbps~2 Mbps でチャンネルあたり最大 1.3 mA

10 Mbps でチャンネルあたり最大 3.3 mA

高温動作: 105°C

最大データレート: 10 Mbps (NRZ)

デフォルト出力状態: ロー・レベル

安全性規制の認定

UL 認定: 2,500 V rms 1 時間の UL 1577 規格

アプリケーション

汎用の単方向マルチチャンネル・アイソレーション

概要

ADuM1510¹は、アナログ・デバイセズの*iCoupler*[®]技術を採用した単方向 5 チャンネル・アイソレータです。これらのアイソレーション・デバイスは、高速CMOS技術と中空コアを使ったモノリシック・トランス技術の組み合わせにより、フォトカプラ・デバイスなどの置換品より優れた性能特性を提供します。

iCoupler デバイスは LED とフォトダイオードを使用せずに、一般にフォトカプラに起因して生ずるデザインの難しさを解消します。一般的なフォトカプラは、不確かな電流変換比すなわち伝達関数が非線形である問題を持っており、温度と寿命の影響はシンプルな *iCoupler* デジタル・インターフェースと安定な性能特性により除去されます。これらの *iCoupler* 製品により、外付けのドライバとその他のディスクリット部品は不要になります。さらに、*iCoupler* デバイスは同等の信号データレートで動作した場合、フォトカプラの消費電力の 1/10~1/6 で動作します。

ADuM1510 アイソレータは、最大 10 Mbps のデータレートをサポートする 5 チャンネルの独立なアイソレーション・チャンネル提供します。ADuM1510 は両側とも 4.5 V~5.5 V の電源電圧で動作します。ADuM1510 アイソレータは、他のフォトカプラとは異なり、入力ロジックに変化がない場合およびパワーアップ/パワーダウン時に DC を正確に維持する特許取得済みのリフレッシュ機能を持っています。

¹ 米国特許 5,952,849、6,873,065、7,075,329 により保護されています。

機能ブロック図

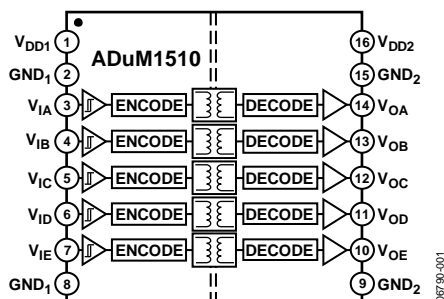


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007–2008 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長.....	1	ESD の注意.....	5
アプリケーション.....	1	ピン配置およびピン機能説明.....	6
概要.....	1	代表的な性能特性.....	7
機能ブロック図.....	1	アプリケーション情報.....	8
改訂履歴.....	2	PCB レイアウト.....	8
仕様.....	3	伝搬遅延に関するパラメータ.....	8
電気的特性—5 V 動作.....	3	DC 精度と磁界耐性.....	8
パッケージ特性.....	4	消費電力.....	9
適用規格.....	4	パワーアップ/パワーダウンの注意事項.....	9
絶縁および安全性関連の仕様.....	4	外形寸法.....	11
推奨動作条件.....	4	オーダー・ガイド.....	11
絶対最大定格.....	5		

改訂履歴

9/08—Rev. Sp0 to Rev. A

6/07—Revision Sp0: Initial Version

仕様

電気的特性—5 V動作

すべての電圧はそれぞれのグラウンドを基準とします。特に指定のない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 。すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 値は $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{ V}$ で規定します。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Input Quiescent Supply Current per Channel	$I_{DD1(Q)}$		0.40	0.80	mA	
Output Quiescent Supply Current per Channel	$I_{DDO(Q)}$		0.30	0.50	mA	
Total Supply Current, Five Channels ¹						
V_{DD1} Supply Current, Quiescent	$I_{DD1(Q)}$		2.0	4.0	mA	$V_{IA} = V_{IB} = V_{IC} = V_{ID} = V_{IE} = 0\text{ V}$
V_{DD2} Supply Current, Quiescent	$I_{DD2(Q)}$		1.5	2.5	mA	$V_{IA} = V_{IB} = V_{IC} = V_{ID} = V_{IE} = 0\text{ V}$
V_{DD1} Supply Current, 10 Mbps Data Rate	$I_{DD1(10)}$		7.5	12.0	mA	5 MHz logic signal frequency
V_{DD2} Supply Current, 10 Mbps Data Rate	$I_{DD2(10)}$		3.1	4.5	mA	5 MHz logic signal frequency
Input Currents	$I_{IA}, I_{IB}, I_{IC}, I_{ID}, I_{IE}$	-10	+1	+10	μA	$V_{IA}, V_{IB}, V_{IC}, V_{ID}, V_{IE} \geq 0\text{ V}$
Logic High Input Threshold	V_{IH}			2.0	V	
Logic Low Input Threshold	V_{IL}	0.8			V	
Logic High Output Voltages	$V_{OAH}, V_{OBH}, V_{OCH}, V_{ODH}, V_{OEH}$	$V_{DD2} - 0.4$	4.8		V	$I_{Ox} = -4\text{ mA}, V_{Ix} = V_{IH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}, V_{OCL}, V_{ODL}, V_{OEL}$		0.2	0.4	V	$I_{Ox} = +4\text{ mA}, V_{Ix} = V_{IL}$
SWITCHING SPECIFICATIONS						
Minimum Pulse Width ²	PW			100	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Maximum Data Rate ³		10			Mbps	$C_L = 15\text{ pF}$, CMOS signal levels
Propagation Delay ⁴	t_{PHL}, t_{PLH}	20	30	50	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ ⁴	PWD			5	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Change vs. Temperature			5		ps/ $^\circ\text{C}$	$C_L = 15\text{ pF}$, CMOS signal levels
Propagation Delay Skew ⁵	t_{PSK}			30	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Channel-to-Channel Matching ⁶	t_{PSKCD}			5	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		2.5		ns	$C_L = 15\text{ pF}$, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output ⁷	$ CM_H $	25	35		kV/ μs	$V_{Ix} = V_{DD1}/V_{DD2}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output ⁷	$ CM_L $	25	35		kV/ μs	$V_{Ix} = 0\text{ V}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
Refresh Rate	f_r		1.0		Mbps	
Input Dynamic Supply Current per Channel ⁸	$I_{DDI(D)}$		0.122		mA/Mbps	
Output Dynamic Supply Current per Channel ⁸	$I_{DDO(D)}$		0.036		mA/Mbps	

¹ 電源電流値は、同一データレートで動作する全 5 チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータレートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算することができます。無負荷状態または有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図 4～図 6 を参照してください。図 7 と図 8 に、ADuM1510 のチャンネル構成に対するデータレートの関数としての I_{DD1} と I_{DD2} の合計電源電流を示します。

² 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。最小パルス幅を下回る動作は推奨できません。

³ 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

⁴ 伝搬遅延 t_{PHL} は、 V_{Ix} 信号の立下がりエッジの 50% レベルから V_{Ox} 信号の立下がりエッジの 50% レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{Ix} 信号の立上がりエッジの 50% レベルから V_{Ox} 信号の立上がりエッジの 50% レベルまでを測定した値です。

⁵ t_{PSK} は、 t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

⁶ チャンネル間マッチングは、同じデバイス内の 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

⁷ CM_H は、 $V_{Ox} > 0.8 V_{DD2}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。 CM_L は $V_{Ox} < 0.8\text{ V}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、同相モード電圧の立上がりりと立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

⁸ ダイナミック電源電流は、信号データレートを 1 Mbps 増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図 4～図 6 を参照してください。与えられたデータレートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

パッケージ特性

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input-to-Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input-to-Output) ²	C _{I-O}		2.2		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction-to-Case Thermal Resistance, Side 1	θ _{JCI}		33		°C/W	Thermocouple located at center of package underside
IC Junction-to-Case Thermal Resistance, Side 2	θ _{JCO}		28		°C/W	Thermocouple located at center of package underside

¹ デバイスを 2 端子デバイスと見なします。すなわち、ピン 1～ピン 8 を相互に接続し、ピン 9～ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間。

適用規格

ADuM1510 は製品リリース時に表 3. に示す機関から認定を受けています。

表 3.

UL
Recognized under UL 1577 Component Recognition Program ¹
Double/reinforced insulation, 2500 V rms isolation voltage
File E214100

¹ UL1577 に従い、絶縁テスト電圧 3,000 V rms 以上を 1 秒間加えて各 ADuM1510 を確認テストします(リーク電流検出規定値 = 5μA)。

絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		2500	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	7.7 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8.1 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)
Maximum Working Voltage Compatible with 50 Years Service Life	V _{IORM}	565	V peak	Continuous peak voltage across the isolation barrier

推奨動作条件

すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、DC精度と磁界耐性のセクションを参照してください。

表 5.

Parameter	Symbol	Min	Typ	Max	Unit
Operating Temperature	T _A	-40		+105	°C
Supply Voltages	V _{DD1} , V _{DD2}	4.5		5.5	V
Input Signal Rise and Fall Times				1.0	ms

絶対最大定格

特に指定がない限り、周囲温度 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
Storage Temperature (T_{ST}) Range	-65°C to $+150^\circ\text{C}$
Ambient Operating Temperature (T_A) Range	-40°C to $+105^\circ\text{C}$
Supply Voltages ¹ (V_{DD1} , V_{DD2})	-0.5 V to $+7.0\text{ V}$
Input Voltages ¹ (V_{IA} , V_{IB} , V_{IC} , V_{ID} , V_{IE})	-0.5 V to $V_{DD1} + 0.5\text{ V}$
Output Voltages ¹ (V_{OA} , V_{OB} , V_{OC} , V_{OD} , V_{OE})	-0.5 V to $V_{DD0} + 0.5\text{ V}$
Average Output Current per Pin ²	
Side 1 (I_{O1})	-18 mA to $+18\text{ mA}$
Side 2 (I_{O2})	-22 mA to $+22\text{ mA}$
Common-Mode Transients ³	$-100\text{ kV}/\mu\text{s}$ to $+100\text{ kV}/\mu\text{s}$

¹すべての電圧はそれぞれのグラウンドを基準とします。

²種々の温度に対する最大定格電流値については図 3を参照してください。

³絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

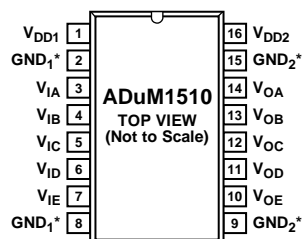
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND₂ IS RECOMMENDED.

06750-002

図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	V _{DD1}	アイソレータ・サイド 1 の電源電圧、4.5 V～5.5 V。
2、8	GND ₁	グラウンド 1。アイソレータ・サイド 1 のグラウンド基準。ピン 2 とピン 8 は内部で接続されています。両ピンを GND ₁ へ接続することが推奨されます。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{IC}	ロジック入力 C。
6	V _{ID}	ロジック入力 D。
7	V _{IE}	ロジック入力 E。
9、15	GND ₂	グラウンド 2。アイソレータ・サイド 2 のグラウンド基準。ピン 9 とピン 15 は内部で接続されています。両ピンを GND ₂ へ接続することが推奨されます。
10	V _{OE}	ロジック出力 E。
11	V _{OD}	ロジック出力 D。
12	V _{OC}	ロジック出力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。
16	V _{DD2}	アイソレータ・サイド 2 の電源電圧、4.5 V～5.5 V。

表 8. 真理値表(正論理)

V _{IX} Input ¹	V _{DD1} State	V _{DD2} State	V _{Ox} Output ¹	Description
H	Powered	Powered	H	Normal operation, data is high.
L	Powered	Powered	L	Normal operation, data is low.
X	Unpowered	Powered	L	Input unpowered. Outputs return to input state within 1 μs of V _{DD1} power restoration. See the Power-Up/Power-Down Considerations section for more details.
X	Powered	Unpowered	Z	Output unpowered. Output pins are in high impedance state. Outputs return to input state within 1 μs of V _{DD2} power restoration. See the Power-Up/Power-Down Considerations section for more details.

¹ V_{IX} と V_{Ox} は、それぞれチャンネル(A、B、C、D、E)の入力信号と出力信号を表します。

代表的な性能特性

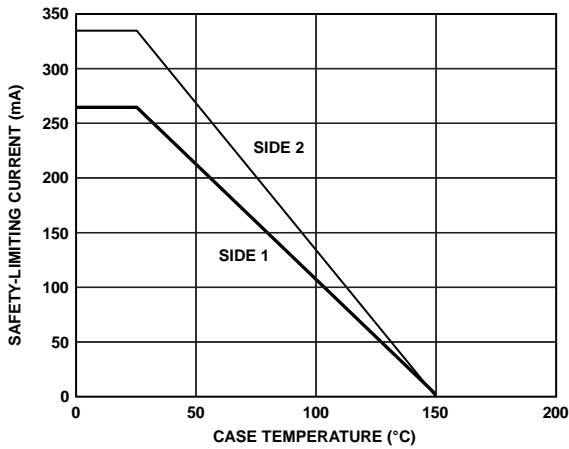


図 3. 熱ディレーティング・カーブ
DIN V VDE V 0884-10 による安全な規定値の
ケース温度に対する依存性

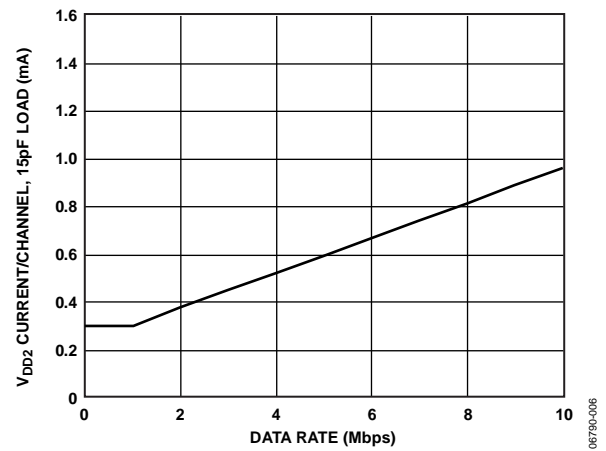


図 6. データレート対チャンネル当たりの出力電源電流
(15 pF 出力負荷)

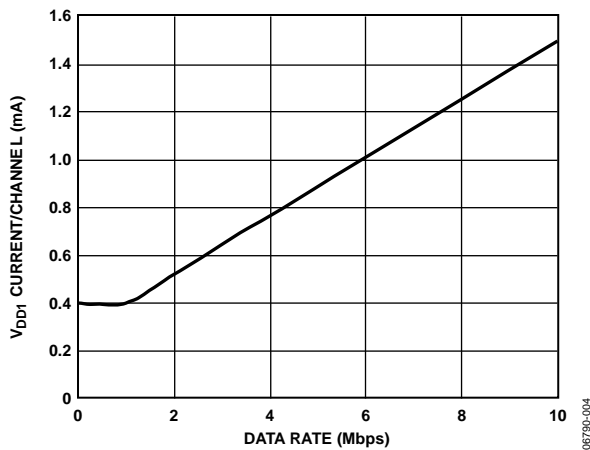


図 4. データレート対チャンネル当たりの入力電源電流

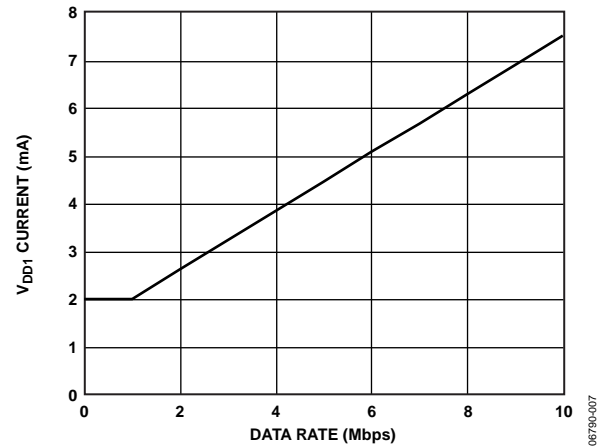


図 7. データレート対総合 V_{DD1} 電源電流

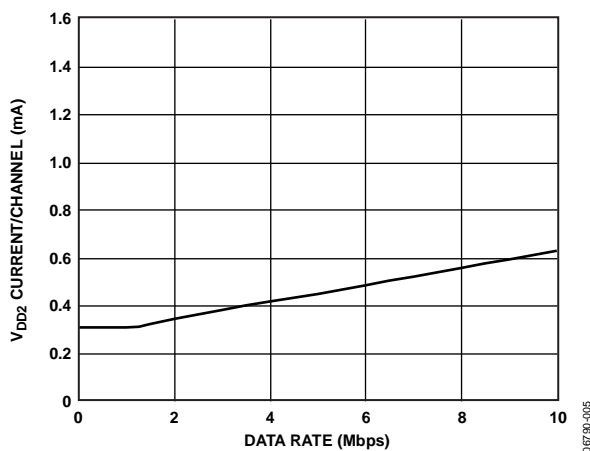


図 5. データレート対チャンネル当たりの出力電源電流
(無出力負荷)

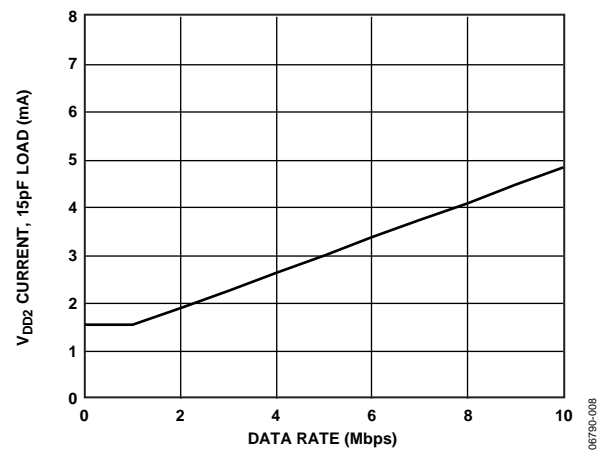


図 8. データレート対総合 V_{DD2} 電源電流
(15 pF 出力負荷)

アプリケーション情報

PCBレイアウト

ADuM1510 デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンにはバイパス・コンデンサを接続することが推奨されます(図 9参照)。バイパス・コンデンサはV_{DD1}についてはピン 1 とピン 2 の間に、V_{DD2}についてはピン 15 とピン 16 の間に、それぞれ接続するのが便利です。コンデンサの値は、0.01μF～0.1μFとする必要があります。コンデンサの両端と入力電源ピンとの間の合計リード長は 10 mm以下にする必要があります。また、パッケージ側のグラウンド・ピン対がパッケージの近くに接続されていない限り、ピン 1 とピン 8 の間およびピン 9 とピン 16 の間のバイパスも行う必要があります。

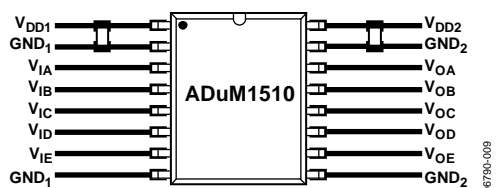


図 9. 推奨 PCB レイアウト

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号が部品を通過するのに要する時間を表すパラメータです。ロジック・ロー・レベル出力までの伝搬遅延は、ロジック・ハイ・レベル出力までの伝搬遅延と異なることがあります。

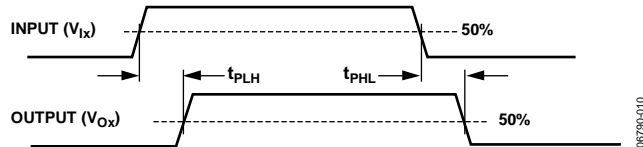


図 10. 伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの遅延時間の間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの ADuM1510 デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM1510 デバイス間での伝搬遅延差の最大値を表します。

DC精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。約 1 μs 以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力での DC を正常に維持します。

デコーダが約 5μs間以上このパルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態(表 8参照)にされます。

このデバイスの磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。次の解析によりこのような条件が決定されます。ADuM1510 の 3 V 動作はこの製品ファミリー内の全製品で最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \Sigma \pi r_n^2 ; n = 1, 2, \dots N$$

ここで、

β は磁束密度(Gauss)。

r_n = 受信側コイル巻き数 n 回目の半径(cm)

N = 受信側コイルの巻き数

ADuM1510 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、最大許容磁界は図 11のように計算されます。

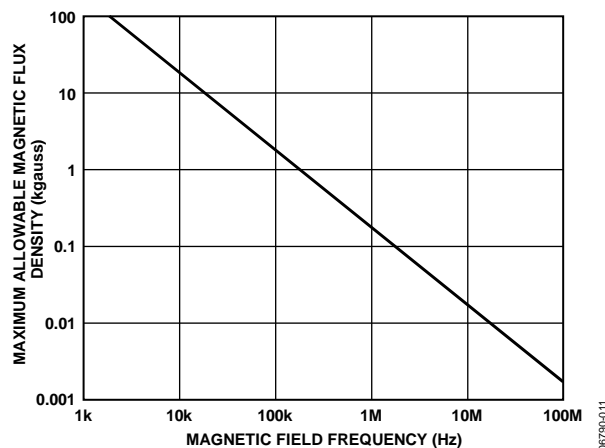


図 11. 最大許容外部磁束密度

例えば、磁界周波数= 1 MHz で、最大許容磁界= 0.2 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。この電圧は検出スレッシュホールドの約 50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM1510 トランスから与えられた距離だけ離れた特定の電流値に対応します。図 12 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図 12 から読み取れるように、ADuM1510 の耐性は極めて高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM1510 から 5 mm の距離まで近づける必要があります。

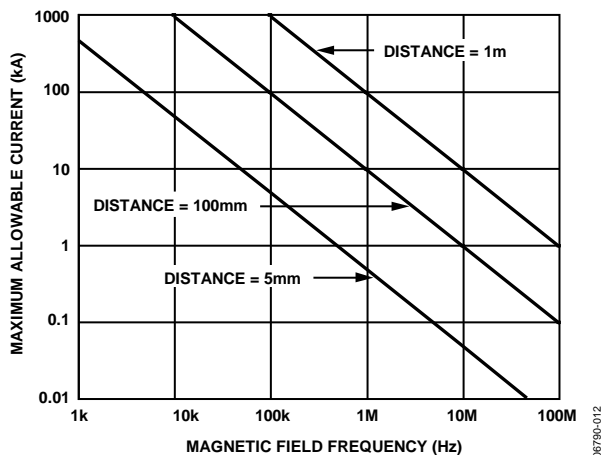


図 12. 様々な電流値と ADuM1510 までの距離に対する最大許容電流

強い磁界と高周波が合わさると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

消費電力

ADuM1510 アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(Q)} \quad f \leq 0.5f_r$$

$$I_{DD1} = I_{DD1(D)} \times (2f - f_r) + I_{DD1(Q)} \quad f > 0.5f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$

$$I_{DDO} = (I_{DDO(D)} + C_L V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f \leq 0.5f_r$$

ここで、

$I_{DD1(Q)}$ と $I_{DDO(Q)}$ は、それぞれ指定された入力静止電源電流と出力静止電源電流です (mA)。

$I_{DD1(D)}$ と $I_{DDO(D)}$ は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です (mA/Mbps)。

C_L は出力負荷容量 (pF)。

V_{DDO} = 出力電源電圧 (V)

f = 入力ロジック信号周波数 (MHz、入力データレートの 1/2、NRZ シグナリング)

f_r = 入力ステージ・リフレッシュ・レート (Mbps)。

I_{DD1} と I_{DD2} の電源電流を計算するために、 I_{DD1} と I_{DD2} に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。図 4 と図 5 に、無負荷状態の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 6 に、15 pF の出力条件に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 7 と図 8 に、ADuM1510 製品に対するデータレートの関数としての I_{DD1} と I_{DD2} の合計電源電流を示します。

パワーアップ/パワーダウンの注意事項

ADuM1510 がアイソレーション障壁の両側に別々の電源を持っているものとする、各電源電圧に対するパワーアップ特性とパワーダウン特性を個別に考慮する必要があります。

表 8 に示すように、 V_{DD1} 入力電源がオフのとき、ADuM1510 はデフォルトのロー・レベルを出力します。 V_{DD1} 電源が上昇または低下すると、チャンネル出力はデフォルト状態からそれぞれの信号に一致する状態へ(またはその逆向き)に変化します(図 13 と図 14 参照)。

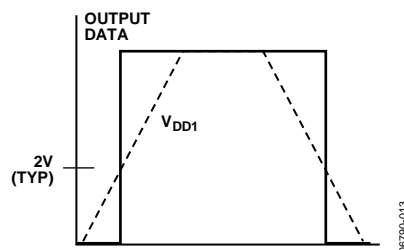


図 13. V_{DD1} パワーアップ/パワーダウン特性
入力データ = ハイ・レベル

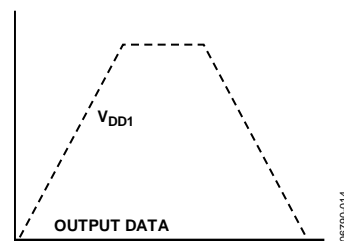


図 14. V_{DD1} パワーアップ/パワーダウン特性
入力データ = ロー・レベル

V_{DD1} がスレッシュホールドを超えてリフレッシュ回路を起動すると(約 2 V)、次のリフレッシュ・パルスのタイミングに応じて、出力が正しい状態に更新される前に最大 2 μ s の遅延が発生することがあります。 V_{DD1} がオン状態から低下して 2 V のスレッシュホールドを下回ると、出力がデフォルトのロー・レベル状態になる前に最大 5 μ s の遅延が発生することがあります。この遅延は、入力のウォッチドッグ・タイマ回路が出力デフォルト状態を開始する前に待つ時間としてデザインされた時間に該当します。

V_{DD2} 出力電源が、ADuM1510 出力トランジスタのバイアスされているレベル (約 1 V) を下回ると、出力はハイ・インピーダンス状態になります。

V_{DD2} が約 2 V を超えると、各チャンネル出力はそれぞれの入力状態に一致する状態になります。 V_{DD2} が 1 V ~ 2 V では、出力はロー・レベルになります。この動作を図 15 と図 16 に示します。

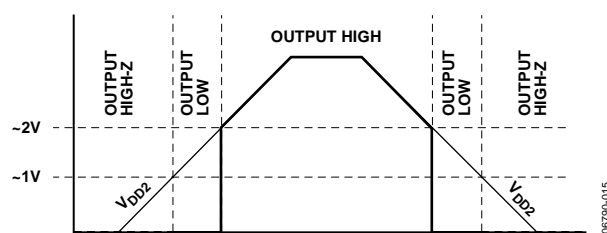


図 15. V_{DD2} パワーアップ/パワーダウン特性、入力データ = ハイ・レベル

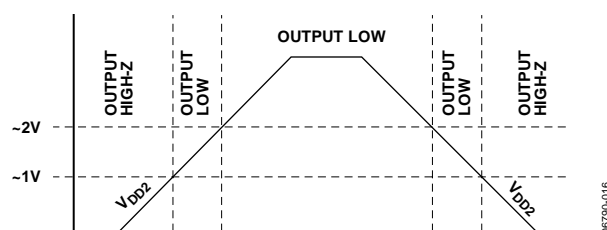
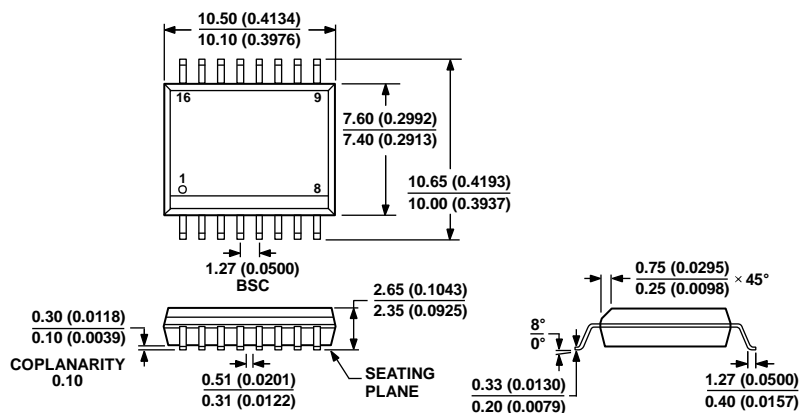


図 16. V_{DD2} パワーアップ/パワーダウン特性、入力データ = ロー・レベル

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

図 17.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
 ワイドボディ(RW-16)
 寸法: mm (インチ)

オーダー・ガイド

Model	Number of Inputs, V _{DD1} Side	Number of Inputs, V _{DD2} Side	Maximum Data Rate	Maximum Propagation Delay, 5 V	Maximum Pulse Width Distortion	Temperature Range	Package Description	Package Option
ADuM1510BRWZ1	5	0	10 Mbps	50 ns	5 ns	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM1510BRWZ-RL ¹	5	0	10 Mbps	50 ns	5 ns	-40°C to +105°C	16-Lead SOIC_W, 13" Tape and Reel	RW-16

¹ Z = RoHS 準拠製品。