

**特長**

**超低消費電力動作**

3.3V (typ) 動作

リフレッシュ・イネーブル時のチャンネル当たりの

静止電源電流 : 5.6 $\mu$ A

リフレッシュ・ディスエーブル時のチャンネル当たりの

静止時電流 : 0.3 $\mu$ A

チャンネル当たりの動作時電流 : 148 $\mu$ A/Mbps (typ)

2.5 V (typ) 動作

1チャンネル零入力電流 3.1 $\mu$ A、リフレッシュ対応

リフレッシュ・ディスエーブル時のチャンネル当たりの

静止時電流 : 0.1 $\mu$ A

チャンネル当たりの動作時電流 : 117 $\mu$ A/Mbps (typ)

小型 16 ピン QSOP および 20 ピン SSOP

双方向通信

最大データレート (NRZ) : 2 Mbps

高温動作 : 125°C

高いコモン・モード過渡耐性: 25 kV/ $\mu$ s 以上

安全性と規制に対する認定

UL 1577 部品承認プログラム (申請中)

UL1577 準拠で 2500 Vrms 1 分間、QSOP パッケージ

UL1577 準拠で 3750V rms 1 分間、SSOP パッケージ

CSA Component Acceptance Notice 5A (申請中)

VDE 適合性認定 (申請中)

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12

$V_{IORM} = 560 V_{PEAK}$  QSOP パッケージ

$V_{IORM} = 849 V_{PEAK}$  QSOP パッケージ

**アプリケーション**

汎用低消費電力マルチチャンネル・アイソレーション

1MHz、低消費電力 SPI インタフェース

4 mA~20 mA のループ・プロセス制御

**概要**

ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447<sup>1</sup> は、アナログ・デバイセズの、iCoupler<sup>®</sup> 技術を採用したマイクロパワーの4チャンネル・デジタル・アイソレータです。このアイソレーション・デバイスは、高速 CMOS 技術と空芯コアを使ったモノリシック・トランス技術の組み合わせによって、フォトカプラー・デバイスなどの置換品より優れた性能特性を提供します。図 3 に示すように、標準動作モードでは、 $EN_x = 0$  (内部リフレッシュ・イネーブル) のとき、チャンネルあたりの電流は 10 $\mu$ A 未満です。 $EN_x = 1$  (内部リフレッシュ・ディスエーブル) のときは、チャンネルあたりの電流は 1 $\mu$ A 未満に低下します。

ADuM1440/ADuM1441/ADuM1442/ADuM1445/ ADuM1446/ADuM1447 は、クロウドの 25kV デジタル・アイソレーション・ファミリーです。

<sup>1</sup> 米国特許 5,952,849; 6,873,065; 7,075,329; 6,262,600. により保護されています。その他の特許は申請中です。

Rev. A

**機能ブロック図**

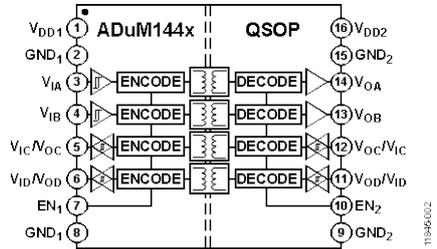


図 1.

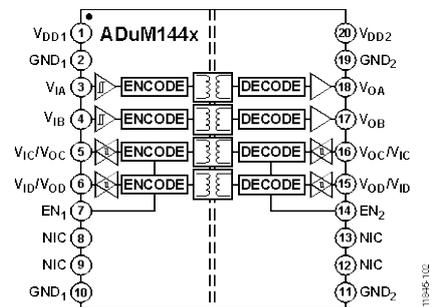


図 2

このデバイスは、小型 16 ピン QSOP および 20 ピン SSOP パッケージで、ワイド・ボディー SOIC パッケージのアイソレータ製品と比べて約 70% の基板スペースを削減します。また、高アイソレーション電圧に対応し、UL や CSA 規格 (申請中) などの規定要件を満たします。省スペースに加えて、ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 は、2.25V の低電圧でも動作します。

低消費電力にもかかわらず、ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 のモデルはすべて、パルス幅直みが 8ns 未満と小さく、デバイスを外部ノイズから保護する入力グリッチ・フィルタを内蔵しています。

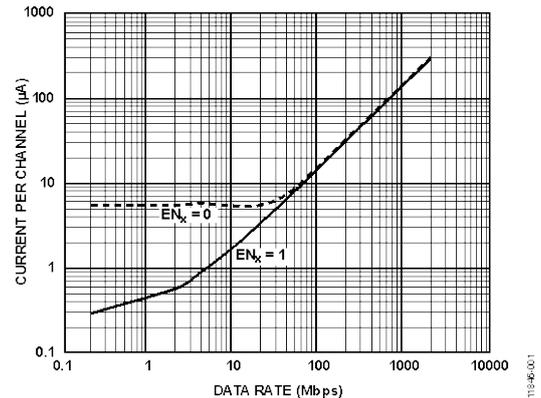


図 3. チャンネル当たりの合計電源電流 ( $V_{DDx} = 3.3V$ )

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更されることがあります。アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗黙的に許諾するものではありません。商標および登録商標は、それぞれの所有者の財産です。

©2015 Analog Devices, Inc. All rights reserved.

## 目次

特長 .....	1	絶対最大定格 .....	12
アプリケーション .....	1	ESD の注意 .....	12
概要 .....	1	ピンの配置および機能の説明 .....	13
機能ブロック図 .....	1	代表的な性能特性 .....	16
改訂履歴 .....	2	アプリケーション情報 .....	19
仕様 .....	3	プリント回路基板 (PCB) レイアウト .....	19
電気的特性—3.3V 動作時 .....	3	伝搬遅延に関するパラメータ .....	19
電気的特性—2.5V 動作時 .....	5	DC 精度 .....	19
電気的特性— $V_{DD1} = 3.3V$ 、 $V_{DD2} = 2.5V$ 動作時 .....	7	磁界耐性 .....	20
電気的特性— $V_{DD1} = 2.5V$ 、 $V_{DD2} = 3.3V$ 動作時 .....	8	消費電力 .....	21
パッケージ特性 .....	9	絶縁寿命 .....	21
規制規格 .....	9	外形寸法 .....	23
絶縁および安全性関連の仕様 .....	10	オーダー・ガイド .....	24
DIN V VDE V 0884-10 (VDE V 0884-10) :2006-12 絶縁特性 .....	10		
推奨動作条件 .....	11		

## 改訂履歴

### 3/14—Rev. 0 から Rev. A

SSOP パッケージの追加、特長セクションの一般変更、	
図 2 を追加、ナンバリング変更 .....	1
表 3 の出力電圧ロジック・ハイ・パラメータを変更 .....	4
表 15 を追加。ナンバリング変更、図 4 を変更 .....	11
表 17 の電源電圧 ( $V_{DD1}$ , $V_{DD2}$ ) パラメータを変更 .....	12
図 6 を追加。表 20 を変更 .....	13
図 8 を追加。表 21 を変更 .....	14
図 10 を追加。表 22 を変更 .....	15
図 30 を追加。 .....	19
消費電力セクションを変更;表 23 を追加 .....	21
図 27 を追加 .....	23
オーダー・ガイドを変更 .....	24

### 10/13—Revision 0:初版

## 仕様

## 電気的特性 — 3.3V 動作時

すべての typ 仕様は  $T_A = 25^\circ\text{C}$ ,  $V_{DD1} = V_{DD2} = 3.3\text{ V}$  で規定されています。最小/最大仕様は、特に指定がない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、および  $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$  の全推奨動作範囲が適用されます。スイッチング仕様は、特に指定がない限り、 $C_L = 15\text{ pF}$  と CMOS 信号レベルで試験されます。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Data Rate				2	Mbps	Within pulse-width distortion (PWD) limit
Propagation Delay	$t_{PHL}$ , $t_{PLH}$		80	180	ns	50% input to 50% output
Change vs. Temperature			200		ps/ $^\circ\text{C}$	
Minimum Pulse Width	PW	500			ns	Within PWD limit
Pulse-Width Distortion	PWD			8	ns	$ t_{PLH} - t_{PHL} $
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			10	ns	
Channel Matching						
Codirectional	$t_{PSKCD}$			10	ns	
Opposing Direction	$t_{PSKOD}$			15	ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  と  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY CURRENT						
ADuM1440/ADuM1445	$I_{DD1}$		732	1000	$\mu\text{A}$	2 Mbps, no load $EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		492	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
ADuM1441/ADuM1446	$I_{DD1}$		672	900	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		552	900	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
ADuM1442/ADuM1447	$I_{DD1}$		612	900	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		612	900	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$

表 3.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	$V_{IH}$	$0.7 V_{DDx}^1$			V	
Logic Low	$V_{IL}$			$0.3 V_{DDx}^1$	V	
Output Voltages						
Logic High	$V_{OH}$	$V_{DDx}^1 - 0.1$	3.3		V	$I_{OUTx} = -20 \mu A, V_{IX} = V_{IXH}$
		$V_{DDx}^1 - 0.4$	3.1		V	$I_{OUTx} = -4 \text{ mA}, V_{IX} = V_{IXH}$
Logic Low	$V_{OL}$		0.0	0.1	V	$I_{OUTx} = 20 \mu A, V_{IX} = V_{IXL}$
			0.2	0.4	V	$I_{OUTx} = 4 \text{ mA}, V_{IX} = V_{IXL}$
Input Current per Channel	$I_I$	-1	+0.01	+1	$\mu A$	$0 \text{ V} \leq V_{IX} \leq V_{DDx}^1$
Input Switching Thresholds						
Positive Threshold Voltage	$V_{T+}$		1.8		V	
Negative Going Threshold	$V_{T-}$		1.2		V	
Input Hysteresis	$\Delta V_T$		0.6		V	
Undervoltage Lockout, $V_{DD1}$ or $V_{DD2}$	UVLO		1.5		V	
Supply Current per Channel						
Quiescent Current						
Input Supply	$I_{DD1(Q)}$		4.8	10	$\mu A$	$EN_X$ low
Output Supply	$I_{DD0(Q)}$		0.8	3.3	$\mu A$	$EN_X$ low
Input (Refresh Off)	$I_{DD1(Q)}$		0.12		$\mu A$	$EN_X$ high
Output (Refresh Off)	$I_{DD0(Q)}$		0.13		$\mu A$	$EN_X$ high
Dynamic Supply Current						
Input	$I_{DD1(D)}$		88		$\mu A/Mbps$	
Output	$I_{DD0(D)}$		60		$\mu A/Mbps$	
AC SPECIFICATIONS						
Output Rise Time/Fall Time	$t_R/t_F$		2		ns	10% to 90%
Common-Mode Transient Immunity <sup>2</sup>	$ CM $	25	40		kV/ $\mu s$	$V_{IX} = V_{DDx}^1, V_{CM} = 1000 \text{ V},$ transient magnitude = 800 V
Refresh Rate	$f_r$		14		kbps	

<sup>1</sup>  $V_{DDx} = V_{DD1}$  or  $V_{DD2}$ .<sup>2</sup>  $|CM|$ は、 $V_{OOT} > 0.8 V_{DDx}$ を維持しながら持続できるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、立ち上がりと立ち下がり両方のコモン・モード電圧エッジに適用されます。

## 電氣的特性 — 2.5 V 動作時

すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 2.5\text{ V}$  で規定されます。最小/最大仕様は、特に指定がない限り、 $2.25\text{ V} \leq V_{DD1} \leq 2.75\text{ V}$ 、 $2.25\text{ V} \leq V_{DD2} \leq 2.75\text{ V}$ 、および  $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$  の全推奨動作範囲が適用されます。特に指定がない限り、スイッチング仕様は、 $C_L = 15\text{ pF}$ 、CMOS 信号レベルで試験されます。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Data Rate				2	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}$ , $t_{PLH}$		112	180	ns	50% input to 50% output
Change vs. Temperature			280		ps/°C	
Pulse-Width Distortion	PWD			12	ns	$ t_{PLH} - t_{PHL} $
Minimum Pulse Width	PW	500			ns	Within PWD limit
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			10	ns	
Channel Matching						
Codirectional	$t_{PSKCD}$			10	ns	
逆方向	$t_{PSKOD}$			30	ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  と  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 5.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY CURRENT						
ADuM1440/ADuM1445	$I_{DD1}$		623	800	$\mu\text{A}$	2 Mbps, no load $EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		337	500	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
ADuM1441/ADuM1446	$I_{DD1}$		552	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		409	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
ADuM1442/ADuM1447	$I_{DD1}$		480	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		480	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$

表 6.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	$V_{IH}$	$0.7 V_{DDx}^1$			V	
Logic Low	$V_{IL}$			$0.3 V_{DDx}^1$	V	
Output Voltages						
Logic High	$V_{OH}$	$V_{DDx}^1 - 0.1$	2.5		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
		$V_{DDx}^1 - 0.4$	2.35		V	$I_{Ox} = -4 mA, V_{Ix} = V_{IxH}$
Logic Low	$V_{OL}$		0.0	0.1	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
			0.1	0.4	V	$I_{Ox} = 4 mA, V_{Ix} = V_{IxL}$
Input Current per Channel	$I_I$	-1	+0.01	+1	$\mu A$	$0 V \leq V_{Ix} \leq V_{DDx}^1$
Input Switching Thresholds						
Positive Threshold Voltage	$V_{T+}$		1.5		V	
Negative Going Threshold	$V_{T-}$		1.0		V	
Input Hysteresis	$\Delta V_T$		0.5		V	
Undervoltage Lockout, $V_{DD1}$ or $V_{DD2}$	UVLO		1.5		V	
Supply Current per Channel						
Quiescent Current						
Input Supply	$I_{DDI(Q)}$		2.6	3.3	$\mu A$	$EN_X$ low
Output Supply	$I_{DDO(Q)}$		0.5	1.8	$\mu A$	$EN_X$ low
Input (Refresh Off)	$I_{DD1(Q)}$		0.05		$\mu A$	$EN_X$ high
Output (Refresh Off)	$I_{DDO(Q)}$		0.05		$\mu A$	$EN_X$ high
Dynamic Supply Current						
Input	$I_{DDI(D)}$		76		$\mu A/Mbps$	
出力	$I_{DDI(D)}$		41		$\mu A/Mbps$	
AC SPECIFICATIONS						
Output Rise Time/Fall Time	$t_R/t_F$		2		ns	10% to 90%
Common-Mode Transient Immunity <sup>2</sup>	CM	25	40		kV/ $\mu s$	$V_{Ix} = V_{DDx}^1, V_{CM} = 1000 V,$ transient magnitude = 800 V
Refresh Rate	$f_r$		14		kbps	

<sup>1</sup>  $V_{DDx} = V_{DD1}$  or  $V_{DD2}$ .<sup>2</sup> |CM|は、 $V_{OOT} > 0.8 V_{DDx}$ を維持しながら持続できるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、立ち上がりと立ち下がり両方のコモン・モード電圧エッジに適用されます。

**電気的特性 —  $V_{DD1} = 3.3\text{ V}$ ,  $V_{DD2} = 2.5\text{ V}$  動作時**

すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ ,  $V_{DD1} = 3.3\text{ V}$ , and  $V_{DD2} = 2.5\text{ V}$  で規定されます。最小/最大仕様は、特に指定がない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $2.25\text{ V} \leq V_{DD2} \leq 2.75\text{ V}$ 、および  $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$  の全推奨動作範囲が適用されます。特に指定がない限り、スイッチング仕様は、 $C_L = 15\text{ pF}$ 、CMOS 信号レベルで試験されます。

DC仕様と AC仕様については、サイド1は表3をサイド2は表6をご覧ください。

表 7.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Data Rate				2	Mbps	Within PWD limit
Propagation Delay						
Side 1 to Side 2	$t_{PHL}, t_{PLH}$		84	180	ns	50% input to 50% output
Side 2 to Side 1	$t_{PHL}, t_{PLH}$		120	180	ns	50% input to 50% output
Change vs. Temperature			280		ps/ $^\circ\text{C}$	
Pulse-Width Distortion	PWD			12	ns	$ t_{PLH} - t_{PHL} $
Pulse Width	PW	500			ns	Within PWD limit
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			10	ns	
Channel Matching						
Codirectional	$t_{PSKCD}$			10	ns	
Opposing Direction	$t_{PSKOD}$			60	ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  と  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 8.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY CURRENT						
ADuM1440/ADuM1445	$I_{DD1}$		732	1000	$\mu\text{A}$	2 Mbps, no load $EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		337	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
ADuM1441/ADuM1446	$I_{DD1}$		672	900	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		409	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
ADuM1442/ADuM1447	$I_{DD1}$		612	900	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		480	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$

**電气的特性 —  $V_{DD1} = 2.5\text{ V}$ ,  $V_{DD2} = 3.3\text{ V}$  動作時**

すべての tpy 仕様は、 $T_A = 25^\circ\text{C}$ ,  $V_{DD1} = 2.5$ , and  $V_{DD2} = 3.3\text{ V}$  で規定されます。最小/最大仕様は、特に指定がない限り、 $2.25\text{ V} \leq V_{DD1} \leq 2.75\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、および  $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$  の全推奨動作範囲が適用されます。特に指定がない限り、スイッチング仕様は、 $C_L = 15\text{ pF}$ 、CMOS 信号レベルで試験されます。

DC 仕様と AC 仕様については、サイド 1 は表 6 をサイド 2 は表 3 をご覧ください。

**表 9.**

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>SWITCHING SPECIFICATIONS</b>						
Data Rate				2	Mbps	Within PWD limit
Propagation Delay						
Side 1 to Side 2	$t_{PHL}, t_{PLH}$		120	180	ns	50% input to 50% output
Side 2 to Side 1	$t_{PHL}, t_{PLH}$		84	180	ns	50% input to 50% output
Change vs. Temperature			200		ps/°C	
Pulse-Width Distortion	PWD			12	ns	$ t_{PLH} - t_{PHL} $
Pulse Width	PW	500			ns	Within PWD limit
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			10	ns	
Channel Matching						
Codirectional	$t_{PSKCD}$			10	ns	
Opposing Direction	$t_{PSKOD}$			60	ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  と  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

**表 10.**

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>SUPPLY CURRENT</b>						
ADuM1440/ADuM1445	$I_{DD1}$		623	1000	$\mu\text{A}$	2 Mbps, no load $EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		492	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
ADuM1441/ADuM1446	$I_{DD1}$		552	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		552	900	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
ADuM1442/ADuM1447	$I_{DD1}$		480	750	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$
	$I_{DD2}$		612	900	$\mu\text{A}$	$EN_X = 0\text{ V}$ , $V_{IH} = V_{DD}$ , $V_{IL} = 0\text{ V}$

## パッケージ特性

表 11.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input-to-Output) <sup>1</sup>	R <sub>I-O</sub>		10 <sup>13</sup>		Ω	
Capacitance (Input-to-Output) <sup>1</sup>	C <sub>I-O</sub>		2		pF	f = 1 MHz
Input Capacitance <sup>2</sup>	C <sub>I</sub>		4.0		pF	
IC Junction-to-Ambient Thermal Resistance (QSOP)	θ <sub>JA</sub>		76		°C/W	Thermocouple located at center of package underside
IC Junction-to-Ambient Thermal Resistance (SSOP)	θ <sub>JA</sub>		50.5		°C/W	Thermocouple located at center of package underside

<sup>1</sup> デバイスは 2 端子デバイスとみなします。すなわち、ピン 1~ピン 8 が相互接続し、ピン 9~ピン 16 を相互に接続します。

<sup>2</sup> 入力容量は任意の入力データ・ピンとグラウンド間です。

## 適用規格

ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 は、表 12 に記載する組織の認定を申請中です。特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 18 および絶縁寿命のセクションを参照してください。

表 12.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under UL 1577 Component Recognition Program <sup>1</sup>	Approved under CSA Component Acceptance Notice #5A CSA 60950-1-03 and IEC 60950-1	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 <sup>2</sup>
Single protection, 2500 V rms Isolation Voltage (RQ-16 only) 3750 V rms Isolation Voltage (RS-20 only)	QSOP Package Basic insulation, 310 V rms maximum working voltage SSOP Package Basic Insulation at 530 V rms maximum working voltage Reinforced insulation at 265 V rms maximum working voltage	QSOP Package Reinforced insulation, 565 V <sub>PEAK</sub> SSOP Package Reinforced insulation, 849 V <sub>PEAK</sub>
File E214100	File 205078	File 2471900-4880-0001

<sup>1</sup> UL 1577 に従い、ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 は、3000V rms 以上の絶縁試験電圧を 1 秒間加えることにより試験され保証されています (リーク電流検出の規定値= 5 μA)。

<sup>2</sup> DIN V VDE V 0884-10 に従い、ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 は、1050 V<sub>PEAK</sub> 以上の絶縁試験電圧を 1 秒間加えることにより試験され保証されています (部分放電検出の規定値= 5pC)。デバイス表面のアスタリスク (\*) 付きは、DIN V VDE V 0884-10 認定製品を表します。

## 絶縁および安全性関連の仕様

表 13.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage (RQ-16)		2500	V rms	1-minute duration
Rated Dielectric Insulation Voltage (RS-20)		3750	V rms	1-minute duration
Minimum External Tracking and Air Gap, RQ-16(Creepage and Clearance)	L(I02)	3.1	mm mi n	Measured from input terminals to output terminals, shortest distance path along package body
Minimum Clearance in the Plane of the Printed Circuit Board, RQ-16 (PCB Clearance)	L(I01)	3.8	mm mi n	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Clearance in the Plane of the Printed Circuit Board, RS-20 (PCB Clearance)	L(I01)	5.1	mm mi n	Measured from input terminals to output terminals, shortest distance path along package body
Minimum Clearance in the Plane of the Printed Circuit Board, RS-20 (PCB Clearance)	L(I02)	5.1	mm mi n	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Internal Gap (Internal Clearance)		0.017	mm mi n	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

## DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12 絶縁特性

これらのアイソレータは、安全性制限値データ以内の強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路によって保証されます。パッケージ表面のアスタリスク (\*) 付きのパッケージは、DIN V VDE V 0884-10 認定製品を表します。

表 14. 16 ピン QSOP (RQ-16)

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		$V_{IORM}$	560	$V_{PEAK}$
Input-to-Output Test Voltage, Method b1	$V_{IORM} \times 1.875 = V_{pd(m)}$ , 100% production test, $t_{ini} = t_m = 1$ sec, partial discharge < 5 pC	$V_{pd(m)}$	1050	$V_{PEAK}$
Input-to-Output Test Voltage, Method a After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$ , $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	840	$V_{PEAK}$
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$ , $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	672	$V_{PEAK}$
Highest Allowable Overvoltage		$V_{IOTM}$	3500	$V_{PEAK}$
Surge Isolation Voltage	$V_{PEAK} = 10$ kV, 1.2 $\mu$ s rise time, 50 $\mu$ s, 50% fall time	$V_{IOSM}$	4000	$V_{PEAK}$
Safety Limiting Values	Maximum value allowed in the event of a failure (see 図 4)			
Case Temperature		$T_S$	150	$^{\circ}$ C
Total Power Dissipation at 25 $^{\circ}$ C		$I_{S1}$	1.64	W
Insulation Resistance at $T_S$	$V_{IO} = 500$ V	$R_S$	>10 <sup>9</sup>	$\Omega$

表 15.20 ピン SSOP (RS-20)

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage $\leq 150$ V rms For Rated Mains Voltage $\leq 300$ V rms For Rated Mains Voltage $\leq 400$ V rms			I to IV I to IV I to III	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		$V_{IORM}$	849	$V_{PEAK}$
Input-to-Output Test Voltage, Method b1	$V_{IORM} \times 1.875 = V_{pd(m)}$ , 100% production test, $t_{ini} = t_m = 1$ sec, partial discharge $< 5$ pC	$V_{pd(m)}$	1592	$V_{PEAK}$
Input-to-Output Test Voltage, Method a After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$ , $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge $< 5$ pC	$V_{pd(m)}$	1273	$V_{PEAK}$
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$ , $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge $< 5$ pC	$V_{pd(m)}$	1018	$V_{PEAK}$
Highest Allowable Overvoltage		$V_{IOTM}$	6000	$V_{PEAK}$
Surge Isolation Voltage	$V_{PEAK} = 10$ kV, 1.2 $\mu$ s rise time, 50 $\mu$ s, 50% fall time	$V_{IOSM}$	6000	$V_{PEAK}$
Safety Limiting Values	Maximum value allowed in the event of a failure (see Fig. 4)			
Case Temperature		$T_S$	150	$^{\circ}C$
Total Power Dissipation @ 25C		$I_{S1}$	2.5	W
Insulation Resistance at $T_S$	$V_{IO} = 500$ V	$R_S$	$>10^9$	$\Omega$

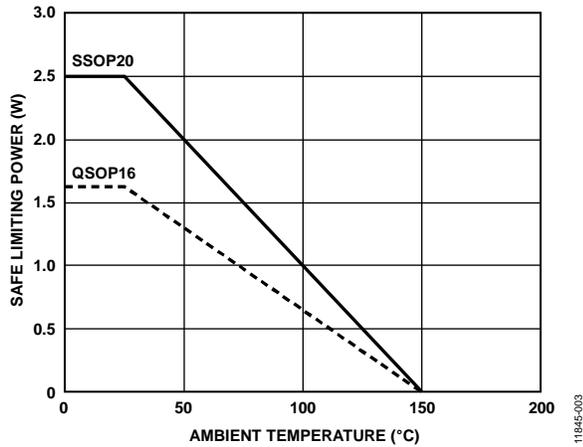


図 4. 熱デレーティング・カーブ、DIN V VDE V 0884-10 による安全限界電力のケース温度に対する依存性

## 推奨動作条件

表 16.

Parameter	Symbol	Value
Operating Temperature	$T_A$	$-40^{\circ}C$ to $+125^{\circ}C$
Supply Voltages <sup>1</sup>	$V_{DD1}$ , $V_{DD2}$	2.25 V to 3.6 V
Input Signal Rise and Fall Times		1.0 ms

<sup>1</sup> すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、DC精度のセクションを参照してください。

## 絶対最大定格

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

表 17.

Parameter	Rating
Supply Voltages ( $V_{DD1}$ , $V_{DD2}$ )	-0.5 V to +5 V
Input Voltages ( $V_{IA}$ , $V_{IB}$ )	-0.5 V to $V_{DD1} + 0.5$ V
Output Voltages ( $V_{OA}$ , $V_{OB}$ )	-0.5 V to $V_{DD2} + 0.5$ V
Average Output Current per Pin <sup>1</sup>	
Side 1 ( $I_{O1}$ )	-10 mA to +10 mA
Side 2 ( $I_{O2}$ )	-10 mA to +10 mA
Common-Mode Transients <sup>2</sup>	-100 kV/ $\mu\text{s}$ to +100 kV/ $\mu\text{s}$
Storage Temperature ( $T_{ST}$ ) Range	-65°C to +150°C
Ambient Operating Temperature( $T_A$ ) Range	-40°C to +125°C

<sup>1</sup> 種々の温度に対する最大定格電力値については図 4 を参照してください。

<sup>2</sup> 絶縁・バリアをまたぐコモン・モード過渡電圧を表します。絶対最大定格を超えるコモン・モード過渡電圧は、ラッチアップまたは恒久的な故障の原因になりえることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。最大規定値を超える条件で長時間動作させると、デバイスの信頼性に影響を与える可能性があります。

表 18.最大連続動作電圧<sup>1</sup>

Parameter	Value	Constraint
AC Voltage		
60 Hz Bipolar Waveform	565 $V_{PEAK}$	50-year minimum lifetime
60 Hz Unipolar Waveform		
Basic Insulation	975 $V_{PEAK}$	50-year minimum lifetime
DC Voltage		
Basic Insulation	975 $V_{PEAK}$	50-year minimum lifetime

<sup>1</sup> 絶縁・バリアに加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 19.すべてのモデルの真理値表（正論理）

$V_{IX}$ Input <sup>1,2</sup>	$V_{DDI}$ State <sup>3</sup>	$V_{DDO}$ State <sup>4</sup>	$EN_x$ Input <sup>1</sup>	$VO_x$ Output <sup>1</sup>	Description
H	Powered	Powered	L	H	Normal operation; data is high and refresh is enabled.
L	Powered	Powered	L	L	Normal operation; data is low and refresh is enabled.
H	Powered	Powered	H	H	Output is high, and refresh is disabled.
L	Powered	Powered	H	L <sup>5</sup>	Output is low, and refresh is disabled.
L	Unpowered	Powered	L	Default	Input unpowered. Outputs are in the default state, high for ADuM1440, ADuM1441, and ADuM1442, and low ADuM1445, ADuM1446, and ADuM1447. Outputs return to input state within 150 $\mu\text{s}$ of $V_{DDI}$ power restoration. See the pin function descriptions (表 20 through 表 22) for more details.
L	Unpowered	Powered	H	Hold	Input unpowered. Outputs are the last state before input power is shut down.
X	Powered	Unpowered	X	Z	Output unpowered. Output pins are in high impedance state. Outputs return to input state within 34 $\mu\text{s}$ of $V_{DDO}$ power restoration. See the pin function descriptions (表 20 through 表 22) for more details.

<sup>1</sup> H=ハイ、L=ロー、X=ドントケア、およびZ=ハイ・インピーダンス。

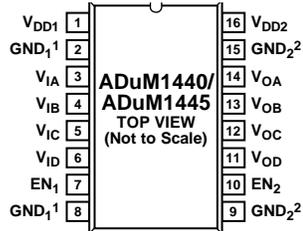
<sup>2</sup>  $V_{IX}$  と  $VO_x$  は、所定のチャンネル（A、B、CまたはD）の入出力信号を指します。

<sup>3</sup>  $V_{DDI}$  は、所定のチャンネル（A、B、CまたはD）の入力側の電源を指します。

<sup>4</sup>  $V_{DDO}$  は、所定のチャンネル（A、B、CまたはD）の出力側の電源を指します。

<sup>5</sup> 立ち下がり後はロー入力であればなりません。そうでない場合はデフォルト・ロー状態になることがあります。

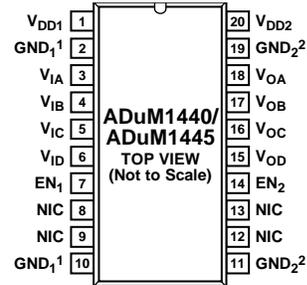
## ピン配置およびピン機能の説明



<sup>1</sup>PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>1</sub> IS RECOMMENDED.

<sup>2</sup>PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>2</sub> IS RECOMMENDED.

11845-004



NIC = NOT INTERNALLY CONNECTED.

<sup>1</sup>PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>1</sub> IS RECOMMENDED.  
<sup>2</sup>PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>2</sub> IS RECOMMENDED.

11845-104

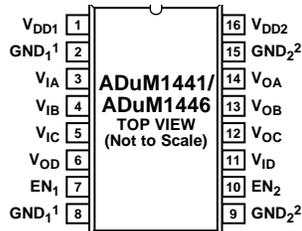
図 5.ADuM1440/ADuM1445 QSOP ピン配置

図 6.ADuM1440/ADuM1445 SSOP ピン配置

表 20.ADuM1440/ADuM1445 ピン機能の説明<sup>1</sup>

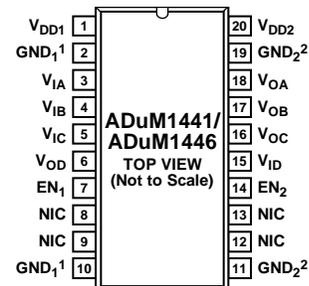
QSOP ピン番号 <sup>2</sup>	SSOP ピン番号	記号	説明
1	1	V <sub>DD1</sub>	アイソレータ・サイド 1 の電源電圧、2.25 V ~ 3.6 V。0.01 μF ~ 0.1 μF のセラミック・バイアス・コンデンサを V <sub>DD1</sub> (ピン 1) と GND <sub>1</sub> (ピン 2) の間に接続してください。
2, 8	2, 10	GND <sub>1</sub>	グラウンド 1 アイソレータ・サイド 1 のグラウンド基準。ピン 2 とピン 8 は内部で接続されています。したがって、両方のピンを GND <sub>1</sub> に接続することを推奨します。
3	3	V <sub>IA</sub>	ロジック入力 A。
4	4	V <sub>IB</sub>	ロジック入力 B。
5	5	V <sub>IC</sub>	ロジック入力 C。
6	3	V <sub>ID</sub>	ロジック入力 D。
7	7	EN <sub>1</sub>	リフレッシュ/ウォッチドッグ・イネーブル 1 ピン 7 を GND <sub>1</sub> に接続すると、サイド 1 の入力/出力リフレッシュおよびウォッチドッグ機能が有効になり、標準の iCoupler 動作に対応します。ピン 7 を V <sub>DD1</sub> に接続すると、消費電力を最も少なくするためにリフレッシュおよびウォッチドッグ機能がディスエーブルされます。このモードの詳細な説明は、アプリケーション情報 セクションを参照してください。EN <sub>1</sub> と EN <sub>2</sub> は同じロジック状態に設定されなければなりません。
9, 15	11, 19	GND <sub>2</sub>	グラウンド 2 アイソレータ・サイド 2 のグラウンド基準。ピン 9 とピン 15 は内部で接続されています。したがって、両方のピンを GND <sub>2</sub> に接続することを推奨します。
10	14	EN <sub>2</sub>	リフレッシュ/ウォッチドッグ・イネーブル 2 ピン 10 を GND <sub>2</sub> に接続すると、サイド 2 の入力/出力リフレッシュおよびウォッチドッグ機能が有効になり、標準 iCoupler 動作に対応します。ピン 10 を V <sub>DD2</sub> に接続すると、消費電力を最も少なくするためにリフレッシュおよびウォッチドッグ機能が無効になります。このモードの詳細な説明は、アプリケーション情報 セクションを参照してください。EN <sub>1</sub> と EN <sub>2</sub> は同じロジック状態に設定されなければなりません。
11	15	V <sub>OD</sub>	ロジック出力 D。
12	16	V <sub>OC</sub>	ロジック出力 C。
13	17	V <sub>OB</sub>	ロジック出力 B。
14	18	V <sub>OA</sub>	ロジック出力 A。
16	20	V <sub>DD2</sub>	アイソレータ・サイド 2 の電源電圧、2.25 V ~ 3.6 V。0.01 μF ~ 0.1 μF のセラミック・バイアス・コンデンサを V <sub>DD2</sub> (ピン 16) と GND <sub>2</sub> (ピン 15) の間に接続してください。
—	8, 9, 12, 13	—	未接続。このピンは接続しないでください。

<sup>1</sup> レイアウト・ガイドラインについては、AN-1109 Application Note を参照してください。



<sup>1</sup>PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>1</sub> IS RECOMMENDED.  
<sup>2</sup>PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>2</sub> IS RECOMMENDED.

11845-005



NIC = NOT INTERNALLY CONNECTED.

<sup>1</sup>PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>1</sub> IS RECOMMENDED.  
<sup>2</sup>PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>2</sub> IS RECOMMENDED.

11845-108

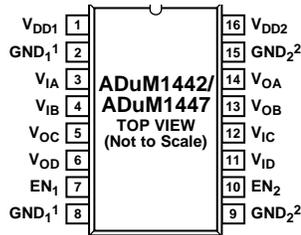
図 7. ADuM1441/ADuM1446 QSOP ピン配置

図 8. ADuM1441/ADuM1446 SSOP ピン配置

表 21. ADuM1441/ADuM1446 ピン機能の説明<sup>1</sup>

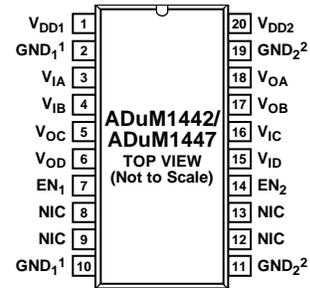
QSOP ピン番号 <sup>2</sup>	SSOP ピン番号	記号	説明
1	1	V <sub>DD1</sub>	アイソレータ・サイド1の電源電圧、2.25 V～3.6 V。0.01 μF～0.1 μFのセラミック・バイアス・コンデンサをV <sub>DD1</sub> (ピン1)とGND <sub>1</sub> (ピン2)の間に接続してください。
2, 8	2, 10	GND <sub>1</sub>	グラウンド1アイソレータ・サイド1のグラウンド基準。ピン2とピン8は内部で接続されています。したがって、両方のピンをGND <sub>1</sub> に接続することを推奨します。
3	3	V <sub>IA</sub>	ロジック入力A。
4	4	V <sub>IB</sub>	ロジック入力B。
5	5	V <sub>IC</sub>	ロジック入力C。
6	3	V <sub>OD</sub>	ロジック出力D。
7	7	EN <sub>1</sub>	リフレッシュ/ウォッチドッグ・イネーブル1ピン7をGND <sub>1</sub> に接続すると、サイド1の入力/出力リフレッシュおよびウォッチドッグ機能が有効になり、標準 <i>iCoupler</i> 動作に対応します。ピン7をV <sub>DD1</sub> に接続すると、消費電力を最も少なくするためにリフレッシュおよびウォッチドッグ機能がディスエーブルされます。このモードの詳細な説明は、アプリケーション情報のセクションを参照してください。EN <sub>1</sub> とEN <sub>2</sub> は同じロジック状態に設定してください。
9, 15	11, 19	GND <sub>2</sub>	グラウンド2アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されています。したがって、両方のピンをGND <sub>2</sub> に接続することを推奨します。
10	14	EN <sub>2</sub>	リフレッシュ/ウォッチドッグ・イネーブル2ピン10をGND <sub>2</sub> に接続すると、サイド2の入力/出力リフレッシュおよびウォッチドッグ機能がイネーブルされ、標準 <i>iCoupler</i> 動作に対応します。ピン10をV <sub>DD2</sub> に接続すると、消費電力を最も少なくするためにリフレッシュおよびウォッチドッグ機能がディスエーブルされます。このモードの詳細な説明は、アプリケーション情報セクションを参照してください。EN <sub>1</sub> とEN <sub>2</sub> は同じロジック状態に設定してください。
11	15	V <sub>ID</sub>	ロジック入力D。
12	16	V <sub>OC</sub>	ロジック出力C。
13	17	V <sub>OB</sub>	ロジック出力B。
14	18	V <sub>OA</sub>	ロジック出力A。
16	20	V <sub>DD2</sub>	アイソレータ・サイド2の電源電圧、2.25 V～3.6 V。0.01 μF～0.1 μFのセラミック・バイアス・コンデンサをV <sub>DD2</sub> (ピン16)とGND <sub>2</sub> (ピン15)の間に接続してください。
—	8, 9, 12, 13	—	未接続。このピンは接続しないでください。

<sup>1</sup>レイアウト・ガイドラインについては、AN-1109 Application Noteを参照してください。



<sup>1</sup>PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>1</sub> IS RECOMMENDED.  
<sup>2</sup>PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>2</sub> IS RECOMMENDED.

11845-006



NIC = NOT INTERNALLY CONNECTED.  
<sup>1</sup>PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>1</sub> IS RECOMMENDED.  
<sup>2</sup>PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>2</sub> IS RECOMMENDED.

11845-110

図 9. ADuM1442/ADuM1447 QSOP ピン配置

図 10. ADuM1442/ADuM1447 SSOP ピン配置

表 22. ADuM1442/ADuM1447 ピン機能の説明<sup>1</sup>

QSOP ピン番号 <sup>2</sup>	SSOP ピン番号	記号	説明
1	1	V <sub>DD1</sub>	アイソレータ・サイド1の電源電圧、2.25 V ~ 3.6 V。0.01 μF ~ 0.1 μFのセラミック・バイアス・コンデンサを V <sub>DD1</sub> (ピン1) と GND <sub>1</sub> (ピン2) の間に接続してください。
2, 8	2, 10	GND <sub>1</sub>	グラウンド1 アイソレータ・サイド1のグラウンド基準。ピン2とピン8は内部で接続されています。したがって、両方のピンを GND <sub>1</sub> に接続することを推奨します。
3	3	V <sub>IA</sub>	ロジック入力 A。
4	4	V <sub>IB</sub>	ロジック入力 B。
5	5	V <sub>OC</sub>	ロジック出力 C。
6	3	V <sub>OD</sub>	ロジック出力 D。
7	7	EN <sub>1</sub>	リフレッシュ/ウォッチドッグ・イネーブル1ピン7を GND <sub>1</sub> に接続すると、サイド1の入力/出力リフレッシュおよびウォッチドッグ機能がイネーブルされ、標準 iCoupler 動作に対応します。ピン7を V <sub>DD1</sub> に接続すると、消費電力を最も少なくするためにリフレッシュおよびウォッチドッグ機能がディスエーブルされます。このモードの詳しい説明は、アプリケーション情報 セクションを参照してください。EN <sub>1</sub> とEN <sub>2</sub> は同じロジック状態に設定してください。
9, 15	11, 19	GND <sub>2</sub>	グラウンド2 アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されています。したがって、両方のピンを GND <sub>2</sub> に接続することを推奨します。
10	14	EN <sub>2</sub>	リフレッシュ/ウォッチドッグ・イネーブル2ピン10を GND <sub>2</sub> に接続すると、サイド2の入力/出力リフレッシュおよびウォッチドッグ機能がイネーブルされ、標準 iCoupler 動作に対応します。ピン10を V <sub>DD2</sub> に接続すると、消費電力を最も少なくするためにリフレッシュおよびウォッチドッグ機能がディスエーブルされます。このモードの詳しい説明は、アプリケーション情報 セクションを参照してください。EN <sub>1</sub> とEN <sub>2</sub> は同じロジック状態に設定してください。
11	15	V <sub>ID</sub>	ロジック入力 D。
12	16	V <sub>IC</sub>	ロジック入力 C。
13	17	V <sub>OB</sub>	ロジック出力 B。
14	18	V <sub>OA</sub>	ロジック出力 A。
16	20	V <sub>DD2</sub>	アイソレータ・サイド2の電源電圧、2.25 V ~ 3.6 V。0.01 μF ~ 0.1 μFのセラミック・バイアス・コンデンサを V <sub>DD2</sub> (ピン16) と GND <sub>2</sub> (ピン15) の間に接続してください。
—	8, 9, 12, 13	—	未接続。このピンは接続しないでください。

<sup>1</sup> 特定のレイアウト・ガイドラインについては、AN-1109 Application Note を参照してください。

代表的な性能特性

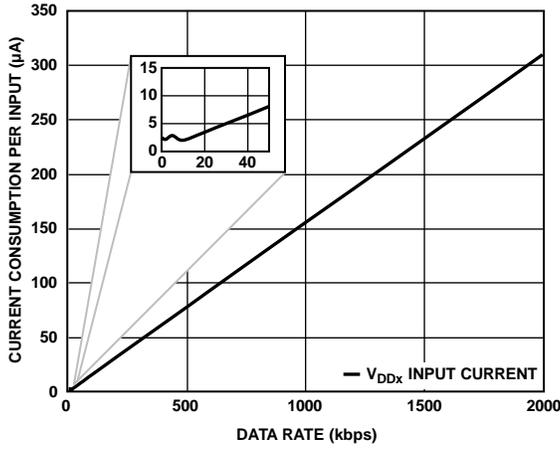


図 11.1 入力当たりの消費電流とデータレート、  
2.5V, EN<sub>x</sub>=ハイ・レベル

11845-007

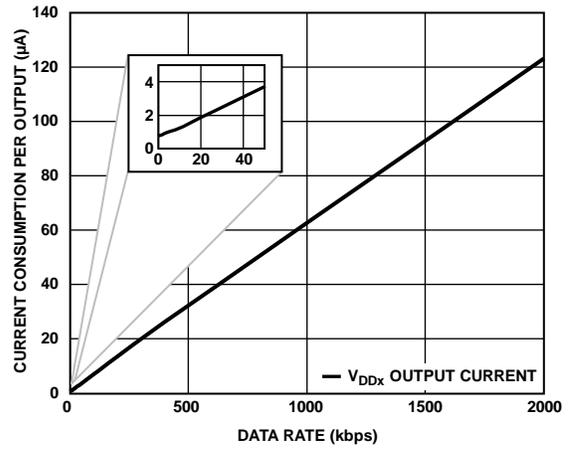


図 14.1 出力当たりの消費電流とデータレート、  
3.3 V, EN<sub>x</sub>=ロー・レベル

11845-010

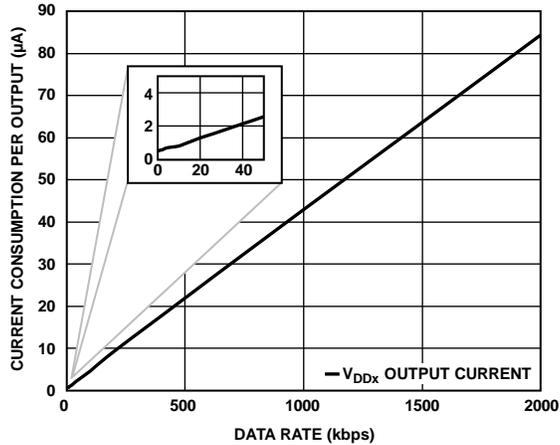


図 12.1 出力当たりの消費電流とデータレート、  
2.5V, EN<sub>x</sub>=ロー・レベル

11845-008

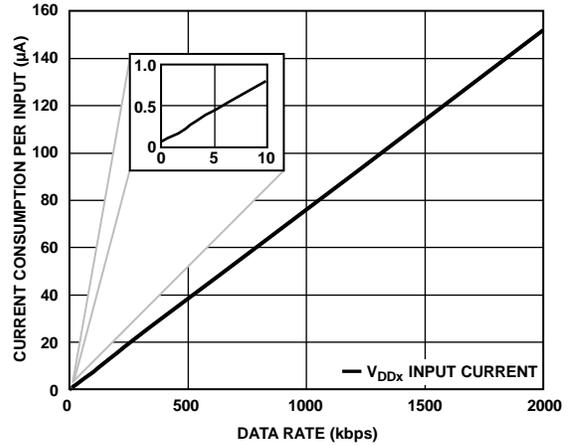


図 15.1 入力当たりの消費電流とデータレート、  
2.5V, EN<sub>x</sub>=ハイ・レベル

11845-011

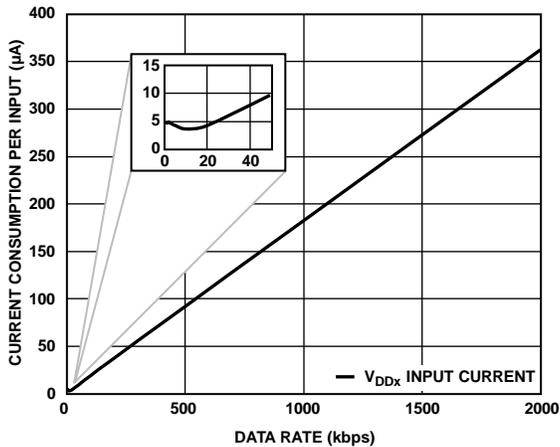


図 13.1 入力当たりの消費電流とデータレート、  
3.3 V, EN<sub>x</sub>=ハイ・レベル

11845-009

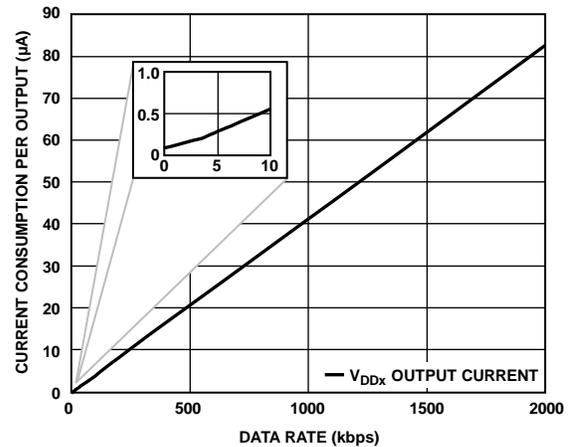


図 16.1 出力当たりの消費電流とデータレート、  
2.5V, EN<sub>x</sub>=ハイ・レベル

11845-012

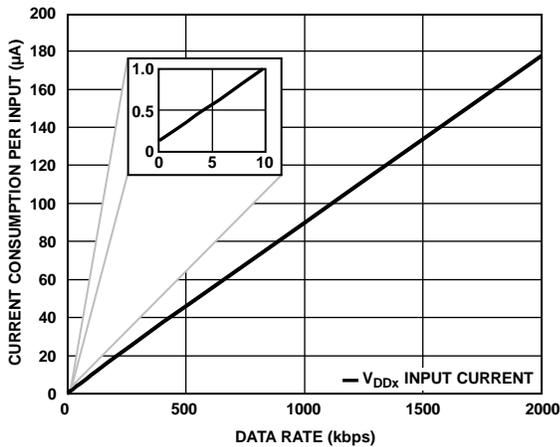


図 17.1 入力当たりの消費電流とデータレート、  
 $V_{DDx} = 3.3\text{ V}$ ,  $EN_x = \text{ハイ・レベル}$

11845-013

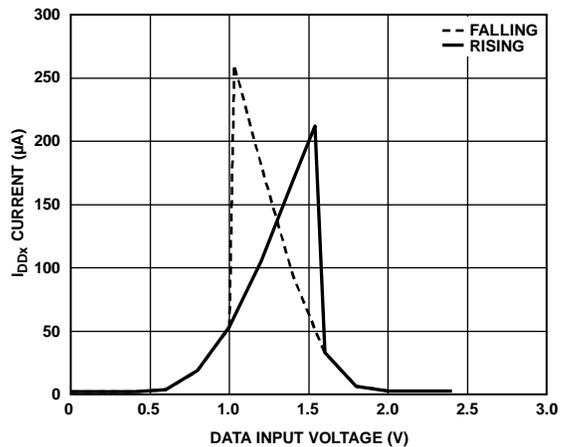


図 20.1 入力当たりの  $I_{DDx}$  電流とデータ入力電圧、  
 $V_{DDx} = 2.5\text{ V}$

11845-016

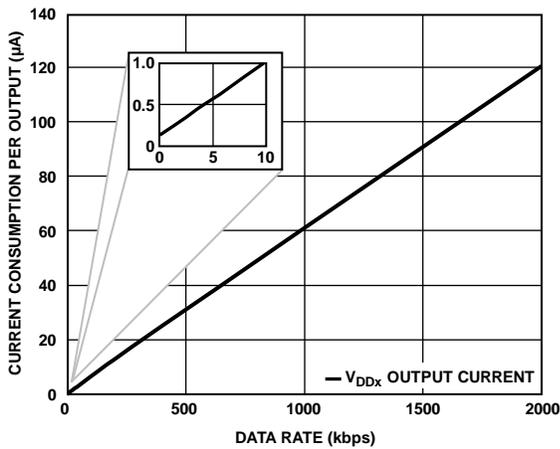


図 18.1 出力当たりの消費電流とデータレート、  
 $V_{DDx} = 3.3\text{ V}$ ,  $EN_x = \text{ハイ・レベル}$

11845-014

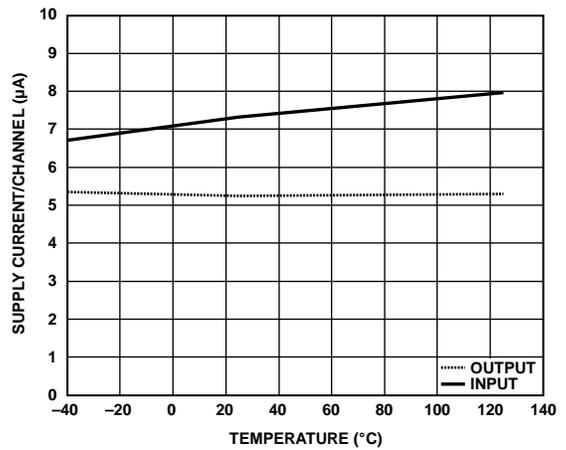


図 21.1 チャンネル当たりの入出力供給電流と温度(typ)、  
 $V_{DDx} = 2.5\text{ V}$ , データレート = 100 kbps

11845-117

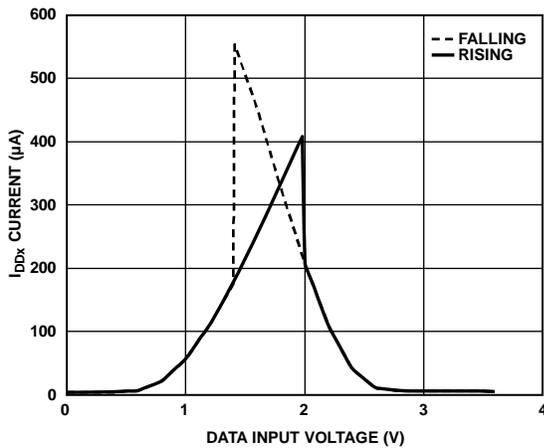


図 19.1 入力当たりの  $I_{DDx}$  電流とデータ入力電圧(typ)、  
 $V_{DDx} = 3.3\text{ V}$

11845-015

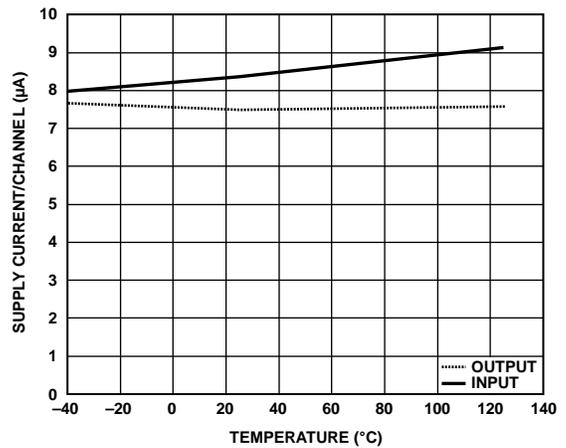


図 22.1 チャンネル当たりの入出力供給電流と温度(typ)、  
 $V_{DDx} = 3.3\text{ V}$ , データレート = 100 kbps

11845-118

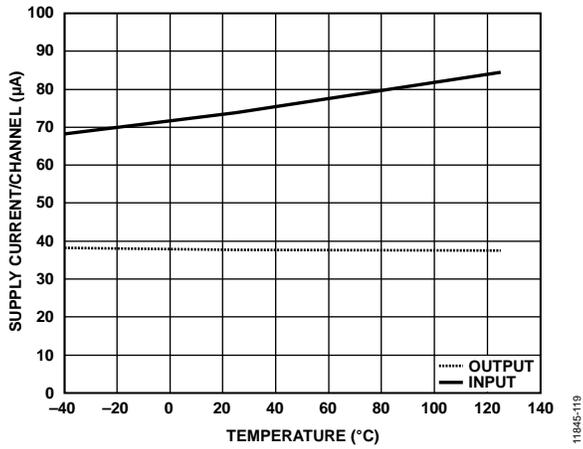


図 23.1 チャンネル当たりの入出力供給電流(typ)と温度、 $V_{DDx} = 2.5\text{ V}$ , データレート= 1000 kbps

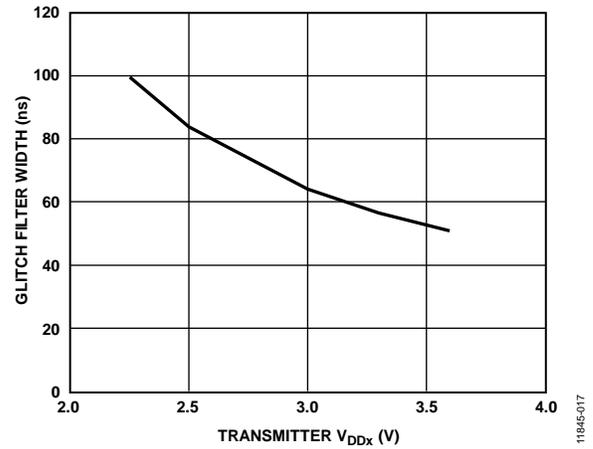


図 26. グリッチ・フィルタ幅 対 動作スレッシュホールド(typ)

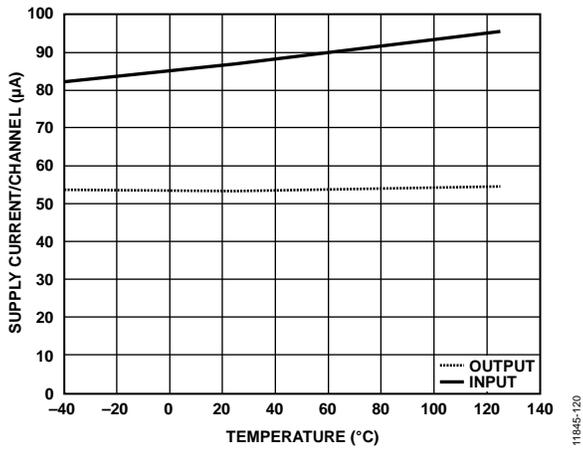


図 24.1 チャンネル当たりの入出力供給電流(typ)と温度、 $V_{DDx} = 3.3\text{ V}$ , データレート= 1000 kbps

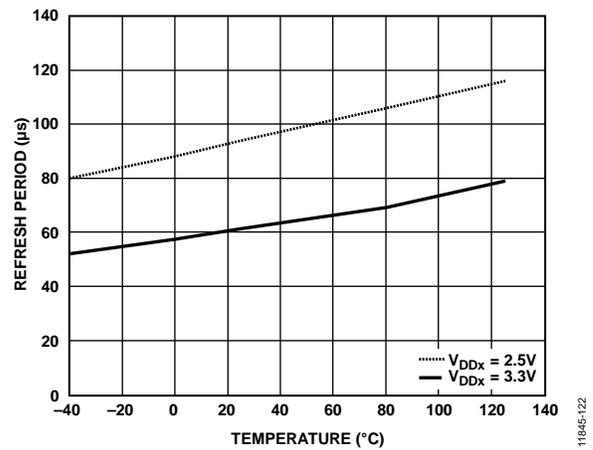


図 27. リフレッシュ周期と温度(typ)、 $3.3\text{ V}$  および  $2.5\text{ V}$  動作

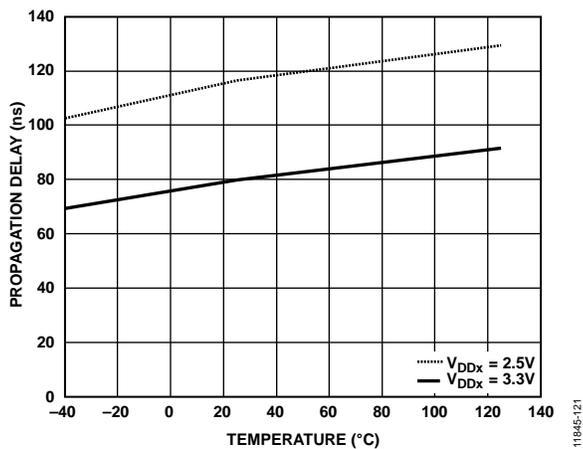


図 25. 伝達遅延と温度(typ)、 $V_{DDx} = 3.3\text{ V}$  または  $V_{DDx} = 2.5\text{ V}$

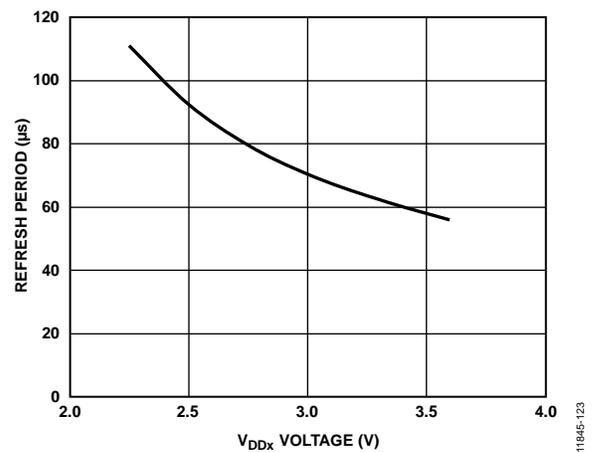


図 28. リフレッシュ周期と  $V_{DDx}$  電圧(typ)

## アプリケーション情報

### プリント回路基板 (PCB) レイアウト

ADuM1440/ADuM1441/ADuM1442/ADuM1445/ ADuM1446/ADuM1447 デジタル・アイソレータは、ロジック・インタフェースのための外付けインタフェース回路は不要です。入力および出力電源ピン  $V_{DD1}$  および  $V_{DD2}$  (図 29 参照) 両方に電源バイパス・コンデンサを接続することを強く推奨します。バイパス・コンデンサの値を  $0.01\mu\text{F}\sim 0.1\mu\text{F}$  とし、コンデンサの両端と入力電源ピンの間のパターン長は、 $20\text{mm}$  以下にしてください。

適切な PCB 設計を選択することにより、ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 は、CISPR 22 Class A (および FCC Class A) 放射規格、ならびに非シールド環境でさらに厳しい CISPR 22 Class B (および FCC Class B) 規格を満たすことができます。基板レイアウトおよび積層の問題など PCB に関連した EMI 軽減技術については、AN-1109 Application Note, *Recommendations for Control of Radiated Emissions with iCoupler Devices* を参照してください。

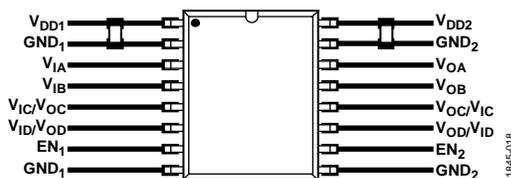


図 29. プリント回路基板の推奨レイアウト, QSO8

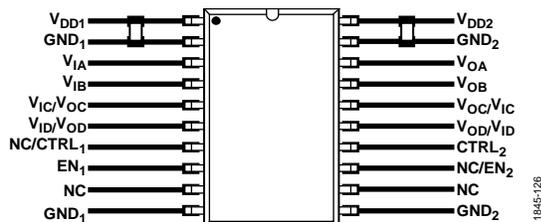


図 30. プリント回路基板の推奨レイアウト, SSOP

大きなコモン・モード過渡現象を伴う用途では、絶縁バリアをまたぐボード結合を最小にすることが重要です。さらに、すべての結合がデバイス側のすべてのピンで等しく生じるように基板レイアウトを設計する必要があります。この注意を怠ると、ピン間で生じる電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

### 伝搬遅延に関するパラメータ

これらの製品は、できるだけ内部バイアス電流を少なくすることによって最小消費電力に最適化されます。その結果、タイミング特性が、標準 iCoupler 製品によりも動作電圧と温度の影響を受けやすくなります。これらのパラメータの想定される変化については、図 21 ~ 図 28 を参照してください。

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間として定義されたパラメータです。ハイからローに遷移するときの入出間伝達遅延時間は、ローからハイに遷移するときの伝播遅延時間と異なることがあります。

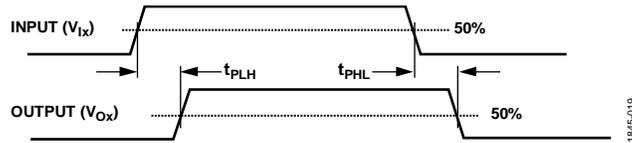


図 31. 伝搬遅延パラメータ

パルス幅歪みは、これら 2 値間の最大差を指し、入力信号のタイミングが出力信号で再現される精度を表します。

チャンネル間マッチングは、1 つの ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 デバイス内にある複数のチャンネル間の伝播遅延差の最大値を意味します。

伝播遅延スキューは、同じ条件下で動作する複数の ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 デバイス間での伝播遅延差の最大値を意味します。

エッジベース・システムでは、エンコードおよびデコード回路が短すぎて処理できないパルスを除くことができ極めて重要です。ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 は、グリッチ・フィルターを実装し、グリッチ・フィルター動作スレッシュホールドより小さいパルスを除きます。このスレッシュホールドは、図 26 に示されたように、動作電圧に依存します。グリッチ・フィルターより短いパルスは出力まで到達しません。リフレッシュ回路がイネーブルされたとき、グリッチ・フィルターの幅と一致するパルスは、次のリフレッシュ・サイクル、すなわちそのチャンネルを通る次の有効データによって修正されるまでストレッチされることがあります。パルス・ストレッチングによる問題を回避するには、スイッチング仕様に示された最小パルス幅要件をご覧ください。

### DC 精度

#### 標準動作モード

アイソレータ入力での正および負のロジック変化により、狭いパルス (約  $1\text{ns}$ ) がトランスを経由してデコーダに送られます。デコーダは双安定であるため、入力がロジック遷移を示すパルスによりセットまたはリセットされます。EN<sub>1</sub> と EN<sub>2</sub> をロー・レベルにすることによってリフレッシュおよびウォッチドッグ機能がイネーブルされたとき、約  $140\mu\text{s}$  を超えて入力にロジック変化がない場合は、出力の DC 精度を確保するために、適切な入力状態を示す一連の周期的リフレッシュ・パルスが送られます。デコーダが、約  $200\mu\text{s}$  を超えて内部パルスを受け取らない場合、入力側は、通電されていないか機能していないと見なされ、その場合、アイソレータ・ウォッチドッグ回路は、出力を強制的にデフォルト状態にします。デフォルト状態は、ADuM1440、ADuM1441 および ADuM1442 バージョンではハイ・レベルであり、ADuM1445、ADuM1446 および ADuM1447 バージョンではロー・レベルです。

#### 低消費電力動作モード

ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 は、EN<sub>1</sub> と EN<sub>2</sub> をロジック・ハイにすることによって、リフレッシュおよびウォッチドッグ機能をディスエーブルして、消費電力を最小限にすることができます。これらの制御ピンは、適切に動作するように部品の両側で同じ値に設定されなければなりません。

このモードでは、チップの消費電流は、マイクロアンペア・レベルまで低下します。ただし、このモードを使用するときは、

起動時に DC 精度が保証されなくなるのでご注意ください。たとえば、次のイベントが起きた場合:

1. 電源がサイド 1 に加えられた。
2.  $V_{IA}$  入力でハイ・レベルがアサートされた。
3. 電源がサイド 2 に加えられた。

$V_{IA}$  のハイ・レベルは、サイド 2  $V_{OA}$  に自動的に送られず、 $V_{IA}$  で遷移が生じるまでレベル・マッチングが修正されないことがあります。各サイドで電力が安定し、チャンネルの入力に遷移が生じた後で、そのチャンネルの入出力状態は厳密にマッチングされます。この偶発事故に対しては、ダミー・データを送るか、リフレッシュを短期間オンにした後で強制的に同期するなどのいくつかの方法で対処することができます。

### 低消費電力動作の推奨入力電圧

ADuM1440/ADuM1441/ADuM1442/ADuM1445/ ADuM1446/ADuM1447 は、シュミット・トリガ入力バッファを実装しており、低いデータレートまたはノイズの多い環境で適切な動作を可能にします。シュミット・トリガは、その入力電圧が  $V_{DDx}$  と  $GND_x$  どちらのレベルにも近くないときに少量の貫通電流が流れます。これは、入力電圧が供給レンジの中間にあるときに 2 つのトランジスタが両方ともわずかにオン状態にあるためです。多くのデジタル・デバイスでは、このリークは、全供給電流のわずかな部分であり、気づかないこともありますが、超低消費電力 A DuM1440/ADuM1441/ADuM1442/ ADuM1445/ADuM1446/ADuM1447 では、このリークは、デバイスの全動作電流よりも大きくなることもあり、無視できません。

ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ ADuM1447 では電力消費を最適にするため、入力はできるだけ  $V_{DDx}$  または  $GND_x$  レベルの近くで駆動してください。図 19 と 図 20 は、入力の貫通リーク電流を示します。入力のロジック・スレッシュホールドは標準 CMOS レベルですが、入力ロジック・レベルが  $V_{DDx}$  または  $GND_x$  レベルの 0.5V 以内で駆動されたときに電力性能が最適になります。

### 磁界耐性

ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 の磁界耐性は、トランスの受信側コイルのデコーダを誤ってセットまたはリセットするのに十分な高さの誘導電圧を生じさせるほどの磁界の変化によって決定されます。この状態が発生する条件は後述する解析によって求めることができます。AD uM1440/ADuM1441/ADuM1442/ ADuM1445/ADuM1446/ADuM1447 の最も典型的な動作モードの動作条件が 3.3 V のため、この条件を調べます。

トランス出力におけるパルスの振幅は 1.0 V を超えます。デコーダの検出スレッシュホールドは約 0.5 V なので、誘導電圧に対して 0.5 V のマージンがあります。受信側コイルの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

$\beta$  = 磁束密度 (Gauss)

$r_n$  = 受信側コイル巻き数 n 回目の半径 (cm)

$N$  = 受信側コイルの巻き数

ADuM1440/ ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 の受信側コイルの形状が与えられ、誘導電圧がデコーダのマージン 0.5 V の最大 50% であるという条件が与えられると、最大許容磁界を計算することができます。得られる回路を図 32 に示します。

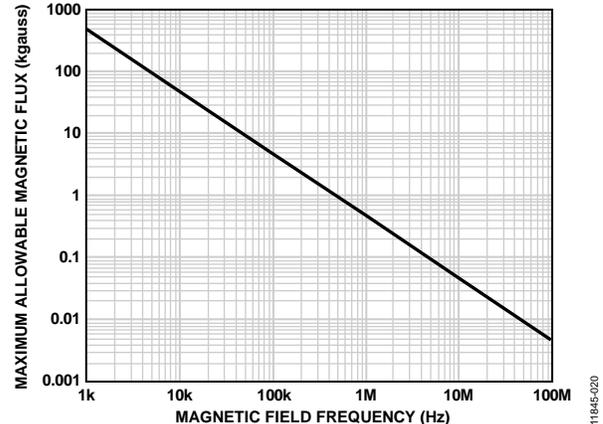


図 32. 最大許容外部磁束密度

たとえば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.5 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッシュホールドの約 50% であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても（さらに最悪ケースの極性であっても）、受信パルスが 1.0 V 以上から 0.75 V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなおマージンがあります。

前述の磁束密度値は、ADuM1440/ ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 トランスから与えられた距離だけ離れた特定の電流値に対応します。図 33 に、与えられた距離にする周波数の関数としての許容電流値を示します。図から分かるように、ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ ADuM1447 の耐性は極めて高く、影響を受けるのは、高周波でかつデバイスに非常に近い極めて大きな電流の場合に限られます。前述の 1MHz の例では、1.2kA 電流が、デバイス動作に影響を及ぼすためには ADuM1440/ADuM1441/ADuM1442/ADuM1445/ADuM1446/ ADuM1447 から 5 mm の距離まで近づける必要があります。

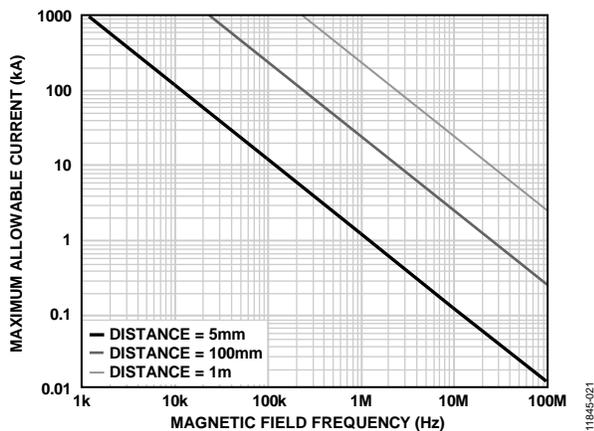


図 33.さまざまな電流値と ADuM144x までの距離に対する最大許容電流

強い磁界と高周波が組み合わさると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガーされてしまうので注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意してください。

## 消費電力

ADuM1440/ ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 アイソレータの所定のチャンネルにおける電源電流は、チャンネルの電源電圧、データレートおよびチャンネルの出力負荷の関数です。

各入力チャンネルの電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(Q)} \quad f \leq 0.5 f_r$$

$$I_{DD1} = I_{DD1(D)} \times (2f - f_r) + I_{DD1(Q)} \quad f > 0.5 f_r$$

各出力チャンネルの電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5 f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5 f_r$$

ここで、

$I_{DD1(D)}$  と  $I_{DDO(D)}$  は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です (mA/Mbps)。

$I_{DD1(Q)}$  と  $I_{DDO(Q)}$  は、それぞれ指定された入力静止電源電流と出力静止電源電流です (mA)。

$f$  が入力ロジック信号周波数 (MHz) であり、これは、Mbps の単位で表された入力データレートの半分です。

$f_r$  = 入力ステージ・リフレッシュ・レート (Mbps)。

$C_L$  = 出力負荷容量 (pF)。

$V_{DDO}$  = 出力電源電圧 (V)

$V_{DD1}$  と  $V_{DD2}$  供給電流を求めるには、 $V_{DD1}$  と  $V_{DD2}$  に対応する各入出力チャンネルの供給電流を求め合算します。図 11 ~ 図 18 に、チャンネル当たりの供給電流を無負荷出力条件のデータレートの関数として示します。

ADuM1440/ADuM1441/ADuM1442/ADuM1445/ ADuM1446/ADuM1447 デバイスは、極めて少ない電流で動作するように設計されています。これは、低いデューティファクタでデータを高速にバーストするか低いビットレートで実行することによって、デバイスを平均としては低いデータレートで動作させることによって実現されます。高いデータレートでバーストする場合、デ

バイスは、その他のほとんどの時間を静止状態とすることができ、消費電力は、静止消費電力に近づきます。表 23 は、入出力チャンネル・ペアの典型的電流と、そのチャンネルで消費される電力を示します。全電力は、デバイスの両側で合計され、したがって、電力は 2 つの異なる電源から引き出されます。これは、電力が  $V_{DD}$  値とリフレッシュの状態にどのように依存するかを示しています。

表 23.チャンネル当たりの消費電力(typ)

リフレッシュ状態	入力チャンネル (typ)		出力チャンネル (typ)		電力/チャンネル
	$V_{DD1}$	$I_{DD1(Q)}$	$V_{DDO}$	$I_{DDO(Q)}$	
イネーブル	2.5 V	2.6 $\mu$ A	2.5 V	0.5 $\mu$ A	7.8 $\mu$ W
	3.3 V	4.8 $\mu$ A	3.3 V	0.8 $\mu$ A	18.5 $\mu$ W
ディスエーブル	2.5 V	0.05 $\mu$ A	2.5 V	0.05 $\mu$ A	0.3 $\mu$ W
	3.3 V	0.12 $\mu$ A	3.3 V	0.13 $\mu$ A	0.8 $\mu$ W

## 絶縁寿命

すべての絶縁構造は、長時間電圧ストレスを受けると最終的に劣化します。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲な評価を実施して ADuM1440/ ADuM1441/ADuM1442/ADuM1445/ADuM1446/ADuM1447 の絶縁構造の寿命を決定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。

表 18 に、バイポーラ AC 動作条件とアナログ・デバイセズの最大推奨動作電圧での 50 年の運用寿命に対するピーク電圧と最大 CSA/VDE 認定の最大動作電圧を示します。多くのケースで、承認された動作電圧は 50 年運用寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM1440/ADuM1441/ ADuM1442/ADuM1445/ADuM1446/ADuM1447 の絶縁寿命は、絶縁バリアに加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 34、図 35 および図 36 は、これらのさまざまなアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。

表 18 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 35 または図 36 適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は

表 18 に示す 50 年寿命電圧値に制限する必要があります。

図 35 に示す電圧は、説明目的のために正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができませんが、電圧は 0 V を通過することはできません。

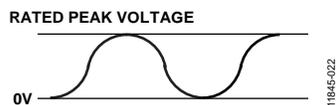


図 34.バイポーラ AC 波形

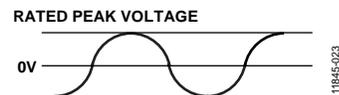


図 35.ユニポーラ AC 波形

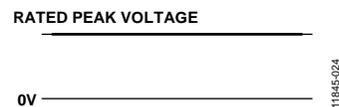
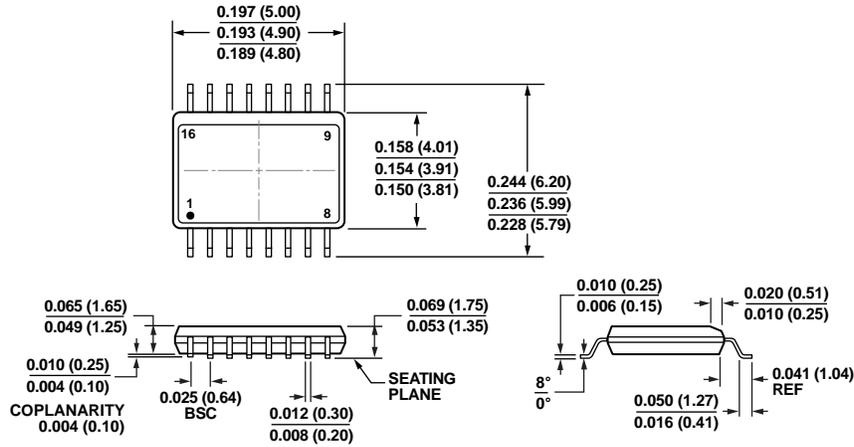


図 36.DC 波形

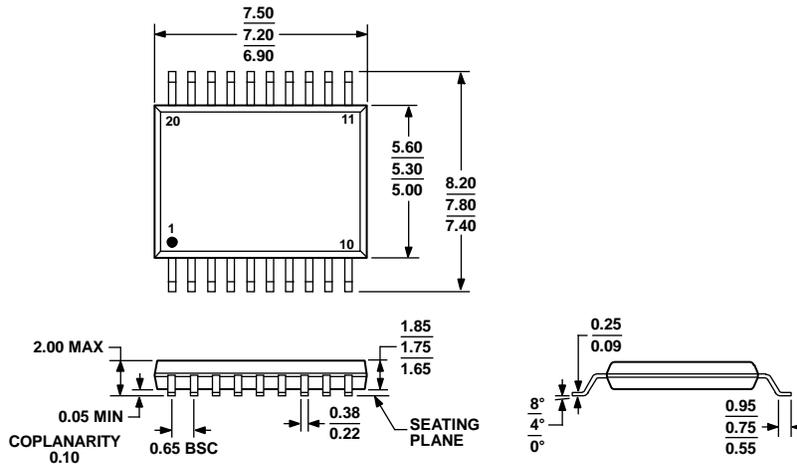
外形寸法



COMPLIANT TO JEDEC STANDARDS MO-137-AB  
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

01-28-2008-A

図 37.16 ピン・シュリンク・スモール・アウトライン・パッケージ[QSOP] (RQ-16) 寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-150-AE

060106-A

図 38.20 ピン・シュリンク・スモール・アウトライン・パッケージ[SSOP] (RS-20)

寸法表示: mm

## オーダー・ガイド

Model <sup>1, 2</sup>	Number of Inputs, V <sub>DD1</sub> Side	Number of Inputs, V <sub>DD2</sub> Side	Maximum Data Rate (Mbps)	Default Output State	Maximum Propagation Delay, 3.3 V (ns)	Temperature Range	Package Description	Package Option
ADuM1440ARQZ	4	0	2	High	180	-40°C to +125°C	16-Lead QSOP	RQ-16
ADuM1441ARQZ	3	1	2	High	180	-40°C to +125°C	16-Lead QSOP	RQ-16
ADuM1442ARQZ	2	2	2	High	180	-40°C to +125°C	16-Lead QSOP	RQ-16
ADuM1445ARQZ	4	0	2	Low	180	-40°C to +125°C	16-Lead QSOP	RQ-16
ADuM1446ARQZ	3	1	2	Low	180	-40°C to +125°C	16-Lead QSOP	RQ-16
ADuM1447ARQZ	2	2	2	Low	180	-40°C to +125°C	16-Lead QSOP	RQ-16
ADuM1440ARSZ	4	0	2	High	180	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM1441ARSZ	3	1	2	High	180	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM1442ARSZ	2	2	2	High	180	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM1445ARSZ	4	0	2	Low	180	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM1446ARSZ	3	1	2	Low	180	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM1447ARSZ	2	2	2	Low	180	-40°C to +125°C	20-Lead SSOP	RS-20

<sup>1</sup> Z = RoHS 準拠製品<sup>2</sup> \*テープとリールを提供しています。サフィックス-RL7 が付けられた製品は、7 インチのテープおよびリールで出荷されることを示します。