



3.0 kV RMS、1 チャンネル デジタル・アイソレータ

データシート

ADuM110N

特長

- 高いコモンモード過渡耐性: 100 kV/μs
- 放射ノイズと導通ノイズに対する高い堅牢性
- 小さい伝搬遅延
 - 5 V 動作時、最大 13 ns
 - 1.8 V 動作時、最大 15 ns
- 最大データ・レート: 150 Mbps
- 安全と規制に関する認定 (申請中)
 - UL 認定
 - UL 1577、3000 V rms、1 分間
 - CSA Component Acceptance Notice 5A
 - VDE 適合性認定
 - DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12
 - $V_{IORM} = 565$ V peak
 - GB4943.1-2011 による CQC 認定
- 下位互換性
 - ADuM1100 とピン互換
- 低ダイナミック消費電力
- 1.8 V から 5 V へのレベル変換
- 高温動作: 125°C
- フェイルセーフ・ハイまたはローのオプション
- RoHS 準拠の 8 ピン SOIC パッケージ

アプリケーション

- 汎用 1 チャンネル・アイソレーション
- 工業用フィールド・バス・アイソレーション

概要

ADuM110N は、アナログ・デバイセズの iCoupler® 技術に基づく 1 チャンネル・デジタル・アイソレータです。このアイソレーション・デバイスは、高速 CMOS 技術と空芯コアを使ったモノリシク・トランス技術の組み合わせによって、フォトカプラ・デバイスやその他の集積カプラといった他方式の製品よりも優れた性能特性を提供します。5 V 動作時の最大伝搬遅延は 13 ns で、パルス幅歪みは 3 ns 未満です。ADuM110N は最大 150 Mbps のデータ・レートに対応しており、耐電圧定格は 3.0 kV rms です (オーダー・ガイドを参照)。このデバイスは 1.8 V ~ 5 V の正負電源で動作し、低電圧システムにも使用できるほか、絶縁バリアをまたぐ電圧変換機能も備えています。フォトカプラを使用した他製品と異なり、入力ロジックの遷移がない場合に正確な DC レベルが維持されます。また、2 つの異なるフェイルセーフ・オプションを選択でき、入力電源が加えられていない場合や入力がディスエーブルされている場合でも、あらかじめ設定された状態に出力が遷移します。ADuM110N は ADuM1100 とピン互換です。

機能ブロック図

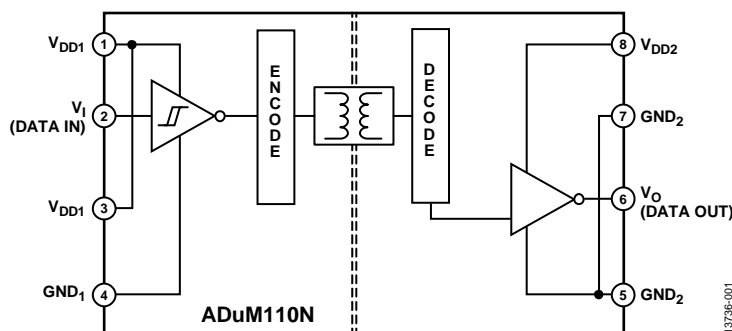


図 1.

¹ 米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2015 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	推奨動作条件.....	9
アプリケーション.....	1	絶対最大定格.....	10
概要.....	1	ESDに関する注意.....	10
機能ブロック図.....	1	ピン配置およびピン機能の説明.....	11
改訂履歴.....	2	代表的な性能特性.....	12
仕様.....	3	アプリケーション情報.....	13
電気的特性—5 V動作時.....	3	概要.....	13
電気的特性—3.3 V動作時.....	4	プリント回路基板 (PCB) レイアウト.....	13
電気的特性—2.5 V動作時.....	5	伝搬遅延に関するパラメータ.....	14
電気的特性—1.8 V動作時.....	6	ジッタの測定.....	14
絶縁および安全性関連の仕様.....	7	絶縁寿命.....	14
パッケージ特性.....	7	外形寸法.....	16
適用規格.....	8	オーダー・ガイド.....	16
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性.....	8		

改訂履歴

10/15—Revision 0: Initial Version

仕様

電気的特性— 5 V 動作時

すべての typ 仕様は $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{ V}$ で規定されます。最小/最大仕様は、特に指定がない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定がない限り、スイッチング仕様は $C_L = 15\text{ pF}$ および CMOS 信号レベルで試験されます。電源電流の仕様は 50% デューティ・サイクルで規定されています。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within pulse width distortion (PWD) limit
Data Rate		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	4.8	7.2	13	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.5	3	ns	$ t_{\text{PLH}} - t_{\text{PHL}} $
Change vs. Temperature			1.5		ps/°C	
Propagation Delay Skew	t_{PSK}			6.0	ns	Between any two units at the same temperature, voltage, and load
Jitter			380		ps p-p	See the ジッタの測定 section
			55		ps rms	See the ジッタの測定 section
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{\text{DD1}}$			V	
Logic Low	V_{IL}			$0.3 \times V_{\text{DD1}}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{\text{DD2}} - 0.1$	V_{DD2}		V	Output current (I_O) = $-20\ \mu\text{A}$, input voltage (V_I) = V_{IH}
		$V_{\text{DD2}} - 0.4$	$V_{\text{DD2}} - 0.2$		V	$I_O = -4\ \text{mA}$, $V_I = V_{\text{IH}}$
Logic Low	V_{OL}		0.0	0.1	V	$I_O = 20\ \mu\text{A}$, $V_I = V_{\text{IL}}$
			0.2	0.4	V	$I_O = 4\ \text{mA}$, $V_I = V_{\text{IL}}$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_I \leq V_{\text{DD1}}$
Quiescent Supply Current						
	$I_{\text{DD1 (Q)}}$		0.9	1.4	mA	$V_I = 0$ (N0), 1 (N1) ¹
	$I_{\text{DD2 (Q)}}$		1.0	1.3	mA	$V_I = 0$ (N0), 1 (N1) ¹
	$I_{\text{DD1 (Q)}}$		3.6	6.0	mA	$V_I = 1$ (N0), 0 (N1) ¹
	$I_{\text{DD2 (Q)}}$		1.0	1.4	mA	$V_I = 1$ (N0), 0 (N1) ¹
Dynamic Supply Current						
Dynamic Output	$I_{\text{DDI (D)}}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Input	$I_{\text{DDO (D)}}$		0.02		mA/Mbps	Inputs switching, 50% duty cycle
Undervoltage Lockout	UVLO					
Positive V_{DDx} Threshold	$V_{\text{DDxUV+}}$		1.6		V	
Negative V_{DDx} Threshold	$V_{\text{DDxUV-}}$		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	$t_{\text{R}}/t_{\text{F}}$		2.5		ns	10% to 90%
Common-Mode Transient Immunity ²	$ CM_{\text{H}} $	75	100		kV/ μs	$V_I = V_{\text{DD1}}$, $V_{\text{CM}} = 1000\text{ V}$, transient magnitude = 800 V
	$ CM_{\text{L}} $	75	100		kV/ μs	$V_I = 0\text{ V}$, $V_{\text{CM}} = 1000\text{ V}$, transient magnitude = 800 V

¹ N0 は ADuM110N0 モデルを、N1 は ADuM110N1 モデルを示します。オーダー・ガイドのセクションを参照してください。

² $|CM_{\text{H}}|$ は、 $(V_O) > 0.8 V_{\text{DD2}}$ の電圧出力を維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_{\text{L}}|$ は $V_O > 0.8\text{ V}$ を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧のスルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

表 2. データ・スループットと合計電源電流— 5 V 動作時

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
Supply Current Side 1	I_{DD1}		2.2	3.7		2.5	3.9		3.6	4.9	mA
Supply Current Side 2	I_{DD2}		1.1	1.6		1.6	2.3		3.1	4.6	mA

電気的特性— 3.3 V 動作時

すべての typ 仕様は $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 3.3\text{ V}$ で規定されます。最小/最大仕様は、特に指定がない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定がない限り、スイッチング仕様は $C_L = 15\text{ pF}$ および CMOS 信号レベルで試験されます。電源電流の仕様は 50% デューティ・サイクルで規定されています。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	4.8	6.8	14	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			7.0	ns	Between any two units at the same temperature, voltage, and load
Jitter			290		ps p-p	See the ジッタの測定 section
			45		ps rms	See the ジッタの測定 section
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DD1}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DD2} - 0.1$	V_{DD2}		V	$I_O = -20\ \mu\text{A}$, $V_I = V_{IH}$
		$V_{DD2} - 0.4$	$V_{DD2} - 0.2$		V	$I_O = -2\ \text{mA}$, $V_I = V_{IH}$
Logic Low	V_{OL}		0.0	0.1	V	$I_O = 20\ \mu\text{A}$, $V_I = V_{IL}$
			0.2	0.4	V	$I_O = 2\ \text{mA}$, $V_I = V_{IL}$
Input Current per Channel	I_i	-10	+0.01	+10	μA	$0\text{ V} \leq V_i \leq V_{DD1}$
Quiescent Supply Current						
	$I_{DD1(Q)}$		0.8	1.3	mA	$V_i = 0\ (\text{N0}), 1\ (\text{N1})^1$
	$I_{DD2(Q)}$		0.9	1.4	mA	$V_i = 0\ (\text{N0}), 1\ (\text{N1})^1$
	$I_{DD1(Q)}$		3.6	5.8	mA	$V_i = 1\ (\text{N0}), 0\ (\text{N1})^1$
	$I_{DD2(Q)}$		0.9	1.4	mA	$V_i = 1\ (\text{N0}), 0\ (\text{N1})^1$
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Undervoltage Lockout	UVLO					
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
AC SPECIFICATIONS						
Output Rise/Fall Time	t_r/t_f		2.5		ns	10% to 90%
Common-Mode Transient Immunity ²	$ CM_H $	75	100		kV/ μ s	$V_i = V_{DD1}$, $V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_i = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ N0 は ADuM110N0 モデルを、N1 は ADuM110N1 モデルを示します。オーダー・ガイドのセクションを参照してください。

² $|CM_H|$ は、 $(V_o) > 0.8 V_{DD2}$ の電圧出力を維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は $V_o > 0.8$ V を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧のスルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

表 4. データ・スループットと合計電源電流— 3.3 V 動作時

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
Supply Current Side 1	I_{DD1}		2.2	3.5		2.4	3.6		3.2	4.6	mA
Supply Current Side 2	I_{DD2}		0.9	1.5		1.4	2.0		2.8	4.3	mA

電気的特性— 2.5 V 動作時

すべての typ 仕様は $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 2.5$ V で規定されます。最小/最大仕様は、特に指定がない限り、 $2.25 \text{ V} \leq V_{DD1} \leq 2.75 \text{ V}$ 、 $2.25 \text{ V} \leq V_{DD2} \leq 2.75 \text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定がない限り、スイッチング仕様は $C_L = 15$ pF および CMOS 信号レベルで試験されます。電源電流の仕様は 50% デューティ・サイクルで規定されています。

表 5.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate			150		Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	5.0	7.0	14	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			7.0	ns	Between any two units at the same temperature, voltage, load
Jitter			320		ps p-p	See the ジッタの測定 section
			65		ps rms	See the ジッタの測定 section
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DD1}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DD2} - 0.1$	V_{DD2}		V	$I_o = -20 \mu\text{A}$, $V_i = V_{IH}$
Logic Low	V_{OL}	$V_{DD2} - 0.4$	$V_{DD2} - 0.2$		V	$I_o = -2 \text{ mA}$, $V_i = V_{IH}$
			0.0	0.1	V	$I_o = 20 \mu\text{A}$, $V_i = V_{IL}$
			0.2	0.4	V	$I_o = 2 \text{ mA}$, $V_i = V_{IL}$
Input Current per Channel	I_i	-10	+0.01	+10	μA	$0 \text{ V} \leq V_i \leq V_{DD1}$
Quiescent Supply Current						
	$I_{DD1(Q)}$		0.8	1.1	mA	$V_i = 0$ (N0), 1 (N1) ¹
	$I_{DD2(Q)}$		0.9	1.2	mA	$V_i = 0$ (N0), 1 (N1) ¹
	$I_{DD1(Q)}$		3.5	5.6	mA	$V_i = 1$ (N0), 0 (N1) ¹
	$I_{DD2(Q)}$		1.0	1.2	mA	$V_i = 1$ (N0), 0 (N1) ¹
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Undervoltage Lockout						
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_r/t_f		2.5		ns	10% to 90%
Common-Mode Transient Immunity ²	$ CM_H $	75	100		kV/ μ s	$V_I = V_{DD1}$, $V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_I = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ N0 は ADuM110N0 モデルを、N1 は ADuM110N1 モデルを示します。オーダー・ガイドのセクションを参照してください。

² $|CM_H|$ は、 $(V_O) > 0.8 V_{DD2}$ の電圧出力を維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は $V_O > 0.8$ V を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧のスルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

表 6. データ・スルー・レートと合計電源電流— 2.5 V 動作時

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
Supply Current Side 1	I_{DD1}		2.2	3.4		2.4	3.6		3.2	4.3	mA
Supply Current Side 2	I_{DD2}		0.9	1.4		1.3	1.8		2.3	3.5	mA

電気的特性— 1.8 V 動作時

すべての typ 仕様は $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 1.8$ V で規定されます。最小/最大仕様は、特に指定がない限り、 $1.7 \text{ V} \leq V_{DD1} \leq 1.9 \text{ V}$ 、 $1.7 \text{ V} \leq V_{DD2} \leq 1.9 \text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定がない限り、スイッチング仕様は $C_L = 15$ pF および CMOS 信号レベルで試験されます。電源電流の仕様は 50% デューティ・サイクルで規定されています。

表 7.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	5.8	8.7	15	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			7.0	ns	Between any two units at the same temperature, voltage, and load
Jitter			630		ps p-p	See the ジッタの測定 section
			190		ps rms	See the ジッタの測定 section
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DD1}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DD2} - 0.1$	V_{DD2}		V	$I_O = -20 \mu\text{A}$, $V_I = V_{IH}$
		$V_{DD2} - 0.4$	$V_{DD2} - 0.2$		V	$I_O = -2 \text{ mA}$, $V_I = V_{IH}$
Logic Low	V_{OL}		0.0	0.1	V	$I_O = 20 \mu\text{A}$, $V_I = V_{IL}$
			0.2	0.4	V	$I_O = 2 \text{ mA}$, $V_I = V_{IL}$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_I \leq V_{DD1}$
Quiescent Supply Current						
	$I_{DD1(Q)}$		0.7	1.1	mA	$V_I = 0$ (N0), 1 (N1) ¹
	$I_{DD2(Q)}$		0.9	1.2	mA	$V_I = 0$ (N0), 1 (N1) ¹
	$I_{DD1(Q)}$		3.4	5.4	mA	$V_I = 1$ (N0), 0 (N1) ¹
	$I_{DD2(Q)}$		0.9	1.2	mA	$V_I = 1$ (N0), 0 (N1) ¹

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Undervoltage Lockout	UVLO					
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ²	$ CM_H $	75	100		kV/ μ s	$V_I = V_{DD1}$, $V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_I = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ NO は ADuM110N0 モデルを、N1 は ADuM110N1 モデルを示します。オーダー・ガイドのセクションを参照してください。

² $|CM_H|$ は、 $(V_O) > 0.8 V_{DD2}$ の電圧出力を維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は $V_O > 0.8$ V を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧のスルー・レートは、立ち上がり立ち下がり両方のコモンモード電圧エッジに適用されます。

表 8. データ・スルー・ポイントと合計電源電流— 1.8 V 動作時

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
Supply Current Side 1	I_{DD1}		2.1	3.1		2.3	3.4		3.0	4.2	mA
Supply Current Side 2	I_{DD2}		0.9	1.2		1.2	1.6		2.2	3.2	mA

絶縁および安全性関連の仕様

詳細については www.analog.com/icouplersafety を参照してください。

表 9.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		3000	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L (I01)	4.0	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L (I02)	4.0	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	4.5	mm min	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Internal Gap (Internal Clearance)		25.5	μ m min	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Material Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

パッケージ特性

表 10.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R_{I-O}		10^{13}		Ω	
Capacitance (Input to Output) ¹	C_{I-O}		2		pF	$f = 1$ MHz
Input Capacitance ²	C_I		4.0		pF	
IC Junction to Ambient Thermal Resistance	θ_{JA}		80		$^{\circ}$ C/W	Thermocouple located at center of package underside

¹ ADuM110N は 2 端子デバイスとみなします。すなわち、ピン 1 ~ ピン 4 を相互に短絡し、さらにピン 5 ~ ピン 8 を相互に短絡します。

² 入力容量は、任意の入力データ・ピンとグラウンド間に接続します。

適用規格

特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 16 および絶縁寿命のセクションを参照してください。

表 11.

UL (Pending)	CSA (Pending)	VDE (Pending)	CQC (Pending)
Recognized Under 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²	Certified by CQC11-471543-2012
Single Protection, 3000 V rms Isolation Voltage	CSA 60950-1-07+A1+A2 and IEC 60950-1, Second Edition, +A1+A2	Basic insulation 565 V peak, $V_{IOSM} = 10$ kV peak	GB4943.1-2011
Double Protection, 3000 V rms Isolation Voltage	Basic insulation at 400 V rms (565 V peak) Reinforced insulation at 200 V rms (283 V peak) IEC 60601-1 Edition 3.1	Reinforced insulation, 565 V peak, $V_{IOSM} = 6000$ V peak	Basic insulation at 770 V rms (1089 V peak), reinforced insulation at 385 V rms (545 V peak), tropical climate, altitude ≤ 5000 meters
File E214100	Basic insulation (1 MOPP), 250 V rms (354 V peak) CSA 61010-1-12 and IEC 61010-1 Third Edition Basic insulation at 300 V rms (main), 400 V rms (565 V peak) Reinforced insulation at 300 V rms (main), 200 V (secondary) (283 V peak) File 205078	File 2471900-4880-0001	File (pending)

¹ UL 1577 に従い、それぞれの ADuM110N には 3600 V rms 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています。

² DIN V VDE V 0884-10 に従い、それぞれの ADuM110N には 1059 V peak 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています（部分放電検出限界 = 5 pC）。デバイス表面のアスタリスク (*) は、DIN V VDE V 0884-10 認定製品であることを示します。

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

このアイソレータは強化絶縁に適していますが、必ず安全性制限データの範囲内で使用してください。保護回路を使用して、安全性データを維持してください。パッケージ表面のアスタリスク (*) は、DIN V VDE V 0884-10 認定製品であることを表します。

表 12.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to III	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	565	V peak
Input to Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{pd(m)}$, 100% production test, $t_{mi} = t_m = 1$ sec, partial discharge < 5 pC	$V_{pd(m)}$	1059	V peak
Input to Output Test Voltage, Method A After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$, $t_{mi} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	848	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{mi} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC		678	V peak
Highest Allowable Overvoltage		V_{IOTM}	4200	V peak
Surge Isolation Voltage Basic	V peak = 10.0 kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	10,000	V peak
Reinforced	V peak = 10.0 kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	6000	V peak

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Safety Limiting Values	Maximum value allowed in the event of a failure (see 図 2)			
Maximum Junction Temperature		T_S	150	°C
Total Power Dissipation at 25°C		PS	1.56	W
Insulation Resistance at T_S	$V_{IO} = 500 \text{ V}$	R_S	$>10^9$	Ω

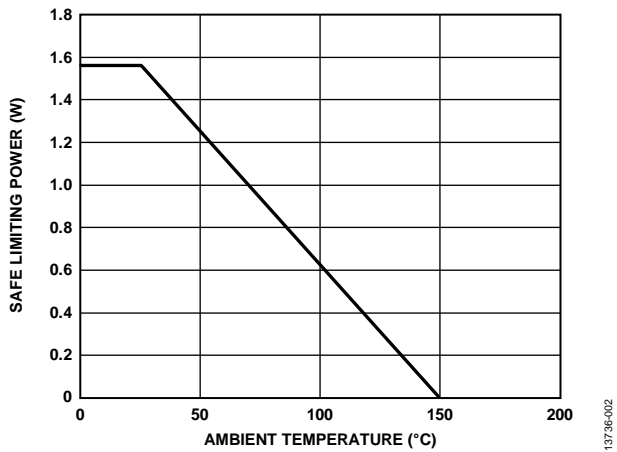


図 2. 熱ディレーティング曲線、DIN V VDE V 0884-10 による安全限界電力の周囲温度に対する依存性

推奨動作条件

表 13.

Parameter	Symbol	Rating
Operating Temperature	T_A	-40°C to +125°C
Supply Voltages	V_{DD1} , V_{DD2}	1.7 V to 5.5 V
Input Signal Rise and Fall Times		1.0 ms

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 14.

Parameter	Rating
Storage Temperature (T_{ST}) Range	-65°C to $+150^\circ\text{C}$
Ambient Operating Temperature (T_A) Range	-40°C to $+125^\circ\text{C}$
Supply Voltages (V_{DD1} , V_{DD2})	-0.5 V to $+7.0\text{ V}$
Input Voltages (V_I)	-0.5 V to $V_{DD1}^1 + 0.5\text{ V}$
Output Voltages (V_O)	-0.5 V to $V_{DD2}^2 + 0.5\text{ V}$
Average Output Current per Pin ³ Side 2 Output Current (I_{O2})	-10 mA to $+10\text{ mA}$
Common-Mode Transients ⁴	$-150\text{ kV}/\mu\text{s}$ to $+150\text{ kV}/\mu\text{s}$

¹ V_{DD1} は入力側電源電圧です。

² V_{DD2} は出力側電源電圧です。

³ 種々の温度に対する最大定格電力値については、図2を参照してください。

⁴ 絶縁バリアをまたぐコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障の原因になり得ます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。
電荷を帯びたデバイスや回路ボードは、検知されないうちに放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 15. 最大連続動作電圧¹

Parameter	Rating	Constraint
AC Voltage		
Bipolar Waveform		
Basic Insulation	789 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Reinforced Insulation	403 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Unipolar Waveform		
Basic Insulation	909 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Reinforced Insulation	469 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
DC Voltage		
Basic Insulation	558 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Reinforced Insulation	285 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1

¹ 絶縁バリアに加わる連続電圧の大きさを表します。詳細については絶縁寿命のセクションを参照してください。

真理値表

表 16. 真理値表 (正ロジック)

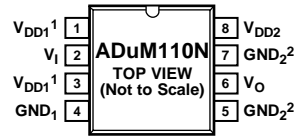
V_I Input ¹	V_{DD1} State	V_{DD2} State	Default Low (N0), ² V_O Output ¹	Default High (N1), ² V_O Output エラー! ブックマークが定義されていません。	Test Conditions/ Comments
L	Powered	Powered	L	L	Normal operation
H	Powered	Powered	H	H	Normal operation
X ³	Unpowered	Powered	L	H	Fail-safe output
X ³	Powered	Unpowered	Indeterminate	Indeterminate	

¹ H はハイ、L はロー、X はドント・ケアを表します。

² N0 は ADuM110N0 モデルを、N1 は ADuM110N1 モデルを示します。オーダー・ガイドのセクションを参照してください。

³ 電源が供給されていない側と同じ側の入力ピン (V_I) は、ESD 保護回路を通してデバイスに電源が供給されるのを防ぐために、ロー状態になっていなければなりません。

ピン配置およびピン機能の説明



¹ PIN 1 AND PIN 3 ARE INTERNALLY CONNECTED. EITHER OR BOTH MAY BE USED FOR V_{DD1} .
² PIN 5 AND PIN 7 ARE INTERNALLY CONNECTED. EITHER OR BOTH MAY BE USED FOR GND_2 .

13736-004

図 3. ピン配置

表 17. ピン機能の説明

Pin No.	Mnemonic	Description ¹
1	V_{DD1}	アイソレータ・サイド 1 の電源電圧。
2	V_I	ロジック入力。
3	V_{DD1}	アイソレータ・サイド 1 の電源電圧。
4	GND_1	グラウンド 1。アイソレータ・サイド 1 のグラウンド基準。
5	GND_2	グラウンド 2。アイソレータ・サイド 2 のグラウンド基準。
6	V_O	ロジック出力
7	GND_2	グラウンド 2。アイソレータ・サイド 2 のグラウンド基準。
8	V_{DD2}	アイソレータ・サイド 2 の電源電圧。

¹ 具体的なレイアウトのガイドラインについては、[アプリケーション・ノート AN-1109](#) を参照してください。

代表的な性能特性

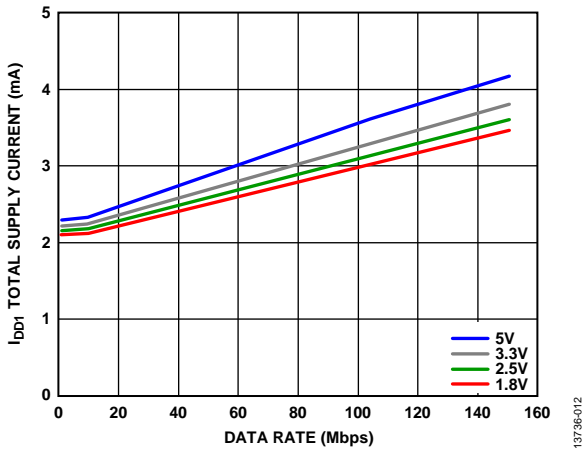


図 4. 異なる電圧でのデータ・レート対 I_{DD1} 合計電源電流

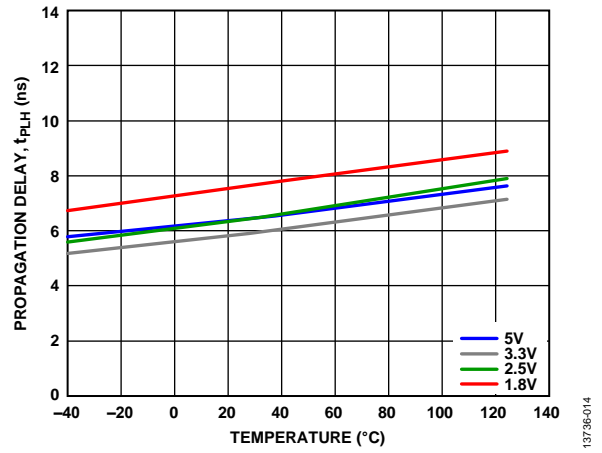


図 6. 異なる電圧での伝搬遅延 t_{PLH} の温度特性

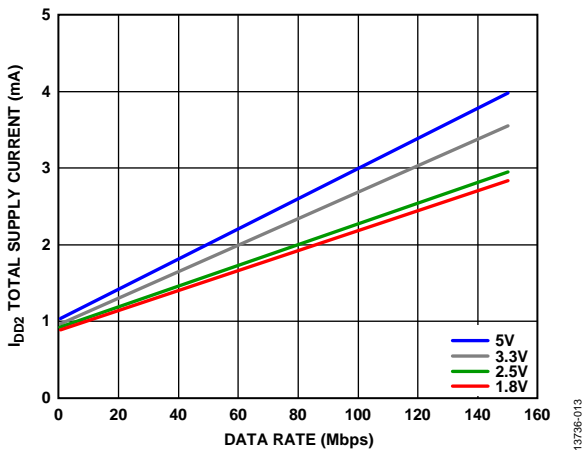


図 5. 異なる電圧でのデータ・レート対 I_{DD2} 合計電源電流

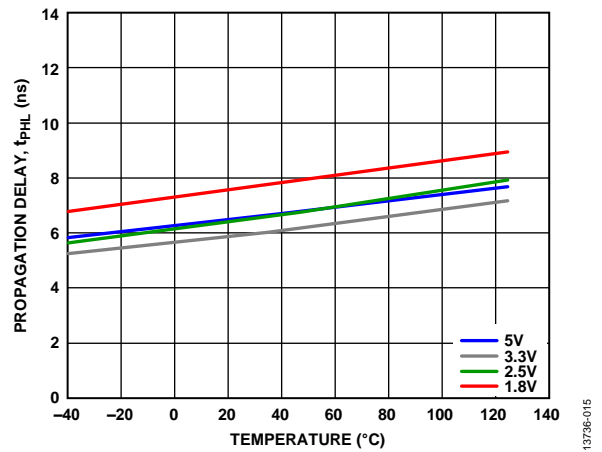


図 7. 異なる電圧での伝搬遅延 t_{PHL} の温度特性

アプリケーション情報

概要

ADuM110N は、複数のポリイミド絶縁層によって分離された *iCoupler* チップ・スケール・トランス・コイルを使い、高周波キャリアによって絶縁バリア越しにデータを伝送します。オンオフ・キーイング (OOK) 方式および図 9 と図 10 に示す差動構成を使用して、ADuM110N は極めて小さい伝搬遅延と高速を実現します。内蔵レギュレータと入出力設計手法により 1.7 V ~ 5.5 V というロジック電圧と電源電圧を使用可能で、1.8 V、2.5 V、3.3 V、および 5 V のロジック電圧変換を行います。アーキテクチャは、高いコモンモード過渡耐圧と、電氣的ノイズおよび磁気干渉に対する高い耐性を実現できるように設計されています。放射妨害波は、スペクトラム拡散 OOK キャリアその他の手法によって最小限に抑えられています。

ADuM110N0 モデルの波形を図 9 に示します。このモデルはフェイルセーフ出力状態の条件がローで、入力状態がローになるとキャリア波形がオフになります。入力側がオフになっているか動作していない場合は、フェイルセーフ出力の状態がローで出力がローに設定されます (モデル番号に 0 が付きます)。ADuM110N1 モデルのフェイルセーフ出力状態はハイで、図 10 は、入力状態がハイの時にキャリア波形がオフになる条件を示したものです。入力側がオフになっているか動作していない場合は、フェイルセーフ出力の状態がハイで出力がハイに設定されます (モデル番号に 1 が付きます)。フェイルセーフ出力状態がローまたはハイのモデル番号については、オーダー・ガイドを参照してください。

プリント回路基板 (PCB) レイアウト

ADuM110N デジタル・アイソレータに、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力および出力電源ピンには、電源バイパスを行うことを強く推奨します (図 8 参照)。V_{DD1} のバイパス・コンデンサはピン 1 とピン 4 の間に、V_{DD2} のバイパス・コンデンサはピン 5 とピン 8 の間に接続するのが最適です。バイパス・コンデンサの推奨値は 0.01 μF ~ 0.1 μF です。コンデンサ両端と入力電源ピンの間の総パターン長は 10 mm 以下にしてください。

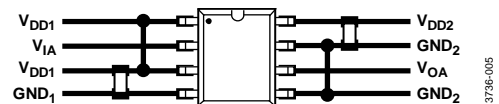


図 8. 推奨プリント回路基板 (PCB) レイアウト

高いコモンモード過渡電圧が発生するアプリケーションでは、絶縁バリアをまたぐボード結合を最小限に抑えてください。さらに、すべての結合がデバイス側のすべてのピンで等しく生じるように基板レイアウトを設計する必要があります。この注意を怠ると、ピン間で生じる電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。ボード・レイアウトのガイドラインについては、アプリケーション・ノート AN-1109 を参照してください。

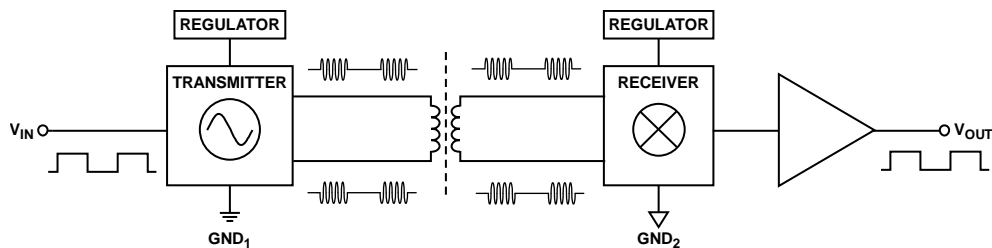


図 9. フェイルセーフ出力状態がローの 1 チャンネルの動作ブロック図

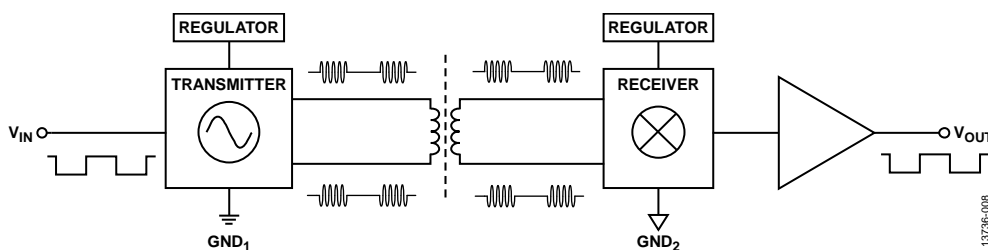


図 10. フェイルセーフ出力状態がハイの 1 チャンネルの動作ブロック図

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表すパラメータです。ロジック 0 出力への伝搬遅延とロジック 1 出力への伝搬遅延は異なります。

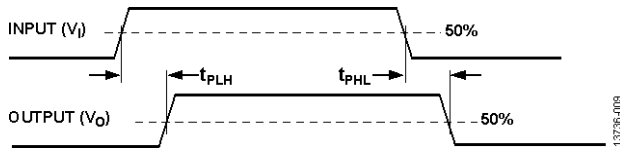


図 11. 伝搬遅延パラメータ

パルス幅歪みは、これら 2 値間の最大差であり、入力信号のタイミングが出力信号で再現される精度を表します。

伝搬遅延スキューは、同じ条件下で動作する複数の ADuM110N デバイス間での伝搬遅延差の最大値です。

ジッタの測定

ADuM110N のアイ・ダイアグラムを図 12 に示します。測定は Agilent 81110A パルス・パターン・ジェネレータを使用し、疑似ランダム・ビット・シーケンス (PRBS) 2 (n-1) により 150 Mbps で行いました。n = 14 で、電源は 5 V です。ジッタは、DPOJET ジッタおよびアイ・ダイアグラム解析ツールを使用し、Tektronix Model 5104B オシロスコープ (1 GHz、10 GS/Sec) により測定しました。測定により得られたジッタは 380 ps p-p で、これは ADuM110N における標準的な値です。

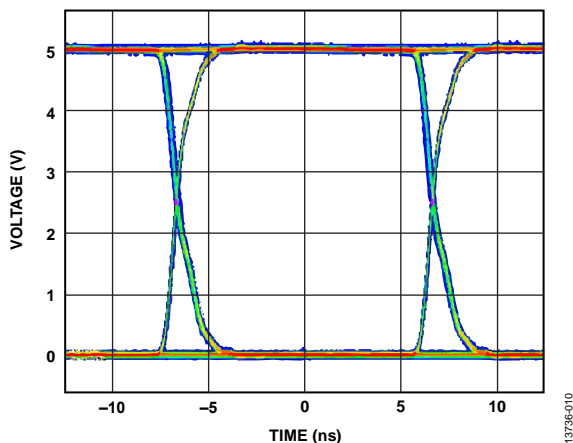


図 12. アイ・ダイアグラム

絶縁寿命

すべての絶縁構造は、長時間電圧ストレスを受けると最終的には劣化します。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性、および絶縁の材料と材料接合部に依存します。

主に問題となる 2 種類の絶縁劣化は、空気さらされる表面の破損と絶縁疲労です。表面の破損は表面トラッキングと呼ばれる現象で、システム・レベル規格の沿面距離に関する要件の主な決定要素です。絶縁疲労は、チャージ・インジェクション

または絶縁材料内部の変位電流により、長期的に絶縁効果が低下する現象です。

表面トラッキング

表面トラッキングは、動作電圧、環境条件、絶縁材料特性に基づく最小沿面距離を設定することにより、電気的安全規格で規定されています。安全性規制当局は、部品の表面絶縁について特性評価テストを行います。これにより、部品を異なる材料グループに分けることができます。材料グループの分類番号が小さいものほど表面トラッキングに対して強い耐性を持つため、小さい沿面距離で十分な寿命を持つことができます。与えられた動作電圧と材料グループに対する最小沿面距離は各システム・レベル規格内にあり、これは絶縁をまたぐ合計 rms 電圧、汚染度、材料グループに基づいています。ADuM110N アイソレータの材料グループと沿面距離を表 9 に示します。

絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。製品寿命がそのアプリケーションの動作電圧において妥当なものかどうかを確認することが重要です。アイソレータが疲労に関して対応している動作電圧は、トラッキングに関して対応している動作電圧と異なることがあります。大部分の規格で規定されているのは、トラッキングに適用される動作電圧です。

テストやモデルの結果は、長期的な性能低下の主な原因がポリイミド絶縁体内の変位電流であることを示しており、損傷は時間とともに大きくなります。絶縁体にかかるストレスは、DC ストレスと、時間変化する AC 成分によるストレスの 2 つに大別できます。DC ストレスは変位電流がないためほとんど疲労を発生させませんが、AC 成分による電圧ストレスは疲労を発生させます。認定ドキュメントに記載する定格は、通常 60 Hz の正弦波ストレスに基づいています。これは、正弦波ストレスにライン電圧からのアイソレーションが反映されるためです。ただし、多くの実用的アプリケーションでは、式 1 に示すように、60 Hz AC と絶縁バリアをまたぐ DC とが組み合わせられています。疲労を発生させるのはストレスの AC 部分だけなので、この式は、式 2 に示すように AC rms 電圧を求めるように変形できます。これらの製品に使われているポリイミド材料の絶縁疲労の場合は、AC rms 電圧が製品寿命を決定します。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

$V_{AC\ RMS}$ は動作電圧の時間変化部分、

V_{DC} は動作電圧の DC オフセット、

V_{RMS} は合計 rms 動作電圧です。

計算とパラメータ使用の例

電力変換アプリケーションでは、次に示す例が頻繁に発生します。絶縁バリアの一方のライン電圧を 240 V_{AC RMS} とし、もう一方のバス電圧を 400 V_{DC} とします。絶縁材料はポリイミドです。デバイスの沿面距離、クリアランス、および寿命を求める際のクリティカル電圧を決めるには、図 13 と以下の式を参照してください。

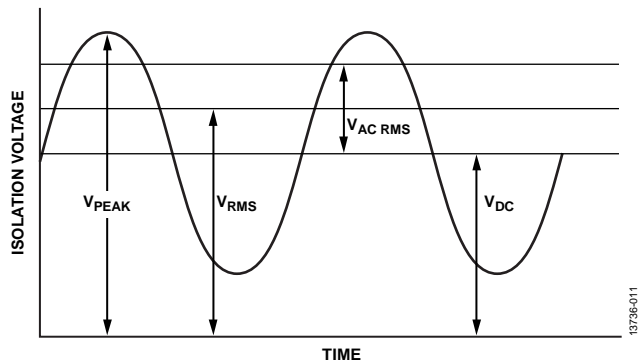


図 13. クリティカル電圧の例

式 1 のバリアをまたぐ動作電圧は以下のようになります。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\ V$$

これが、システム規格によって要求される沿面距離を調べる際に、材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が妥当なものかどうかを調べるときは、動作電圧の時間変化部分を取り出します。AC rms 電圧は式 2 を使って求めます。

$$V_{ACRMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

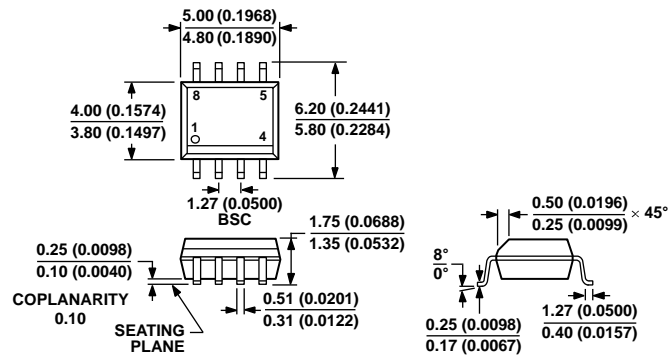
$$V_{ACRMS} = \sqrt{466^2 - 400^2}$$

$$V_{ACRMS} = 240\ V\ rms$$

この場合、AC rms 電圧は単純に 240 V rms のライン電圧になります。波形が正弦波でない場合は、この計算がさらに妥当になります。60 Hz 未満の正弦波に対する寿命を予測するために、この値を表 15 に示す動作電圧の制限値と比較すると、50 年のサービス寿命に対する制限値の範囲内に十分入っています。

表 15 に示す DC 動作電圧の制限値は、IEC 60664-1 の規定に準拠したパッケージの沿面距離によって設定されています。この値は、個々のシステム・レベル規格によって異なることがあります。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407A

図 14.8 ピン標準スモール・アウトライン・パッケージ [SOIC_N]
 ナロー・ボディ (R-8)
 寸法: mm (インチ)

オーダー・ガイド

Model ¹	Temperature Range	No. of Inputs, V _{DD1} Side	No. of Inputs, V _{DD2} Side	Withstand Voltage Rating (kV rms)	Fail-Safe Output State	Package Description	Package Option
ADuM110N1BRZ	-40°C to +125°C	1	0	3.0	High	8-Lead SOIC_N	R-8
ADuM110N1BRZ-RL7	-40°C to +125°C	1	0	3.0	High	8-Lead SOIC_N	R-8
ADuM110N0BRZ	-40°C to +125°C	1	0	3.0	Low	8-Lead SOIC_N	R-8
ADuM110N0BRZ-RL7	-40°C to +125°C	1	0	3.0	Low	8-Lead SOIC_N	R-8

¹ Z = RoHS 準拠製品。