



パワー・マネージメントを統合した 超低消費電力 ARM Cortex-M4F MCU

データシート

ADuCM4050

特長

EEMBC ULPMark™-CP スコア (3V) : 189
超低消費電力のアクティブ・モードと休止モード
アクティブ・モード・ダイナミック電流:
41µA/MHz (代表値)
Flexi モード時: 400µA (代表値)
休止モード時: 0.65µA (代表値)
シャットダウン・モード時: 50nA (代表値)
シャットダウン・モード (高速ウェイクアップ) 時:
0.20µA (代表値)
FPU、MPU、SWD インターフェース対応 ITM を備えた
52MHz ARM Cortex-M4F プロセッサ
パワー・マネージメント
単電源動作 (VBAT ピンに接続) : 1.74 V~3.6V
降圧コンバータ (オプション) で効率を向上
メモリ・オプション
ECC 付き 512kB 組み込みフラッシュ・メモリ
4kB キャッシュ・メモリでアクティブ時の消費電力を削減
コンフィギュラブルなパリティ付き 128kB システム SRAM
安全性
専用の内蔵発振器を使ったウォッチドッグ
プログラマブル多項式によるハードウェア CRC
マルチパリティ・ビットで保護された SRAM
ECC で保護された組み込みフラッシュ
セキュリティ
AES-128、AES-256、SHA-256 をサポートするハードウェア
暗号化アクセラレータ
フラッシュ内で保護された鍵の保存、SHA-256 に基づく
鍵生成
HMAC と鍵ラップ/アンラップ
ユーザ・コードの保護
TRNG

デジタル・ペリフェラル

3 SPI インターフェースにより、センサー、無線機、
コンバータへのグルーレス・インターフェースが可能
1つの I²C ペリフェラル・インターフェースと
2つの UART ペリフェラル・インターフェース
コンバータと無線機のプログラマブル GPIO
(LFCSP では 44 個、WLCSP では 51 個) にそのまま接続
できる SPORT
PWM 対応の 3 つの汎用タイマー
RGB LED を駆動する RGB タイマー
計時用 RTC0
SensorStrobe とタイム・スタンピングを備えた RTC1
プログラマブルなビーパ
27 チャンネル DMA コントローラ
クロック機能
26MHz クロック: 内蔵発振器、外部水晶発振器、
SYS_CLKIN による外部クロック、内蔵 PLL
32MHz クロック: 内蔵発振器、低消費電力水晶発振器
外部発振器用クロック不良検出
アナログ・ペリフェラル
12 ビット SAR ADC、1.8MSPS、8 チャンネル、
デジタル・コンパレータ

アプリケーション

モノのインターネット (IoT)
スマート農業、スマート・ビルディング、スマート・
メータリング、スマート・シティ、スマート・マシン、
センサー・ネットワーク
ウェアラブル・デバイス
フィットネスおよび医療
機械学習およびニューラル・ネットワーク

機能ブロック図

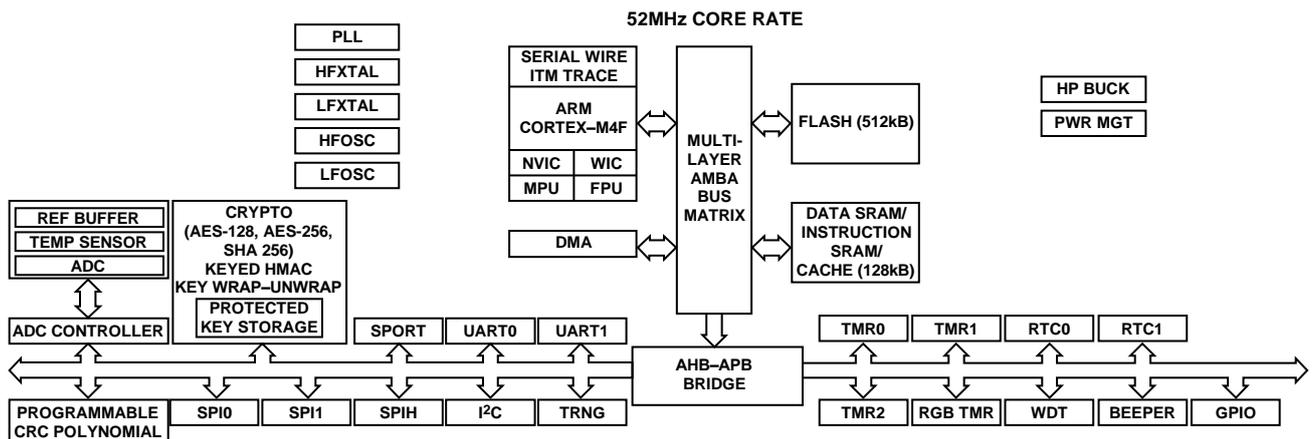


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区西区平島町 6-1 名古屋ルーセントタワー 40F
電話 052 (569) 6300

14745-001

目次

特長.....	1	動作原理.....	28
アプリケーション.....	1	ARM Cortex-M4F プロセッサ.....	28
機能ブロック図.....	1	メモリ・アーキテクチャ.....	29
改訂履歴.....	2	システム統合機能.....	30
概要.....	3	オンチップ・ペリフェラルの機能.....	35
製品のハイライト.....	3	開発サポート.....	36
仕様.....	4	リファレンス設計.....	36
動作条件と電気的特性.....	4	セキュリティ機能の免責事項.....	36
組み込みフラッシュ仕様.....	4	MCU テスト条件.....	36
電源電流仕様.....	5	ドライバ・タイプ.....	36
ADC の仕様.....	10	EEMBC ULPMark™-CP スコア.....	37
温度センサー仕様.....	11	GPIO マルチプレクス.....	38
システム・クロック.....	12	アプリケーション情報.....	40
タイミング仕様.....	13	シリコン・アノマリ.....	43
絶対最大定格.....	20	ADuCM4050 の機能性の問題.....	43
熱抵抗.....	20	機能性の問題.....	43
ESD に関する注意..エラー! ブックマークが定義されていません。		セクション 1. ADuCM4050 の機能性の問題.....	44
ピン配置およびピン機能の説明.....	21	外形寸法.....	45
代表的な性能特性.....	26	オーダー・ガイド.....	46

改訂履歴

6/2018—Revision 0: Initial Version

概要

ADuCM4050 マイクロコントローラ・ユニット (MCU) は、処理、制御、接続を統合したパワー・マネージメント機能を備えた超低消費電力のマイクロコントローラ・システムです。この MCU システムは、ARM® Cortex®-M4F プロセッサをベースとし、一連のデジタル・ペリフェラルおよび組み込み SRAM と組み込みフラッシュ・メモリに加え、クロック、リセット、パワー・マネージメント機能を持つアナログ・サブシステムや A/D コンバータ (ADC) サブシステムを備えています。

本データシートでは、ADuCM4050 MCU で使用されている ARM Cortex-M4F コアとメモリ・アーキテクチャについて説明します。ARM プロセッサの詳細なプログラミング情報については説明を省きます。

システムには、最大 52MHz の ARM Cortex-M4F プロセッサ、誤り訂正符号 (ECC) 付き 512kB 組み込みフラッシュ・メモリ、アクティブ時の消費電力を低減するオプションの 4kB キャッシュ、パリティ付き 128kB システム SRAM などの機能があります。ADuCM4050 は、パワー・マネージメント・ユニット (PMU)、多層の先進マイクロコントローラ・バス・アーキテクチャ (AMBA) バス・マトリックス、中央ダイレクト・メモリ・アクセス (DMA) コントローラ、ビーバ・インターフェースを特長としています。

また、ADuCM4050 は、Advanced Encryption Standard (AES) - 128 と AES-256 をサポートする暗号ハードウェアを備えており、これはセキュア・ハッシュ・アルゴリズム (SHA) -256 および、電子コード・ブック (ECB)、暗号ブロック連鎖 (CBC)、カウンタ (CTR)、暗号ブロック連鎖メッセージ認証コード (CCM/CCM*) の各モードを使用しています。

更に、鍵ラップ/アンラップで保護された鍵の保存や、鍵アンラップを備えた鍵付きハッシュ・メッセージ認証コード (HMAC) の使用も可能です。

ADuCM4050 は、シリアル・ポート (SPORT)、シリアル・ペリフェラル・インターフェース (SPI)、I²C、ユニバーサル非同期レシーバー/トランスミッタ (UART) ペリフェラル・インターフェースをサポートしています。

また、リアルタイム・クロック (RTC)、汎用ウォッチドッグ・タイマー、プログラマブル汎用入出力 (GPIO) ピンに加えて、プログラマブル・ジェネレータ多項式を使用したハードウェア巡回冗長検査 (CRC) も備えています。更に、パワーオン・リセット (POR) と電源モニタ (PSM)、12 ビット逐次比較レジスタ (SAR) ADC、赤/緑/青 (RGB) LED を駆動する RGB タイマー、真性乱数ジェネレータ (TRNG) も搭載しています。

低ダイナミックおよび休止のパワー・マネージメントに対応するため、ダイナミック/ソフトウェア制御のクロック・ゲートや電力ゲートなど、多数の電力モードと機能も備えています。

ADuCM4050 MCU の詳細については、ADuCM4050 Ultra Low Power ARM Cortex-M4F MCU with Integrated Power Management Hardware Reference を参照してください。

製品のハイライト

1. 超低消費電力
2. 信頼性の高い動作
3. ディープ・スリープ・モードでの正確な電圧モニタリング
4. フラッシュで ECC をサポート
5. SRAM メモリでのパリティ誤差検出
6. 立上がりエッジのセキュリティ
7. 高速な暗号化で、アルゴリズムに読出し保護を提供
8. 書き込み保護を使用して、不正なコードによるデバイスの再プログラミングを防止
9. 割込みによる 32kHz 低周波数外部水晶発振器 (LFXTAL) の故障検出
10. SensorStrobe™ で正確に時間同期された外部センサーのサンプリング休止モードで機能するので、システム・ソリューションの電流を大幅に削減できます。例えば、ADXL363 加速度センサーを使用する場合、消費電流が 1/10 に削減されます。セットアップ後、ソフトウェアの介入は不要です。ソフトウェアの実行によるパルス・ドリフトはありません。

仕様

動作条件と電気的特性

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
EXTERNAL BATTERY SUPPLY VOLTAGE ^{1,2}	V _{BAT}	1.74	3.0	3.6	V	
INPUT VOLTAGE						
High Level	V _{IH}	2.5			V	V _{BAT} = 3.6 V
Low Level	V _{IL}			0.45	V	V _{BAT} = 1.74 V
ADC SUPPLY VOLTAGE	V _{BAT_ADC}	1.74	3.0	3.6	V	
OUTPUT VOLTAGE ³						
High Level	V _{OH}	1.4			V	V _{BAT} = 1.74 V, I _{OH} = -1.0 mA
Low Level	V _{OL}			0.4	V	V _{BAT} = 1.74 V, I _{OL} = 1.0 mA
INPUT CURRENT PULL-UP ⁴						
High Level	I _{IHPU}		0.01	0.2	μA	V _{BAT} = 3.6 V, V _{IN} = 3.6 V
Low Level	I _{ILPU}			100	μA	V _{BAT} = 3.6 V, V _{IN} = 0 V
THREE-STATE LEAKAGE CURRENT						
High Level ⁵	I _{OZH}		0.01	0.15	μA	V _{BAT} = 3.6 V, V _{IN} = 3.6 V
Pull-Up ⁶	I _{OZHPU}			0.30	μA	V _{BAT} = 3.6 V, V _{IN} = 3.6 V
Pull-Down ⁷	I _{OZHPD}			100	μA	V _{BAT} = 3.6 V, V _{IN} = 3.6 V
Low Level ⁵	I _{OZL}		0.01	0.15	μA	V _{BAT} = 3.6 V, V _{IN} = 0 V
Pull-Up ⁶	I _{OZLPU}			100	μA	V _{BAT} = 3.6 V, V _{IN} = 0 V
Pull-Down ⁷	I _{OZLPD}			0.15	μA	V _{BAT} = 3.6 V, V _{IN} = 0 V
INPUT CAPACITANCE	C _{IN}		10		pF	T _J = 25°C
V _{BAT} POWER-ON RESET	V _{VBAT_POR}	1.49	1.59	1.64	V	Power-on reset level on V _{BAT} ; trip point is detected when battery is decaying ⁸
Junction Temperature	T _J	-40		+85	°C	T _{AMBIENT} = -40°C to +85°C

¹ 値は VBAT_ANA1、VBAT_ANA2、VBAT_DIG1、VBAT_DIG2 ピンに適用されます。

² 関連する機能を使用しない場合でも、引き続き電圧を供給する必要があります。

³ 次の出力ピンと双方向ピンに適用されます。P0_00~P0_15、P1_00~P1_15、P2_00~P2_15、P3_00~P3_03。

⁴ プルアップしたSYS_HWRST入力ピンに適用されます

⁵ 次のスリーステート・ピンに適用されます。P0_00~P0_05、P0_08~P0_15、P1_00~P1_15、P2_00~P2_15、P3_00~P3_03。

⁶ 次のプルアップしたスリーステート・ピンに適用されます。P0_00~P0_05、P0_07~P0_15、P1_00~P1_15、P2_00~P2_15、P3_00~P3_03。

⁷ プルダウンした P0_06 スリーステート・ピンに適用されます。

⁸ 本仕様はデバイスが電源投入されている場合に有効です。バッテリー電圧が 1.71V 未満となった場合、パワーオン・リセットが検出されます。デバイスの安全な動作のため、V_{BAT}の仕様は遵守してください。

組み込みフラッシュ仕様

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FLASH						
Endurance		10,000			Cycles	
Data Retention			10		Years	

電源電流仕様

アクティブ・モード

表 3.

Parameter	Min	Typ ¹	Max ²	Unit	Test Conditions/Comments
ACTIVE MODE ³					Current consumption when $V_{BAT} = 3.0\text{ V}$
Buck Enabled		1.27	2.71	mA	Code executing from flash, cache enabled, system peripheral clock (PCLK) disabled, advanced high performance clock (HCLK) = 26 MHz ⁴
		1.83	3.28	mA	Code executing from flash, cache disabled, PCLK disabled, HCLK = 26 MHz ⁴
		1.40	2.84	mA	Code executing from flash, cache enabled, PCLK = 26 MHz, HCLK = 26 MHz ⁴
		1.97	3.41	mA	Code executing from flash, cache disabled, PCLK = 26 MHz, HCLK = 26 MHz ⁴
		2.33	3.78	mA	Code executing from flash, cache enabled, PCLK disabled, HCLK = 52 MHz ⁵
		2.94	4.39	mA	Code executing from flash, cache disabled, PCLK disabled, HCLK = 52 MHz ⁵
		2.59	4.04	mA	Code executing from flash, cache enabled, PCLK = 52 MHz, HCLK = 52 MHz ⁵
		3.21	4.65	mA	Code executing from flash, cache disabled, PCLK = 52 MHz, HCLK = 52 MHz ⁵
		1.43	2.87	mA	Code executing from SRAM, PCLK disabled, HCLK = 26 MHz ⁴
		1.56	3.00	mA	Code executing from SRAM, PCLK = 26 MHz, HCLK = 26 MHz ⁴
		2.64	4.09	mA	Code executing from SRAM, PCLK disabled, HCLK = 52 MHz ⁵
		2.90	4.35	mA	Code executing from SRAM, PCLK = 52 MHz, HCLK = 52 MHz ⁵
Dynamic Current		41		$\mu\text{A}/\text{MHz}$	Code executing from flash, cache enabled
Buck Disabled		2.34	4.78	mA	Code executing from flash, cache enabled, PCLK disabled, HCLK = 26 MHz ⁴
		3.38	5.82	mA	Code executing from flash, cache disabled, PCLK disabled, HCLK = 26 MHz ⁴
		2.60	5.04	mA	Code executing from flash, cache enabled, PCLK = 26 MHz, HCLK = 26 MHz ⁴
		3.65	6.09	mA	Code executing from flash, cache disabled, PCLK = 26 MHz, HCLK = 26 MHz ⁴
		4.46	6.90	mA	Code executing from flash, cache enabled, PCLK disabled, HCLK = 52 MHz ⁵
		5.61	8.05	mA	Code executing from flash, cache disabled, PCLK disabled, HCLK = 52 MHz ⁵
		4.98	7.42	mA	Code executing from flash, cache enabled, PCLK = 52 MHz, HCLK = 52 MHz ⁵
		6.14	8.58	mA	Code executing from flash, cache disabled, PCLK = 52 MHz, HCLK = 52 MHz ⁵
		2.66	5.10	mA	Code executing from SRAM, PCLK disabled, HCLK = 26 MHz ⁴
		2.92	5.36	mA	Code executing from SRAM, PCLK = 26 MHz, HCLK = 26 MHz ⁴
		5.08	7.52	mA	Code executing from SRAM, PCLK disabled, HCLK = 52 MHz ⁵
		5.60	8.04	mA	Code executing from SRAM, PCLK = 52 MHz, HCLK = 52 MHz ⁵
Dynamic Current		82		$\mu\text{A}/\text{MHz}$	Code executing from flash, cache enabled

¹ $T_J = 25^\circ\text{C}$ ² $T_J = 85^\circ\text{C}$ ³ このコードを実行すると、高周波 RC 発振器 (HFOSC) をシステム・クロック源とした連続ループで素数が生成されます。⁴ 待ち状態なしで低降圧負荷。⁵ 待ち状態で高降圧負荷。

Flexi モード

表 4

Parameter	Min	Typ ¹	Max ²	Unit	Test Conditions/Comments
FLEXI™ MODE					Current consumption when $V_{BAT} = 3.0\text{ V}$
Buck Enabled	0.40	1.85		mA	PCLK disabled, HCLK = 26 MHz
	0.54	1.98		mA	PCLK = 26 MHz, HCLK = 26 MHz
	0.62	2.06		mA	PCLK disabled, HCLK = 52 MHz
	0.88	2.33		mA	PCLK = 52 MHz, HCLK = 52 MHz
Buck Disabled	0.62	3.06		mA	PCLK disabled, HCLK = 26 MHz
	0.88	3.32		mA	PCLK = 26 MHz, HCLK = 26 MHz
	1.04	3.48		mA	PCLK disabled, HCLK = 52 MHz
	1.57	4.01		mA	PCLK = 52 MHz, HCLK = 52 MHz

¹ $T_J = 25^\circ\text{C}$.² $T_J = 85^\circ\text{C}$.

ディープ・スリープ・モード - $V_{BAT} = 1.8V$

表 5.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments	
HIBERNATE MODE ¹ $T_J = 25^\circ C$		0.78		μA	$V_{BAT} = 1.8 V$ Real-Time Clock 1 (RTC1) and Real-Time Clock 0 (RTC0) disabled, 16 kB SRAM retained, LFX TAL off	
		0.89		μA	RTC1 and RTC0 disabled, 28 kB SRAM retained, LFX TAL off	
		0.96		μA	RTC1 and RTC0 disabled, 48 kB SRAM retained, LFX TAL off	
		1.06		μA	RTC1 and RTC0 disabled, 60 kB SRAM retained, LFX TAL off	
		1.35		μA	RTC1 and RTC0 disabled, 80 kB SRAM retained, LFX TAL off	
		1.44		μA	RTC1 and RTC0 disabled, 92 kB SRAM retained, LFX TAL off	
		1.51		μA	RTC1 and RTC0 disabled, 112 kB SRAM retained, LFX TAL off	
		1.60		μA	RTC1 and RTC0 disabled, 124 kB SRAM retained, LFX TAL off	
		0.85		μA	RTC1 enabled, 16 kB SRAM retained, low frequency RC oscillator (LFO SC) as RTC1 source	
		1.66		μA	RTC1 enabled, 124 kB SRAM retained, LFO SC as RTC1 source	
		1.08		μA	RTC1 enabled, 16 kB SRAM retained, LFX TAL as RTC1 source	
		1.11		μA	RTC0 enabled, 16 kB SRAM retained, LFX TAL as RTC0 source	
		1.14		μA	RTC1 and RTC0 enabled, 16 kB SRAM retained, LFX TAL as RTC1 and RTC0 source	
		1.82		μA	RTC1 enabled, 124 kB SRAM retained, LFX TAL as RTC1 source	
		1.84		μA	RTC0 enabled, 124 kB SRAM retained, LFX TAL as RTC0 source	
		1.87		μA	RTC1 and RTC0 enabled, 124 kB SRAM retained, LFX TAL as RTC1 and RTC0 source	
	$T_J = 85^\circ C$		2.79	6.90	μA	RTC1 and RTC0 disabled, 16 kB SRAM retained, LFX TAL off
			3.46	9.00	μA	RTC1 and RTC0 disabled, 28 kB SRAM retained, LFX TAL off
			4.73	12.50	μA	RTC1 and RTC0 disabled, 48 kB SRAM retained, LFX TAL off
			5.38	14.80	μA	RTC1 and RTC0 disabled, 60 kB SRAM retained, LFX TAL off
			6.26	16.70	μA	RTC1 and RTC0 disabled, 80 kB SRAM retained, LFX TAL off
			6.85	18.70	μA	RTC1 and RTC0 disabled, 92 kB SRAM retained, LFX TAL off
			8.12	22.30	μA	RTC1 and RTC0 disabled, 112 kB SRAM retained, LFX TAL off
			8.74	24.50	μA	RTC1 and RTC0 disabled, 124 kB SRAM retained, LFX TAL off
			2.95	7.30	μA	RTC1 enabled, 16 kB SRAM retained, LFO SC as RTC1 source
			8.92	25.50	μA	RTC1 enabled, 124 kB SRAM retained, LFO SC as RTC1 source
			3.16	7.77	μA	RTC1 enabled, 16 kB SRAM retained, LFX TAL as RTC1 source
			3.16	7.78	μA	RTC0 enabled, 16 kB SRAM retained, LFX TAL as RTC0 source
		3.22	7.92	μA	RTC1 and RTC0 enabled, 16 kB SRAM retained, LFX TAL as RTC1 and RTC0 source	
		9.07	25.70	μA	RTC1 enabled, 124 kB SRAM retained, LFX TAL as RTC1 source	
		9.10	25.76	μA	RTC0 enabled, 124 kB SRAM retained, LFX TAL as RTC0 source	
		9.15	25.91	μA	RTC1 and RTC0 enabled, 124 kB SRAM retained, LFX TAL as RTC1 and RTC0 source	
SHUTDOWN MODE ¹ $T_J = 25^\circ C$		0.03		μA	$V_{BAT} = 1.8 V$ RTC0 disabled	
		0.37		μA	RTC0 enabled, LFX TAL as RTC0 source	
	$T_J = 85^\circ C$		0.31	1.30	μA	RTC0 disabled
			0.78	2.93	μA	RTC0 enabled, LFX TAL as RTC0 source
FAST SHUTDOWN MODE ¹ $T_J = 25^\circ C$		0.17		μA	$V_{BAT} = 1.8 V$ RTC0 disabled	
		0.51		μA	RTC0 enabled, LFX TAL as RTC0 source	
	$T_J = 85^\circ C$		0.47	1.50	μA	RTC0 disabled
			0.94	3.53	μA	RTC0 enabled, LFX TAL as RTC0 source

¹ 降圧イネーブル/ディスエーブルの選択は、消費電力に影響を与えません。

ディープ・スリープ・モード - $V_{BAT} = 3.0V$

表 6.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
HIBERNATE MODE ¹					$V_{BAT} = 3.0 V$
$T_J = 25^\circ C$		0.65		μA	RTC1 and RTC0 disabled, 16 kB SRAM retained, LFXTAL off
		0.72		μA	RTC1 and RTC0 disabled, 28 kB SRAM retained, LFXTAL off
		0.77		μA	RTC1 and RTC0 disabled, 48 kB SRAM retained, LFXTAL off
		0.83		μA	RTC1 and RTC0 disabled, 60 kB SRAM retained, LFXTAL off
		1.09		μA	RTC1 and RTC0 disabled, 80 kB SRAM retained, LFXTAL off
		1.13		μA	RTC1 and RTC0 disabled, 92 kB SRAM retained, LFXTAL off
		1.17		μA	RTC1 and RTC0 disabled, 112 kB SRAM retained, LFXTAL off
		1.22		μA	RTC1 and RTC0 disabled, 124 kB SRAM retained, LFXTAL off
		0.68		μA	RTC1 enabled, 16 kB SRAM retained, LFOSC as RTC1 source
		1.26		μA	RTC1 enabled, 124 kB SRAM retained, LFOSC as RTC1 source
		0.87		μA	RTC1 enabled, 16 kB SRAM retained, LFXTAL as RTC1 source
		0.95		μA	RTC0 enabled, 16 kB SRAM retained, LFXTAL as RTC0 source
		0.97		μA	RTC1 and RTC0 enabled, 16 kB SRAM retained, LFXTAL as RTC1 and RTC0 source
		1.38		μA	RTC1 enabled, 124 kB SRAM retained, LFXTAL as RTC1 source
		1.46		μA	RTC0 enabled, 124 kB SRAM retained, LFXTAL as RTC0 source
		1.48		μA	RTC1 and RTC0 enabled, 124 kB SRAM retained, LFXTAL as RTC1 and RTC0 source
$T_J = 85^\circ C$		2.00	4.60	μA	RTC1 and RTC0 disabled, 16 kB SRAM retained, LFXTAL off
		2.38	5.70	μA	RTC1 and RTC0 disabled, 28 kB SRAM retained, LFXTAL off
		2.98	7.80	μA	RTC1 and RTC0 disabled, 48 kB SRAM retained, LFXTAL off
		3.29	9.00	μA	RTC1 and RTC0 disabled, 60 kB SRAM retained, LFXTAL off
		4.04	10.06	μA	RTC1 and RTC0 disabled, 80 kB SRAM retained, LFXTAL off
		4.41	11.80	μA	RTC1 and RTC0 disabled, 92 kB SRAM retained, LFXTAL off
		4.94	13.70	μA	RTC1 and RTC0 disabled, 112 kB SRAM retained, LFXTAL off
		5.20	15.50	μA	RTC1 and RTC0 disabled, 124 kB SRAM retained, LFXTAL off
		2.11	5.00	μA	RTC1 enabled, 16 kB SRAM retained, LFOSC as RTC1 source
		5.32	16.00	μA	RTC1 enabled, 124 kB SRAM retained, LFOSC as RTC1 source
		2.53	5.75	μA	RTC1 enabled, 16 kB SRAM retained, LFXTAL as RTC1 source
		2.61	5.92	μA	RTC0 enabled, 16 kB SRAM retained, LFXTAL as RTC0 source
		2.64	5.98	μA	RTC1 and RTC0 enabled, 16 kB SRAM retained, LFXTAL as RTC1 and RTC0 source
		6.03	16.12	μA	RTC1 enabled, 124 kB SRAM retained, LFXTAL as RTC1 source
		6.10	16.30	μA	RTC0 enabled, 124 kB SRAM retained, LFXTAL as RTC0 source
		6.12	16.37	μA	RTC1 and RTC0 enabled, 124 kB SRAM retained, LFXTAL as RTC1 and RTC0 source
SHUTDOWN MODE ¹					$V_{BAT} = 3.0 V$
$T_J = 25^\circ C$		0.05		μA	RTC0 disabled
		0.68		μA	RTC0 enabled, LFXTAL as RTC0 source
$T_J = 85^\circ C$		0.45	1.60	μA	RTC0 disabled
		1.26	4.18	μA	RTC0 enabled, LFXTAL as RTC0 source
FAST SHUTDOWN MODE ¹					$V_{BAT} = 3.0 V$
$T_J = 25^\circ C$		0.20		μA	RTC0 disabled
		0.83		μA	RTC0 enabled, LFXTAL as RTC0 source
$T_J = 85^\circ C$		0.62	1.80	μA	RTC0 disabled
		1.43	4.74	μA	RTC0 enabled, LFXTAL as RTC0 source

¹ 降圧イネーブル/ディスエーブルの選択は、消費電力に影響を与えません。

ディープ・スリープ・モード - VBAT = 3.6V

表 7.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
HIBERNATE MODE ¹					V _{BAT} = 3.6 V
T _J = 25°C		0.66		μA	RTC1 and RTC0 disabled, 16 kB SRAM retained, LFXTAL off
		0.73		μA	RTC1 and RTC0 disabled, 28 kB SRAM retained, LFXTAL off
		0.77		μA	RTC1 and RTC0 disabled, 48 kB SRAM retained, LFXTAL off
		0.82		μA	RTC1 and RTC0 disabled, 60 kB SRAM retained, LFXTAL off
		1.04		μA	RTC1 and RTC0 disabled, 80 kB SRAM retained, LFXTAL off
		1.08		μA	RTC1 and RTC0 disabled, 92 kB SRAM retained, LFXTAL off
		1.12		μA	RTC1 and RTC0 disabled, 112 kB SRAM retained, LFXTAL off
		1.16		μA	RTC1 and RTC0 disabled, 124 kB SRAM retained, LFXTAL off
		0.69		μA	RTC1 enabled, 16 kB SRAM retained, LFOSC as RTC1 source
		1.19		μA	RTC1 enabled, 124 kB SRAM retained, LFOSC as RTC1 source
		0.85		μA	RTC1 enabled, 16 kB SRAM retained, LFXTAL as RTC1 source
		0.96		μA	RTC0 enabled, 16 kB SRAM retained, LFXTAL as RTC0 source
		0.98		μA	RTC1 and RTC0 enabled, 16 kB SRAM retained, LFXTAL as RTC1 and RTC0 source
		1.32		μA	RTC1 enabled, 124 kB SRAM retained, LFXTAL as RTC1 source
		1.43		μA	RTC0 enabled, 124 kB SRAM retained, LFXTAL as RTC0 source
		1.45		μA	RTC1 and RTC0 enabled, 124 kB SRAM retained, LFXTAL as RTC1 and RTC0 source
T _J = 85°C		1.95	5.00	μA	RTC1 and RTC0 disabled, 16 kB SRAM retained, LFXTAL off
		2.29	6.00	μA	RTC1 and RTC0 disabled, 28 kB SRAM retained, LFXTAL off
		2.82	7.20	μA	RTC1 and RTC0 disabled, 48 kB SRAM retained, LFXTAL off
		3.14	8.20	μA	RTC1 and RTC0 disabled, 60 kB SRAM retained, LFXTAL off
		3.78	10.00	μA	RTC1 and RTC0 disabled, 80 kB SRAM retained, LFXTAL off
		4.10	11.00	μA	RTC1 and RTC0 disabled, 92 kB SRAM retained, LFXTAL off
		4.63	12.30	μA	RTC1 and RTC0 disabled, 112 kB SRAM retained, LFXTAL off
		4.95	14.90	μA	RTC1 and RTC0 disabled, 124 kB SRAM retained, LFXTAL off
		2.07	5.30	μA	RTC1 enabled, 16 kB SRAM retained, LFOSC as RTC1 source
		5.06	15.20	μA	RTC1 enabled, 124 kB SRAM retained, LFOSC as RTC1 source
		2.52	6.19	μA	RTC1 enabled, 16 kB SRAM retained, LFXTAL as RTC1 source
		2.63	6.48	μA	RTC0 enabled, 16 kB SRAM retained, LFXTAL as RTC0 source
		2.65	6.53	μA	RTC1 and RTC0 enabled, 16 kB SRAM retained, LFXTAL as RTC1 and RTC0 source
		5.51	15.34	μA	RTC1 enabled, 124 kB SRAM retained, LFXTAL as RTC1 source
		5.62	15.64	μA	RTC0 enabled, 124 kB SRAM retained, LFXTAL as RTC0 source
		5.64	15.71	μA	RTC1 and RTC0 enabled, 124 kB SRAM retained, LFXTAL as RTC1 and RTC0 source
SHUTDOWN MODE ¹					V _{BAT} = 3.6 V
T _J = 25°C		0.07		μA	RTC0 disabled
		1.05		μA	RTC0 enabled, LFXTAL as RTC0 source
T _J = 85°C		0.58	1.90	μA	RTC0 disabled
		1.79	5.57	μA	RTC0 enabled, LFXTAL as RTC0 source
FAST SHUTDOWN MODE ¹					V _{BAT} = 3.6 V
T _J = 25°C		0.22		μA	RTC0 disabled
		1.21		μA	RTC0 enabled, LFXTAL as RTC0 source
T _J = 85°C		0.75	2.10	μA	RTC0 disabled
		1.97	6.32	μA	RTC0 enabled, LFXTAL as RTC0 source

¹ 降圧イネーブル/ディスエーブルの選択は、消費電力に影響を与えません。

ADC の仕様

表 8.

Parameter ^{1,2}	Min	Typ ³	Max	Unit	Test Conditions/Comments
INTEGRAL NONLINEARITY ERROR					
64-Lead LFCSP		±1.6		LSB	1.8 V (V _{BAT})/1.25 V (internal/external V _{REF}) ⁴
64-Lead LFCSP		-1.7 to +1.3		LSB	3.0 V (V _{BAT})/2.5 V (internal/external V _{REF}) ⁴
72-Ball WLCSP		±1.4		LSB	1.8 V (V _{BAT})/1.25 V (internal/external V _{REF}) ⁴
DIFFERENTIAL NONLINEARITY ERROR					
64-Lead LFCSP		-0.7 to +1.15		LSB	1.8 V (V _{BAT})/1.25 V (internal/external V _{REF}) ⁴
64-Lead LFCSP		-0.7 to +1.1		LSB	3.0 V (V _{BAT})/2.5 V (internal/external V _{REF}) ⁴
72-Ball WLCSP		-0.75 to +1.0		LSB	1.8 V (V _{BAT})/1.25 V (internal/external V _{REF}) ⁴
OFFSET ERROR					
64-Lead LFCSP		±0.5		LSB	1.8 V (V _{BAT})/1.25 V (external V _{REF}) ⁴
64-Lead LFCSP		±0.5		LSB	3.0 V (V _{BAT})/2.5 V (external V _{REF}) ⁴
72-Ball WLCSP		±0.5		LSB	1.8 V (V _{BAT})/1.25 V (external V _{REF}) ⁴
GAIN ERROR					
64-Lead LFCSP		±2.5		LSB	1.8 V (V _{BAT})/1.25 V (external V _{REF}) ⁴
64-Lead LFCSP		±0.5		LSB	3.0 V (V _{BAT})/2.5 V (external V _{REF}) ⁴
72-Ball WLCSP		±3.0		LSB	1.8 V (V _{BAT})/1.25 V (external V _{REF}) ⁴
I _{V_{BAT}_ADC} ⁵					
64-Lead LFCSP		129		μA	1.8 V (V _{BAT})/1.25 V (internal V _{REF}) ⁶
64-Lead LFCSP		157		μA	3.0 V (V _{BAT})/2.5 V (internal V _{REF}) ⁶
72-Ball WLCSP		124		μA	1.8 V (V _{BAT})/1.25 V (internal V _{REF}) ⁶
64-Lead LFCSP		47		μA	1.8 V (V _{BAT})/1.25 V (external V _{REF}) ⁷
64-Lead LFCSP		51		μA	3.0 V (V _{BAT})/2.5 V (external V _{REF}) ⁷
72-Ball WLCSP		46		μA	1.8 V (V _{BAT})/1.25 V (external V _{REF}) ⁷
INTERNAL REFERENCE VOLTAGE		1.25		V	Internal reference, 1.25 V selected
		2.50		V	Internal reference, 2.5 V selected
ADC SAMPLING FREQUENCY (f _s) ⁸	0.01		1.8	MSPS	

¹ ADC は、コア・アクティビティのないスタンダアロン・モードおよび、隣接する ADC チャンネル間とデジタル入出力間で切替えが最小/なしの状態、特性評価されています。

² 仕様は、内蔵 ADC のオフセット・キャリブレーションの実行後に特性評価されています。

³ T_j = 25°C。

⁴ f_{IN} = 1068Hz、f_s = 100kSPS、低消費電力モードでの内部リファレンス、400,000 サンプルのエンド・ポイント法を使用。

⁵ ADC が変換を実行する場合の V_{BAT}_ADC 電源からの消費電流。

⁶ f_{IN} = 1068Hz、f_s = 100kSPS、低消費電力モードでの内部リファレンス。

⁷ f_{IN} = 1068Hz、f_s = 100kSPS、1.25Vp-p のサイン波を ADC0_VIN1 チャンネル入力に印加。

⁸ ADC のサンプリング周波数を選択する際には、アナログ電源のインピーダンスの影響を考慮する必要があります。

温度センサー仕様

表 9.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
TEMPERATURE SENSOR					Internal reference = 1.25 V with $C_{LOAD} = 0.1 \mu\text{F}$ and $4.7 \mu\text{F}$ on the VREFP_ADC pin
Accuracy		± 2		$^{\circ}\text{C}$	$T_{AMBIENT} = 25^{\circ}\text{C}$ to $+5^{\circ}\text{C}$
		± 3		$^{\circ}\text{C}$	$T_{AMBIENT} = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$

システム・クロック 外部水晶発振器の仕様

表 10.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
LOW FREQUENCY EXTERNAL CRYSTAL OSCILLATOR (LFXTAL)						
Frequency	f_{LFXTAL}		32,768		Hz	External capacitors on SYS_LFXTAL_IN and SYS_LFXTAL_OUT pins must be selected considering the printed circuit board (PCB) trace capacitance due to routing
External Capacitance from SYS_LFXTAL_IN Pin to Ground and from SYS_LFXTAL_OUT Pin to Ground	C_{LFXTAL}	6		10	pF	
Crystal Equivalent Series Resistance	ESR_{LFXTAL}	30		50	k Ω	
Crystal Drive Level ¹				50	nW	
Oscillator Transconductance ¹	gm_{LFXTAL}	8			μ S	
HIGH FREQUENCY EXTERNAL CRYSTAL OSCILLATOR (HFXTAL)						
Frequency	f_{HFXTAL}		26		MHz	External capacitors on SYS_HFXTAL_IN and SYS_HFXTAL_OUT pins must be selected considering the PCB trace capacitance due to routing
External Capacitance from SYS_HFXTAL_IN Pin to Ground and from SYS_HFXTAL_OUT Pin to Ground	C_{HFXTAL}			20	pF	
Crystal Equivalent Series Resistance	ESR_{HFXTAL}			50	k Ω	

¹ 設計により性能を確保。

オンチップ抵抗-コンデンサ (RC) 発振器の仕様

表 11.

Parameter	Symbol	Min	Typ	Max	Unit
LOW FREQUENCY RC OSCILLATOR (LFOSC)					
Frequency	f_{LFOSC}	30,800	32,768	35,062	Hz
HIGH FREQUENCY RC OSCILLATOR (HFOSC)					
Frequency	f_{HFOSC}	25.03	26	27.07	MHz

システム・クロックとフェーズ・ロック・ループ (PLL) の仕様

表 12.

Parameter	Symbol	Min	Typ	Max	Unit
PLL SPECIFICATIONS					
PLL Input Clock Frequency ¹	f_{PLLIN}	16		26	MHz
PLL Output Clock Frequency ^{2,3}	f_{PLLOUT}	16		60	MHz
System Peripheral Clock (PCLK) Frequency	f_{PCLK}	0.8125		52	MHz
Advanced High Performance Bus Clock (HCLK) Frequency	f_{HCLK}	0.8125		52	MHz

¹ PLL への入力、高周波の外部水晶発振器 (HFXTAL)、SYS_CLKIN ピン、または高周波の内部 RC 発振器 (HFOSC) のいずれかから取得できます。

² 最大値に対する推奨の設定は、PLL 入力クロックが 26MHz の場合、PLL MSEL = 13、PLL NSEL = 16、PLL DIV2 = 1、PLL 入力クロックが 16MHz の場合、PLL MSEL = 13、PLL NSEL = 26、PLL DIV2 = 1 です。これらの設定オプションの詳細については、ADuCM4050 Ultra Low Power ARM Cortex-M4F MCU with Integrated Power Management Hardware Reference を参照してください。

³ 最小値に対する推奨の設定は、PLL 入力クロックが 26MHz の場合、PLL MSEL = 13、PLL NSEL = 30、PLL DIV2 = 0、PLL 入力クロックが 16MHz の場合、PLL MSEL = 8、PLL NSEL = 30、PLL DIV2 = 0 です。

タイミング仕様

リセット・タイミング

表 13.

Parameter	Symbol	Min	Typ	Max	Unit
RESET TIMING REQUIREMENTS					
SYS_HWRST Asserted Pulse Width ¹	t _{WRST}	4			μs

¹ パワーアップ・シーケンスの完了後に適用。

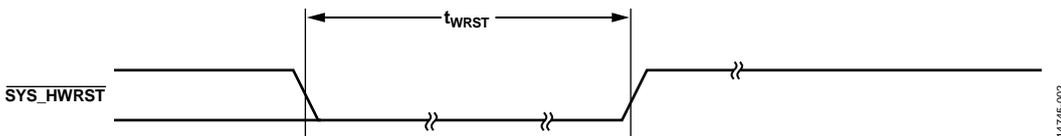


図 2. リセット・タイミング

シリアル・ポートのタイミング

表 14.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
EXTERNAL CLOCK SERIAL PORTS						
Timing Requirements						
Frame Sync Setup Before-SPORT Clock ¹	t _{SFSE}	5			ns	Externally generated frame sync in transmit or receive mode
Frame Sync Hold After SPORT Clock ¹	t _{HFSE}	5			ns	Externally generated frame sync in transmit or receive mode
Receive Data Setup Before Receive SPORT Clock ¹	t _{SDRE}	5			ns	
Receive Data Hold After SPORT Clock ¹	t _{HDRE}	8			ns	
SPORT Clock Width ²	t _{SCLKW}	38.5			ns	
SPORT Clock Period ²	t _{SPTCLK}	77			ns	
Switching Characteristics ³						
Frame Sync Delay After SPORT Clock	t _{DFSE}			20	ns	Internally generated frame sync in transmit or receive mode
Frame Sync Hold After SPORT Clock	t _{HOFSE}	2			ns	Internally generated frame sync in transmit or receive mode
Transmit Data Delay After Transmit SPORT Clock	t _{DDTE}			20	ns	
Transmit Data Hold After Transmit SPORT Clock	t _{HDTE}	1			ns	
INTERNAL CLOCK SERIAL PORTS						
Timing Requirements ¹						
Receive Data Setup Before SPORT Clock	t _{SDRI}	25			ns	
Receive Data Hold After SPORT Clock	t _{HDRI}	0			ns	
Switching Characteristics						
Frame Sync Delay After SPORT Clock ³	t _{DFSI}			20	ns	Internally generated frame sync in transmit or receive mode
Frame Sync Hold After SPORT Clock ³	t _{HOFSI}	-8			ns	Internally generated frame sync in transmit or receive mode
Transmit Data Delay After SPORT Clock ³	t _{DDTI}			20	ns	
Transmit Data Hold After SPORT Clock ³	t _{HDTI}	-7			ns	
SPORT Clock Width	t _{SCLKIW}	t _{PCLK} - 1.5			ns	
SPORT Clock Period	t _{SPTCLK}	(2 × t _{PLCK}) - 1			ns	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
ENABLE AND THREE-STATE SERIAL PORTS						
Switching Characteristics						
Data Enable from Internal Transmit SPORT Clock ³	t_{DDTI}	5			ns	
Data Disable from Internal Transmit SPORT Clock ³	t_{DDTI}			160	ns	

¹ この仕様値は、サンプル・エッジを基準にしています。

² この仕様値は、外部 SPORT クロックのデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅または周期を示します。

³ この仕様値は、ドライブ・エッジを基準にしています。

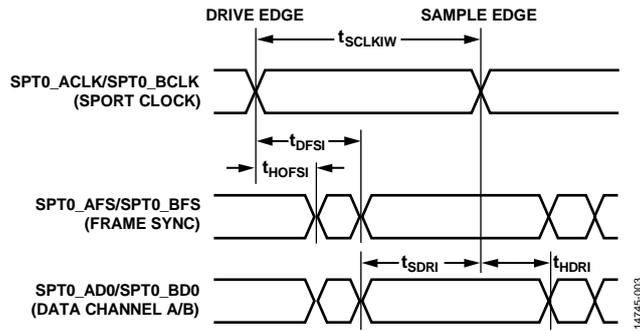


図 3. シリアル・ポート（内部クロックによるデータ受信モード）

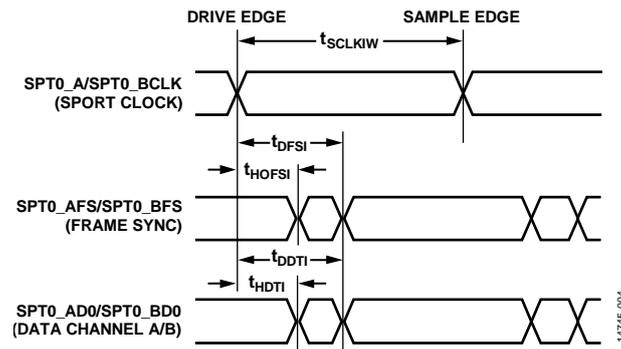


図 4. シリアル・ポート（内部クロックによるデータ送信モード）

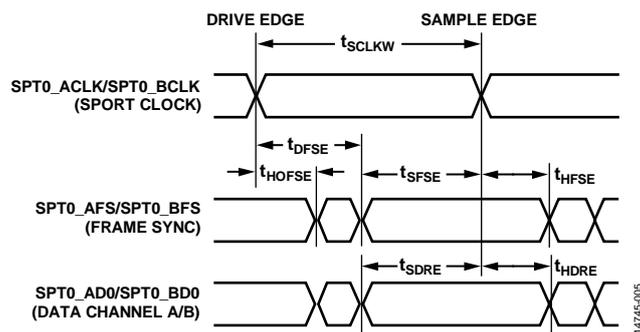


図 5. シリアル・ポート（外部クロックによるデータ受信モード）

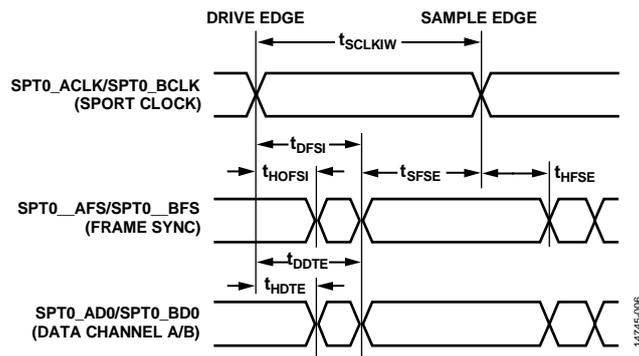


図 6. シリアル・ポート (外部クロックによるデータ受信モード)

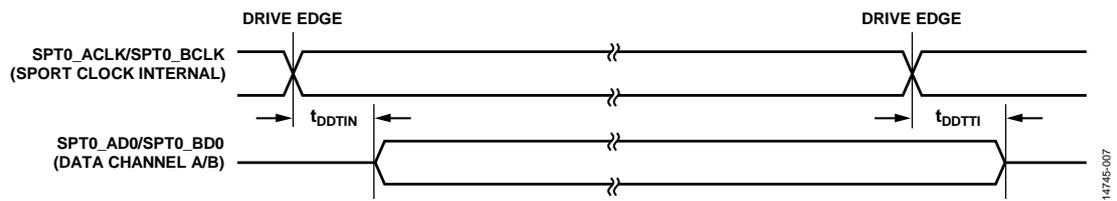


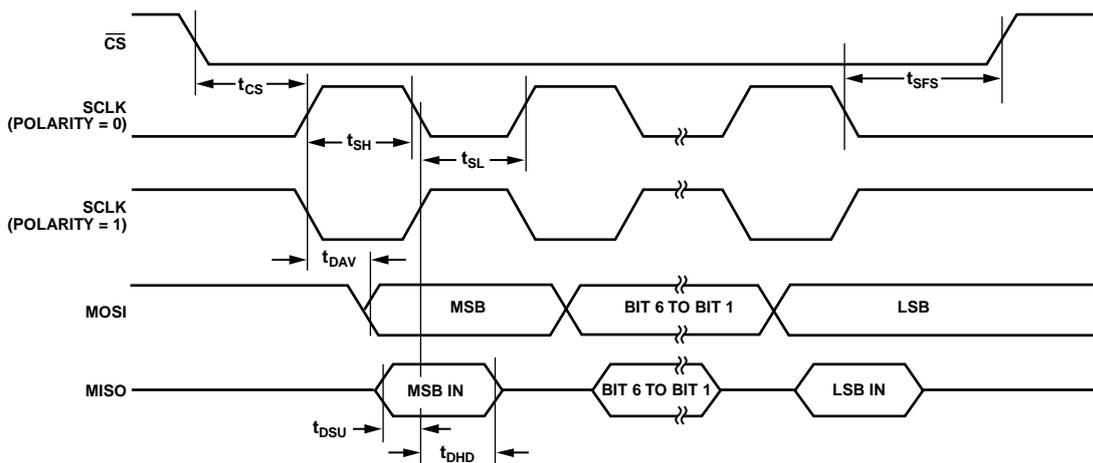
図 7. イネーブルおよびスリー・ステートのシリアル・ポート

SPI タイミング

表 15.

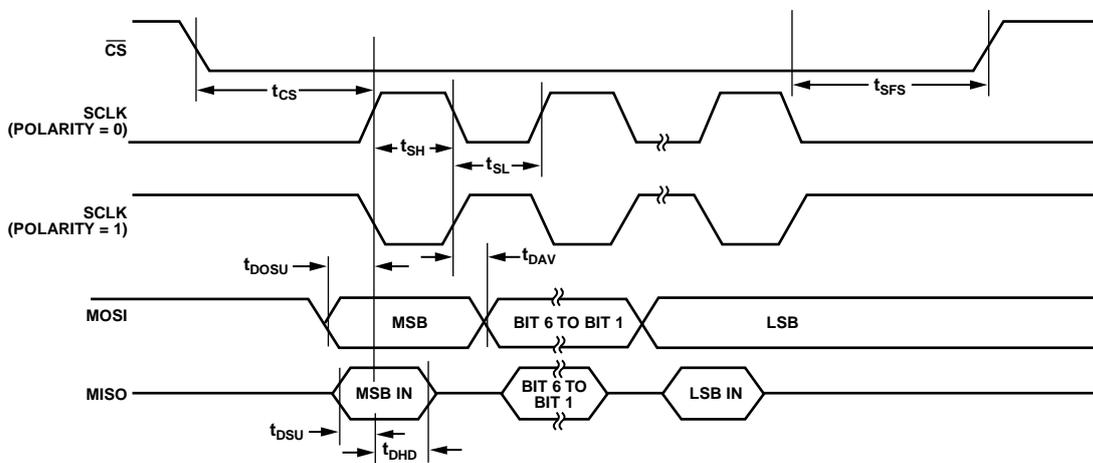
Parameter ¹	Symbol	Min	Typ	Max	Unit
SPI MASTER MODE TIMING					
Timing Requirements					
Chip Select (CS) to Serial Clock (SCLK) Edge	t_{CS}	$(2 \times t_{PCLK}) - 6.5$			ns
SCLK Low Pulse Width	t_{SL}	$t_{PCLK} - 3.5$			ns
SCLK High Pulse Width	t_{SH}	$t_{PCLK} - 3.5$			ns
Data Input Setup Time Before SCLK Edge	t_{DSU}	5			ns
Data Input Hold Time After SCLK Edge	t_{DHD}	20			ns
Switching Characteristics					
Data Output Valid After SCLK Edge	t_{DAV}			25	ns
Data Output Setup Before SCLK Edge	t_{DOSU}	$t_{PCLK} - 2.2$			ns
CS High After SCLK Edge	t_{SFS}	$t_{PCLK} + 2$			ns
High Speed SPI (SPIH) MASTER MODE TIMING					
Timing Requirements					
CS to SCLK Edge	t_{CS}	$(2 \times t_{PCLK}) - 6.5$			ns
SCLK Low Pulse Width	t_{SL}	$t_{PCLK} - 2$			ns
SCLK High Pulse Width	t_{SH}	$t_{PCLK} - 2$			ns
Data Input Setup Time Before SCLK Edge	t_{DSU}	3.5			ns
Data Input Hold Time After SCLK Edge	t_{DHD}	12			ns
Switching Characteristics					
Data Output Valid After SCLK Edge	t_{DAV}			12.5	ns
Data Output Setup Before SCLK Edge	t_{DOSU}	$t_{PCLK} - 2.2$			ns
CS High After SCLK Edge	t_{SFS}	$t_{PCLK} + 2$			ns
SPI SLAVE MODE TIMING					
Timing Requirements					
CS to SCLK Edge	t_{CS}	38.5			ns
SCLK Low Pulse Width	t_{SL}	38.5			ns
SCLK High Pulse Width	t_{SH}	38.5			ns
Data Input Setup Time Before SCLK Edge	t_{DSU}	6			ns
Data Input Hold Time After SCLK Edge	t_{DHD}	8			ns
Switching Characteristics					
Data Output Valid After SCLK Edge	t_{DAV}			20	ns
Data Output Valid After CS Edge	t_{DOCS}			20	ns
CS High After SCLK Edge	t_{SFS}	38.5			ns
SPIH SLAVE MODE TIMING					
Timing Requirements					
CS to SCLK Edge	t_{CS}	19.23			ns
SCLK Low Pulse Width	t_{SL}	19.23			ns
SCLK High Pulse Width	t_{SH}	19.23			ns
Data Input Setup Time Before SCLK Edge	t_{DSU}	1			ns
Data Input Hold Time After SCLK Edge	t_{DHD}	1			ns
Switching Characteristics					
Data Output Valid After SCLK Edge	t_{DAV}			15	ns
Data Output Valid After CS Edge	t_{DOCS}			15	ns
CS High After SCLK Edge	t_{SFS}	19.23			ns

¹ これらの仕様値は、ダブル・ドライブ強度について特性評価されています。



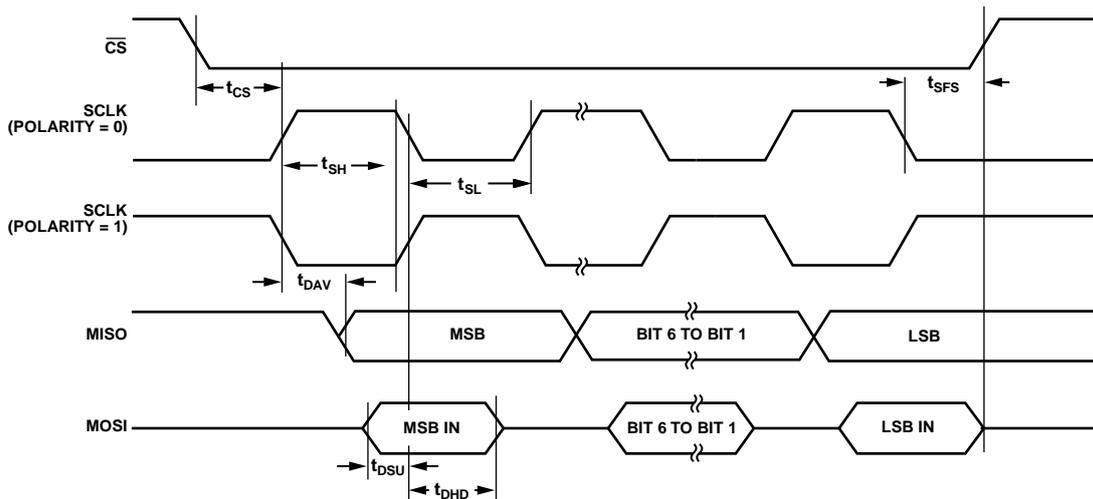
14745-008

図 8. SPI マスタ・モードのタイミング (フェーズ・モード = 1)



14745-009

図 9. SPI マスタ・モードのタイミング (フェーズ・モード = 0)



14745-010

図 10. SPI スレーブ・モードのタイミング (フェーズ・モード = 1)

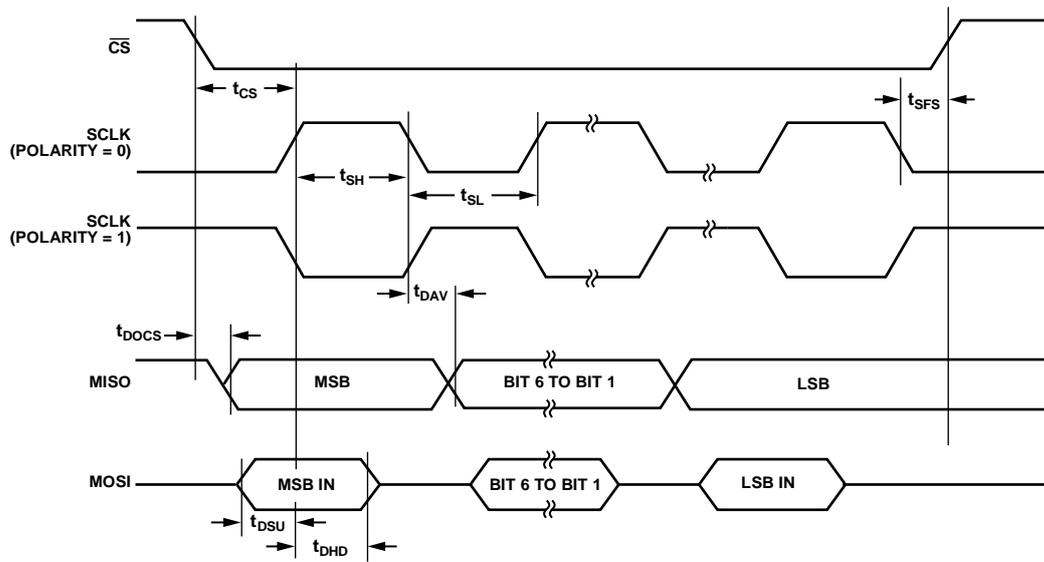


図 11. SPI スレーブ・モードのタイミング (フェーズ・モード = 0)

14745-011

I²C の仕様

表 16.

Parameter	Symbol	Min	Typ	Max	Unit
I ² C SCLK FREQUENCY					
Standard Mode			100		kHz
Fast Mode			400		kHz

汎用ポートのタイミング

表 17.

Parameter	Symbol	Min	Typ	Max	Unit
TIMING REQUIREMENTS					
General-Purpose Port Pin Input Pulse Width	t _{WFI}	4 × t _{PCLK}			ns

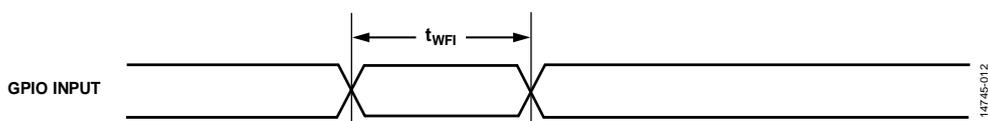


図 12. 汎用タイミング

RTC1 (FLEX_RTC) の仕様

表 18.

Parameter	Symbol	Min	Typ	Max	Unit
SensorStrobe					
Minimum Output Frequency			0.5		Hz
Maximum Output Frequency			16.384		kHz
RTC1 ALARM					
Minimum Time Resolution			30.52		μs

タイマーのパルス幅変調 (PWM) 出力サイクルのタイミング

表 19.

Parameter	Symbol	Min	Typ	Max	Unit
SWITCHING REQUIREMENTS					
Timer Pulse Width Modulation Output	t _{PWMO}	(4 × t _{PCLK}) - 6		256 × (216 - 1)	ns

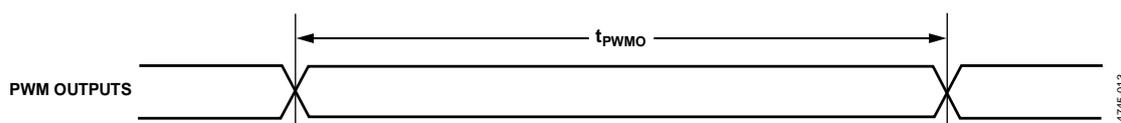


図 13. タイマーの PWM 出力サイクルのタイミング

絶対最大定格

表 20.

Parameter	Rating
Supply VBAT_ANA1, VBAT_ANA2, VBAT_ADC, VBAT_DIG1, VBAT_DIG2, and VREFP_ADC	-0.3 V to +3.6 V
Analog VDCDC_CAP1N, VDCDC_CAP1P, VDCDC_OUT, VDCDC_CAP2N, and VDCDC_CAP2P	-0.3 V to +3.6 V
VLDO_OUT, SYS_HFXTAL_IN, SYS_HFXTAL_OUT, SYS_LFXTAL_IN, and SYS_LFXTAL_OUT	-0.3 V to +1.32 V
Digital Input/Output P0_xx, P1_xx, P2_xx, P3_xx, and SYS_HWRST	-0.3 V to +3.6 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。 θ_{JA} を次式に使用して、 T_J の一次近似を求めることができます。

$$T_J = T_A + (\theta_{JA} \times PD)$$

ここで、

ここで、 T_A は周囲温度 (°C)。

T_J はジャンクション温度 (°C)。

PD は消費電力です (消費電力を計算するには、電源電流仕様のセクションを参照してください)。

表 21. 熱抵抗

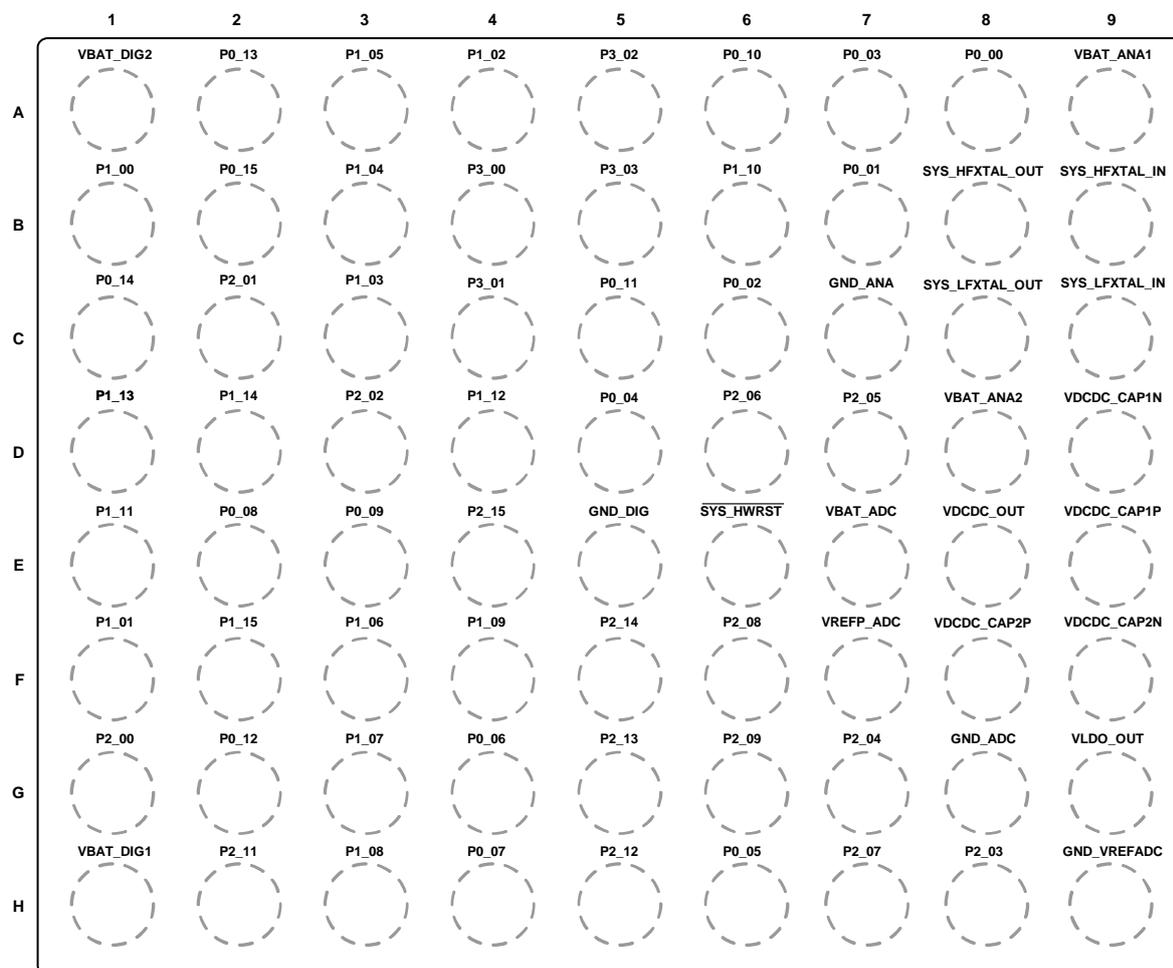
Package Type	θ_{JA}	θ_{JC}	Unit
CP-64-17	26.3	1.0	°C/W

ESD に関する注意

**ESD (静電放電) の影響を受けやすいデバイスです。**

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



ADuCM4050
TOP VIEW
(BALL SIDE DOWN)
Not to Scale

14745-014

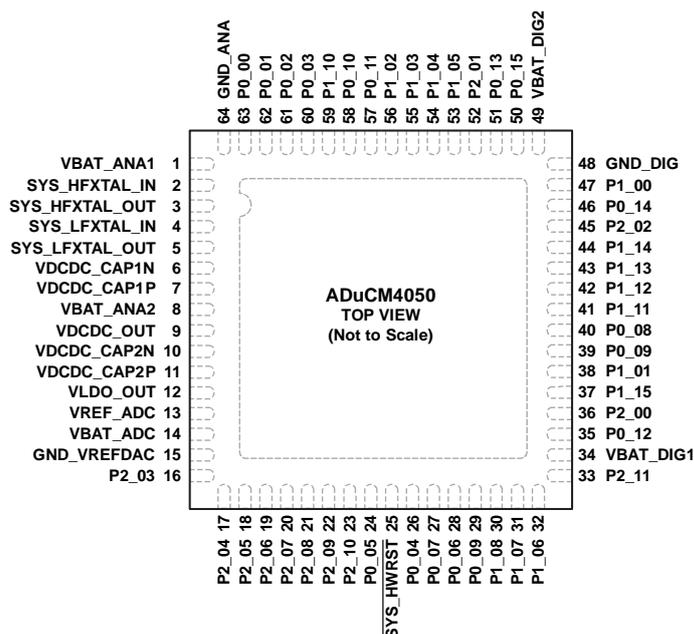
図 14. 72 ボール WLCSP のピン配置

表 22. 72 ボール WLCSP のピン機能の説明

Pin No.	Mnemonic	Signal Names	Description
A1	VBAT_DIG2	Not applicable	MCU のデジタル回路用外部電源。
A2	P0_13	GPIO13/SYS_WAKE2	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
A3	P1_05	GPIO21, SPI2_CS0	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
A4	P1_02	GPIO18, SPI2_CLK	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
A5	P3_02	GPIO50, RGB_TMR0_3, SPT0_AD0	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
A6	P0_10	GPIO10, UART0_TX	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
A7	P0_03	GPIO03, SPI0_CS0, SPT0_BCNV, SPI2_RDY	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
A8	P0_00	GPIO00, SPI0_CLK, SPT0_BCLK	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
A9	VBAT_ANA1	Not applicable	MCU のアナログ回路用外部電源。
B1	P1_00	GPIO16/SYS_WAKE1	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
B2	P0_15	GPIO15/SYS_WAKE0	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
B3	P1_04	GPIO20, SPI2_MISO	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
B4	P3_00	GPIO48, RGB_TMR0_1, SPT0_ACLK	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
B5	P3_03	GPIO51, SPT0_ACNV	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。

Pin No.	Mnemonic	Signal Names	Description
B6	P1_10	GPIO26, SPI0_CS1, SYS_CLKIN, SPI1_CS3	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
B7	P0_01	GPIO01, SPI0_MOSI, SPT0_BFS	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
B8	SYS_HFXTAL_OUT	Not applicable	高周波水晶発振器出力。
B9	SYS_HFXTAL_IN	Not applicable	高周波水晶発振器入力。
C1	P0_14	GPIO14, TMR0_OUT, SPI1_RDY	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
C2	P2_01	GPIO33/SYS_WAKE3, TMR2_OUT	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
C3	P1_03	GPIO19, SPI2_MOSI	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
C4	P3_01	GPIO49, RGB_TMR0_2, SPT0_AFS	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
C5	P0_11	GPIO11, UART0_RX	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
C6	P0_02	GPIO02, SPI0_MISO, SPT0_BD0	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
C7	GND_ANA	Not applicable	MCU のアナログ回路用グラウンド・リファレンス。
C8	SYS_LFXTAL_OUT	Not applicable	低周波水晶発振器出力。
C9	SYS_LFXTAL_IN	Not applicable	低周波水晶発振器入力。
D1	P1_13	GPIO29, TMR2_OUT	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
D2	P1_14	GPIO30, SPI0_RDY	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
D3	P2_02	GPIO34, SPT0_ACNV, SPI1_CS2	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
D4	P1_12	GPIO28, RTC1_SS2	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
D5	P0_04	GPIO04, I2C0_SCL	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
D6	P2_06	GPIO38, ADC0_VIN3	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
D7	P2_05	GPIO37, ADC0_VIN2	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
D8	VBAT_ANA2	Not applicable	MCU のアナログ回路用外部電源。
D9	VDCDC_CAP1N	Not applicable	降圧コンバータ・コンデンサ 1 の負端子。
E1	P1_11	GPIO27, TMR1_OUT	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
E2	P0_08	GPIO08, BPR0_TONE_N	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
E3	P0_09	GPIO09, BPR0_TONE_P, SPI2_CS1	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
E4	P2_15	GPIO47, SPI2_CS2, SPI1_CS3, SPI0_CS1	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
E5	GND_DIG	Not applicable	MCU のデジタル回路用グラウンド・リファレンス。
E6	SYS_HWRST	Not applicable	ハードウェア・リセット・ピン。
E7	VBAT_ADC	Not applicable	内蔵 ADC 用外部電源。
E8	VDCDC_OUT	Not applicable	降圧コンバータ出力。このピンはデカップリング・コンデンサの接続専用です。外部負荷には接続しないでください。
E9	VDCDC_CAP1P	Not applicable	降圧コンバータ・コンデンサ 1 の正端子。
F1	P1_01	SYS_BMODE0, GPIO17	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
F2	P1_15	GPIO31, SPT0_ACLK, UART1_TX	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
F3	P1_06	GPIO22, SPI1_CLK, RGB_TMR0_1	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
F4	P1_09	GPIO25, SPI1_CS0, SWV	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
F5	P2_14	GPIO46, SPI0_CS3	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
F6	P2_08	GPIO40, ADC0_VIN5, SPI0_CS2, RTC1_SS3	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
F7	VREFP_ADC	Not applicable	内蔵 ADC 用外部リファレンス電圧。
F8	VDCDC_CAP2P	Not applicable	降圧コンバータ・コンデンサ 2 の正端子。
F9	VDCDC_CAP2N	Not applicable	降圧コンバータ・コンデンサ 2 の負端子。
G1	P2_00	GPIO32, SPT0_AFS, UART1_RX	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
G2	P0_12	GPIO12, SPT0_AD0, UART0_SOUT_EN	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
G3	P1_07	GPIO23, SPI1_MOSI, RGB_TMR0_2	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
G4	P0_06	SWD0_CLK, GPIO06	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
G5	P2_13	GPIO45, UART1_RX, SPI0_CS2	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
G6	P2_09	GPIO41, ADC0_VIN6, SPI0_CS3	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。

Pin No.	Mnemonic	Signal Names	Description
G7	P2_04	GPIO36, ADC0_VIN1	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
G8	GND_ADC	Not applicable	内蔵 ADC 用グラウンド・ピン。
G9	VLDO_OUT	Not applicable	低ドロップアウト・レギュレータ出力。このピンはデカップリング・コンデンサの接続専用です。外部負荷には接続しないでください。
H1	VBAT_DIG1	Not applicable	MCU のデジタル回路用外部電源。
H2	P2_11	GPIO43, SPI1_CS1, SYS_CLKOUT, RTC1_SS1	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
H3	P1_08	GPIO24, SPI1_MISO, RGB_TMR0_3	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
H4	P0_07	SWD0_DATA, GPIO07	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
H5	P2_12	GPIO44, UART1_TX, SPI2_CS3	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
H6	P0_05	GPIO05, I2C0_SDA	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
H7	P2_07	GPIO39, ADC0_VIN4, SPI2_CS3	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
H8	P2_03	GPIO35, ADC0_VIN0	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
H9	GND_VREFADC	Not applicable	ADC リファレンス電源のグラウンド。



NOTES
1. EXPOSED PAD. THE EXPOSED PAD MUST BE GROUNDED.

14745-015

図 15. 64 ピン LFCSP のピン配置

表 23. 64 ピン LFCSP のピン機能の説明

Pin No.	Mnemonic	Signal Names	Description
1	VBAT_ANA1	Not applicable	MCU のアナログ回路用外部電源。
2	SYS_HFXTAL_IN	Not applicable	高周波水晶発振器入力。
3	SYS_HFXTAL_OUT	Not applicable	高周波水晶発振器出力。
4	SYS_LFXTAL_IN	Not applicable	低周波水晶発振器入力。
5	SYS_LFXTAL_OUT	Not applicable	低周波水晶発振器出力。
6	VDCDC_CAP1N	Not applicable	降圧コンバータ・コンデンサ 1 の負端子。
7	VDCDC_CAP1P	Not applicable	降圧コンバータ・コンデンサ 1 の正端子。
8	VBAT_ANA2	Not applicable	MCU のアナログ回路用外部電源。
9	VDCDC_OUT	Not applicable	降圧コンバータ出力。このピンはデカップリング・コンデンサの接続専用です。外部負荷には接続しないでください。
10	VDCDC_CAP2N	Not applicable	降圧コンバータ・コンデンサ 2 の負端子。
11	VDCDC_CAP2P	Not applicable	降圧コンバータ・コンデンサ 2 の正端子。
12	VLDO_OUT	Not applicable	低ドロップアウト・レギュレータ出力。このピンはデカップリング・コンデンサの接続専用です。外部負荷には接続しないでください。
13	VREF_ADC	Not applicable	内蔵 ADC 用外部リファレンス電圧。
14	VBAT_ADC	Not applicable	内蔵 ADC 用外部電源
15	GND_VREFDAC	Not applicable	内蔵 ADC 用グラウンド。
16	P2_03	GPIO35, ADC0_VIN0	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
17	P2_04	GPIO36, ADC0_VIN1	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
18	P2_05	GPIO37, ADC0_VIN2	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
19	P2_06	GPIO38, ADC0_VIN3	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
20	P2_07	GPIO39, ADC0_VIN4, SPI2_CS3	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
21	P2_08	GPIO40, ADC0_VIN5, SPI0_CS2, RTC1_SS3	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
22	P2_09	GPIO41, ADC0_VIN6, SPI0_CS3	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
23	P2_10	GPIO42, ADC0_VIN7, SPI2_CS2	GPIO。
24	P0_05	GPIO05, I2C0_SDA	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
25	SYS_HWRST	Not applicable	ハードウェア・リセット・ピン。
26	P0_04	GPIO04, I2C0_SCL	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。
27	P0_07	SWD0_DATA, GPIO07	GPIO。詳細については、GPIO マルチプレクスのセクションを参照してください。

Pin No.	Mnemonic	Signal Names	Description
28	P0_06	SWD0_CLK, GPIO06	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
29	P1_09	GPIO25, SPI1_CS0, SWV	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
30	P1_08	GPIO24, SPI1_MISO, RGB_TMR0_3	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
31	P1_07	GPIO23, SPI1_MOSI, RGB_TMR0_2	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
32	P1_06	GPIO22, SPI1_CLK, RGB_TMR0_1	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
33	P2_11	GPIO43, SPI1_CS1, SYS_CLKOUT, RTC1_SS1	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
34	VBAT_DIG1	Not applicable	MCU のデジタル回路用外部電源。
35	P0_12	GPIO12, SPT0_AD0, UART0_SOUT_EN	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
36	P2_00	GPIO32, SPT0_AFS, UART1_RX	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
37	P1_15	GPIO31, SPT0_ACLK, UART1_TX	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
38	P1_01	SYS_BMODE0, GPIO17	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
39	P0_09	GPIO09, BPR0_TONE_P, SPI2_CS1	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
40	P0_08	GPIO08, BPR0_TONE_N	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
41	P1_11	GPIO27, TMR1_OUT	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
42	P1_12	GPIO28, RTC1_SS2	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
43	P1_13	GPIO29, TMR2_OUT	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
44	P1_14	GPIO30, SPI0_RDY	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
45	P2_02	GPIO34, SPT0_ACNV, SPI1_CS2	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
46	P0_14	GPIO14, TMR0_OUT, SPI1_RDY	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
47	P1_00	GPIO16/SYS_WAKE1	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
48	GND_DIG	Not applicable	MCU のデジタル回路用グラウンド・リファレンス。
49	VBAT_DIG2	Not applicable	MCU のデジタル回路用外部電源。
50	P0_15	GPIO15/SYS_WAKE0	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
51	P0_13	GPIO13/SYS_WAKE2	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
52	P2_01	GPIO33/SYS_WAKE3, TMR2_OUT	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
53	P1_05	GPIO21, SPI2_CS0	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
54	P1_04	GPIO20, SPI2_MISO	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
55	P1_03	GPIO19, SPI2_MOSI	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
56	P1_02	GPIO18, SPI2_CLK	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
57	P0_11	GPIO11, UART0_RX	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
58	P0_10	GPIO10, UART0_TX	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
59	P1_10	GPIO26, SPI0_CS1, SYS_CLKIN, SPI1_CS3	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
60	P0_03	GPIO03, SPI0_CS0, SPT0_BCNV, SPI2_RDY	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
61	P0_02	GPIO02, SPI0_MISO, SPT0_BD0	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
62	P0_01	GPIO01, SPI0_MOSI, SPT0_BFS	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
63	P0_00	GPIO00, SPI0_CLK, SPT0_BCLK	GPIO。詳細については、GPIO マルチプレックスのセクションを参照してください。
64	GND_ANA	Not applicable	MCU のアナログ回路用グラウンド・リファレンス。
	EPAD	Not applicable	露出パッド。露出パッドはグラウンドに接続する必要があります。

代表的な性能特性

図 16～図 21 に、MCU の出力ドライバの代表的な電流電圧特性を示します。これらの曲線は、出力電圧の機能である出力ドライバの電流駆動容量を示します。

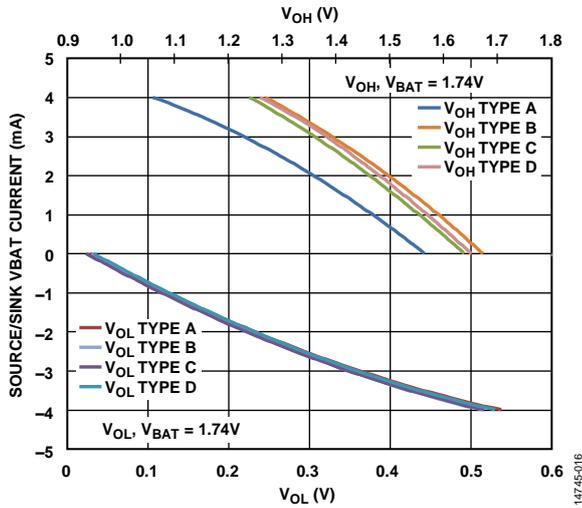


図 16. 出力のダブル・ドライブ強度特性 ($V_{BAT} = 1.74V$)

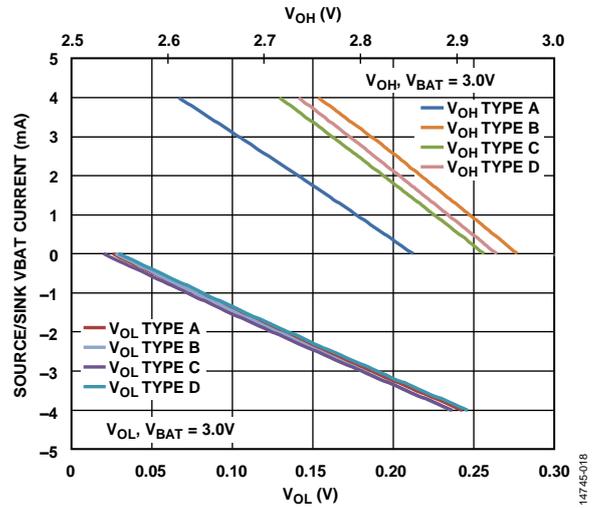


図 18. 出力のダブル・ドライブ強度特性 ($V_{BAT} = 3.0V$)

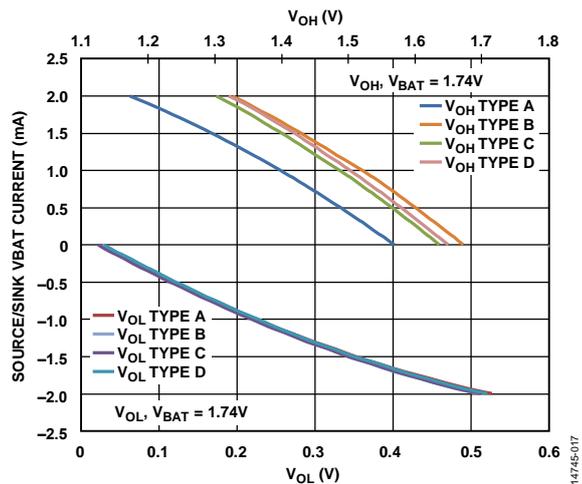


図 17. 出力のシングル・ドライブ強度特性 ($V_{BAT} = 1.74V$)

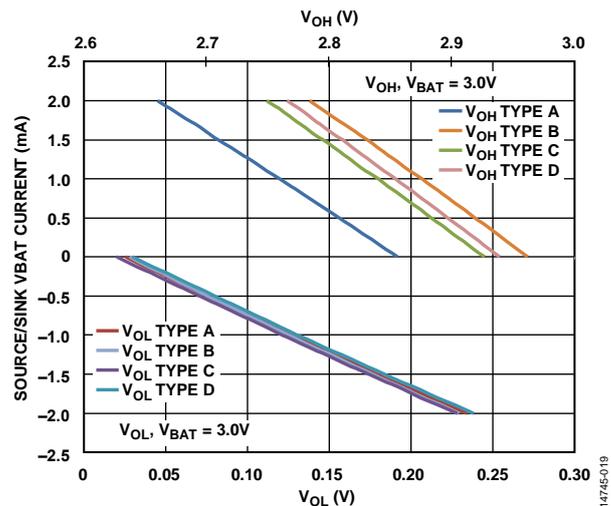


図 19. 出力のシングル・ドライブ強度特性 ($V_{BAT} = 3.0V$)

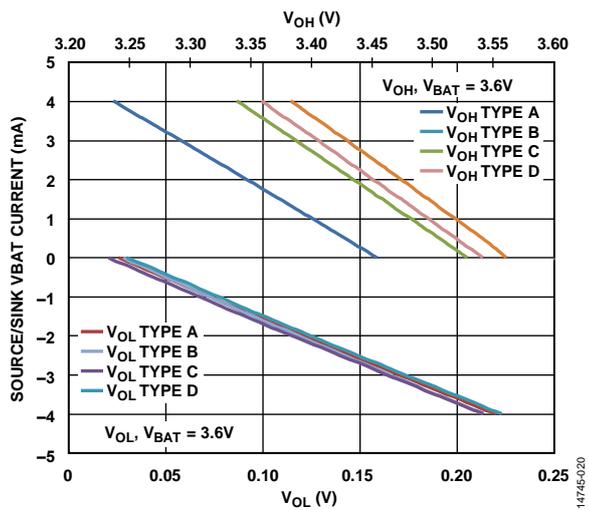


図 20. 出力のダブル・ドライブ強度特性 ($V_{BAT} = 3.6V$)

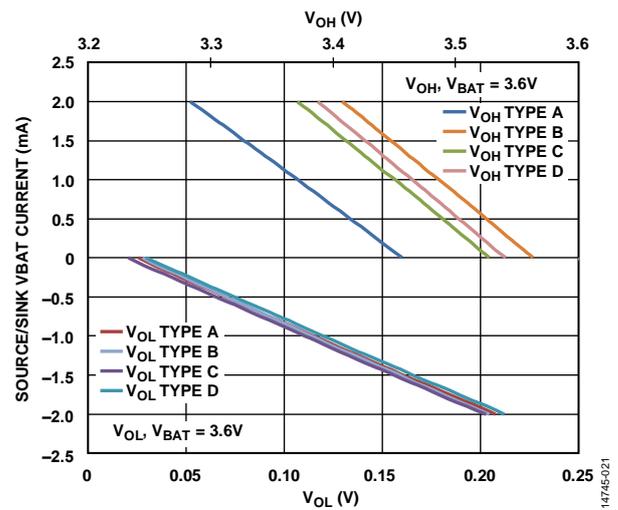


図 21. 出力のシングル・ドライブ強度特性 ($V_{BAT} = 3.6V$)

動作原理

ARM Cortex-M4F プロセッサ

ARM Cortex-M4F コアは、32 ビットの縮小命令セット・コンピュータ (RISC) です。データの長さは、8 ビット、16 ビット、32 ビットです。命令ワードの長さは、16 ビットまたは 32 ビットです。このプロセッサは以下に示す機能を備えています。

- ARM Cortex-M4F アーキテクチャ
- Thumb-2 命令セットアーキテクチャ (ISA) テクノロジー
- 分岐予測による 3 段構成のパイプライン
- テール・チェーンによる低遅延の割込み処理
- シングル・サイクル乗算
- ハードウェア分周命令
- ネスト型ベクタ割込みコントローラ (NVIC) (割込みの数 72、優先度の数 8)
- 6 個のハードウェア・ブレイクポイントと 1 つのウォッチポイント (Segger JLink デバッグ・プローブを使用した無制限のソフトウェア・ブレイクポイント)
- ビット・バンディング・サポート
- トレース・サポート—命令トレース・マクロセル (ITM)、トレース・ポート・インターフェース・ユニット (IPIU)、データ・ウォッチポイントおよびトレース (DWT) トリガとカウンタ
- メモリ保護ユニット (MPU)
- サブ領域と背景領域を含む 8 つの領域から成る MPU
- プログラマブル・クロック・ジェネレータ・ユニット
- 超低消費電力の動作向けに構成可能
- ディープ・スリープ・モード、ダイナミック・パワー・マネージメント
- プログラマブル・クロック・ジェネレータ・ユニット
- 浮動小数点ユニット (FPU)
- 単精度の加算、減算、乗算、除算、積算、平方根の各演算をサポート
- 固定小数点形式と浮動小数点形式間の変換機能と浮動小数点命令機能を装備

ARM Cortex-M4F サブシステム

ADuCM4050 MCU のメモリ・マップ (ADuCM4050 Ultra Low Power ARM Cortex-M4F MCU with Integrated Power Management Hardware Reference を参照) は、ARM Cortex-M4F のメモリ・モデルに基づいています。標準化されたメモリ・マップを保持することで、ARM Cortex-M4F プラットフォーム間で容易にアプリケーションを移植できます。ADuCM4050 のアプリケーション開発は、コード/SRAM 領域全体にわたるメモリ・ブロックをベースにしています。内部 SRAM と内部フラッシュによって、十分な容量の内部メモリを使用できます。

コード領域

コード領域 (0x0000_0000~0x0007_FFFF、ただし、保護された鍵の保存のために用意されている 0x0007_F000~0x0007_FFFF を除く) へのアクセスは、コアが実行し、メモリとキャッシュのリソースを取得します。

SRAM 領域

SRAM 領域 (図 22 参照) へのアクセスは、ARM Cortex-M4F コアが行います。コアの SRAM 領域は、アプリケーションのデータ領域として機能させることができます。

- 内部 SRAM データ領域。このスペースには、読出し/書込みデータを格納できます。内部 SRAM は、32kB のブロック単位でコードとデータ (ARM Cortex-M4F スペースの SRAM 領域) 間を分割できます。この領域へのアクセスは、待機状態なしのコア・クロック速度で実行されます。また、SRAM データ領域は、ARM Cortex-M4F コアによる読出し/書込みアクセスとシステム・デバイスによる読出し/書込み DMA アクセスもサポートしています。
- システム・メモリ・マップド・レジスタ (MMR)。この領域には、多様なシステム MMR が存在します。

システム領域

この領域 (0xE000_0000~0xFFFF_FFFF) へのアクセスは、ARM Cortex-M4F コアによって実行され、Cortex-M4F プラットフォーム内で処理されます。このシステム領域には次のコンポーネントがあります。

- CoreSight™ 読出し専用メモリ (ROM)。ROM テーブル・エントリ (ARM Cortex-M4F Technical Reference Manual を参照) にはプロセッサのデバッグ・コンポーネントが示されます。
- ARM アドバンスド・ペリフェラル・バス (APB) ペリフェラル。このスペースは ARM によって定義され、システム領域 (0xE000_0000~0xE004_0000) の下位 256kB を占有します。このスペースは、ARM コアの内部ペリフェラル (NVIC、システム制御スペース (SCS)、ウェイクアップ割込みコントローラ (WIC)) と CoreSight ROM に対する ARM Cortex-M4F コアの読出し/書込みアクセスをサポートしています。システム DMA からはアクセスできません。
- プラットフォーム・コントロール・レジスタ。このスペースには、ARM Cortex-M4F プラットフォーム コンポーネント内にレジスタがあり、ARM コア、そのメモリ、およびコード・キャッシュを制御します。ARM Cortex-M4F コアによってアクセス可能です (システム DMA はアクセスできません)。

メモリ・アーキテクチャ

ADuCM4050 の内部メモリを図 22 に示します。プログラム・コードと不揮発性データ・ストレージに使用する 512kB の組み込みフラッシュ・メモリ、96kB のデータ SRAM、32kB の SRAM（命令スペースまたはデータ・スペースとして構成）を実装しています。

SRAM 領域

このメモリ・スペースには、リアルタイムでのアクセスが必要なアプリケーション命令と変数データが含まれます。ARM Cortex-M4F コアによる読出し/書込みアクセスとシステム・ペリフェラルによる読出し/書込み DMA アクセスをサポートしています。バイト、ハーフワード、ワードのアクセスがサポートされています。

SRAM は、96kB のデータ SRAM と 32kB の命令 SRAM に分割されます。命令 SRAM がイネーブルでない場合は、関連付けられた 32kB をデータ SRAM としてマップできるので、結果としてデータ SRAM の容量が 128kB になります。

キャッシュ・コントローラがイネーブルの場合、4kB の命令 SRAM はキャッシュ・メモリとして予約されます。パリティ・ビットの誤り検出（オプション）は、全ての SRAM メモリで使用できます。複数のパリティ・ビットが、各 32 ビット・ワードに関連付けられています。

休止モードでは、次のように最大 124kB の SRAM を保持できます。

- 124kB のデータ SRAM
- 96kB のデータ SRAM と 28kB の命令 SRAM

MMR（ペリフェラルの制御とステータス）

MMR を含むアドレス空間については、図 22 を参照してください。これらのレジスタは、ADuCM4050 MCU のオンチップ・ペリフェラルの制御とステータスを提供します。

MMR の詳細については、ADuCM4050 Ultra Low Power ARM Cortex-M4F MCU with Integrated Power Management Hardware Reference を参照してください。

フラッシュ・メモリ

ADuCM4050 MCU は、フラッシュ・コントローラを使用してアクセス可能な 512kB の組み込みフラッシュ・メモリを備えています。フラッシュ・コントローラは、キャッシュ・コントローラと組み合わせることができます。コードの性能を最適化するため、フラッシュ・コントローラにはプリフェッチ機構が実装されています。

フラッシュ書込みは、MMR への APB 書込みを介したキーホール機構でサポートされます。フラッシュ・コントローラは、DMA ベースのキーホール書込みをサポートしています。

このデバイスは、フラッシュの完全性に対する配慮から、次の事項をサポートしています。

- 大容量消去やページ消去などの保護コマンドを実行するには、固定のユーザ・キーが必要。
- オプションのユーザ定義可能なユーザ故障分析キー（FAA キー）。
- アクセス可能なメモリに対するユーザ定義可能な書込み保護（オプション）。
- 8 ビット ECC。

キャッシュ・コントローラ

ADuCM4050 MCU には、オプションの 4kB の命令キャッシュがあります。特定のアプリケーションでは、キャッシュをイネーブルしてコードを実行すると、フラッシュから直接操作する場合よりも消費電力が低くなる場合があります。キャッシュ・コントローラがイネーブルの場合、4kB の命令 SRAM はキャッシュ・メモリとして予約されます。休止モードでは、キャッシュ・メモリは保持されません。

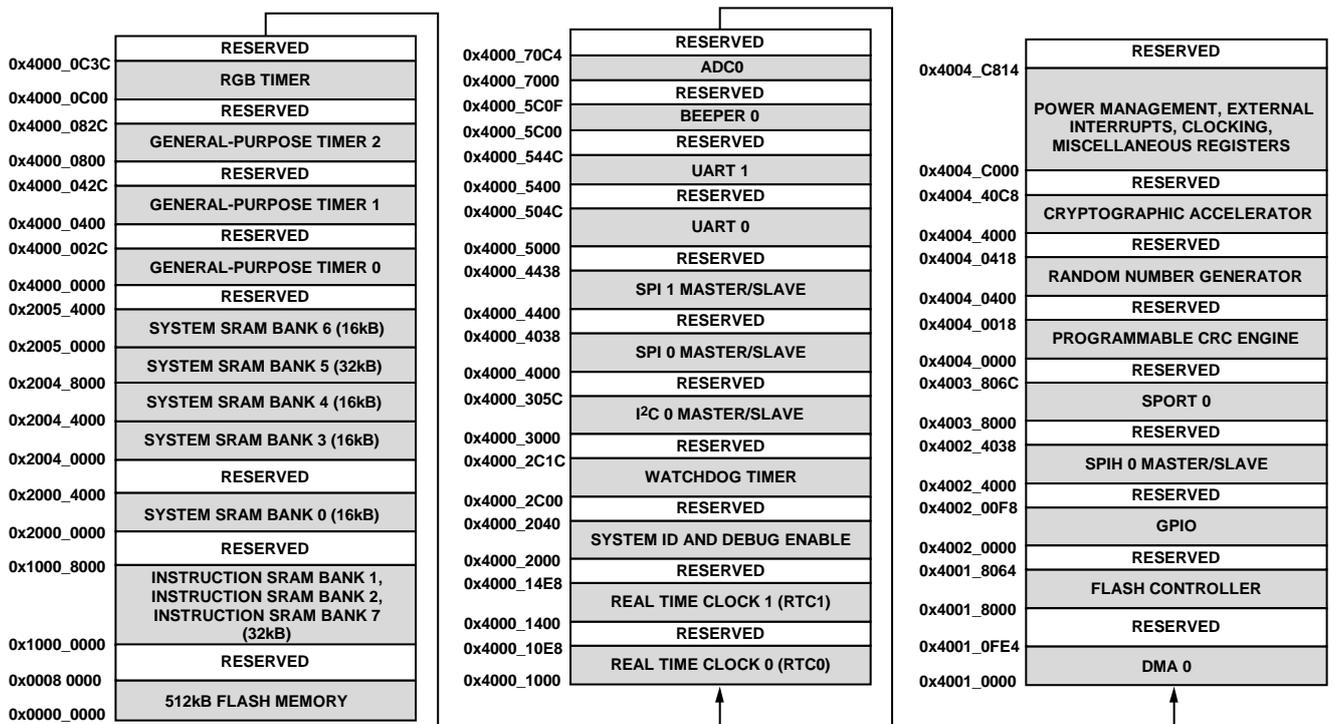


図 22. ADuCM4050 メモリ・マップ—SRAM モード 0

14745-022

システム統合機能

ADuCM4050 MCU には、超低消費電力に加え、セキュアで堅牢なシステムを開発するための機能が備わっています。

リセット

リセットには、外部、パワーオン、ウォッチドッグ・タイムアウト、ソフトウェア・システム・リセットの 4 種類があります。ソフトウェア・システム・リセットは、ARM Cortex-M4F コアの一部として提供されます。SYS_HWRSTピンをトグルすると、ハードウェア・リセットが実行されます。

ブート

ADuCM4050 MCU には、内部フラッシュからのブートと UART ダウンロードからのソフトウェア・アップグレードの 2 つのブート・モードがあります (表 24 参照)。SYS_BMODE0 (ピン P1_01) がパワーアップまたはハード・リセットの最中にローになると、MCU はシリアル・ダウンロード・モードに移行します。このモードでは、オンチップ・ローダ・ルーチンがカーネル内で始動し、UART ポートを構成してホストとの通信を行い、特定のシリアル・ダウンロード・プロトコル経由でファームウェアのアップグレードを管理します。

表 24. ブート・モード

Boot Mode	Description
0	UART ダウンロード・モード。
1	フラッシュ・ブート。内蔵フラッシュ・メモリからのブート。

パワー・マネージメントとモード

ADuCM4050 MCU の統合化されたパワー・マネージメント・システムでは、デバイスの性能が最適化され、バッテリー寿命が延びます。パワー・マネージメント・システムは、次の要素で構成されます。

- 内蔵の 1.2V 低ドロップアウト・レギュレータ (LDO) とオプションの容量性降圧レギュレータ
- 休止モードとシャットダウン・モードでの低スタンバイ電流を実現するための電力スイッチを内蔵

この他にも、次のようなパワー・マネージメント機能があります。

- アクティブ・モード向けにカスタマイズされたクロック・ゲート
- 休止モードとシャットダウン・モードでリークを減らす電力ゲート
- 柔軟性の高いスリープ・モード
- 保持なしのシャットダウン・モード
- 効率の高い降圧コンバータ (オプション) で消費電力を節約
- 低消費電力の発振器を内蔵

PMU は ADuCM4050 MCU の電力モードを制御し、ARM Cortex-M4F がクロックと電力ゲートを制御して、消費電力を節約できるようにします。いくつかの電力モードが使用可能で、消費電力と機能性のバランスがとれたオプションを提供します。ADuCM4050 で使用可能な電力モードについて、以降のセクションで説明します。

アクティブ・モード

アクティブ・モードでは全てのペリフェラルが有効です。最適化されたクロック管理によってアクティブ時の消費電力が管理されます。アクティブ・モードの消費電流の詳細については、表 3 を参照してください。

Flexi モード

Flexi モードでは、ARM Cortex-M4F コアはクロック・ゲーティングされますが、システムの残りの部分はアクティブです。このモードでは命令を実行できませんが、DMA 転送はペリフェラル間およびメモリとメモリの間で続行できます。Flexi モードの消費電流の詳細については、表 4 を参照してください。

休止モード

休止モードでは、状態の保持、構成可能な SRAM とポートのピン保持、限られた数のウェイクアップ割込み (SYS_WAKEx、UART0_RX、オプションの RTC0 と RTC1 (FLEX_RTC™)) を提供します。

シャットダウン・モード

シャットダウン・モードは強力なディープ・スリープ・モードで、全てのデジタル回路とアナログ回路がパワーダウンし、4 通りのウェイクアップ・ソースからウェイクアップするオプションを備えています。このモードでは、RTC0 は (オプションで) イネーブルになり、デバイスを RTC0 割込みによって定期的にウェイクアップできます。

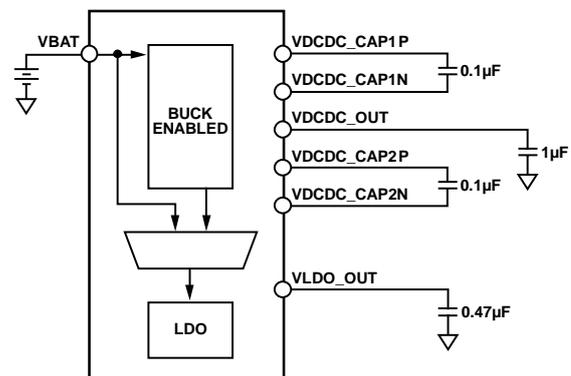
シャットダウン・モード-高速ウェイクアップ

このモードでは、シャットダウン・モードに比べて消費電力は増加しますが、ウェイクアップ時間が短縮されます。ウェイクアップ時間の仕様については、表 25 を参照してください。

パワー・マネージメントと制御

パワー・マネージメントと制御では、次の機能を使用できます。

- 単電源 (CR2032 コイン電池など) を使用した 1.74V~3.6V の電圧範囲
- GPIO はバッテリーから直接駆動されます。ピンの状態は、休止モードとシャットダウン・モードで保持されます。GPIO 構成は休止モードでのみ保持されます。
- 休止モードでは、外部割込み (GPIO 経由)、UART0_RX 割込み、RTC からウェイクアップします。
- シャットダウン・モードでは外部割込み (GPIO 経由) と RTC0 からウェイクアップします。
- 1.2V のフル・オン・サポートでは、オプションで高電力降圧コンバータを使用できます (MCU 使用時のみ)。推奨される外部回路については、図 23 を参照してください。



NOTES

1. FOR DESIGNS IN WHICH THE OPTIONAL BUCK IS NOT USED, THE FOLLOWING PINS MUST BE LEFT UNCONNECTED: VDCDC_CAP1P, VDCDC_CAP1N, VDCDC_OUT, VDCDC_CAP2P, AND VDCDC_CAP2N.

14745-023

図 23. 降圧がイネーブルな設計

表 25. 各消費電力モードのウェイクアップ時間

Mode	VTOR ¹	Root Clock	HCLK/PCLK	Wake-Up Time
Flexi	Flash	HFOSC	26 MHz	1.605 μs
Hibernate	Flash	HFOSC	26 MHz	10.356 μs
	SRAM	HFOSC	26 MHz	4.984 μs
	Flash	HFXTAL	26 MHz	686.452 μs
	Flash	PLL_HFOSC	26 MHz	14.487 μs
	Flash	PLL_HFXTAL	26 MHz	742.668 μs
	Flash	PLL_HFOSC	52 MHz	15.730 μs
	Flash	PLL_HFXTAL	52 MHz	726.101 μs
	Flash	HFOSC	26 MHz	68.144 ms
Shutdown	Flash	HFOSC	26 MHz	1.220 ms
Shutdown (Fast Wake-Up)	Flash	HFOSC	26 MHz	1.220 ms

¹ VTOR はベクタ・テーブル・オフセット・レジスタの意味です。

セキュリティ機能

ADuCM4050 MCU は、ハードウェアとソフトウェアの保護メカニズムを組み合わせて、セキュア・モードでデバイスへのアクセスをロックアウトし、オープン・モードでアクセスを許可します。これらのメカニズムには、パスワードで保護されたスレーブ・ブート・モード (UART) とパスワードで保護されたシリアル・ワイヤ・デバッグ (SWD) インターフェースがあります。未許可のユーザによってデバイスの内容 (フラッシュ、SRAM、CPU レジスタ、ペリフェラル・レジスタ) が外部インターフェースを介して読み出されないように保護するメカニズムを備えています。これは読出し保護と呼ばれます。

デバイスを、不正なコードによって回路内で再プログラムされないように保護できます。これは回路内の書き込み保護と呼ばれます。

デバイスは、保護なし、読出し保護、読出し/回路内の書き込み保護のいずれかで構成できます。読出し保護がない場合、回路内の書き込み保護を実装する必要はありません。

この製品には、組み込み不揮発性メモリの内容を保護し、不正なコードの実行を防ぐセキュリティ機能が含まれています。発注者またはその後の受領者がこのデバイスのセキュリティを有効にすると、アナログ・デバイセズが返却デバイスの故障を分析する際の機能が制限されます。デバイスの故障分析に対する制限については、アナログ・デバイセズまでお問い合わせください。

暗号化アクセラレータ

暗号化アクセラレータは、32 ビット APB DMA 対応のペリフェラルです。データの入出力用に 128 ビット・バッファを 2 つ備えています。これらのバッファは、4 回のデータ・アクセスで 128 ビットの読込みと読出しを実行します。次のモードのように、ビッグ・エンディアン形式とリトル・エンディアン形式がサポートされています。

- ECB モード-AES モード
- CTR モード
- CBC モード
- メッセージ認証コード (MAC) モード
- CCM/CCM*モード
- SHA-256 モード
- 鍵ラップ/アンラップで保護された鍵の保存—HMAC 署名生成

真性乱数ジェネレータ (TRNG)

TRNG は、確定的でない値が必要な動作で使用されます。セキュアな通信のためにチャレンジを生成したり、暗号化された通信チャンネルで使用するキーを生成したりできます。ジェネレータを複数回実行して、目的の動作の強度のために十分な数のビットを生成できます。真性乱数ジェネレータを使用すれば、確定的なランダム・ビット・ジェネレータにシード値を提供できます。

信頼性が高く、堅牢な機能

ADuCM4050 MCU には、特定レベルのシステムの安全性と信頼性を高めたり、実現したりするための機能が備わっています。安全レベルは主にシステムの考慮事項によって決定されますが、耐久性を高めるために次の機能が用意されています。

ECC 対応のフラッシュ・メモリ

フラッシュ・アレイ全体が保護され、64 ビットのフラッシュ・データごとに、1 ビットの誤りを補正するか 2 ビットの誤りを検出します。

マルチパリティ・ビットで保護された SRAM

SRAM の各ワードとキャッシュ・メモリは、マルチパリティ・ビットで保護され、ランダムなソフト誤差を検出できます。

ソフトウェア・ウォッチドッグ

オンチップのウォッチドッグ・タイマーは、ADuCM4050 コアのソフトウェア・ベースの監視を行います。

CRC アクセラレータ

CRC アクセラレータは、メモリ・ロケーションのブロックについて CRC を計算します。これは、SRAM、フラッシュ、または任意の組み合わせの MMR で可能です。CRC アクセラレータは、予想されるシグネチャと比較できるチェックサムを生成します。CRC の主な特性を次に示します。

- データ・ブロックの CRC シグネチャを生成します。
- 最大 32 ビット長のプログラマブル多項式をサポートします。
- 32 ビットのデータについて同時に動作し、任意のデータ長について CRC を生成します。
- MSB ファーストと LSB ファーストの実装をサポートします。
- 多様なデータ・ミラーリング機能。
- ユーザによるプログラム可能な初期シード。
- MCU をオフロードするためのデータ転送に使用する DMA コントローラ（メモリからメモリへの転送）

プログラマブル GPIO

ADuCM4050 MCU には、LFCSP パッケージと WLCSP パッケージでそれぞれ 44 本と 51 本の GPIO ピンがあり、ユーザ・コードで定義可能な複数の機能を持っています。これらは入出力ピンとして構成でき、プログラマブルなプルアップ抵抗を備えています。全ての GPIO ピンは、電源範囲全体で機能します。ディープ・スリープ・モードでは、GPIO ピンが状態を保持します。リセットで、トライステートになります。

タイマー

ADuCM4050 MCU には、3 個の汎用タイマー、1 個のウォッチドッグ・タイマー、1 個の RGB タイマーがあります。全てのタイマーにイベント・キャプチャ機能があり、40 通りの割込みを受けることができます。

汎用タイマー

ADuCM4050 MCU には、3 個の同じ汎用タイマーが組み込まれ、各タイマーに 16 ビットのアップ・カウンタまたはダウン・カウンタが搭載されています。アップ/ダウン・カウンタは、ユーザが選択可能な 4 つのクロック源のいずれかからクロックできます。選択されたクロック源は、1、16、64、または 256 のプリスケアラを使用してスケール・ダウンできます。

ウォッチドッグ・タイマー (WDT)

ウォッチドッグ・タイマー (WDT) は、プログラマブル・プリスケアラを備えた 16 ビットのカウント・ダウン・タイマーです。プリスケアラ源は選択可能で、1、16、または 256 の係数でスケール化できます。WDT は、32kHz のオンチップ発振器 (LFOSC) でクロックされ、無効なソフトウェア状態からの復帰を助けます。WDT には、リセットや MCU への割込みが強制的に行われないように、定期的なサービスが必要です。

RGB タイマー

ADuCM4050 MCU には RGB タイマーがあり、アノード・コモン RGB LED に対応します。1 個のタイマー・カウンタと 3 個のコンペア・レジスタが備わっています。3 つの GPIO ピンに 3 通りの異なるパルス幅変調 (PWM) 波形を同時に生成し、アノード・コモン RGB LED を使用して様々な色を実現できます。

RGB タイマーの動作時、他の 3 個のタイマーはユーザ・ソフトウェアで使用可能です。

ADC サブシステム

ADuCM4050 MCU には、12 ビットの SAR ADC と最大 8 個の外部チャンネルが統合されています。変換は、シングル・モードまたは自動サイクル・モードで実行できます。シングル・モードでは、ADC チャンネルの 1 つを選択して、そのチャンネルで変換を実行するように ADC を設定できます。自動サイクル・モードでは、複数のチャンネル間で変換を行うと共に、個別のチャンネル・レジスタのサンプリングと読出しについて MCU のオーバーヘッドを削減できます。また、ADC チャンネルを使用することで、ADC を温度検出とバッテリー電圧の測定にも使用できます。

ただし、温度検出とバッテリー監視は、自動サイクル・モードでは実行できません。

ADC 入力がプログラマブル閾値を上回るか下回ると、デバイスのデジタル・コンパレータによって割込みがトリガされます。次の GPIO のマルチプレクサを使用した多チャンネルは、デジタル・コンパレータと共に使用してください (GPIO マルチプレクサのセクションを参照) : ADC0_VIN0、ADC0_VIN1、ADC0_VIN2、ADC0_VIN3。

DMA モードで ADC を使用すると、必要な数の ADC 変換が完全にメモリに記録された場合に 1 回の割込みをアサートして ADC の結果を直接 SRAM に移動することで、MCU のオーバーヘッドを削減できます。ADC サブシステムのメイン機能を次に示します。

- 12 ビット分解能。
- 10kSPS~1.8MSPS のプログラマブルな ADC アップデート・レート。
- 最大 8 チャンネルをサポートする入力マルチプレクサを内蔵。
- 温度検出をサポート。
- バッテリー監視をサポート。
- ソフトウェアで選択可能なオンチップ・リファレンス電圧生成—1.25V~2.50V。
- ソフトウェアで選択可能な内部/外部リファレンス。
- 自動サイクル・モードにより変換用の入力チャンネルのシーケンスを自動的に選択可能。
- 1 つまたは複数のチャンネルでの複数の変換を、コアの割込みなしに実行可能。
- 平均化機能—1 つのまたは複数のチャンネルでの変換データは、最大 256 個のサンプルで平均化できます。
- ADC0_VIN0、ADC0_VIN1、ADC0_VIN2、ADC0_VIN3 チャンネル用の内部デジタル・コンパレータによるアラート機能。ADC の結果がユーザ定義の閾値を超過したことがデジタル・コンパレータによって検出されると、割込みが生成されます。更に、最大 8 サイクルのヒステリシスを内蔵できます。
- 専用の DMA チャンネルをサポート。
- 温度センサーとバッテリー監視を実行する各チャンネルには、変換結果用のデータ・レジスタがあります。

クロッキング

ADuCM4050 MCU には、次のクロック・オプションがあります。

- 高周波クロック
 - 26MHz の内部高周波発振器 (HFOSC)
 - 26MHz または 16MHz の高周波外部水晶発振器 (HFXTAL)
 - GPIO クロック入力 (SYS_CLKIN)
 - フェーズ・ロック・ループ (PLL)
- 32kHz の低周波クロック
 - 内部低周波発振器 (LFOSC)
 - 低周波外部水晶発振器 (LFXTAL)

クロック・オプションはソフトウェア設定が可能ですが、次の例外があります。内部降圧レギュレータを使用する場合、HFOSC はディスエーブルできません。また、LFXTAL を使用する場合でも LFOSC をディスエーブルできません。

26MHz を超える周波数のクロック源は PLL を使用して実現できます。PLL で得られる最大周波数は 52MHz です。

コア周波数が 26MHz を超える場合は、フラッシュ・ウェイト・ステートを 1 に設定してください。

PLL がディスエーブルで再ロックがユーザ・ソフトウェアに対してトランスペアレントであるため、システム周波数が PLL から供給されている場合はシームレスに休止モードに入ったり出たりします。

クロック不良検出

LFOSC クロックは、休止、アクティブ、Flexi の各消費電力モードで常に LFXTAL を監視しています。LFXTAL が動作を停止すると、割込みを検出・生成したり、ソフトウェアの介入なしに自動的に LFOSC に切り替えたりするオプションがあります。

HFOSC クロックは、HFXTAL クロック、GPIO クロック、PLL クロックを監視します。これらのクロックのいずれかをシステム・クロックとして使用し、トグルに失敗した場合、そのクロックは割込みによって検出できます。自動的に HFOSC に切り替わるオプションがあります。

リアルタイム・クロック (RTC)

ADuCM4050 MCU には、RTC0 と RTC1 の 2 つの RTC ブロックがあります。RTC0 と RTC1 は、フレキシブル・リアル・タイム・クロック (FLEX_RTC™) と呼ばれます。これらの RTC ブロックは、32,768Hz の外部水晶発振器と組み合わせて動作する低消費電力の水晶発振器回路を共有しています。

RTC には、プログラムされたアラート値が RTC カウントと一致すると、コアに割込みを実行するアラームがあります。ソフトウェアによって RTC のイネーブルと構成が行われます。

また、RTC には、固定された間隔で RTC カウントに正または負の調整を適用するデジタル・トリム機能があります。

FLEX_RTC は、3 つの SensorStrobe 出力、RTC1_SS1、RTC1_SS2、RTC1_SS3 をサポートします (詳細は、ADuCM4050 Ultra Low Power ARM CortexM4F MCU with Integrated Power Management Hardware Reference を参照)。この機構を使用することで、シャットダウン・モードを除く全ての電力モードで ADuCM4050 MCU をプログラマブル・クロック・ジェネレータとして使用できます。この方法では、外部センサーのタイミング領域を ADuCM4050 MCU で管理できます。SensorStrobe の出力が、0.5Hz ~ 16.384kHz で動作する FLEX_RTC からのプログラマブル分周器となるためです。センサーと MCU は同期しているので、データを再度サンプリングして時間を合わせる必要はありません。

SensorStrobe 機構がない場合、外部センサーは、通常およそ ±30% の変動がある RC 発振器を使用します。MCU は、サンプリングしたデータを使用する前に、MCU の時間領域で再サンプリングする必要があります。

あるいは、MCU の消費電力が高いまま、センサー側で各データ変換を駆動します。

SensorStrobe 機構によって、ADuCM4050 MCU が長期間にわたり低消費電力を維持でき、不要なデータ処理を回避して最終製品のバッテリー寿命を延ばすことができます。RTC0 と RTC1 の主な違いを表 26 に示します。

表 26. RTC 機能

Features	RTC0	RTC1 (FLEX_RTC)
時間ベースの分解能 (プリスケアラ機能)	1Hzで時間 (秒単位) をカウントします。操作上、RTC0は必ず1Hzにプリスケール (例えば、32,768で除算) し、常に実際の時間を秒単位でカウントします。	0~15の任意の数を指数とする2のべき乗でクロックをプリスケールできます。これら16通りのプリスケール設定の単位で時間をカウントします。例えば、クロックは、1、2、4、8、...、16,384、32,768でプリスケールできます。
ソース・クロック	LFXTAL。	低周波のマルチプレクサ設定に応じて、RTCはLFXTALまたはLFOSCでクロックされます。
ウェイクアップ・タイマー	ウェイクアップ・タイムは秒単位で指定されます。	最小 30.52 μ sの分解能のアラーム時間をサポートします。つまり、時間は固有の 32kHzのクロック・サイクルまで仕様規定されます。
アラーム数	1アラームのみ。1秒単位で指定された絶対的で繰り返しのないアラーム時間を使用します。	2アラーム。1つは絶対的なアラーム時間、他の1つはプリスケールされた時間の60単位ごとに繰り返す周期的アラーム。
SensorStrobe 機構。	該当なし。	デューティ・サイクルと周波数 (0.5Hz~16.384kHz) を微調整した独立の4チャンネル。 SensorStrobeはRTCのアラーム機能で、出力パルスをGPIO経由で外部デバイスに送信し、そのデバイスに特定の時間に計測を行うなどのアクションを実行するよう命令します。SensorStrobeイベントは、RTCのリアルタイム・カウントを基準とする特定のターゲット時間にスケジューラ化されています。SensorStrobeは、アクティブ、Flexi、休止の各モードでイネーブルできます。
入力キャプチャ	該当なし。	入力キャプチャは、外部デバイスがADuCM4050 MCUのGPIO入力の1つに遷移を介してイベントを送信した場合に、RTCのリアルタイム・カウントのスナップショットを取得します。通常、入力キャプチャ・イベントはそのようなデバイスの自律的な測定またはアクションによってトリガされます。その後、デバイスは、RTCがイベントに対応する時間のスナップショットを取得するよう、ADuCM4050 MCUに信号を送信します。このスナップショットを取得することで、ADuCM4050 MCUがウェイクアップし、CPUへの割込みが発生します。続いて、CPUは、入力キャプチャ・イベントの発生サイクルと同一の32kHzサイクルで、RTCから情報を取得します。
入力サンプリング	該当なし。	各SensorStrobeチャンネルには、最大3つの独立した外部用GPIO入力があり、外部デバイスに送信された出力パルスに基づいてサンプリングが可能です。各チャンネルは、外部デバイスからこれらのGPIO入力に何らかの動きが発生した場合に、ADuCM4050 MCUに割込みをするように設定できます。これらの入力は、先入先出 (FIFO) バッファがフルになった、スイッチがオープンになった、閾値を超えた、などのセンサーの状態を送信できます。このような機能によって、ADuCM4050 MCUは低消費電力状態を維持し、外部デバイスからのプログラムされた特定シーケンスが検出された場合のみ、ウェイクアップしてデータを処理できるようになります。

ビーパ・ドライバ

ADuCM4050 MCU には、ビーパ用のオーディオ・ドライバが内蔵されています。ADuCM4050 MCU のビーパ・ドライバ・モジュールは、プログラマブルな周波数で差動方形波を生成します。差動方形波の出力に接続された 2 つの端子で、外部圧電音声コンポーネントを駆動します。

ビーパ・ドライバは 8kHz から約 0.25kHz までの範囲の周波数を発することのできるモジュールで構成されています。この最小周波数は 127 にプログラムできる分周レジスタの最大値によって決まります。この結果、ビーパ周波数は次のようになります。

$$32.768\text{kHz}/127 = 0.25802\text{kHz}$$

ビーパ・ドライバによってトーンを持続時間を 4ms ごとに設定可能で、パルス（シングルトーン）モードとシーケンス（マルチトーン）モードで多様な再生オプションを利用できます。

シーケンス・モードでは、1~254（2~508 トーン）の任意の数のトーン・ペアを再生するか、（ユーザが停止するまで）永久に再生し続けるようにプログラムできます。ビーパの開始/終了、シーケンスの終了、またはシーケンスがまもなく完了することを示すために、割込みを使用できます。

デバッグ機能

ADuCM4050 MCU は、2 線式シリアル・ワイヤ・デバッグ（SWD）インターフェースと単線ビューア・ポートを使用したトレース機能をサポートしています。また、フラッシュパッチおよびブレークポイント（FPB）のフルユニットも備えており、最大 6 つのハードウェア・ブレークポイントをサポートします。

オンチップ・ペリフェラルの機能

ADuCM4050 MCU には、複数の同時/高帯域幅バス経由でコアに接続されるペリフェラルの豊富なセットがあり、柔軟にシステムを構成でき、全体的な性能も優れています（図 1 参照）。

ADuCM4050 MCU には、高速のシリアル・ポート、オンチップ・ペリフェラルや外部ソースからの割込みを柔軟に管理するための割込みコントローラ、MCU とシステムの性能と電力特性を多数のアプリケーション・シナリオに合わせて調整できるパワー・マネージメント制御機能が組み込まれています。

シリアル・ポート（SPORT）

ADuCM4050 MCU は、2 つの単方向（半二重）SPORT または 1 つの双方向（全二重）SPORT を備えています。同期シリアル・ポートは、アナログ・デバイゼスのオーディオ・コーデック、ADC、DAC など、種々のデジタル/ミックスド・シグナルのペリフェラル・デバイスに対する低価格のインターフェースです。シリアル・ポートには、2 本のデータ・ライン、クロック、フレーム同期が含まれます。データ・ラインは、送信または受信向けにプログラムできます。各データ・ラインは専用の DMA チャンネルを備えています。

シリアル・ポート・データは、専用の DMA チャンネル経由で自動的にオンチップ・メモリまたは外部メモリとの間で転送できます。フレーム同期とクロックは共有できます。一部の ADC と DAC では、変換プロセスに 2 つの制御信号が必要です。このようなデバイスとインターフェース接続するため、SPT0_ACNV と SPT0_BCNV の信号が用意されています。これらの信号を使用するには、タイマー・イネーブル・モードを有効にします。このモードでは、SPORT モジュール内部の PWM タイマーがプログラマブルな SPT0_ACNV と SPT0_BCNV の各信号を生成します。

シリアル・ポートは、標準のデジタル・シグナル・プロセッサ（DSP）シリアル・モードとタイマー・イネーブル・モードの 2 つのモードで動作します。

SPI ポート

ADuCM4050 MCU には、3 つの SPI があります。SPI は、8 ビットのデータを同期転送して同時に受信できる、業界標準の全二重同期シリアル・インターフェースです。各 SPI には、DMA コントローラに接続する 2 つの DMA チャンネルが実装されています。一方の DMA チャンネルは送信に使用し、他方のチャンネルは受信に使用します。MCU に搭載された SPI は、外部シリアル・フラッシュ・デバイスに簡単に接続できます。

SPI には、次の機能があります。

- シリアル・クロック位相モードとシリアル・クロック極性モード
- ループバック・モード
- 連続転送モード
- ワイヤード OR 出力モード
- 半二重動作の読み出しコマンド・モード（送信の後に受信が続く）
- フロー制御をサポート
- マルチのチップ・セレクト（CS）ラインをサポート
- CS ソフトウェア・オーバーライドをサポート
- 3 ピンの SPI をサポート

UART ポート

ADuCM4050 MCU には、PC 標準 UART と互換性のある全二重 UART ポートが 2 ポート搭載されています。UART ポートは、他のペリフェラルやホストに対する簡略化された UART インターフェースとして機能し、全二重、DMA、シリアル・データの非同期転送をサポートします。UART ポートは、5~8 のデータ・ビット、パリティなし、偶数または奇数のパリティをサポートします。フレームは、1 停止ビット、1.5 停止ビット、2 停止ビットで終了します。

I²C

ADuCM4050 MCU は、データ転送用に 2 つのピンを備えた I²C バス・ペリフェラルを搭載しています。SCL（ピン P0_04）はシリアル・クロック・ピンで、SDA（ピン P0_05）はシリアル・データ・ピンです。これらのピンは、マルチマスタ・システムでアービトラレーションが可能なワイヤード AND 形式で構成されています。マスタ・デバイスを構成して、シリアル・クロックを生成できます。この周波数は、シリアル・クロック分周器レジスタでプログラミングします。マスタ・チャンネルは、高速モード（400kHz）または標準モード（100kHz）で動作します。

開発サポート

ADuCM4050 MCU の開発サポートには、技術文書、評価用ハードウェア、開発ソフトウェア・ツールが含まれています。

技術文書

ADuCM4050 Ultra Low Power ARM Cortex-M4F MCU with Integrated Power Management Hardware Reference では、ADuCM4050 MCU の各ブロック機能について説明しています。この機能には、パワー・マネージメント、クロック、メモリ、ペリフェラルが含まれます。

ADuCM4050 Ultra Low Power ARM Cortex-M4F MCU with Integrated Power Management Hardware Reference は、アナログ・デバイセズの販売代理店にお問い合わせいただくか、アナログ・デバイセズの Web サイト www.analog.com から電子的にアクセスしてください。

ハードウェア

[EV-COG-AD4050LZ](#) は、ADuCM4050 MCU を使用したプロトタイプ・センサーの構成に使用できます。

ソフトウェア

EV-COG-AD4050LZ には、ADuCM4050 MCU の開発およびデバッグ環境が完備されています。ADuCM4050 MCU のデバイス・ファミリ・パックは、IAR Embedded Workbench for ARM、Keil™、CrossCore® embedded studio (CCES) 環境に対応します。

デバイス・ファミリ・パックには、オペレーティング・システム (OS) 対応のドライバと、デバイスに搭載されたペリフェラルに対応するサンプル・コードが含まれています。

リファレンス設計

Circuits from the Lab® 実用回路集の Web ページには、次の ADuCM4050 リファレンス設計があります。

- 様々な回路タイプとアプリケーション向けシグナル・チェーンのグラフィカルな回路ブロック図
- ガイドとアプリケーション情報を選択するための各チェーンの部品のドリルダウン・リンク
- ベスト・プラクティスの設計技術を適用するリファレンス設計

セキュリティ機能の免責事項

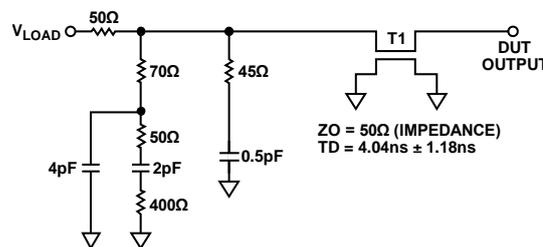
アナログ・デバイセズが知る範囲では、データシートとハードウェア・リファレンス・マニュアルの仕様に従ってセキュリティ機能を使用することで、コードの安全な実装とデータ保護が実現します。ただし、アナログ・デバイセズは、この技術が絶対的な安全性を提供することを保証するものではありません。したがって、アナログ・デバイセズは、自社のセキュリティ機能を侵害できない、侵入できない、または迂回できないことについて、いかなる明示的および暗黙的な保証も行いません。また、いかなる場合においても、データ、情報、物理的財産、知的財産のあらゆる損失、損傷、破損、流出に対して責任を負いません。

MCU テスト条件

このデータシートの AC 信号仕様 (タイミング・パラメータ) には、出力ディスエーブル時間、出力イネーブル時間などの値が記載されています。信号が図 24 に記載された閾値電圧 V_{MEAS} と交差したときに、タイミングが測定されます。全ての遅延 (ns または μs) は、最初の信号が V_{MEAS} に到達した時点と 2 番目の信号が V_{MEAS} に到達した時点の間で測定します。 V_{MEAS} の値は、 $V_{BAT}/2$ に設定されます。テスト・ピンの回路図を図 25 に示します。



図 24. AC 測定の電圧リファレンス・レベル (出力イネーブル/ディスエーブルを除く)



NOTES

1. THE WORST-CASE TRANSMISSION LINE DELAY (TD) IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. TRANSMISSION LINE IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.
2. ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, A SYSTEM CAN INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

図 25. AC 測定に使用する等価デバイス負荷 (全ての部品を含む)

ドライバ・タイプ

表 27 に、ドライバ・タイプを示します。

表 27. ドライバ・タイプ

Driver Type ^{1,2,3}	Associated Pins
Type A	P0_00 to P0_03, P0_07, P0_10 to P0_13, P0_15, P1_00 to P1_10, P1_15, P2_00, P2_01, P2_04 to P2_14, P3_00 to P3_03, and SYS_HWRST
Type B	P0_08, P0_09, P0_14, P1_11 to P1_14, and P2_02
Type C	P0_04 and P0_05
Type D	P0_06

- ¹ シングル・ドライバ・モードでは、最大ソース/シンク容量は 2mA です。
- ² ダブル・ドライバ・モードでは、最大ソース/シンク容量は 4mA です。
- ³ 最大ドライブ容量では、特定の時点での切替えに 16 個の GPIO のみを使用できます。

EEMBC ULP MARK™-CP スコア

次に示すソフトウェア設定と表 28 に示すプロファイル設定を使用すると、EEMBC ULPMark-CP スコアは 189 になります。

- コンパイラ名とバージョン：IAR EWARM 8.20.1
- コンパイラのフラグ：


```
--no_size_constraints --cpu=Cortex-M4 -D
__ADUCM4050__ --no_code_motion -Ohs -e --
fpu=VFPv4_sp --endian=little
```
- ULPBench のプロファイルとバージョン：Core Profile v1.1
- EnergyMonitor ソフトウェアのバージョン：V2.0

表 28. EEMBC ULPMark™-CP プロファイル設定

Profile Configuration	Value
Wake-Up Timer Module	RTC1
Wake-Up Timer Clock Source	External crystal
Wake-Up Timer Frequency	32768 Hz
Wake-Up Timer Accuracy	20 ppm
Active Power Mode Name	Active mode
Active Mode Clock Configuration	52 MHz (CPU), 32 kHz (RTC)
Active Mode Voltage Integrity	1.74 V
Inactive Power Mode Name	Hibernate
Inactive Clock Configuration	Off (CPU), 32 kHz (RTC)
Inactive Mode Voltage Integrity	1.74 V

GPIO マルチプレクス

以下の表に GPIO ピンのシグナル・マルチプレクス・オプションを示します。

表 29. Port0 のシグナル・マルチプレクス¹

Pin	Multiplexed Function 0	Multiplexed Function 1	Multiplexed Function 2	Multiplexed Function 3
P0_00	GPIO00	SPI0_CLK	SPT0_BCLK	Not applicable
P0_01	GPIO01	SPI0_MOSI	SPT0_BFS	Not applicable
P0_02	GPIO02	SPI0_MISO	SPT0_BD0	Not applicable
P0_03	GPIO03	SPI0_CS0	SPT0_BCNV	SPI2_RDY
P0_04	GPIO04	I2C0_SCL	Not applicable	Not applicable
P0_05	GPIO05	I2C0_SDA	Not applicable	Not applicable
P0_06	SWD0_CLK	GPIO06	Not applicable	Not applicable
P0_07	SWD0_DATA	GPIO07	Not applicable	Not applicable
P0_08	GPIO08	BPR0_TONE_N	Not applicable	Not applicable
P0_09	GPIO09	BPR0_TONE_P	SPI2_CS1	Not applicable
P0_10	GPIO10	UART0_TX	Not applicable	Not applicable
P0_11	GPIO11	UART0_RX	Not applicable	Not applicable
P0_12	GPIO12	SPT0_AD0	Not applicable	UART0_SOUT_EN
P0_13	GPIO13/SYS_WAKE2	Not applicable	Not applicable	Not applicable
P0_14	GPIO14	TMR0_OUT	SPI1_RDY	Not applicable
P0_15	GPIO15/SYS_WAKE0	Not applicable	Not applicable	Not applicable

¹ WICSP および LFCSP で使用可能

表 30. Port1 のシグナル・マルチプレクス¹

Pin	Multiplexed Function 0	Multiplexed Function 1	Multiplexed Function 2	Multiplexed Function 3
P1_00	GPIO16/SYS_WAKE1	Not applicable	Not applicable	Not applicable
P1_01	SYS_BMODE0	GPIO17	Not applicable	Not applicable
P1_02	GPIO18	SPI2_CLK	Not applicable	Not applicable
P1_03	GPIO19	SPI2_MOSI	Not applicable	Not applicable
P1_04	GPIO20	SPI2_MISO	Not applicable	Not applicable
P1_05	GPIO21	SPI2_CS0	Not applicable	Not applicable
P1_06	GPIO22	SPI1_CLK	Not applicable	RGB_TMR0_1
P1_07	GPIO23	SPI1_MOSI	Not applicable	RGB_TMR0_2
P1_08	GPIO24	SPI1_MISO	Not applicable	RGB_TMR0_3
P1_09	GPIO25	SPI1_CS0	Not applicable	SWV
P1_10	GPIO26	SPI0_CS1	SYS_CLKIN	SPI1_CS3
P1_11	GPIO27	Not applicable	TMR1_OUT	Not applicable
P1_12	GPIO28	Not applicable	RTC1_SS2	Not applicable
P1_13	GPIO29	TMR2_OUT	Not applicable	Not applicable
P1_14	GPIO30	Not applicable	SPI0_RDY	Not applicable
P1_15	GPIO31	SPT0_ACLK	UART1_TX	Not applicable

¹ WICSP および LFCSP で使用可能

表 31. Port2 のシグナル・マルチプレクス

Pin	Availability		Multiplexed Function 0	Multiplexed Function 1	Multiplexed Function 2	Multiplexed Function 3
	WLCSP	LFCSP				
P2_00	Yes	Yes	GPIO32	SPT0_AFS	UART1_RX	Not applicable
P2_01	Yes	Yes	GPIO33/SYS_WAKE3	Not applicable	TMR2_OUT	Not applicable
P2_02	Yes	Yes	GPIO34	SPT0_ACNV	SPI1_CS2	Not applicable
P2_03	Yes	Yes	GPIO35	ADC0_VIN0	Not applicable	Not applicable
P2_04	Yes	Yes	GPIO36	ADC0_VIN1	Not applicable	Not applicable
P2_05	Yes	Yes	GPIO37	ADC0_VIN2	Not applicable	Not applicable
P2_06	Yes	Yes	GPIO38	ADC0_VIN3	Not applicable	Not applicable
P2_07	Yes	Yes	GPIO39	ADC0_VIN4	SPI2_CS3	Not applicable
P2_08	Yes	Yes	GPIO40	ADC0_VIN5	SPI0_CS2	RTC1_SS3
P2_09	Yes	Yes	GPIO41	ADC0_VIN6	SPI0_CS3	Not applicable
P2_10	No	Yes	GPIO42	ADC0_VIN7	SPI2_CS2	Not applicable
P2_11	Yes	Yes	GPIO43	SPI1_CS1	SYS_CLKOUT	RTC1_SS1
P2_12	Yes	No	GPIO44	UART1_TX	SPI2_CS3	Not applicable
P2_13	Yes	No	GPIO45	UART1_RX	SPI0_CS2	Not applicable
P2_14	Yes	No	GPIO46	SPI0_CS3	Not applicable	Not applicable
P2_15	Yes	No	GPIO47	SPI2_CS2	SPI1_CS3	SPI0_CS1

表 32. Port3 のシグナル・マルチプレクス¹

Pin	Multiplexed Function 0	Multiplexed Function 1	Multiplexed Function 2	Multiplexed Function 3
P3_00	GPIO48	RGB_TMR0_1	SPT0_ACLK	Not applicable
P3_01	GPIO49	RGB_TMR0_2	SPT0_AFS	Not applicable
P3_02	GPIO50	RGB_TMR0_3	SPT0_AD0	Not applicable
P3_03	GPIO51	Not applicable	SPT0_ACNV	Not applicable

¹ WLCSP でのみ使用可能

アプリケーション情報

ここでは、各アプリケーション・シナリオ例での ADuCM4050 の適切な動作に対して推奨される外付け部品の回路図を示します。

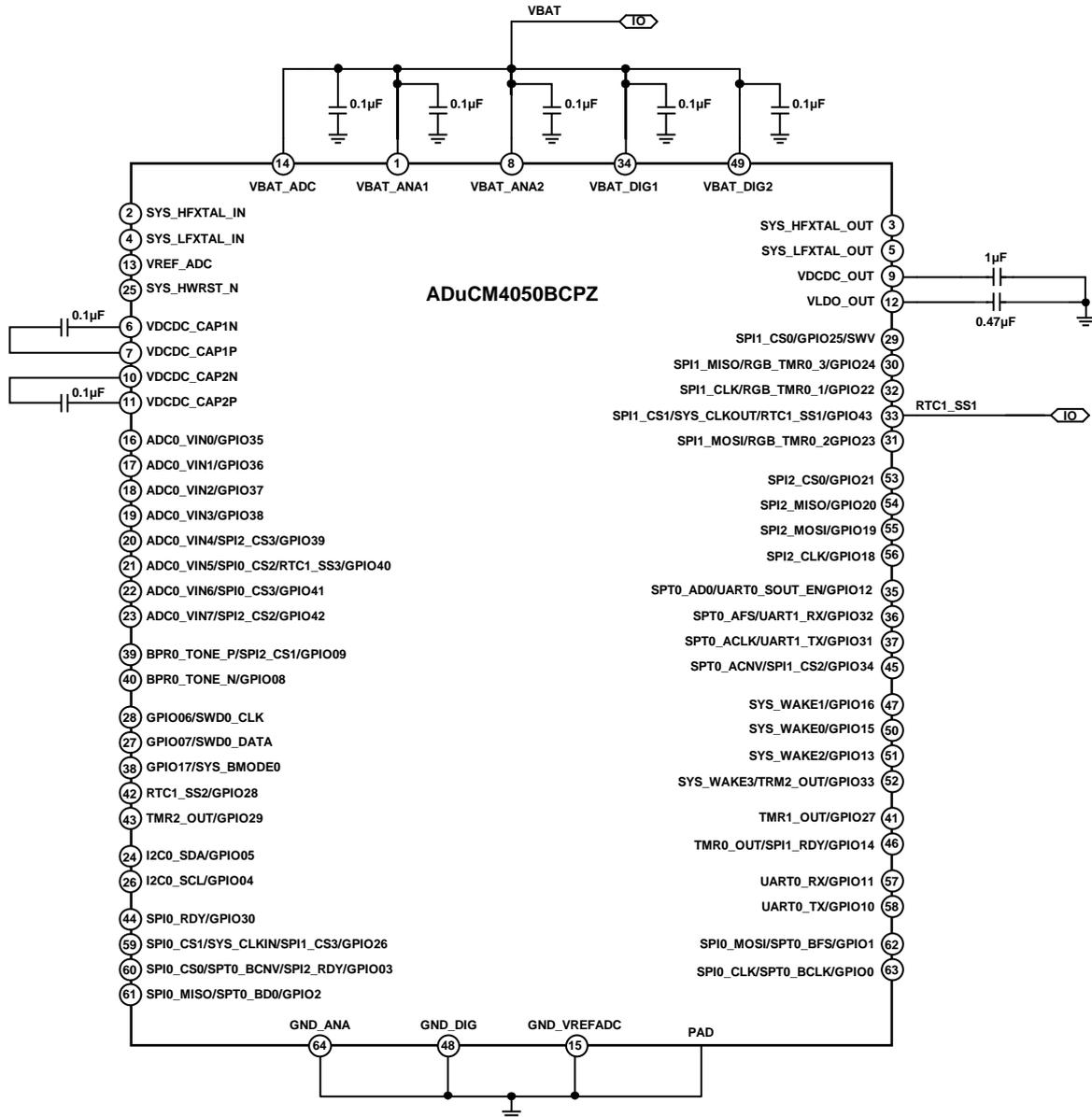


図 26. 内部降圧コンバータ使用時の推奨外付け部品

14745-100

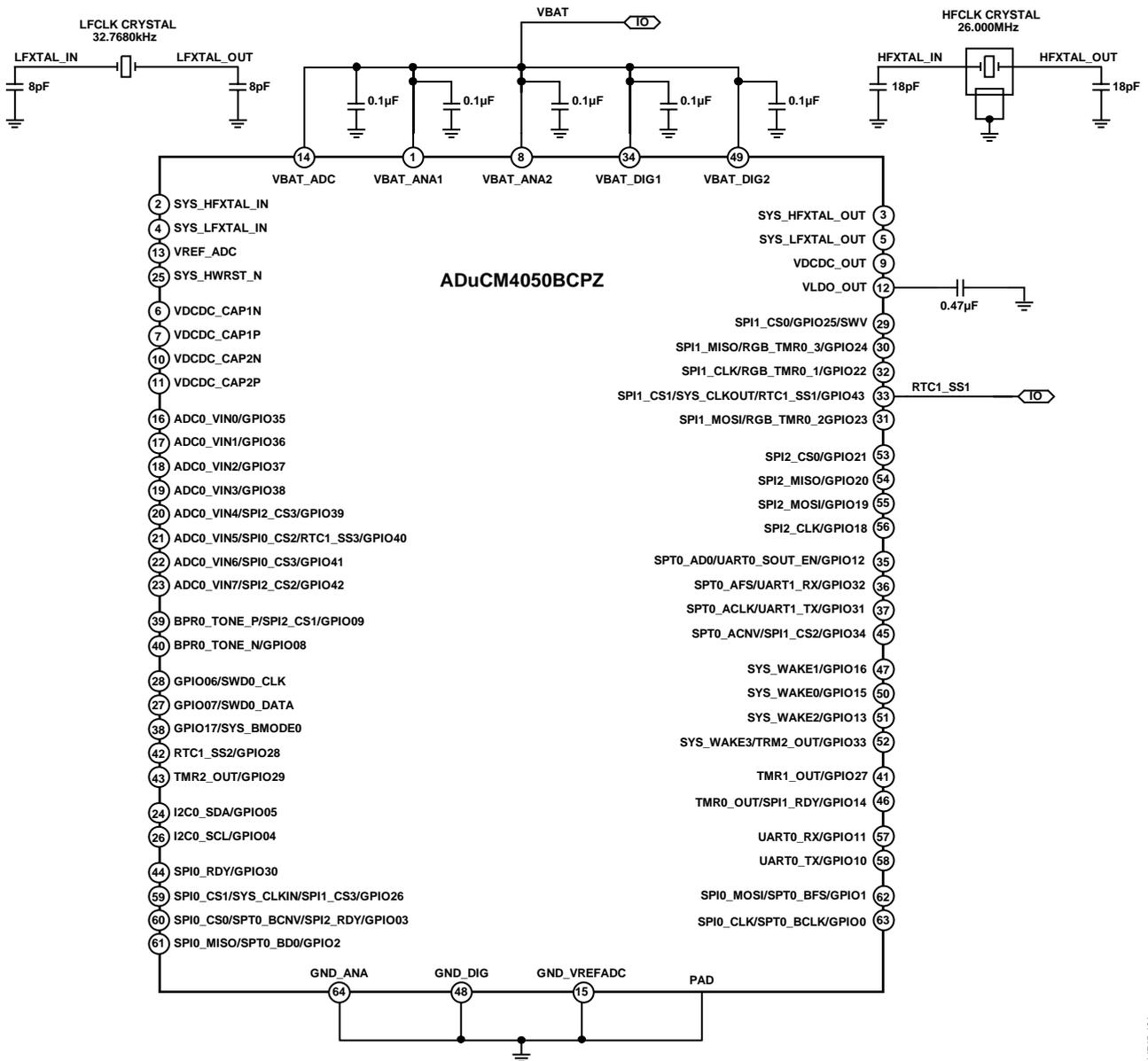


図 27. LFXTAL と HFXTAL 使用時の推奨外付け部品

14745-101

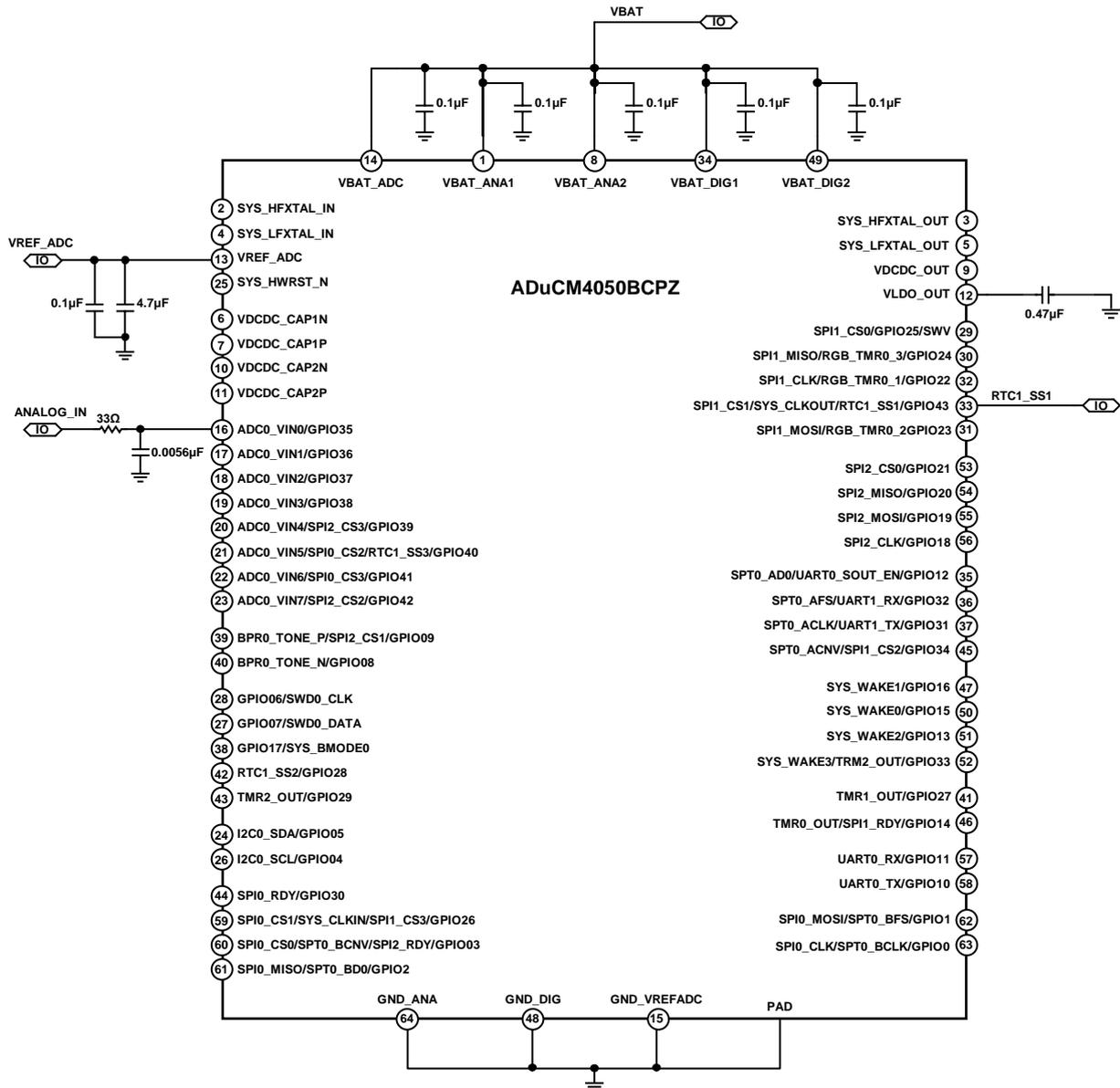


図 28. 内部 ADC 使用時の VREF_ADC ピンと ADC 入力チャンネル（例として ADC0_VIN0 を使用）に推奨される外付け部品

14745-102

シリコン・アノーマリ

このアノーマリ・リストでは、ADuCM4050 に関する既知のバグ、アノーマリ、対策について説明します。これらのアノーマリには、ADuCM4050 製品の各リビジョンと ADuCM4050 データシートおよびハードウェア・リファレンス・マニュアルに仕様規定されている機能との差異について、現在わかっている点が記載されています。

アナログ・デバイセズは、将来のシリコン・リビジョンで、シリコン機能を継続的に改善していく方針です。また、今後このようなシリコン・リビジョンを行っても、ここに記載された推奨対策を実施することにより、ユーザの現在のソフトウェア/システムとの互換性が維持されるように努めていきます。

ADuCM4050 の機能性の問題

Silicon Revision Identifier	Silicon Status	No. of Reported Anomalies
0.1	Released	3 (21000011, 21000016, 21000017)

x.y 形式のシリコン・リビジョン番号が全デバイスに付けられています。このシリコン・リビジョン番号により、SYS_CHIPID レジスタのビット [3:0] を読み出して電子的に判別することができます。SYS_CHIPID = 0x1 はシリコン・リビジョン 0.1、SYS_CHIPID = 0x0 はシリコン・リビジョン 0.0 を意味します。

機能性の問題

表 33. 21000011-クロック分周が小さすぎる場合に I²C マスタ・モードがクロック生成に失敗

問題	I ² C クロック分周器がマスタ・モードに設定され、I2C_DIV レジスタのロー・ビット・フィールドとハイ・ビット・フィールドの和が 16 未満の場合、I ² C はクロック生成に失敗します。
対策	I ² C 分周器を $I2C_DIV.LOW + I2C_DIV.HIGH \leq 16$ となるように設定します。
リビジョン	0.1

表 34. 21000016-I²C 自動クロック・ストレッチングで受信データ・ロスの可能性

問題	I ² C Rx FIFO が一杯で新しい I ² C データを受信した場合、データ・オーバーフローが発生します。自動クロック・ストレッチングが有効な場合、そのトランザクションは SCL (ピン P0_04) ラインをローに保つことで停止されます。この機能は、クロックがストレッチされた後 (つまりオーバーフローが検出された後) に次の読出しが発生した場合は、期待どおりに作用します。しかし、I ² C データの最終ビットを受信してもクロックがストレッチしていない場合に読出しが発生すると、受信データは Rx FIFO に書き込まれず、失われることとなります。
対策	I ² C 自動クロック・ストレッチングが有効な場合、FIFO の読出しはステータス・レジスタにオーバーフロー・フラグがセットされた後にのみ発生し、オーバーフローがアサートされると同時に Rx FIFO が読み出されることが決まっています。
リビジョン	0.1

表 35. 21000017-SPI_CNT が 1 で DMA がイネーブルの場合に、SPI 読出しコマンド・モードが正常に動作しない

問題	SPI マスタがイネーブルで、SPI_CNT = 1 の設定で DMA モードを使用している場合、読出しコマンド・モードは正常に機能しません。次の設定を考慮してください。SPI_RD_CTL = 0x07、SPI_CNT = 1、DMA の送受信を 1 ハーフワードに設定。この設定では、MOSI 出力の最初のバイトで送信された読出しコマンドが (そのアドレス・スロット内の) 2 番目のバイトで繰り返されます。そのため、スレーブ・デバイスは、読出しコマンド値に等しいアドレスの任意のコンテンツに MISO ラインで応答します (例えば、読出しコマンドが 0xB の場合、応答はスレーブ・アドレス 0xB からのデータ読出しになります)。
対策	次の対策をとることができます。以下の手順でオーバーラップ・モードを使用して SPI の送受信動作を調整し、ジャンク・バイトを廃棄します。 <ol style="list-style-type: none"> SPI_RD_CTL.OVERLAP = 1 と設定してオーバーラップ・モードを有効にします。 SPI_RD_CTL.TXBYTES = 1 と設定して単一の送信バイト (8 ビット・アドレス・レジスタ) を設定します。 SPI_CNT.VALUE = 3 と設定して転送カウントを設定します。アドレス・レジスタ用に 1 バイト、コマンド用に 1 バイト、読出し値の取得用に 1 ダミー・バイトとなります。 受信側では、アドレス・バイトとコマンド・バイトの転送時に受信した最初の 2 つのジャンク・バイトを廃棄してから、3 つ目のバイトの実際の読出し値が処理されます。 その代わりに、次の手順を実行することで、SPI 送信側の Tx DMA 動作は使用しません。 <ol style="list-style-type: none"> SPI_RX DMA リクエストのみを有効にします。 コアのアクセスを使用して SPI_TX レジスタに書き込みをすることで、SPI Tx FIFO をフルにロードします。 SPI_RX レジスタのダミー読出しを実行して、SPI 転送を開始します。
リビジョン	0.1

セクション 1. ADuCM4050 の機能性の問題

Reference No.	Description	Status
21000011	クロック分周が小さすぎる場合に I ² C マスタ・モードがクロック生成に失敗	Identified
21000016	I ² C 自動クロック・ストレッチングで受信データ・ロスの可能性	Identified
21000017	SPL_CNT が 1 で DMA がイネーブルの場合に、SPI 読出しコマンド・モードが正常に動作しない	Identified

以上で、シリコン・アノマリのセクションを終了します。

外形寸法

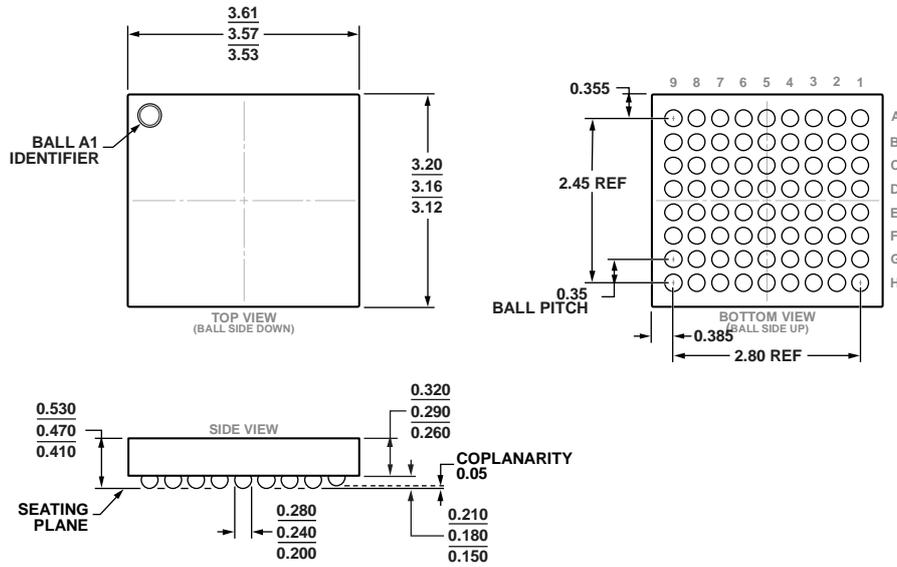
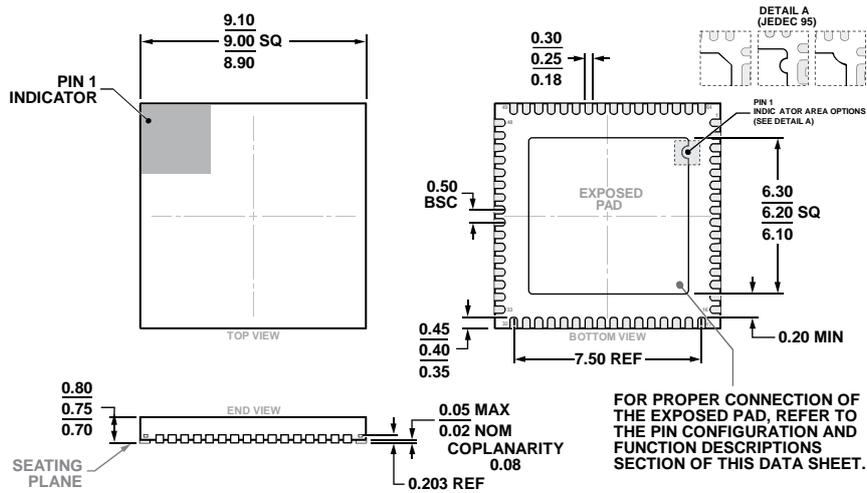


図 29. 72 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-72-3)
寸法単位：mm



COMPLIANT TO JEDEC STANDARDS MO-220-WMMD.

図 30. 64 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSPP]
9mm x 9mm ボディ、0.75mm パッケージ高
(CP-64-17)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADUCM4050BCBZ-RL	-40°C to +85°C	72-Ball Wafer Level Chip Scale Package [WLCSP], 13" Reel	CB-72-3
ADUCM4050BCBZ-R7	-40°C to +85°C	72-Ball Wafer Level Chip Scale Package [WLCSP], 7" Reel	CB-72-3
ADUCM4050BCPZ	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-17
ADUCM4050BCPZ-RL	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP], 13" Reel	CP-64-17
ADUCM4050BCPZ-R7	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP], 7" Reel	CP-64-17
EV-COG-AD4050LZ		ADuCM4050 LFCSP Development Board	
EV-COG-AD4050WZ		ADuCM4050 WLCSP Development Board	

¹ Z = RoHS 準拠製品

I²Cは、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。