



パワー・マネージメントを統合した 超低消費電力 ARM Cortex-M3 MCU

ADuCM3027/ADuCM3029

機能

EEMBC ULPBench™ スコア: 245.5
超低消費電力のアクティブ・モードと休止モード
アクティブ（フル・オン・モード） < 30 μ A/MHz（代表値）
Flexi™（コアはスリープ、ペリフェラルはアクティブ） < 300 μ A（代表値）
休止（SRAM データ保持） < 750 nA（代表値）
シャットダウン（オプションの RTC アクティブ） < 60 nA（代表値）
ARM® Cortex®-M3 プロセッサ、MPU 搭載
シリアル・ワイヤ・デバッグ・インターフェース
のパワー・マネージメントにより最大 26 MHz
単電源動作（VBAT）: 1.74 V ~ 3.6 V の降圧コンバータ（オプション）で効率を向上
メモリ・オプション
128 KB / 256 KB の組み込みフラッシュ・メモリと ECC
4 KB のキャッシュ・メモリで有効電力を削減
64 KB の構成可能なシステム SRAM と休止モードで保持される SRAM（パリティは最大で 32 KB）
安全性
専用のオンチップ発振器ハードウェア CRC とプログラマブルな多項式マルチパリティ・ビットで保護された SRAM
ECC で保護された組み込みフラッシュ・セキュリティ
TRNG
ユーザー・コードの保護
AES-128、AES-256、SHA-256 をサポートするハードウェア暗号化アクセラレータ

デジタル・ペリフェラル

3 SPI インターフェースで、接着剤を使用せずにセンサー、ラジオ、コンバータへの接続が可能
I²C インターフェースおよび UART インターフェース
コンバータとラジオのプログラマブル GPIO（LFCSP では 44 個、WLCSP では 36 個）にそのまま接続できる SPORT
PWM 対応の 3 つの汎用タイマー
SensorStrobe™ とタイム・スタンプ・プログラマブル・ビーパーを備えた RTC および FLEX_RTC
25 チャンネル DMA コントローラ

クロック機能

26 MHz のクロック: オンチップ発振器、外部水晶発振器
32 kHz クロック: オンチップ発振器、低消費電力の水晶発振器（PLL とプログラマブル分周器を内蔵）

アナログ・ペリフェラル

12-ビット SAR ADC、1.8 MSPS、8 チャンネル、デジタル・コンパレータ

アプリケーション

モノのインターネット（IoT）
スマート・マシン、スマート・メーター、スマート・ビルディング、スマート・シティ、スマート・アグリウェアブル
フィットネスと臨床

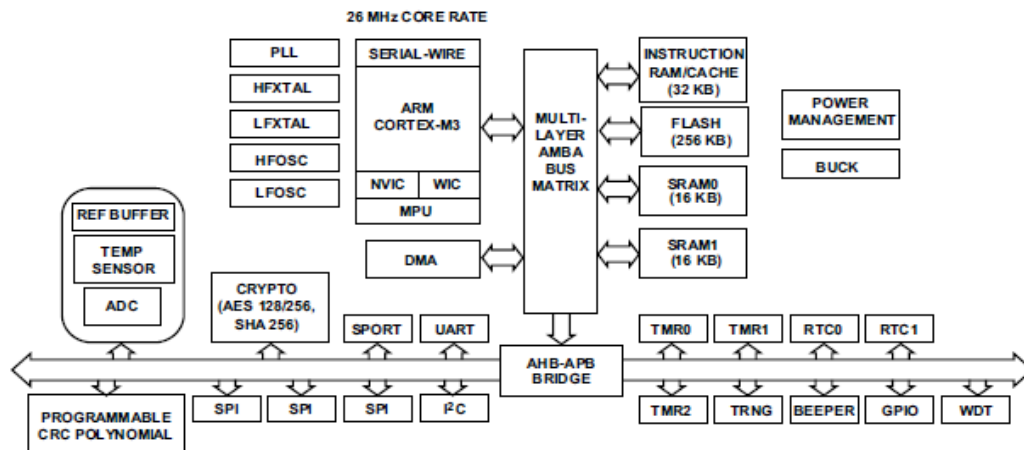


図 1. 機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

改訂履歴.....	2	システム・クロック／タイマー.....	14
概要.....	3	ADC の仕様.....	15
ハイライト.....	3	フラッシュ仕様.....	15
ARM CORTEX-M3 プロセッサ.....	3	絶対最大定格.....	16
メモリ・アーキテクチャ.....	4	ESD 耐性.....	16
システムと統合機能.....	5	パッケージ情報.....	16
オンチップ・ペリフェラルの機能.....	10	タイミング仕様.....	17
開発サポート.....	10	MCU テスト条件.....	25
その他の情報.....	11	環境条件.....	28
リファレンス設計.....	11	ピン配置およびピン機能の説明.....	29
セキュリティ機能の免責事項.....	11	外形寸法.....	36
仕様.....	12	オーダー・ガイド.....	37
動作条件.....	12		
電気的特性.....	12		

改訂履歴

3/2017—Revision 0: Initial Version

概要

[ADuCM3027/ADuCM3029](#) マイクロコントローラ・ユニット (MCU) は、処理、制御、接続のためのパワー・マネージメントを内蔵した超低消費電力マイクロコントローラ・システムです。MCU システムは、ARM Cortex-M3 プロセッサ、一連のデジタル・ペリフェラル、組み込み SRAM とフラッシュ・メモリだけでなく、A/D コンバータ (ADC) サブシステムや、クロック、リセット、パワー・マネージメント機能を備えたアナログ・サブシステムをベースにしています。ADuCM3027/ADuCM3029 製品間の機能比較については、[表 1](#) を参照してください。

表 1. 製品のフラッシュ・メモリ・オプション

Device	Embedded Flash Memory Size
ADuCM3029	256 KB
ADuCM3027	128 KB

ADuCM3027/ADuCM3029 MCU に共通するシステム機能は、次のとおりです。

- 最大 26 MHz の ARM Cortex-M3 プロセッサ
- 最大 256 KB の組み込みフラッシュ・メモリ、誤差補正コード (ECC) 付き
- 有効電力を下げるための 4 KB のキャッシュ (オプション)
- パリティ付き 64 KB システム SRAM
- パワー・マネージメント・ユニット (PMU)
- 多層の AMBA (先進マイクロコントローラ・バス・アーキテクチャ) バス・マトリックス
- 中央ダイレクト・メモリ・アクセス (DMA) コントローラ
- ビーパー・インターフェース
- シリアル・ポート (SPORT)、シリアル・ペリフェラル・インターフェース (SPI)、インター集積回路 (I2C)、ユニバーサル非同期レシーバー／トランスミッタ (UART) ペリフェラル・インターフェース
- AES (高度暗号化規格) と SHA (セキュア・ハッシュ・アルゴリズム) -256 による暗号化をサポート
- リアルタイム・クロック (RTC)
- 汎用タイマーとウォッチドッグ・タイマー
- プログラマブル汎用入出力 (GPIO) ピン
- プログラマブル・ジェネレータ多項式を使用したハードウェア巡回冗長検査 (CRC)
- パワーオン・リセット (POR) と電源モニタ (PSM)
- 12 ビット逐次比較レジスタ (SAR) ADC
- 真性乱数ジェネレータ (TRNG)

低ダイナミックおよび休止のパワー・マネージメントに対応するため、ADuCM3027/ADuCM3029 MCU は、ダイナミック／ソフトウェア制御のクロック・ゲートや電力ゲートなど、多数の電力モードと機能を備えています。

ADuCM3027/ADuCM3029 MCU の詳細については、ADuCM302x Ultra Low Power ARM Cortex-M3 MCU with Integrated Power Management Hardware Reference を参照してください。

ハイライト

ADuCM3027/ADuCM3029 MCU の主な機能を以下に示します。

- 業界をリードする超低消費電力
- 信頼性の高い動作
 - ディープ・スリープ・モードでの完全な電圧モニタリング
 - フラッシュで ECC をサポート
 - SRAM メモリでのパリティ誤差検出
- 立上がりエッジのセキュリティ
 - 高速な暗号化で、お客様のアルゴリズムに読出し保護を提供
 - 書出し保護を使用して、不正なコードによるデバイスの再プログラミングを防止
- 割込みによる 32 kHz LFXTAL の故障検出
- SensorStrobe で正確に時間同期された外部センサーによるサンプリング
 - 休止モードで機能するので、システム・ソリューションの電流を大幅に削減できます。例えば、[ADXL363](#) 加速度センサーを使用すると、消費電流が 1/10 に削減されます。
 - セットアップ後、ソフトウェアの介入は不要です。
 - ソフトウェアの実行によるパルス・ドリフトはありません。

ARM CORTEX-M3 プロセッサ

ARM Cortex-M3 コアは、32 ビットの縮小命令セット・コンピュータ (RISC) です。データの長さは、8 ビット、16 ビット、32 ビットです。命令ワードの長さは、16 ビットまたは 32 ビットです。

このプロセッサは以下に示す機能を備えています。

- Cortex-M3 アーキテクチャ
 - Thumb-2 命令セットアーキテクチャ (ISA) テクノロジー
 - 分岐予測による 3 段構成のパイプライン
 - テール・チェーンによる低遅延の割込み処理
 - シングル・サイクル乗算
 - ハードウェア分周命令
 - ネスト型ベクタ割り込みコントローラ (NVIC) (割込みの数 64、優先度の数 8)
 - 2 つのハードウェア・ブレイクポイントと 1 つのウォッチポイント (Segger JLink を使用した無制限のソフトウェア・ブレイクポイント)
- メモリ保護ユニット (MPU)
 - サブ領域と背景領域を含む 8 つの領域から成る MPU
 - プログラマブル・クロック・ジェネレータ・ユニット

- 超低消費電力の動作向けに構成可能
 - ディープ・スリープ・モード、ダイナミック・パワー・マネージメント
 - プログラマブル・クロック・ジェネレータ・ユニット

ARM Cortex-M3 メモリ・サブシステム

ADuCM3027/ADuCM3029 のメモリ・マップは、ARM 製の Cortex-M3 モデルをベースにしています。標準化されたメモリ・マップを保持することで、M3 プラットフォーム間で簡単にアプリケーションを移植できます。

ADuCM3027/ADuCM3029 アプリケーション開発は、コード／SRAM 領域全体でメモリ・ブロックをベースにしています。内部メモリは、内部 SRAM と内部フラッシュで使用できます。

コード領域

この領域（ADuCM3027 では 0x0000 0000 ～ 0x0001 FC00、ADuCM3029 では 0x0000 0000 ～ 0x0003 FFFF）でのアクセスはコアによって実行され、メモリとキャッシュ・リソースを対象としています。

SRAM 領域

この領域（0x2000 0000 ～ 0x2004 7FFF）でのアクセスは、ARM Cortex-M3 コアによって実行されます。そうではない場合は、コアの SRAM 領域をアプリケーションのデータ領域として機能させることができます。

- 内部 SRAM データ領域この領域には、読み出し／書き込みデータを格納できます。内部 SRAM は、32 KB のブロック内でコードとデータ（M3 スペースの SRAM 領域）に分割できます。この領域へのアクセスは、待機状態なしのコア・クロック速度で実行されます。また、Cortex-M3 コアによる読み出し／書き込みアクセスとシステム・デバイスによる読み出し／書き込み DMA アクセスもサポートしています。Cortex-M3 プラットフォーム内のグローバルな専用アクセス・モニタを介した専用メモリ・アクセスをサポートします。
- システム MMR この領域には、多様なメモリ・マップド・レジスタ（MMR）が存在します。

システム領域

この領域（0xE000 0000 ～ 0xF7FF FFFF）でのアクセスは、ARM Cortex-M3 コアによって実行され、Cortex-M3 プラットフォーム内で処理されます。

- CoreSight™ ROM 読み出し専用メモリ（ROM）のテーブル・エントリは、プロセッサのデバッグ・コンポーネントを指します。
- ARM APB ペリフェラルこのスペースは ARM によって定義され、使用されるデバイスによってはシステム（SYS）領域（0xE000 0000 ～ 0xE004 0000）の下位 256 KB/128 KB を占有します。このスペースは、ARM コア（NVIC、システム制御スペース（SCS）、ウェイクアップ割込みコントローラ（WIC）、CoreSight ROM の内部ペリフェラルに対する M3 コアの読み出し／書き込みアクセスをサポートしています。システム DMA からはアクセスできません。

メモリ・アーキテクチャ

ADuCM3027/ADuCM3029 の内部メモリを図 2 に示します。プログラム・コードに使用する最大 256 KB の内蔵フラッシュ・メモリ、非揮発性データ・ストレージ、32 KB のデータ SRAM、32 KB の SRAM を実装しています（データ・スペースの命令スペースとして構成）。

SRAM 領域

このメモリ・スペースには、リアルタイムでのアクセスが必要なアプリケーション命令とリテラル（定数）データが含まれます。ARM Cortex-M3 コアによる読み出し／書き込みアクセスとシステム・ペリフェラルによる読み出し／書き込み DMA アクセスをサポートしています。バイト、ハーフワード、ワードのアクセスをサポートしています。

SRAM は、32 KB のデータ SRAM と 32 KB の命令 SRAM に分割されます。命令 SRAM がイネーブルでない場合は、関連付けられた 32 KB をデータ SRAM としてマップできるので、結果としてデータ SRAM の容量が 64 KB になります。

パリティ・ビット誤差検出（オプション）には、すべての SRAM メモリを使用できます。2 つのパリティ・ビットは、各 32 ビット・ワードに関連付けられます。

キャッシュ・コントローラが有効な場合、4 KB の命令 SRAM はキャッシュ・メモリとして予約されます。

必要な命令 SRAM とキャッシュに応じて、SRAM 構成モードを選択できます。

休止モードでは、8 KB のインクリメントで、8 KB ～ 32 KB の SRAM を保持できます。常に 8 KB のデータ SRAM が保持されます。保持容量は次のように増加できます。

- 命令 SRAM の 32 KB 中 16 KB
- データ SRAM の 32 KB 中 8 KB

MMR（ペリフェラルの制御とステータス）

MMR を含むアドレス空間については、図 2 を参照してください。これらのレジスタは、ADuCM3027/ADuCM3029 のオンチップ・ペリフェラルの制御とステータスを提供します。MMR の詳細については、ADuCM302x Ultra Low Power ARM Cortex-M3 MCU with Integrated Power Management Hardware Reference を参照してください。

フラッシュ・メモリ

ADuCM3027/ADuCM3029 MCU には、128 KB ～ 256 KB の組み込みフラッシュ・メモリが内蔵されています。フラッシュ・メモリには、フラッシュ・コントローラを使用してアクセスします。各製品で利用できるメモリについては、以下を参照してください。

表 1. フラッシュ・コントローラをキャッシュ・コントローラと組み合わせることができます。コードの性能を最適化するため、フラッシュ・コントローラにはプリフェッチ機構が実装されています。

フラッシュ書き込みは、MMR への APB（アドバンスド・ペリフェラル・バス）書き込みを介したキーホール機構でサポートされます。フラッシュ・コントローラは、DMA ベースのキーホール書き込みをサポートしています。

フラッシュの整合性について、デバイスは以下の項目をサポートしています。

- 大容量消去やページ消去などの保護コマンドを実行するには、固定のユーザー・キーが必要
- オプションのユーザー定義可能なユーザー故障分析キー（FAA キー）。アナログ・デバイセズ担当者には、故障分析の実行中にこのキーが必要になります。
- アクセス可能なメモリに対するユーザー定義の書き込み保護（オプション）
- オプションの 8 ビット ECC。この設定はデフォルトで有効になります。ECC を無効にしないようお勧めします。

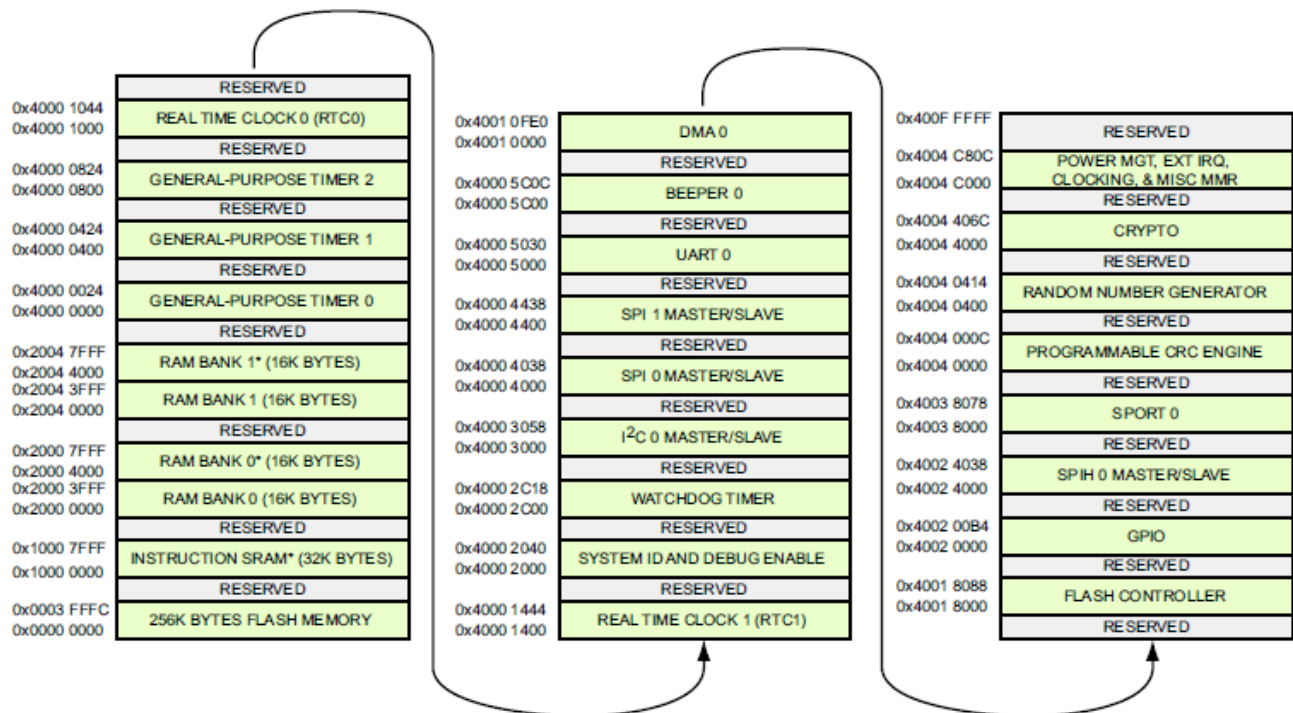


図 2. ADuCM3027/ADuCM3029 メモリ・マップ

キャッシュ・コントローラ

ADuCM3027/ADuCM3029 MCU には、オプションの 4 KB の命令キャッシュがあります。特定のアプリケーションでは、キャッシュをイネーブルにしてコードを実行すると、フラッシュから直接操作する場合よりも消費電力が低くなります。キャッシュ・コントローラをイネーブルにすると、4 KB の命令 SRAM がキャッシュ・メモリとして予約されます。休止モードでは、キャッシュ・メモリは保持されません。

システムと統合機能

ADuCM3027/ADuCM3029 MCU は、システム統合を簡単にする機能を備えています。

リセット

リセットには、外部、パワーオン、ウォッチドッグ・タイムアウト、ソフトウェア・システムの 4 種類があります。ソフトウェア・システム・リセットは、Cortex-M3 コアの一部として提供されます。ピンを切り替えると、ハードウェア・リセットが実行されます。

ブート

ADuCM3027/ADuCM3029 MCU には、内部フラッシュからのブートと UART ダウンロードからのソフトウェア・アップグレードの 2 つのブート・モードがあります。SYS_BMODE0 ピン(GPIO17) がパワーアップまたはハード・リセットの最中にローになると、MCU はシリアル・ダウンロード・モードに移行します。

このモードでは、オンチップ・ローダ・ルーチンがカーネル内で初期化され、UART ポートとホストとの通信を構成します。また、特定のシリアル・ダウンロード・プロトコル経由でファームウェアのアップグレードが管理されます。

表 2. ブート・モード

Boot Mode	Description
0	UART download mode.
1	Flash boot. Boot from integrated flash memory.

パワー・マネージメント

ADuCM3027/ADuCM3029 MCU の統合化されたパワー・マネージメント・システムでは、性能が最適化され、デバイスのバッテリー寿命が延びます。

パワー・マネージメント・システムは、次の要素で構成されます。

- 内蔵の 1.2 V 低ドロップアウト・レギュレータ (LDO) とオプションの容量性降圧レギュレータ
- 休止モードとシャットダウン・モードでの低スタンバイ電流向けの電力スイッチを内蔵

この他にも、次のようなパワー・マネージメント機能があります。

- アクティブ・モードと Flexi モード向けにカスタマイズされたクロック・ゲート
- 休止モードとシャットダウン・モードでリークを減らす電力ゲート
- 柔軟性の高いスリープ・モード
- 保持なしのシャットダウン・モード
- 効率の高い降圧コンバータ（オプション）で消費電力を節約
- 低消費電力の発振器を内蔵

パワー・モード

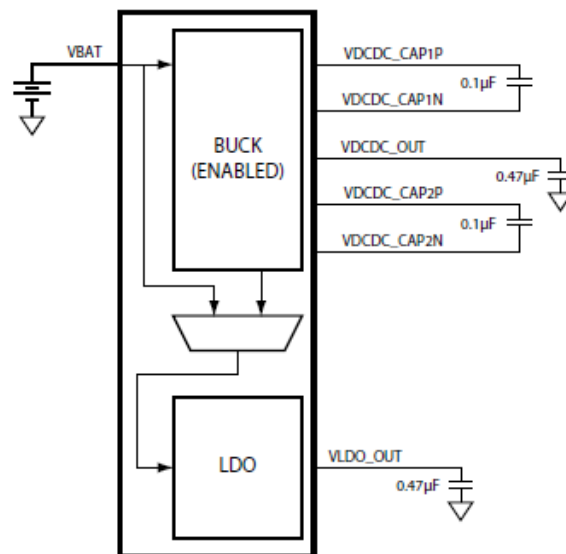
PMU は ADuCM3027/ADuCM3029 の電力モードを制御し、ARM Cortex-M3 がクロックと電力ゲートを制御して、消費電力を節約できるようにします。

複数の電力モードを利用できます。各モードは、対応する機能を削減することで、低消費電力のメリットを発揮します。

- アクティブ・モード。すべてのペリフェラルが有効です。最適化されたクロック管理によって有効電力が管理されます。アクティブ・モード電力の詳細については、表 4 を参照してください。
- Flexi モード ARM Cortex-M3 コアはクロック・ゲーティングされますが、システムの残りの部分はアクティブです。このモードでは命令を実行できませんが、DMA 転送はペリフェラルとメモリの間、メモリとメモリの間で続行されます。Flexi モード電力の詳細については、表 5 を参照してください。
- 休止モード。このモードは、状態の保持、構成可能な SRAM とポートのピン保持、限られた数のウェイクアップ割込み (XINT0_WAKEn および UART0_RX)、オプションの RTC0 と RTC 1 (FLEX_RTC) を提供します。
- シャットダウン・モード。このモードは強力なディープ・スリープ・モードで、すべてのデジタル回路とアナログ回路がパワーダウンし、4 つのウェイクアップ・ソース (3 つの割込みと RTC0) からウェイクアップするオプションを備えています。このモードでは、RTC0 はオプションでイネーブルになり、デバイスは RTC0 割込みによって定期的にウェイクアップできます。ディープ・スリープ・モード (休止とシャットダウン) の仕様については、表 6 を参照してください。

パワー・マネージメントと制御では、次の機能を使用できます。

- 単電源 (CR2032 コイン電池など) を使用した 1.74 V ~ 3.6 V の電圧範囲
- GPIO は、バッテリーから直接駆動されます。ピンの状態は、休止モードとシャットダウン・モードで保持されます。GPIO 構成は、休止モードでのみ保持されます。
- 休止モードでは、外部割込み (GPIO 経由)、UART0_RX 割込み、RTC からウェイクアップします。
- シャットダウン・モードでは外部割込み (GPIO 経由) と RTC0 からウェイクアップします。
- 1.2 V のフル・オン・サポートでは、オプションで高電力降圧コンバータを使用できます (MCU 使用時のみ)。推奨される外部回路については、図 3 を参照してください。



注: オプションの降圧を使用しない設計では、VDCDC_CAP1P、VDCDC_CAP1N、VDCDC_OUT、VDCDC_CAP2P、VDCDC_CAP2N のピンを未接続のままにする必要があります。

図 3. 降圧がイネーブルな設計

セキュリティ機能

ADuCM3027/ADuCM3029 MCU は、ハードウェアとソフトウェアの保護機構を組み合わせ、セキュア・モードでデバイスへのアクセスをロックし、オープン・モードでアクセスを付与します。これらの機構には、パスワードで保護されたスリープ・ブート・モード (UART) とパスワードで保護されたシリアル・ワイヤ・デバッグ (SWD) インターフェースがあります。

未許可のユーザーによってデバイスの内容 (フラッシュ、SRAM、CPU レジスタ、ペリフェラル・レジスタ) が外部インターフェースを介して読出されないように保護する機構を備えています。これは読出し保護と呼ばれます。

デバイスが不正なコードによって回路内で再プログラムされないように保護できます。これは回路内の書き込み保護と呼ばれます。



注意事項

この製品には、組み込みの不揮発性メモリの内容を保護し、不正なコードの実行を防ぐセキュリティ機能が含まれます。発注者または後続の受領者がこのデバイスのセキュリティを有効にすると、アナログ・デバイセズが返却デバイスの故障分析を実行するための機能が制限されます。デバイスの故障分析に関する制限の詳細については、アナログ・デバイセズまでお問い合わせください。

デバイスは、保護なし、読出し保護、読出し/回路内の書き込み保護で構成できます。読出し保護がない場合、回路内の書き込み保護を実装する必要はありません。

暗号化アクセラレータ

暗号化アクセラレータは、32 ビット APB DMA 対応のペリフェラルです。データの入出力用に 32 ビット・バッファを 2 つ備えています。これらのバッファは、4 回のデータ・アクセスで 128 ビットの読み込みと読み出しを実行します。次のモードのように、ビッグ・エンディアン形式とリトル・エンディアン形式がサポートされています。

- 電子コード・ブロック (ECB) モード-AES モード
- カウンタ (CTR) モード
- 暗号ブロック・チェーン (CBC) モード
- メッセージ認証コード (MAC) モード
- 暗号ブロック・チェーン・メッセージ認証コード (CCM/CCM*) モード
- SHA-256 モード

真性乱数ジェネレータ (TRNG)

TRNG は、確定的でない値が必要な動作で使用されます。セキュアな通信のためにチャレンジを生成したり、暗号化された通信チャンネルのためにキーを生成したりできます。ジェネレータを複数回実行して、目的の動作の強度のために十分な数のビットを生成できます。TRNG を使用すれば、確定的なランダム・ビット・ジェネレータにシード値を提供できます。

信頼性が高く、堅牢な機能

ADuCM3027/ADuCM3029 MCU には、特定レベルのシステムの安全性と信頼性を高めたり、実現したりするための機能を豊富に備えています。安全レベルは主にシステムの考慮事項によって決定されますが、耐久性を高めるために次の機能が提供されます。

- ECC 対応のフラッシュ・メモリ。フラッシュ・アレイ全体が保護され、1 ビットの誤差を補正するか、64 ビットのフラッシュ・データごとに 2 ビットの誤差を検出します (デフォルトで有効)。
- マルチパリティ・ビットで保護された SRAM。SRAM の各ワードとキャッシュ・メモリは、マルチパリティ・ビットで保護され、ランダムなソフト誤差を検出できます。
- ソフトウェア・ウォッチドッグ。オンチップのウォッチドッグ・タイマーは、ADuCM3027/ADuCM3029 のソフトウェア・ベースの監視を提供します。

巡回冗長性チェック (CRC) アクセラレータ

CRC アクセラレータは、メモリ・ロケーションのブロックについて CRC を計算します。正確なメモリ・ロケーションは、SRAM、フラッシュ、MMR の組み合わせです。CRC アクセラレータは、予想されるシグネチャと比較できるチェックサムを生成します。

CRC の主な特性を次に示します。

- データ・ブロックの CRC シグネチャを生成します。
- 最大 32 ビット長のプログラマブル多項式をサポートします。
- 一度に 32 ビットのデータで動作します。
- MSB ファーストと LSB ファーストの実装をサポートします。
- 多様なデータ・ミラーリング機能。

- ユーザーによるプログラム可能な初期シード。
- MCU をオフロードするためのデータ転送に使用する DMA コントローラ (メモリからメモリへの転送)

プログラマブル GPIO

ADuCM3027/ADuCM3029 MCU には、LFCSP パッケージと WLCSP パッケージでそれぞれ 44 本と 36 本の GPIO ピンがあり、ユーザー・コードで構成可能な機能があります。入出力として構成でき、プログラマブル・プルアップ抵抗を備えています。すべての GPIO ピンは、電源範囲全体で機能します。

ディープ・スリープ・モードでは、GPIO ピンが状態を保持します。リセットで、トライステートになります。

タイマー

ADuCM3027/ADuCM3029 MCU には、3 つの汎用タイマーとウォッチドッグ・タイマーがあります。

汎用タイマー

ADuCM3027/ADuCM3029 MCU には、3 つの同じ汎用タイマーが組み込まれ、各タイマーに 16 ビットのアップ・ダウン・カウンタが搭載されています。アップ/ダウン・カウンタは、4 つのユーザーが選択できるクロック源のいずれかから記録できます。選択されたクロック源は、1、16、64、または 256 のプリスケアラを使用してスケール・ダウンできます。

ウォッチドッグ・タイマー (WDT)

WDT は、プログラマブル・プリスケアラを備えた 16 ビットのカウンタ・ダウン・タイマーです。プリスケアラ源は選択可能で、1、16、または 256 の係数でスケール化できます。ウォッチドッグ・タイマーは、32 kHz のオンチップ発振器 (LFOSC) で記録され、無効なソフトウェア状態から回復します。WDT には、リセットや MCU への割込みが強制的に行われないように、定期的なサービスが必要です。

A/D コンバータ (ADC) サブシステム

ADuCM3027/ADuCM3029 MCU は、12 ビットの SAR ADC と最大 8 個の外部チャンネルを統合します。変換は、シングル・モードまたは自動サイクル・モードで実行できます。シングル・モードでは、特定のチャンネルで変換を実行するように ADC を構成できます。自動サイクル・モードでは、個別のチャンネル・レジスタのサンプリングと読み出しについて MCU のオーバーヘッドを削減できます。また、ADC は専用チャンネルを使用した温度検出とバッテリー電圧の測定にも使用されます。自動サイクル・モードでは、外部チャンネルで温度検出とバッテリー監視を実行できません。

デジタル・コンパレータは、ADC 入力がプログラマブル閾値を上回るか下回ると、割込みをトリガします。ADC0_VIN0、ADC0_VIN1、ADC0_VIN2、ADC0_VIN3 の入力チャンネルをデジタル・コンパレータで使用できます。

DMA モードで ADC を使用して、必要な数の ADC 変換が完全にメモリに記録されたら、ADC の結果を直接 SRAM に移動することで MCU のオーバーヘッドを削減できます。

ADC サブシステムのメイン機能を次に示します。

- 12 ビット分解能
- 10 KSPS ～

1.8 MSPS のプログラマブル ADC 更新レート

- 最大 8 個のチャンネルをサポートする入力マルチプレクサを内蔵
- 温度検出サポート
- バッテリ監視サポート
- ソフトウェアで選択可能なオンチップ・リファレンス電圧生成 -1.25 V ～ 2.5 V
- ソフトウェアで選択可能な内部／外部リファレンス
- 自動サイクル・モード - 変換用の入力チャンネルのシーケンスを自動的に選択する機能
- 平均化機能 - 1 つ以上のチャンネルで変換されたデータは、最大 256 個のサンプルで平均化できます。
- アラート機能 - ADC0_VIN0、ADC0_VIN1、ADC0_VIN2、ADC0_VIN3 チャンネルの内部デジタル・コンパレータ。ADC の結果がユーザー定義の閾値を超過したことがデジタル・コンパレータによって検出されると、割込みが生成されます。
- 専用の DMA チャンネルをサポート
- 温度センサーとバッテリ監視を実行する各チャンネルには、変換結果用のデータ・レジスタがあります。

クロッキング

ADuCM3027/ADuCM3029 MCU には、次のクロック・オプションがあります。

- 26 MHz
 - 内部発振器 - HFOSC (26 MHz)
 - 外部水晶発振器 - HFXTAL (26 MHz または 16 MHz)
 - GPIO クロック入力 - SYS_CLKIN
- 32 kHz
 - 内部発振器 - LFOSC
 - 外部水晶発振器 - LFX TAL

クロック・オプションでは、ソフトウェア構成が可能です。次の例外があります。

- 内部降圧レギュレータを使用する場合、HFOSC はディスエーブルにできません。
- LFX TAL を使用する場合でも LFOSC をディスエーブルにできません。

リアルタイム・クロック (RTC)

ADuCM3027/ADuCM3029 MCU には、RTC0 と RTC1 (FLEX_RTC) の 2 つのリアルタイム・クロック・ブロックがあります。クロック・ブロックは、32,768 Hz 外部水晶発振器と組み合わせて動作する低消費電力の水晶発振器回路を共有します。

RTC には、プログラムされたアラート値が RTC カウントと一致すると、コアに割込みを実行するアラームがあります。ソフトウェアが RTC を有効にして構成します。

また、RTC には、固定された間隔で RTC カウントに正または負の調整を適用するデジタル・トリム機能があります。

FLEX_RTC は、SensorStrobe 機構をサポートします。この機構を使用することで、休止モードなどの電力モードで ADuCM3027/ADuCM3029 MCU をプログラマブル・クロック・ジェネレータとして使用できます。この方法では、ADuCM3027/ADuCM3029 MCU によって管理されるタイミング領域を外部センサーに設定できます。SensorStrobe は、FLEX_RTC からプログラマブル分周器の値を出力できます。FLEX_RTC は最大 30.7 μ s の分解能で動作します。センサーと MCU は同期しているので、データを再度サンプリングして時間を合わせる必要はありません。

この機構がないと、次のようになります。

- 外部センサーは、RC 発振器を使用します (最大の変動幅は代表値の $\pm 30\%$)。MCU は、サンプリングしたデータを使用する前に、MCU の時間領域で再サンプリングする必要があります。

または

- MCU の消費電力は高いまま、センサー側で各データ変換を駆動します。

この機構では、ADuCM3027/ADuCM3029 MCU が長期間にわたり低消費電力を維持し、不要なデータ処理を回避して最終製品のバッテリー寿命を延ばします。

RTC0 と RTC1 (FLEX_RTC) の大きな違いを表 3 に示します。

表 3.RTC 機能

Features	RTC0	RTC1 (FLEX_RTC)
Resolution of Time Base (Prescaling)	Counts time at 1 Hz in units of seconds. Operationally, always prescales to 1 Hz (for example, divide by 32,768) and always counts real time in units of seconds.	Can prescale the clock by any power of two from 0 to 15. It can count time in units of any of these 16 possible prescale settings. For example, the clock can be prescaled by 1, 2, 4, 8, ..., 16384, or 32768.
Source Clock	LFXTAL.	Depending on the low frequency multiplexer (LFMUX) configuration, the RTC is clocked by the LFXTAL or the LFOSC.
Wake-Up Timer	Wake-up time is specified in units of seconds.	Supports alarm times down to a resolution of 30.7 μ s, that is, where the time is specified down to a specific 32 kHz clock cycle.
Number of Alarms	One alarm only. Uses an absolute, nonrepeating alarm time, specified in units of 1 sec.	Two alarms. One absolute alarm time and one periodic alarm, repeating every 60 prescaled time units.
SensorStrobe Mechanism	Not available.	SensorStrobe is an alarm mechanism in the RTC that causes an output pulse to be sent via GPIOs to an external device to instruct the device to take a measurement or perform some action at a specific time. SensorStrobe events are scheduled at a specific target time relative to the real-time count of the RTC. SensorStrobe can be enabled in active, Flexi, and hibernate modes.
Input Capture	Not available.	Input capture takes a snapshot of the RTC when an external device signals an event via a transition on one of the GPIO inputs to the ADuCM3027/ ADuCM3029. Typically, an input-capture event is triggered by an autonomous measurement or action on such a device, which then signals to the ADuCM3027/ ADuCM3029 that the RTC must take a snapshot of time corresponding to the event. Taking the snapshot can wake up the ADuCM3027/ ADuCM3029 and cause an interrupt to the CPU. The CPU can subsequently obtain information from the RTC on the exact 32 kHz cycle on which the input capture event occurred.

ビーパー・ドライバ

ADuCM3027/ADuCM3029 MCU には、ビーパー用のオーディオ・ドライバを内蔵しています。

ADuCM3027/ADuCM3029 MCU のビーパー・ドライバ・モジュールは、プログラマブルな周波数で差動方形波を生成します。差動方形波の出力に接続された 2 つの端子で、外部圧電音声コンポーネントを駆動します。

ビーパー・ドライバは、8 kHz ~ 0.25 kHz の範囲の周波数を出力するモジュールで構成されます。システム・クロックの変化による影響を受けない独立した 32 kHz の固定クロック源で動作します。

4 ms のインクリメントで、4 ms ~ 1.02 s までのプログラマブルなトーン期間が実現します。パルス（シングルトーン）モードとシーケンス（マルチトーン）モードで多様な再生オプションを利用できます。

シーケンス・モードでは、1 ~ 254（2 ~ 508 トーン）の任意の数のトーン・ペアを再生するか、（ユーザーが停止するまで）永久に再生し続けるようにプログラムできます。ビープの開始／終了、シーケンスの終了、またはシーケンスがもうすぐ完了することを示すために、割込みを使用できます。

デバッグ機能

ADuCM3027/ADuCM3029 MCU は、SWD をサポートします。

オンチップ・ペリフェラルの機能

ADuCM3027/ADuCM3029 MCU には、複数の同時／高帯域幅バス経路でコアに接続されるペリフェラルの豊富なセットがあり、柔軟にシステムを構成でき、全体的な性能も優れています（図 1）。

ADuCM3027/ADuCM3029 MCU には、高速のシリアル・ポート、オンチップ・ペリフェラルまたは外部ソースからの割込みを柔軟に管理するための割込みコントローラ、MCU とシステムの性能と電力特性を多数のアプリケーションのシナリオに合わせて調整できるパワー・マネージメント制御機能が組み込まれています。

シリアル・ポート（SPORT）

ADuCM3027/ADuCM3029 MCU は、2 つの単方向（半二重）SPORT または 1 つの双方向（全二重）SPORT を備えています。同時シリアル・ポートは、アナログ・デバイスサイズのオーディオ・コーデック、ADC、DAC など、多様なデジタル／ミックスド・シグナルのペリフェラル・デバイスに対する手頃な価格のインターフェースです。シリアル・ポートには、2 本のデータ・ライン、クロック、フレーム同期が含まれます。データ・ラインは、送受信向けにプログラムできます。各データ・ラインは専用の DMA チャンネルを備えています。

シリアル・ポート・データは、専用の DMA チャンネル経由で自動的にオンチップ・メモリまたは外部メモリとの間で転送できます。フレーム同期とクロックは共有できます。一部の ADC と DAC では、変換プロセスに 2 つの制御信号が必要です。このようなデバイスとインターフェース接続するため、SPT0_ACNV と SPT0_BCNV の信号が用意されています。これらの信号を使用するには、タイマー・イネーブル・モードを有効にします。このモードでは、モジュール内部の PWM タイマーがプログラマブル SPT0_ACNV と SPT0_BCNV の信号を生成します。

シリアル・ポートは、2 つのモードで動作します。

- 標準のデジタル・シグナル・プロセッサ（DSP）シリアル・モード
- タイマー・イネーブル・モード

シリアル・ペリフェラル・インターフェース（SPI）ポート

ADuCM3027/ADuCM3029 MCU には、3 つの SPI があります。SPI は、8 ビットのデータを同期転送して同時に受信できる、業界標準の全二重同期シリアル・インターフェースです。各 SPI には、DMA コントローラに接続する 2 つの DMA チャンネルが実装されています。一方の DMA チャンネルは送信に使用し、他方のチャンネルは受信に使用します。MCU に搭載された SPI は、外部シリアル・フラッシュ・デバイスに簡単に接続できます。

SPI には、次の機能があります。

- シリアル・クロック位相モードとシリアル・クロック極性モード。
- ループバック・モード
- 連続／反復転送モード
- ワイヤード OR 出力モード
- 半二重動作の読出しコマンド・モード（送信の後に受信が続く）
- 読出しコマンド・モードのフロー制御をサポート
- 読出しコマンド・モードの 3 ピン SPI をサポート
- 複数ラインのサポート
- ソフトウェア・オーバーライドをサポート

UART ポート

ADuCM3027/ADuCM3029 MCU には、PC 標準 UART と完全に互換性のある全二重 UART ポートが搭載されています。UART ポートは、他のペリフェラルやホストに対する簡略化された UART インターフェースとして機能し、全二重、DMA、シリアル・データの非同期転送をサポートします。UART ポートは、5 ~ 8 のデータ・ビット、パリティなし、偶数または奇数のパリティをサポートします。フレームは、1 停止ビット、1.5 停止ビット、2 停止ビットで終了します。

I²C

ADuCM3027/ADuCM3029 MCU は、データ転送用に 2 つのピンを備えた I²C バス・ペリフェラルを搭載しています。SCL はシリアル・クロック・ピンで、SDA はシリアル・データ・ピンです。これらのピンは、マルチマスター・システムでアービトレーションが可能なワイヤード AND 形式で構成されます。マスター・デバイスを構成して、シリアル・クロックを生成できます。この周波数は、シリアル・クロック分周器レジスタでプログラミングします。マスター・チャンネルは、高速モード（400 kHz）または標準モード（100 kHz）で動作します。

開発サポート

ADuCM3027/ADuCM3029 MCU の開発サポートには、技術文書、評価用ハードウェア、開発ソフトウェア・ツールが含まれます。

技術文書

ADuCM302x Ultra Low Power ARM Cortex-M3 MCU with Integrated Power Management Hardware Reference では、ADuCM3027/ADuCM3029 MCU の各ブロック機能について説明します。パワー・マネージメント、クロック、メモリ、ペリフェラルが含まれます。

ハードウェア

ADuCM3029 EZ-KIT[®]は、ADuCM3027/ADuCM3029 MCU を使用したプロトタイプ・センサーの構成に使用できます。

ソフトウェア

ADuCM3029 EZ-KIT には、ADuCM3027/ADuCM3029 MCU の完全な開発およびデバッグ環境が含まれます。ADuCM3027/ADuCM3029 のボード・サポート・パッケージ (BSP) は、IAR Embedded Workbench for ARM、Keil[™]、CrossCore[®] embedded studio (CCES) 環境に対応します。

BSP には、オペレーティング・システム (OS) 対応のドライバと、デバイスに搭載されたすべてのペリフェラルに対応するサンプル・コードも含まれます。

その他の情報

ADuCM3027/ADuCM3029 MCU について説明する次の出版物は、アナログ・デバイセズの販売代理店にてご注文いただけます。あるいは、アナログ・デバイセズの Web サイトで電子媒体としてアクセスできます。

- ADuCM302x Ultra Low Power ARM Cortex-M3 MCU with Integrated Power Management Hardware Reference.
- ADuCM3027/ADuCM3029 Anomaly List

このデータシートは、ADuCM3027/ADuCM3029 MCU で使用する ARM Cortex-M3 コアとメモリ・アーキテクチャについて説明しますが、ARM プロセッサの詳細なプログラム情報に関する説明はありません。ARM プロセッサのプログラミングの詳細については、ARM Infocenter の Web ページにアクセスしてください。

ARM Cortex-M3 プロセッサのプログラミングに関する技術文書には、次のものがあります。

- ARM Cortex-M3 Devices Generic User Guide
- ARM Cortex-M3 Technical Reference Manual

リファレンス設計

Circuits from the Lab[®] ページでは、次の内容をご覧ください。

- さまざまな回路タイプとアプリケーション向けシグナル・チェーンのグラフィカルな回路ブロック図
- ガイドとアプリケーション情報を選択するための各チェーンの部品のドリルダウン・リンク
- ベスト・プラクティスの設計技術を適用するリファレンス設計

セキュリティ機能の免責事項

アナログ・デバイセズが知る範囲では、データシートとハードウェア・リファレンス・マニュアルの仕様に従ってセキュリティ機能を使用することで、コードの安全な実装とデータ保護が実現します。ただし、アナログ・デバイセズは、この技術が完全なセキュリティを提供することは保証しません。

これに伴い、アナログ・デバイセズは、自社のセキュリティ機能を侵害できない、侵入できない、または迂回できないことについて、すべての明示的および暗黙的な保証を行いません。さらに、データ、情報、物理財産、知的財産のあらゆる損失、損傷、破損、流出に対して責任を負いません。

仕様

製品の仕様については、アナログ・デバイセズの担当者にご連絡ください。

動作条件

Parameter	Conditions	Min	Typ	Max	Unit
$V_{BAT}^{1,2}$	External Battery Supply Voltage	1.74	3.0	3.6	V
V_{IH}	High Level Input Voltage	2.5			V
V_{IL}	Low Level Input Voltage			0.45	V
V_{BAT_ADC}	ADC Supply Voltage	1.74	3.0	3.6	V
T_J	Junction Temperature	-40		+85	°C

¹ 関連する機能を使用しない場合でも、引き続き電圧を供給する必要があります。

² 値は VBAT_ANA1、VBAT_ANA2、VBAT_DIG1、VBAT_DIG2 ピンに適用されます。

電気的特性

Parameter	Conditions	Min	Typ	Max	Unit
V_{OH}^1	High Level Output Voltage	1.4			V
V_{OL}^1	Low Level Output Voltage			0.4	V
I_{IHPU}^2	High Level Input Current Pull-Up		0.01	1	μA
I_{ILPU}^2	Low Level Input Current Pull-Up			100	μA
I_{OZH}^3	Three-State Leakage Current		0.01	1	μA
I_{OZL}^3	Three-State Leakage Current		0.01	1	μA
I_{OZLPU}^4	Three-State Leakage Current Pull-Up			100	μA
I_{OZHPU}^4	Three-State Leakage Current Pull-Up			1	μA
I_{OZLPD}^5	Three-State Leakage Current Pull-Down			1	μA
I_{OZHDP}^5	Three-State Leakage Current Pull-Down			100	μA
C_{IN}	Input Capacitance		10		pF

¹ 次の出力と双方向ピンに適用されます。P1_10、P0_10、P0_11、P1_02、P1_03、P1_04、P1_05、P2_01、P0_13、P0_15、P1_00、P1_01、P1_15、P2_00、P0_12、P2_11、P1_06、P1_07、P1_08、P1_09、P0_00、P0_01、P0_02、P0_03、P0_06、P0_07、P2_03、P2_04、P2_05、P2_06、P2_07、P2_08、P2_09、P2_10、P0_04、P0_05、P0_14、P2_02、P1_14、P1_13、P1_12、P1_11、P0_08、P0_09。

² 次の入力ピンとプルアップに適用されます。

³ 次のスリーステート・ピンに適用されます。P1_10、P0_10、P0_11、P1_02、P1_03、P1_04、P1_05、P2_01、P0_13、P0_15、P1_00、P1_15、P2_00、P0_12、P2_11、P1_06、P1_07、P1_08、P1_09、P0_00、P0_01、P0_02、P0_03、P2_03、P2_04、P2_05、P2_06、P2_07、P2_08、P2_09、P2_10、P0_04、P0_05、P0_14、P2_02、P1_14、P1_13、P1_12、P1_11、P0_08、P0_09。

⁴ 次のスリーステート・ピンとプルアップに適用されます。P1_10、P0_10、P0_11、P1_02、P1_03、P1_04、P1_05、P2_01、P0_13、P0_15、P1_00、P1_15、P2_00、P0_12、P2_11、P1_06、P1_07、P1_08、P1_09、P0_00、P0_01、P0_02、P0_03、P2_03、P2_04、P2_05、P2_06、P2_07、P2_08、P2_09、P2_10、P0_04、P0_05、P0_14、P2_02、P1_14、P1_13、P1_12、P1_11、P0_08、P0_09、P0_07、P1_01。

⁵ 次のスリーステート・ピンとプルダウンに適用されます。P0_06

電源電流

表 4、表 5、表 6 に、電源電流 V_{BAT} を示します。

表 4. アクティブ・モード – $V_{BAT} = 3.0\text{ V}$ の場合の消費電流

Conditions	Buck	Typ ¹	Max ²	Unit
Code ³ executing from flash, cache enabled, peripheral clocks off, HCLK = 6.5 MHz	Enabled	0.40		mA
Code ³ executing from flash, cache enabled, peripheral clocks off, HCLK = 26 MHz	Enabled	0.98	1.29	mA
	Disabled	1.75	2.38	mA
Code ³ executing from flash, cache disabled, peripheral clocks off, HCLK = 26 MHz	Enabled	1.28	1.64	mA
	Disabled	2.34	3.0	mA
Code ³ executing from SRAM, peripheral clocks off, HCLK = 26 MHz	Enabled	0.95	1.36	mA
	Disabled	1.78	2.48	mA
Code ³ executing from flash, cache enabled, peripheral clocks on, HCLK = 26 MHz, PCLK = 26 MHz	Enabled	1.08	1.43	mA
	Disabled	1.99	2.67	mA
Code ³ executing from flash, cache disabled, peripheral clocks on, HCLK = 26 MHz, PCLK = 26 MHz	Enabled	1.37	1.78	mA
	Disabled	2.55	3.29	mA
Code ³ executing from SRAM, peripheral clocks on, HCLK = 26 MHz, PCLK = 26 MHz	Enabled	1.08	1.49	mA
	Disabled	2.03	2.74	mA

¹ $T_J = 25\text{ }^{\circ}\text{C}$ 。

² $T_J = 85\text{ }^{\circ}\text{C}$ 。

³ このコードを実行すると、HFOSC をシステム・クロック源とした連続ループで素数が生成されます。

表 5. Flexi™ モード – $V_{BAT} = 3.0\text{ V}$ の場合の消費電流

Conditions	Buck	Typ1	Max2	Unit
Peripheral clocks off	Enabled	0.3	0.67	mA
	Disabled	0.52	1.11	mA
Peripheral clocks on, PCLK = 26 MHz	Enabled	0.39	0.80	mA
	Disabled	0.7	1.38	mA

¹ $T_J = 25\text{ }^{\circ}\text{C}$ 。

² $T_J = 85\text{ }^{\circ}\text{C}$ 。

表 6. ディープ・スリープ・モード¹ – $V_{BAT} = 3.0\text{ V}$ の場合の消費電流

Mode	Conditions	–40°C Typ	+25°C Typ	+85°C Typ	+85°C Max	Unit
Hibernate	RTC1 and RTC0 disabled, 8 KB SRAM retained, LFXTAL off	0.66	0.75	2.0	6.05	μA
	RTC1 and RTC0 disabled, 16 KB SRAM retained, LFXTAL off	0.67	0.77	2.4	6.4	μA
	RTC1 and RTC0 disabled, 24 KB SRAM retained, LFXTAL off	0.68	0.79	2.6	6.75	μA
	RTC1 and RTC0 disabled, 32 KB SRAM retained, LFXTAL off	0.69	0.81	3.0	7.1	μA
	RTC1 enabled, 8 KB SRAM retained, LFOSC as source for RTC1	0.69	0.78	2.05	6.1	μA
	RTC1 enabled, 8 KB SRAM retained, LFXTAL as source for RTC1	0.74	0.83	2.1	6.15	μA
	RTC1 and RTC0 enabled, 8 KB SRAM retained, LFXTAL as source for RTC1 and RTC0	0.83	0.93	2.25	6.3	μA
Shutdown	RTC0 enabled, LFXTAL as source for RTC0	290	310	490	1180	nA
	RTC0 disabled	40	56	260	950	nA

¹ 降圧インーブル／ディスエーブルの選択は、消費電力に影響を与えません。

システム・クロック／タイマー

表 7 と 表 8 に、ADuCM3027/ADuCM3029 MCU のシステム・クロックの仕様を示します。

プラットフォーム外部水晶発振器

表 7. プラットフォーム外部水晶発振器の仕様

Parameter	Min	Typ	Max	Unit	Conditions
LOW FREQUENCY EXTERNAL CRYSTAL OSCILLATOR (LFX TAL)					
$C_{EXT1} = C_{EXT2}$	6		10	pF	External capacitor, $C_{EXT1} = C_{EXT2}$ (symmetrical load), for $C_L \leq 5$ pF (maximum) and ESR = 30 k Ω (maximum). C_{EXT1} , C_{EXT2} must be selected considering the printed circuit board (PCB) trace capacitance due to routing.
Frequency		32,768		Hz	
HIGH FREQUENCY EXTERNAL CRYSTAL OSCILLATOR (HFXTAL)					
$C_{EXT1} = C_{EXT2}$			20	pF	External capacitor, $C_{EXT1} = C_{EXT2}$ (symmetrical load), for $C_L = 10$ pF (maximum) and ESR = 50 Ω (maximum). C_{EXT1} , C_{EXT2} must be selected considering the PCB trace capacitance due to routing.
Frequency		26		MHz	

オンチップ RC 発振器

表 8. オンチップ RC 発振器の仕様

Parameter	Min	Typ	Max	Unit	Conditions
HIGH FREQUENCY RC OSCILLATOR (HFOSC)					
Frequency	25.09	26	26.728	MHz	
LOW FREQUENCY RC OSCILLATOR (LFOSC)					
Frequency	30,800	32,768	34,407	Hz	

ADC の仕様

表 9. ADC の仕様

Parameter ^{1,2}	VBAT/VREF (V)	Package	Typ	Unit	Conditions
NO MISSING CODE	1.8/1.25 (internal/external)	64-lead LFCSP	12	Bits	F _{in} = 1068 Hz, F _s = 100 KSPS, internalreferenceinlowpower mode, 400,000 samples end point method used
	1.8/1.25 (internal/external)	54-ball WLCSP	12	Bits	
	3.0/2.5 (internal/external)	64-lead LFCSP	12	Bits	
INTEGRAL NONLINEARITY ERROR	1.8/1.25 (internal/external)	64-lead LFCSP	±1.6	LSB	
	1.8/1.25 (internal/external)	54-ball WLCSP	±1.8	LSB	
	3.0/2.5 (internal/external)	64-lead LFCSP	±1.4	LSB	
DIFFERENTIAL NONLINEARITY ERROR	1.8/1.25 (internal/external)	64-lead LFCSP	−0.7, +1.15	LSB	
	1.8/1.25 (internal/external)	54-ball WLCSP	−0.75, +1.2	LSB	
	3.0/2.5 (internal/external)	64-lead LFCSP	−0.7, +1.1	LSB	
OFFSET ERROR	1.8/1.25 (external)	64-lead LFCSP	±0.5	LSB	
	1.8/1.25 (external)	54-ball WLCSP	±0.5	LSB	
	3.0/2.5 (external)	64-lead LFCSP	±0.5	LSB	
GAIN ERROR	1.8/1.25 (external)	64-lead LFCSP	±2.5	LSB	
	1.8/1.25 (external)	54-ball WLCSP	±3.0	LSB	
	3.0/2.5 (external)	64-lead LFCSP	±0.5	LSB	
I _{VBAT_ADC} ³	1.8/1.25 (internal)	64-lead LFCSP	104	μA	F _{in} = 1068 Hz, F _s = 100 KSPS, internalreferenceinlowpower mode
	1.8/1.25 (internal)	54-ball WLCSP	108	μA	
	3.0/2.5 (internal)	64-lead LFCSP	131	μA	

¹ ADC は、コア・アクティビティなし、隣接する ADC チャンネルとデジタル入出力で切替えが最小／なしの標準モードで特性評価されています。

² 仕様は、内部 ADC オフセット補正の実行後に特性評価されています。

³ ADC が変換を実行する場合の VBAT_ADC 電源からの消費電流。

フラッシュ仕様

表 10. フラッシュ仕様

Parameter	Min	Typ	Max	Unit	Conditions
FLASH					
Endurance Data	10,000			Cycles	
Retention		10		Years	

絶対最大定格

表 11 に記載されている絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える場合があります。この規定はストレス定格のみを指定するものです。この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 11. 絶対最大定格

Parameter	Rating	Unit
SUPPLY		
VBAT_ANA1	−0.3 to +3.6	V
VBAT_ANA2		
VBAT_ADC		
VBAT_DIG1		
VBAT_DIG2		
VREF_ADC		
ANALOG		
VDCDC_CAP1N	−0.3 to +3.6	V
VDCDC_APIP		
VDCDC_OUT		
VDCDC_CAP2N		
VDCDC_CAP2P		
VLDO_OUT	−0.3 to +1.32	V
SYS_HFXTAL_IN		
SYS_HFXTAL_OUT		
SYS_LFXTAL_IN		
SYS_LFXTAL_OUT		
DIGITAL INPUT/OUTPUT		
P0.X	−0.3 to +3.6	V
P1.X		
P2.X		
SYS_HWRST		

ESD 耐性



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

パッケージ情報

図 4 と表 12 に、パッケージのマーキングの詳細を示します。製品のリリース関連情報については、[オーダー・ガイド](#)を参照してください。

図 4. パッケージの製品情報¹

¹ パッケージのタイプによっては、正確なブランド名は異なる場合があります。

表 12. パッケージ・ブランド情報

Brand Key	Field Description
ADuCM3027/ADuCM3029	Product model
t	Temperature range
pp	Package type
Z	RoHS compliant designation
ccc	See the Ordering Guide section
vvvvvv.x	Assembly lot code
n.n	Silicon revision
yyww	Date code

タイミング仕様

仕様は予告なく変更される場合があります。

リセット・タイミング

表 13 と 図 5 に、リセット・タイミングを示します。

表 13. リセット・タイミング

Parameter	Min	Max	Unit
TIMING REQUIREMENTS			
t_{WRST} $\overline{\text{SYS_HWRST}}$ Asserted Pulse Width Low ¹	4		μs

¹ パワーアップ・シーケンスの完了後に適用

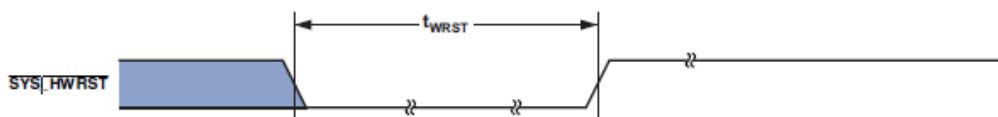


図 5. リセット・タイミング

システム・クロックと PLL

表 14 に、システム・クロックとフェーズ・ロック・ループ（PLL）の仕様を示します。

表 14. システム・クロックと PLL

Parameter		Min	Max	Unit
TIMING REQUIREMENTS				
t_{CK}	PLL Input CLKIN Period ¹	38.5	62.5	ns
f_{PLL}	PLL Output Frequency ^{2,3}	16	60	MHz
t_{PCLK}	System Peripheral Clock Period	38.5	154	ns
t_{HCLK}	Advanced High Performance Bus (AHB) Subsystem Clock Period	38.5	154	ns

¹ PLL への入力、高周波の外部水晶発振器と高周波の内部 RC 発振器のいずれかから取得できます。ADuCM302x Ultra Low Power ARM Cortex-M3 MCU with Integrated Power Management Hardware Reference を参照してください。

² 最小値について推奨される設定は、PLL 内部クロック = 26 MHz では PLL_MSEL = 13、PLL_NSEL = 16、PLL_DIV2 = 1。PLL 内部クロック = 16 MHz では PLL_MSEL = 13、PLL_NSEL = 26、PLL_DIV2 = 1。

³ 最大値について推奨される設定は、PLL 内部クロック = 26 MHz では PLL_MSEL = 13、PLL_NSEL = 30、PLL_DIV2 = 0。PLL 内部クロック = 16 MHz では PLL_MSEL = 8、PLL_NSEL = 30、PLL_DIV2 = 0。

シリアル・ポート

2つのデバイス間で、特定のクロック速度での通信が可能かどうかを決定するには、次の仕様を確認します。

- フレーム同期の遅延、フレーム同期のセットアップとホールド
- データ遅延、データのセットアップとホールド
- シリアル・クロック（SPT_CLK）幅

図6では、アクティブなサンプリング・エッジ SPT_CLK（外部または内部）の立上がりエッジまたは立下がりエッジを使用します。外部で生成される場合、SPORT クロックは f_{SPTCLKEXT} と呼ばれます。

$$t_{SPTCLKEXT} = \frac{1}{f_{SPTCLKEXT}}$$

内部で生成される場合、プログラマブルな SPORT クロック（f_{SPTCLKPROG}）周波数は、次の式によって設定されます。

$$f_{SPTCLKPROG} = \frac{f_{PCLK}}{2 \times (CLKDIV + 1)}$$

CLKDIV は、SPORT_DIV レジスタ内の 0 ～ 65535 に設定できるフィールドです。

表 15. シリアル・ポート - 外部クロック

Parameter		Min	Max	Unit
TIMING REQUIREMENTS				
t _{SFSE}	Frame Sync Setup Before SPT_CLK (Externally Generated Frame Sync in Transmit or Receive Mode) ¹	5		ns
t _{HFSE}	Frame Sync Hold After SPT_CLK (Externally Generated Frame Sync in Transmit or Receive Mode) ¹	5		ns
t _{SDRE}	Receive Data Setup Before Receive SPT_CLK ¹	5		ns
t _{HDRE}	Receive Data Hold After SPT_CLK ¹	8		ns
t _{SCLKW}	SPT_CLK Width ²	38.5		ns
t _{SPTCLK}	SPT_CLK Period ²	77		ns
SWITCHING CHARACTERISTICS				
t _{DFSE}	Frame Sync Delay After SPT_CLK (Internally Generated Frame Sync in Transmit or Receive Mode) ³		20	ns
t _{HOFSE}	Frame Sync Hold After SPT_CLK (Internally Generated Frame Sync in Transmit or Receive Mode) ³	2		ns
t _{DDTE}	Transmit Data Delay After Transmit SPT_CLK ³		20	ns
t _{HDTE}	Transmit Data Hold After Transmit SPT_CLK ³	1		ns

¹ この仕様は、サンプル・エッジを基準にしています。

² この仕様は、外部 SPT_CLK のデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅または期間を示します。

³ この仕様は、ドライブ・エッジを基準にしています。

表 16. シリアル・ポート - 内部クロック

Parameter		Min	Max	Unit
TIMING REQUIREMENTS				
t_{SDRI}	Receive Data Setup Before SPT_CLK ¹	25		ns
t_{HDMI}	Receive Data Hold After SPT_CLK ¹	0		ns
SWITCHING CHARACTERISTICS				
t_{DFSI}	Frame Sync Delay After SPT_CLK (Internally Generated Frame Sync in Transmit or Receive Mode) ²		20	ns
t_{HOFSE}	Frame Sync Hold After SPT_CLK (Internally Generated Frame Sync in Transmit or Receive Mode) ²	-8		ns
t_{DDTI}	Transmit Data Delay After SPT_CLK ²		20	ns
t_{HDTI}	Transmit Data Hold After SPT_CLK ²	-7		ns
t_{SCLKIW}	SPT_CLK Width	$t_{PCLK} - 1.5$		ns
t_{SPTCLK}	SPT_CLK Period	$2 \times t_{PCLK} - 1$		

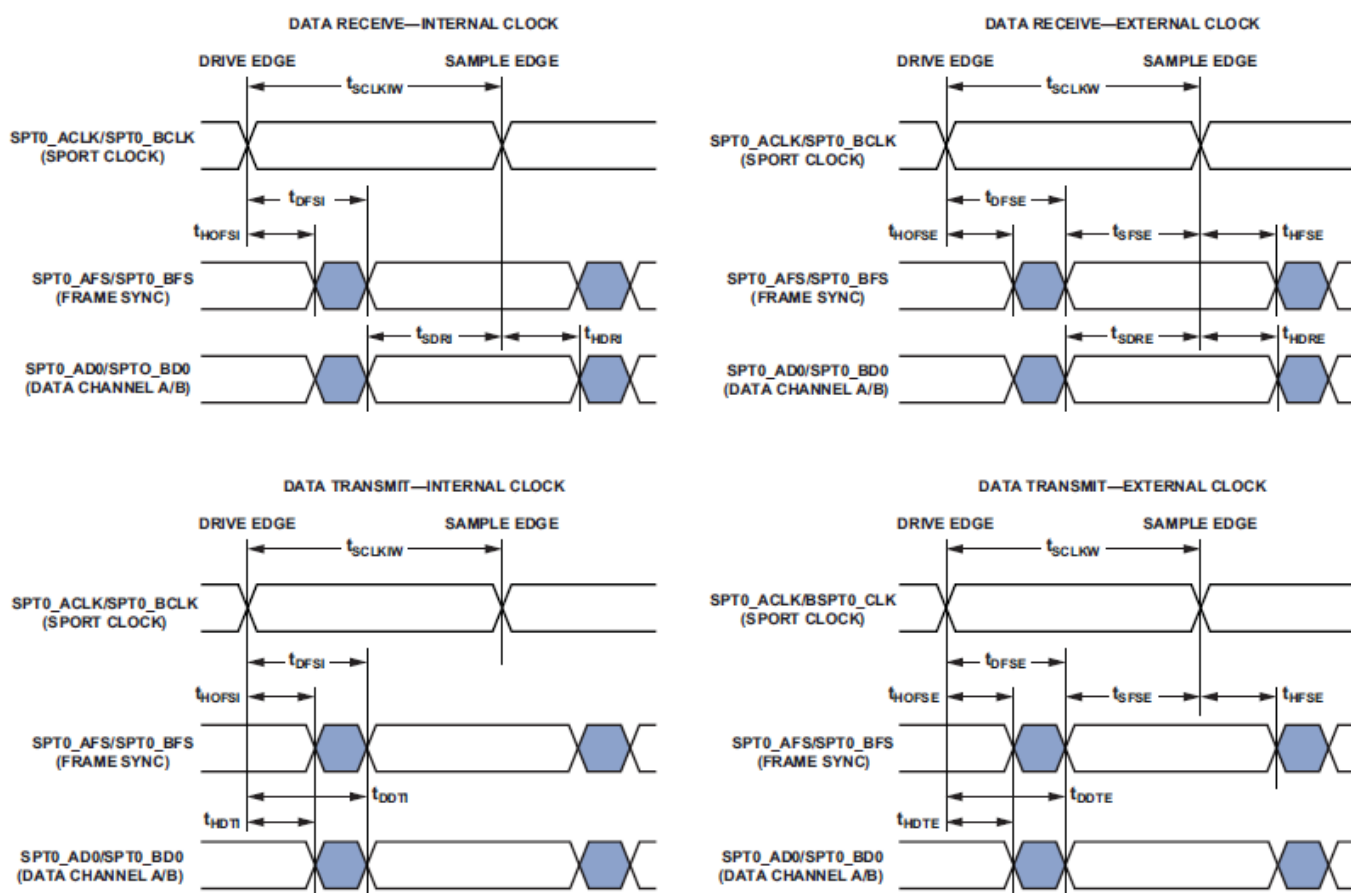
¹ この仕様は、サンプル・エッジを基準にしています。² この仕様は、ドライブ・エッジを基準にしています。

図 6. シリアル・ポート

表 17. シリアル・ポート - イネーブルとスリーステート

Parameter	Min	Max	Unit
SWITCHING CHARACTERISTICS			
t_{DDTIN} Data Enable From Internal Transmit SPT_CLK ¹	5		ns
t_{DDTTI} Data Disable From Internal Transmit SPT_CLK ¹		160	ns

¹ この仕様は、ドライブ・エッジを基準にしています。

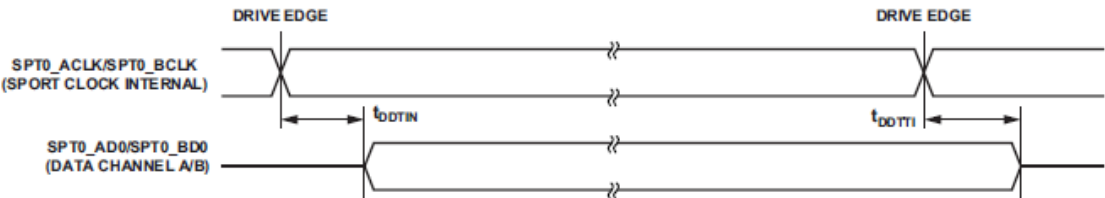


図 7. シリアル・ポート - イネーブルとスリーステート

SPI タイミング

表 18、図 8、図 9（マスター・モードの場合）と表 19、図 10、図 11（スレーブ・モードの場合）に、SPI タイミングの仕様を示します。データ・レートが高いペリフェラルには、高速 SPI（SPIH）を使用できます。

表 18. SPI マスター・モードのタイミング¹

Parameter		Min	Max	Unit
TIMING REQUIREMENTS				
t_{CS}	$\overline{CS}$ to SCLK Edge	$0.5 \times t_{PCLK} - 3$		ns
t_{SL}	SCLK Low Pulse Width	$t_{PCLK} - 3.5$		ns
t_{SH}	SCLK High Pulse Width	$t_{PCLK} - 3.5$		ns
t_{DSU}	Data Input Setup Time Before SCLK Edge	5		ns
t_{DHD}	Data Input Hold Time After SCLK Edge	20		ns
SWITCHING CHARACTERISTICS				
t_{DAV}	Data Output Valid After SCLK Edge		25	ns
t_{DOSU}	Data Output Setup Before SCLK Edge	$t_{PCLK} - 2.2$		ns
t_{SFS}	$\overline{CS}$ High After SCLK Edge	$0.5 \times t_{PCLK} - 3$		ns

¹ この仕様は、ダブル・ドライブ強度について特定評価されます。

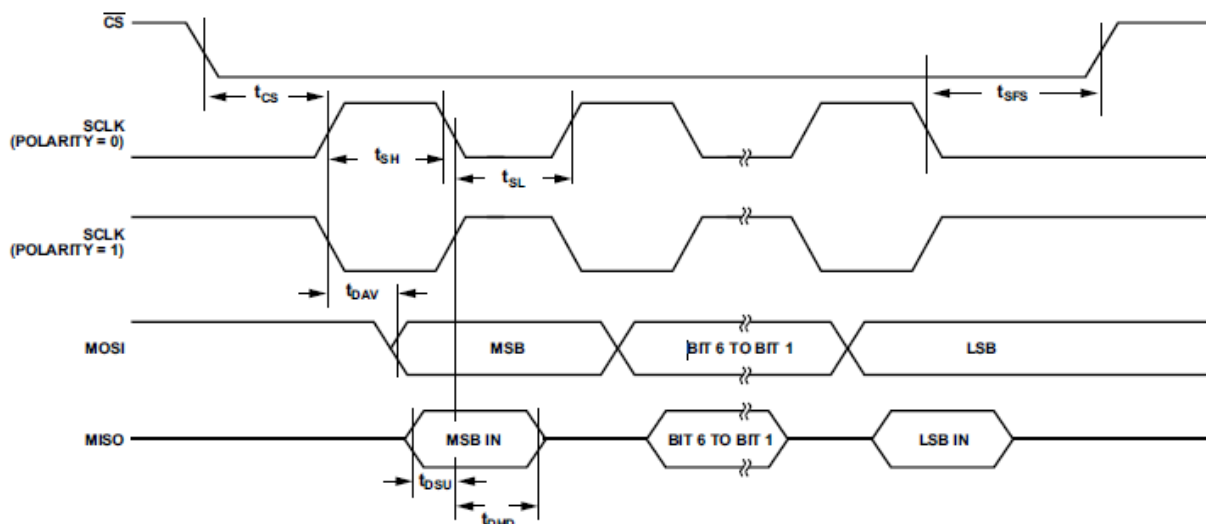


図 8. SPI マスター・モードのタイミング(フェーズ・モード = 1)

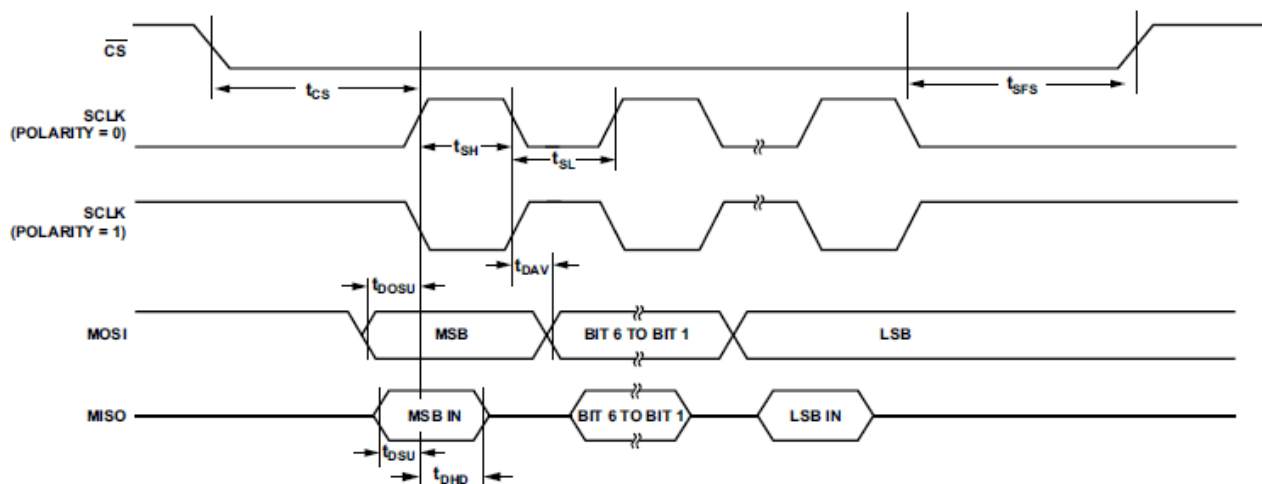


図 9. SPI マスター・モードのタイミング(フェーズ・モード = 0)

表 19. SPI スレーブ・モードのタイミング

Parameter		Min	Max	Unit
TIMING REQUIREMENTS				
t_{CS}	$\overline{CS}$ to SCLK Edge	38.5		ns
t_{SL}	SCLK Low Pulse Width	38.5		ns
t_{SH}	SCLK High Pulse Width	38.5		ns
t_{DSU}	Data Input Setup Time Before SCLK Edge	6		ns
t_{DHD}	Data Input Hold Time After SCLK Edge	8		ns
SWITCHING CHARACTERISTICS				
t_{DAV}	Data Output Valid After SCLK Edge	25		ns
t_{DOCS}	Data Output Valid After Edge		20	ns
t_{SFS}	$\overline{CS}$ High After SCLK Edge	38.5		ns

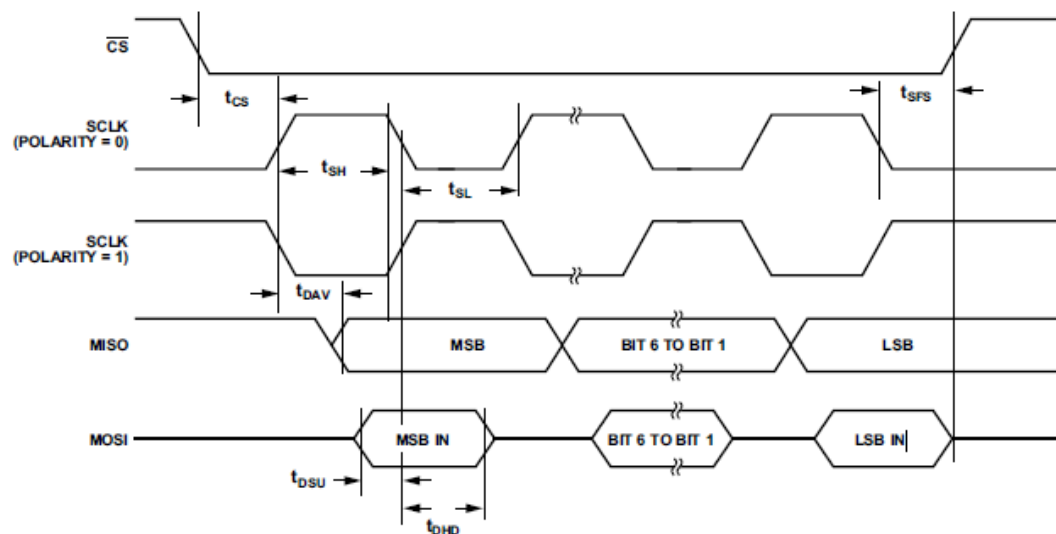


図 10. SPI スレーブ・モードのタイミング(フェーズ・モード = 1)

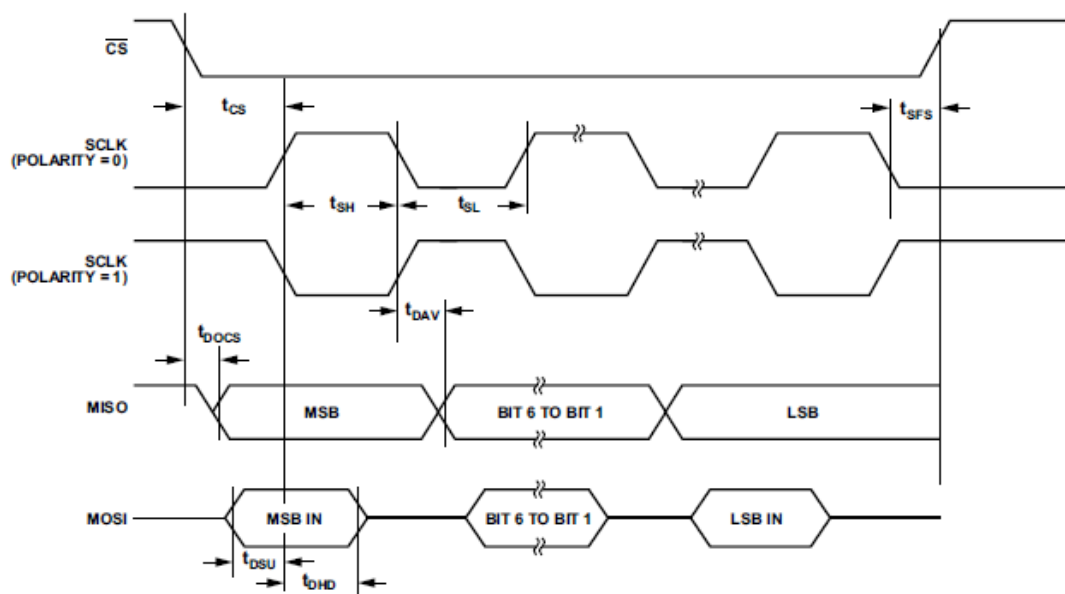


図 11. SPI スレーブ・モードのタイミング(フェーズ・モード = 0)

汎用ポートのタイミング

表 20 と 図 12 に、汎用ポートのタイミングを示します。

表 20. 汎用ポートのタイミング

Parameter	Min	Max	Unit
TIMING REQUIREMENTS			
t_{WFI} General-Purpose Port Pin Input Pulse Width	$4 \times t_{PCLK}$		ns

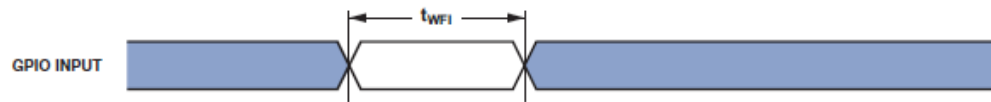


図 12. 汎用ポートのタイミング

タイマー PWM_OUT サイクルのタイミング

表 21 と 図 13 に、タイマー PWM_OUT サイクルのタイミングを示します。

表 21. タイマー PWM_OUT サイクルのタイミング

Parameter	Min	Max	Unit
SWITCHING CHARACTERISTICS			
t_{PWM0} Timer Pulse Width Output	$4 \times t_{PCLK} - 6$	$256 \times (2^{16} - 1)$	ns

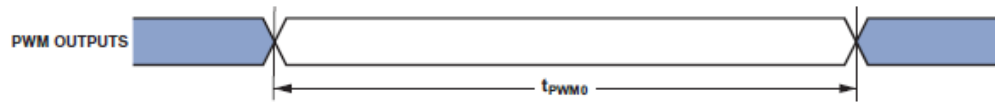


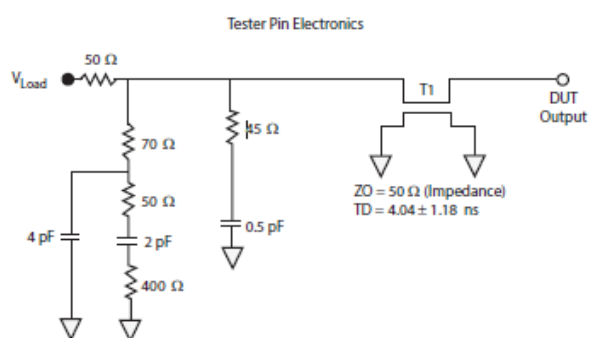
図 13. タイマー PWM_OUT サイクルのタイミング

MCU テスト条件

このデータシートの AC 信号仕様（タイミング・パラメータ）には、出力ディスエーブル時間、出力カインエーブル時間などの値が記載されています。信号が図 14 に記載された V_{MEAS} レベルと交差したときに、タイミングが測定されます。すべての遅延（ns または μs ）は、最初の信号が V_{MEAS} に到達した時点と 2 番目の信号が V_{MEAS} に到達した時点の間で測定します。 V_{MEAS} の値は、 $V_{BAT}/2$ に設定されます。



図 14. AC 測定の電圧リファレンス・レベル
(出カインエーブル／ディスエーブルを除く)



注意:

最も厳しい条件の転送ラインの遅延を示しています。この遅延は転送ラインの効果を反映するタイミング分析に使用でき、考慮が必要です。転送ライン (TD) はロード専用で、データシートのタイミング仕様には影響を与えません。

特定のシステム要件では、IBIS モデルのタイミングを使用することをお勧めします。必要に応じて、システムに外部ドライブを実装してタイミングの差を補償できます。

図 15. AC 測定に使用する等価直列抵抗デバイスの負荷
(すべての部品を含む)

ドライバ・タイプ

表 22 に、ドライバ・タイプを示します。

表 22. ドライバ・タイプ

Driver Type ^{1, 2, 3}	Associated Pins
Type A	P0_00, P0_01, P0_02, P0_03, P0_07, P0_10, P0_11, P0_12, P0_13, P0_15, P1_00, P1_01, P1_02, P1_03, P1_04, P1_05, P1_06, P1_07, P1_08, P1_09, P1_10, P1_15, P2_00, P2_01, P2_04, P2_05, P2_06, P2_07, P2_08, P2_09, P2_10, P2_11, SYS_HWRST
Type B	P0_08, P0_09, P0_14, P1_11, P1_12, P1_13, P1_14, P2_02
Type C	P0_04, P0_05
Type D	P0_06

¹ シングル・ドライバ・モードでは、最大ソース／シンク容量は 2 mA です。

² ダブル・ドライバ・モードでは、最大ソース／シンク容量は 4 mA です。

³ 最大ドライブ容量では、特定の時点での切替えに 16 個の GPIO のみを使用できます。

図 16 ～ 図 21 に、MCU の出力ドライバの典型的な電流 - 電圧特性を示します。

この曲線は、出力電圧の機能である出力ドライバの電流駆動容量を示します。

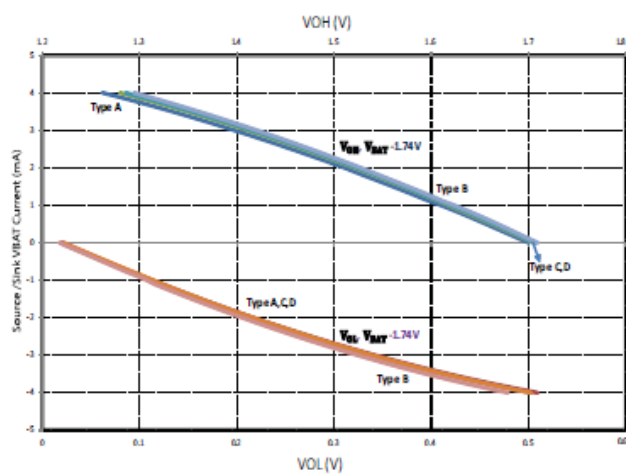


図 16. 出力ダブル・ドライブの強度特性 (VBAT = 1.74 V)

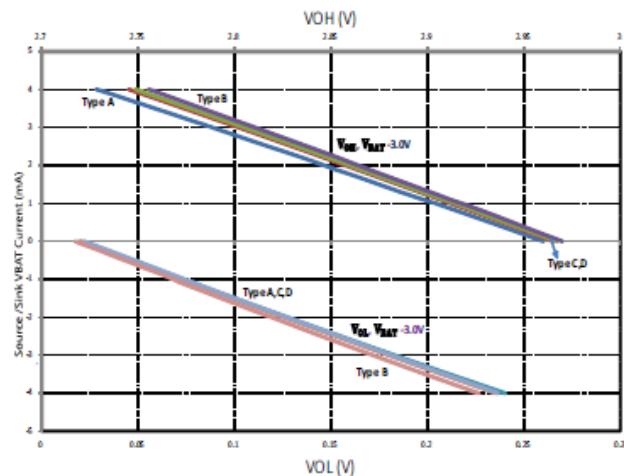


図 18. 出力ダブル・ドライブの強度特性 (VBAT = 3.0 V)

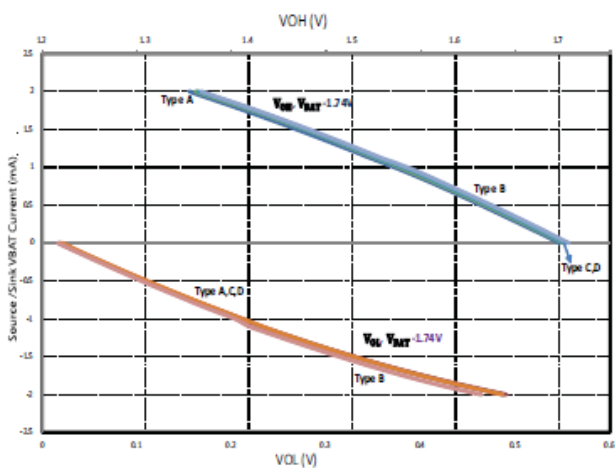


図 17. 出力シングル・ドライブ強度特性 (VBAT = 1.74 V)

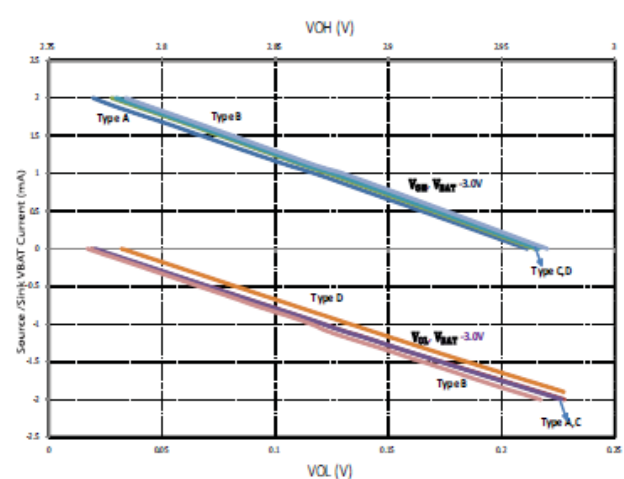


図 19. 出力シングル・ドライブの強度特性 (VBAT = 3.0 V)

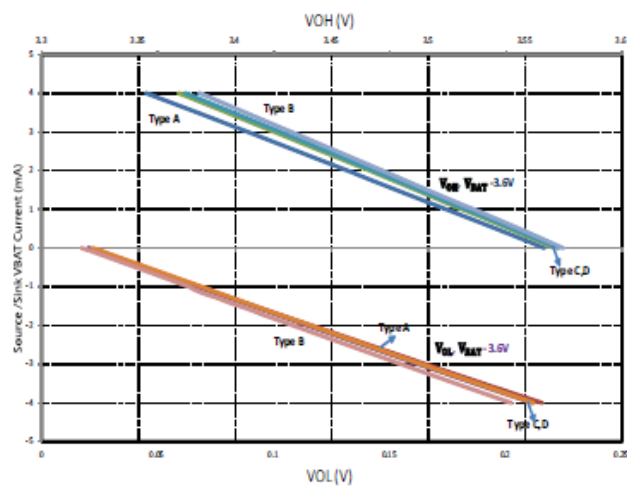


図 20. 出力ダブル・ドライブの強度特性 (V_{BAT} = 3.6 V)

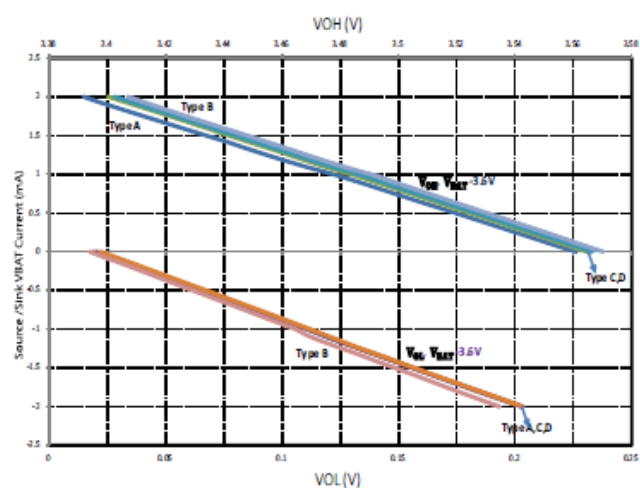


図 21. 出力シングル・ドライブの強度特性 (V_{BAT} = 3.6 V)

環境条件

表 23. 温度特性 (64 ピン LFCSP)

Parameter	Typ	Unit
θ_{JA}	28.2	°C/W
θ_{JC}	5.4	°C/W

θ_{JA} の値は、パッケージの比較と PCB の設計考察のために提供しています。 θ_{JA} は、次の式の T_J の 1 次近似に使用できます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで

T_A は周辺温度です (°C) 。

T_J はジャンクション温度です (°C) 。

P_D は消費電力です (P_D を計算するには、[電源電流](#)のセクションを参照してください)。

θ_{JC} の値は、外付けヒート・シンクが必要な場合のパッケージの比較と PCB の設計考察のために提供しています。

ピン配置およびピン機能の説明

図 22 に、64 ピン LFCSP_WQ の信号配置の概要を示します。

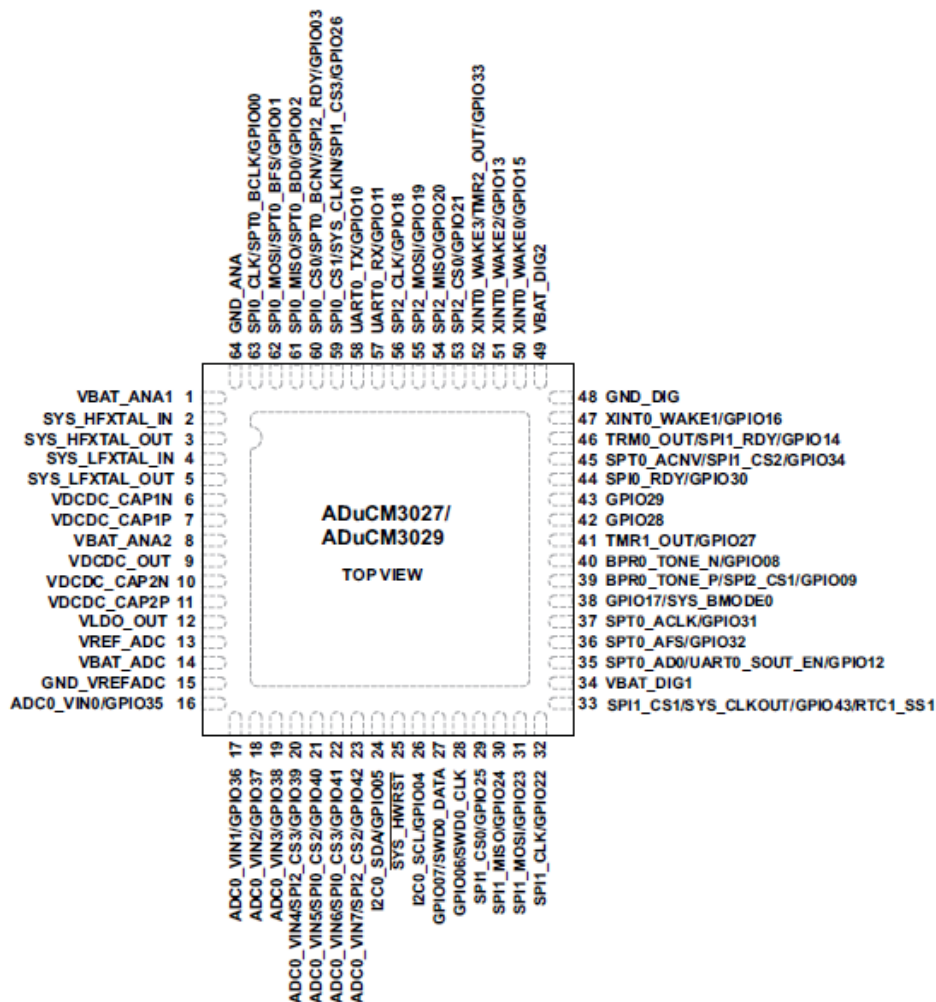


図 22. 64 ピン LFCSP 構成

図 23 に、54 ボール WLCSP の信号配置の概要を示します。

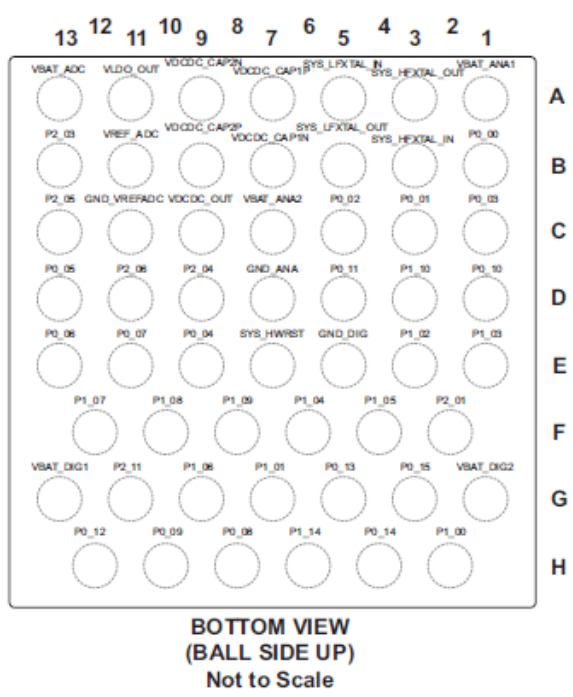


図 23. 54 ボール WLCSP 構成

表 24 に、ADuCM3027/ADuCM3029 MCU の信号の説明を示します。

表 24. 信号機能の説明

GPIO 信号名	説明
SPIn_CLK	SPI クロック、n=0、1、2。
SPIn_MOSI	SPI マスター・アウト、スレーブ・イン、n=0、1、2。
SPIn_MISO	SPI マスター・イン、スレーブ・アウト、n=0、1、2。
SPIn_RDY	SPI レディ信号。n=0、1、2。
SPIn_CSm	SPI チップ選択信号。n=0、1、2、m=0、1、2、3。
SPT0_ACLK	SPORT A クロック信号。
SPT0_AFS	SPORT A フレーム同期。
SPT0_AD0	SPORT A データ・ピン 0。
SPT0_ACNV	ADC とのインターフェース用の SPORT A コンバータ信号。
SPT0_BCLK	SPORT B クロック信号。
SPT0_BFS	SPORT B フレーム同期。
SPT0_BD0	SPORT B データ・ピン 0。
SPT0_BCNV	ADC とのインターフェース用の SPORT B コンバータ信号。
I2C0_SCL	I ² C クロック。
I2C0_SDA	I ² C データ。
SWD0_CLK	シリアル・ワイヤ・デバッグ・クロック。
SWD0_DATA	シリアル・ワイヤ・デバッグ・データ。
BPR0_TONE_N	ビーパー・トーンのマイナス・ピン。
BPR0_TONE_P	ビーパー・トーンのプラス・ピン。
UART0_TX	UART 送信ピン。
UART0_RX	UART 受信ピン。
UART0_SOUT_EN	UART シリアル・データ出力ピン。
XINT0_WAKEn	システム・ウェイクアップ・ピン。Flexi/休止/シャットダウン・モードからのウェイクアップ ¹ 、n=0、1、2、3。
TMRn_OUT	タイマー出力ピン、n=0、1、2。
SYS_BMODE0	ブート・モード・ピン。
SYS_CLKIN	外部クロック入力ピン。
SYS_CLKOUT	外部クロック出力ピン。
RTC1_SS1	RTC1 SensorStrobe ピン。
ADC0_VINn	ADC 電圧入力ピン、n=0、1、2、3、4、5、6、7。

¹ シャットダウンの場合、XINT0_WAKE3 では、シャットダウン・モードからデバイスをウェイクアップできません。

表 25 に、ADuCM3027/ADuCM3029 MCU 用の 64 ピン LFCSP_WQ パッケージをピン番号ごとに示します。

表 25. ピン機能の説明、64 ピン LFCSP_WQ

ピン番号	GPIO	信号名	説明	GPIO プル。
1		VBAT_ANA1	アナログ 3 V 電源。	
2		SYS_HFXTAL_IN	26 MHz の高周波水晶発振器。	
3		SYS_HFXTAL_OUT	26 MHz の高周波水晶発振器。	
4		SYS_LFXTAL_IN	32 kHz の低周波水晶発振器。	
5		SYS_LFXTAL_OUT	32 kHz の低周波水晶発振器。	
6		VDCDC_CAP1N	降圧フライ・キャパシタ	
7		VDCDC_CAP1P	降圧フライ・キャパシタ	
8		VBAT_ANA2	アナログ 3 V 電源。	
9		VDCDC_OUT	降圧出力キャパシタ	
10		VDCDC_CAP2N	降圧フライ・キャパシタ	
11		VDCDC_CAP2P	降圧フライ・キャパシタ	
12		VLDO_OUT	LDO 出力キャパシタ。	
13		VREF_ADC	ADC 用のアナログ・リファレンス電圧。	
14		VBAT_ADC	ADC 用のアナログ 3 V 電源。	
15		GND_VREFADC	ADC 用のリファレンス・グラウンド。	
16	P2_03	ADC0_VIN0/GPIO35		PU
17	P2_04	ADC0_VIN1/GPIO36		PU
18	P2_05	ADC0_VIN2/GPIO37		PU
19	P2_06	ADC0_VIN3/GPIO38		PU
20	P2_07	ADC0_VIN4/SPI2_CS3/GPIO39		PU
21	P2_08	ADC0_VIN5/SPI0_CS2/GPIO40		PU
22	P2_09	ADC0_VIN6/SPI0_CS3/GPIO41		PU
23	P2_10	ADC0_VIN7/SPI2_CS2/GPIO42		PU
24	P0_05	I2C0_SDA/GPIO05		PU
25		SYS_HWRST	システム・ハードウェア・リセット。	
26	P0_04	I2C0_SCL/GPIO04		PU
27	P0_07	GPIO07/SWD0_DATA		PU
28	P0_06	GPIO06/SWD0_CLK		PD
29	P1_09	SPI1_CS0/GPIO25		PU
30	P1_08	SPI1_MISO/GPIO24		PU
31	P1_07	SPI1_MOSI/GPIO23		PU
32	P1_06	SPI1_CLK/GPIO22		PU
33	P2_11	SPI1_CS1/SYS_CLKOUT/GPIO43/RTC1_SS1		PU
34		VBAT_DIG1	デジタル 3 V 電源。	
35	P0_12	SPT0_AD0/GPIO12		PU
36	P2_00	SPT0_AFS/GPIO32		PU
37	P1_15	SPT0_ACLK/GPIO31		PU
38	P1_01	GPIO17/SYS_BMODE0		PU
39	P0_09	BPR0_TONE_P/SPI2_CS1/GPIO09		PU
40	P0_08	BPR0_TONE_N/GPIO08		PU
41	P1_11	TMR1_OUT/GPIO27		PU
42	P1_12	GPIO28		PU
43	P1_13	GPIO29		PU
44	P1_14	SPI0_RDY/GPIO30		PU
45	P2_02	SPT0_ACNV/SPI1_CS2/GPIO34		PU

表 25. ピン機能の説明、64 ピン LFCSP_WQ（続き）

ピン番号	GPIO	信号名	説明	GPIO プル。
46	P0_14	TMR0_OUT/SPI1_RDY/GPIO14		PU
47	P1_00	XINT0_WAKE1/GPIO16		PU
48		GND_DIG	デジタル・グラウンド。	
49		VBAT_DIG2	デジタル 3 V 電源。	
50	P0_15	XINT0_WAKE0/GPIO15		PU
51	P0_13	XINT0_WAKE2/GPIO13		PU
52	P2_01	XINT0_WAKE3/TMR2_OUT/GPIO33		PU
53	P1_05	SPI2_CS0/GPIO21		PU
54	P1_04	SPI2_MISO/GPIO20		PU
55	P1_03	SPI2_MOSI/GPIO19		PU
56	P1_02	SPI2_CLK/GPIO18		PU
57	P0_11	UART0_RX/GPIO11		PU
58	P0_10	UART0_TX/GPIO10		PU
59	P1_10	SPI0_CS1/SYS_CLKIN/SPI1_CS3/GPIO26		PU
60	P0_03	SPI0_CS0/SPT0_BCNV/SPI2_RDY/GPIO03		PU
61	P0_02	SPI0_MISO/SPT0_BD0/GPIO02		PU
62	P0_01	SPI0_MOSI/SPT0_BFS/GPIO01		PU
63	P0_00	SPI0_CLK/SPT0_BCLK/GPIO00		PU
64		GND_ANA	アナログ・グラウンド。	
Exposed Pad		GND	グラウンド。	

表 26 に、ADuCM3027/ADuCM3029 MCU 用の 54 ボール WLCSP パッケージをボール番号ごとに示します。

表 26. ピン機能の説明、54 ボール WLCSP

ボール番号	GPIO	ピン・ラベル	説明	GPIO プル
A01		VBAT_ANA1	アナログ 3 V 電源	
A03		SYS_HFXTAL_OUT	26 MHz の高周波水晶発振器。	
A05		SYS_LFXTAL_IN	32 kHz の低周波水晶発振器。	
A07		VDCDC_CAP1P	降圧フライ・キャパシタ。	
A09		VDCDC_CAP2N	降圧フライ・キャパシタ。	
A11		VLDO_OUT	LDO 出力キャパシタ	
A13		VBAT_ADC	ADC 用のアナログ 3 V 電源。	
B01	P0_00	SPI0_CLK/SPT0_BCLK/GPIO00		PU
B03		SYS_HFXTAL_IN	26 MHz の高周波水晶発振器。	
B05		SYS_LFXTAL_OUT	32 kHz の低周波水晶発振器。	
B07		VDCDC_CAP1N	降圧フライ・キャパシタ。	
B09		VDCDC_CAP2P	降圧フライ・キャパシタ。	
B11		VREF_ADC	ADC 用のアナログ・リファレンス電圧。	
B13	P2_03	ADC0_VIN0/GPIO35		PU
C01	P0_03	SPI0_CS0/SPT0_BCNV/SPI2_RDY/GPIO03		PU
C03	P0_01	SPI0_MOSI/SPT0_BFS/GPIO01		PU
C05	P0_02	SPI0_MISO/SPT0_BD0/GPIO02		PU
C07		VBAT_ANA2	アナログ 3 V 電源	
C09		VDCDC_OUT	降圧出力キャパシタ。	
C11		GND_VREFADC	ADC 用のリファレンス・グラウンド。	
C13	P2_05	ADC0_VIN2/GPIO37		PU
D01	P0_10	UART0_TX/GPIO10		PU
D03	P1_10	SPI0_CS1/SYS_CLKIN/SPI1_CS3/GPIO26		PU
D05	P0_11	UART0_RX/GPIO11		PU
D07		GND_ANA	アナログ・グラウンド。	
D09	P2_04	ADC0_VIN1/GPIO36		PU
D11	P2_06	ADC0_VIN3/GPIO38		PU
D13	P0_05	I2C0_SDA/GPIO05		PU
E01	P1_03	SPI2_MOSI/GPIO19		PU
E03	P1_02	SPI2_CLK/GPIO18		PU
E05		GND_DIG	デジタル・グラウンド。	
E07		SYS_HWRST	システム・ハードウェア・リセット。	
E09	P0_04	I2C0_SCL/GPIO04		PU
E11	P0_07	GPIO07/SWD0_DATA		PU
E13	P0_06	GPIO06/SWD0_CLK		PD
F02	P2_01	XINT0_WAKE3/TMR2_OUT/GPIO33		PU
F04	P1_05	SPI2_CS0/GPIO21		PU
F06	P1_04	SPI2_MISO/GPIO20		PU
F08	P1_09	SPI1_CS0/GPIO25		PU
F10	P1_08	SPI1_MISO/GPIO24		PU
F12	P1_07	SPI1_MOSI/GPIO23		PU
G01		VBAT_DIG2	デジタル 3 V 電源。	
G03	P0_15	XINT0_WAKE0/GPIO15		PU

表 26. ピン機能の説明、54 ボール WLCSP（続き）

ボール番号	GPIO	ピン・ラベル	説明	GPIO プル
G05	P0_13	XINT0_WAKE2/GPIO13	デジタル 3 V 電源。	PU
G07	P1_01	GPIO17/SYS_BMODE0		PU
G09	P1_06	SPI1_CLK/GPIO22		PU
G11	P2_11	SPI1_CS1/SYS_CLKOUT/GPIO43/RTC1_SS1		PU
G13		VBAT_DIG1		
H02	P1_00	XINT0_WAKE1/GPIO16		PU
H04	P0_14	TMR0_OUT/SPI1_RDY/GPIO14		PU
H06	P1_14	SPI0_RDY/GPIO30		PU
H08	P0_08	BPR0_TONE_N/GPIO08		PU
H10	P0_09	BPR0_TONE_P/SPI2_CS1/GPIO09		PU
H12	P0_12	SPT0_AD0/GPIO12/UART0_SOUT_EN		PU

外形寸法

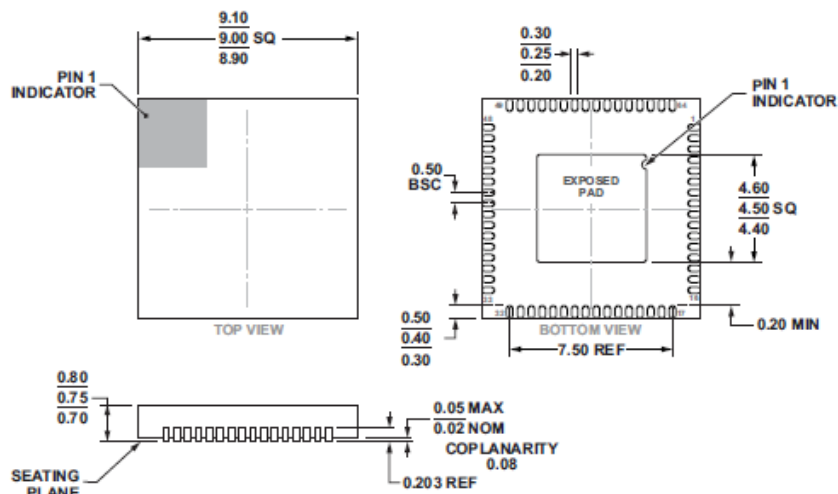


図 24.64 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]

9 mm × 9 mm ボディ、0.75 mm パッケージ高

(CP-64-16)

寸法: mm

注: 露出パッドは接地する必要があります。

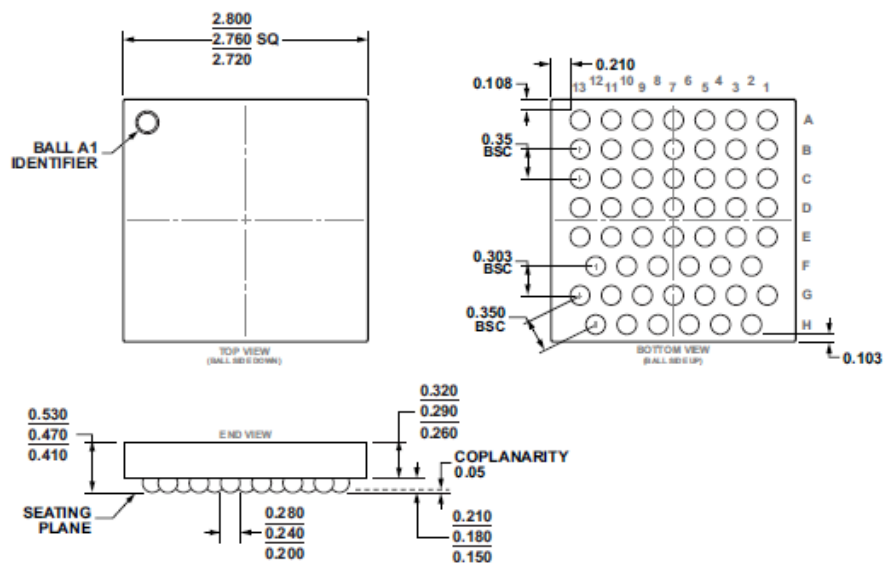


図 25.54 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]

(CB-54-1)

寸法: mm

オーダー・ガイド

Model ¹	Description	Temperature ^{2,3}	Package Description	Package Option
ADUCM3027BCBZ-RL	ULP ARM Cortex-M3 with 128 KB Embedded Flash	−40°C to +85°C	54-Ball WLCSP, 13” Reel	CB-54-1
ADUCM3027BCBZ-R7	ULP ARM Cortex-M3 with 128 KB Embedded Flash	−40°C to +85°C	54-Ball WLCSP, 7” Reel	CB-54-1
ADUCM3027BCPZ	ULP ARM Cortex-M3 with 128 KB Embedded Flash	−40°C to +85°C	64-Lead LFCSP	CP-64-16
ADUCM3027BCPZ-RL	ULP ARM Cortex-M3 with 128 KB Embedded Flash	−40°C to +85°C	64-Lead LFCSP, 13” Reel	CP-64-16
ADUCM3027BCPZ-R7	ULP ARM Cortex-M3 with 128 KB Embedded Flash	−40°C to +85°C	64-Lead LFCSP, 7” Reel	CP-64-16
ADUCM3029BCBZ-RL	ULP ARM Cortex-M3 with 256 KB Embedded Flash	−40°C to +85°C	54-Ball WLCSP, 13” Reel	CB-54-1
ADUCM3029BCBZ-R7	ULP ARM Cortex-M3 with 256 KB Embedded Flash	−40°C to +85°C	54-Ball WLCSP, 7” Reel	CB-54-1
ADUCM3029BCPZ	ULP ARM Cortex-M3 with 256 KB Embedded Flash	−40°C to +85°C	64-Lead LFCSP	CP-64-16
ADUCM3029BCPZ-RL	ULP ARM Cortex-M3 with 256 KB Embedded Flash	−40°C to +85°C	64-Lead LFCSP, 13” Reel	CP-64-16
ADUCM3029BCPZ-R7	ULP ARM Cortex-M3 with 256 KB Embedded Flash	−40°C to +85°C	64-Lead LFCSP, 7” Reel	CP-64-16
ADZS-UCM3029EZLITE	ADuCM3029 Evaluation Kit	−40°C to +85°C	64-Lead LFCSP	CP-64-16

¹ Z = RoHS 準拠製品。

² リファレンス温度は周辺温度です。周辺温度の仕様はありません。温度に関する仕様は T_J（ジャンクション温度）のみです。詳細については、絶対最大定格のセクションを参照してください。

³ これらは事前製造デバイスです。詳細については、ENG グレード協定を参照してください。