

特長

- シングル・チップに全機能内蔵のジャイロスコープ
- 角速度測定レンジ：±300°/sec
- 極めて高い振動除去性能：0.01°/sec/g
- 優れたヌル・バイアス安定性：16°/hour
- チップ内部での温度補償
- 電源投入状態で 2000 g の衝撃耐性
- 16 ビット・データ長の SPI デジタル出力
- 低ノイズと低消費電力
- 動作電圧範囲：3.3~5 V
- 動作温度範囲：-40~+105°C
- 超小型、軽量、RoHS 準拠
- 2つのパッケージ・オプション
 - ヨー角速度（Z 軸）計測向けの低価格 SOIC_CAV パッケージ
 - 革新的なセラミック縦型実装パッケージ（LCC_V）：ピッチ、ロール、ヨー角速度計測のいずれかに対応

アプリケーション

- 振動の激しい環境での回転センシング
- 工業用/計測用アプリケーション向けの回転センシング
- 高性能なプラットフォーム安定化

概要

ADXRS453は、振動の激しい環境における工業用、計測用、安定化アプリケーション向けの角速度センサー（ジャイロスコープ）です。革新的な差動クワッド・センサー構成によって直線加速度の影響が排除されるため、衝撃や振動が存在する厳しい環境での高精度角速度計測が可能です。

ADXRS453は、動作中にバックグラウンドで行われる連続セルフテスト・アーキテクチャを持ちます。電気機械システムの動作をチェックするために、センサー構造に高周波の静電気を印加して、製品に加えられた角速度のデータと区別できるセルフテスト用の角速度信号を生成し、製品の動作中にバックグラウンドでの故障診断を行います。

ADXRS453は、±300°/秒までの角速度を測定することができます。角速度データは、32ビットのSPIデータフレーム中の16ビット・ワードで提供されます。

ADXRS453は、16ピン・プラスチック・キャビティ SOIC (SOIC_CAV) および SMT 互換の縦型実装パッケージ (LCC_V) を採用し、広い電圧範囲 (3.3~5 V) で動作します。

機能ブロック図

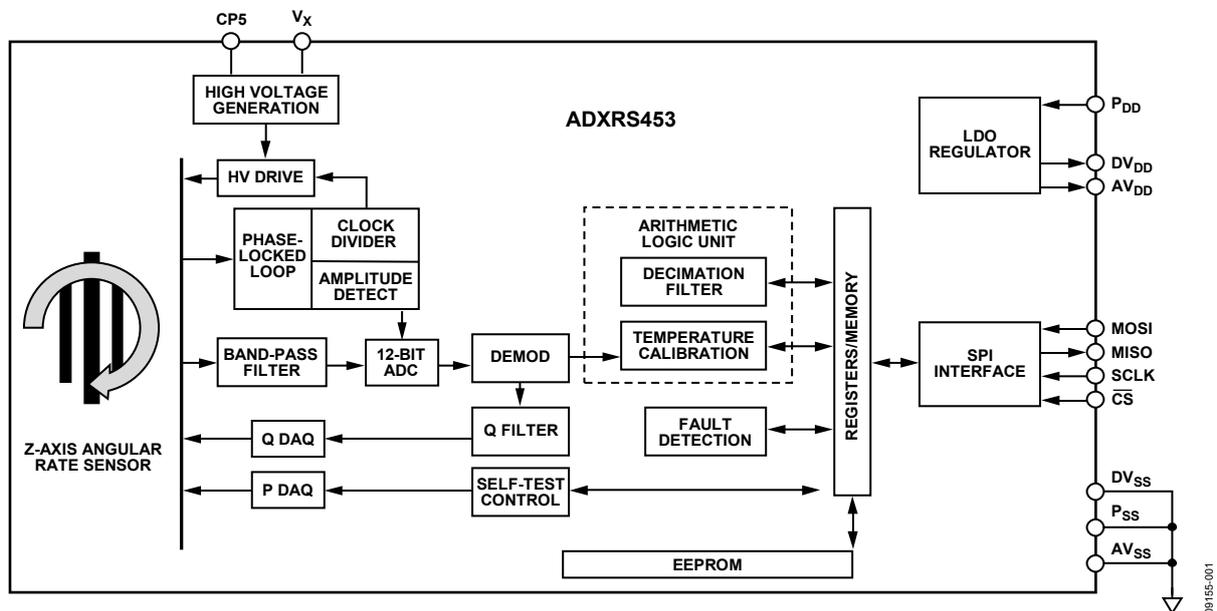


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	アプリケーション回路.....	12
アプリケーション.....	1	ADXRS453 シグナル・チェーンのタイミング.....	13
概要.....	1	SPI通信プロトコル.....	14
機能ブロック図.....	1	コマンド/応答.....	14
改訂履歴.....	2	デバイス・データのラッチ機能.....	15
仕様.....	3	SPIのタイミング特性.....	16
絶対最大定格.....	4	コマンド/応答のビット定義.....	17
熱抵抗.....	4	フォルト・レジスタのビット定義.....	18
レート感度軸.....	4	CHKビット・アサーションによる推奨スタートアップ・シーケンス.....	20
ESDに関する注意.....	4	レート・データ・フォーマット.....	21
ピン配置と機能の説明.....	5	メモリ・マップとレジスタ.....	22
代表的な性能特性.....	7	メモリ・マップ.....	22
動作原理.....	9	メモリ・レジスタの定義.....	23
連続セルフテスト.....	9	パッケージの向きとレイアウト情報.....	25
機械的性能.....	10	ハンダ付けプロファイル.....	27
ノイズ性能.....	11	パッケージのマーキング・コード.....	28
アプリケーション情報.....	12	外形寸法.....	29
キャリブレーション済みの性能.....	12	オーダー・ガイド.....	30
取付けの際の機械上の留意点.....	12		

改訂履歴

1/11—Revision 0: Initial Version

仕様

$T_A = T_{MIN} \sim T_{MAX}$ 、 $P_{DD} = 5\text{ V}$ 、角速度 = $0^\circ/\text{秒}$ 、帯域幅 = $f_0/200$ (約 77.5 Hz)、 $\pm 1\text{ g}$ 、連続セルフテストはオン。

表 1.

Parameter	Test Conditions/Comments	Symbol	Min	Typ	Max	Unit
MEASUREMENT RANGE	Full-scale range	FSR	± 300		± 400	$^\circ/\text{sec}$
SENSITIVITY	See Figure 2					
Nominal Sensitivity				80		LSB/ $^\circ/\text{sec}$
Sensitivity Tolerance	$T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$		-3		+3	%
Nonlinearity ¹	Best fit straight line			0.05		% FSR rms
Cross-Axis Sensitivity ²			-3		+3	%
NULL ACCURACY	$T_A = 25^\circ\text{C}$ $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$			± 0.4 ± 0.5		$^\circ/\text{sec}$ $^\circ/\text{sec}$
NOISE PERFORMANCE						
Rate Noise Density	$T_A = 25^\circ\text{C}$ $T_A = 105^\circ\text{C}$			0.015 0.023		$^\circ/\text{sec}/\sqrt{\text{Hz}}$ $^\circ/\text{sec}/\sqrt{\text{Hz}}$
LOW-PASS FILTER						
Cutoff (-3 dB) Frequency	$f_0/200$	f_{LP}		77.5		Hz
Group Delay ³	$f = 0\text{ Hz}$	t_{LP}	3.25	4	4.75	ms
SENSOR RESONANT FREQUENCY		f_0	13	15.5	19	kHz
SHOCK AND VIBRATION IMMUNITY						
Sensitivity to Linear Acceleration	DC to 5 kHz			0.01		$^\circ/\text{sec}/\text{g}$
Vibration Rectification				0.0002		$^\circ/\text{sec}/\text{g}^2$
SELF-TEST	See the Continuous Self-Test section					
Magnitude				2559		LSB
Fault Register Threshold	Compared to LOCSTx register data		2239		2879	LSB
Sensor Data Status Threshold	Compared to LOCSTx register data		1279		3839	LSB
Frequency	$f_0/32$	f_{ST}		485		Hz
ST Low-Pass Filter						
Cutoff (-3 dB) Frequency	$f_0/8000$			1.95		Hz
Group Delay			52	64	76	ms
SPI COMMUNICATIONS						
Clock Frequency					8.08	MHz
Voltage Input High	MOSI, $\overline{\text{CS}}$, SCLK		$0.85 \times P_{DD}$		$P_{DD} + 0.3$	V
Voltage Input Low	MOSI, $\overline{\text{CS}}$, SCLK		-0.3		$P_{DD} \times 0.15$	V
Voltage Output Low	MISO, current = 3 mA				0.5	V
Voltage Output High	MISO, current = -2 mA		$P_{DD} - 0.5$			V
Pull-Up Current	$\overline{\text{CS}}$, $P_{DD} = 3.3\text{ V}$, $\overline{\text{CS}} = P_{DD} \times 0.15$ $\overline{\text{CS}}$, $P_{DD} = 5\text{ V}$, $\overline{\text{CS}} = P_{DD} \times 0.15$			60	200	μA
				80	300	μA
MEMORY REGISTERS	See the Memory Register Definitions section					
Temperature Register						
Value at 45°C				0		LSB
Scale Factor				5		LSB/ $^\circ\text{C}$
Quadrature, Self-Test, and Rate Registers						
Scale Factor				80		LSB/ $^\circ/\text{sec}$
POWER SUPPLY						
Supply Voltage		P_{DD}	3.15		5.25	V
Quiescent Supply Current		I_{DD}		6.0	8.0	mA
Turn-On Time	Power-on to 0.5%/sec of final value			100		ms

¹ 最大値は、アナログ・デバイセズ社の特性評価により保証しています。

² 交差軸感度仕様には、プリント回路基板 (PCボード) へのデバイス実装による影響は含まれていません。

³ 最小値と最大値は、設計により保証しています。

ADXRS453

絶対最大定格

表 2.

Parameter	Rating
Acceleration (Any Axis, 0.5 ms)	
Unpowered	2000 g
Powered	2000 g
Supply Voltage (P _{DD})	-0.3 V to +6.0 V
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
Operating Temperature Range	
LCC_V Package	-55°C to +125°C
SOIC_CAV Package	-40°C to +125°C
Storage Temperature Range	
LCC_V Package	-65°C to +150°C
SOIC_CAV Package	-40°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわちプリント回路基板（PCボード）に表面実装パッケージをハンダ付けした状態で規定しています。

表 3. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
16-Lead SOIC_CAV (RG-16-1)	191.5	25	°C/W
14-Lead Ceramic LCC_V (EY-14-1) ¹	185.5	23	°C/W

¹ LCC_Vパッケージの熱抵抗は、縦型レイアウトの場合であり、横型レイアウトではありません。

レート感度軸

ADXRS453には、2つのパッケージ・オプションが用意されています。

- SOIC_CAVパッケージは、z軸（ヨー）角速度計測を必要とするアプリケーション向けです。
- LCC_V（縦型実装）パッケージは、x軸またはy軸（ピッチまたはロール）角速度計測を必要とするアプリケーション、およびz軸（ヨー）角速度計測を必要とするアプリケーション向けです。ピンはパッケージの2つの面にあり、ピッチまたはロール計測の場合は縦型で、ヨー計測の場合は横型で実装できます。

詳細は図2を参照してください。

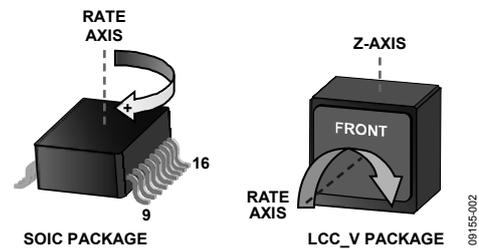


図 2. レート信号は時計回りに増加

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

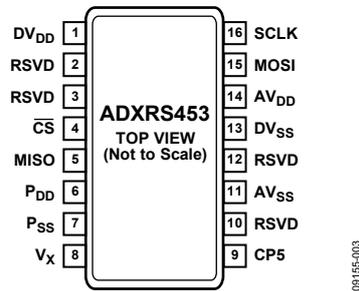


図 3. ピン配置、16 ピン SOIC_CAV

表 4. ピン機能の説明、16 ピン SOIC_CAV

ピン番号	記号	説明
1	DV _{DD}	デジタル回路用の安定化された電源。アプリケーション回路図については図 26を参照。
2	RSVD	予備。DV _{SS} に接続。
3	RSVD	予備。DV _{SS} に接続。
4	$\overline{\text{CS}}$	チップ・セレクト。
5	MISO	マスター入力/スレーブ出力。
6	P _{DD}	電源電圧。
7	P _{SS}	スイッチング・レギュレータ・グラウンド。
8	V _X	高電圧スイッチング・ノード。アプリケーション回路図については図 26を参照。
9	CP5	高圧電源。アプリケーション回路図については図 26を参照。
10	RSVD	予備。DV _{SS} に接続。
11	AV _{SS}	アナログ・グラウンド。
12	RSVD	予備。DV _{SS} に接続。
13	DV _{SS}	デジタル信号グラウンド。
14	AV _{DD}	アナログ回路用の安定化された電源。アプリケーション回路図については図 26を参照。
15	MOSI	マスター出力/スレーブ入力。
16	SCLK	SPI クロック。

ADXRS453

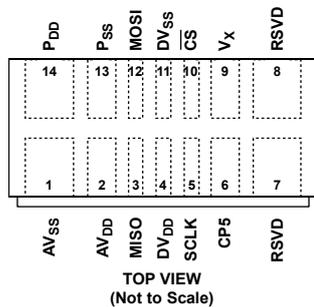


図 4. ピン配置、14 端子 LCC_V (縦型レイアウト)

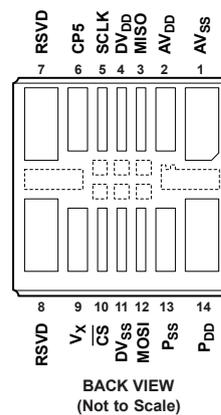


図 5. ピン配置、14 端子 LCC_V (横型レイアウト)

表 5. ピン機能の説明、14 端子 LCC_V

ピン番号	記号	説明
1	AV _{SS}	アナログ・グラウンド。
2	AV _{DD}	アナログ回路用の安定化された電源。アプリケーション回路図については図 27を参照。
3	MISO	マスター入力/スレーブ出力。
4	DV _{DD}	デジタル回路用の安定化された電源。アプリケーション回路図については図 27を参照。
5	SCLK	SPI クロック。
6	CP5	高圧電源。アプリケーション回路図については図 27を参照。
7	RSVD	予備。DV _{SS} に接続。
8	RSVD	予備。DV _{SS} に接続。
9	V _x	高電圧スイッチング・ノード。アプリケーション回路図については図 27を参照。
10	CS	チップ・セレクト。
11	DV _{SS}	デジタル信号グラウンド。
12	MOSI	マスター出力/スレーブ入力。
13	P _{SS}	スイッチング・レギュレータ・グラウンド。
14	P _{DD}	電源電圧。

代表的な性能特性

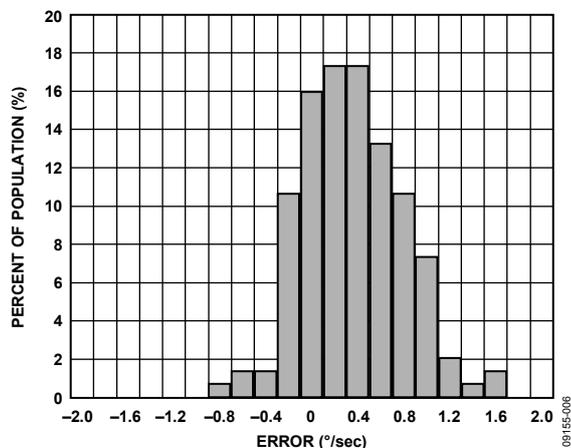


図 6. SOIC_CAV のヌル精度 (25°C)

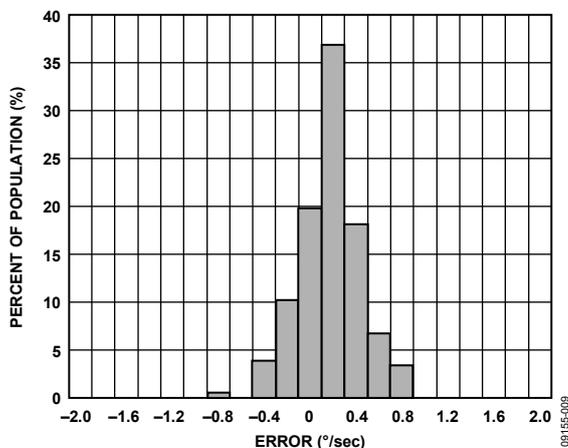


図 9. LCC_V のヌル精度 (25°C)

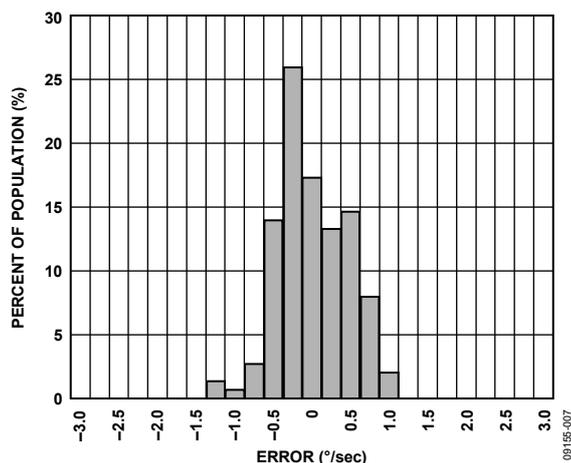


図 7. SOIC_CAV の温度に対するヌル・ドリフト

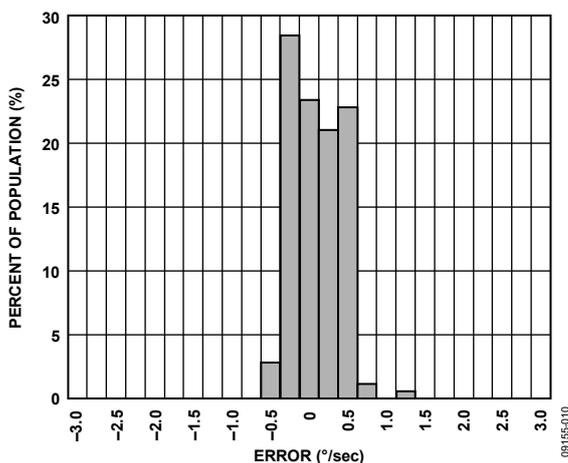


図 10. LCC_V の温度に対するヌル・ドリフト

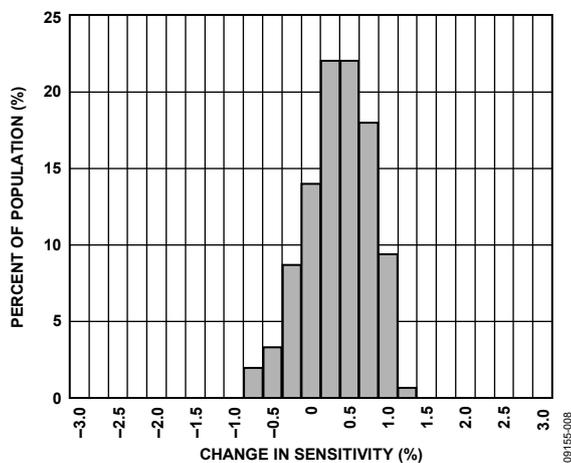


図 8. SOIC_CAV の感度誤差 (25°C)

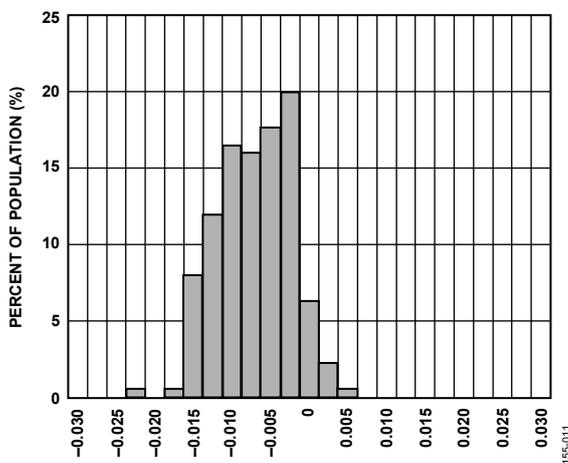


図 11. LCC_V の感度誤差 (25°C)

ADXRS453

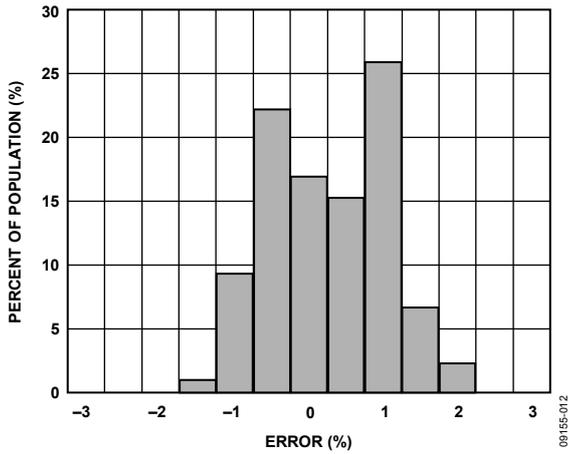


図 12. SOIC_CAV の温度に対する感度ドリフト

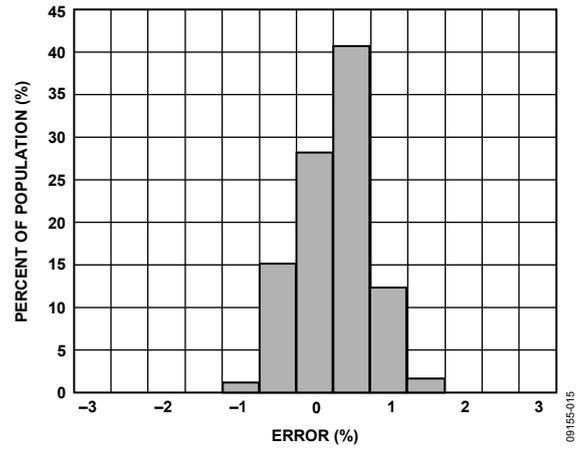


図 15. LCC_V の温度に対する感度ドリフト

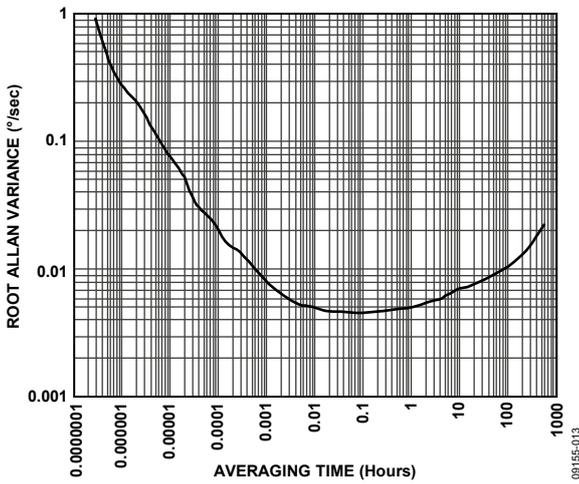


図 13. ルート・アラン分散 (40°C)

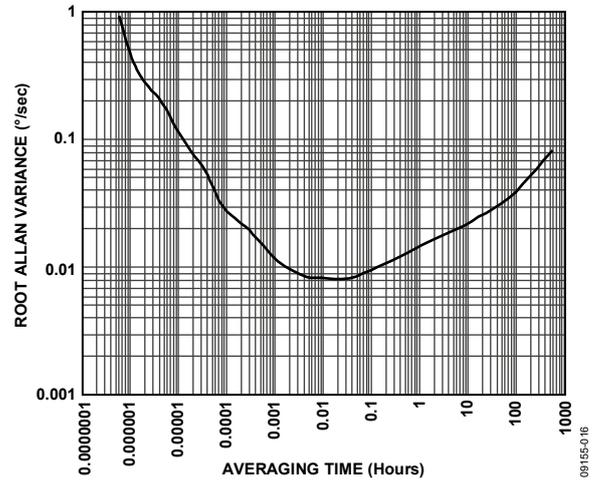


図 16. ルート・アラン分散 (105°C)

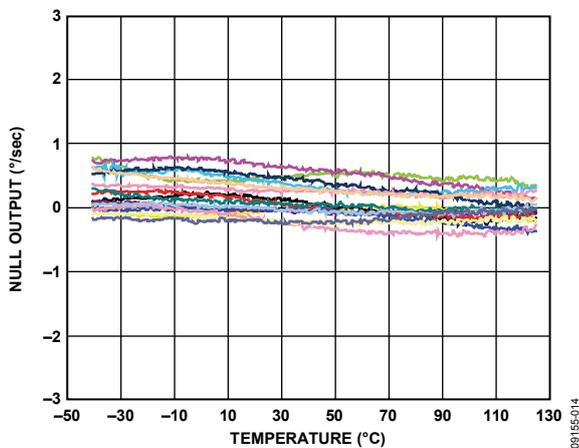


図 14. 温度に対するヌル出力、16 個のデバイスを PCB にハンダ付け

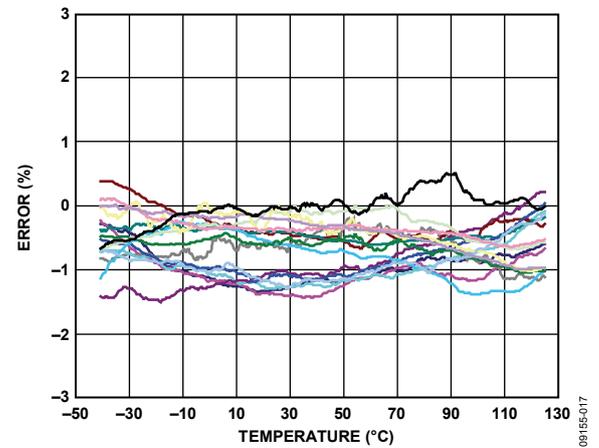


図 17. 温度に対する感度、16 個のデバイスを PCB にハンダ付け

動作原理

ADXRS453は振動ジャイロスコープの原理で動作します。図18に、ポリシリコンで形成される4つのセンシング構造のうち1つの簡略図を示します。各センシング構造には、静電駆動によって共振する振動子構造があります。これによって、角速度が生じたときにコリオリ力を生成するために必要な速度が得られます。SOIC_CAVパッケージのADXRS453はz軸（ヨー）角速度の検出用に設計されています。LCC_V縦型実装パッケージは、基板上のx軸（ピッチ）角速度またはy軸（ロール）角速度を検出できるようにデバイスを配置します。

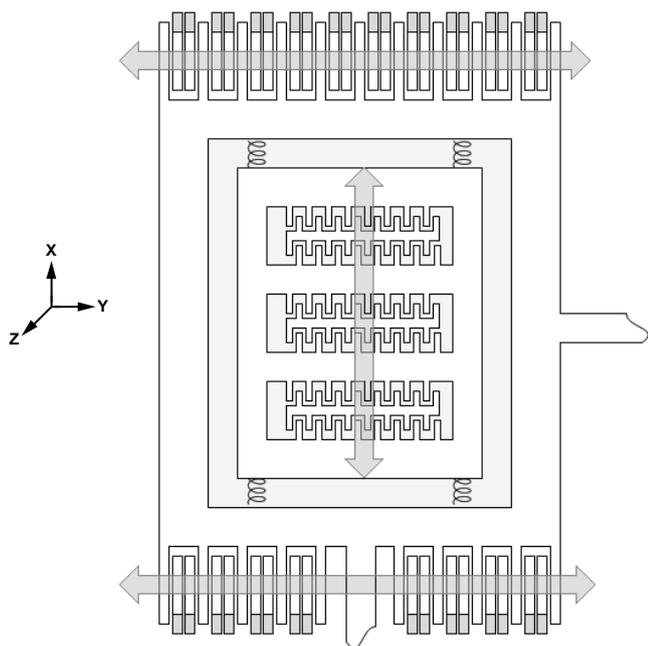


図 18. ジャイロスコープ・センシング構造の簡略図

センシング構造に角速度が加えられると、振動子構造に発生したコリオリ力が外周のセンス・フレームに伝わります。このセンス・フレームは櫛歯を持ち、この櫛歯を可動櫛歯と呼びます。可動櫛歯と固定櫛歯の間にはシリコンダイ上に固定された櫛歯が配置されています。可動櫛歯と固定櫛歯によって形成される静電容量は、コリオリ力が発生すると変化し、その結果得られた信号はゲイン段と復調段に送られ、角速度信号出力が生成されます。クラウド・センサー設計により直線加速度と角加速度を排除することができ、これには重力加速度と振動も含まれます。4つのセンシング構造を機械的に結合することにより、外部加速度を共通モード信号として取り出し、ADXRS453に実装された完全差動アーキテクチャで除去することが出来る為です。

振動子の動作には、22.5 V (typ) が必要です。大部分のアプリケーションでは一般に 5 V しか使用できないため、ADXRS453 はスイッチング・レギュレータを内蔵しています。

連続セルフテスト

ADXRS453 ジャイロスコープは、動作中にバックグラウンドで動作する連続セルフテストを内蔵しています。センス・フレームに静電気が加わると、可動櫛歯の位置が変位します。この変位は、角速度信号入力により発生する変位とまったく等価です。静電気力によって発生するセンス・フレームからの出力が、角速度信号と同じ信号処理回路によって処理されるため、製品全体の電気/機械部の動作診断を行う事ができます。

連続セルフテストは、デバイスの動作中にバックグラウンドで、出力信号の帯域幅よりも高い周波数で実行されます。セルフテスト・ルーチンは、正と負の等価な角速度信号の変位を生成します。その後、この情報は製品内部でフィルタされる為、通常の角速度信号は連続セルフテストに影響されません。

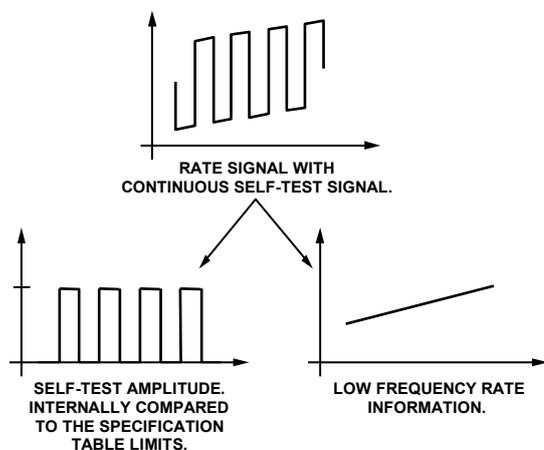


図 19. 連続セルフテスト復調

正と負のセルフテスト変位量の差分は $f_0/8000$ (約 1.95 Hz) にフィルタされ、ハード的に実装されたセルフテスト限界値との比較が行われます。測定された振幅がこれらの限界値 (表 1 に記載) から外れる場合、セルフテスト変位量の大きさに応じて、2つの故障モードのうち的一方がSPI通信を通してマスターに通知されません。

- セルフテスト誤差が小さい場合、フォルト・レジスタの CST ビットがアサートされますが、Sensor Data 応答のステータス・ビット (ST[1:0]) は有効なセンサー・データに対応する 01 に設定されたままです。
- セルフテスト誤差が大きい場合は、フォルト・レジスタの CST ビットがアサートされ、Sensor Data 応答のステータス・ビット (ST[1:0]) は無効なセンサー・データに対応する 00 に設定されます。

表 1 は、これらの障害条件に対する閾値を示しています。必要であれば、LOCSTレジスタ (アドレス 0x04) にReadコマンドを発行してセルフテスト情報に直接アクセスすることができます。故障診断結果通知の詳細については、「SPI通信プロトコル」を参照してください。

機械的性能

ADXRS453は、優れた衝撃／振動除去性能を持ちます。図20は、振動のない環境におけるADXRS453の出力ノイズ応答を示しています。図21は、15 g rmsのランダム振動（50 Hz～5 kHz）に対する同じデバイスの応答です。図21に示すように、特に振動の影響を受けやすい周波数はありません。またすべての軸からの振動に対して同じような応答となります。

図22と図23に示すように、ADXRS453は衝撃応答も優れています。図22は各軸に対する99 gの入力加速度を示しており、図23はこの衝撃に対する各軸の代表的な応答です。0.01°/sec/gの衝撃応答性能である事がわかります。

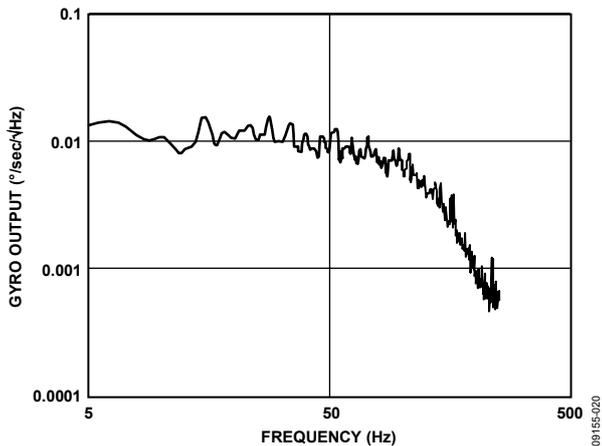


図20. ADXRS453の出力ノイズ応答、振動の印加なし

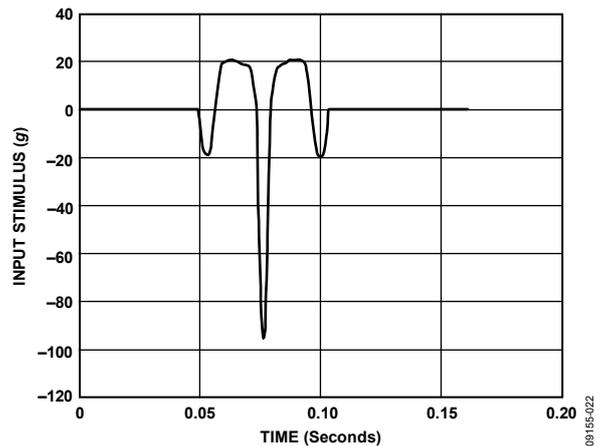


図22. 99 gの衝撃入力

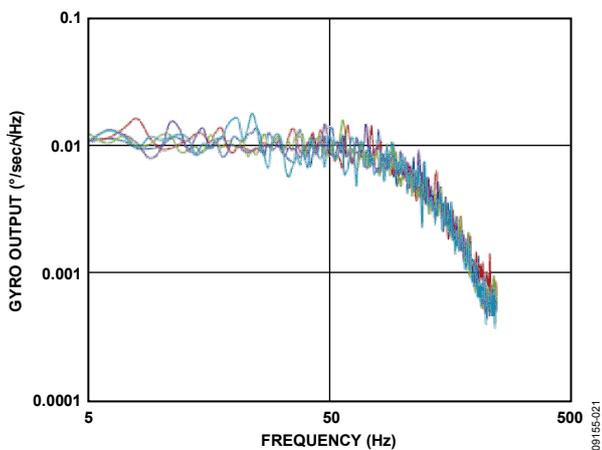


図21. ADXRS453の出力ノイズ応答、15 g RMSのランダム振動（50 Hz～5 kHz）を印加

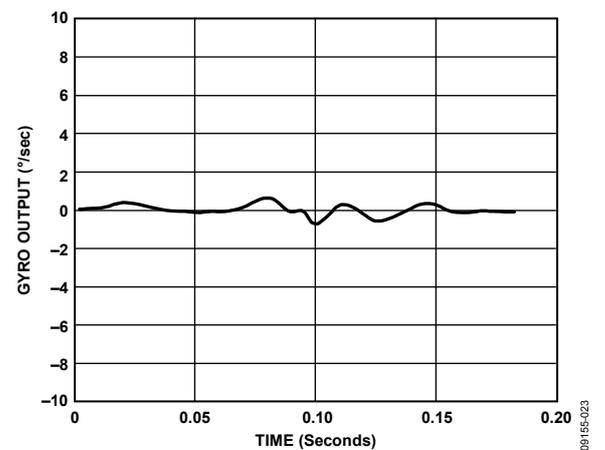


図23. 99 gの衝撃に起因する代表的な出力応答（図22を参照）

ノイズ性能

ADXRS453 のノイズ性能は、デバイス間のばらつきがほとんどなく、温度に対してきわめて予測性の高い変化を示します。表 6 に、ADXRS453 デバイスの大きな母集団（複数の製造ロットからの 3000 個以上の製品）における 3 つの温度ポイントでのノイズ・データの統計値を示します。

表 6. 統計ノイズ・データ

Temperature	Noise ($^{\circ}/\text{sec}/\sqrt{\text{Hz}}$)	
	Mean	Standard Deviation
-40 $^{\circ}\text{C}$	0.0109	0.0012
+25 $^{\circ}\text{C}$	0.0149	0.0015
+105 $^{\circ}\text{C}$	0.0222	0.0019

図 24 に示すように、ノイズは温度の上昇に応じてほぼ直線的に増加します。

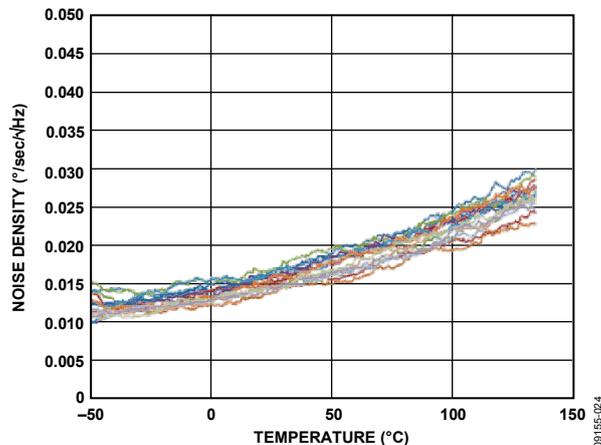


図 24. ノイズ密度の温度特性、16 個のデバイス

ADXRS453

アプリケーション情報

キャリブレーション済みの性能

ADXRS453 ジャイロスコープは、内部 EEPROM メモリを使用して温度補正情報を格納します。補正情報は、工場での出荷テスト時にデバイスにエンコードされます。ADXRS453 は補正データを使用して、温度に対するオフセット/感度/セルフテスト変位量を補正します。この情報が製品内部に格納されているので、殆どの場合においてシステム・レベルでの温度補正は不要となります。

取付けの際の機械上の留意点

ADXRS453 は、基板支持点の近くに取り付けることを推奨します。ジャイロスコープは基板の共振の影響を受けやすいため、ADXRS453 を基板の支持がない場所 (図 25 に示すように、レバーの端や中央) に取り付けると、基板の共振による測定誤差が大きくなる場合があります。一般に基板支持点は共振周波数が高い為、ジャイロスコープを基板支持点の近くに配置すれば基板の振動による有害なエイリアシングが発生しにくくなります。エイリアシング信号が角速度の測定帯域に混入しないように、最初のシステム・レベル共振周波数が 800 Hz より高くなるようにモジュールを設計する事を推奨します。

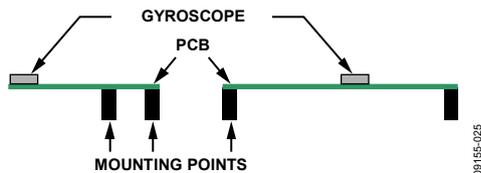


図 25. ジャイロスコープの悪い配置例

アプリケーション回路

図 26 と図 27 は、ADXRS453 ジャイロスコープの推奨アプリケーション回路です。このアプリケーション回路をそれぞれのパッケージ・タイプの接続の参考にしてください。DV_{DD}、AV_{DD}、P_{DD} は、それぞれ 1 μF コンデンサを介して接地します。これらの電源電圧同士を接続しないでください。さらに、内部シャント・レギュレータの正しい動作のために、外部ダイオードとインダクタを接続する必要があります (表 7 を参照)。これらの部品によって、内部振動子を駆動する為に必要な電圧が生成されます。

表 7. ADXRS453 アプリケーション回路の部品

Component	Qty	Description
Inductor	1	470 μH
Diode	1	>24 V breakdown voltage
Capacitor	3	1 μF
Capacitor	1	100 nF

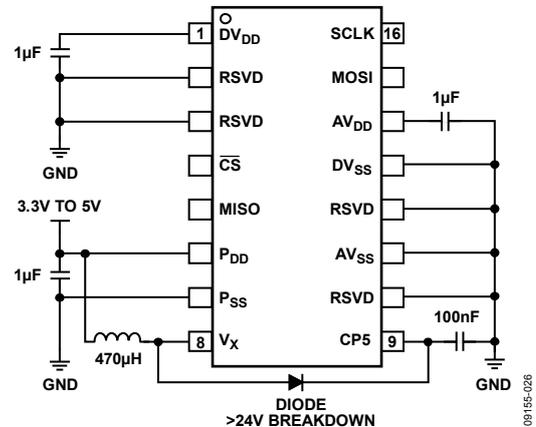


図 26. 推奨するアプリケーション回路 (SOIC_CAV パッケージ)

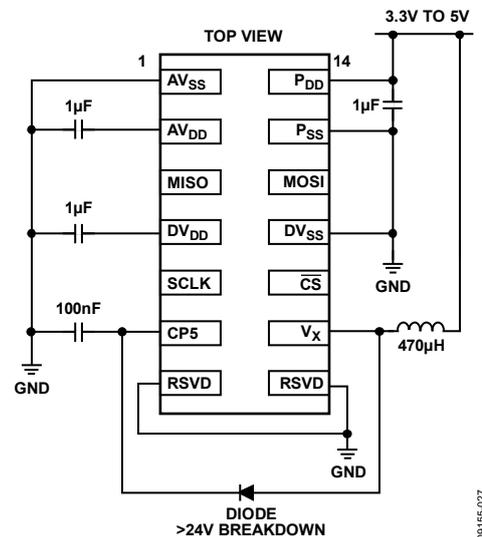


図 27. 推奨するアプリケーション回路 (LCC_V パッケージ)

ADXRS453 シグナル・チェーンのタイミング

ADXRS453 の主要なシグナル・チェーンを図 28 に示します。シグナル・チェーンは、角速度データを生成および処理するために必要な機能回路ブロックの集合です。デバイスが外部の角速度入力を SPI ワードに変換してマスターに送信するまでの時間は、この電気機械部の特性によって決まります。

フィルタ特性の一つである群遅延は、ローパス・フィルタの出力が外部レート入力の 10% 以内に収まるために必要な時間です。図 28 は、角速度データ LPF の群遅延が約 4 ms であることを示しています。これに加えて、SPI 処理のタイミングや内部デバイス・レジスタへの角速度データの取込みに起因する遅延も発生します。図 28 は、この遅延をシグナル・チェーンの要素ごとに示しています。

角速度データ LPF の伝達関数は次式で表すことができます。

$$\left[\frac{1 - Z^{-64}}{1 - Z^{-1}} \right]^2$$

ここで、

$$T = \frac{1}{f_0} = \frac{1}{16 \text{ kHz (typ)}}$$

(f_0 は ADXRS453 の共振周波数です。)

連続セルフテスト LPF の伝達関数は次式で表すことができます。

$$\frac{1}{64 - (63 \times Z^{-1})}$$

ここで、

$$T = \frac{16}{f_0} = 1 \text{ ms (typ)}$$

(f_0 は ADXRS453 の共振周波数です。)

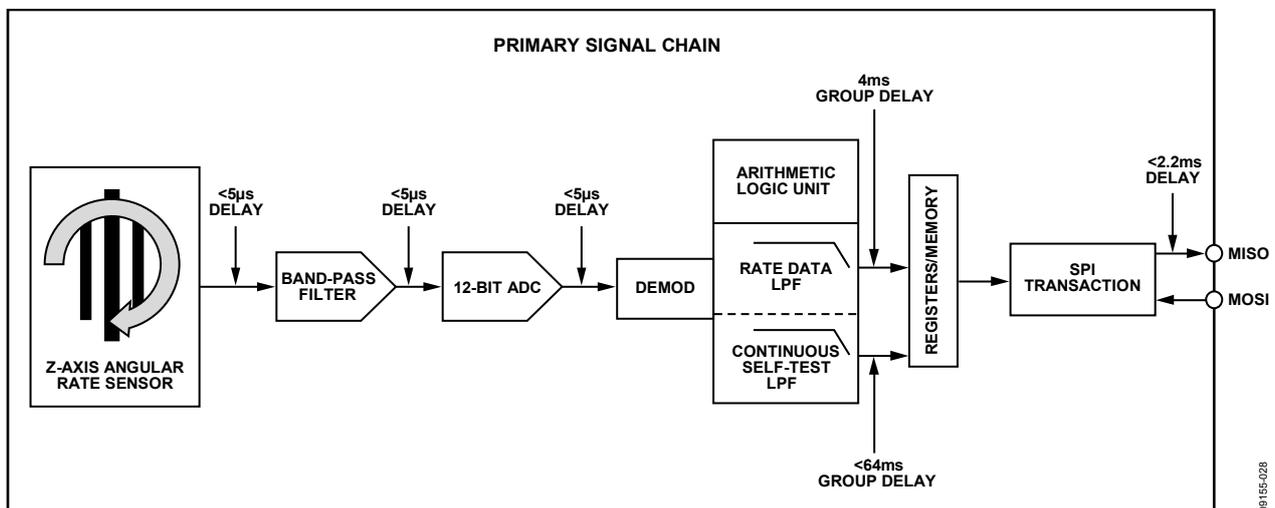


図 28. 主要なシグナル・チェーンと関連する遅延

09/155-028

ADXRS453

SPI通信プロトコル

コマンド/応答

入出力は、32ビットデータフレームのコマンド/応答SPIインターフェースを介して処理されます。各コマンドへの応答は、コマンドが送られた次のSPI通信時に発行されます(図29を参照)。

インターフェースのフォーマットは次のように定義されます。

$$\text{Clock Phase} = \text{Clock Polarity} = 0$$

表9に、マスター・デバイスからジャイロスコープに送信できるコマンドを示します。表10は、これらのコマンドに対するジャイロスコープの応答です。コマンドと応答の各ビットの説明については、「コマンド/応答のビット定義」と「フォルト・レジスタのビット定義」を参照してください。

最初のコマンド発行時に送信されるデバイスからの応答は0x00000001です。この応答によって、最初のコマンド/応答交

換時に ADXRS453 からマスター・デバイスに送信されるデータが不定とならないようにしています。

SPIインターフェースは、表8に示すADXRS453ピンを使用します。

表8. SPI信号

Signal	Pin	Description
Serial Clock	SCLK	Exactly 32 clock cycles during CS active
Chip Select	CS	Active low chip select pin
Master Out/ Slave In	MOSI	Input for data sent to the gyroscope (slave) from the main controller (master)
Master In/ Slave Out	MISO	Output for data sent to the main controller (master) from the gyroscope (slave)

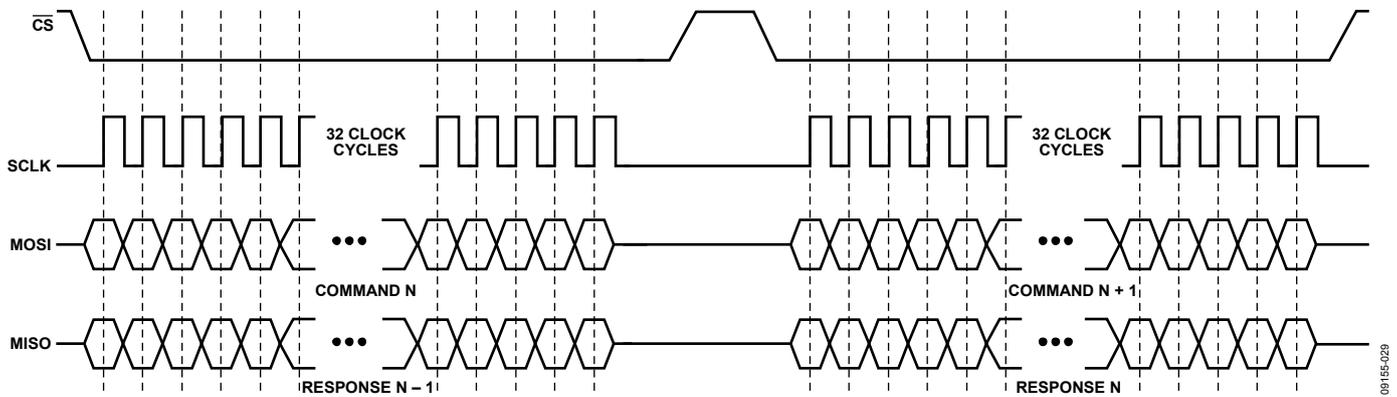


図29. SPIプロトコル

表9. SPIコマンド

Command	Bit																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Sensor Data	SQ1	SQ0	1	SQ2																											CHK	P
Read			0	SM2	SM1	SM0	A8	A7	A6	A5	A4	A3	A2	A1	A0																	P
Write			0	SM2	SM1	SM0	A8	A7	A6	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	P

表10. SPI応答

Command	Bit																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Sensor Data	SQ2	SQ1	SQ0	P0	ST1	ST0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0			PLL	Q	NVM	POR	PWR	CST	CHK	P1
Read	0	1	0	P0	1	1	1	0	SM2	SM1	SM0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					P1
Write	0	0	1	P0	1	1	1	0	SM2	SM1	SM0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					P1
R/W Error	0	0	0	P0	1	1	1	0	SM2	SM1	SM0	0	0	SPI	RE	DU									PLL	Q	NVM	POR	PWR	CST	CHK	P1

デバイス・データのラッチ機能

ADXRS453 からデータを短時間に取得できるように、図 30に示すように、デバイス・データのラッチ機能が実装されています。CSピンがアサートされる（CSがローレベルになる）と、デバイス内のデータがメモリにラッチされます。すべてのMOSIコマンドが受信された後にCSピンのアサートが解除される（CSがハイレベルになる）と、次のコマンド/応答交換に備えて、ラッチされてい

たデータがSPIポート・レジスタにシフトされます。デバイス・データのラッチ機能によって、0.1 μ sというきわめて高速な逐次伝達遅延が実現します（表 11を参照）。

送信されるデータの新鮮さは、逐次伝達遅延により限定されます。逐次伝達遅延が数秒という条件では、取得する最新のデータは常に数秒古いデータとなってしまいます。

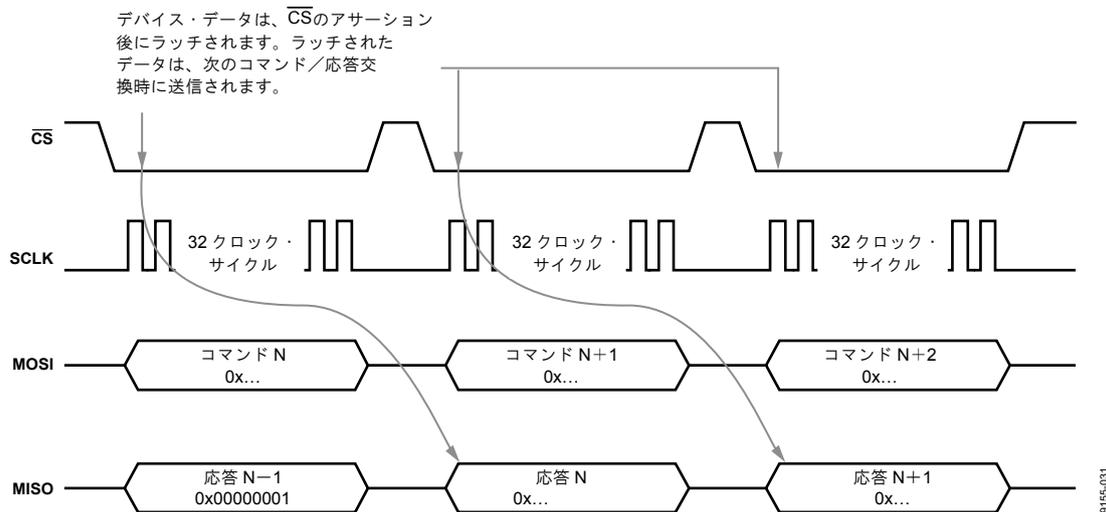


図 30. デバイス・データのラッチ機能

ADXRS453

SPIのタイミング特性

表 11に示すSPIコマンド／応答のタイミング特性は、次の条件で規定されています。

- すべてのタイミング・パラメータは、特性評価により保証されています。
- すべてのタイミングは、10% DV_{DD} と実際に出力された電圧波形の90%に対するものです。

- パラメータは、 $3.0\text{ V} \leq DV_{DD} \leq 5.5\text{ V}$ の場合に有効です。
- すべての信号の容量性負荷は、 $\leq 80\text{ pF}$ と想定しています。
- 周囲温度は、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$ です。
- MISOプルアップは、 $47\text{ k}\Omega$ または $110\text{ }\mu\text{A}$ です。

表 11. SPI コマンド／応答のタイミング特性

Symbol	Min	Max	Unit	Description
f_{OP}		8.08	MHz	SPI operating frequency
t_{SCLKH}	$1/2 \times t_{SCLK} - 13$		Ns	SCLK high time
t_{SCLKL}	$1/2 \times t_{SCLK} - 13$		Ns	SCLK low time
t_{SCLK}	123.7		Ns	SCLK period
t_F	5.5	13	Ns	SCLK fall time
t_R	5.5	13	Ns	SCLK rise time
t_{SU}	37		Ns	Data input (MOSI) setup time
t_{HIGH}	49		Ns	Data input (MOSI) hold time
t_A		20	Ns	Data output (MISO) access time
t_V		40	ns	Data output (MISO) valid after SCLK
t_{LAG_MISO}	0		ns	Data output (MISO) lag time
t_{DIS}		40	ns	Data output (MISO) disable time
t_{LEAD}	$1/2 \times t_{SCLK}$		ns	Enable (\overline{CS}) lead time
t_{LAG_CS}	$1/2 \times t_{SCLK}$		ns	Enable (\overline{CS}) lag time
t_{TD}	0.1		μs	Sequential transfer delay

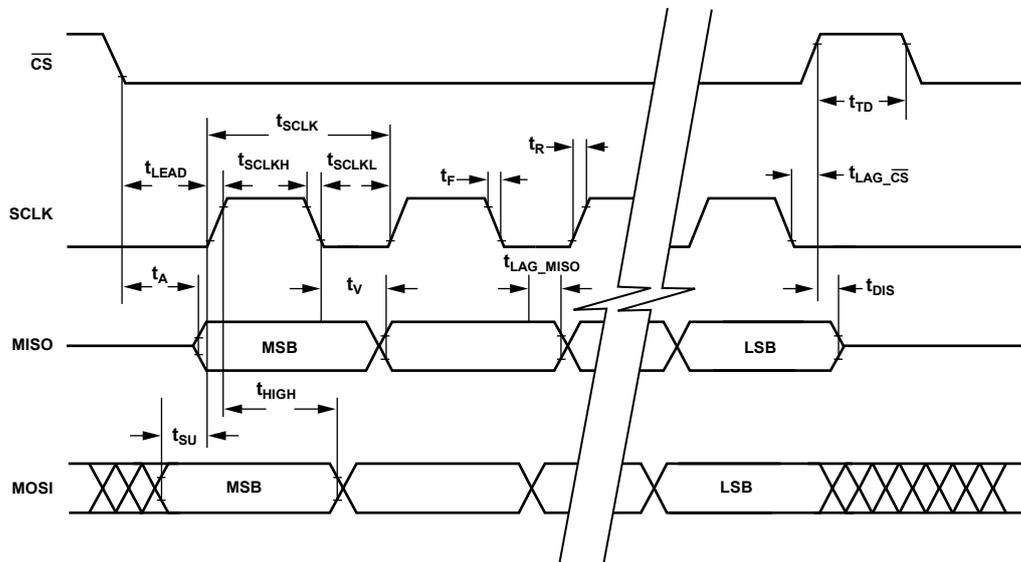


図 31. SPI タイミング

09155-030

コマンド/応答のビット定義

表 12. SPI インターフェースのビット定義

Bits	Description
SQ2 to SQ0	Sequence bits (from master)
SM2 to SM0	Sensor module bits (from master)
A8 to A0	Register address
D15 to D0	Data
P	Command odd parity
SPI	SPI command/response
RE	Request error
DU	Data unavailable
ST1, ST0	Status bits
P0	Response, odd parity, Bits[31:16]
P1	Response, odd parity, Bits[31:0]

SQ2~SQ0 ビット

SQ2~SQ0 ビットによって、マスター・デバイスは複数のセンサーから受信したデータ・サンプルを同期することができます。正しく同期を行うために、ADXRS453 ジャイロスコープは各コマンドリクエストに対応した応答シーケンスの中に SQ[2:0] ビットがあります。

SM2~SM0 ビット

SM2~SM0 ビットは、マスター・デバイスから送信されるセンサー・モジュール・ビットです。ADXRS453 には実装されていないため、000 にハードコードされています。

A8~A0 ビット

A8~A0 ビットは、データ読みまたはデータ書き込みのメモリ・アドレスを示します。これらのビットは、メモリ・レジスタへのアクセス時にマスター・デバイスから供給されます。Sensor Data コマンドではすべて無視されます。使用可能なメモリ・レジスタの詳細については、「メモリ・レジスタの定義」を参照してください。

D15~D0 ビット

D15~D0 ビットは、16 ビットのデバイス・データであり、その内容は次のいずれかになります。

- A8~A0 ビットで指定したメモリ・レジスタに書き込む際のマスター・デバイスからのデータ。
- ADXRS453 からの角速度出力データ。
- A8~A0 ビットで指定されたメモリ・レジスタから読み出される ADXRS453 からのデバイス・データ、ならびに次の連続したレジスタからのデータ。
- Write コマンド後に発行される Write 応答内の 16 ビット・データで、ADXRS453 の指定されたメモリ・レジスタに書き込まれたデータ。

P ビット

マスターからスレーブへのすべてのデータ伝送には、パリティ・ビット (P) が必要です。これは 32 ビットで構成される SPI コマンド全体の奇数パリティで、通信プロトコルにパリティ・ビットが 1 つ付加されます。

SPI ビット

SPI ビットは、次のいずれかの場合にセットされます。

- マスター・デバイスから送信されたビットが多すぎるか少なすぎる場合。
- マスター・デバイスからのメッセージにパリティ・エラーが含まれている場合。

マスター・デバイスが発行した SPI コマンドのタイプにかかわらず、SPI エラーが発生すると ADXRS453 は R/W Error 応答を発行します (表 10 を参照)。また、Sensor Data コマンド時にエラーが発生した場合にも、ADXRS453 は R/W Error 応答を発行します。

RE ビット

リクエスト・エラー (RE) ビットは、ADXRS453 デバイスからマスター・デバイスに送信される通信エラー・ビットです。リクエスト・エラーは、次の場合にセットされます。

- マスター・デバイスから無効なコマンドが送信されたとき。
- Read コマンド / Write コマンドで無効なメモリ・レジスタが指定されたとき。
- 書き込み不可のメモリ・レジスタに Write コマンドが発行されたとき。

DU ビット

\overline{CS} ピンのアサートが解除された (\overline{CS} がハイレベルになった) 後、 \overline{CS} ピンを再度アサートしてデバイスと次のコマンド/応答交換を開始するには、0.1 μ s の待ち時間が必要です。このタイミング仕様を守っていない場合に、データ無効 (DU) エラーが発生する可能性があります。

ST1 ビットと ST0 ビット

ステータス・ビット (ST1 と ST0) は、SPI 応答に含まれるデータのタイプをマスター・デバイスに通知する用途で使用されます (表 13 を参照)。

表 13. ステータス・ビットのコード定義

ST[1:0]	Contents of Bits[D15:D0]
00	Invalid data for sensor data response
01	Valid sensor data
10	Sensor self-test data
11	Read/write response

次のいずれかの条件で、センサー・データ応答時に ST[1:0] ビットが 00 に設定されます。

- セルフテスト変位量が、規定値外 (規定値については「仕様」を参照)。
- PLL フォルト・ビットがセットされている (「PLL ビット」を参照)。

P0 ビット

P0 は、SPI 応答内のビット [31:16] の奇数パリティを設定するパリティ・ビットです。

P1 ビット

P1 は、SPI 応答内のビット [31:0] の奇数パリティを設定するパリティ・ビットです。

フォルト・レジスタのビット定義

表 14は、ユーザーに故障診断の結果を通知するためのビットの説明です。フォルト・レジスタの個々のビットは、それぞれの判定基準に応じて非同期で更新されます。ただし、フォルト・レジスタの読出しは 250 Hz以上の周波数で行うことをお勧めします。各ステータス・ビットがアサートされると、マスター・デバイスによって読み出されるまでアサートが解除されません。フォルト・レジスタの読出し後にエラーが解消していない場合は、ステータス・ビットがすぐに再度アサートされ、次のデータ読み出しまでアサートされたままの状態になります。FAULT0 レジスタのビットは、すべてのSensor Data応答に付加されます（表 10を参照）。2つのフォルト・レジスタ(FAULT0 とFAULT1)にアクセスするには、アドレス 0x0AにReadコマンドを発行します。

表 14. フォルト・レジスタのビット定義

Register	Bit Name	Description
FAULT1	Fail	Failure that sets the ST[1:0] bits to 00
	AMP	Amplitude detection failure
	OV	Regulator overvoltage
	UV	Regulator undervoltage
FAULT0	PLL	Phase-locked loop failure
	Q	Quadrature error
	NVM	Nonvolatile memory fault
	POR	Power-on or reset failed to initialize
	PWR	Power regulation failed due to over-voltage or undervoltage condition
	CST	Continuous self-test failure or amplitude detection failed
	CHK	Check: generate faults

Failビット

ST[1:0]ビットが 00 にセットされると、Failビットがセットされます（「ST1 ビットとST0 ビット」を参照）。Failビットの発生は、デバイスに大きな障害が発生しており、デバイス・データが無効である可能性があることを示しています。

AMPビット

シリコン振動子の振幅測定値が大幅に減少すると、AMP ビットがセットされます。CP5 に供給される電圧が内部電圧レギュレータの条件を下回ると、この条件が発生することがあります。AMP 障害と CST 障害は論理和 (OR) の関係にあります。したがって Sensor Data 応答データフレーム内の CST ビット位置は AMP 障害または CST 障害を示します。その後メモリから 2つのフォルト・レジスタ(FAULT0 と FAULT1 レジスタ)を読み出すことで、具体的な障害を確認することができます。

OVビット

内部調整された電圧（公称 3 V）が 3.3 Vを上回ると、OV ビットがセットされます。ノイズ・スパイクなどで障害状態が発生しないように、電圧測定値はローパス・フィルタ処理が行われた後に規格値と比較されます。OV 障害が発生すると、PWR ビットもセットされます。OV ビットは Sensor Data 応答では送信されないため、PWR ビットがセットされると同時に FAULT1 と FAULT0 のメモリ・レジスタを読み出して、具体的なエラー状態を確認することを推奨します。

UVビット

内部調整された電圧（公称 3 V）が 2.77 Vを下回ると、UV ビットがセットされます。ノイズ・スパイクなどで障害状態が発生しないように、電圧測定値はローパス・フィルタ処理が行われた後に規格値と比較されます。UV 障害が発生すると、PWR ビットもセットされます。UV ビットは Sensor Data 応答では送信されないため、PWR ビットがセットされると同時に FAULT1 と FAULT0 のメモリ・レジスタを読み出して、具体的なエラー状態を確認することを推奨します。

PLLビット

PLL ビットは、デバイスの PLL ブロックに障害が発生したことを示すビットです。PLL が振動子との同期に失敗したときに発生します。PLL ビットがセットされている場合、Sensor Data 応答の ST[1:0]ビットは 00 に設定され、この応答に無効なデータが含まれている可能性があることを示します。

Qビット

Q ビットは、2つの独立した条件に基づいてセットされます。

- QUAD0 / QUAD1 レジスタ（アドレス 0x08）には、デバイスに存在する直交誤差に対応する値が含まれています。この値が 4096 LSBを上回ると、Q 障害が発生されます。
- 内部直交誤差アキュムレータは、ADXRS453 が実行した直交誤差補正の量を記録します。デバイスの直交誤差が 4°/sec (typ) に相当するオフセット誤差の原因となったとき、Q 障害が発生されます。

NVMビット

デバイスの不揮発性メモリのデータがチェックサム計算に失敗すると、NVM ビットがセットされます。このチェックは、50 μs ごとに実行されますが、PIDx メモリ・レジスタは含まれません。

PORビット

デバイスの揮発性メモリが機能することを確認するため、デバイスの起動時に内部チェックが行われます。そのために、デバイス ROM 内の既知の値を揮発性メモリにロードします。その後デバイス動作の間、1μs ごとにこの値と ROM 内の既知の値を比較します。揮発性メモリ内の値が変化した場合、つまり ROM 内の値と一致しないと、POR ビットがセットされます。デバイスのパワー・サイクルと同時に ROM 内の値が揮発性メモリに再度書き込まれます。

PWRビット

デバイスは、内部 3 V 安定化電圧レベルを連続的にチェックします。オーバー電圧 (OV) またはアンダー電圧 (UV) 障害がセットされると、PWR ビットもセットされます。安定化電圧が 3.3 V を上回るか 2.77 V を下回ると、この状態になります。PWR ビットが必要以上にアサートされることを防ぐため、測定された安定化電圧は内部ローパス・フィルタに通され高周波数のグリッチは除去されます。障害の原因がオーバー電圧またはアンダー電圧条件かどうかを判定するには、OV ビットと UV ビットを読み出す必要があります。

CSTビット

ADXRS453 には、連続セルフテスト (CST) 機能があります。測定されたセルフテストの振幅と表 1 に示した限界値は比較されます。この値からのずれによって、セルフテスト障害がレポートされます。セルフテスト障害には、次の 2 つの閾値があります。

- セルフテスト値のずれが公称値の ± 512 LSB を上回ると、FAULT0 レジスタの CST ビットがセットされます。
- セルフテスト値のずれが公称値の ± 1856 LSB を上回ると、FAULT0 レジスタの CST ビットがセットされ、さらに ST[1:0] ビットが 00 に設定されて、Sensor Data 応答に含まれている角速度データが無効である可能性があることを示します。

CHKビット

マスター・デバイスは、ADXRS453 に CHK ビットをセットする事で、擬似的に障害状態を生成する事が可能です。CHK ビットをセットすることによって、デバイスは、FAULT0/FAULT1 レジスタによって示されるすべての障害が発生している状態になります。たとえば、セルフテスト振幅は意図的に障害検出の条件から外れる値に変化し、セルフテスト障害が発生します。このようにすることで、マスター・デバイスは、障害状態の検出機能だけでなく、その障害をマスター・デバイスに送信する機能もチェックできます。

CHKビットがセットされると複数の障害状態はほとんど同時に始まります。しかし、障害の発生から障害検出用のビットがセットされるまでのタイミングは、各障害に依存します。すべての内部障害を生成し、デバイスの状態を反映するように FAULT0/FAULT1 レジスタを更新するための時間 50 ms 以下です。CHKビットがクリアされるまで、ステータス・ビット (ST[1:0]) は 10 に設定され、マスター・デバイスは ADXRS453 から送られてくるデータをセルフテスト・データと判断する事が可能です。CHKビットがクリアされた後、障害状態からの復帰とデバイスが通常動作に戻るためにさらに 50 ms が必要です。CHKビットをセットするための適切な方法については、「CHKビット・アサーションによる推奨スタートアップ・シーケンス」を参照してください。

ADXRS453

CHKビット・アサートによる推奨スタートアップ・シーケンス

図 32は、ADXRS453 の推奨スタートアップ・シーケンスです。これとは異なるスタートアップ・シーケンスを使用することもできますが、ADXRS453 からの応答が正しく処理されるように注意してください。デバイスへの電力印加後直ちにスタートアップ・シーケンスを実行する場合、下に示す推奨ルーチンの実行に必要な合計時間は、およそ 200 msです。

「デバイス・データのラッチ機能」で説明したように、 \overline{CS} 信号のアサート時点でデバイスに存在するデータは、次のコマンド/応答交換でマスターに送信されます。このため、CHKビットの

アサートによって得られたデータがデバイスによって送信されるまでに、見かけ上SPI通信 1 回分の遅延が生じます。デバイスとのこれ以外の読み出し/書き込み操作では、このような遅延はなく、マスターからのコマンドは常に次のSPI通信時に応答が帰って来ます。

CHK ビットがアサート解除されたとき、CST ビットがまだクリアされていないのにデバイスからデータを取得しようとすると、デバイスはエラー・データを送信しますので注意してください。

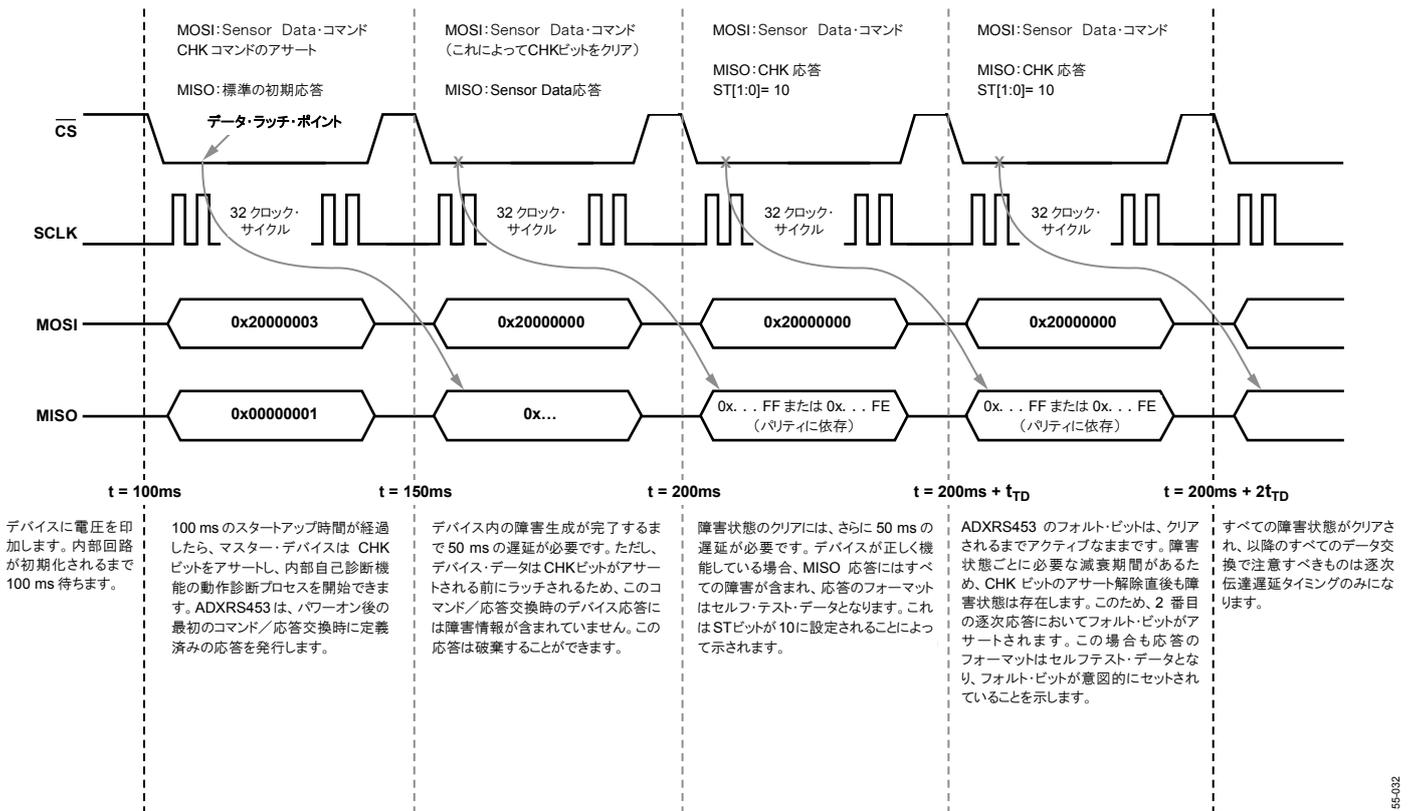


図 32. 推奨するスタートアップ・シーケンス

レート・データ・フォーマット

ADXRS453 ジャイロスコープは、32 ビット SPI データ・フレームの中で 16 ビット・フォーマットの角速度データを送信します。Sensor Data 応答の完全な 32 ビット・フォーマットについては、表 10 を参照してください。角速度データは、D15 から D0 まで、MSB ファーストで送信されます。

データは、80 LSB/°/秒のスケール係数で、2 の補数のフォーマットです。したがって、正（時計回り）回転の最大値は 0x7FFF（10 進+32,767）、負（反時計回り）回転の最大値は 0x8000（10 進-32,768）になります。±24,000 LSB（±300°/秒）が性能の保証範囲となります。

表 15. レート・データ

16-Bit Rate Data		Description
Decimal (LSBs)	Hex (D15:D0)	
+32,767	0x7FFF	Maximum possible positive data value (not guaranteed)
...
+24,000	0x5DC0	+300°/sec rotation (positive FSR)
...
+160	0x00A0	+2°/sec rotation
...
+80	0x0050	+1°/sec rotation
...
+40	0x0028	+0.5°/sec rotation
...
+20	0x0014	+0.025°/sec rotation
...
0	0x0000	Zero rotation value
...
-20	0xFFEC	-0.025°/sec rotation
...
-40	0xFFD8	-0.5°/sec rotation
...
-80	0xFFB0	-1°/sec rotation
...
-160	0xFF60	-2°/sec rotation
...
-24,000	0xA240	-300°/sec rotation (negative FSR)
...
-32,768	0x8000	Maximum possible negative data value (not guaranteed)

メモリ・マップとレジスタ

メモリ・マップ

表 16は、ユーザーによる読出し／書込みが可能なメモリ・レジスタの一覧です。特定のメモリ・レジスタの読出し／書込みの正しい入力シーケンスについては、「SPI通信プロトコル」を参照してください。各メモリ・レジスタには8ビットのデータが格納されていますが、読出し要求が実行されると、必ず16ビット・メッセージでデータを返します。指定されたメモリ・アドレスに連続したレジスタからのデータが付加されます。

データはMSBファーストで送信されます。メモリ・レジスタからデータを正しく取得するには、偶数番号のレジスタ・アドレスにだけ読出し要求を行って下さい。たとえば、LOCSTxレジスタを読み出すには、レジスタ 0x04 をアドレス指定し、レジスタ 0x05 は指定しません。表 16に示す各メモリ・レジスタの内容については、「メモリ・レジスタの定義」を参照してください。

表 16. メモリ・レジスタ・マップ

Address	Register Name	D7 (MSB)	D6	D5	D4	D3	D2	D1	D0 (LSB)
0x00	RATE1	RTE15	RTE14	RTE13	RTE12	RTE11	RTE10	RTE9	RTE8
0x01	RATE0	RTE7	RTE6	RTE5	RTE4	RTE3	RTE2	RTE1	RTE0
0x02	TEM1	TEM9	TEM8	TEM7	TEM6	TEM5	TEM4	TEM3	TEM2
0x03	TEM0	TEM1	TEM0	Unused	Unused	Unused	Unused	Unused	Unused
0x04	LOCST1	LCST15	LCST14	LCST13	LCST12	LCST11	LCST10	LCST9	LCST8
0x05	LOCST0	LCST7	LCST6	LCST5	LCST4	LCST3	LCST2	LCST1	LCST0
0x06	HICST1	HCST15	HCST14	HCST13	HCST12	HCST11	HCST10	HCST9	HCST8
0x07	HICST0	HCST7	HCST6	HCST5	HCST4	HCST3	HCST2	HCST1	HCST0
0x08	QUAD1	QAD15	QAD14	QAD13	QAD12	QAD11	QAD10	QAD9	QAD8
0x09	QUAD0	QAD7	QAD6	QAD5	QAD4	QAD3	QAD2	QAD1	QAD0
0x0A	FAULT1	Unused	Unused	Unused	Unused	Fail	AMP	OV	UV
0x0B	FAULT0	PLL	Q	NVM	POR	PWR	CST	CHK	0
0x0C	PID1	PIDB15	PIDB14	PIDB13	PIDB12	PIDB11	PIDB10	PIDB9	PIDB8
0x0D	PID0	PIDB7	PIDB6	PIDB5	PIDB4	PIDB3	PIDB2	PIDB1	PIDB0
0x0E	SN3	SNB31	SNB30	SNB29	SNB28	SNB27	SNB26	SNB25	SNB24
0x0F	SN2	SNB23	SNB22	SNB21	SNB20	SNB19	SNB18	SNB17	SNB16
0x10	SN1	SNB15	SNB14	SNB13	SNB12	SNB11	SNB10	SNB9	SNB8
0x11	SN0	SNB7	SNB6	SNB5	SNB4	SNB3	SNB2	SNB1	SNB0

メモリ・レジスタの定義

ここでは、SPIでアクセスできるメモリ・レジスタについて説明します。「メモリ・マップ」で示したように、メモリ・レジスタのデータを要求するときは、2 バイトデータのうち最初の 1 バイトのメモリ・アドレスだけをアドレス指定します。デバイスが返すデータには、16 ビットのメモリ・レジスタ情報が含まれています。ビット[15:8]には要求された情報のMSB、ビット[7:0]にはLSBが格納されます。

レート (RATE_x) レジスタ

アドレス: 0x00 (RATE1)
0x01 (RATE0)
レジスタ更新レート: $f_0/32$ (約 485 Hz)
スケール係数: 80 LSB/°/秒

RATE_xレジスタには、温度補償済みのレート出力が $f_0/200$ (約 77.5 Hz) にフィルタ処理されて格納されます。このデータには、デバイスにSensor Dataコマンドを発行することによってもアクセスできます。データは、16 ビットの 2 の補数値で示されます。

MSB				LSB			
D15	D14	D13	D12	D11	D10	D9	D8
RTE15	RTE14	RTE13	RTE12	RTE11	RTE10	RTE9	RTE8
D7	D6	D5	D4	D3	D2	D1	D0
RTE7	RTE6	RTE5	RTE4	RTE3	RTE2	RTE1	RTE0

温度 (TEM_x) レジスタ

アドレス: 0x02 (TEM1)
0x03 (TEM0)
レジスタ更新レート: $f_0/32$ (約 485 Hz)
スケール係数: 5 LSB/°C

TEM_xレジスタには、デバイスの温度に対応する値が格納されます。データは、10 ビットの 2 の補数値で示されます。0 LSBは約 45°Cの温度に対応します (表 17を参照)。

MSB				LSB			
D15	D14	D13	D12	D11	D10	D9	D8
TEM9	TEM8	TEM7	TEM6	TEM5	TEM4	TEM3	TEM2
D7	D6	D5	D4	D3	D2	D1	D0
TEM1	TEM0	Unused					

表 17. 温度と TEM_x レジスタ値の例

Temperature	Value of TEM1 and TEM0 Registers ¹
45°C	0000 0000 00XX XXXX
85°C	0011 0010 00XX XXXX
0°C	1100 0111 11XX XXXX

¹ X = 無視してください。

低CST (LOCST_x) レジスタ

アドレス: 0x04 (LOCST1)
0x05 (LOCST0)
レジスタ更新レート: $f_0/16$ (約 970 Hz)
スケール係数: 80 LSB/°/秒

LOCST_xレジスタには、温度補償とローパス・フィルタ処理が行われた連続セルフテスト値の変位量が格納されます。この値は、正と負のセルフテスト変位の差の大きさであり、表 1に示す値に対応します。セルフテストの値が設定されたセルフテスト規格値の仕様外となる場合、デバイスはCSTエラーを発行します。CSTフォルト・ビットが誤ってトリガされないようにセルフテスト・データは $f_0/8000$ (約 1.95 Hz) にフィルタ処理された後に規格値と比較されます。データは、80 LSB/°/秒のスケール係数で、16 ビットの 2 の補数値で示されます。

MSB							LSB
D15	D14	D13	D12	D11	D10	D9	D8
LCST15	LCST14	LCST13	LCST12	LCST11	LCST10	LCST9	LCST8
D7	D6	D5	D4	D3	D2	D1	D0
LCST7	LCST6	LCST5	LCST4	LCST3	LCST2	LCST1	LCST0

高CST (HICST_x) レジスタ

アドレス: 0x06 (HICST1)
0x07 (HICST0)
レジスタ更新レート: $f_0/16$ (約 970 Hz)
スケール係数: 80 LSB/°/秒

HICST_xレジスタには、フィルタ処理なしのセルフテスト情報が格納されます。HICST_xデータを使用すればセルフテスト応答における急激な変動を検出できるため、安全性が重要なアプリケーションの障害診断を補完できます。ただし、HICST_xデータがセルフテスト規格値の仕様外となっても、フォルト・レジスタのCSTビットはセットされません。CSTビットの状態を制御できるのは、外部擾乱等に起因する一時的なセルフテスト変位量変化やノイズをフィルタ処理した後の LOCST_x メモリ・レジスタだけです。データは、16 ビットの 2 の補数値で示されます。

MSB							LSB
D15	D14	D13	D12	D11	D10	D9	D8
HCST15	HCST14	HCST13	HCST12	HCST11	HCST10	HCST9	HCST8
D7	D6	D5	D4	D3	D2	D1	D0
HCST7	HCST6	HCST5	HCST4	HCST3	HCST2	HCST1	HCST0

ADXRS453

クワッド・メモリ (QUADx) レジスタ

アドレス: 0x08 (QUAD1)
0x09 (QUAD0)
レジスタ更新レート: $f_0/64$ (約 240 Hz)
スケール係数: 80 LSB/°/秒等価

QUADxレジスタには、所定の時間にデバイスに存在する直交誤差の量に対応する値が格納されます。直交誤差は、振動子構造の運動の誤差のようなものであり、ストレスと経年変化の影響によって生じることがあります。直交誤差データは、 $f_0/200$ (約 77.5 Hz) にフィルタ処理され、直交誤差レベルの突然の変動を検出した場合は頻繁に読み出すことができます。データは、16ビットの2の補数値で示されます。

MSB				LSB			
D15	D14	D13	D12	D11	D10	D9	D8
QAD15	QAD14	QAD13	QAD12	QAD11	QAD10	QAD9	QAD8
D7	D6	D5	D4	D3	D2	D1	D0
QAD7	QAD6	QAD5	QAD4	QAD3	QAD2	QAD1	QAD0

フォルト (FAULTx) レジスタ

アドレス: 0x0A (FAULT1)
0x0B (FAULT0)
レジスタ更新レート: なし
スケール係数: なし

FAULTxレジスタは、デバイス内のエラー・フラグの状態を格納します。すべてのデバイス・データ送信の最後にFAULT0レジスタが付加されますが (表 10を参照)、これとは別にレジスタのメモリ位置からアクセスすることもできます。チップに障害状態が生じると、個々のフォルト・ビットは直ちに非同期で更新されます。アクティブ化の所要時間は $<5\mu\text{s}$ です。一度アクティブになると、各フォルト・ビットはフォルト・レジスタが読み出されるかSensor Dataコマンドが受信されるまでアクティブ状態のままです。ビットが読み出されてもアクティブ状態が続く場合は、そのフォルト・ビットが自動的に再度アサートされます。

MSB				LSB			
D15	D14	D13	D12	D11	D10	D9	D8
Unused				Fail	AMP	OV	UV
D7	D6	D5	D4	D3	D2	D1	D0
PLL	Q	NVM	POR	PWR	CST	CHK	0

製品ID (PIDx) レジスタ

アドレス: 0x0C (PID1)
0x0D (PID0)
レジスタ更新レート: なし
スケール係数: なし

PIDxレジスタは、ADXRS453のバージョンを識別する16ビット数値が格納されています。この情報とシリアル番号によって、個々のデバイスの特定とトラッキングが可能です。最初の製品IDはR01 (0x5201)で、それ以降のバージョンは値がR02、R03と増えていきます。

MSB				LSB			
D15	D14	D13	D12	D11	D10	D9	D8
PIDB15	PIDB14	PIDB13	PIDB12	PIDB11	PIDB10	PIDB9	PIDB8
D7	D6	D5	D4	D3	D2	D1	D0
PIDB7	PIDB6	PIDB5	PIDB4	PIDB3	PIDB2	PIDB1	PIDB0

シリアル番号 (SNx) レジスタ

アドレス: 0x0E (SN3)
0x0F (SN2)
0x10 (SN1)
0x11 (SN0)
レジスタ更新レート: なし
スケール係数: なし

SNxレジスタには、デバイスを一意に識別する32ビットの識別番号が格納されています。シリアル番号全体を読み出すには、2つのメモリ読み出し要求を行う必要があります。アドレス0x0Eに対する最初の読み出し要求ではシリアル番号の上位16ビット、アドレス0x10の次の読み出し要求でシリアル番号の下位16ビットが返されます。

MSB				LSB			
D31	D30	D29	D28	D27	D26	D25	D24
SNB31	SNB30	SNB29	SNB28	SNB27	SNB26	SNB25	SNB24
D23	D22	D21	D20	D19	D18	D17	D16
SNB23	SNB22	SNB21	SNB20	SNB19	SNB18	SNB17	SNB16
D15	D14	D13	D12	D11	D10	D9	D8
SNB15	SNB14	SNB13	SNB12	SNB11	SNB10	SNB9	SNB8
D7	D6	D5	D4	D3	D2	D1	D0
SNB7	SNB6	SNB5	SNB4	SNB3	SNB2	SNB1	SNB0

パッケージの向きとレイアウト情報

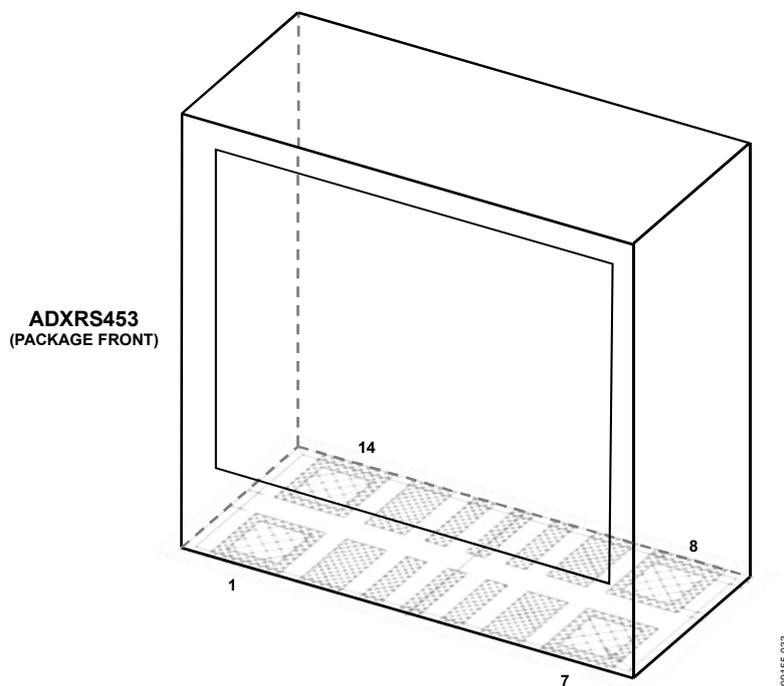


図 33. 14ピン・セラミック型 LCC_V、縦型実装

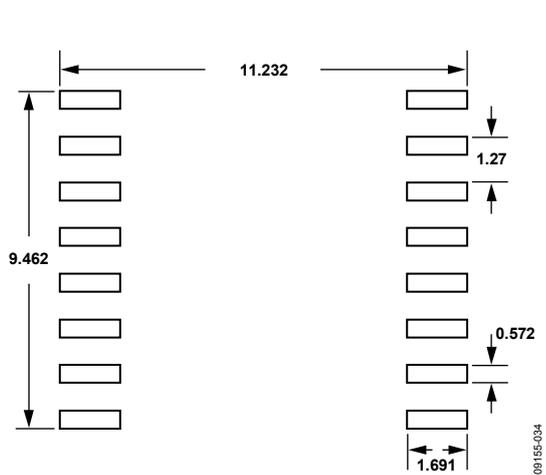


図 34. SOIC_CAV のハンダ・パッド・レイアウト例 (ランド・パターン)、寸法単位は mm、実寸ではありません

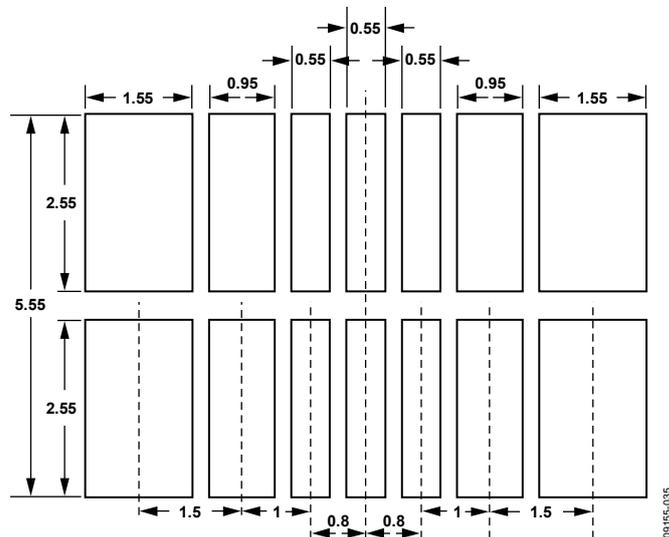
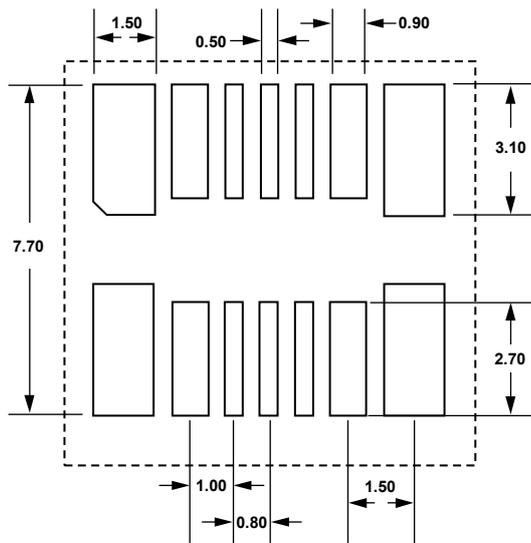


図 35. LCC_V のハンダ・パッド・レイアウト例 (ランド・パターン)、縦型実装、寸法単位は mm、実寸ではありません



09155-036

図 36. LCC_V のハンダ・パッド・レイアウト例（ランド・パターン）、横型実装、寸法単位は mm、実寸ではありません

ハンダ付けプロファイル

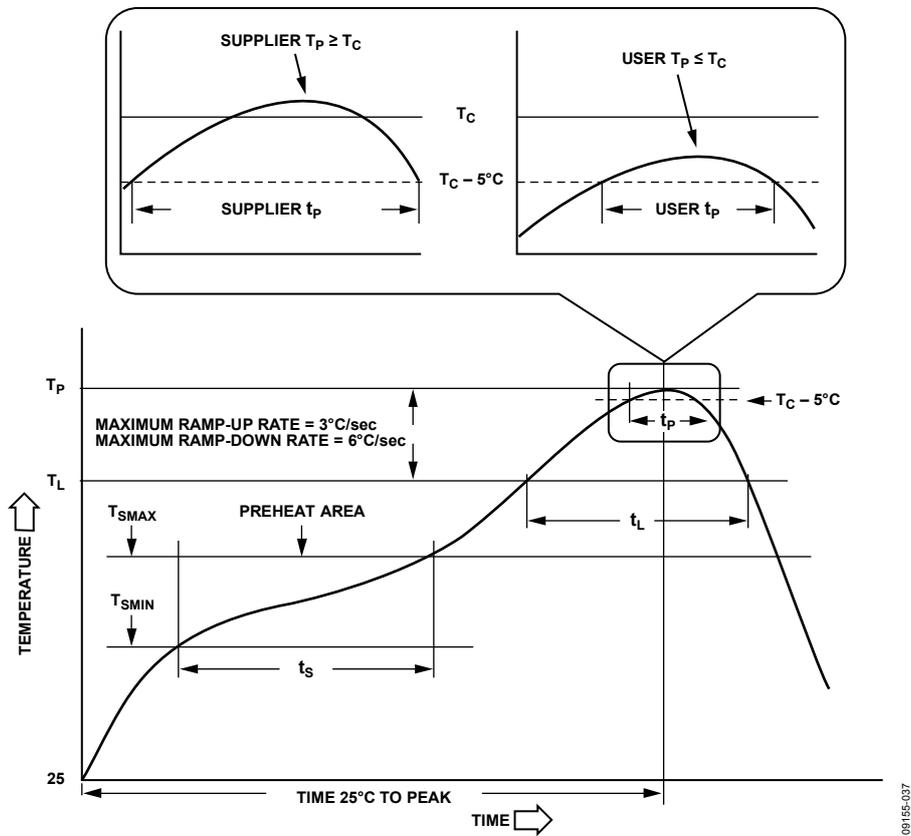


図 37. 推奨するハンダ付けプロファイル

表 18. 推奨ハンダ付けプロファイル限界値

Profile Feature	Sn63/Pb37	Pb-Free
Average Ramp Rate (T_L to T_P)	3°C/sec max	3°C/sec max
Preheat		
Minimum Temperature (T_{SMIN})	100°C	150°C
Maximum Temperature (T_{SMAX})	150°C	200°C
Time (T_{SMIN} to T_{SMAX}), t_s	60 sec to 120 sec	60 sec to 120 sec
Ramp-Up Rate (T_{SMAX} to T_L)	3°C/sec max	3°C/sec max
Time Maintained Above Liquidous (t_L)	60 sec to 150 sec	60 sec to 150 sec
Liquidous Temperature (T_L)	183°C	217°C
Classification Temperature (T_C) ¹	220°C	250°C
Peak Temperature (T_P)	$T_C + 0°C/-5°C$	$T_C + 0°C/-5°C$
Time Within 5°C of Actual Peak Temperature (t_p)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate (T_P to T_L)	6°C/sec max	6°C/sec max
Time 25°C to Peak Temperature	6 minutes max	8 minutes max

¹ SnPbおよび鉛フリー・プロセスはIPC/JEDEC J-STD-020D.01 に準拠します。パッケージ容積< 350 mm³、パッケージ厚> 2.5 mm。

ADXRS453

パッケージのマーキング・コード

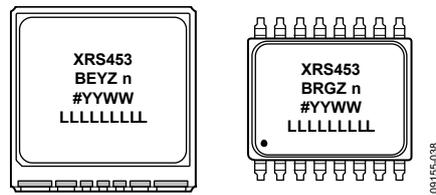
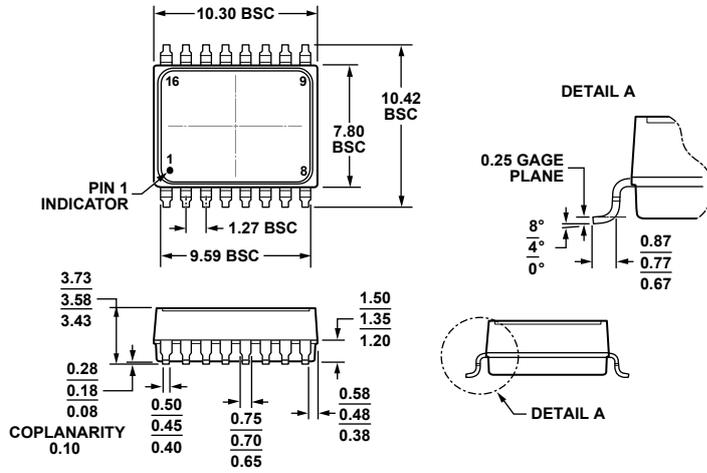


図 38. LCC_V および SOIC_CAV パッケージのマーキング・コード

表 19. パッケージ・コード記号

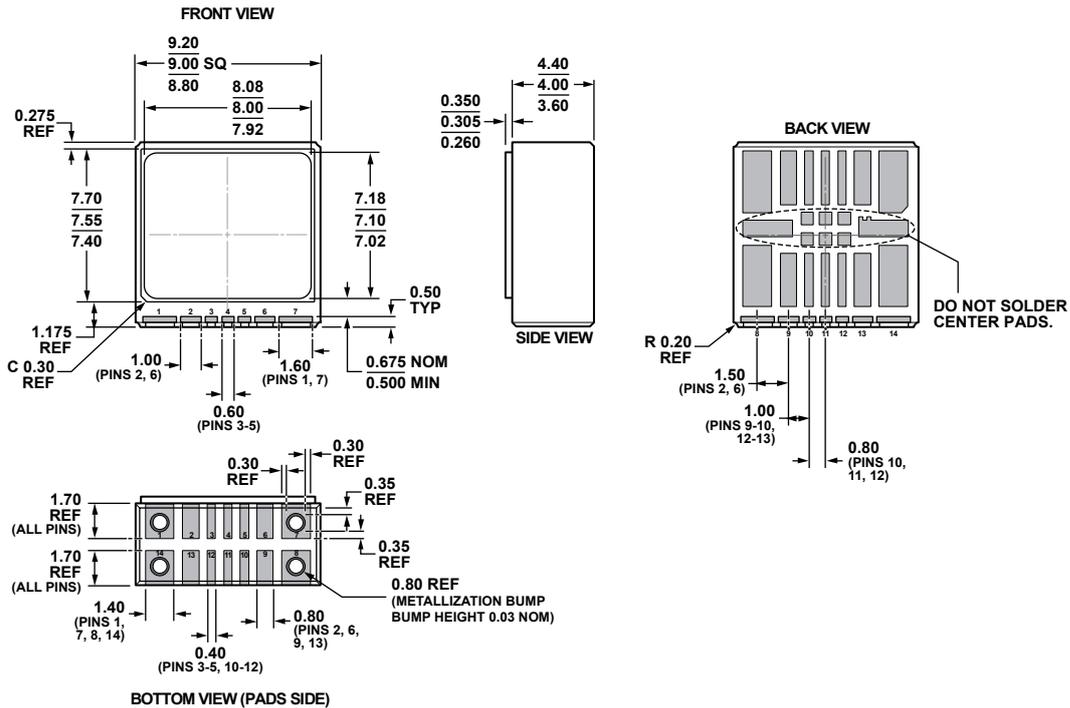
Marking	Meaning
XRS	Angular rate sensor
453	Series number
B	Temperature grade (-40°C to +105°C)
RG	Package designator (SOIC_CAV package)
EY	Package designator (LCC_V package)
Z	RoHS compliant
n	Revision number
#	Pb-free designation
YYWW	Assembly date code
LLLLLLLL	Assembly lot code (up to nine characters)

外形寸法



072409-B

図 39. 16ピン・スモール・アウトライン、プラスチック・キャビティ・パッケージ [SOIC_CAV] (RG-16-1)
寸法単位：mm



04-09-2010-A

図 40. 14端子セラミック型リードレス・チップ・キャリア、縦型形状 [LCC_V] (EY-14-1)
寸法単位：mm

ADXRS453

オーダー・ガイド

Model ^{1, 2, 3}	Temperature Range	Package Description	Package Option
ADXRS453BEYZ	-40°C to +105°C	14-Terminal Ceramic Leadless Chip Carrier, Vertical Form [LCC_V]	EY-14-1
EVAL-ADXRS453Z		Evaluation Board, SOIC_CAV	
EVAL-ADXRS453Z-V		Evaluation Board, LCC_V	
EVAL-ADXRS453Z-M		Analog Devices Inertial Sensor Evaluation System (Includes ADXRS453 Satellite)	
EVAL-ADXRS453Z-S		ADXRS453 Satellite, Standalone, to be used with Inertial Sensor Evaluation System	

¹ Z = RoHS 準拠製品。

² ADXRS453BEYZのテープ&リール版（14端子LCC_V）は、2011年の第2四半期にリリースします。

³ ADXRS453BRG（16ピンSOIC_CAV）は、2011年の第2四半期にリリースします。