



3軸、±200 g デジタルMEMS加速度計

データシート

ADXL375

特長

低消費電力: $V_S = 2.5\text{ V}$ で計測モード 35 μA 、スタンバイ・モード 0.1 μA

消費電力を帯域幅に合わせて自動調整

32 レベルの内蔵 FIFO バッファによりプロセッサ負荷を最小化

帯域幅: 最大 1 kHz

帯域幅をシリアル・コマンドで選択可能

衝撃の検出

アクティビティ/インアクティビティ・モニタリング機能

電源電圧範囲: 2.0 V~3.6 V

I/O 電圧範囲: 1.7 V~ V_S

SPI (3/4 線式) デジタル・インタフェースと I²C デジタル・インタフェースを内蔵

広い温度範囲: -40°C~+85°C

衝撃耐性: 10,000 g

Pb フリー/RoHS 準拠

小型薄型 3 mm x 5 mm x 1 mm LGA パッケージを採用

アプリケーション

衝撃および頭部外傷の検出

強い力がかかる事象の検出

概要

ADXL375 は、最大±200 g までの高い計測分解能を持つ、小型、薄型、低消費電力の 3 軸加速度センサーです。デジタル出力データは、16 ビットで 2 の補数形式で、SPI (3/4 線式) または I²C デジタル・インタフェースを使ってアクセスすることができます。

32 レベル FIFO バッファを持つ内蔵メモリ管理システムを使ってデータを保持できるため、ホスト・プロセッサ動作を少なくし、システム全体の消費電力を削減することができます。

低消費電力モードにより、極めて小さい消費電力で動作するスレッシュホールド検出とアクティブ加速度計測を使った、運動情報による適切なパワーマネジメントが可能になります。

ADXL375 は、3 mm x 5 mm x 1 mm の小型薄型 14 ピン LGA パッケージを採用しています。

機能ブロック図

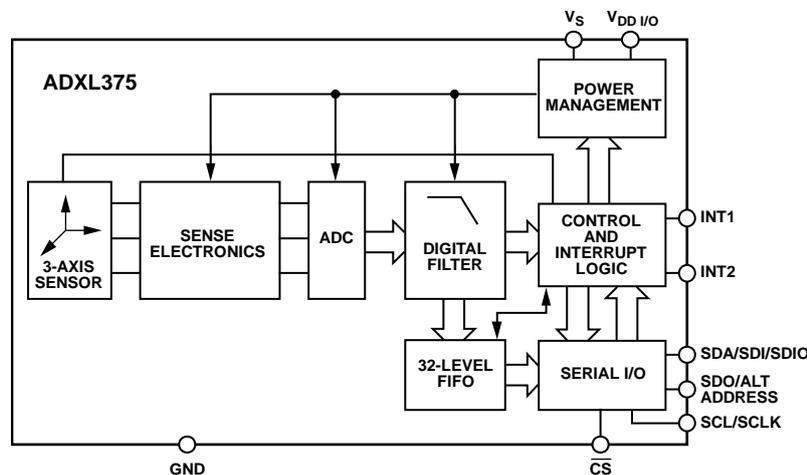


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. B

©2013–2014 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	シリアル通信.....	15
アプリケーション.....	1	SPIモード.....	15
概要.....	1	I ² Cモード.....	18
機能ブロック図.....	1	レジスタ・マップ.....	20
改訂履歴.....	2	レジスタの説明.....	21
仕様.....	3	アプリケーション情報.....	26
絶対最大定格.....	4	電源のデカップリング.....	26
熱抵抗.....	4	実装時の機構的な注意事項.....	26
ESDの注意.....	4	衝撃検出.....	26
ハンダ処理プロファイル.....	5	スレッショールド検出と帯域幅.....	27
ピン配置およびピン機能説明.....	6	リンク・モード.....	27
代表的な性能特性.....	7	スリープ・モード対低消費電力モード.....	28
動作原理.....	10	オフセット・キャリブレーション.....	28
電源シーケンス.....	10	3200 Hz と 1600 Hz の出力データレートでのデータ・フォーマット.....	28
消費電流と出力データレート.....	10	セルフテストの使用方法.....	29
省電力モード.....	11	加速度感度の軸.....	30
FIFO バッファ.....	11	レイアウトとデザインの考慮事項.....	31
セルフテスト.....	12	パッケージ情報.....	31
割込み.....	13	外形寸法.....	32
割込みのイネーブル/ディスエーブル.....	13	オーダー・ガイド.....	32
割込みのクリア.....	13		
割込みレジスタのビット.....	13		

改訂履歴

4/14—Rev. A to Rev. B	
Changes to Figure 24.....	15
Changes to Register 0x1E, Register 0x1F, Register 0x20—OFSX, OFSY, OFSZ (Read/Write) Section.....	21
9/13—Rev. 0 to Rev. A	
Added MEMS to Product Title.....	1
8/13—Revision 0: Initial Version	

仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.5\text{ V}$ 、 $V_{DDIO} = 2.5\text{ V}$ 、加速度 = 0 g 、 $C_S = 10\text{ }\mu\text{F}$ タンタル、 $C_{IO} = 0.1\text{ }\mu\text{F}$ 、出力データレート (ODR) = 800 Hz 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ ¹	Max	Unit
SENSOR INPUT	Each axis				
Measurement Range ²		± 180	± 200		g
Nonlinearity	Percentage of full scale		± 0.25		%
Cross-Axis Sensitivity ³			± 2.5		%
SENSITIVITY	Each axis				
Sensitivity at X_{OUT} , Y_{OUT} , Z_{OUT} ^{2,4}	ODR $\leq 800\text{ Hz}$	18.4	20.5	22.6	LSB/g
Scale Factor at X_{OUT} , Y_{OUT} , Z_{OUT} ^{2,4}	ODR $\leq 800\text{ Hz}$	44	49	54	mg/LSB
Sensitivity Change Due to Temperature			± 0.02		%/ $^\circ\text{C}$
0 g OFFSET	Each axis				
0 g Output for X_{OUT} , Y_{OUT} , Z_{OUT}		-6000	± 400	$+6000$	mg
0 g Offset vs. Temperature			± 10		mg/ $^\circ\text{C}$
NOISE	X-, y-, and z-axes		5		mg/ $\sqrt{\text{Hz}}$
OUTPUT DATA RATE AND BANDWIDTH ⁵	User selectable				
Output Data Rate (ODR) ^{4,6}		0.1		3200	Hz
SELF-TEST ⁷					
Output Change in Z-Axis			6.4		g
POWER SUPPLY					
Operating Voltage Range (V_S)		2.0	2.5	3.6	V
Interface Voltage Range (V_{DDIO})		1.7	1.8	V_S	V
Supply Current					
Measurement Mode	ODR $\geq 100\text{ Hz}$		145		μA
	ODR $\leq 3\text{ Hz}$		35		μA
Standby Mode			0.1		μA
Turn-On and Wake-Up Time ⁸	ODR = 3200 Hz		1.4		ms
TEMPERATURE					
Operating Temperature Range		-40		$+85$	$^\circ\text{C}$
WEIGHT					
Device Weight			30		mg

¹ typ 仕様はデバイス数の少なくとも 68% が対象となり、平均値 $\pm 1\sigma$ の分布のワースト・ケースに基づきます。ただし、ターゲット値を表す感度は除きます。

² Min 仕様と Max 仕様は平均値 $\pm 3\sigma$ 分布のワースト・ケースを表し、量産では保証されません。

³ 軸間感度は、任意の 2 軸間の組み合わせとして定義されます。

⁴ 1600 Hz と 3200 Hz の出力データ・レートの出力フォーマットは、他の出力データ・レートの出力フォーマットと異なっています。詳細については、3200 Hz と 1600 Hz の出力データレートでのデータ・フォーマットのセクションを参照してください。

⁵ 帯域幅は -3 dB 周波数で、出力データレートの 1/2 です。すなわち帯域幅 = ODR/2。

⁶ 6.25 Hz を下回る出力データレートではオフセット・シフトが温度とともに増加します。

⁷ セルフテスト変化は、SELF_TEST ビット = 1 (DATA_FORMAT レジスタ、アドレス 0x31) のときの出力 (g) から SELF_TEST ビット = 0 のときの出力 (g) を減算した値として定義されます。セルフテストをイネーブルまたはディスエーブルするとき、デバイスのフィルタ機能のため、出力は $4 \times \tau$ 後に最終値に到達します。ここで、 $\tau = 1/(\text{データ・レート})$ です。正常なセルフテストのためには、デバイスを通常消費電力動作に設定する必要があります (アドレス 0x2C の BW_RATE レジスタで、LOW_POWER ビット = 0)。

⁸ ターンオン時間およびウェイクアップ時間は、ユーザー指定の帯域幅で決まります。100 Hz データ・レートでのターンオン時間およびウェイクアップ時間はそれぞれ約 11.1 ms です。他のデータ・レートでのターンオン時間およびウェイクアップ時間はそれぞれ約 $\tau + 1.1\text{ ms}$ です。ここで、 $\tau = 1/(\text{データ・レート})$ 。

絶対最大定格

表 2.

Parameter	Rating
Acceleration, Any Axis	
Unpowered	10,000 g
Powered	10,000 g
V_S	-0.3 V to +3.9 V
V_{DDIO}	-0.3 V to +3.9 V
Digital Pins	-0.3 V to $V_{DDIO} + 0.3$ V or 3.9 V, whichever is less
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
Temperature Range	
Powered	-40°C to +105°C
Storage	-40°C to +105°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 3. パッケージ特性

Package Type	θ_{JA}	θ_{JC}	Unit
14-Terminal LGA	150	85	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ハンダ処理プロファイル

図 2 と表 4 に、推奨ハンダ処理プロファイルを示します。

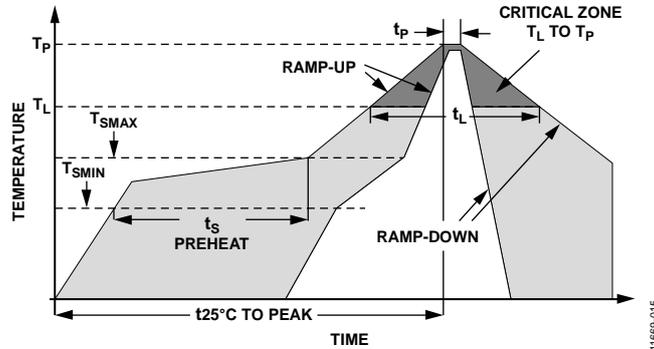


図 2.ハンダ処理の推奨プロファイル

表 4.ハンダ処理の推奨プロファイル^{1, 2}

Profile Feature	Sn63/Pb37	Pb-Free
Average Ramp Rate (T_L to T_P)	3°C/sec maximum	3°C/sec maximum
Preheat		
Minimum Temperature (T_{SMIN})	100°C	150°C
Maximum Temperature (T_{SMAX})	150°C	200°C
Time from T_{SMIN} to T_{SMAX} (t_s)	60 sec to 120 sec	60 sec to 180 sec
Ramp-Up Rate (T_{SMAX} to T_L)	3°C/sec maximum	3°C/sec maximum
Liquidous Temperature (T_L)	183°C	217°C
Time Maintained Above T_L (t_L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T_P)	240°C +0°C/-5°C	260°C +0°C/-5°C
Time Within 5°C of Actual T_P (t_p)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec maximum	6°C/sec maximum
Time 25°C ($t_{25°C}$) to Peak Temperature	6 minutes maximum	8 minutes maximum

¹ JEDEC 規格 J-STD-020D.1 に基づきます。

² 最適な結果を得るためには、ハンダ処理プロファイルは使用するハンダ・ペーストのメーカー推奨事項に従う必要があります。

ピン配置およびピン機能説明

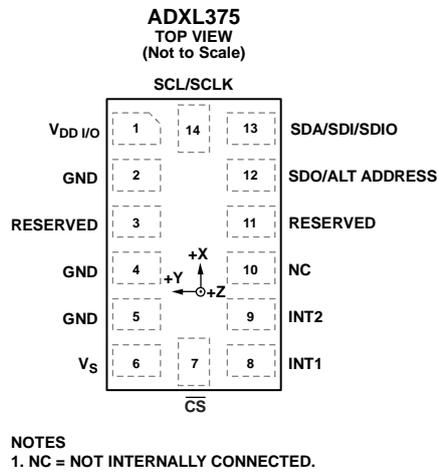


図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	$V_{DD\ I/O}$	デジタル・インターフェース電源電圧。
2	GND	グラウンド。このピンはグラウンドに接続する必要があります。
3	RESERVED	予約済み。このピンは V_S へ接続するか、オープンのままにする必要があります。
4	GND	グラウンド。このピンはグラウンドに接続する必要があります。
5	GND	グラウンド。このピンはグラウンドに接続する必要があります。
6	V_S	電源電圧。
7	\overline{CS}	チップ・セレクト。
8	INT1	割込み 1 出力。
9	INT2	割込み 2 出力。
10	NC	内部で未接続。
11	RESERVED	保留。このピンはグラウンドへ接続するか、オープンのままにする必要があります。
12	SDO/ALT ADDRESS	SPI 4 線式シリアル・データ出力 (SDO)/I ² C 代替アドレス・セレクト (ALT ADDRESS)。
13	SDA/SDI/SDIO	I ² C シリアル・データ (SDA)/SPI 4 線式シリアル・データ入力 (SDI)/SPI 3 線式シリアル・データ入力および出力 (SDIO)。
14	SCL/SCLK	I ² C シリアル通信クロック (SCL)/SPI シリアル通信クロック (SCLK)。

代表的な性能特性

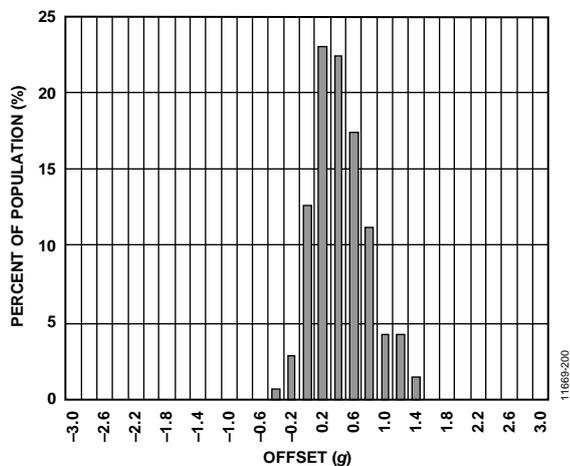


図 4.X 軸ゼロ g オフセット、25°C、 $V_S = 2.5 V$

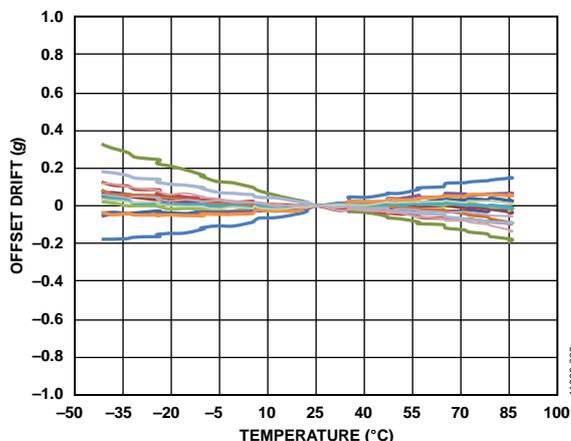


図 7.X 軸オフセット・ドリフト
15 個の製品を PCB にハンダ付け、 $V_S = 2.5 V$

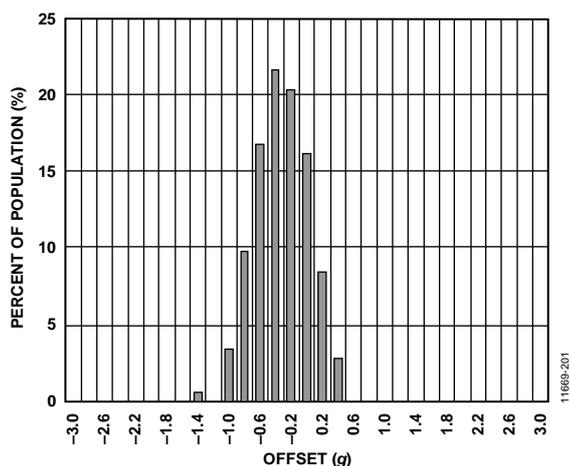


図 5.Y 軸ゼロ g オフセット、25°C、 $V_S = 2.5 V$

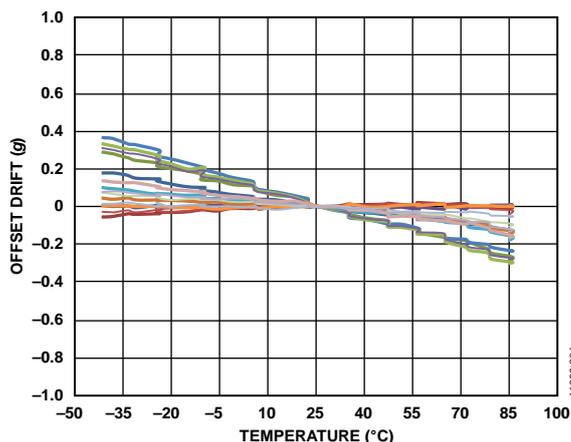


図 8.Y 軸オフセット・ドリフト
15 個の製品を PCB にハンダ付け、 $V_S = 2.5 V$

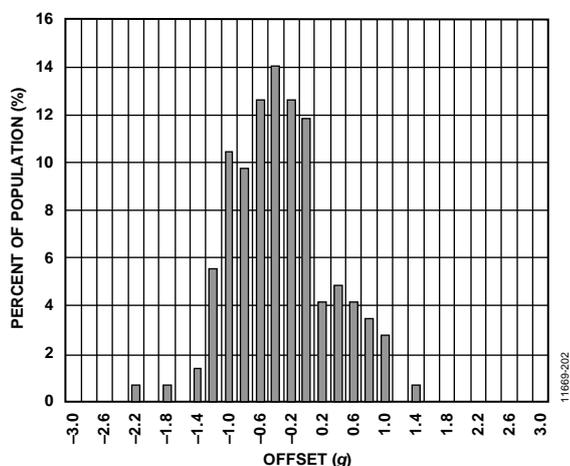


図 6.Z 軸ゼロ g オフセット、25°C、 $V_S = 2.5 V$

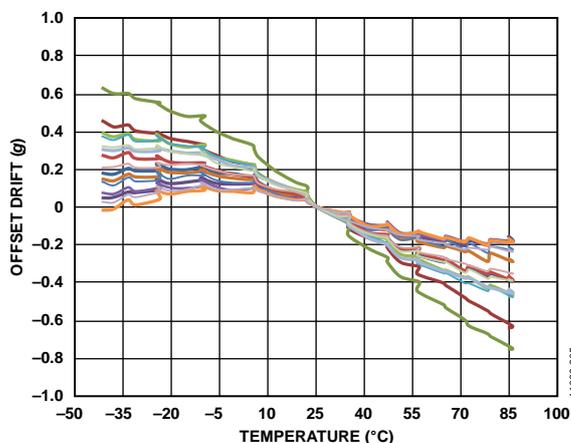


図 9.Z 軸オフセット・ドリフト
15 個の製品を PCB にハンダ付け、 $V_S = 2.5 V$

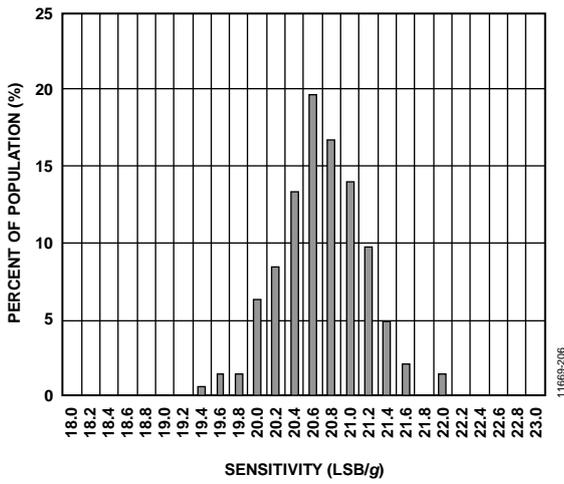


図 10.X 軸感度、25°C、 $V_s = 2.5 V$

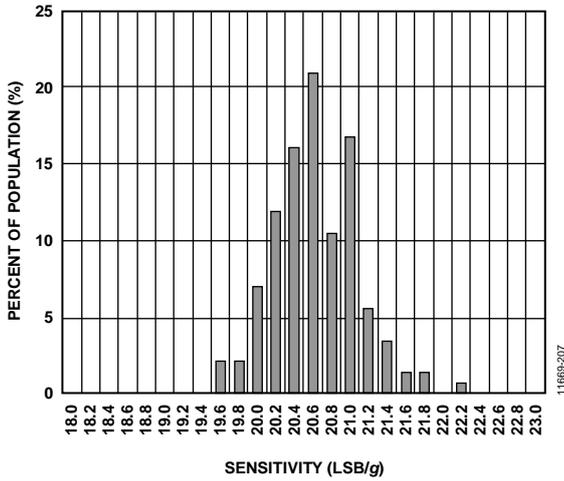


図 11.Y 軸感度、25°C、 $V_s = 2.5 V$

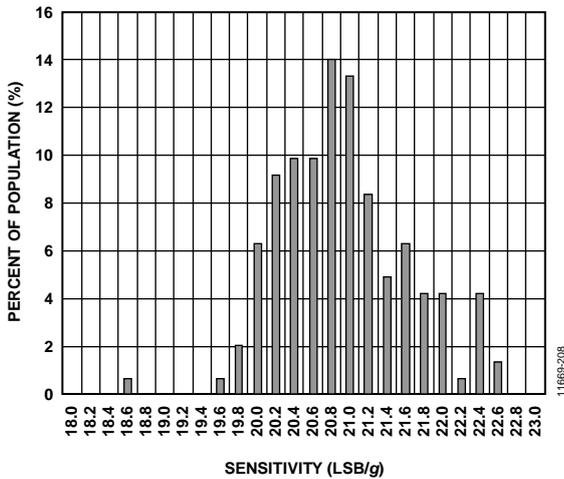


図 12.Z 軸感度、25°C、 $V_s = 2.5 V$

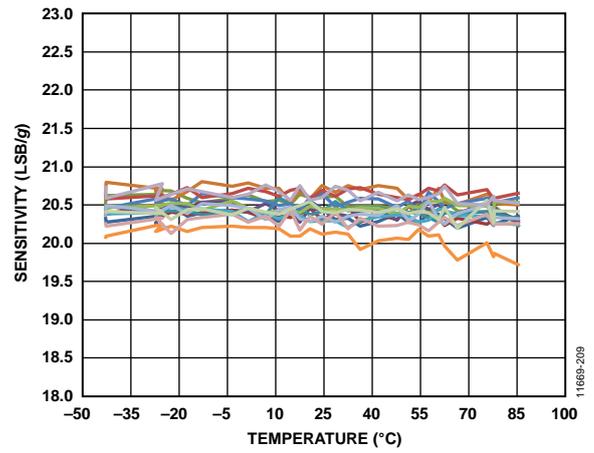


図 13.X 軸感度の温度特性
16 個の製品を PCB にハンダ付け、 $V_s = 2.5 V$

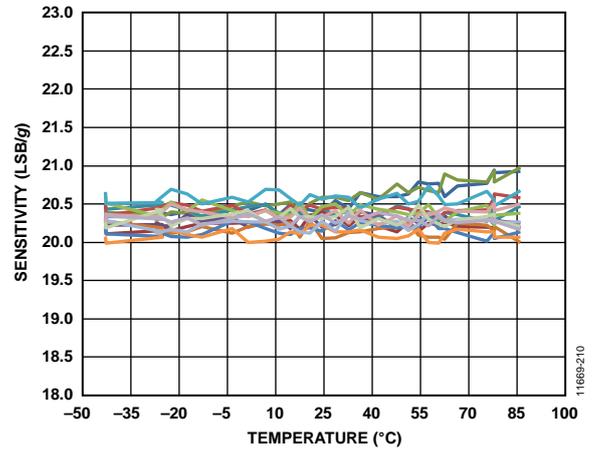


図 14.Y 軸感度の温度特性
16 個の製品を PCB にハンダ付け、 $V_s = 2.5 V$

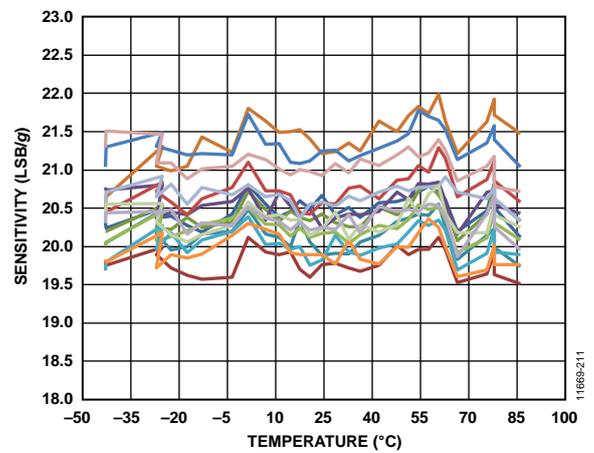


図 15.Z 軸感度の温度特性
16 個の製品を PCB にハンダ付け、 $V_s = 2.5 V$

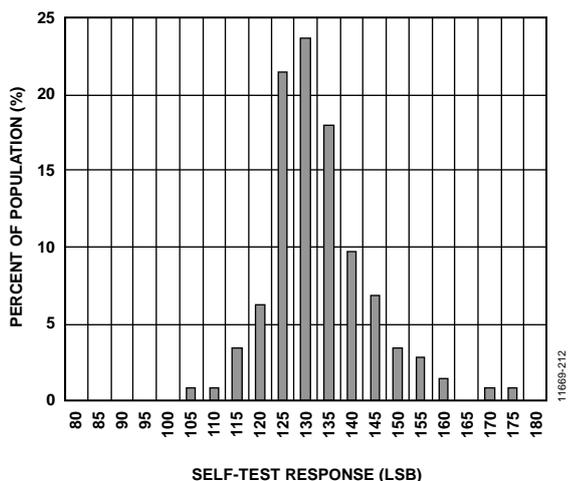


図 16. Z 軸セルフテスト応答、25°C、 $V_S = 2.5\text{ V}$

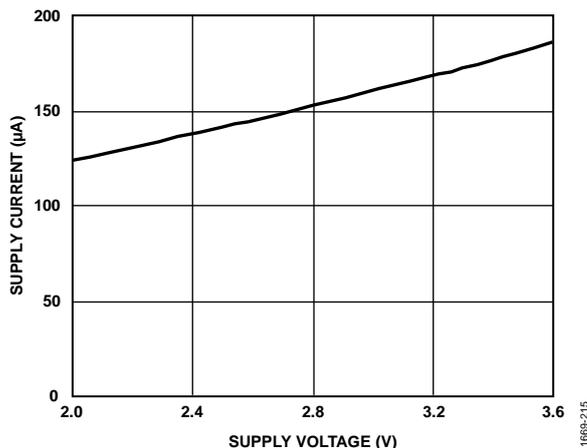


図 19. 電源電流の電源電圧(V_S)特性、25°C

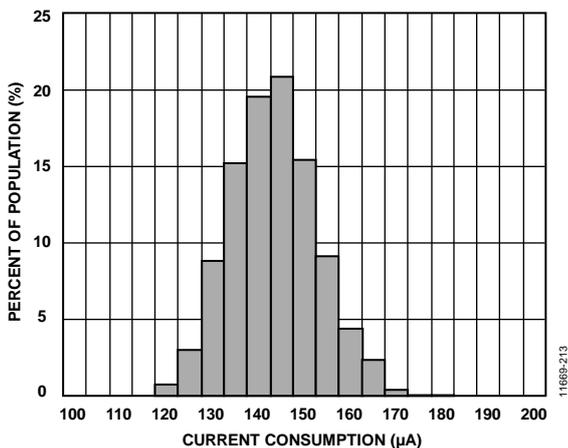


図 17. 消費電流、25°C、100 Hz 出力データレート、 $V_S = 2.5\text{ V}$

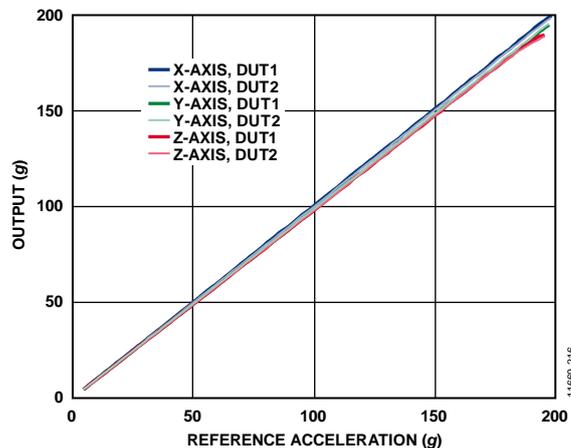


図 20. ダイナミックレンジでの出力直線性

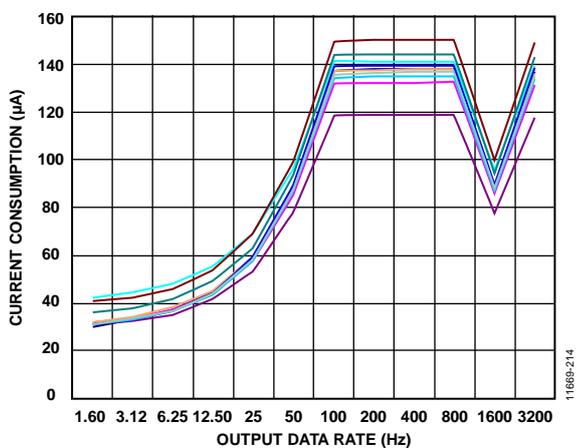


図 18. 消費電流の出力データレート特性、25°C、10 個の製品を PCB にハンダ付け、 $V_S = 2.5\text{ V}$

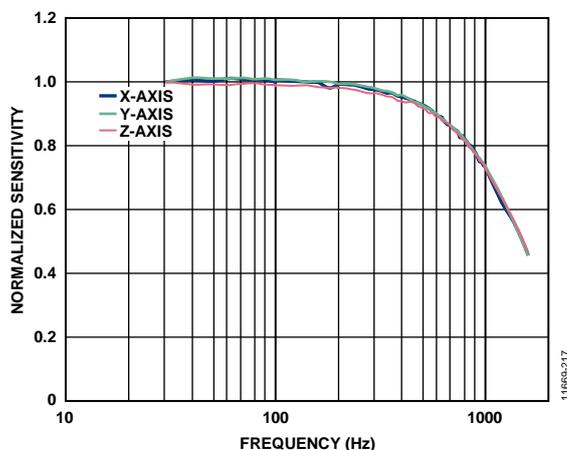


図 21. 周波数応答

動作原理

ADXL375 は、 ± 200 g の測定範囲を持つ完全型 3 軸加速度計測システムです。運動や衝撃から発生する動加速度と、重力などの静加速度を計測します。

このセンサーは、シリコン・ウェハー表面に形成されたポリシリコン表面マイクロシン加工構造です。ポリシリコン・スプリングを使ってこの構造をウェハー表面上に支持し、加えられる加速度により発生する力に対して抗力を与えます。

この構造の変位を、独立した固定プレートと可動部に取り付けられたプレートで構成される差動コンデンサを使って測定します。加速度により可動部が偏向すると、差動コンデンサに不平衡が発生するため、加速度に比例した振幅がセンサー出力に得られます。位相検出復調を使って加速度の振幅と極性を求めます。

電源シーケンス

ADXL375 に損傷を与えることなく、 V_S または $V_{DD\ I/O}$ を任意のシーケンスで加えることができます。表 7 に、すべてのパワー・モードの説明を示します。インターフェースの電圧レベルはインターフェース電源電圧 $V_{DD\ I/O}$ を使って設定します。この電源は、ADXL375 が通信バス上で競合を生じないようにするために入力する必要があります。単電源動作では、 $V_{DD\ I/O}$ とメイン電源 V_S を同じにすることができますが、両電源アプリケーションでは、所望のインターフェース電圧にするため $V_{DD\ I/O}$ と V_S を異なる電圧にすることができます。ただし、 $V_S > V_{DD\ I/O}$ である必要があります。

V_S を加えると、デバイスはスタンバイ・モードになります。スタンバイ・モードでは消費電力が小さくなります。デバイスは $V_{DD\ I/O}$ が加えられるのを待ち、計測モードを開始するコマンドを待ちます。このコマンドは、POWER_CTL レジスタ (アドレス 0x2D) の measure ビット (ビット D3) をセットすると起動されます。

デバイスがスタンバイ・モードの場合、すべてのレジスタに対して読み書き可能です。デバイスをスタンバイ・モードにした後に、計測モードにすることが推奨されます。measure ビットをクリアすると、デバイスはスタンバイ・モードに戻ります。

表 7. 消費電力モード

Power Mode	V_S	$V_{DD\ I/O}$	Description
Power Off	Off	Off	The device is completely off, but it is still possible for the device to create a conflict on the communication bus.
Bus Disabled	On	Off	The device is on in standby mode, but communication is unavailable and the device can create a conflict on the communication bus. Minimize the duration of the bus disabled state during power-up to prevent a conflict on the communication bus.
Bus Enabled	Off	On	No functions are available, but the device does not create a conflict on the communication bus.
Standby or Measurement	On	On	At power-up, the device is in standby mode, awaiting a command to enter measurement mode, and all sensor functions are off. After the device is instructed to enter measurement mode, all sensor functions are available.

消費電流と出力データレート

ADXL375 は、出力データレートに比例して消費電流を自動的に変更します (表 6 参照)。デバイスの帯域幅と出力データレートは、BW_RATE レジスタ (アドレス 0x2C) のレート・ビット (ビット [D3:D0]) を使って指定します。

表 6. 消費電流 (typ) 対データレート ($T_A = 25^\circ\text{C}$ 、 $V_S = 2.5$ V、 $V_{DD\ I/O} = 1.8$ V)

Rate Bits	Output Data Rate (Hz)	Bandwidth (Hz)	I_{DD} (μA)
1111	3200	1600	145
1110	1600	800	90
1101	800	400	140
1100	400	200	140
1011	200	100	140
1010	100	50	140
1001	50	25	90
1000	25	12.5	60
0111	12.5	6.25	50
0110	6.25	3.13	40
0101	3.13	1.56	35
0100	1.56	0.78	35
0011	0.78	0.39	35
0010	0.39	0.20	35
0001	0.20	0.10	35
0000	0.10	0.05	35

省電力モード

低消費電力モード

さらに消費電力を小さくする場合には、低消費電力モードを使用することができます。このモードでは、内部のサンプリング・レートを下げて、12.5 Hz~400 Hz のデータレート範囲で消費電力が削減されますが、ノイズが少し増えます。低消費電力モードを開始するときは、BW_RATE レジスタ (アドレス 0x2C) の LOW_POWER ビット (ビット D4) をセットします。表 8 に、このモードを使うメリットがある場合の出力データレートに対する、低消費電力モードの消費電流を示します。

表 8. データレート対消費電流 (typ)、低消費電力モード ($T_A = 25^\circ\text{C}$ 、 $V_S = 2.5\text{ V}$ 、 $V_{DD\text{ IO}} = 1.8\text{ V}$)

Rate Bits	Output Data Rate (Hz)	Bandwidth (Hz)	I_{DD} (μA)
1100	400	200	90
1011	200	100	60
1010	100	50	50
1001	50	25	45
1000	25	12.5	40
0111	12.5	6.25	35

表 8 に示していないデータレートの場合、低消費電力モードの使用は通常の消費電力モードに比べて利点がありません。したがって、表 8 に示すデータレートに対してのみ低消費電力モードを使用することが推奨されます。

自動スリープ・モード

ADXL375 がインアクティビティ時に自動的にスリープ・モードに切り替わり、さらに消費電力を節約することができます。自動スリープ・モード機能をイネーブルするときは、

1. THRESH_INACT レジスタ (アドレス 0x25) と TIME_INACT レジスタ (アドレス 0x26) に、インアクティビティを指定する値を設定します。該当する値はアプリケーションに依存します。
2. POWER_CTL レジスタ (アドレス 0x2D) の AUTO_SLEEP ビット (ビット D4) と リンク・ビット (ビット D5) をセットします。

自動スリープ・モードで使用される 12.5 Hz 以下のデータレートでの消費電流は、 $V_S = 2.5\text{ V}$ で 35 μA (typ) です。

低消費電力モードまたは自動スリープ・モードを使用する利点については、スリープ・モード対低消費電力モードのセクションを参照してください。

スタンバイ・モード

さらに消費電力を削減する場合は、スタンバイ・モードを使用することができます。スタンバイ・モードでは、消費電流は 0.1 μA (typ) に削減されます。このモードでは、計測は行われませんが、FIFO バッファの値は保持されます。スタンバイ・モードを開始するときは、POWER_CTL レジスタ (アドレス 0x2D) の measure ビット (ビット D3) をクリアします。

FIFO バッファ

ADXL375 では、ホスト・プロセッサ負荷を軽減するときを使用できる 32 レベル FIFO バッファを持つ内蔵メモリ管理システムに対して特許取得済みの技術を採用しています。このバッファには、バイパス、FIFO、ストリーム、トリガの 4 つのモードがあります。各モードは、FIFO_CTL レジスタ (アドレス 0x38、表 9 参照) の FIFO_MODE ビット (ビット [D7:D6]) の設定値により選択されます。

表 9. FIFO モード (FIFO_CTL レジスタ、アドレス 0x38)

Setting		FIFO Mode	Description
D7	D6		
0	0	Bypass	FIFO buffer is bypassed.
0	1	FIFO	FIFO buffer collects up to 32 samples and then stops collecting data, collecting new data only when the buffer is not full.
1	0	Stream	FIFO buffer holds the last 32 samples. When the buffer is full, the oldest data is overwritten with newer data.
1	1	Trigger	FIFO buffer holds the last samples before the trigger event and continues to collect data until full. New data is collected only when the buffer is not full.

FIFO バッファと FIFO モードの詳細については、AN-1025 アプリケーション・ノート「*Utilization of the First In, First Out (FIFO) Buffer in Analog Devices, Inc., Digital Accelerometers*」を参照してください。

バイパス・モード

バイパス・モードでは、FIFO バッファは動作しないため空のままです。

FIFO モード

FIFO モードでは、x 軸、y 軸、z 軸の測定データが FIFO バッファに格納されます。FIFO バッファ内のサンプル数が FIFO_CTL レジスタ (アドレス 0x38) のサンプル・ビットで指定されるレベルに一致すると、watermark 割込みがセットされます (Watermark ビットのセクション参照)。FIFO バッファはサンプルを蓄積してフル (x 軸、y 軸、z 軸から測定した 32 サンプル) になると、データの収集を停止します。

FIFO バッファがデータの収集を停止した後も、デバイスは動作を続けるため、FIFO バッファ満杯後も衝撃検出などの機能を使うことができます。watermark 割込みビットは、FIFO バッファ内のサンプル数が FIFO_CTL レジスタのサンプル・ビットに格納されている値より小さくなるまでセットされたままになります。

ストリーム・モード

ストリーム・モードでは、x 軸、y 軸、z 軸の測定データが FIFO バッファに格納されます。FIFO バッファ内のサンプル数が FIFO_CTL レジスタ (アドレス 0x38) のサンプル・ビットで指定されるレベルに一致すると、watermark 割込みがセットされます (Watermark ビットのセクション参照)。FIFO バッファは x 軸、y 軸、z 軸から測定した最新の 32 サンプルを格納し、新しいデータが到着すると古いデータを廃棄します。watermark 割込みビットは、FIFO バッファ内のサンプル数が FIFO_CTL レジスタのサンプル・ビットに格納されている値より小さくなるまでセットされたままになります。

トリガ・モード

トリガ・モードでは、FIFO バッファは x 軸、y 軸、z 軸から測定した最新の 32 サンプルを格納します。トリガ・イベントが発生すると、割り込みが INT1 ピンまたは INT2 ピン (FIFO_CTL レジスタのトリガ・ビットで指定)へ送信され、FIFO_STATUS レジスタ (アドレス 0x39)の FIFO_TRIG ビット (ビット D7)がセットされます。

FIFO バッファは最新の n サンプル (n の値は FIFO_CTL レジスタのサンプル・ビットで指定)を保持し、その後 FIFO モードで動作して、FIFO バッファがフルでない場合新しいサンプルを収集します。バッファが廃棄の後に必要なサンプルを保持するためには、トリガ・イベントの発生と FIFO バッファからのデータ・リードバックの開始との間に少なくとも 5 μ s の遅延が必要です。デバイスがトリガ・モードにリセットされるまで、次のトリガ・イベントを受理することはできません。デバイスをトリガ・モードにリセットするときは、

1. 必要に応じて、FIFO バッファからデータを読み出します (FIFO バッファからのデータの取得のセクション参照)。デバイスをトリガ・モードにリセットする前に、FIFO データをリードバックします。デバイスをバイパス・モードにすると、FIFO バッファがクリアされます。
2. アドレス 0x38 のビット[D7:D6]に 00 を設定して、デバイスをバイパス・モードにします。
3. アドレス 0x38 のビット[D7:D6]に 11 を設定して、デバイスをトリガ・モードにします。

FIFO バッファからのデータの取得

FIFO バッファが FIFO モード、ストリーム・モード、またはトリガ・モードで動作する場合、FIFO データはデータ・レジスタ (アドレス 0x32~アドレス 0x37)から読むことができます。FIFO バッファからデータが読み出されるごとに、最も古い x 軸、y 軸、z 軸のデータが DATA_X、DATA_Y、DATA_Z の各レジスタに格納されます。

1 バイト読み出しを実行すると、現在の FIFO サンプルの残りのデータバイトが失われます。このため、注目するすべての軸をバースト(複数バイト)読み出し動作で読み出す必要があります。FIFO バッファを確実にエンプティにする(すなわちすべての新しいデータをデータ・レジスタへ移動させる)ためには、データ・レジスタからのリードバックの終わりとはデータ・レジスタまたは FIFO_STATUS レジスタ (アドレス 0x39)からの新しい読み出しの開始との間に少なくとも 5 μ s の時間経過が必要です。データ・レジスタからの読み出し動作の終わりは、レジスタ 0x37 からレジスタ 0x38 への移動により、または \overline{CS} ピンがハイ・レベルになることにより、知らされます。

1.6 MHz 以下で SPI 動作がイネーブルされる場合、転送のレジスタ・アドレッシング部分が、FIFO バッファを完全に読み出すために必要な十分な遅延を提供します。1.6 MHz より高い周波数で SPI 動作がイネーブルされる場合、合計遅延 5 μ s を確保するように \overline{CS} ピンのアサートを解除する必要があります。そうしないと十分な遅延が確保できません。5 MHz で SPI 動作をイネーブルする場合、必要とされる合計遅延は最大 3.4 μ s です。

I²C モードを使用する場合は、通信レートが十分低いので FIFO 読み出しの間の遅延を確保することができます。

セルフテスト

ADXL375 は、機械的システムと電子的システムを同時に効果的にテストするセルフテスト機能を内蔵しています。セルフテスト機能をイネーブルすると (アドレス 0x31 の DATA_FORMAT レジスタの SELF_TEST ビットを使用)、静電気力が機械的センサーに加えられます。

この静電気力が加速度の場合と同じ方法で機械的な検出機構を動かし、デバイスに加わる外部加速度に加算されます。この加えられる静電気力により、x 軸、y 軸、z 軸に出力変化が発生します。静電気力は V_S^2 に比例するため、出力変化は V_S とともに変化します。

x 軸と y 軸のセルフテスト応答は双峰性を示すため、センサー正常性またはデバイス感度シフトの信頼度の高い指標にはなりません。このため、z 軸でセルフテスト・チェックを行います。

100 Hz 以下または 1600 Hz のデータレートでセルフテスト機能を使うと、図 16 に示す規定値の外側の値が発生します。セルフテスト機能を正しく動作させるためには、デバイスを通常消費電力で動作させて (アドレス 0x2C の BW_RATE レジスタで LOW_POWER ビット = 0)、100 Hz~800 Hz または 3200 Hz のデータレートに設定する必要があります (表 6 参照)。

セルフテスト機能の詳細については、セルフテストの使用方法のセクションを参照してください。

割込み

ADXL375には、割込みを駆動するINT1とINT2の2本の出力ピンがあります。両割込みピンは、プッシュ・プル・低インピーダンス・ピンです(出力仕様については、表10を参照してください)。これらの割込みピンのデフォルト設定は、アクティブ・ハイです。DATA_FORMATレジスタ(アドレス0x31)のINT_INVERTビット(ビットD5)をセットすると、アクティブ・ローへ変更することができます。すべての割込み機能は同時にイネーブルできますが、同じ割込みピンを共用する機能もあります。

割込みのイネーブル/ディスエーブル

INT_ENABLEレジスタ(アドレス0x2E)の該当するビットをセットすると割込みがイネーブルされ、INT_MAPレジスタ(アドレス0x2F)の値に応じてINT1ピンまたはINT2ピンに割り当てられます。割込みピンを初めて設定するときは、機能を割込みに対応させた後に割込みをイネーブルすることが推奨されます。

割込みの設定を変更するときは、次の手順に従います。

1. INT_ENABLEレジスタ内の機能に対応するビットをクリアして割込みをディスエーブルします。
2. 割込み機能を再設定します。
3. INT_ENABLEレジスタで割込みを再イネーブルします。

割込みをディスエーブルして機能を設定すると、予期しない割込みの発生を防止するのに役立ちます。

割込みのクリア

割込み機能はラッチされるため、次のようにクリアすることができます。

1. データ・レジスタ(アドレス0x32~アドレス0x37)を讀出して、データ関連の割込みをクリアします。
2. INT_SOURCEレジスタ(アドレス0x30)を讀出して、残りの割込みをクリアします。

表10. 割込みピンのデジタル出力仕様

Parameter	Test Conditions/Comments	Limit ¹		Unit
		Min	Max	
DIGITAL OUTPUT				
Low Level Output Voltage (V _{OL})	I _{OL} = 300 μA		0.2 × V _{DD I/O}	V
High Level Output Voltage (V _{OH})	I _{OH} = -150 μA	0.8 × V _{DD I/O}		V
Low Level Output Current (I _{OL})	V _{OL} = V _{OL, MAX}	300		μA
High Level Output Current (I _{OH})	V _{OH} = V _{OH, MIN}		-150	μA
PIN CAPACITANCE	f _{IN} = 1 MHz, V _S = 2.5 V		8	pF
RISE/FALL TIME	C _{LOAD} = 150 pF			
Rise Time (t _R) ²			210	ns
Fall Time (t _F) ³			150	ns

¹特性結果に基づく規定値、出荷テストは行いません。

²立上がり時間は、割込みピンのV_{OL, MAX}からV_{OH, MIN}への変化時間として測定されます。

³立下がり時間は、割込みピンのV_{OH, MIN}からV_{OL, MAX}への変化時間として測定されます。

割込みレジスタのビット

このセクションでは、INT_ENABLEレジスタ(アドレス0x2E)でセットでき、INT_SOURCEレジスタ(アドレス0x30)でモニタできる割込みについて説明します。

FIFOバッファと割込みビットの詳細については、AN-1025アプリケーションノート「Utilization of the First In, First Out (FIFO) Buffer in Analog Devices, Inc., Digital Accelerometers」を参照してください。

DATA_READY ビット

DATA_READYビットは、新しいデータが使用可能なときセットされ、使用可能な新しいデータがないときクリアされます。

SINGLE_SHOCK ビット

SINGLE_SHOCKビットは、DURレジスタ(アドレス0x21)で指定した時間より短い間に、THRESH_SHOCKレジスタ(アドレス0x1D)値より大きい加速度が1回発生したときセットされます。詳細については、衝撃検出のセクションを参照してください。

DOUBLE_SHOCK ビット

DOUBLE_SHOCKビットは、DURレジスタ(アドレス0x21)で指定した時間より短い間に、THRESH_SHOCKレジスタ(アドレス0x1D)値より大きい加速度が2回発生したときセットされます。2番目の衝撃は、latentレジスタ(アドレス0x22)で指定される時間からwindowレジスタ(アドレス0x23)で指定される時間が経過する前に開始されます。詳細については、衝撃検出のセクションを参照してください。

Activity ビット

activityビットは、THRESH_ACTレジスタ(アドレス0x24)値より大きい加速度が想定される軸で発生したときにセットされます。想定される軸は、ACT_INACT_CTLレジスタ(アドレス0x27)で指定されます。

Inactivity ビット

inactivity ビットは、THRESH_INACT レジスタ (アドレス 0x25) の値より小さい加速度がすべての想定される軸の TIME_INACT レジスタ (アドレス 0x26) で指定される時間より長く加わったときにセットされます。想定される軸は、ACT_INACT_CTL レジスタ (アドレス 0x27) で指定されます。TIME_INACT の最大値は 255 sec です。

Watermark ビット

watermark ビットは、FIFO バッファ内のサンプル数が FIFO_CTL レジスタ (アドレス 0x38) のサンプル・ビット (ビット [D4:D0]) に格納されている値に一致したときセットされます。FIFO バッファを読出すと、watermark ビットは自動的にクリアされ、FIFO の値はサンプル・ビットで指定される値より小さい値に戻されます。

Overrun ビット

overrun ビットは、未読データが新しいデータで置き換えられたときセットされます。オーバーラン機能の動作は FIFO モードに依存します (FIFO バッファのセクション参照)。

- バイパス・モードでは、データ・レジスタ (アドレス 0x32 ~ アドレス 0x37) で未読データが新しいデータで置き換えられたとき overrun ビットがセットされます。
- FIFO モード、ストリーム・モード、トリガ・モードでは、FIFO バッファがフルのとき overrun ビットがセットされます。

FIFO バッファ値が読出されると、overrun ビットは自動的にクリアされます。

シリアル通信

ADXL375 では、 I^2C と SPI のデジタル通信をサポートしています。両ケースとも、ADXL375 はスレーブとして動作します。 \overline{CS} ピンをハイ・レベル(V_{DDIO})に接続すると、 I^2C モードがイネーブルされます。 \overline{CS} ピンをハイ・レベル(V_{DDIO})に接続するか、外部コントローラから駆動する必要があります。 \overline{CS} ピンを未接続のままにすると、デバイスと交信することはできません。SPI モードでは、 \overline{CS} ピンはバス・マスターから制御されます。SPI 動作モードと I^2C 動作モードでは、ADXL375 からマスター・デバイスへ転送されるデータは、ADXL375 に対する書き込み中は無視する必要があります。

SPI モード

ADXL375 は、3 線式 SPI モードまたは 4 線式 SPI モードに設定することができます(図 22 と図 23 参照)。DATA_FORMAT レジスタ(アドレス 0x31)の SPI ビット(ビット D6)をクリアすると 4 線式モードが、SPI ビットをセットすると 3 線式モードが、それぞれ選択されます。SPI の最大クロック速度は、100 pF の最大負荷で 5 MHz です。このタイミング方式では、クロック極性(CPOL) = 1 かつクロック位相(CPHA) = 1 が必要です。ホスト・プロセッサのクロックの極性と位相を設定する前に ADXL375 に電源を加える場合は、 \overline{CS} ピンをハイ・レベルにした後にクロックの極性と位相を変更してください。3 線式 SPI モードを使用するときは、SDO ピンを 10 k Ω 抵抗を介して、 V_{DDIO} ヘブルアップするか、GND ヘブルダウンすることが推奨されます。

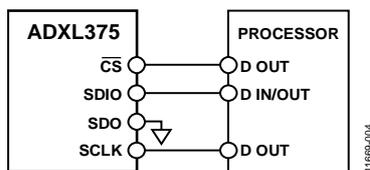


図 22.3 線式 SPI の接続図

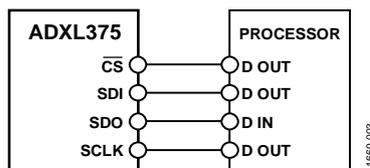


図 23.4 線式 SPI の接続図

\overline{CS} はシリアル・ポート・イネーブル・ラインで、SPI マスターから制御されます。このラインは転送の開始でロー・レベルになり、転送の終わりでハイ・レベルになる必要があります(図 25～図 27 参照)。SCLK はシリアル・ポート・クロックで、SPI マスターから供給されます。SCLK は、転送がないときはアイドルのハイ・レベルになっています。4 線式 SPI モードでは、SDI と SDO がそれぞれシリアル・データ入力と出力になります。3 線式 SPI モードでは、SDIO がシリアル・データ入力と出力になります。データは、SCLK の立下がりエッジで更新され、SCLK の立上がりエッジでサンプルされます。

1 回の転送で複数バイトを読み出したり書き込みするときは、転送される先頭バイトの R/W ビットの後ろにある multiple-byte ビット(図 25～図 27 の MB)をセットする必要があります。レジスタ・アドレス・バイトとデータの先頭バイトの後、後続の各 8 個のクロック・パルスのセットにより、ADXL375 は読み出したり書き込み対象となる次のレジスタを指定します。このシフト動作は、クロック・パルスが終わり、 \overline{CS} のアサートが解除されるまで続きます。不連続な別のレジスタに対して読み出したり書き込みを行うときは、転送と転送の間に \overline{CS} のアサートを解除して、新しいレジスタを別にアドレス指定する必要があります。

図 25 と図 26 に、それぞれ 4 線式 SPI の書き込みと読み出しのタイミング図を示します。図 27 に、3 線式 SPI の読み出しまたは書き込みのタイミング図を示します。デバイスが正しく動作するためには、表 11 と表 12 に示すロジック・スレッショルドとタイミング・パラメータを常に満たす必要があります。

3200 Hz と 1600 Hz の出力データレートの使用は、SPI 通信速度が 2 MHz 以上の場合にのみ推奨されます。800 Hz の出力データレートは、通信速度が 400 kHz 以上の場合にのみ推奨され、残りのデータレートは通信速度に比例して使用してください。例えば、200 Hz 出力データレートに対する最小推奨通信速度は 100 kHz です。推奨最大値を超える出力データレートで動作させると、加速度データにサンプルの喪失やノイズの増加などの悪影響が発生することがあります。

バス・トラフィック・エラーの防止

ADXL375 の \overline{CS} ピンは、SPI 通信を開始する際、および I^2C モードを有効にする際に使います。複数のデバイスを接続した SPI バスで ADXL375 を使用する場合、マスターが他のデバイスと交信している間、 \overline{CS} ピンはハイ・レベルに維持されます。別のデバイスへ送信された SPI コマンドが有効な I^2C コマンドのように見える場合には、条件があります。この場合、ADXL375 はこのコマンドを I^2C モードで通信を行おうとしているものと解釈するため、他のバス・トラフィックを妨害します。このような条件が発生しないようにバス・トラフィックを適切に制御できないかぎり、図 24 に示すようにピン 13 (SDA/SDI/SDIO)の前にロジック・ゲートを追加することが推奨されます。この OR ゲートは \overline{CS} がハイ・レベルのとき SDA ラインをハイ・レベルにして、ADXL375 での SPI バス・トラフィックが I^2C スタート・コマンドとして見えるのを防止します。

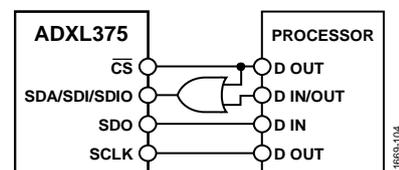


図 24.1 本のバスで複数の SPI デバイスを使用する際の推奨 SPI 接続図

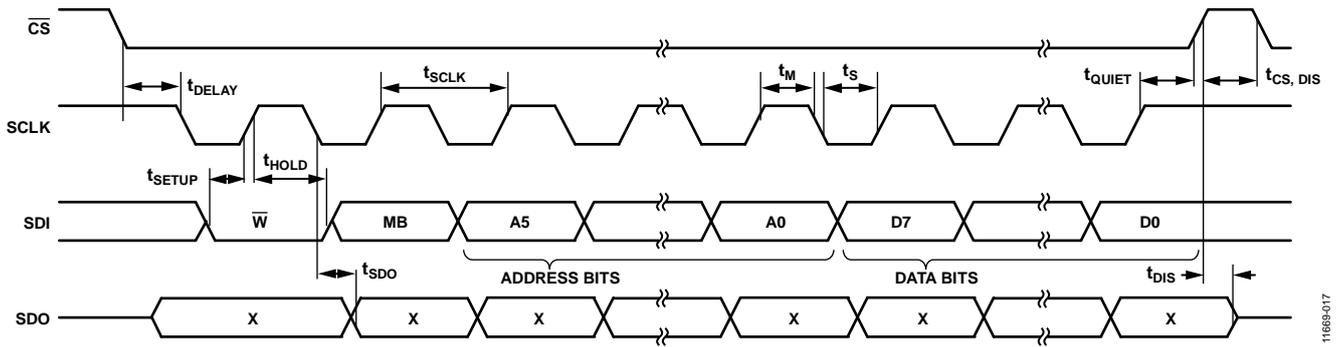


図 25.SPI 4 線式書き込みタイミング図

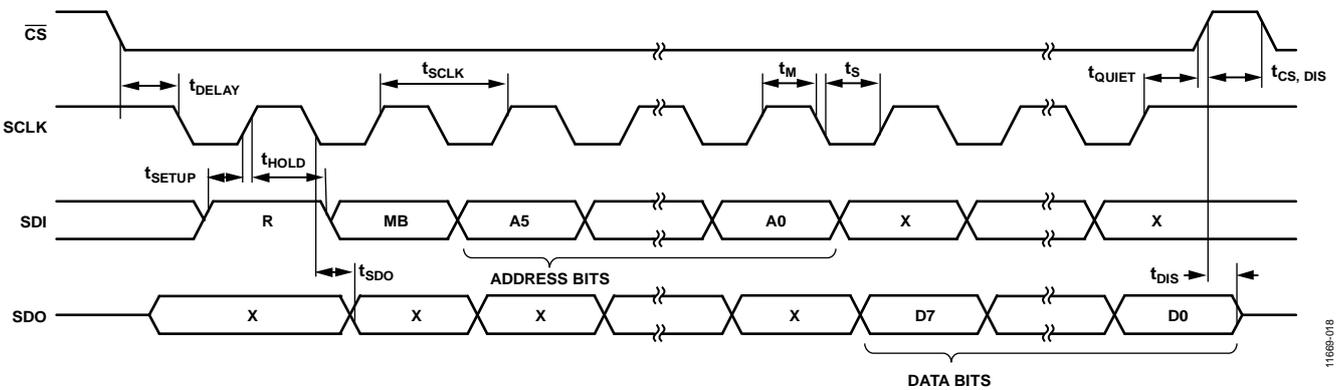
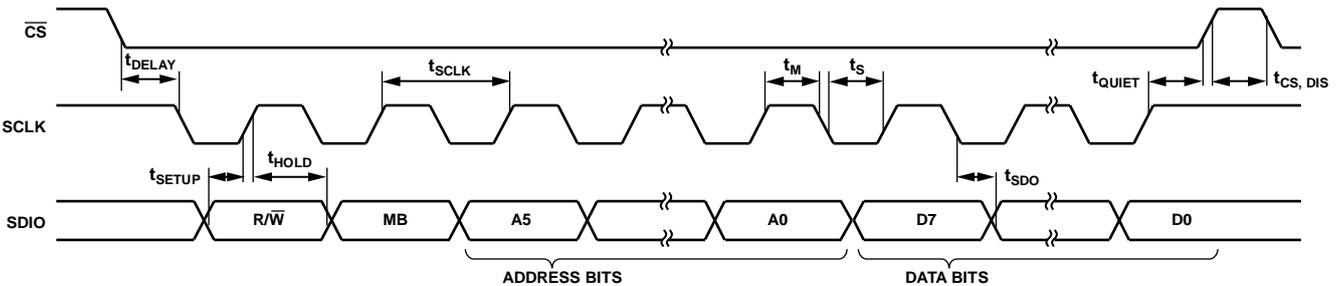


図 26.SPI 4 線式読み出しタイミング図



NOTES
1. t_{SDO} IS ONLY PRESENT DURING READS.

図 27.SPI 3 線式読み出し/書き込みタイミング図

表 11.SPI デジタル入力/出力仕様

Parameter	Test Conditions/Comments	Limit ¹		Unit
		Min	Max	
DIGITAL INPUT				
Low Level Input Voltage (V_{IL})			$0.3 \times V_{DDIO}$	V
High Level Input Voltage (V_{IH})		$0.7 \times V_{DDIO}$		V
Low Level Input Current (I_{IL})	$V_S = V_{DDIO}$		0.1	μA
High Level Input Current (I_{IH})	$V_S = 0 V$	-0.1		μA
DIGITAL OUTPUT				
Low Level Output Voltage (V_{OL})	$I_{OL} = 10 mA$		$0.2 \times V_{DDIO}$	V
High Level Output Voltage (V_{OH})	$I_{OH} = -4 mA$	$0.8 \times V_{DDIO}$		V
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, MAX}$	10		mA
High Level Output Current (I_{OH})	$V_{OH} = V_{OH, MIN}$		-4	mA
PIN CAPACITANCE	$f_{IN} = 1 MHz, V_S = 2.5 V$		8	pF

¹特性結果に基づく規定値、出荷テストは行いません。

表 12.SPI タイミング ($T_A = 25^\circ C$ 、 $V_S = 2.5 V$ 、 $V_{DDIO} = 1.8 V$)¹

Parameter	Limit ^{2,3}		Unit	Description
	Min	Max		
f_{SCLK}		5	MHz	SPI clock frequency
t_{SCLK}	200		ns	Mark-space ratio (1/(SPI clock frequency)) for the SCLK input is 40/60 to 60/40
t_{DELAY}	5		ns	\overline{CS} falling edge to SCLK falling edge
t_{QUIET}	5		ns	SCLK rising edge to \overline{CS} rising edge
t_{DIS}		10	ns	\overline{CS} rising edge to SDO/SDIO disabled
$t_{CS, DIS}$	150		ns	\overline{CS} deassertion between SPI communications
t_S	$0.3 \times t_{SCLK}$		ns	SCLK low pulse width (space)
t_M	$0.3 \times t_{SCLK}$		ns	SCLK high pulse width (mark)
t_{SETUP}	5		ns	SDI/SDIO valid before SCLK rising edge
t_{HOLD}	5		ns	SDI/SDIO valid after SCLK rising edge
t_{SDO}		40	ns	SCLK falling edge to SDO/SDIO output transition
t_R^4		20	ns	SDO/SDIO output high to output low transition
t_F^4		20	ns	SDO/SDIO output low to output high transition

¹ \overline{CS} 、SCLK、SDI、SDO の各ピンは内部でプルアップまたはプルダウンされていません。正常動作のためにはこれらのピンを駆動する必要があります。

² $f_{SCLK} = 5 MHz$ 、バス負荷容量 = 100 pF でのキャラクタリゼーション結果に基づく規定値、出荷テストは行いません。

³ タイミング値は、表 11 に示す入力スレッショルド (V_{IL} と V_{IH}) を基準とします。

⁴ 出力の立上がり時間および立下がり時間は、150 pF の容量負荷で測定しています。 t_R と t_F は図 25～図 27 に示してありません。

I²C モード

CSピンをハイ・レベル(V_{DD I/O})に接続すると、ADXL375 は I²C モードに設定されます。I²C モードでは、シンプルな 2 線式接続が必要です (図 28 参照)。ADXL375 は、NXP Semiconductor 社の「UM10204 I²C-Bus Specification and User Manual, Rev. 03—19 June 2007」に準拠しています。表 13 と表 14 に示すバス・パラメータを満たす場合、ADXL375 は標準 (100 kHz) と高速 (400 kHz) のデータ転送モードをサポートします。

図 29 に示すように 1 バイトまたは複数バイトの読み出し/書き込みをサポートしています。ALT ADDRESS ピン (ピン 12) をハイ・レベルの V_{DD I/O} に接続すると、デバイスの 7 ビット I²C アドレスは 0x1D になり、この後ろに R/W ビットが続きます。この設定では、書き込みアドレスは 0x3A に、読み出しアドレスは 0x3B に、それぞれなります。ALT ADDRESS ピンをグラウンドに接続すると、別の I²C アドレス 0x53 を選択することができます (図 28 参照)。この設定では、書き込みアドレスは 0xA6 に、読み出しアドレスは 0xA7 に、それぞれなります。

未使用ピンには、内部プルアップまたはプルダウン抵抗がないため、CS ピンと ALT ADDRESS ピンをフローティングまたは未接続にした場合、これらのピンには既知状態またはデフォルト状態がなくなります。I²C モードを使用する場合、CS ピンを V_{DD I/O} に、ALT ADDRESS ピンを V_{DD I/O} または GND に、それぞれ接続する必要があります。

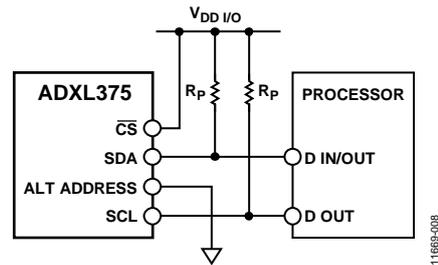


図 28. I²C の接続図 (アドレス 0x53)

通信速度に制限があるため、400 kHz I²C モード使用時の最大出力データレートは 800 Hz であり、I²C 通信速度の変化に比例して変わります。例えば、I²C モードを 100 kHz で使用すると、最大 ODR は 200 Hz に制限されます。推奨最大値を超える出力データレートで動作させると、加速度データにサンプルの喪失やノイズの増加などの悪影響が発生することがあります。

他のデバイスと同じ I²C バスに接続する場合は、これら他のデバイスの公称動作電圧レベルを V_{DD I/O} + 0.3 V 以上にしなさい。I²C の正常動作には、外付けプルアップ抵抗 R_p が必要です (図 28 参照)。プルアップ抵抗値を選択する際に、正常動作を保証するためには、「UM10204 I²C-Bus Specification and User Manual, Rev. 03—19 June 2007」を参照してください。

SINGLE-BYTE WRITE										
MASTER	START	SLAVE ADDRESS + WRITE		REGISTER ADDRESS		DATA		STOP		
SLAVE			ACK		ACK			ACK		
MULTIPLE-BYTE WRITE										
MASTER	START	SLAVE ADDRESS + WRITE		REGISTER ADDRESS		DATA		DATA		STOP
SLAVE			ACK		ACK		ACK		ACK	
SINGLE-BYTE READ										
MASTER	START	SLAVE ADDRESS + WRITE		REGISTER ADDRESS		START ¹	SLAVE ADDRESS + READ			
SLAVE			ACK		ACK			ACK	DATA	NACK STOP
MULTIPLE-BYTE READ										
MASTER	START	SLAVE ADDRESS + WRITE		REGISTER ADDRESS		START ¹	SLAVE ADDRESS + READ			
SLAVE			ACK		ACK			ACK	DATA	ACK DATA NACK STOP

¹THIS START IS EITHER A REPEATED START OR A STOP FOLLOWED BY A START.

NOTES

1. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

図 29. I²C デバイスのアドレス指定

表 13. I²C デジタル入力/出力仕様

Parameter	Test Conditions/Comments	Limit ¹		Unit
		Min	Max	
DIGITAL INPUT				
Low Level Input Voltage (V _{IL})			0.3 × V _{DD I/O}	V
High Level Input Voltage (V _{IH})		0.7 × V _{DD I/O}		V
Low Level Input Current (I _{IL})	V _S = V _{DD I/O}		0.1	μA
High Level Input Current (I _{IH})	V _S = 0 V	-0.1		μA
DIGITAL OUTPUT				
Low Level Output Voltage (V _{OL})	V _{DD I/O} < 2 V, I _{OL} = 3 mA		0.2 × V _{DD I/O}	V
	V _{DD I/O} ≥ 2 V, I _{OL} = 3 mA		400	mV
Low Level Output Current (I _{OL})	V _{OL} = V _{OL, MAX}	3		mA
PIN CAPACITANCE	f _{IN} = 1 MHz, V _S = 2.5 V		8	pF

¹特性結果に基づく規定値、出荷テストは行いません。

表 14. I²C タイミング (T_A = 25°C、V_S = 2.5 V、V_{DD I/O} = 1.8 V)

Parameter	Limit ^{1,2}		Unit	Description
	Min	Max		
f _{SCL}		400	kHz	SCL clock frequency
t ₁	2.5		μs	SCL cycle time
t ₂	0.6		μs	SCL high time
t ₃	1.3		μs	SCL low time
t ₄	0.6		μs	Hold time for start/repeated start condition
t ₅	100		ns	Data setup time
t ₆ ^{3,4,5}	0	0.9	μs	Data hold time
t ₇	0.6		μs	Setup time for repeated start condition
t ₈	0.6		μs	Setup time for stop condition
t ₉	1.3		μs	Bus-free time between a stop condition and a start condition
t ₁₀		300	ns	Rise time of SCL and SDA when receiving
t ₁₁	0	300	ns	Rise time of SCL and SDA when receiving or transmitting
		250	ns	Fall time of SCL and SDA when receiving
		250	ns	Fall time of SCL and SDA when transmitting
C _b		400	pF	Capacitive load for each bus line

¹ f_{SCL} = 400 kHz、3 mA シンク電流での特性結果に基づく規定値、出荷テストは行いません。

² タイミング値は、表 13 に示す入力スレッショルド (V_{IL} と V_{IH}) を基準とします。

³ t₆ は SCL の立下がりから測定されたデータ・ホールド・タイム。送信フェーズとアクノリッジ・フェーズにデータに適用されます。

⁴ SCL の立下がりエッジの不定領域を避けるため、送信デバイスは、SDA 信号に対して最小 300 ns の出力ホールド・タイムを内部で保証する必要があります (SCL 信号の V_{IHMIN} を基準として)。

⁵ SCL 信号のロー区間 (t₃) を伸ばさない場合にのみ t₆ の最大値を満たす必要があります。t₆ の最大値は、クロックのロー時間 (t₃)、クロックの立上がり時間 (t₁₀)、最小データ・セットアップ・タイム (t_{5(MIN)}) の関数です。この値は、t_{6(MAX)} = t₃ - t₁₀ - t_{5(MIN)} として計算されます。

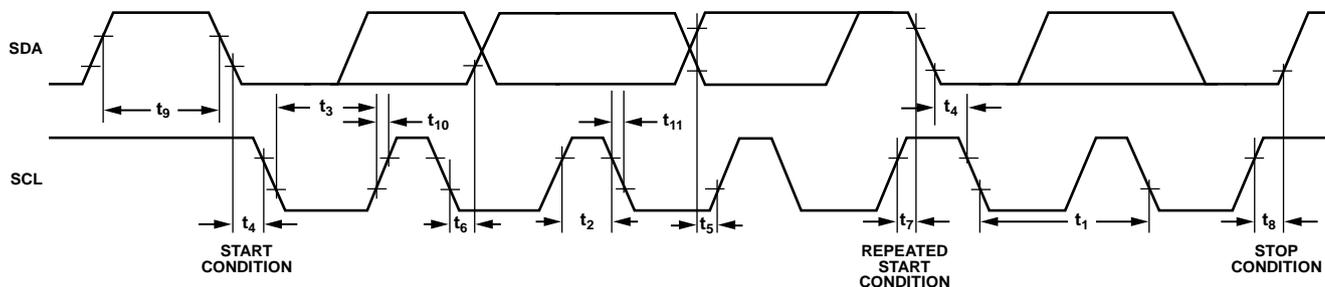


図 30. I²C のタイミング図

11869-034

レジスタ・マップ

ADXL375 のすべてのレジスタは 8 ビット長です。

表 15. レジスタ・マップ

Address		Register Name	Access Type	Reset Value	Description
Hex	Decimal				
0x00	0	DEVID	R	11100101	Device ID
0x01 to 0x1C	1 to 28	Reserved	N/A	N/A	Reserved; do not access
0x1D	29	THRESH_SHOCK	R/ \overline{W}	00000000	Shock threshold
0x1E	30	OFSX	R/ \overline{W}	00000000	X-axis offset
0x1F	31	OFSY	R/ \overline{W}	00000000	Y-axis offset
0x20	32	OFSZ	R/ \overline{W}	00000000	Z-axis offset
0x21	33	DUR	R/ \overline{W}	00000000	Shock duration
0x22	34	Latent	R/ \overline{W}	00000000	Shock latency
0x23	35	Window	R/ \overline{W}	00000000	Shock window
0x24	36	THRESH_ACT	R/ \overline{W}	00000000	Activity threshold
0x25	37	THRESH_INACT	R/ \overline{W}	00000000	Inactivity threshold
0x26	38	TIME_INACT	R/ \overline{W}	00000000	Inactivity time
0x27	39	ACT_INACT_CTL	R/ \overline{W}	00000000	Axis enable control for activity and inactivity detection
0x2A	42	SHOCK_AXES	R/ \overline{W}	00000000	Axis control for single shock/double shock
0x2B	43	ACT_SHOCK_STATUS	R	00000000	Source of single shock/double shock
0x2C	44	BW_RATE	R/ \overline{W}	00001010	Data rate and power mode control
0x2D	45	POWER_CTL	R/ \overline{W}	00000000	Power saving features control
0x2E	46	INT_ENABLE	R/ \overline{W}	00000000	Interrupt enable control
0x2F	47	INT_MAP	R/ \overline{W}	00000000	Interrupt mapping control
0x30	48	INT_SOURCE	R	00000010	Interrupt source
0x31	49	DATA_FORMAT	R/ \overline{W}	00000000	Data format control
0x32	50	DATA_X0	R	00000000	X-Axis Data 0
0x33	51	DATA_X1	R	00000000	X-Axis Data 1
0x34	52	DATA_Y0	R	00000000	Y-Axis Data 0
0x35	53	DATA_Y1	R	00000000	Y-Axis Data 1
0x36	54	DATA_Z0	R	00000000	Z-Axis Data 0
0x37	55	DATA_Z1	R	00000000	Z-Axis Data 1
0x38	56	FIFO_CTL	R/ \overline{W}	00000000	FIFO control
0x39	57	FIFO_STATUS	R	00000000	FIFO status

レジスタの説明

ADXL375 のすべてのレジスタは 8 ビット長です。

レジスタ 0x00—DEVID (読み出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	0	1	0	1

この読み出し専用 DEVID レジスタは、固定デバイス ID コード 0xE5 (8 進 345) を格納します。

レジスタ 0x1D—THRESH_SHOCK (読み書き可能)

THRESH_SHOCK レジスタは、衝撃割込みの符号なしスレッシュホールド値を格納します。衝撃イベントの大きさは、衝撃検出用 THRESH_SHOCK レジスタ値と比較されます。スケール・ファクタは 780 mg/LSB です。値を 0 にして、シングル衝撃/ダブル衝撃割込みをイネーブルすると、予期しない動作が発生します。

レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20—OFSX、OFSY、OFSZ (読み書き可能)

OFSX、OFSY、OFSZ の各レジスタは、2 の補数フォーマットでユーザー設定のオフセット調整値を格納し、スケール・ファクタは 0.196 g/LSB です。オフセット・レジスタの値は加速度データに自動的に加算され、和は出力データ・レジスタ (アドレス 0x32 ~ アドレス 0x37) に格納されます。オフセット・キャリブレーションの詳細とオフセット・レジスタの使い方については、オフセット・キャリブレーションのセクションを参照してください。

レジスタ 0x21—DUR (読み書き可能)

DUR レジスタは、衝撃を判定するために、イベントが THRESH_SHOCK スレッシュホールドを超える必要のある最大時間を表わす符号なし時間値を格納します。スケール・ファクタは 625 μs/LSB です。値を 0 にすると、シングル衝撃/ダブル衝撃機能がディスエーブルされます。

レジスタ 0x22—Latent (読み書き可能)

latent レジスタは、衝撃の検出からウィンドウの開始 (window レジスタで指定) までの待ち時間を表わす符号なし時間値を格納します。この間に 2 番目の衝撃を検出できます。スケール・ファクタは 1.25 ms/LSB です。値を 0 にすると、ダブル衝撃機能がディスエーブルされます。

レジスタ 0x23—Window (読み書き可能)

window レジスタは、レイテンシ時間 (latent レジスタで指定) の経過後の時間を表わす符号なし時間値を格納します。この間に 2 番目の有効な衝撃を開始できます。スケール・ファクタは 1.25 ms/LSB です。値を 0 にすると、ダブル衝撃機能がディスエーブルされます。

レジスタ 0x24—THRESH_ACT (読み書き可能)

THRESH_ACT レジスタは、アクティビティ検出の符号なしスレッシュホールド値を格納します。アクティビティ・イベントの大きさは、THRESH_ACT レジスタ値と比較されます。スケール・ファクタは 780 mg/LSB です。値を 0 にして、アクティビティ割込みをイネーブルすると、予期しない動作が発生します。

レジスタ 0x25—THRESH_INACT (読み書き可能)

THRESH_INACT レジスタは、インアクティビティ検出の符号なしスレッシュホールド値を格納します。インアクティビティ・イベントの大きさは、THRESH_INACT レジスタ値と比較されます。スケール・ファクタは 780 mg/LSB です。値を 0 にして、インアクティビティ割込みをイネーブルすると、予期しない動作が発生します。

レジスタ 0x26—TIME_INACT (読み書き可能)

TIME_INACT レジスタは、インアクティビティと判定するために加速度が THRESH_INACT レジスタ値を下回る必要のある時間を表わす符号なし時間値を格納します。スケール・ファクタは 1 sec/LSB です。フィルタ処理なしの出力データを使う他の割込み機能とは異なり (スレッシュホールド検出と帯域幅のセクション参照)、インアクティビティ機能ではフィルタ済み出力データを使用します。

インアクティビティ割込みがトリガされるためには、少なくとも 1 個の出力サンプルが発生する必要があります。このため、TIME_INACT レジスタに出力データレートの時定数より小さい値を設定した場合、この機能が応答しないように見えます。値 0 を設定すると、出力データが THRESH_INACT レジスタ値より小さいとき割込みが発生します。TIME_INACT の最大値は 255 sec です。

レジスタ 0x27—ACT_INACT_CTL (読み書き可能)

D7	D6	D5	D4
ACT AC/DC	ACT_X enable	ACT_Y enable	ACT_Z enable
D3	D2	D1	D0
INACT AC/DC	INACT_X enable	INACT_Y enable	INACT_Z enable

ACT_INACT_CTL レジスタは DC 結合動作または AC 結合動作を選択し、さらにアクティビティ検出とインアクティビティ検出にかけられる軸を選択します。

ACT AC/DC ビットと INACT AC/DC ビット

ACT AC/DC ビットと INACT AC/DC ビットに 0 を設定すると、DC 結合動作が選択され、1 を設定すると AC 結合動作が選択されます。DC 結合動作では、現在の加速度振幅が THRESH_ACT レジスタ値および THRESH_INACT レジスタ値と直接比較されて、アクティビティまたはインアクティビティのいずれが検出されたかが判定されます。

アクティビティ検出の AC 結合動作では、アクティビティ検出の開始時の加速度値がリファレンス値として採用されます。次に、加速度データの新しいサンプルがこのリファレンス値と比較されて、差の大きさが THRESH_ACT 値を超えた場合、デバイスはアクティビティ割込みを発生します。

同様に、インアクティビティ検出の AC 結合動作では、リファレンス値は比較に使用され、デバイスがインアクティビティ・スレッシュホールドを超えると更新されます。リファレンス値を選択した後、デバイスはリファレンス値と現在の加速度との間の差を THRESH_INACT 値と比較します。この差が TIME_INACT レジスタで指定する時間の間、THRESH_INACT レジスタ値を下回ると、デバイスは非アクティブと見なして、インアクティビティ割込みを発生します。

ACT_x イネーブル・ビットと INACT_x イネーブル・ビット

ACT_x イネーブル・ビットと INACT_x イネーブル・ビットに 1 を設定すると、x 軸、y 軸、または z 軸がアクティビティ検出またはインアクティビティ検出にかけられるようになります。0 を設定すると、選択された軸が除外されます。すべての軸を除外すると、機能がディスエーブルされます。アクティビティ検出の場合、すべての関与する軸の論理和がとられるため、いずれかの軸がアクティビティ・スレッシュホールドを超えるとアクティビティ機能がトリガされます。インアクティビティ検出の場合、すべての関与する軸の論理積がとられるため、指定された時間の間すべての軸がインアクティビティ・スレッシュホールドを下回ったとき、インアクティビティ機能がトリガされます。

レジスタ 0x2A—SHOCK_AXES (読み書き可能)

D7	D6	D5	D4
0	0	0	0
D3	D2	D1	D0
Suppress	SHOCK_X enable	SHOCK_Y enable	SHOCK_Z enable

SHOCK_AXES レジスタは、シングル衝撃検出／ダブル衝撃検出にかけられる各 3 軸を指定します。

Suppress ビット

THRESH_SHOCK レジスタ値より大きい加速度が衝撃と衝撃の間の遅延中に現れる場合、suppress ビットをセットすると、ダブル衝撃検出が停止されます。詳細については、衝撃検出のセクションを参照してください。

SHOCK_x イネーブル・ビット

SHOCK_X イネーブル、SHOCK_Y イネーブル、または SHOCK_Z イネーブルの各ビットに 1 を設定すると、x 軸、y 軸、z 軸の衝撃検出への関与がイネーブルされます。0 を設定すると、選択された軸が衝撃検出から除外されます。

レジスタ 0x2B—ACT_SHOCK_STATUS (読出し専用)

D7	D6	D5	D4
0	ACT_X source	ACT_Y source	ACT_Z source
D3	D2	D1	D0
Asleep	SHOCK_X source	SHOCK_Y source	SHOCK_Z source

読出し専用の ACT_SHOCK_STATUS レジスタは、アクティビティ・イベントまたは衝撃に関与する最初の軸を表示します。

ACT_x ソース・ビットと SHOCK_x ソース・ビット

ACT_x ソース・ビットと SHOCK_x ソース・ビットは、アクティビティ・イベントまたは衝撃に関与する最初の軸を表示します。1 のときは検出への関与を、0 のとき非関与を、それぞれ表わします。新しいデータがある場合、これらのビットはクリアされるのではなく、新しいデータで上書きされます。ACT_SHOCK_STATUS レジスタを読出した後に、割り込みをクリアしてください。アクティビティ・イベントまたは衝撃への軸の関与をディスエーブルすると、次のアクティビティ・イベントまたはシングル衝撃／ダブル衝撃が発生したとき、対応するソース・ビットがクリアされます。

Asleep ビット

asleep ビットが 1 のとき、デバイスがスリープ状態にあり、0 のときデバイスは非スリープ状態にあることを表示します。このビットは、デバイスが自動スリープに設定された場合のみトグルします。自動スリープ・モードの詳細については、AUTO_SLEEP ビットのセクションを参照してください。

レジスタ 0x2C—BW_RATE (読み書き可能)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	LOW_POWER	Rate			

BW_RATE レジスタは、デバイスの帯域幅と出力データレートを設定します。また、このレジスタは、低消費電力モードをイネーブル／ディスエーブルします。

LOW_POWER ビット

LOW_POWER ビットに 0 を設定すると通常動作が、1 を設定すると省電力動作が、それぞれ選択されます。この動作では少しノイズが大きくなります。詳細については、低消費電力モードのセクションを参照してください。

Rate ビット

rate ビットはデバイスの帯域幅と出力データレートを設定します (表 6 と表 8 を参照)。これらのビットのデフォルト値は 0x0A で、これは 100 Hz の出力データレートに対応します。選択する出力データレートは、選択する通信プロトコルと周波数に対応する必要があります。低い通信速度で高過ぎる出力データレートを選択すると、サンプルが失われます (詳細については、シリアル通信のセクションを参照してください)。

レジスタ 0x2D—POWER_CTL (読み書き可能)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	Link	AUTO_SLEEP	Measure	Sleep	Wakeup	

POWER_CTL レジスタを使うと、デバイスを自動スリープ・モードに設定することができます。また、このレジスタは、デバイスを計測モード・モードまたはスタンバイ・モードに設定するときにも使用されます。

Link ビット

この link ビットは、アクティビティ機能とインアクティビティ機能が直列動作します。アクティビティ機能とインアクティビティ機能をイネーブルする場合、link ビットに 1 を設定すると、インアクティビティが検出されるまで、アクティビティ検出機能の開始が遅延されます。アクティビティが検出されると、インアクティビティ検出が開始され、アクティビティの検出が防止されます。このビットに 0 を設定すると、インアクティビティ機能とアクティビティ機能が並行動作します。リンク機能の詳細については、リンク・モードのセクションを参照してください。

link ビットをクリアする前に、デバイスをスタンバイ・モードにすることが推奨されます (measure ビット (ビット D3) に 0 を設定)。link ビットをクリアした後、デバイスを計測モードに再設定してください (measure ビット (ビット D3) に 1 を設定)。この設定シーケンスは、スリープ・モードをマニュアルでディスエーブルした場合に、デバイスを正しくバイアスするために実行します。そうしないと、link ビットがクリアされたときにデバイスがスリープ状態であった場合には特に、link ビットのクリア後の、データの最初の数サンプルでノイズが増えます。

AUTO_SLEEP ビット

link ビットをセットした場合、AUTO_SLEEP ビットに 1 を設定すると、自動スリープ機能がイネーブルされます。自動スリープ・モードでは、インアクティビティ機能がイネーブルされ、かつインアクティビティが検出されると(すなわち、少なくとも TIME_INACT で指定された時間の間、加速度が THRESH_INACT 値を下回ったとき)、ADXL375 が自動的にスリープ・モードに切り替わります。アクティビティ検出もイネーブルされると、アクティビティが検出された後に ADXL375 は自動的にスリープからウェイクアップして、BW_RATE レジスタで指定された出力データレートでの動作に戻ります。AUTO_SLEEP ビットに 0 を設定すると、スリープ・モードへの自動切り替えがディスエーブルされます。

link ビットをセットしない場合、AUTO_SLEEP 機能がディスエーブルされますが、AUTO_SLEEP ビットをセットしても、デバイス動作への影響はありません。リンク機能の詳細については、Link ビットのセクションとリンク・モードのセクションを参照してください。自動スリープ・モードの詳細については、自動スリープ・モードのセクションを参照してください。

AUTO_SLEEP ビットをクリアする前に、デバイスをスタンバイ・モードにすることが推奨されます(measure ビット (ビット D3)に 0 を設定)。AUTO_SLEEP ビットをクリアした後、デバイスを計測モードに再設定してください(measure ビット(ビット D3)に 1 を設定)。この設定シーケンスは、スリープ・モードをマニュアルでディスエーブルした場合に、デバイスを正しくバイアスするために実行します。そうしないと、AUTO_SLEEP ビットがクリアされたときにデバイスがスリープ状態であった場合には特に、このビットのクリア後の、データの最初の数サンプルでノイズが増えます。

Measure ビット

measure ビットに 0 を設定するとデバイスがスタンバイ・モードになり、1 を設定するとデバイスが計測モードになります。ADXL375 はスタンバイ・モードでパワーアップし、最小消費電力になります(電源シーケンスのセクション参照)。

Sleep ビット

sleep ビットを 0 に設定するとデバイスは通常の動作モードになり、1 を設定するとデバイスはスリープ・モードになります。スリープ・モードでは、DATA_READY 割込みが禁止され、FIFO バッファへのデータ転送が停止し、wakeUp ビット(ビット[D1:D0])で指定されたサンプリング・レートへ切り替わります。スリープ・モードでは、アクティビティ機能のみが使用できます。DATA_READY 割込みが禁止されている間、出力データ・レジスタ(レジスタ 0x32 ~ レジスタ 0x37)は、wakeUp ビットで指定されるサンプリング・レートで更新されます。

sleep ビットをクリアする前に、デバイスをスタンバイ・モードにすることが推奨されます(measure ビット (ビット D3)に 0 を設定)。sleep ビットをクリアした後、デバイスを計測モードに再設定してください(measure ビット(ビット D3)に 1 を設定)。

WakeUp ビット

wakeUp ビットは、スリープ・モード時のサンプリング・レートを制御します(表 16 参照)。

表 16.スリープ・モードでのサンプリング・レート

Setting		Frequency (Hz)
D1	D0	
0	0	8
0	1	4
1	0	2
1	1	1

レジスタ 0x2E—INT_ENABLE (読み書き可能)

D7	D6	D5	D4
DATA_READY	SINGLE_SHOCK	DOUBLE_SHOCK	Activity
D3	D2	D1	D0
Inactivity	0	Watermark	Overrun

INT_ENABLE レジスタの任意のビットに 1 を設定すると、指定された機能から割込みを発生できるようになります。このレジスタの任意のビットに 0 を設定すると、その機能からの割込みが禁止されます。DATA_READY、watermark、overrun の各ビットは、割込み出力のみをイネーブルし、機能は常にイネーブルされています。割込みをレジスタ 0x2F で設定した後に、このレジスタで出力をイネーブルすることが推奨されます。割込みの詳細については、割込みレジスタのビットのセクションを参照してください。

レジスタ 0x2F—INT_MAP (読み書き可能)

D7	D6	D5	D4
DATA_READY	SINGLE_SHOCK	DOUBLE_SHOCK	Activity
D3	D2	D1	D0
Inactivity	0	Watermark	Overrun

INT_MAP レジスタの任意のビットに 0 を設定すると、指定された割込みが INT1 ピンに送信されます。このレジスタの任意のビットに 1 を設定すると、指定された割込みが INT2 ピンに送信されます。与えられたピンに対して選択されたすべての割込みの論理和がとられます。

レジスタ 0x30—INT_SOURCE (読出し専用)

D7	D6	D5	D4
DATA_READY	SINGLE_SHOCK	DOUBLE_SHOCK	Activity
D3	D2	D1	D0
Inactivity	X ¹	Watermark	Overrun

¹ X = このビットを無視

INT_SOURCE レジスタの任意のビットに 1 が設定されると、指定された機能が割込みを発生したことを表示します。このレジスタの任意のビットに 0 が設定されると、指定された機能が割込みを発生していないことを表示します。DATA_READY、watermark、overrun の各ビットは対応する割込みが発生すると、INT_ENABLE レジスタの設定値に無関係に、常にセットされます。これらのビットは、データ・レジスタ (アドレス 0x32 ~ アドレス 0x37) からデータを読み出すと、クリアされます。DATA_READY ビットと watermark ビットのクリアには、複数回の読出しが必要です。その他のビットと対応する割込みは、INT_SOURCE レジスタを読み出すとクリアされます。

レジスタ 0x31—DATA_FORMAT (読み書き可能)

D7	D6	D5	D4	D3	D2	D1	D0
SELF_TEST	SPI	INT_INVERT	0	1	Justify	1	1

DATA_FORMAT レジスタは、レジスタ 0x32 ~ レジスタ 0x37 に対するデータの表示形式を制御します。

SELF_TEST ビット

SELF_TEST ビットに 1 を設定すると、セルフテスト・フォースがセンサーに加えられて、出力データがシフトします。0 を設定すると、セルフテスト・フォースがディスエーブルされます。セルフテスト機能の詳細については、セルフテストのセクションとセルフテストのセクションを参照してください。

SPI ビット

SPI ビットに 1 を設定すると、デバイスが 3 線式 SPI モードに、0 を設定すると、4 線式 SPI モードに、それぞれなります。

INT_INVERT ビット

INT_INVERT ビットに 0 を設定すると、割込みピンの極性がアクティブ・ハイに、1 を設定すると、割込みピンの極性がアクティブ・ローに、それぞれ設定されます。

Justify ビット

justify ビットに 1 を設定すると左詰め (MSB) モードが、0 を設定すると、符号を拡張した右詰め (LSB) モードが、それぞれ選択されます。

レジスタ 0x32 ~ レジスタ 0x37—DATAx0、DATAx1、DATAY0、DATAY1、DATAz0、DATAz1 (読み出し専用)

これらの 6 バイト (レジスタ 0x32 ~ レジスタ 0x37) は各々 8 ビット長で、各軸の出力データを格納します。

- レジスタ 0x32 とレジスタ 0x33 は、x 軸の出力データを格納します。
- レジスタ 0x34 とレジスタ 0x35 は、y 軸の出力データを格納します。
- レジスタ 0x36 とレジスタ 0x37 は、z 軸の出力データを格納します。

出力データは 2 の補数フォーマットです。DATAx0 は下位バイトで、DATAx1 は上位バイトです (x は X、Y、または Z を表します)。DATA_FORMAT レジスタ (アドレス 0x31) は、データ・フォーマットを制御します。シーケンシャルなレジスタの読み出しの間でのデータ変化を防止するため、6 個のすべてのレジスタに複数バイト読み出しを行うことが推奨されます。

3200 Hz または 1600 Hz の出力データレートを使用する場合、出力データ・ワードの LSB は常に 0 です。データが右詰めの場合、LSB は DATAx0 レジスタのビット D0 に対応します。データが左詰めの場合、LSB は DATAx0 レジスタのビット D3 に対応します。

レジスタ 0x38—FIFO_CTL (読み書き可能)

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_MODE		Trigger	Samples				

FIFO_CTL レジスタは、デバイスの FIFO バッファを設定するときに使います。詳細については、FIFO バッファのセクションを参照してください。

FIFO バッファの詳細については、AN-1025 アプリケーション・ノート「Utilization of the First In, First Out (FIFO) Buffer in Analog Devices, Inc., Digital Accelerometers」を参照してください。

FIFO_MODE ビット

これらのビットは、FIFO モードを表 17 のように設定します。

表 17. FIFO のモード

Setting		FIFO Mode	Description
D7	D6		
0	0	Bypass	FIFO buffer is bypassed.
0	1	FIFO	FIFO buffer collects up to 32 samples and then stops collecting data, collecting new data only when the buffer is not full.
1	0	Stream	FIFO buffer holds the last 32 samples. When the buffer is full, the oldest data is overwritten with newer data.
1	1	Trigger	FIFO buffer holds the last samples before the trigger event and continues to collect data until full. New data is collected only when the buffer is not full.

Trigger ビット

trigger ビットに 0 を設定するとトリガ・モードのトリガ・イベントを INT1 ピンへ、1 を設定するとトリガ・イベントを INT2 ピンへ、それぞれ接続します。

Samples ビット

samples ビットの機能は、選択された FIFO モードに依存します (表 18 参照)。samples ビットを 0 に設定すると、選択した FIFO モードに無関係に、INT_SOURCE レジスタの watermark ビットが直ちにセットされます。トリガ・モードを使用するとき samples ビットに 0 を設定すると、予期しない動作が発生します。

表 18. Samples ビットの機能

FIFO Mode	Samples Bits Function
Bypass	None.
FIFO	Specifies how many FIFO entries are needed to trigger a watermark interrupt.
Stream	Specifies how many FIFO entries are needed to trigger a watermark interrupt.
Trigger	Specifies how many FIFO samples are retained in the FIFO buffer before a trigger event.

レジスタ 0x39—FIFO_STATUS (読み出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_TRIG	0	Entries					

読み出し専用 FIFO_STATUS レジスタは、トリガ・イベント発生の有無を表示し、FIFO バッファに格納されているデータ値の数を報告します。

FIFO_TRIG ビット

FIFO_TRIG ビットが 1 のとき、トリガ・イベントが発生したことを表示します。FIFO_TRIG ビットが 0 のとき、トリガ・イベントが発生していないことを表示します。

Entries ビット

entries ビットは、FIFO バッファに格納されているデータ値の数を表示します。データ・レジスタ (アドレス 0x32～アドレス 0x37) を読み出すと、FIFO バッファに格納されているデータがアクセスされます。FIFO バッファのすべての読み出し(シングルまたは複数バイト)の後、各 FIFO レベルがクリアされてしまうため、FIFO 読み出しはバースト・モード(複数バイト・モード)で行う必要があります。FIFO バッファは最大 32 個のデータを格納します。デバイスの出力フィルタに 1 個格納できるため、常に最大 33 個を格納します。

アプリケーション情報

電源のデカップリング

ADXL375 の電源ピンの近くで、1 μF のタンタル・コンデンサ (C_S) を V_S に、0.1 μF のセラミック・コンデンサ ($C_{I/O}$) を $V_{DD I/O}$ に、それぞれ接続して電源ノイズから加速度センサーを十分デカップリングすることが推奨されます。デカップリングの強化が必要な場合、100 Ω 以下の抵抗またはフェライト・ビーズを V_S に直列に接続すると効果的です。あるいは、 V_S のバイパス・コンデンサを 10 μF のタンタル・コンデンサと 0.1 μF のセラミック・コンデンサの並列接続に増加させると、ノイズ性能を向上させることができます。

ADXL375 のグラウンドから電源グラウンドまでの接続が低インピーダンスとなるように注意する必要があります。これは、グラウンドを経由して送信されるノイズは V_S を経由して送信されるノイズと同じ効果を持つためです。 V_S と $V_{DD I/O}$ を別電源にして、 V_S 電源のデジタル・クロック・ノイズを小さくすることが推奨されます。別電源の使用が不可能な場合は、前述のように電源にフィルタを追加することが必要になります。

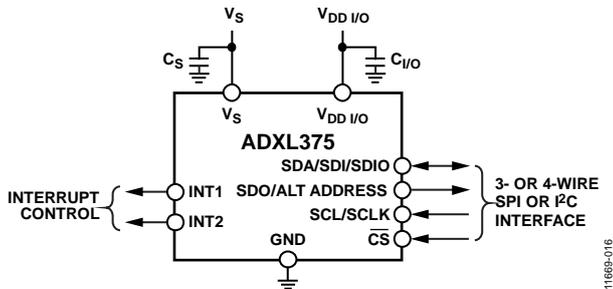


図 31.アプリケーション図

実装時の機構的な注意事項

ADXL375 は、PCB をケースに固定する支持点近くの PCB へ実装する必要があります。支持されていない PCB ロケーションに ADXL375 を実装すると (図 32 参照)、PCB 振動が抑制されないため大きな計測誤差が発生します。支持点近くに加速度センサーを取り付けると、加速度センサーでの PCB 振動が加速度センサーの機械的共振周波数の上になるため、実質的に加速度センサーに対する影響がなくなります。センサー近くに複数の支持点を設けること、および/または PCB を厚くすることは、システム共振によるセンサー性能への影響を小さくすることに役立ちます。

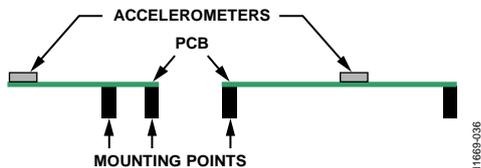


図 32.加速度センサーの不適切な配置

衝撃検出

衝撃割込み機能は、振幅とパルス幅に基づいて機械的な衝撃を検出することができます。図 33 に、有効なシングル衝撃と有効なダブル衝撃のパラメータを示します。

- 衝撃検出スレッシュホールド—THRESH_SHOCK レジスタ (アドレス 0x1D) で指定されます。
- 最大衝撃継続時間 (衝撃の時間制限)—DUR レジスタ (アドレス 0x21) で指定されます。
- 衝撃レイテンシ時間—latent レジスタ (アドレス 0x22) で指定されます。2 番目の衝撃を検出できる場合、レイテンシ時間は最初の衝撃の終わりから時間ウィンドウの開始までの待ち時間です。
- 2 番目の衝撃に対する時間ウィンドウ—window レジスタ (アドレス 0x23) で指定されます。window レジスタで指定される、レイテンシ時間 (latent レジスタで設定) 後の時間間隔。2 番目の衝撃はレイテンシ時間経過後に開始される必要がありますが、window レジスタで指定される時間が終了する前に終わる必要はありません。

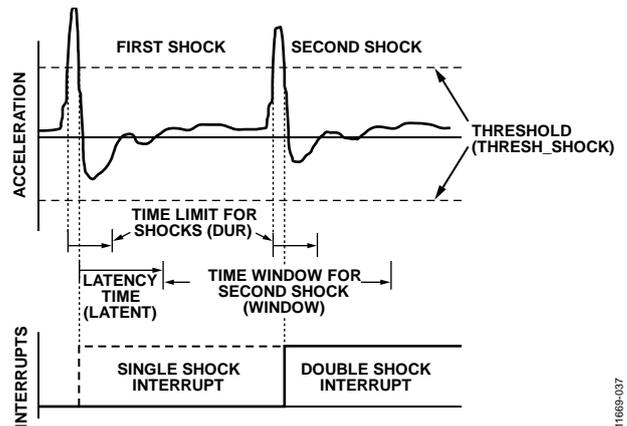


図 33.有効なシングル衝撃およびダブル衝撃での衝撃割込み機能

シングル衝撃機能のみを使用している場合、継続時間を超えない限り、加速度がスレッシュホールドを下回ると、シングル衝撃割込みが発生します。シングル衝撃機能とダブル衝撃機能を使用している場合、ダブル衝撃が有効または無効判定されると、シングル衝撃割込みが発生します。

複数の事象により、ダブル衝撃の 2 番目の衝撃が無効判定されま
す。

- SHOCK_AXES レジスタの suppress ビット (ビット D3、ア
ドレス 0x2A) がセットされている場合、レイテンシ時間
(latent レジスタで設定)中にスレッシュホールドを超えるす
べての加速度スパイクによりダブル衝撃検出が無効にされま
す (図 34 参照)。

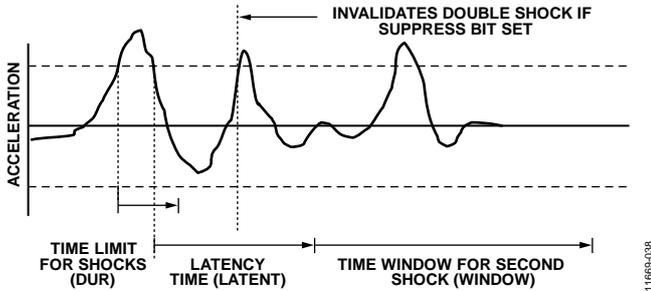


図 34. Suppress ビットのセット中に高 g イベントにより
無効となるダブル衝撃

- 2 番目の衝撃に対する時間ウィンドウ (window レジスタで
指定)の開始時にスレッシュホールドを超える加速度が検出
された場合、ダブル衝撃が無効と判定されることがあり、
このウィンドウの開始時に無効なダブル衝撃となります
(図 35 参照)。
- 加速度が衝撃の時間制限値 (DUR レジスタで設定)を超
える場合、ダブル衝撃は無効と判定されることがあり、2 番
目の衝撃に対する DUR 時間制限値の終わりに無効なダブ
ル衝撃となります (図 35 参照)。

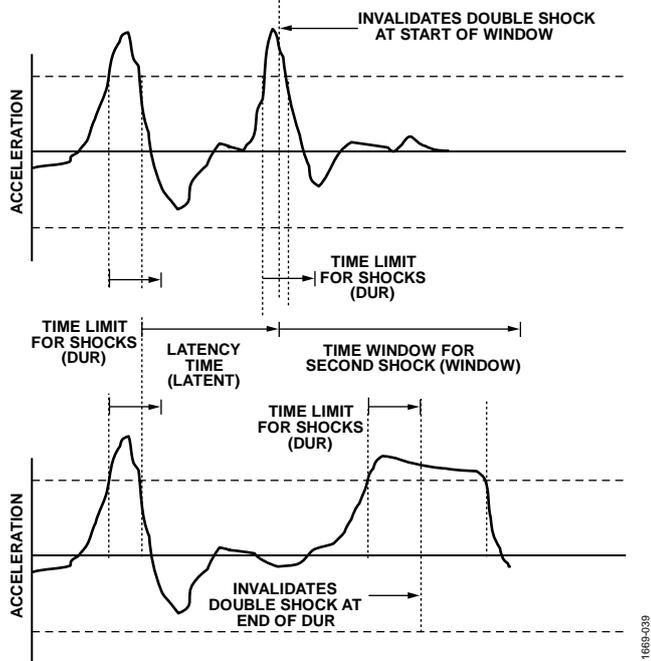


図 35.無効ダブル衝撃での衝撃割込み機能

INT_ENABLE レジスタ (アドレス 0x2E)の該当するビットをセッ
トすることにより、シングル衝撃、ダブル衝撃、または両方を
検出することができます。シングル衝撃検出/ダブル衝撃検出で
の各 3 軸の関与の制御は、SHOCK_AXES レジスタ (アドレス
0x2A)の該当するビットをセットすることにより行われます。ダ
ブル衝撃機能を動作させるためには、latent レジスタと window
レジスタに非ゼロ値を設定する必要があります。

各機械的システムでは、システムの機械的特性に応じて衝撃応
答がある程度異なります。このため、DUR、latent、window、
THRESH_SHOCK の各レジスタには、実験値が必要です。

latent、window、または THRESH_SHOCK の各レジスタに非常
に小さい値を設定すると、加速度センサーが衝撃入力のエコーを
ひろうため予期しない応答が発生します。

衝撃割込みを受信すると、最初の軸が THRESH_SHOCK レベ
ルを超えたことが ACT_SHOCK_STATUS レジスタ (アドレス
0x2B)に報告されます。このレジスタはクリアされることはあり
ませんが、新しいデータで上書きされます。

スレッシュホールド検出と帯域幅

デバイス内部で共通のサンプリング周波数をデシメートすると、
出力データレートを下げることができます。アクティビティ検
出機能とシングル衝撃/ダブル衝撃検出機能は、デシメートな
しのデータを使って行います。出力データの帯域幅はデータレ
ートにより変わり、デシメートなしのデータ帯域幅より狭いた
め、加速度センサーの出力を調べたとき、アクティビティ・イ
ベントとシングル衝撃/ダブル衝撃の判定に使われる高周波か
つ高 g のデータは現れません。このため、機能に対してユーザ
ーが設定した条件を加速度データが満たしていないように見え
るときでも、これらの機能が割込みを発生してしまうことがあ
ります。

リンク・モード

POWER_CTL レジスタ (アドレス 0x2D)の link ビット (ビット D5)
を使って、プロセッサがサーブするアクティビティ割込み数
を少なくすることができます。link ビットは、インアクティ
ビティの後にのみアクティビティを探すようにデバイスを設定し
ます。

この機能を正しく動作させるためには、プロセッサは
INT_SOURCE レジスタ (アドレス 0x30)を読むことにより(した
がって割込みをクリアする)、アクティビティ割込みとインアク
ティビティ割込みに対する応答を続ける必要があります。アク
ティビティ割込みをクリアしないと、デバイスは自動スリー
プ・モードになることはできません。ACT_SHOCK_STATUS レ
ジスタ (アドレス 0x2B)の asleep ビット (ビット D3)は、デバ
イスがスリープ状態にあるか否かを表示します。

スリープ・モード対低消費電力モード

低いデータレートと低消費電力を必要とするアプリケーションでは(ノイズ性能は犠牲にします)、低消費電力モードの使用が推奨されます。低消費電力モードの場合でも、DATA_READY 割込みと FIFO バッファの機能は、加速度データの後処理のために使用できます。低消費電力モードを開始するときは、BW_RATE レジスタ(アドレス 0x2C)の LOW_POWER ビット(ビット D4)をセットします。

スリープ・モードは、低データレートと低消費電力が可能ですが、データ・アクイジション用ではありません。ただし、スリープ・モードを自動スリープ・モードおよびリンク・モードと組み合わせて使う場合、インアクティビティが検出されたとき、デバイスは低消費電力の低サンプリング・レート・モードに自動的に切り替わることができます。冗長なインアクティビティ割込みの発生を防止するときは、インアクティビティ割込みを自動的にディスエーブルして、アクティビティ割込みをイネーブルします。自動スリープ・モードをイネーブルするときは、POWER_CTL レジスタ(アドレス 0x2D)の AUTO_SLEEP ビット(ビット D4)とリンク・ビット(ビット D5)をセットします。

ADXL375 がスリープ・モードのとき、ホスト・プロセッサもスリープ・モードまたは低消費電力モードにすることにより、大幅にシステム消費電力を削減することができます。アクティビティが検出されると、加速度センサーはアプリケーションの元のデータレートに自動的に戻り、ホスト・プロセッサのウェイクアップに使用できるアクティビティ割込みを提供します。インアクティビティの発生と同様に、アクティビティ・イベントの検出をディスエーブルして、インアクティビティの検出をイネーブルします。

オフセット・キャリブレーション

加速度センサーは、自由に運動する機構を内蔵した機械的構造です。これらの可動部分は、固体電子回路に比べて非常に機械的応力に敏感です。

0 g バイアスすなわちオフセットは、加速度測定の基礎となるため、重要な加速度センサーの測定基準です。加速度センサーを内蔵するシステムの組立時に余分な応力が加わることがあります。これらの応力源としては、部品のハンダ付け、取り付け時のボード・ストレス、部品表面または上部への化合物の塗布などがありますが、これらに限りません。キャリブレーションが必要と判断される場合は、システム組立後にキャリブレーションを行ってこれらの影響を補償することが推奨されます。

キャリブレーションのシンプルな 1 つの方法は、ADXL375 の感度は表 1 の規定通りとして、オフセットを測定することです。そうすると、内蔵オフセット・レジスタを使うことにより、このオフセットを自動的に考慮することができます。このキャリブレーションの結果、データ・レジスタから取得するデータはすべてのオフセット補償済みになります。

ノーターンまたはシングル・ポイント・キャリブレーション方式では、1 つの軸(一般に z 軸)が重力 1 g フィールドに、残りの軸(一般に x 軸と y 軸)が 0 g フィールドに、それぞれなるようにデバイスの向きを定めます。次に、一連のサンプルを平均することにより出力を測定します。

平均をとるサンプル数はシステム設計者が決めますが、100 Hz 以上のデータレートでは 0.1 sec 分のデータ(100 Hz データレートで 10 サンプル)を選択することから始めることを推奨します。100 Hz より低いデータレートでは、少なくとも 10 個のサンプルを平均することが推奨されます。x 軸と y 軸での 0 g 測定と z 軸での 1 g 測定に対して、これらの値をそれぞれ X_{0g} 、 Y_{0g} 、 Z_{1g} として格納します。

X_{0g} と Y_{0g} の測定値は x 軸と y 軸のオフセットに対応し、これらの値を加速度センサー出力から減算することにより補償を行い、実際の加速度を次のように求めます。

$$X_{ACTUAL} = X_{MEAS} - X_{0g}$$

$$Y_{ACTUAL} = Y_{MEAS} - Y_{0g}$$

z 軸の測定は+1 g フィールドで行うため、ノーターンまたはシングル・ポイント・キャリブレーション方式では、z 軸で理論感度 S_z を仮定しています。この値を Z_{1g} から減算して z 軸のオフセットを求めます。この値をさらに後で測定する値から減算して実際の値を次のように求めます。

$$Z_{0g} = Z_{1g} - S_z$$

$$Z_{ACTUAL} = Z_{MEAS} - Z_{0g}$$

ADXL375 では、オフセット・レジスタ(レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20)を使って、出力のオフセットを自動的に補償することができます。これらのレジスタは、すべての加速度測定値に自動的に加算される 8 ビットの 2 の補数値を格納しており、その結果は各データ・レジスタに格納されます。オフセット・レジスタに格納されている値は加算可能であるため、レジスタの負値が正オフセットを相殺し、レジスタの正値が負オフセットを相殺します。レジスタのスケール・ファクタは 1.56 g/LSB です。

ADXL375 のすべてのレジスタと同様に、オフセット・レジスタもデバイス電源が失われると、書込まれた値を保持できません。ADXL375 の電源をオン/オフすると、オフセット・レジスタはデフォルト値 0x00 に戻ります。

ノーターンまたはシングル・ポイント・キャリブレーション方法では z 軸で感度に理論値を仮定しているため、感度のすべての誤差はオフセット誤差になります。

3200 Hz と 1600 Hz の出力データレートでのデータ・フォーマット

3200 Hz または 1600 Hz の出力データレートを使う場合、出力データ・ワードの LSB は常に 0 です。データが右詰めの場合、LSB は DATAx0 レジスタのビット D0 に対応します。データが左詰めの場合、LSB は DATAx0 レジスタのビット D3 に対応します。

セルフテストの使用法

セルフテスト変化は、セルフテスト・イネーブル時のある軸の加速度出力と、セルフテスト・ディスエーブル時の同じ軸の加速度出力との差として定義されます。セルフテストをイネーブルまたはディスエーブルするとき、デバイスのフィルタ機能のため、出力は $4 \times \tau$ 後に最終値に到達します。ここで、 $\tau = 1/(\text{データレート})$ です。この定義では、これらの 2 つの測定の間で、センサーは動かないと仮定しています。もしセンサーが動くと、セルフテストに関係しないシフトによりテストが無意味になるためです。

正確なセルフテスト測定には ADXL375 の正しい設定も必要です。デバイスのセルフテスト設定は、次の手順で行います。

1. **BW_RATE** レジスタ (アドレス 0x2C) のレート・ビット (ビット [D3:D0]) に書き込みを行って、データレートを 100 Hz ~ 800 Hz、または 3200 Hz に設定します。BW_RATE レジスタに 0x0A ~ 0x0D、または 0x0F の値を書込みます。
2. 正確なセルフテスト計測のためには、**BW_RATE** レジスタ (アドレス 0x2C) の **LOW_POWER** ビット (ビット D4) をクリアして、デバイスを通常消費電力動作に設定します。
3. デバイスに正確なセルフテスト測定を設定した後、x 軸、y 軸、z 軸の加速度データをセンサーから取得して平均をとります。
平均をとるサンプル数はシステム設計者が決めますが、100 Hz 以上のデータレートでは 0.1 sec 分のデータ (100 Hz データレートで 10 サンプル) を選択することから始めることを推奨します。
4. 平均した値を格納して、セルフテストをディスエーブルしたデータ、すなわち XST_OFF、YST_OFF、ZST_OFF と表します。
5. **DATA_FORMAT** レジスタ (アドレス 0x31) の **SELF_TEST** ビット (ビット D7) をセットして、セルフテストをイネーブルします。
セルフテストをイネーブルした後、出力が安定するのを待つ必要があります (約 4 サンプル間)。
6. 出力が安定した後、x 軸、y 軸、z 軸の加速度データのサンプルをセンサーから取得して平均をとります。
セルフテスト平均には非セルフテスト平均の場合と同じサンプル数を使うことが推奨されます。

7. 平均した値を格納して、セルフテストをイネーブルしたデータ、すなわち XST_ON、YST_ON、ZST_ON と表します。
8. **DATA_FORMAT** レジスタ (アドレス 0x31) の **SELF_TEST** ビット (ビット D7) をクリアして、セルフテストをディスエーブルします。

セルフテストをイネーブルした格納値とディスエーブルした格納値を使って、セルフテスト変化を次のように求めます。

$$X_{ST} = X_{ST_ON} - X_{ST_OFF}$$

$$Y_{ST} = Y_{ST_ON} - Y_{ST_OFF}$$

$$Z_{ST} = Z_{ST_ON} - Z_{ST_OFF}$$

各軸の出力測定値は LSB 数で表わされるため、 X_{ST} 、 Y_{ST} 、 Z_{ST} も LSB 数で表します。これらの値は 49 mg/LSB のスケール・ファクタを乗算して、加速度 (g) へ変換することができます。

セルフテスト変化が有効範囲内の場合、テストは合格と見なされます。一般に、変化の最小振幅が実現されたときデバイスは合格と見なされます。ただし、最大振幅を超えて変化するデバイスは必ずしも故障ではありません。

x 軸と y 軸のセルフテスト応答は双峰性を示すため、センサー正常性またはデバイス感度シフトの信頼度の高い指標にはなりません。このため、z 軸でセルフテスト・チェックを行います。加速度計機能を検証するためにセルフテストを使用するもう 1 つの効果的な方法は、所定のレートでセルフテストをトグルして、出力で FFT を実行する方法です。FFT は、セルフテストをトグルした周波数に対応するトーンを持ちます。この方法で FFT を使用すると、テストの電源電圧とセルフテスト振幅への依存性 (広い範囲で変化します) が除去されます。

加速度感度の軸

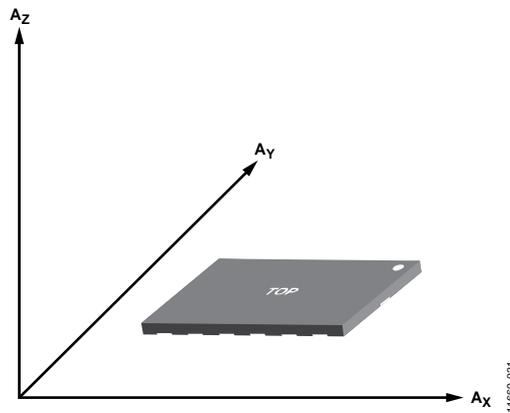


図 36. 加速度感度の軸 (感度軸に平行に加速度を加えたとき対応する出力電圧が増加)

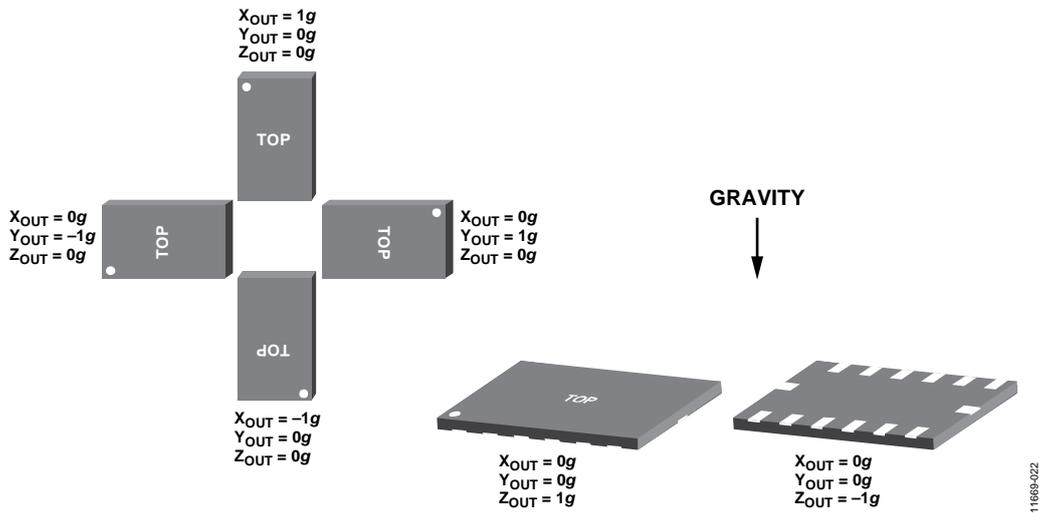


図 37. 出力応答対重力方向

レイアウトとデザインの考慮事項

図 38 に、プリント配線ボードの推奨ランド・パターンを示します。

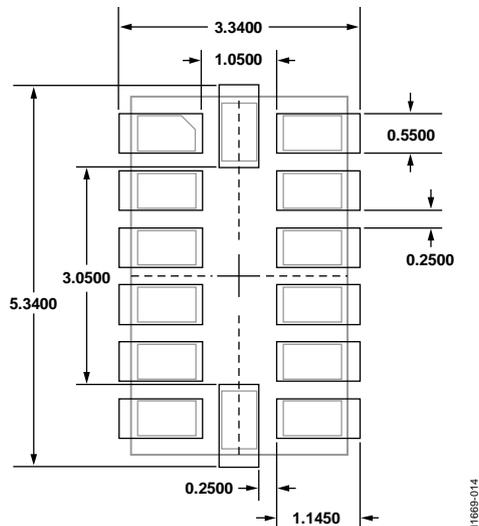


図 38. プリント配線ボードの推奨ランド・パターン(寸法: mm)

パッケージ情報

図 39 と表 19 に、ADXL375 のパッケージ表示を示します。

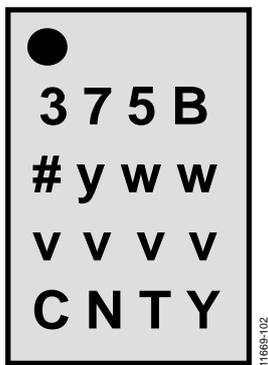
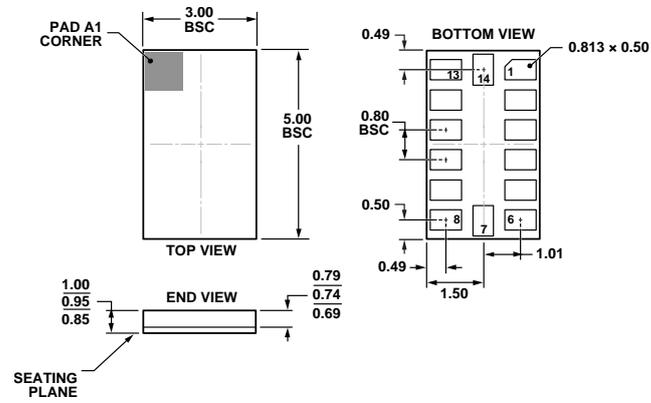


図 39. パッケージの製品情報 (上面図)

表 19. パッケージ・ブランド情報

Branding Key	Field Description
375B	Part identifier for the ADXL375
#	RoHS-compliant designation
yww	Date code
vvv	Factory lot code
CNTY	Country of origin

外形寸法



☒ 40.14 ピン・ランド・グリッド・アレイ [LGA]
(CC-14-1)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Measurement Range (g)	Specified Voltage (V)	Package Description	Package Option
ADXL375BCCZ	-40°C to +85°C	±200	2.5	14-Terminal Land Grid Array [LGA]	CC-14-1
ADXL375BCCZ-RL	-40°C to +85°C	±200	2.5	14-Terminal Land Grid Array [LGA]	CC-14-1
ADXL375BCCZ-RL7	-40°C to +85°C	±200	2.5	14-Terminal Land Grid Array [LGA]	CC-14-1
EVAL-ADXL375Z	-40°C to +85°C			Evaluation Board	
EVAL-ADXL375Z-M				Inertial Sensor Evaluation System, Includes ADXL375 Satellite	
EVAL-ADXL375Z-S				ADXL375 Satellite, Standalone (can be used with other inertial sensor evaluation systems)	

¹ Z = RoHS 準拠製品。

² I²C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。