



マイクロパワー、3軸、±200 g デジタル出力、MEMS 加速度センサー

データシート

ADXL372

特長

- 測定範囲: ±200 g
- 200 Hz ~ 3200 Hz の範囲で帯域幅を選択可能、4 極アンチエイリアシング・フィルタ内蔵
- 選択可能なオーバーサンプリング比
- 調整可能なハイパス・フィルタ
- 超低消費電力
 - コイン・セル・バッテリーによる電力供給が可能
 - 22 μA @ 3200 Hz ODR、2.5 V 電源
 - 低消費電力、低 g アクティブ検出のためのウェークアップ・モード
 - 閾値を調整可能なインスタント・オン・モード: 1.4 μA
 - スタンバイ・モード: <0.1 μA
- システム・レベルの節電を実現する組み込み機能
 - プロセッサの介入が不要な自律的割込み処理
 - ホスト・プロセッサの負荷を最小限に抑えるディープ FIFO 内蔵
- 超低消費電力イベント・モニタリング機能が衝突を検出し、過渡イベントを取り込むのに十分な速度でウェークアップイベントのピーク加速度値を取り込んで保存
- 調整可能な低 g 閾値のアクティブ/インアクティブ検出
- 広い電源範囲: 1.6 V ~ 3.5 V
- 外部トリガによる加速度サンプルの同期
- SPI デジタル・インターフェースと限定 I²C インターフェース形式をサポート
- スケール・ファクタ 100 mg/LSB で 12 ビット出力
- 広い動作温度範囲: -40 °C ~ +105 °C
- 小型・薄型パッケージ: 3 mm × 3.25 mm × 1.06 mm

アプリケーション

- 衝突と衝撃の検知
- 資産の健全性評価
- モノのインターネット (IoT) 用携帯型エッジノード
- 脳震盪や頭部外傷の検出

概要

ADXL372 は超低消費電力の 3 軸 ±200 g MEMS 加速度センサーで、出力データ・レート (ODR) が 3200 Hz のときの消費電流は 22 μA です。ADXL372 は、低消費電力動作を実現するためにフロント・エンドの電源のオン/オフを行わないので、センサー出力にエイリアスが生じるおそれはありません。

ADXL372 は、超低消費電力に加えて、システム・レベルの消費電力を低減しながら衝撃の検出を可能にする多くの特長を備えています。このデバイスは、ディープ・マルチモード出力のファーストイン・ファーストアウト (FIFO)、複数のアクティブ検出モード、閾値を超えるイベントの中からピーク加速度のみを取り込む機能を備えています。

さらに、インアクティブ期間中のモーション・モニタリング用に、割込み駆動によるウェークアップ機能を備えた、追加の低消費電力モードが 2 つあります。ウェークアップ・モードでは、出力ノイズを十分小さく抑えるために加速度データを平均化して、低 g 閾値でデバイス動作をトリガすることができます。ADXL372 はインスタント・オン・モードでは 1.4 μA 消費し、衝突の有無について継続的に環境をモニタします。内部で設定した閾値を超える衝突イベントが検出された場合、デバイスは、イベントを記録するのに十分な速さで通常動作モードに切り替わります。

高 g アプリケーションでは、広い周波数範囲にわたって加速度成分が現れる傾向があります。ADXL372 は、高 g アプリケーションによく見られる帯域外信号を減衰させる、4 極ローパス・アンチエイリアシング・フィルタを内蔵しています。また、ADXL372 は、周囲温度ドリフトのような初期誤差およびゆっくりと変化する誤差を除去するために、ハイパス・フィルタも内蔵しています。

ADXL372 は、100 mg/LSB のスケール・ファクタで 12 ビットのデータを出力します。設定レジスタとデータ・レジスタには、シリアル・ペリフェラル・インターフェース (SPI)、あるいは限定された I²C プロトコルを介してアクセスできます。ADXL372 は広い電源電圧範囲で動作し、3 mm × 3.25 mm × 1.06 mm のパッケージを採用しています。

多機能ピンの名称は、該当する機能でのみ表されることがあります。

機能ブロック図

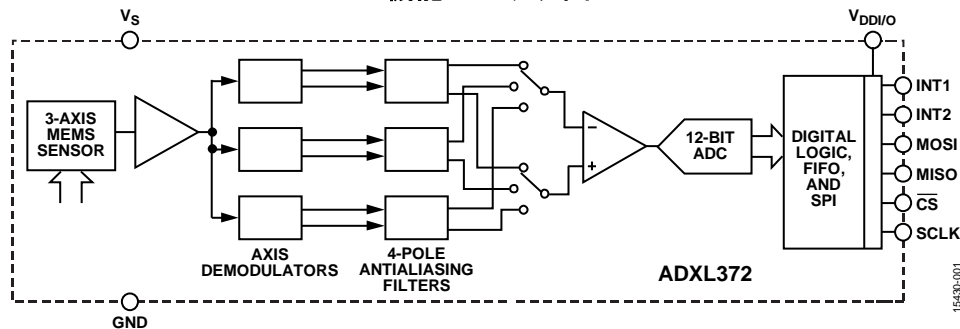


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	複数バイト転送.....	26
アプリケーション.....	1	無効なアドレスとアドレスの折り畳み.....	27
概要.....	1	レジスタ・マップ.....	30
機能ブロック図.....	1	レジスタの詳細.....	32
改訂履歴.....	3	アナログ・デバイセズ ID レジスタ.....	32
仕様.....	4	アナログ・デバイセズ MEMS ID レジスタ.....	32
絶対最大定格.....	6	デバイス ID レジスタ.....	32
熱抵抗.....	6	製品リビジョン ID レジスタ.....	32
推奨されるハンダ処理プロファイル.....	6	ステータス・レジスタ.....	33
ESD に関する注意.....	6	アクティブ・ステータス・レジスタ.....	33
ピン配置およびピン機能説明.....	7	FIFO エントリ・レジスタ、MSB.....	34
代表的な性能特性.....	8	FIFO エントリ・レジスタ、LSB.....	34
動作原理.....	13	X 軸データ・レジスタ、MSB.....	34
機械的デバイスの動作.....	13	X 軸データ・レジスタ、LSB.....	34
動作モード.....	13	Y 軸データ・レジスタ、MSB.....	35
帯域幅.....	13	Y 軸データ・レジスタ、LSB.....	35
消費電力とノイズのトレードオフ.....	14	Z 軸データ・レジスタ、MSB.....	35
節電機能.....	15	Z 軸データ・レジスタ、LSB.....	35
自律的イベント検出.....	16	最大ピーク・データ・レジスタ.....	36
アクティブとインアクティブ.....	16	X 軸最大ピーク・データ・レジスタ、MSB.....	36
モーション警告.....	18	X 軸最大ピーク・データ・レジスタ、LSB.....	36
衝突検出機能.....	19	Y 軸最大ピーク・データ・レジスタ、MSB.....	36
広帯域幅.....	19	Y 軸最大ピーク・データ・レジスタ、LSB.....	37
インスタント・オン衝突検出.....	19	Z 軸最大ピーク・データ・レジスタ、MSB.....	37
衝突イベントの取り込み.....	19	Z 軸最大ピーク・データ・レジスタ、LSB.....	37
FIFO.....	20	オフセット・トリム・レジスタ.....	38
FIFO の利点.....	20	X 軸のオフセット・トリム・レジスタ、LSB.....	38
FIFO の使い方.....	20	Y 軸オフセット・トリム・レジスタ、LSB.....	38
FIFO からのデータ取出し.....	21	Z 軸オフセット・トリム・レジスタ、LSB.....	38
割込み.....	22	X 軸アクティブ閾値レジスタ、MSB.....	39
割込みピン.....	22	X 軸アクティブ閾値レジスタ、LSB.....	39
割込みのタイプ.....	22	Y 軸アクティブ閾値レジスタ、MSB.....	39
その他の機能.....	24	Y 軸アクティブ閾値レジスタ、LSB.....	40
外部クロックの使い方.....	24	Z 軸アクティブ閾値レジスタ、MSB.....	40
同期データ・サンプリング.....	24	Z 軸アクティブ閾値レジスタ、LSB.....	40
セルフ・テスト.....	24	アクティブ・タイム・レジスタ.....	41
ユーザー・レジスタ保護.....	25	X 軸インアクティブ閾値レジスタ、MSB.....	41
ユーザー・オフセット・トリム.....	25	X 軸インアクティブ閾値レジスタ、LSB.....	42
シリアル通信.....	26	Y 軸インアクティブ閾値レジスタ、MSB.....	42
シリアル・インターフェース.....	26	Y 軸インアクティブ閾値レジスタ、LSB.....	43

Z 軸インアクティブ閾値レジスタ、MSB.....	43	INT2 機能マップ・レジスタ	50
Z 軸インアクティブ閾値レジスタ、LSB.....	43	外部タイミング・コントロール・レジスタ	50
インアクティブ・タイム・レジスタ	44	測定コントロール・レジスタ	51
インアクティブ・タイム・レジスタ、MSB	44	パワー・コントロール・レジスタ	52
インアクティブ・タイム・レジスタ、LSB	44	セルフ・テスト・レジスタ	53
X 軸モーション警告閾値レジスタ、MSB	45	リセット（クリア）レジスタ、デバイスはスタンバイ・モード	53
X 軸モーション警告通知レジスタ、LSB	45	FIFO アクセス・レジスタ	53
Y 軸モーション警告通知閾値レジスタ、MSB.....	46	アプリケーション情報	54
Y 軸モーション警告通知レジスタ、LSB	46	アプリケーション例.....	54
Z 軸モーション警告通知閾値レジスタ、MSB.....	46	2.5 V 以外の電圧での動作	54
Z 軸モーション警告通知レジスタ、LSB.....	47	周囲温度以外での動作.....	54
ハイパス・フィルタ設定レジスタ	47	取付けに関する機構上の留意点.....	54
FIFO サンプル・レジスタ	48	加速度検出軸.....	55
FIFO コントロール・レジスタ	48	レイアウトと設計の推奨事項	55
割込みピンの機能マップ・レジスタ	49	外形寸法.....	56
		オーダー・ガイド.....	56

改訂履歴

3/2017—Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.5\text{ V}$ 、 $V_{DDI/O} = 2.5\text{ V}$ 、3200 Hz ODR、1600 Hz 帯域幅、加速度 = 0 g、デフォルトのレジスタ設定。最小仕様と最大仕様はすべて保証されています。代表的な仕様は保証されることがあります。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SENSOR INPUT	Each axis				
Measurement Range			± 200		g
Nonlinearity	Percentage of full scale		± 0.5		%
Sensor Resonant Frequency			16		kHz
Cross Axis Sensitivity ¹			± 2.5		%
OUTPUT RESOLUTION	Each axis				
All Operating Modes			12		Bits
SCALE FACTOR	Each axis				
Scale Factor Calibration Error				± 10	%
Scale Factor at X_{OUT} , Y_{OUT} , Z_{OUT}	Expressed in mg/LSB		100		mg/LSB
	Expressed in LSB/g		10		LSB/g
Scale Factor Change Due to Temperature ²			0.1		%/ $^\circ\text{C}$
0 g OFFSET	Each axis				
0 g Output	X_{OUT} , Y_{OUT} , Z_{OUT} At $V_S = 2.5\text{ V}$ $1.6\text{ V} \leq V_S \leq 3.5\text{ V}$	-3	± 1	+3	g
		-7	± 1	+7	g
0 g Offset vs. Temperature ²					
Normal Operation	X_{OUT} , Y_{OUT} , Z_{OUT}		± 50		mg/ $^\circ\text{C}$
Low Noise Mode	X_{OUT} , Y_{OUT} , Z_{OUT}		± 35		mg/ $^\circ\text{C}$
NOISE PERFORMANCE	Each axis				
RMS Noise					
Normal Operation			3.5		LSB
Low Noise Mode			3		LSB
BANDWIDTH	User selectable				
ODR		400		6400	Hz
High-Pass Filter, -3 dB Corner ³		0.24		30.48	Hz
Low-Pass (Antialiasing) Filter, -3 dB Corner ⁴	4-pole low-pass filter	200		ODR/2	Hz
POWER SUPPLY					
Operating Voltage Range (V_S)		1.6	2.5	3.5	V
Input/Output Voltage Range ($V_{DDI/O}$)		1.6	2.5	V_S	V
Supply Current					
Measurement Mode	3200 Hz ODR				
Normal Operation			22		μA
Low Noise Mode			33		μA
Instant On Mode			1.4		μA
Wake-Up Mode	Varies with wake-up rate At slowest wake-up rate		0.77		μA
Standby			<0.1		μA
Power Supply Rejection Ratio (PSRR)	$C_S = 1.1\ \mu\text{F}$, $C_{IO} = 1.1\ \mu\text{F}$, input is 100 mV sine wave on V_S				
Input Frequency					
100 Hz to 1 kHz			-20		dB
1 kHz to 250 kHz			-17		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Turn-On Time	3200 Hz ODR				
Power-Up to Standby	$C_S = 1.1 \mu\text{F}$, $C_{IO} = 1.1 \mu\text{F}$		5		ms
Measurement Mode Instruction to Valid Data	Filter settle bit = 1		370		ms
Instant On ULP Monitoring to Full Bandwidth Data	Filter settle bit = 0		16		ms
			1		ms
ENVIRONMENTAL TEMPERATURE					
Operating Temperature Range		-40		+105	°C

¹ 交差軸感度は、任意の2軸のカップリングとして定義されます。

² -40 °C ~ +25 °C、または +25 °C ~ +105 °C。

³ このパラメータには、ODR 設定で使用できるコーナー周波数スケールがあります。

⁴ 帯域幅と ODR は互いに独立に設定されます。

絶対最大定格

表 2.

Parameter	Rating
Acceleration	
Any Axis, Unpowered	10000 g
Any Axis, Powered	10000 g
V _S	-0.3 V to +3.6 V
V _{DDIO}	-0.3 V to +3.6 V
All Other Pins	-0.3 V to V _S
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
ESD, Human Body Model (HBM)	2000 V
Temperature Range (Storage)	-50°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 3.

Package Type ¹	θ _{JA}	θ _{JC}	Unit	Device Weight
CC-16-4	150	85	°C/W	18 mg

¹ 熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

推奨されるハンダ処理プロファイル

図 2 と表 4 に、推奨するハンダ付けプロファイルの詳細を示します。

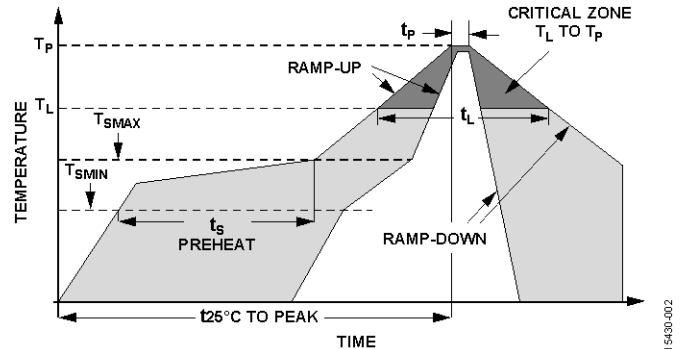


図 2. 推奨のハンダ付けプロファイル

表 4. 推奨のハンダ付けプロファイル

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate (T _L to T _P)	3°C/sec max	3°C/sec max
Preheat		
Minimum Temperature (T _S MIN)	100°C	150°C
Maximum Temperature (T _S MAX)	150°C	200°C
Time (T _S MIN to T _S MAX) (t _s)	60 sec to 120 sec	60 sec to 180 sec
T _S MAX to T _L		
Ramp-Up Rate	3°C/sec max	3°C/sec max
Time Maintained Above Liquidous (T _L)		
Liquidous Temperature (T _L)	183°C	217°C
Time (t _L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T _P)	240 + 0/-5°C	260 + 0/-5°C
Time Within 5°C of Actual Peak Temperature (t _p)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec max	6°C/sec max
Time 25°C to Peak Temperature	6 minutes max	8 minutes max

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

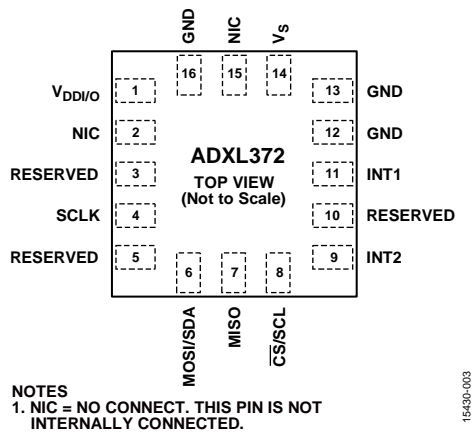


図 3. ピン配置 (上面図)

表 5. ピン機能の説明

Pin No.	Mnemonic	Description
1	V _{DDI/O}	デジタル入力/出力の電源電圧。
2	NIC	接続なし。このピンは、内部では接続されません。
3	RESERVED	予備。このピンは、無接続のままにするか、GND に接続することができます。
4	SCLK	SPI シリアル通信クロック。
5	RESERVED	予備。このピンは、無接続のままにするか、GND に接続することができます。
6	MOSI/SDA	SPI マスター出力/スレーブ入力 (MOSI)。I ² C シリアル・データ (SDA)。
7	MISO	SPI マスター入力/スレーブ出力。
8	$\overline{\text{CS}}$ /SCL	SPI チップ・セレクト ($\overline{\text{CS}}$)。I ² C シリアル通信クロック (SCL)。
9	INT2	割込み 2 出力。このピンは同期サンプリング用の入力としても機能します。
10	RESERVED	予備。このピンは、無接続のままにするか、GND に接続することができます。
11	INT1	割込み 1 出力。このピンは外部クロッキング用の入力としても機能します。
12	GND	グラウンド。このピンはグラウンドに接続する必要があります。
13	GND	グラウンド。このピンはグラウンドに接続する必要があります。
14	V _S	電源電圧。
15	NIC	接続なし。このピンは、内部では接続されません。
16	GND	グラウンド。このピンはグラウンドに接続する必要があります。

代表的な性能特性

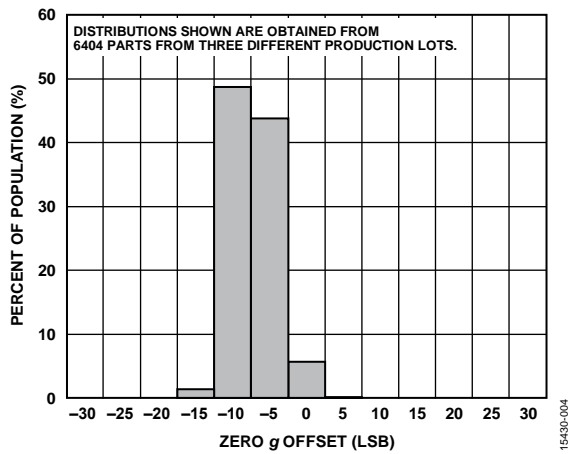


図 4. X 軸の 0 g オフセット (25 °C、 $V_s = 2.5 V$)

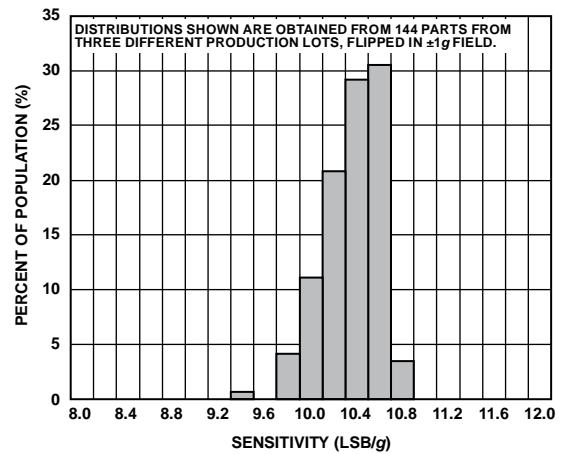


図 7. X 軸感度 (25 °C、 $V_s = 2.5 V$)

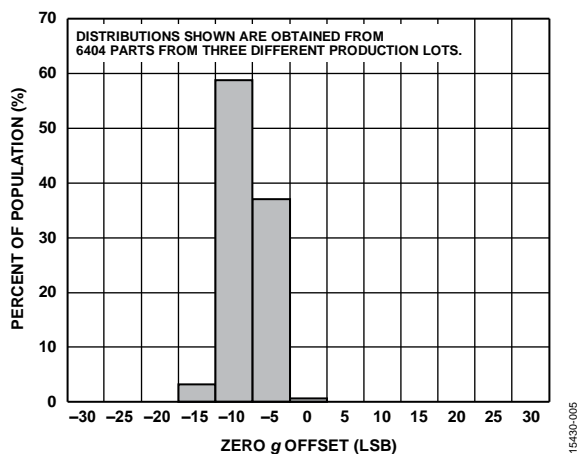


図 5. Y 軸の 0 g オフセット (25 °C、 $V_s = 2.5 V$)

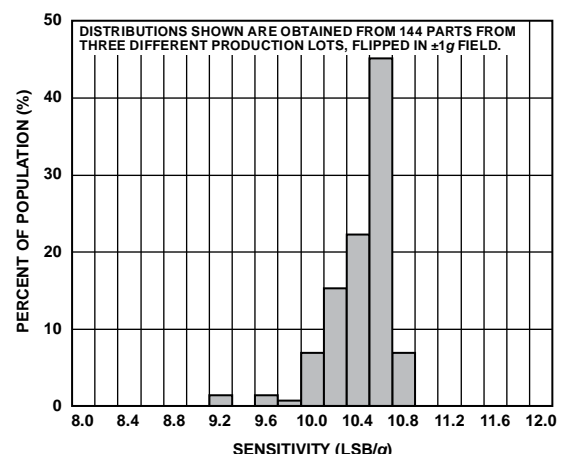


図 8. Y 軸感度 (25 °C、 $V_s = 2.5 V$)

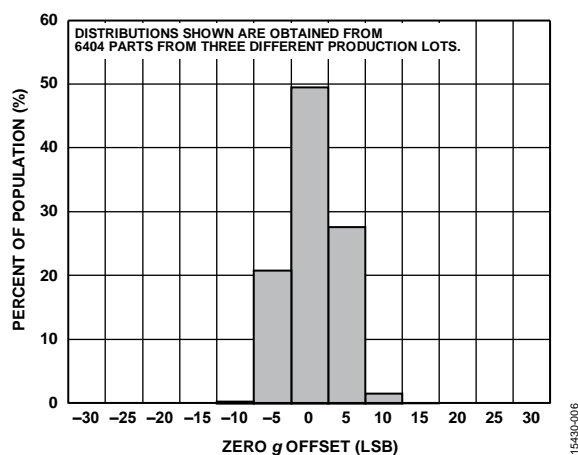


図 6. Z 軸の 0 g オフセット (25 °C、 $V_s = 2.5 V$)

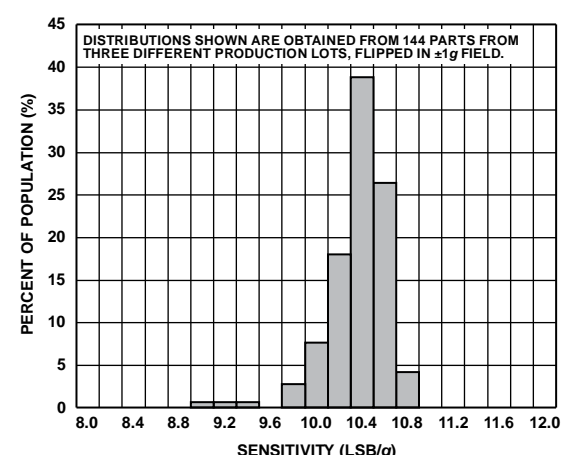


図 9. Z 軸感度 (25 °C、 $V_s = 2.5 V$)

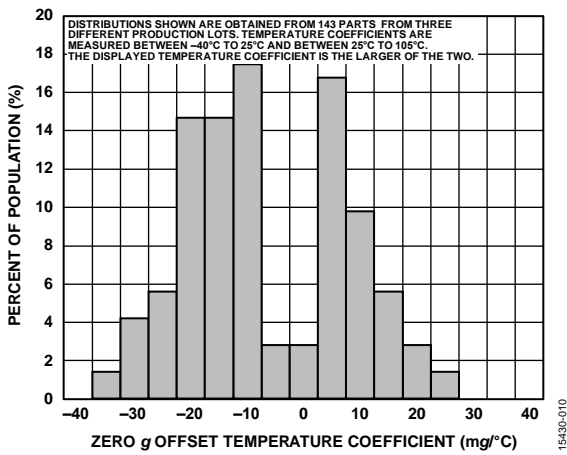


図 10. X 軸の 0 g オフセットの温度係数 ($V_s = 2.5 V$)

15430-010

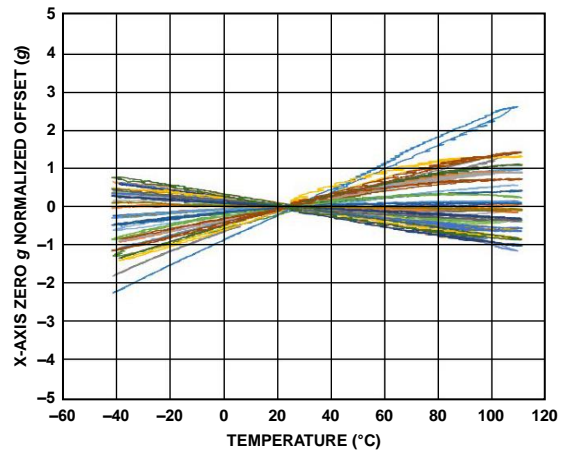


図 13. X 軸の 0 g の正規化されたオフセットの温度特性 (36 個のデバイスを PCB にハンダ付け、ODR = 3200 Hz)

15430-013

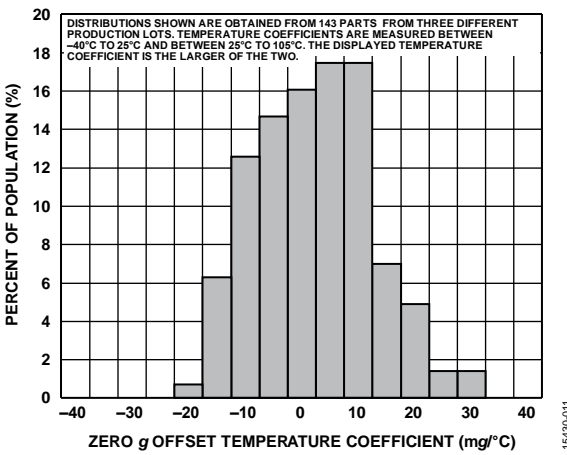


図 11. Y 軸の 0 g オフセットの温度係数 ($V_s = 2.5 V$)

15430-011

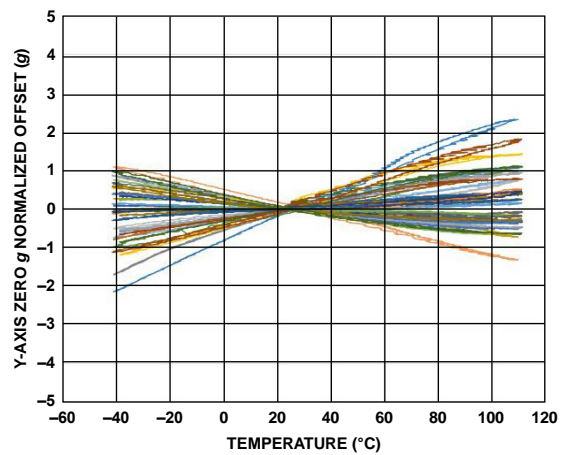


図 14. Y 軸の 0 g の正規化されたオフセットの温度特性 (36 個のデバイスを PCB にハンダ付け、ODR = 3200 Hz)

15430-014

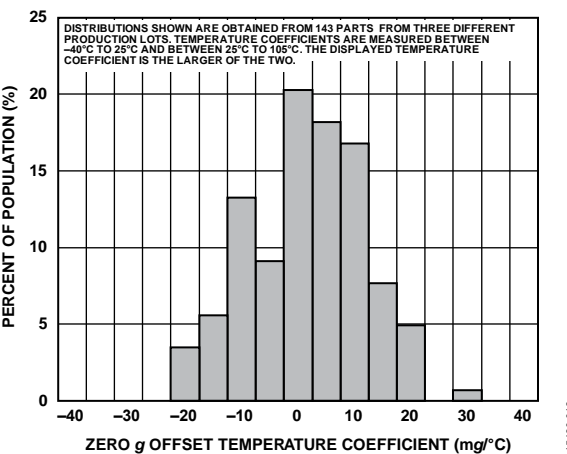


図 12. Z 軸の 0 g オフセットの温度係数 ($V_s = 2.5 V$)

15430-012

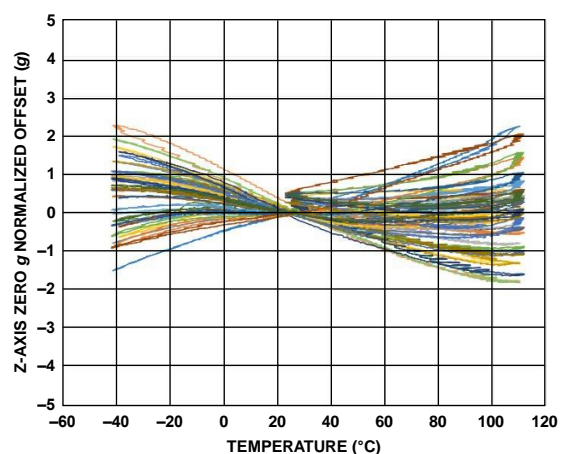


図 15. Z 軸の 0 g の正規化されたオフセットの温度特性 (36 個のデバイスを PCB にハンダ付け、ODR = 3200 Hz)

15430-015

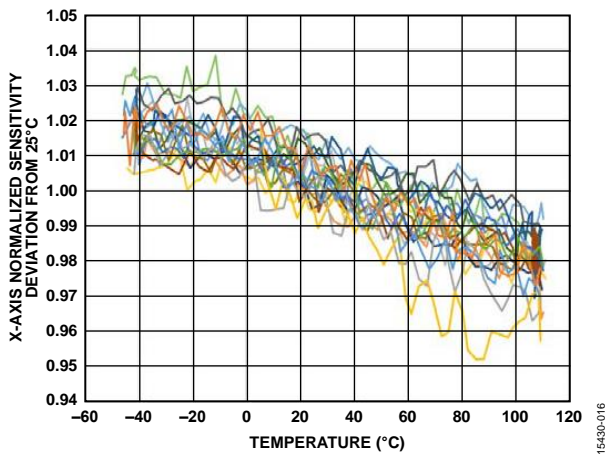


図 16. X 軸の 25 °C からの正規化された感度偏差の温度特性 (18 個のデバイスを PCB にハンダ付け、ODR = 3200 Hz)

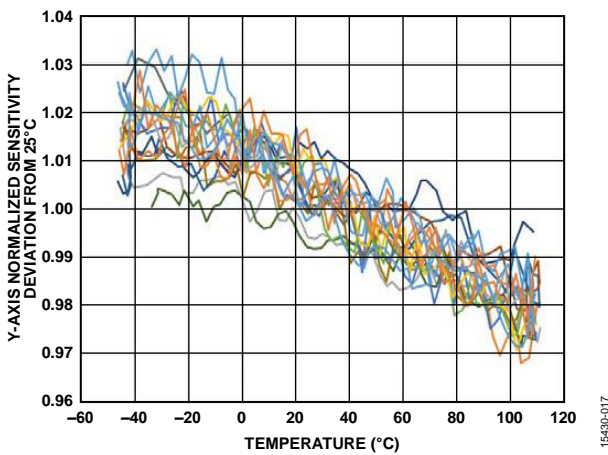


図 17. Y 軸の 25 °C からの正規化された感度偏差の温度特性 (17 個のデバイスを PCB にハンダ付け、ODR = 3200 Hz)

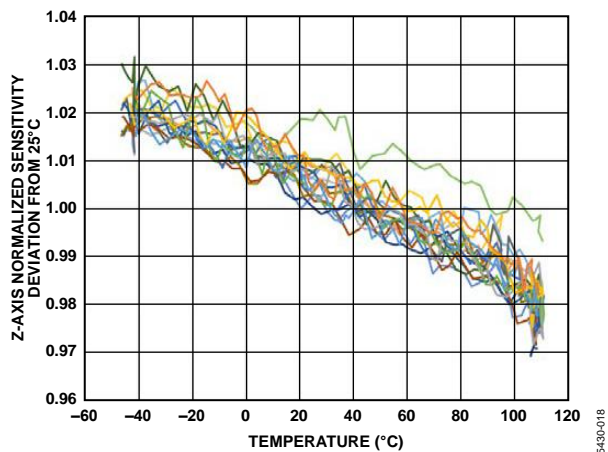


図 18. Z 軸の 25 °C からの正規化された感度偏差の温度特性 (18 個のデバイスを PCB にハンダ付け、ODR = 3200 Hz)

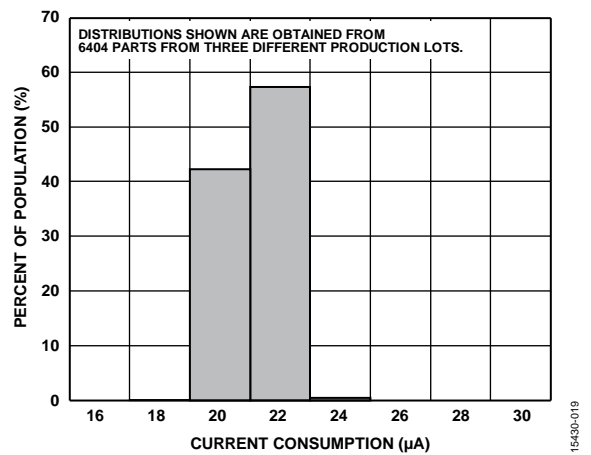


図 19. 消費電流 (25 °C、通常動作モード、ODR = 3200 Hz、 $V_S = 2.5 V$)

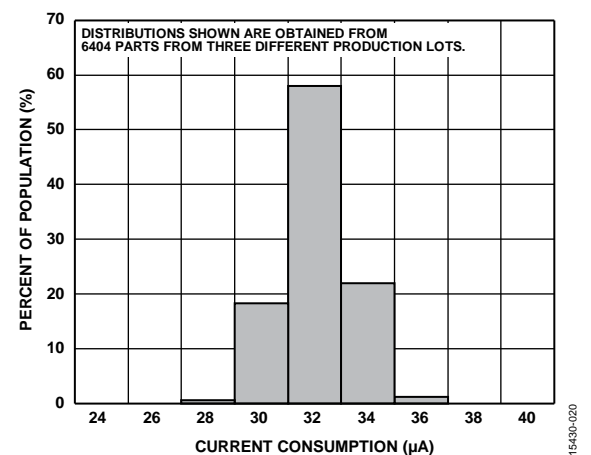


図 20. 消費電流 (25 °C、低ノイズ・モード、ODR = 3200 Hz、 $V_S = 2.5 V$)

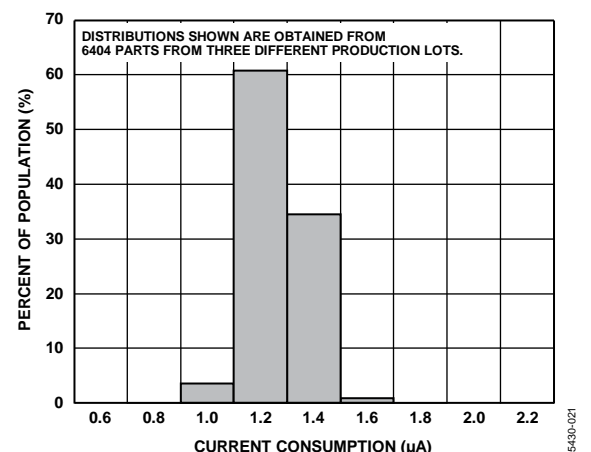


図 21. 消費電流 (25 °C、インスタント・オン・モード、 $V_S = 2.5 V$)

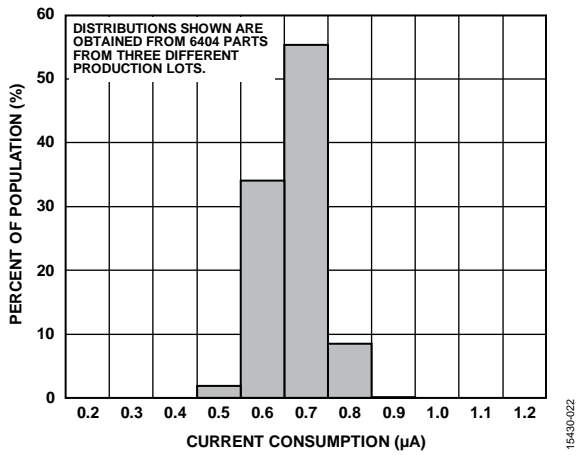


図 22. 消費電流 (25 °C、ウェークアップ・モード、 $V_S = 2.5\text{ V}$)

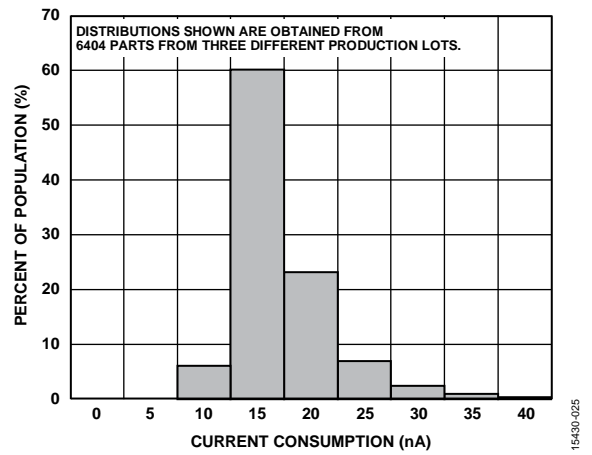


図 25. 消費電流 (25 °C、スタンバイ・モード、 $V_S = 2.5\text{ V}$)

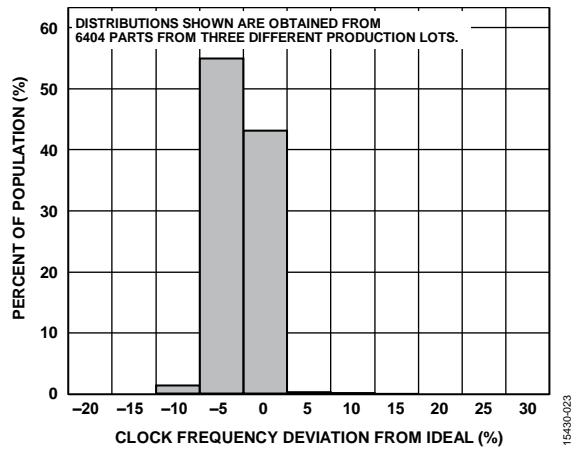


図 23. 理想値からのクロック周波数偏差
(25 °C、ODR = 3200 Hz、 $V_S = 2.5\text{ V}$)

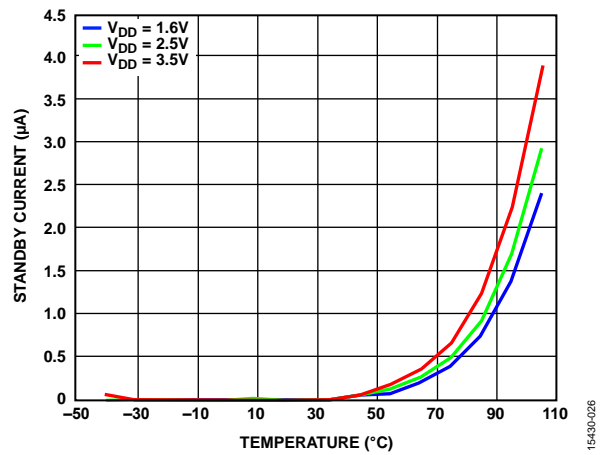


図 26. スタンバイ電流の温度特性

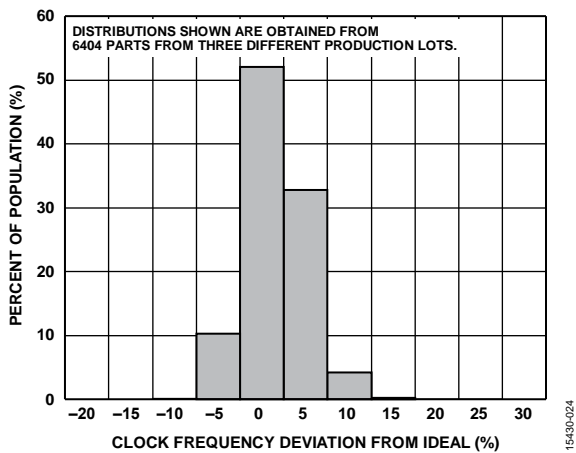


図 24. 理想値からのクロック周波数偏差
(25 °C、ODR = 6400Hz、 $V_S = 2.5\text{ V}$)

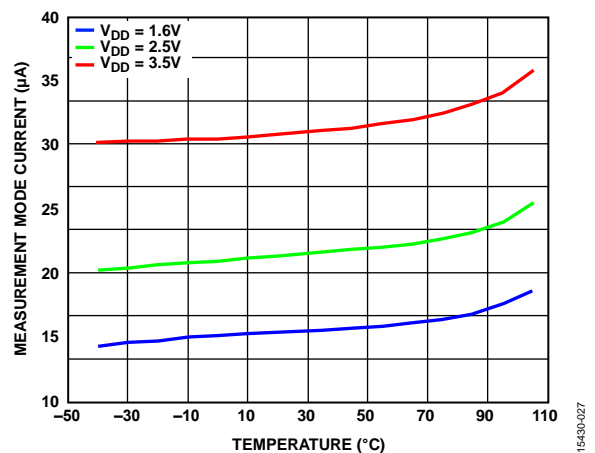


図 27. 測定モード電流の温度特性

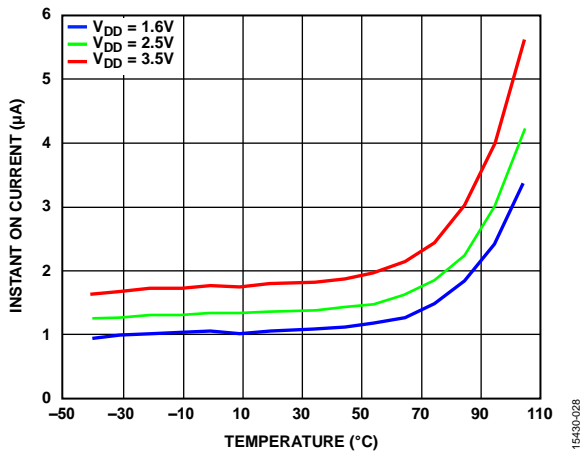


図 28. インスタント・オン電流の温度特性

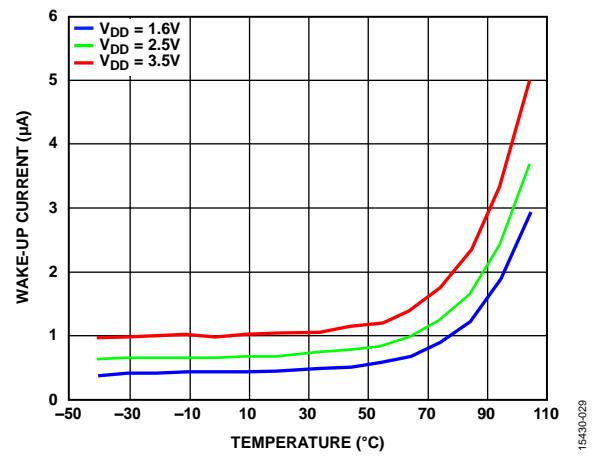


図 29. ウェークアップ電流の温度特性

動作原理

ADXL372は、きわめて低い消費電力レベルで動作する、全機能内蔵型の3軸加速度計測システムです。加速度はデジタルで伝達され、デバイスはSPIおよびI²Cプロトコルで通信します。内蔵のデジタル・ロジックにより自律的に動作することができ、システム・レベルの節電を強化する機能を備えています。

機械的デバイスの動作

センサーの可動部分は、シリコン・ウェーハの上面に形成されるポリシリコン表面のマイクロマシン構造です。ポリシリコンのスプリングがウェーハ表面上方でこの構造部を支え、加加速度力に対する抵抗を与えます。

構造部の変位は、独立した固定プレートと可動部に取り付けられたプレートで構成される、差動コンデンサによって測定されます。加速度は構造部を偏向させ、差動コンデンサを不平衡にするので、振幅が加速度に比例するセンサー出力を生じます。位相検波により、加速度の大きさと極性が決定されます。

動作モード

ADXL372には3つの動作モードがあります。つまり、連続した広帯域幅センシングのための測定モード、低消費電力で衝突を検出するインスタント・オン・モード、および限られた帯域幅で低gのアクティブ検出を行うウェークアップ・モードです。デバイスをスタンバイ・モードにすると、測定を中断することができます。

測定モード

ADXL372のデフォルト動作モードは、測定モードです。このモードでは加速度データが連続的に読み取られ、2.5V電源を使用した場合の加速度センサーの消費電流は、3200Hzの出力データ・レートで22μA（代表値）です。実際の消費電流は選択されたODRによって異なります。ADXL372をこのモードで動作させているときは、このデータシートに記載されたすべての機能を使用できます。

インスタント・オン・モード

インスタント・オン・モードでは、きわめて少ない消費電力で衝突を検出することができます。このモードでは、加速度センサーが継続的に環境をモニタしますが、消費する電流は1.4μA（代表値）に過ぎません。内部閾値を超えるイベントが検出されると、デバイスは測定モードに切り替わり、イベントを記録します。ターゲットのデフォルト閾値は10g～15gですが、変更可能です。デフォルト閾値が低過ぎる場合は、レジスタ・オプションを使用してターゲットの閾値を30g～40gに上げることができます。

電力を節約するために、新しいデジタル加速度データは、加速度センサーが通常動作に切り替わるまで使用できません。しかし、すべてのレジスタは通常の読み出し/書き込み機能を維持しています。

ウェークアップ・モード

ウェークアップ・モードは、きわめて低い消費電力でモーションの有無だけを単純に検出する用途に最適です。ウェークアップ・モードは低gモーションで起動されるオン/オフ・スイッチの実装に特に有効で、アクティブ状態の継続が検出されるまで、残りのシステムをパワー・ダウンすることができます。

ウェークアップ・モードでは、TIMINGレジスタのWAKEUP_RATEビットで設定されるウェークアップ・タイマーの時間だけデバイスがパワー・ダウンされ、その後フィルタのセトリング時間に等しい時間だけオンになります（フィルタのセトリング時間のセクションを参照）。このモードで消費される電流は、これら2つのパラメータによって決定されます。

表 6. さまざまなウェークアップ・タイマー設定とフィルタ設定でのウェークアップ電流 (μA)

Wake-Up Timer (ms)	Filter Settling Time	
	16 ms	370 ms
52	5.8 μA	19.4 μA
104	3.6 μA	17.3 μA
208	2.3 μA	14.4 μA
512	1.4 μA	9.7 μA
2048	0.91 μA	4 μA
4096	0.83 μA	2.5 μA
8192	0.79 μA	1.7 μA
24576	0.77 μA	1.1 μA

モーションが検出された場合、加速度センサーは、以下に示すように、デバイスの設定に応じていくつかの方法で自律的に応答することができます。

- フル帯域幅測定モードに切り替え
- マイクロコントローラに割込みを通知
- 下流側回路をウェークアップ

ウェークアップ・モードの間、すべてのレジスタとFIFOの通常の読み出し/書き込みが可能で、データ・レジスタからリアルタイム・データを読み出すことができますが、読み出し速度は制限されます。ただし、ウェークアップ・モードではFIFOに新しいデータは保存されず、割込みは使えません。

スタンバイ

ADXL372をスタンバイ・モードにすると、測定が中断され、消費電流が100nA未満まで減少します。すべての割込みはクリアされ、新しい割込みは生成されません。ADXL372はパワーアップするとスタンバイ・モードになり、すべてのセンサー機能はオフします。

帯域幅

ローパス・アンチエイリアシング・フィルタ

多くの高gイベントは、広い周波数範囲にわたる加速度成分を含んでいます。ADXL372のA/Dコンバータ(ADC)は、ユーザーが選択したODRで入力加速度をサンプリングします。アンチエイリアシング・フィルタがない場合は、ODRエイリアスの半分を超える周波数の入力信号や、測定帯域幅内部に折り返す入力信号によって、測定が不正確になる可能性があります。このような不正確さを減らすため、ADCの入力は4極ローパス・フィルタを備えています。フィルタの帯域幅は選択可能で、デフォルト値は200Hzです。最大帯域幅は、ナイキスト基準に違反しないように、最大でもODRの半分に制限されます。

ハイパス・フィルタ

ADXL372は、-3 dB 周波数を選択できる1極ハイパス・フィルタを備えています。DC 加速度測定を必要としないアプリケーションでは、初期バイアス、温度によるバイアス・ドリフト、および電源電圧によるバイアス・ドリフトを含む一定のオフセット誤差やゆっくりと変化するオフセット誤差を最小限に抑えるために、ハイパス・フィルタを使用することができます。

ハイパス・フィルタは、1次無限インパルス応答（IIR）フィルタです。使用可能な-3 dB 周波数の一覧を表7に示します。これらの周波数は、出力データ・レートに応じて選択できます。ハイパス・フィルタとローパス・フィルタは、バンドパス・オブションを設定するために、同時に使用することができます。

表 7. ハイパス・フィルタの-3 dB コーナー周波数

Setting	ODR (Hz)				
	6400	3200	1600	800	400
00	30.48	15.24	7.61	3.81	1.9
01	15.58	7.79	3.89	1.94	0.97
10	7.88	3.94	1.97	0.98	0.49
11	3.96	1.98	0.99	0.49	0.24

フィルタのセトリング時間

測定モードに入った後、フィルタのセトリング時間が経過するまで最初の値は出力されません。この時間は、POWER_CTL レジスタの FILTER_SETTLE ビットを使って選択できます。ハイパス・フィルタまたはローパス・アクティブ検出フィルタを使用する場合、有効なデータを得るための推奨（およびデフォルトの）セトリング時間は370 msです。ハイパス・フィルタとローパス・アクティブ検出フィルタの両方がディスエーブルされている場合の理想的なフィルタのセトリング時間は、16 msです。

選択可能な ODR

ADXL372は、400 Hz、800 Hz、1600 Hz、3200 Hz、または6400 Hzで加速度データをレポートすることができます。ODRは選択可能で、デフォルト値は400 Hzです。ODRの半分を超えるアンチエイリアシング・フィルタ帯域幅を選んだ場合は、ODRの半分がデバイスのデフォルト帯域幅になります。図30に示すように、ODRを増減させると、それに応じて消費電流も増減します。

表 8. ノイズと消費電流 (V_S = 2.5 V)

Mode	Typical RMS Noise (LSB)	Typical Current Consumption (μA)
Normal Operation ¹	3.5	22
Low Noise ¹	3	33

¹ V_S = 2.5 V、ODR = 3200 Hz、帯域幅 = 1600 Hz。

表 9. ノイズと消費電流 (V_S = 3.5 V)

Mode	Typical RMS Noise (LSB)	Typical Current Consumption (μA)
Normal Operation ¹	3	32
Low Noise ¹	2.5	44

¹ V_S = 3.5 V、ODR = 3200 Hz、帯域幅 = 1600 Hz。

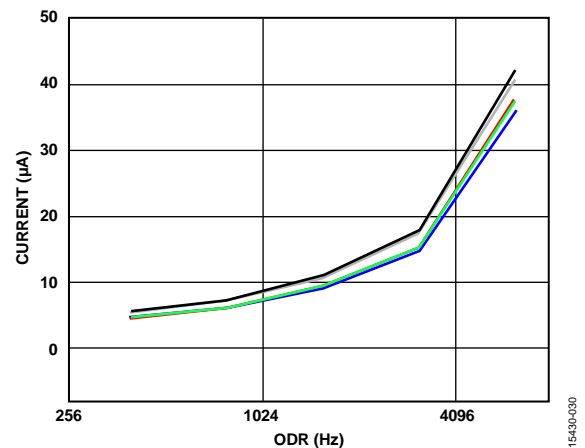


図 30. 5 個のデバイスの測定モード電流と ODR

消費電力とノイズのトレードオフ

通常動作での ADXL372 のノイズ性能は、3200 Hz の ODR と 1600 Hz の帯域幅で 3.5 LSB rms（代表値）です。帯域幅と必要な分解能にもよりますが、これは、大部分のアプリケーションにとって十分な値です。ノイズをさらに抑える必要がある場合、ADXL372は、消費電力が多少増える代わりにノイズを低減できる低ノイズ動作モードを備えています。いずれの場合も、帯域幅を高く設定して動作させると RMS ノイズが増加し、帯域幅を低く設定するとノイズが減少します。表8に、代表的な 2.5 V 電源での通常動作と低ノイズ・モードで得られる消費電流とノイズ密度を示します。

ADXL372 をより高い電源電圧で動作させた場合も、ノイズは小さくなります。表9に、推奨される最大電源電圧（3.5 V）での通常動作と低ノイズ・モードで得られる消費電流とノイズ密度を示します。

節電機能

ADXL372 のデジタル・インターフェースは、システム・レベルの節電を念頭に置いて実装されています。以下の機能は節電効果を高めます。

- バースト読み出し/書き込みは、デバイスの設定とデータの取出しに必要な SPI 通信のサイクル数を減らします。
- アクティブ/インアクティブ検出の並行動作は、「set it and forget it (設定後は放置)」動作を可能にします。ループ・モードは、プロセッサによる介入なしの割込みクリアを可能にすることによって、通信電力をさらに低減します。
- FIFO は、連続したサンプルを無限長の複数バイト読み出しによって連続的に読み取れるように実装されています。したがって、1つの FIFO 読み出し命令で FIFO のすべての内容をクリアすることができます。さらに、ADXL372 の FIFO 構成では、ダイレクト・メモリ・アクセス (DMA) を使用して FIFO の内容を読み出すことができます。

自律的イベント検出 アクティブとインアクティブ

ADXL372は、アクティブ（ユーザー設定閾値を上回る加速度として定義される）とインアクティブ（ユーザー設定閾値を下回る加速度として定義される）を検出するロジックを内蔵しています。アクティブ/インアクティブ・イベントは、加速度センサーの動作モード管理、ホスト・プロセッサへの割込みのトリガ、あるいはモーション・スイッチの自律的駆動に使用することができます。

アクティブ/インアクティブ・イベントが検出されるとSTATUS2レジスタに表示され、このとき割込みを生成するように設定できます。また、デバイスのアクティブ・ステータス（つまり、動いているのか静止しているのか）は、AWAKEビットの使い方のセクションで説明するAWAKEビットによって示されます。

アクティブ/インアクティブ検出は、加速度センサーが測定モードまたはウェークアップ・モードにあるときに使用できます。しかし、ウェークアップ・モードにおけるデバイスは本来アクティブを検出しようとしているので、このモードでアクティブ割込みとインアクティブ割込みを使用することはできません。また、アクティブ検出またはインアクティブ検出に何らかの変更を加える場合は、デバイスがスタンバイ・モードのときに行う必要があります。

ローパス・アクティブ検出フィルタ

ADXL372は、1つのデバイスに高g衝突検出機能と低g運動検出機能の両方を備えています。低g検出では、-3 dB コーナー周波数が約10 Hzの内部ローパス・フィルタがデータを平均してRMSノイズを低減し、わずか500 mgのアクティブ閾値またはインアクティブ閾値でも正確に検出できるようにします。高g衝突検出では、レジスタ設定によりローパス・アクティブ検出フィルタをオフにすることができます。ローパス・アクティブ検出フィルタとハイパス・フィルタの両方を使用するときは、ハイパス・フィルタのコーナー周波数が10 Hzを超えないようにする必要があります。10 Hzを超えると、アクティブ検出データが大幅に減衰してしまいます。

アクティブ検出

少なくとも1つのイネーブルされた軸の加速度が、指定された時間にわたって指定された閾値を上回ると、アクティブ・イベントが検出されます。イネーブルされた軸、閾値、および時間はユーザーが選択します。各軸には固有のアクティブ閾値がありますが、アクティブ・タイマーは3軸すべてで共有されます。複数の軸を選択しているときは、イネーブルされている軸のいずれかで閾値を超えるイベントが発生すると、アクティブ検出がトリガされます。

リファレンス・モードとアブソリュート・モード

アクティブ検出は、THRESH_ACT_X_LレジスタのACT_REFビットにより、どの軸にもリファレンス・モードまたはアブソリュート・モードで設定することができます。

アブソリュート・アクティブ検出を使用した場合、加速度サンプルとユーザーが設定した閾値とを直接比較して、モーションが存在するかどうかを判定します。例えば、0.5 gの閾値が設定され、z軸での加速度が1 gになっている時間がユーザー定義のアクティブ時間より長い場合は、アクティブ・ステータスがアサートされます。

多くのアプリケーションでは、絶対的な閾値ではなく、基準となるポイントまたは向きからのずれをアクティブ検出のベースにするほうが好都合です。リファレンス・モードのアクティブ検出は、重力による静的な1 gや、数gになることもある静的なあらゆるオフセット誤差がアクティブ検出に与える影響を除去するので、特に便利です。アブソリュート・アクティブ検出では閾値が1 g未満に設定され、直ちにアクティブが検出されます。

リファレンス・モードでは、加速度サンプルの値が内部定義されたリファレンス値を超え、さらにその差がユーザー定義閾値を超えた状態がユーザー定義時間を超えると、アクティブが検出されます（次式を参照）。

$$Abs(Acceleration - Reference) > Threshold$$

ここで、Absは絶対値です。

したがって、加速度が最初の向きから十分にずれたときのみ、アクティブが検出されます。加速度センサーのデフォルト設定はアブソリュート・モードです。該当するレジスタ設定によってセンサーがリファレンス・モードになった後、フル帯域幅測定モードがオンになると、直ちにアクティブ検出用のリファレンスが計算されます。リファレンスをリセットするには、デバイスを一度アブソリュート・モードに戻してから、リファレンス・モードに戻る必要があります。新しいリファレンスは、デバイスが再びフル帯域幅測定モードに入ると直ちに設定されます。リファレンス・モードでアクティブ検出とインアクティブ検出の両方を使用する場合、リファレンスを設定できるようにするには、両方を一度アブソリュート・モードに戻す必要があります。

アクティブ・タイマー

理想的には、アクティブ検出の目的は、ノイズや意図的でない小さな移動を無視して、意図的なモーションのときのみシステムをウェークアップさせることです。ADXL372のアクティブ検出アルゴリズムは、低gイベントを識別するだけでなく、望ましくないトリガを確実に除去することができます。

ADXL372のアクティブ検出機能にはタイマーが組み込まれており、望ましくないモーションを除去して、持続するモーションだけをアクティブと認識します。タイマー時間は選択されたODRによって異なり、3200 Hz以下では約6.6 ms、6400 Hzでは約3.3 msです。アクティブ検出がトリガするには、閾値を超えるアクティブ状態が、アクティブ時間レジスタで指定されたアクティブ・タイマーの周期数に等しい時間だけ持続する必要があります。例えばこのレジスタ内に10を設定した場合、ODRが3200 Hzの場合は、閾値を超えるアクティブ状態が66 msにわたって持続しなければなりません。レジスタ値が0の場合は、シングル・サンプルのアクティブ検出となります。許容される最大アクティブ時間は約1.68秒です（または6400 HzのODRで841.5 ms）。なお、アクティブ・タイマーは測定モードでのみ使用できます。

ウェークアップ・モードでのアクティブ検出

デバイスがウェークアップ・モードのときにアクティブ検出をイネーブルすると、そのデバイスは、アクティブ時間レジスタの設定に関わらず、シングル・サンプルのアクティブ検出を使用します。アクティブが検出されると、デバイスは自動的にフル帯域幅測定モードに戻ります。ただし、アクティブ時間設定がゼロの場合を除き、アクティブ割込みは生成されません。ゼロでない場合は、測定モードになった後も、アクティブ時間レジスタで与えられる時間アクティブ状態が持続するまで、割込みは生成されません。デバイスがデフォルト・モードまたは自動スリープ・モードの場合、測定モードになるとアウェーク割込みが自動的にハイになります。デバイスがリンク・モードまたはループ・モード（ただし自動スリープ・モードではない）のときはアクティブ割込みにリンクされて、前述のように動作します。

アクティブが検出されたことによってデバイスが自動的に測定モードに入った後は、自動スリープがオンになっていない場合、手でウェークアップ・モードに戻す必要があります。

インアクティブ検出

イネーブルされたすべての軸の加速度が、指定された時間にわたって指定された閾値より下に留まると、インアクティブ・イベントが検出されます。イネーブル軸、閾値、および時間はユーザーが選択します。各軸には固有のインアクティブ閾値がありますが、インアクティブ・タイマーは3軸すべてで共有します。複数の軸が選択されている場合、インアクティブ検出をトリガするには、イネーブルされたすべての軸が、指定された時間にわたって閾値より下に留まらなければなりません。

リファレンス・モードとアブソリュート・モード

インアクティブ検出も、THRESH_INACT_X_L レジスタの INACT_REF ビットにより、リファレンス・モードまたはアブソリュート・モードで設定することができます。アブソリュート・インアクティブ検出の使用時は、加速度サンプルとユーザー設定閾値をユーザー設定時間にわたって直接比較し、モーションが存在するかどうかを判定します。連続した十分な数のサンプルのすべてが閾値を下回ると、インアクティブが検出されます。

リファレンス・インアクティブ検出を使用する場合は、加速度サンプルの値と内部定義されたリファレンス値の差がユーザー定義閾値の範囲内にある状態がユーザー定義時間を超えて続くと、インアクティブが検出されます。

$$Abs(Acceleration - Reference) < Threshold$$

リファレンス・インアクティブは、リファレンス・アクティブと同様、重力による静的加速度の影響や、その他の静的オフセットを除去するのに特に便利です。アブソリュート・インアクティブの場合は、インアクティブ閾値を1g未満に設定すると、静止状態のデバイスがインアクティブを検出しないことがあります。リファレンス・インアクティブを用いれば、同じ構成の同じデバイスでもインアクティブを検出できます。加速度センサーのデフォルト設定はアブソリュート・モードです。該当するレジスタ設定によりセンサーをリファレンス・モードにした後は、フル帯域幅測定モードがオンになると、直ちにインアクティブ検出用のリファレンスが計算されます。リファレンスをリセットするには、デバイスを一度アブソリュート・モードに戻してから、リファレンス・モードに戻す必要があります。新しいリファレンスは、デバイスが再びフル帯域幅測定モードに入ると、直ちに設定されます。インアクティブ検出とアクティブ検出の両方をリファレンス・モードで使用している場合、リファレンスをリセットできるようにするには、両方を一度アブソリュート・モードに戻す必要があります。

インアクティブ・タイマー

ADXL372 のインアクティブ検出機能には、持続状態のインアクティブを検出できるようにするためのタイマーが含まれています。タイマー時間は選択された ODR によって異なります。3200 Hz 以下では約 26 ms、6400 Hz では約 13 ms です。インアクティブ検出をトリガするには、インアクティブ時間レジスタで指定されたインアクティブ・タイマーの周期数に等しい時間にわたって、閾値未満のインアクティブ状態が持続する必要があります。例えばこれらのレジスタ内に 10 を設定した場合は、ODR が 3200 Hz のとき、閾値未満のインアクティブ状態が 260 ms にわたって持続しなければなりません。これらのレジスタの値が 0 の場合は、シングル・サンプルのインアクティブ検出となります。許容される最大インアクティブ時間は、3200 Hz の ODR で約 28.4 分です（または 6400 Hz の ODR で約 14.2 分）。

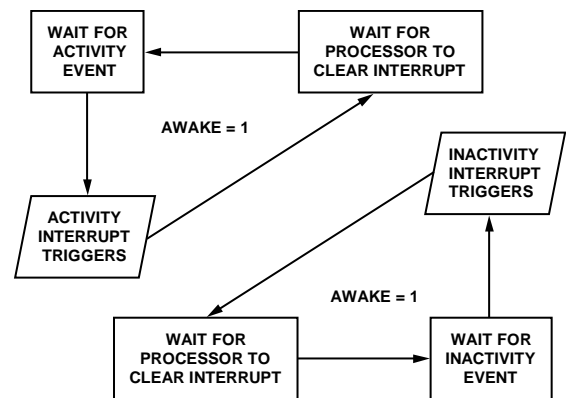
アクティブ/インアクティブ検出のリンク

測定モードまたはウェークアップ・モードでは、アクティブ/インアクティブ検出機能を同時に使用してホスト・プロセッサでマニュアル処理するか、あるいは以下に示すように複数の方法で相互に作用するように設定することができます。

デフォルト・モード

デフォルト・モードでは、アクティブ検出とインアクティブ検出を同時に使用できますが、すべての割込みをホスト・プロセッサで処理する必要があります。つまり、プロセッサが各割込みを読み取るまでは、割込みをクリアして再び使用することはできません。割込みのクリアについては、割込みのセクションを参照してください。

デフォルト・モードの動作を図 31 のフローチャートに示します。



NOTES
1. THE AWAKE BIT DEFAULTS TO 1 WHEN ACTIVITY AND INACTIVITY ARE NOT LINKED.

図 31. デフォルト・モードのアクティブ動作とインアクティブ動作のフローチャート

リンク・モード

リンク・モードでは、いつでも片方の機能だけがイネーブルされるように、アクティブ/インアクティブ検出が互いにリンクされます。アクティブが検出されると、デバイスが動いている（あるいはアウェーク状態にある）と見なされ、直ちにアクティブの監視が停止します。代わりに、次のイベントとしてインアクティブが想定されます。したがって、インアクティブ検出のみが動作します。

同様に、インアクティブが検出されると、デバイスは静止している（あるいは、スリープ状態）と想定されます。したがって、次のイベントとしてアクティブが想定されるため、アクティブ検出のみが動作します。

リンク・モードでは、ホスト・プロセッサが各割込みを処理するまで、次の割込みはイネーブルされません。

リンク・モードの動作を図 32 のフローチャートに示します。

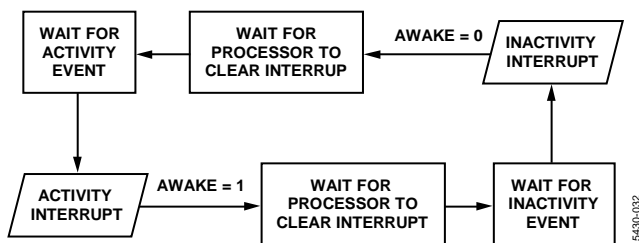


図 32. リンク・モードのアクティブ動作とインアクティブ動作のフローチャート

ループ・モード

ループ・モードでは、モーション検出はリンク・モードのセクションで説明したように動作しますが、割込みはホスト・プロセッサによる処理を必要としません。この設定は、一般的に用いられるモーション検出の実装を簡素化し、バス通信に使用される電力を低減して節電効果を高めます。

ループ・モードの動作を図 33 のフローチャートに示します。

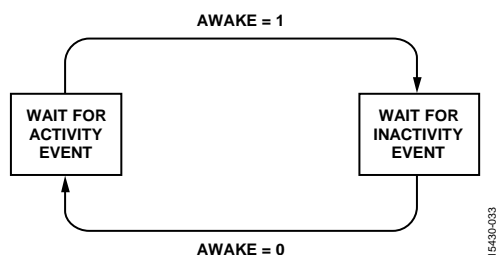


図 33. ループ・モードのアクティブ動作とインアクティブ動作のフローチャート

自動スリープ

自動スリープを選択すると、デバイスは、ウェークアップ・モードになった後（ウェークアップ・モードのセクションを参照）自動的にループ・モードになり、アクティブの検出を開始します。アクティブが検出されるとデバイスは自動的に測定モードになり、直ちにインアクティブの検出を開始します。インアクティブが検出されると、デバイスは自動的にウェークアップ・モードに戻ります。デバイスをマニュアルでウェークアップ・モードにしないと、自動スリープ機能は始動できないので注意してください。デバイスをマニュアルにより測定モードで起動した場合、デバイスは自動的にウェークアップ・モードになりません。

AWAKE ビットの使い方

AWAKE ビットは、ADXL372 がアウェーク状態であるかスリープ状態であることを示すステータス・ビットです。デフォルト・モードまたは自動スリープ・モードでは、デバイスが測定モードのとき AWAKE ビットは常にハイになります。リンク・モードまたはループ・モードでは、デバイスがアクティブ状態になると常に AWAKE ビットがハイになり、インアクティブ状態になるとローになります。

アウェーク信号は INT1 または INT2 ピンにマッピングできます。したがって、このピンは、加速度センサーのアウェーク状態に基づいて下流回路への電力を接続/切断するステータス出力として使用できます。この設定をループ・モードと組み合わせれば、モーションで起動する単純で自律的なスイッチを実装できます。

下流回路の起動時間を許容できる場合、このモーション・スイッチ設定により、残りのアプリケーション回路部分のスタンバイ消費電流をゼロにすることによって、システム・レベルの大幅な節電が可能になります。このスタンバイ電流は、ADXL372 の動作電流を上回ることがよくあります。

モーション警告

ADXL372 では、前に述べたアクティブ閾値に加えて、もう 1 つの閾値（セカンダリ閾値）を使用することができます。この第 2 の閾値（モーション警告閾値）は、アクティブ閾値とは独立に設定することができます。この閾値に、自動スリープ・モード、リンク・モード、あるいはループ・モードや、デバイスのアウェーク・ステータスに関する機能はありません。モーション警告機能の目的は、測定された加速度が第 2 の閾値を超えたことを、ステータス・ビットまたは割込み、あるいはその両方を介してシステムに通知することです。この機能は、THRESH_ACT2_x_x レジスタと ACTIVITY2 割込みで制御します。この割込みは INT2 ピンにだけ送られます。各軸には、それぞれのモーション警告閾値があります。ただし、モーション警告アクティブ割込みには、アクティブ・タイマーがありません。この割込みは、シングル・サンプルのアクティブ検出にだけ使われます。また、モーション警告閾値は、プライマリ・アクティブ検出と同じリファレンス/アブソリュート設定を共有します。

衝突検出機能

多くの衝突検出アプリケーションには、高 g で広帯域幅の加速度検出が求められますが、ADXL372 はこれらのアプリケーションを念頭に置いて設計されています。衝突検出をターゲットとし、システム設計の簡素化を目的とする複数の機能が組み込まれています。

広帯域幅

衝突は、広い範囲の周波数成分を持つ加速度パルスを生じる過渡的イベントです。帯域幅を狭くすると記録される信号が小さくなり、測定精度が低下するので、衝突イベントを捉えるには十分に広い帯域幅が必要です。

ADXL372 は、きわめて低い消費電力で最大 3200 Hz までの帯域幅を使用することができます。傾きの急なフィルタ・ロールオフも帯域外成分の除去に効果的で、ADXL372 には、この目的のために 4 極のローパス・アンチエイリアシング・フィルタが組み込まれています。

インスタント・オン衝突検出

ADXL372 のインスタント・オン・モードは、組み込まれた閾値を超える衝突イベントの有無について環境を継続的にモニターする、超低消費電力モードです。衝突が検出されるとデバイスはフル測定モードに切り替わり、衝突プロファイルを取り込みます。

この動作モードでは、デジタル・データは使えません。

POWER_CTL レジスタの INSTANT_ON_THRESH ビットを使用して、閾値レベルが 10 g ~ 15 g 、または 30 g ~ 40 g の範囲の衝突を検出するようにデバイスを設定することができます。選択した閾値を超える衝突が検出されると ADXL372 はフル帯域幅測定モードに切り替わり、デジタル・データを出力し始めます。

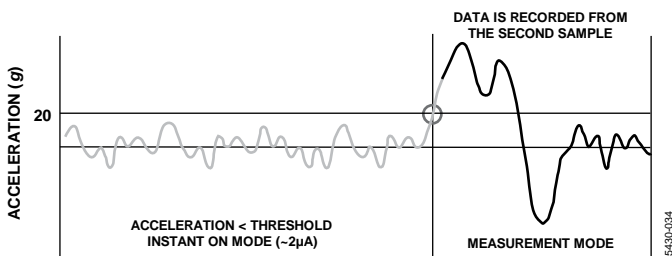


図 34. デフォルト閾値を使用するインスタント・オン・モード

加速度センサーがフル帯域幅測定モードになった後は、マニュアルでインスタント・オン・モードに戻す必要がありますが、これには、最初にデバイスをフル帯域幅測定モード（またはスタンバイ・モード）に設定し、その後インスタント・オン・モードに戻します。自動的にインスタント・オン・モードに戻ることはありません。

衝突イベントの取り込み

ある種のアプリケーションでは、衝突イベントのピークにおける 1 つの (3 軸) 加速度サンプルにそのイベントに関する十分な情報が含まれており、加速度の全履歴は必要ではありません。ADXL372 は、これらのアプリケーション用に、それぞれの閾値イベントのピーク加速度だけを保存する機能を備えています。イベントのピーク時の x 、 y 、および z 方向の加速度サンプルは、FIFO に保存できます。完全なイベント・プロファイルを必要としないアプリケーションでは、ピーク加速度情報だけを保存することによって、FIFO 読出しの時間間隔を大幅に増やすことができます。ピークは、特定の閾値を超えるイベント内のすべての値の中で、(二乗和平方根の値が) 最も大きい x 、 y 、 z 方向の加速度サンプルとして定義されます。閾値を超える各衝突イベントのピークを FIFO に記録することに加えて、ADXL372 は、別々のレジスタに記録された絶対最大ピーク値を追跡する機能も備えています。

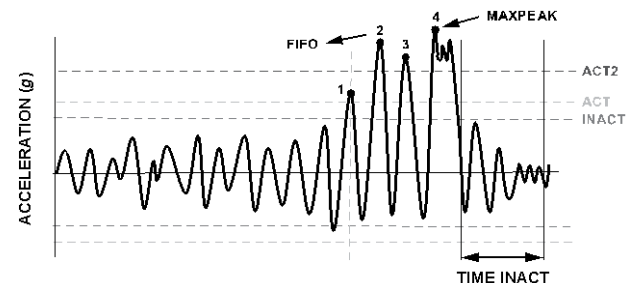


図 35. 衝突イベントの取り込み

ピーク検出は、以下のようにしてイネーブルします。

- FIFO をピーク検出およびストリーム・モードにします (レジスタ 0x3A を b0011101x に設定)。
- 必要なアクティブ閾値と時間を設定します (レジスタ 0x23 からレジスタ 0x29 まで)。
- 必要なインアクティブ閾値と時間を設定します (レジスタ 0x2A からレジスタ 0x31 まで)。
- アクティブ・モードをリンク・モードまたはループ・モードに設定します (レジスタ 0x3E)。

デバイスは、アクティブ割込みがトリガされると直ちに、図 35 に示すように、そのアクティブ割込みトリガとそれに続くインアクティブ割込みトリガの間に発生するピーク加速度イベントの x 、 y 、 z 値を FIFO に記録します。デバイスは、アクティブ割込みトリガと、それに続くインアクティブ割込みトリガの間のアクティブ期間ごとに、引き続きこの処理を実行します。このプロセスはリンク・モードで機能しますが、デバイスが次のアクティブまたはインアクティブ割込みを探す前に、各割込みをクリアする必要があります。この理由は、ピーク検出モードが選択されている限り、デバイスは MAXPEAK レジスタ (例: MAXPEAK_X_L など) に記録された全ピークのうち最大のピークも保存するからです。これらの値をレジスタから読み出すと、そのレジスタのデータがクリアされ、デバイスは新しいピークのモニタを開始します。

FIFO

ADXL372には、512 サンプルの深い FIFO バッファが備わっています。

FIFO の利点

FIFO バッファは、超低消費電力アプリケーションにおいて、システム・レベルの節電と、データの記録/イベント・コンテキストという2つの面で重要な役割を果たします。

システム・レベルの節電

FIFO を適切に使用すれば、加速度センサーが自律的にデータを収集する間、長時間にわたってホスト・プロセッサをスリープ状態に置くことによって、システム・レベルの節電が可能になります。あるいは、FIFO をデータ収集に使用してホストの負担を軽減し、その分を他のタスク処理に振り向けることができます。

データ記録/イベント・コンテキスト

FIFO をトリガ・モードで使用して、アクティブ検出イベントにつながるすべてのデータを記録することで、イベントのコンテキストを提供できます。例えば、衝突イベントを特定するシステムの場合、加速度センサーは、システム全体をオフに保持しながら、加速度データをその FIFO に保存し、アクティブ・イベントを探すことができます。衝突イベントが発生すると、そのイベントより前に収集されたデータは、FIFO 内でフリーズされます。これにより、加速度センサーは、システムの他の部分をウェークアップさせ、このデータをホスト・プロセッサに転送することによって、衝突イベントのコンテキストを提供することができます。

一般に、使用できるコンテキストが多いほど、システムはよりインテリジェントな決断をくだすことができるため、多段 FIFO は特に便利です。例えば、ADXL372 の FIFO は、400 Hz の ODR で最大 512 個の 1 軸サンプルを保存して、1.28 秒のウィンドウを提供することができます。あるいは、3200 Hz の ODR で 170 個の 3 軸サンプルを保存して、50 ミリ秒のウィンドウを提供することができます（これは衝突イベントの代表的な持続時間です）。

FIFO の使い方

FIFO は 512 サンプルのメモリ・バッファで、節電、ホスト・プロセッサの負荷軽減、データの自律的な記録を行うことができます。

FIFO の動作は、レジスタ 0x39 とレジスタ 0x3A で設定します。512 個の FIFO サンプルは、以下に示すように複数の方法で割り当てることができます。

- 170 サンプル・セットの同時 3 軸データ
- 256 サンプル・セットの同時 2 軸データ（ユーザーが選択可能）
- 512 サンプル・セットの 1 軸データ
- 170 セットの衝突イベント・ピーク（x、y、z）

すべての FIFO モードは、スタンバイ・モードで設定する必要があります。FIFO から複数軸のデータを読み出すときは、データが上書きされたり誤った順番で保存されたりしないように、それぞれの読み出し後に、少なくとも 1 つのサンプル・セットを FIFO 上に残しておく必要があります（したがって、3 軸データ・セットのサンプル数は最大でも 169 としなければなりません）。

FIFO は、以下に示す 4 つのモードのいずれかで動作します。すなわち、FIFO 無効化、オールデスト・セーブ・モード（最初の N）、ストリーム・モード（最後の N）、およびトリガ・モードです。

FIFO 無効化

FIFO が無効になると、新しいデータは FIFO に保存されず、すでに保存されていたデータはクリアされます。

FIFO を無効にするには、FIFO_CTL レジスタ（レジスタ 0x3A）の FIFO_MODE ビットを 0b00 に設定します。

オールデスト・セーブ・モード（最初の N）

オールデスト・セーブ・モードでは、FIFO は、満杯になるまでデータを蓄積してから停止します。データを読み出した後に新しいデータ・セットを保存するには、FIFO を一度無効にして、再度有効にする必要があります。このモードの考えられる使用例の 1 つは、インスタント・オン・モードになった直後に、このモードをイネーブルすることです。衝撃を検出すると、必要などきにいつでも読み出せるように、データは直ちに FIFO に保存されます。

FIFO をオールデスト・セーブ・モードにするには、FIFO_CTL レジスタ（レジスタ 0x3A）の FIFO_MODE ビットを 0b11 に設定します。

ストリーム・モード（最後の N）

ストリーム・モードでは、FIFO には常に最も新しいデータが残されています。新しいサンプル用のスペースが必要になると、最も古いサンプルが捨てられます。

ストリーム・モードは、ホスト・プロセッサの負荷を軽減するのに便利です。データが FIFO に収集されている間、プロセッサは他のタスクを処理することができます。FIFO が

（FIFO_CTL レジスタのビット 0 と FIFO_SAMPLES レジスタによって指定される）特定のサンプル数までフィルされると、ウォーターマーク割込みがトリガされます（この割込みが有効な場合）。この時点で、ホスト・プロセッサは FIFO 全体の内容を読み出し、FIFO が再びフィルされたら他のタスクに戻ることができます。

FIFO をストリーム・モードにするには、FIFO_CTL レジスタ（レジスタ 0x3A）の FIFO_MODE ビットを 0b01 に設定します。

トリガ・モード

トリガ・モードでは、FIFO はアクティブ検出イベントが発生するまでストリーム・モードと同様に動作し、その後は検出されたイベントの前後のサンプルを保存します。この動作は、オシロスコープでのワントタイム実行トリガに似ています。アクティブ・イベントの後に保存されるサンプル数は FIFO_SAMPLES（レジスタ 0x39 [7:0]）とともに FIFO_CTL レジスタ、つまりレジスタ 0x3A のビット 0）で指定されます。例えば FIFO_SAMPLE が 12 に設定されている場合は、トリガ前のサンプル数が 500 で、トリガ後のサンプル数が 12 です。トリガは、アクティブ割込みをクリアし、FIFO の 512 個の位置をすべて読み出すことによってリセットできます。この処理が完了していない場合は、その後の FIFO データ読み出しに無効なデータが含まれることがあります。FIFO をトリガ・モードにするには、FIFO_CTL レジスタ（レジスタ 0x3A）の FIFO_MODE ビットを 0b10 に設定します。

FIFO からのデータ取出し

FIFO データへのアクセスは、FIFO_DATA レジスタの内容を読み出すことによって行います。このレジスタから複数バイトを読み出してもアドレスが自動的にインクリメントすることなく、FIFO からデータがポップされ続けます。データは左寄せされ、表 10 に示すようにフォーマットされます。

データを読み出すときは、最上位バイト（ビット [B15:B8]）が最初に読み出され、その後に最下位バイト（ビット [B7:B0]）が続きます。ビット [B15:B4] は、2 の補数で表した 12 ビットの加速度データです。ビット 0 は、シリーズ開始インジケータとしての役割を果たします。シリーズの最初のデータ・バイトだけビット 0 に 1 を格納し、残りは 0 を格納します。

表 10. FIFO バッファのデータ・フォーマット

B15 (MSB)	B14	B13	B12	B11	B10	B9	B8
Data							
B7	B6	B5	B4	B3	B2	B1	B0
Data				Reserved			Series start indicator

割込み

ADXL372 の組込み機能のいくつかは、割込みをトリガして特定のステータス条件をホスト・プロセッサに通知することができます。これらの割込みの機能については、このセクションで説明します。

割込みピン

割込みは、INT1_MAP レジスタと INT2_MAP レジスタの適切なビットをセットすることによって、それぞれ 2 本の指定された出力ピン (INT1 と INT2) のいずれか (あるいは両方) にマッピングすることができます。すべての機能は同時に使用できません。複数の割込みが 1 本のピンにマッピングされた場合、ピンのステータスは、割込みの OR 組合せによって決まります。

割込みピンに機能がマッピングされていない場合、そのピンは自動的に高インピーダンス (high-Z) 状態に設定されます。ピンは、リセット時にも高インピーダンス状態に置かれます。

特定のステータス条件が検出されると、その条件がマッピングされているピンがアクティブになります。ピンのデフォルト設定はアクティブ・ハイなので、アクティブになるとピンはハイ・レベルになります。しかし、該当する INTx_MAP レジスタの INTx_LOW ビットをセットすれば、この設定をアクティブ・ローに切り替えることができます。

INTx ピンをホスト・プロセッサの割込み入力に接続すると、割込みは割込みルーチンによって処理されます。同じピンに複数の機能をマッピングできるため、STATUS レジスタにより、割込みをトリガした条件を判定することができます。

割込みは、以下のいずれかの方法でクリアされます。

- STATUS2 レジスタを読み出すと、ACTIVITY 割込みと INACT 割込みがクリアされます。ただし、アクティブ検出がデフォルト・モードで動作していて、アクティブ・タイマーまたはインアクティブ・タイマーが 0 にセットされている場合、アクティブ・ビットまたはインアクティブ・ビットをクリアする唯一の方法は、それぞれデバイスをスタンバイ・モードにしてフル帯域幅測定モードを再開することです。
- デバイスをスタンバイ・モードに設定してフル帯域幅測定モードに戻すと、ACTIVITY2 割込みがクリアされます。
- データ・レジスタのデータを読み出すと、DATA_RDY 割込みがクリアされます。
- 割込み条件に適合しなくなるように FIFO バッファから十分なデータを読み出したうえで STATUS レジスタ (レジスタ 0x04) を読み出すと、FIFO_RDY、FIFO_FULL、および FIFO_OVR の各割込みがクリアされます。

2 本の割込みピンは、プッシュブルの低インピーダンス・ピンで、約 500 Ω (代表値) の出力インピーダンスと、表 11 に示すデジタル出力仕様を備えています。これらのピンのパス・キーパーは、ピンが高インピーダンス・モードのときに有効なロジック状態に保持します。

設定中に割込みが誤ってトリガされるのを防ぐため、それらの閾値、タイミング、その他の値の設定中は割込みを無効にしてください。

代替機能

INT1 ピンと INT2 ピンは、割込みの通知用ではなく入力ピンとして使用するように設定することもできます。TIMING レジスタの EXT_CLK ビットがセットされると、INT1 は外部クロック入力として使用されます。TIMING レジスタの EXT_SYNC ビットがセットされると、INT2 は同期サンプリング用のトリガ入力として使用されます。これらの代替機能の一方または両方は、同時に使用できます。しかし、割込みピンを代替機能に使用した場合は、そのピンを同時に割込み通知に使用することはできません。

割込みのタイプ

アクティブ/インアクティブ割込み

ACTIVITY ビットと INACT ビットは、それぞれアクティブとインアクティブが検出されたときにセットされます。検出の手順と基準については、自律的イベント検出のセクションで説明されています。

データ・レディ割込み

DATA_RDY ビットは、新しい有効なデータが使用可能になるとセットされ、新しいデータがなくなるとクリアされます。

いずれかのデータ・レジスタの読出し中は、DATA_RDY ビットはセットされません。レジスタ読出しより前に DATA_RDY = 0 になっていて、レジスタ読出し中に新しいデータが使用可能になった場合、DATA_RDY は読出しが完了するまで 0 のままで、完了して初めて 1 に設定されます。

レジスタ読出しより前に DATA_RDY = 1 であった場合、これはレジスタ読出しの開始時にクリアされます。

レジスタ読出しより前に DATA_RDY = 1 になっていて、レジスタ読出し中に新しいデータが使用可能になった場合、DATA_RDY は、レジスタ読出しの開始時に 0 にクリアされ、読出し中も 0 のままです。読出しが完了すると、DATA_RDY は 1 にセットされます。

FIFO 割込み

FIFO ウォーターマーク

FIFO に保存されたサンプルの数が、FIFO_SAMPLES (レジスタ 0x39、FIFO_CTL レジスタのビット 0 と合わせて使用) で指定された値以上になると、FIFO_FULL ビットがセットされます。FIFO から十分なサンプルが読み出され、残りのサンプル数が指定された値を下回ると、FIFO_FULL ビットは自動的にクリアされます。

FIFO サンプルの数が 0 に設定された場合は、ウォーターマーク割込みが設定されます。この割込みが不意にトリガされるのを避けるため、FIFO_SAMPLES レジスタのデフォルト値は 0x80 です。

FIFO レディ

FIFO 出力バッファ内に有効なサンプルが 1 個以上あるときは、FIFO_RDY ビットがセットされます。FIFO 内に有効なデータがないとき、このビットはクリアされます。FIFO トリガ・モードでは、このビットは、アクティブ割込みが検出され、イベント前後のデータが FIFO に保存されて初めてセットされます。

オーバーラン

FIFO_OVR ビットは、FIFO がオーバーランまたはオーバーフローして、新しいデータが未読データに取って代わったときにセットされます。これは、FIFO が満杯の状態からまだ空になっていないこと、または遅い SPI トランザクションによってクロック誤差が生じたことを示す場合があります。FIFO がオールデスト・セーブ・モードに設定された場合、オーバーラン・イベントは、新しいサンプルに使用できるスペースが不足していることを示します。

FIFO_OVR ビットは、FIFO と STATUS レジスタの内容の両方が読み出されると、クリアされます。また、FIFO が無効になってもクリアされます。

表 11. 割込みピン・デジタル出力

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Output				
Low Level Output Voltage (V_{OL})	$I_{OL} = 500 \mu A$		$0.2 \times V_{DDIO}$	V
High Level Output Voltage (V_{OH})	$I_{OH} = -300 \mu A$	$0.8 \times V_{DDIO}$		V
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, MAX}$	500		μA
High Level Output Current (I_{OH})	$V_{OH} = V_{OH, MIN}$		-300	μA
Pin Capacitance	$f_{IN} = 1 \text{ MHz}, V_{IN} = 2.0 \text{ V}$		8	pF
Rise/Fall Time				
Rise Time (t_R) ²	$C_{LOAD} = 150 \text{ pF}$		210	ns
Fall Time (t_F) ³	$C_{LOAD} = 150 \text{ pF}$		150	ns

¹ 特性評価の結果に基づくリミット値であり、出荷テストは行っていません。

² 立上り時間は、割込みピンが $V_{OL, MAX}$ から $V_{OH, MIN}$ へ遷移する時間として測定した値です。

³ 立下り時間は、割込みピンが $V_{OH, MIN}$ から $V_{OL, MAX}$ へ遷移する時間として測定した値です。

その他の機能

外部クロックの使い方

3200 Hz 以下の ODR で使用する場合、ADXL372 に内蔵されている 307.2 kHz (代表値) のクロックは、デフォルトでは内部動作の時間ベースとして機能します。6400 Hz の ODR では、このクロック・レートは 614.4 kHz (代表値) に上昇します。必要な場合は、代わりに外部クロックを使用して、クロック周波数の精度を上げる、あるいは出力データ・レートを制御することができます。外部クロックを使用するには、TIMING レジスタ (レジスタ 0x3D) の EXT_CLK ビット (ビット 1) をセットして、INT1 ピンにクロックを接続します。

外部クロックは、必要な出力データ・レートが得られるように、公称値の 307.2 kHz 以下 (ODR \geq 3200 Hz のとき)、または 614.4 kHz 以下 (ODR = 6400 Hz のとき) で動作させることができます。クロック・レートを下げる場合、アプリケーションによっては高周波数信号のエイリアスが生じる可能性があるため、注意して使用する必要があります。

ODR と帯域幅は、クロックに比例して変化します。ADXL372 では、離散的ないくつかの ODR を選ぶことができます。用意されている値以外の ODR は、適切なクロック周波数を選ぶことにより得られます。例えば、2560 Hz の ODR を実現するには、3200 Hz の ODR 設定を選択して、公称値の 80 %、つまり 245.76 kHz のクロック周波数を使用します。帯域幅も同じ比率でスケールされるので、400 Hz の帯域幅を選択した場合、得られる帯域幅は 320 Hz になります。

同期データ・サンプリング

ADXL372 は、正確に時間調整された加速度測定を必要とするアプリケーション用に、加速度サンプリングを外部トリガに同期させるオプションを備えています。この機能は、TIMING レジスタの EXT_SYNC ビットを使って有効にします。EXT_SYNC ビットを 1 に設定すると、INT2 ピンは、同期トリガ入力用に自動的に再設定されます。

外部トリガが有効なとき、システム設計者は、サンプリング周波数がシステム要件を満たしていることを確認しなければなりません。サンプリング頻度が低すぎると、エイリアシングが生じます。ノイズはオーバーサンプリングによって低減できます。しかし、サンプリング周波数が高すぎると、加速度センサーが加速度データを処理し、有効なデジタル出力データに変換するための時間が足りなくなることがあります。

ナイキスト基準が満たされると、シグナル・インテグリティが維持されます。ADXL372 にはアンチエイリアス・フィルタが内蔵されており、システム設計者がシグナル・インテグリティを確保するために活用できます。エイリアシングを防ぐため、フィルタの帯域幅は、サンプリング・レートの半分以下の周波数に設定します。例えば 1600 Hz でサンプリングするときは、フィルタの帯域幅を 800 Hz 以下に設定します。

内部タイミング要件のため、外部トリガの最大許容周波数は次のようになります。

- 1 軸データ = 3100 Hz
- 2 軸データ = 2700 Hz
- 3 軸データ = 2200 Hz

6400 Hz の ODR レートを選択した場合、これらの値は倍になります。さらに、INT2 ピンに与えるトリガ信号は、以下の基準を満たしていなければなりません。

- トリガ信号はアクティブ・ハイでなければならない。
- トリガ信号のパルス幅は 53 μ s 以上でなければならない。
- 最小サンプリング周波数は、システム要件によってのみ設定される。サンプルを最小レートでポーリングする必要はありません。しかし、アンチエイリアス・フィルタによって設定された帯域幅よりも低いレートでサンプルがポーリングされた場合、エイリアシングが発生することがあります。

EXT_SYNC はアクティブ・ハイの信号です。内部クロックと外部同期信号は同期していないので、連続する 2 つの外部同期パルスの間には、1 ODR クロック・サイクルの差が生じる場合があります。外部同期はシステムの ODR を設定します。例えば、2 kHz のレートで外部同期信号を送ると、その 2 kHz のウィンドウで 3 軸すべてのサンプルが取り込まれます (3 軸がすべて有効な場合)。

セルフ・テスト

ADXL372 には、機械システムと電子システムを同時に効果的に検査する、合否判定のセルフ・テスト機能が組み込まれています。セルフ・テスト機能が起動すると、機械式センサーに静電気力が加わります。この静電気力は、加速度と同じように機械式検知素子を動かすので、デバイスが検知する加速度は、この力によって大きくなります。

セルフ・テスト手順

セルフ・テスト機能は、SELF_TEST レジスタ (レジスタ 0x40) の ST ビットを使ってイネーブルします。セルフ・テスト機能を使用するには、以下の手順を推奨します。

1. デバイスを測定モードにします。
2. ローパス・アクティブ・フィルタがイネーブルされていることを確認します。
3. SELF_TEST レジスタ (レジスタ 0x40) の ST ビットをセットすることによって、セルフ・テストをアサートします。

約 300 ms 後にセルフ・テスト・ステータス・ビット

(ST_DONE と USER_ST) を読み出し、合否を確認します。

ユーザー・レジスタ保護

ADXL372 には、シングル・イベント・アップセット (SEU) 用のユーザー・レジスタ保護機能が組み込まれています。SEU は、イオンや電磁放射がマイクロエレクトロニクス・デバイスの敏感なノードに当たることによって引き起こされる状態変化です。この状態変化は、ロジック素子の重要ノード (例えばメモリ・ビット) 内か、その近くで発生した電離によって生成される自由電荷が原因で起こります。SEU 自体がトランジスタや回路の機能に恒久的な損傷を与えることはないと考えられていますが、誤ったレジスタ値が生成されるおそれがあります。SEU から保護されているレジスタは、レジスタ 0x20 ~ レジスタ 0x3F です。

保護は、99 ビットのエラー訂正 (ハミング・タイプ) コードを介して行われ、1 ビットと 2 ビット両方のエラーを検出します。チェック・ビットは、保護されたレジスタへの書込みが行われると、常に再計算されます。保存されたチェック・ビットが現在のチェック・ビット計算値と合わない場合は、常に ERR_USER_REGS ステータス・ビットがセットされます。

STATUS レジスタの ERR_USER_REGS ビットは、未設定デバイスでセットされたときにハイ状態で始まり、最初のレジスタ書込み時にクリアされます。

ユーザー・オフセット・トリム

ADXL372 には各軸に 4 ビットのオフセット・トリムがあり、これによりデフォルトの静的加速度値に正または負のオフセットを加えて、デバイスの動作パラメータの変更により生じることのある理想値との差を補正することができます。オフセット・トリムのフルスケール・レンジは約 ± 60 LSB で、そのトリム・プロファイルは図 36 に示すとおりです。

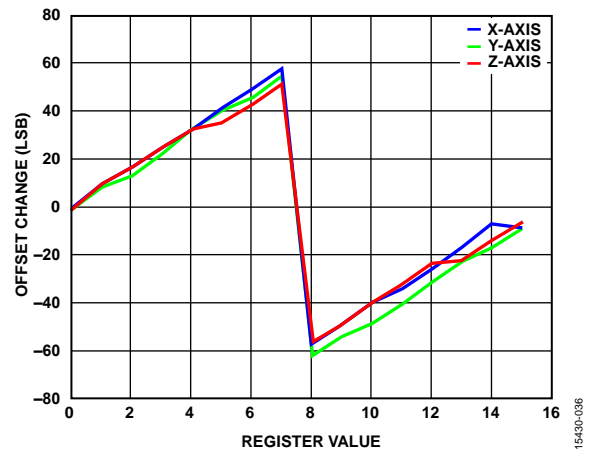


図 36. ユーザーによるオフセット・トリムのプロファイル

シリアル通信

シリアル・インターフェース

ADXL372は、SPIまたはI²Cプロトコルで通信するように設計されています。このデバイスは使用されているフォーマットを自動検出し、フォーマットを選択するための構成制御が不要です。

SPI プロトコル

タイミング方式は以下のとおりです。CPHA = CPOL = 0です。ADXL372は、最大10 MHzのSCLK周波数をサポートします。ADXL372のSPI通信は、図37に示すように配線します。通信を正常に行うには、表12に示すロジック閾値とタイミング・パラメータに従ってください。レジスタの読出しと書込みのためのコマンド構造を、それぞれ図40と図41に示します。レジスタ読出し/書込みコマンドは、複数バイトの（バースト）読出し/書込みアクセスに対応します。複数バイトの読出し/書込みコマンドの波形図を、それぞれ図42と図43に示します。

ADXL372への書込み時にADXL372からマスター・デバイスに送信されるデータは無視します。

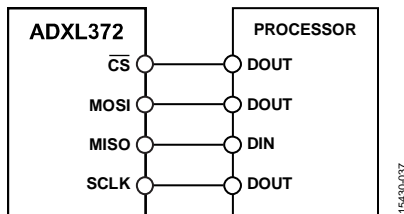


図 37. 4 線式 SPI の接続図

内部に未使用ピン用のプルアップ抵抗やプルダウン抵抗はありません。したがって、これらのピンは、フロート状態や未接続のままにした場合、既知の状態やデフォルト状態にはなりません。I²Cを使ってADXL372と通信するときは、SCLKをグラウンドに接続する必要があります。

通信速度制限のために、400 kHz I²C使用時の最大出力データ・レートは800 Hzで、この値はI²C通信速度とともに線形に変化します。例えば、100 kHzでI²Cを使用した場合は、最大ODRが200 Hzに制限されます。推奨最大値を超える出力データ・レートでの動作は、サンプル欠落やノイズの増加など、加速度データに好ましくない影響を及ぼすおそれがあります。

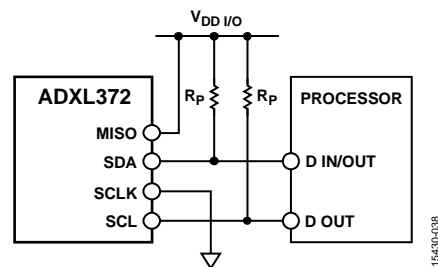


図 38. I²C 接続図 (ADXL372 のデバイス ID = 0x53)

同じI²Cバスに他のデバイスが接続されている場合は、これら他のデバイスの公称動作電圧レベルがV_{DD I/O}を0.3 V以上超えないようにする必要があります。I²Cを正しく動作させるには、外部プルアップ抵抗R_pが必要です。図45～図47に示すように、1バイトまたは複数バイトの読出し/書込みが可能です。

I²C プロトコル

ADXL372はポイント to ポイントI²C通信をサポートしています。ただし、SDAバスを共有している場合は、ADXL372が、そのバス上の他のデバイスとの通信を妨げることがあります。ADXL372がアドレス指定されていない場合でも、任意のポイントにおいて0x3Aまたは0x3Bのバイト（ADXL372のデバイスIDが0x1Dにセットされているとき）、もしくは0xA6または0xA7のバイト（ADXL372のデバイスIDが0x53にセットされているとき）がSDAバス上で転送されると、ADXL372はアクノレッジ・ビットを使って応答し、SDAラインをプルダウンします。これは、例えば、そのバス上にある別のセンサーとの間でデータ・バイトの読出しまたは書込みを行うときに発生する可能性があります。ADXL372がSDAラインをプルダウンすると、バス上にある他のデバイスとの通信が中断することがあります。この問題を回避するには、ADXL372を別のSDAバスに接続するか、ADXL372と通信する必要がないときにはSCLKピンをハイに切り替える必要があります（通常は接地しておく必要があります）。

表13に示すバス・パラメータが満たされていれば、ADXL372は、標準（100 kHz）、高速（最大1 MHz）、高速（最大3.4 MHz）の3つのデータ転送モードをサポートします。最小SCLK周波数はありませんが、データ読出し時は例外で、クロックは、サンプル・セットが新しいデータで書き込まれる前に、サンプル・セット全体を読み出すのに十分な速度のものでなければなりません。1バイトまたは複数バイトの読出し/書込みがサポートされています。MISOピンがローのときのデバイスのI²Cアドレスは0x1Dで、MISOピンをハイにすると別のI²Cアドレス0x53を選択することができます。

複数バイト転送

SPIプロトコルもI²Cプロトコルも複数バイト転送をサポートしており、これはバースト転送とも呼ばれます。レジスタの読出し/書込みは、コマンドで指定されたアドレスから開始され、転送されるバイトごとに自動的にインクリメントされます。x、y、zの加速度データがフルセットで同時に読み出されるように、データの読出しには常に複数バイト転送を使用します。

FIFOは、FIFO読出し時にシリアル・ポート・クロックで動作し、SPIクロックが1 MHz以上である限り、SPIクロック・レートでバースト状態を維持できます。

FIFOアドレスを使用する場合、アドレス自動インクリメント機能は無効になります。これは、複数バイトのトランザクションとして、データをFIFOから連続して読み出せるようにするためです。複数バイト・トランザクションの開始アドレスがFIFOアドレスよりも小さい場合、アドレスはFIFOアドレスに到達するまで自動的にインクリメントし、FIFOアドレスで停止します。

ADXL372にI²Cモードでデータを書き込む場合、ノー・アクノレッジ（NACK）は生成されません。代わりに、その転送に含まれるバイト数がわからないので、それぞれの受信バイトの後にアクノレッジ（ACK）ビットが送信されます。マスターは送信バイト数を決定し、停止条件に基づいてトランザクションを終了します。

無効なアドレスとアドレスの折り畳み

ADXL372は6ビットのアドレス・バスを備えており、可能な256通りのレジスタ・アドレス空間の中で、104のレジスタだけにマッピングします。0x104より上のアドレスでは、レジスタを繰り返すためにアドレスを折り畳むことはありません。0x104より上のレジスタ・アドレスへのアクセスを試みた場合は、

0x67にある無効なレジスタにマッピングされるため、機能面での影響は生じません。

レジスタ 0x00～レジスタ 0x42は、表14に示すように、顧客アクセス用です。レジスタ 0x43～レジスタ 0x67は、工場用に予約されています。

特に注記のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_S = 2.5\text{ V}$ 、 $V_{DDI/O} = 2.5\text{ V}$ 。

表 12. SPI のロジック・レベルとタイミング

Parameter	Description	Min	Typ	Max	Unit
INPUT DC LEVELS					
V_{IL}	Low level input voltage			$0.3 \times V_{DDI/O}$	V
V_{IH}	High level input voltage	$0.7 \times V_{DDI/O}$			V
I_{IL}	Low level input current, $V_{IN} = 0\text{ V}$	-0.1			μA
I_{IH}	High level input current, $V_{IN} = V_{DDI/O}$			0.1	μA
OUTPUT DC LEVELS					
V_{OL}	Low level output voltage, $I_{OL} = I_{OL, MIN}$			$0.2 \times V_{DDI/O}$	V
V_{OH}	High level output voltage, $I_{OH} = I_{OH, MAX}$	$0.8 \times V_{DDI/O}$			V
I_{OL}	Low level output current, $V_{OL} = V_{OL, MAX}$	-10			mA
I_{OH}	High level output current, $V_{OL} = V_{OH, MIN}$			4	mA
INPUT AC					
SCLK Frequency		0.1		10	MHz
t_{HIGH}	SCLK high time	40			ns
t_{LOW}	SCLK low time	40			ns
t_{CSS}	$\overline{\text{CS}}$ setup time	20			ns
t_{CSH}	$\overline{\text{CS}}$ hold time	20			ns
t_{CSD}	$\overline{\text{CS}}$ disable time	40			ns
t_{SCLKS}	Rising SCLK setup time	20			ns
t_{SU}	MOSI setup time	20			ns
t_{HD}	MOSI hold time	20			ns
OUTPUT AC					
t_P	Propagation delay, $C_{LOAD} = 30\text{ pF}$			30	ns
t_{EN}	Enable MISO time	30			ns
t_{DIS}	Disable MISO time			20	ns

SPI タイミング図

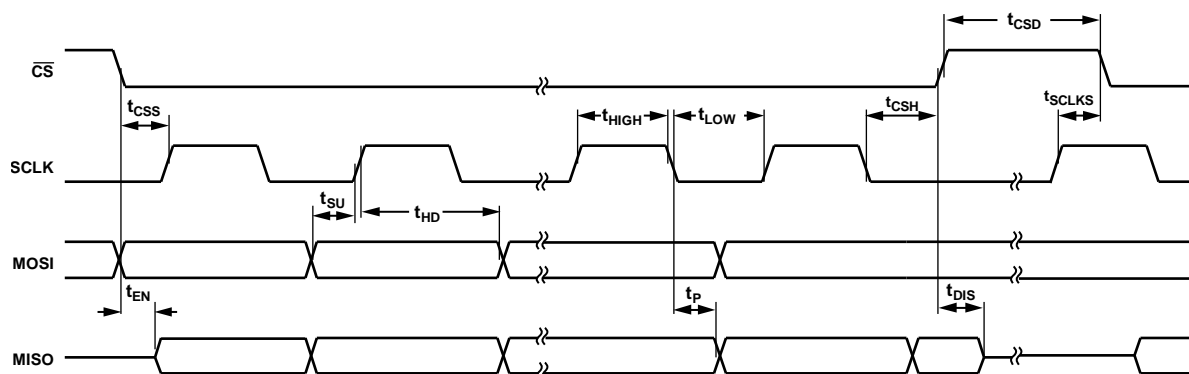


図 39. SPI タイミング仕様

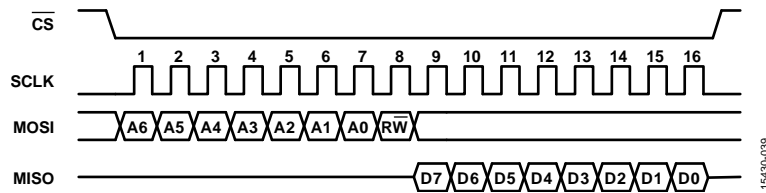


図 40. SPI タイミング図、1 バイト読出し

15430-039

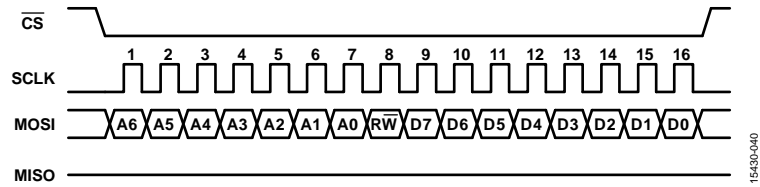


図 41. SPI タイミング図、1 バイト書込み

15430-040

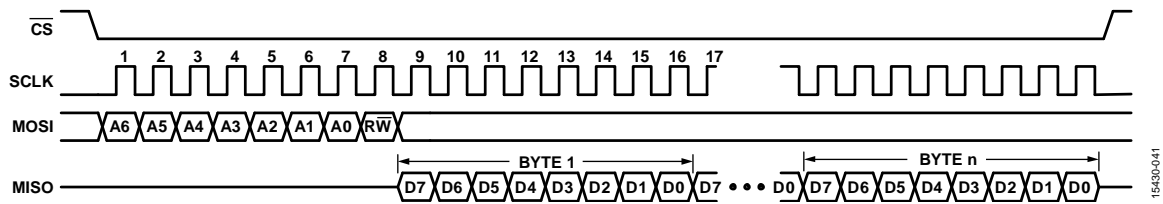


図 42. SPI タイミング図、複数バイト読出し

15430-041

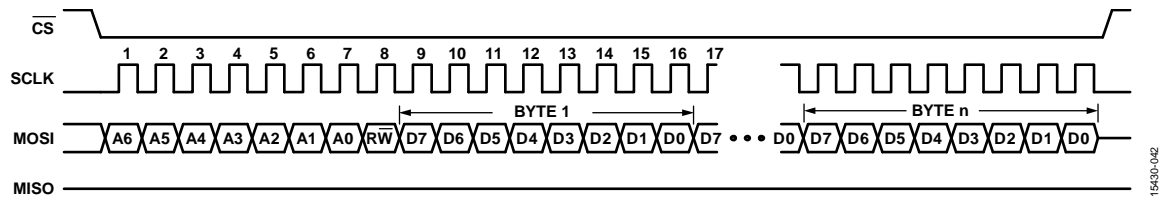


図 43. SPI タイミング図、複数バイト書込み

15430-042

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.5\text{ V}$ 、 $V_{DDIO} = 1.8\text{ V}$ 。

表 13. I²C のロジック・レベルとタイミング

Parameter	Description	I2C_HSM_EN = 0			I2C_HSM_EN = 1			Unit
		Min	Typ	Max	Min	Typ	Max	
INPUT AC								
SCLK Frequency		0		1	0		3.4	MHz
t_{HIGH}	SCLK high time	260			120			ns
t_{LOW}	SCLK low time	500			320			ns
t_{SUSTA}	Start setup time	260			160			ns
t_{HDSTA}	Start hold time	260			160			ns
t_{SUDAT}	Data setup time	50			10			ns
t_{HDDAT}	Data hold time	0			0		150	ns
t_{SUSTO}	Stop setup time	260			160			ns
t_{BUF}	Bus free time	500						ns
t_{RCL}	SCL input rise time			120	20		80	ns
t_{FCL}	SCL input fall time	$20 \times (V_{\text{DD}}/5.5)$		120	20		80	ns
t_{RDA}	SDA input rise time			120	20		160	ns
t_{FDA}	SDA input fall time	$20 \times (V_{\text{DD}}/5.5)$		120	20		160	ns
OUTPUT AC								
C_{LOAD}				550			400	pF

I²C タイミング図

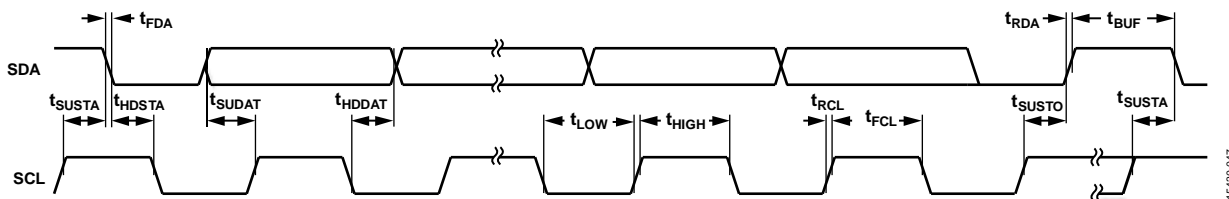


図 44. I²C タイミング図

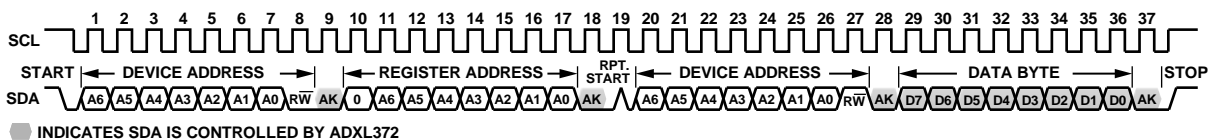


図 45. I²C タイミング図、1 バイト読出し

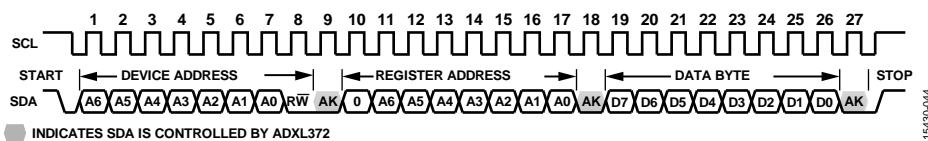


図 46. I²C タイミング図、1 バイト書出し

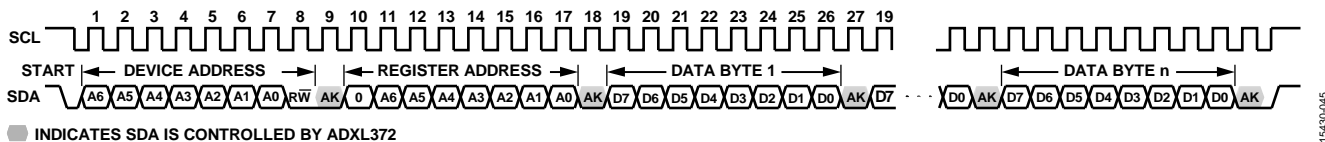


図 47. I²C タイミング図、複数バイト書出し

レジスタ・マップ

表 14. レジスタ・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x00	DEVID_AD	[7:0]	DEVID_AD									0xAD	R	
0x01	DEVID_MST	[7:0]	DEVID_MST									0x1D	R	
0x02	PARTID	[7:0]	DEVID_PRODUCT									0xFA	R	
0x03	REVID	[7:0]	REVID									0x02	R	
0x04	STATUS	[7:0]	ERR_USER_REGS	AWAKE	USER_NVM_BUSY	RESERVED	FIFO_OVR	FIFO_FULL	FIFO_RDY	DATA_RDY	0xA0	R		
0x05	STATUS2	[7:0]	RESERVED	ACTIVITY2	ACTIVITY	INACT	RESERVED				0x00	R		
0x06	FIFO_ENTRIES2	[7:0]	RESERVED								FIFO_ENTRIES[9:8]	0x00	R	
0x07	FIFO_ENTRIES	[7:0]	FIFO_ENTRIES[7:0]									0x00	R	
0x08	XDATA_H	[7:0]	XDATA[11:4]									0x00	R	
0x09	XDATA_L	[7:0]	XDATA[3:0]						RESERVED			0x00	R	
0x0A	YDATA_H	[7:0]	YDATA[11:4]									0x00	R	
0x0B	YDATA_L	[7:0]	YDATA[3:0]						RESERVED			0x00	R	
0x0C	ZDATA_H	[7:0]	ZDATA[11:4]									0x00	R	
0x0D	ZDATA_L	[7:0]	ZDATA[3:0]						RESERVED			0x00	R	
0x15	MAXPEAK_X_H	[7:0]	MAXPEAK_X[11:4]									0x00	R	
0x16	MAXPEAK_X_L	[7:0]	MAXPEAK_X[3:0]						RESERVED			0x00	R	
0x17	MAXPEAK_Y_H	[7:0]	MAXPEAK_Y[11:4]									0x00	R	
0x18	MAXPEAK_Y_L	[7:0]	MAXPEAK_Y[3:0]						RESERVED			0x00	R	
0x19	MAXPEAK_Z_H	[7:0]	MAXPEAK_Z[11:4]									0x00	R	
0x1A	MAXPEAK_Z_L	[7:0]	MAXPEAK_Z[3:0]						RESERVED			0x00	R	
0x20	OFFSET_X	[7:0]	RESERVED						OFFSET_X			0x00	R/W	
0x21	OFFSET_Y	[7:0]	RESERVED						OFFSET_Y			0x00	R/W	
0x22	OFFSET_Z	[7:0]	RESERVED						OFFSET_Z			0x00	R/W	
0x23	THRESH_ACT_X_H	[7:0]	THRESH_ACT_X[10:3]									0x00	R/W	
0x24	THRESH_ACT_X_L	[7:0]	THRESH_ACT_X[2:0]						RESERVED		ACT_REF	ACT_X_EN	0x00	R/W
0x25	THRESH_ACT_Y_H	[7:0]	THRESH_ACT_Y[10:3]									0x00	R/W	
0x26	THRESH_ACT_Y_L	[7:0]	THRESH_ACT_Y[2:0]						RESERVED		ACT_Y_EN	0x00	R/W	
0x27	THRESH_ACT_Z_H	[7:0]	THRESH_ACT_Z[10:3]									0x00	R/W	
0x28	THRESH_ACT_Z_L	[7:0]	THRESH_ACT_Z[2:0]						RESERVED		ACT_Z_EN	0x00	R/W	
0x29	TIME_ACT	[7:0]	ACT_COUNT									0x00	R/W	
0x2A	THRESH_INACT_X_H	[7:0]	THRESH_INACT_X[10:3]									0x00	R/W	
0x2B	THRESH_INACT_X_L	[7:0]	THRESH_INACT_X[2:0]						RESERVED		INACT_REF	INACT_X_EN	0x00	R/W
0x2C	THRESH_INACT_Y_H	[7:0]	THRESH_INACT_Y[10:3]									0x00	R/W	
0x2D	THRESH_INACT_Y_L	[7:0]	THRESH_INACT_Y[2:0]						RESERVED		INACT_Y_EN	0x00	R/W	
0x2E	THRESH_INACT_Z_H	[7:0]	THRESH_INACT_Z[10:3]									0x00	R/W	
0x2F	THRESH_INACT_Z_L	[7:0]	THRESH_INACT_Z[2:0]						RESERVED		INACT_Z_EN	0x00	R/W	
0x30	TIME_INACT_H	[7:0]	INACT_COUNT[15:8]									0x00	R/W	
0x31	TIME_INACT_L	[7:0]	INACT_COUNT[7:0]									0x00	R/W	
0x32	THRESH_ACT2_X_H	[7:0]	THRESH_ACT2_X[10:3]									0x00	R/W	
0x33	THRESH_ACT2_X_L	[7:0]	THRESH_ACT2_X[2:0]						RESERVED		ACT2_REF	ACT2_X_EN	0x00	R/W
0x34	THRESH_ACT2_Y_H	[7:0]	THRESH_ACT2_Y[10:3]									0x00	R/W	
0x35	THRESH_ACT2_Y_L	[7:0]	THRESH_ACT2_Y[2:0]						RESERVED		ACT2_Y_EN	0x00	R/W	
0x36	THRESH_ACT2_Z_H	[7:0]	THRESH_ACT2_Z[10:3]									0x00	R/W	
0x37	THRESH_ACT2_Z_L	[7:0]	THRESH_ACT2_Z[2:0]						RESERVED		ACT2_Z_EN	0x00	R/W	

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x38	HPF	[7:0]	RESERVED							HPF_CORNER		0x00	R/W	
0x39	FIFO_SAMPLES	[7:0]	FIFO_SAMPLES[7:0]										0x80	R/W
0x3A	FIFO_CTL	[7:0]	RESERVED		FIFO_FORMAT			FIFO_MODE		FIFO_SAMPLES[8]		0x00	R/W	
0x3B	INT1_MAP	[7:0]	INT1_LOW	AWAKE_INT1	ACT_INT1	INACT_INT1	FIFO_OVR_INT1	FIFO_FULL_INT1	FIFO_RDY_INT1	DATA_RDY_INT1	0x00	R/W		
0x3C	INT2_MAP	[7:0]	INT2_LOW	AWAKE_INT2	ACT2_INT2	INACT_INT2	FIFO_OVR_INT2	FIFO_FULL_INT2	FIFO_RDY_INT2	DATA_RDY_INT2	0x00	R/W		
0x3D	TIMING	[7:0]	ODR			WAKEUP_RATE			EXT_CLK	EXT_SYNC	0x00	R/W		
0x3E	MEASURE	[7:0]	USER_OR_DISABLE	AUTOSLEEP	LINKLOOP		LOW_NOISE	BANDWIDTH			0x00	R/W		
0x3F	POWER_CTL	[7:0]	I2C_HSM_EN	RESERVED	INSTANT_ON_THRESH	FILTER_SETTLE	LPF_DISABLE	HPF_DISABLE	MODE		0x00	R/W		
0x40	SELF_TEST	[7:0]	RESERVED						USER_ST	ST_DONE	ST	0x00	R/W	
0x41	RESET	[7:0]	RESET										0x00	W
0x42	FIFO_DATA	[7:0]	FIFO_DATA										0x00	R

レジスタの詳細

アナログ・デバイsez ID レジスタ

アドレス: 0x00、リセット: 0xAD、レジスタ名: DEVID_AD

このレジスタには、アナログ・デバイsezの ID (0xAD) が格納されます。

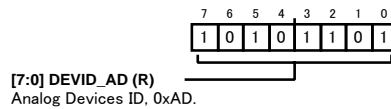


表 15. DEVID_AD のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DEVID_AD		アナログ・デバイsez ID、0xAD	0xAD	R

アナログ・デバイsez MEMS ID レジスタ

アドレス: 0x01、リセット: 0x1D、レジスタ名: DEVID_MST

このレジスタには、アナログ・デバイsez MEMS ID (0x1D) が格納されます。

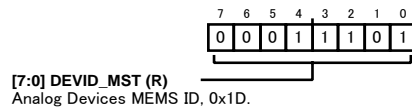


表 16. DEVID_MST のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DEVID_MST		アナログ・デバイsez MEMS ID、0x1D	0x1D	R

デバイス ID レジスタ

アドレス: 0x02、リセット: 0xFA、レジスタ名: PARTID

このレジスタには、デバイス ID (0xFA、8進 372) が格納されます。

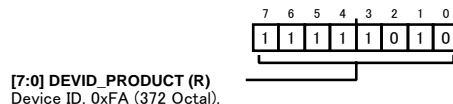


表 17. PARTID のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DEVID_PRODUCT		デバイス ID (0xFA、8進 372)	0xFA	R

製品リビジョン ID レジスタ

アドレス: 0x03、リセット: 0x02、レジスタ名: REVID

このレジスタには、0x00 から始まって、後に続くリビジョンごとにインクリメントされるマスク・リビジョン ID が格納されます。

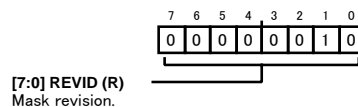


表 18. REVID のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	REVID		マスクのリビジョン	0x2	R

ステータス・レジスタ

アドレス: 0x04、リセット: 0xA0、レジスタ名: STATUS

このレジスタには、ADXL372 のさまざまな条件を説明する以下のビットが含まれています。

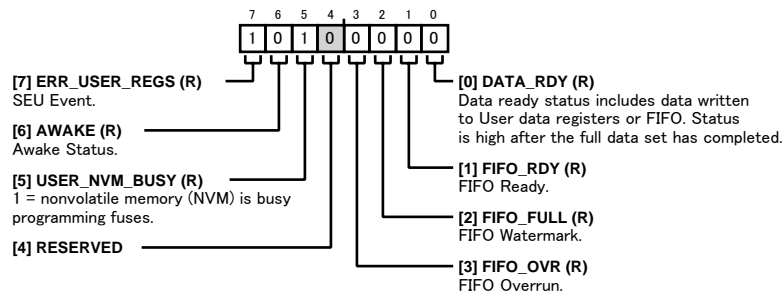


表 19. STATUS のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	ERR_USER_REGS		SEU イベント。ユーザー・レジスタ内に SEU イベントが検出されました。	0x1	R
6	AWAKE		アウェーク・ステータス。アクティブが検出されました。デバイスは動いています。	0x0	R
5	USER_NVM_BUSY		1 = 不揮発性メモリ (NVM) はヒューズをプログラミング中でビジー状態です。	0x1	R
4	RESERVED		予備。	0x0	R
3	FIFO_OVR		FIFO オーバーラン。FIFO がオーバーフローしてデータが失われました。	0x0	R
2	FIFO_FULL		FIFO ウォーターマーク。FIFO_SAMPLES で指定された FIFO ウォーターマーク・レベルに達しました。	0x0	R
1	FIFO_RDY		FIFO レディ。少なくとも 1 個の有効なサンプルを FIFO で使用することができます。	0x0	R
0	DATA_RDY		データ・レディ・ステータスには、ユーザー・データ・レジスタまたは FIFO に書き込まれるデータが含まれます。すべてのデータ・セットの準備が完了すると、ステータスがハイになります。X 軸、Y 軸、Z 軸の測定が完了し、結果を読み出すことができます。	0x0	R

アクティブ・ステータス・レジスタ

アドレス: 0x05、リセット: 0x00、レジスタ名: STATUS2

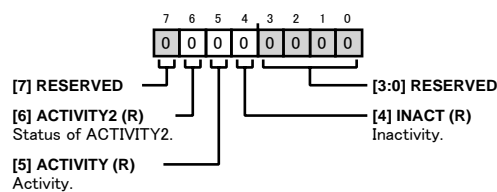


表 20. STATUS2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	RESERVED		予備	0x0	R
6	ACTIVITY2		ACTIVITY2 のステータス	0x0	R
5	ACTIVITY		アクティブ。アクティブが検出されました。	0x0	R
4	INACT		インアクティブ。インアクティブが検出されました。	0x0	R
[3:0]	RESERVED		予備	0x0	R

FIFO エントリ・レジスタ、MSB

アドレス: 0x06、リセット: 0x00、レジスタ名: FIFO_ENTRIES2

FIFO_ENTRIES2 レジスタと FIFO_ENTRIES レジスタは、FIFO バッファ内に存在する有効なデータ・サンプルの数を示します。数の範囲は、0～512 (0x00～0x200) です。FIFO_ENTRIES には最下位バイトが、FIFO_ENTRIES2 には上位 2 ビットが格納されます。

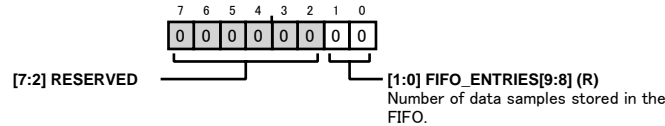


表 21. FIFO_ENTRIES2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:2]	RESERVED		予備	0x0	R
[1:0]	FIFO_ENTRIES[9:8]		FIFO に格納されているデータ・サンプルの数。	0x0	R

FIFO エントリ・レジスタ、LSB

アドレス: 0x07、リセット: 0x00、レジスタ名: FIFO_ENTRIES

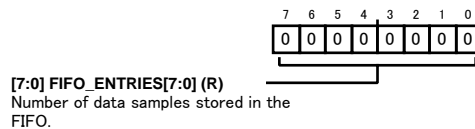


表 22. FIFO_ENTRIES のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	FIFO_ENTRIES[7:0]		FIFO に格納されているデータ・サンプルの数。	0x0	R

X 軸データ・レジスタ、MSB

アドレス: 0x08、リセット: 0x00、レジスタ名: XDATA_H

これら 2 つのレジスタには、x 軸加速度データが格納されます。データは左寄せされ、2 の補数としてフォーマットされます。XDATA_H には 12 ビット値の上位 (MSB) 8 ビットが格納され、XDATA_L には下位 (LSB) 4 ビットが格納されます。

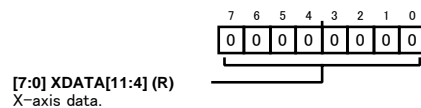


表 23. XDATA_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	XDATA[11:4]		X 軸データ	0x0	R

X 軸データ・レジスタ、LSB

アドレス: 0x09、リセット: 0x00、レジスタ名: XDATA_L

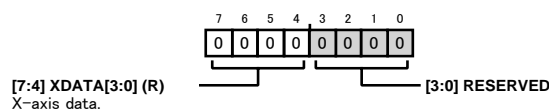


表 24. XDATA_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	XDATA[3:0]		X 軸データ	0x0	R
[3:0]	RESERVED		予備	0x0	R

Y 軸データ・レジスタ、MSB

アドレス: 0x0A、リセット: 0x00、レジスタ名: YDATA_H

YDATA_H レジスタと YDATA_L レジスタには、y 軸の LSB 加速度データが格納されます。データは左寄せされ、2 の補数としてフォーマットされます。YDATA_H には 12 ビット値の上位 (MSB) 8 ビットが格納され、XDATA_L には下位 (LSB) 4 ビットが格納されます。

データの完全性を確保するために、YDATA_H 読み出し時には YDATA_L がラッチされます。

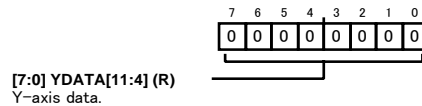


表 25. YDATA_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	YDATA[11:4]		Y 軸データ	0x0	R

Y 軸データ・レジスタ、LSB

アドレス: 0x0B、リセット: 0x00、レジスタ名: YDATA_L

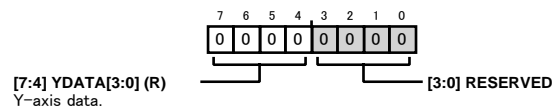


表 26. YDATA_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	YDATA[3:0]		Y 軸データ	0x0	R
[3:0]	RESERVED		予備	0x0	R

Z 軸データ・レジスタ、MSB

アドレス: 0x0C、リセット: 0x00、レジスタ名: ZDATA_H

これら 2 つのレジスタには、z 軸加速度データが格納されます。データは左寄せされ、2 の補数としてフォーマットされます。ZDATA_H には 12 ビット値の上位 (MSB) 8 ビットが格納され、ZDATA_L には下位 (LSB) 4 ビットが格納されます。

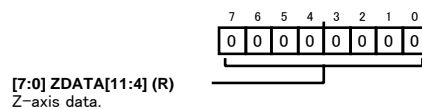


表 27. ZDATA_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	ZDATA[11:4]		Z 軸データ	0x0	R

Z 軸データ・レジスタ、LSB

アドレス: 0x0D、リセット: 0x00、レジスタ名: ZDATA_L

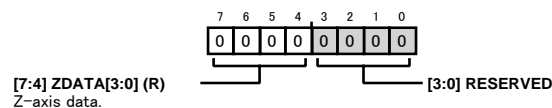


表 28. ZDATA_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	ZDATA[3:0]		Z 軸データ	0x0	R
[3:0]	RESERVED		予備	0x0	R

最大ピーク・データ・レジスタ

最大ピーク・データ・レジスタには、このレジスタの最後の読出し以降で最も大きいサンプルに対応する加速度データが格納されます。データは左寄せされ、2の補数としてフォーマットされます。

X 軸最大ピーク・データ・レジスタ、MSB

アドレス: 0x15、リセット: 0x00、レジスタ名: MAXPEAK_X_H

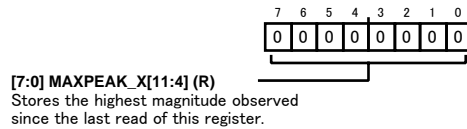


表 29. MAXPEAK_X_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	MAXPEAK_X[11:4]		このレジスタの最後の読出し以降で最も大きい値が保存されます。 x 軸の値の上位 8 ビット。	0x0	R

X 軸最大ピーク・データ・レジスタ、LSB

アドレス: 0x16、リセット: 0x00、レジスタ名: MAXPEAK_X_L

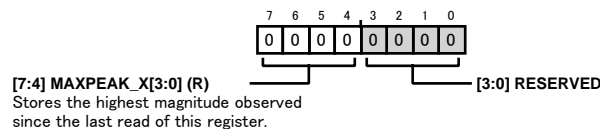


表 30. MAXPEAK_X_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	MAXPEAK_X[3:0]		このレジスタの最後の読出し以降で最も大きい値が保存されます。 x 軸の値の下部 4 ビット。	0x0	R
[3:0]	RESERVED		予備	0x0	R

Y 軸最大ピーク・データ・レジスタ、MSB

アドレス: 0x17、リセット: 0x00、レジスタ名: MAXPEAK_Y_H

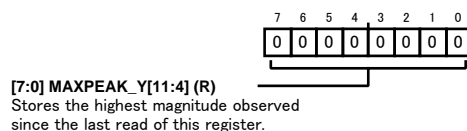


表 31. MAXPEAK_Y_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	MAXPEAK_Y[11:4]		このレジスタの最後の読出し以降で最も大きい値が保存されます。 y 軸の値の上位 8 ビット。	0x0	R

Y 軸最大ピーク・データ・レジスタ、LSB

アドレス: 0x18、リセット: 0x00、レジスタ名: MAXPEAK_Y_L

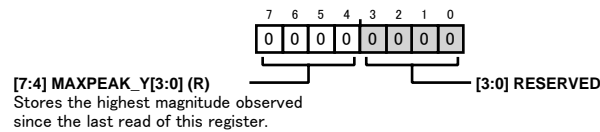


表 32. MAXPEAK_Y_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	MAXPEAK_Y[3:0]		このレジスタの最後の読出し以降で最も大きい値が保存されます。 y 軸の値の下位 4 ビット。	0x0	R
[3:0]	RESERVED		予備	0x0	R

Z 軸最大ピーク・データ・レジスタ、MSB

アドレス: 0x19、リセット: 0x00、レジスタ名: MAXPEAK_Z_H

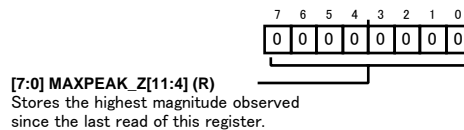


表 33. MAXPEAK_Z_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	MAXPEAK_Z[11:4]		このレジスタの最後の読出し以降で最も大きい値が保存されます。 z 軸の値の上位 8 ビット。	0x0	R

Z 軸最大ピーク・データ・レジスタ、LSB

アドレス: 0x1A、リセット: 0x00、レジスタ名: MAXPEAK_Z_L

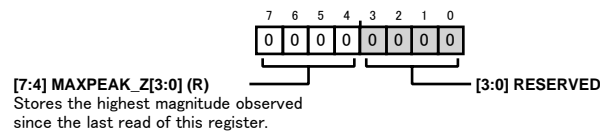


表 34. MAXPEAK_Z_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	MAXPEAK_Z[3:0]		このレジスタの最後の読出し以降で最も大きい値が保存されます。 z 軸の値の下位 4 ビット。	0x0	R
[3:0]	RESERVED		予備	0x0	R

オフセット・トリム・レジスタ

オフセット・トリム・レジスタはそれぞれ4ビットで、ユーザーが設定したオフセットを2の補数形式で調整することができます。これらのレジスタのスケール・ファクタを図36に示します。

X軸のオフセット・トリム・レジスタ、LSB

アドレス: 0x20、リセット: 0x00、レジスタ名: OFFSET_X

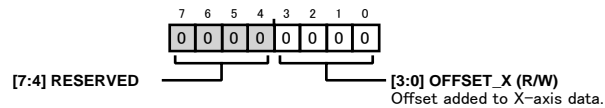


表 35. OFFSET_X のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	RESERVED		予備	0x0	R
[3:0]	OFFSET_X		x 軸データに加えるオフセット	0x0	R/W

Y軸オフセット・トリム・レジスタ、LSB

アドレス: 0x21、リセット: 0x00、レジスタ名: OFFSET_Y

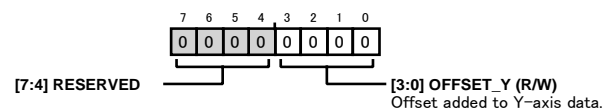


表 36. OFFSET_Y のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	RESERVED		予備	0x0	R
[3:0]	OFFSET_Y		y 軸データに加えるオフセット	0x0	R/W

Z軸オフセット・トリム・レジスタ、LSB

アドレス: 0x22、リセット: 0x00、レジスタ名: OFFSET_Z

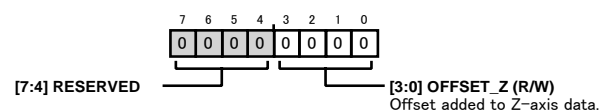


表 37. OFFSET_Z のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	RESERVED		予備	0x0	R
[3:0]	OFFSET_Z		z 軸データに加えるオフセット	0x0	R/W

X 軸アクティブ閾値レジスタ、MSB

アドレス: 0x23、リセット: 0x00、レジスタ名: THRESH_ACT_X_H

この 11 ビットの符号なし値は、アクティブ検出のための閾値を設定します。この値はコードで設定し、スケール・ファクタは 100 mg/code です。アクティブを検出するために、12 ビット加速度データの絶対値と 11 ビット（符号なし）アクティブ閾値が比較されます。THRESH_ACT_x_L レジスタにはアクティブ閾値の下位ビットが格納され、THRESH_ACT_x_H レジスタには最上位バイトが格納されます。

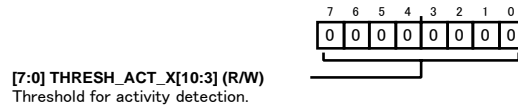


表 38. THRESH_ACT_X_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	THRESH_ACT_X[10:3]		アクティブ検出の閾値。x 軸閾値の上位 8 ビット。	0x0	R/W

X 軸アクティブ閾値レジスタ、LSB

アドレス: 0x24、リセット: 0x00、レジスタ名: THRESH_ACT_X_L

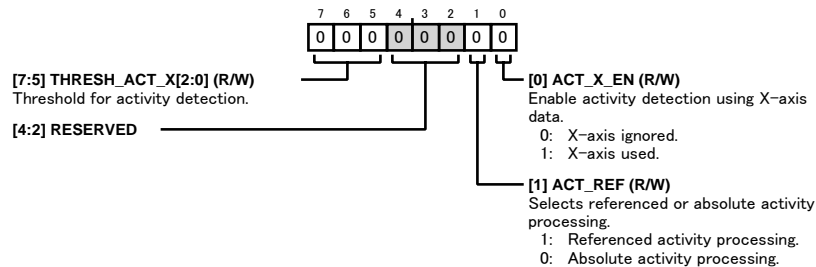


表 39. THRESH_ACT_X_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	THRESH_ACT_X[2:0]		アクティブ検出の閾値。x 軸閾値の下位 3 ビット。	0x0	R/W
[4:2]	RESERVED		予備	0x0	R
1	ACT_REF		リファレンス・モードまたはアブソリュート・モードのアクティブ処理を選択します。 1 リファレンス・アクティブ処理 0 アブソリュート・アクティブ処理	0x0	R/W
0	ACT_X_EN		X 軸データを使ったアクティブ検出を有効にします。 0 X 軸を無視 1 X 軸を使用	0x0	R/W

Y 軸アクティブ閾値レジスタ、MSB

アドレス: 0x25、リセット: 0x00、レジスタ名: THRESH_ACT_Y_H

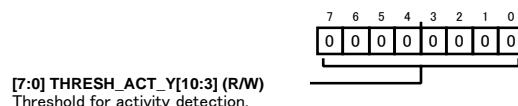


表 40. THRESH_ACT_Y_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	THRESH_ACT_Y[10:3]		アクティブ検出の閾値。y 軸閾値の上位 8 ビット。	0x0	R/W

Y 軸アクティブ閾値レジスタ、LSB

アドレス: 0x26、リセット: 0x00、レジスタ名: THRESH_ACT_Y_L

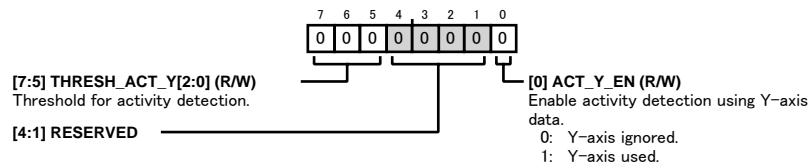


表 41. THRESH_ACT_Y_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	THRESH_ACT_Y[2:0]		アクティブ検出の閾値。y 軸閾値の下位 3 ビット。	0x0	R/W
[4:1]	RESERVED		予備	0x0	R
0	ACT_Y_EN		y 軸データを使ったアクティブ検出を有効にします。	0x0	R/W
		0	Y 軸データを無視		
		1	Y 軸データを使用		

Z 軸アクティブ閾値レジスタ、MSB

アドレス: 0x27、リセット: 0x00、レジスタ名: THRESH_ACT_Z_H



表 42. THRESH_ACT_Z_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	THRESH_ACT_Z[10:3]		アクティブ検出の閾値。z 軸閾値の上位 8 ビット。	0x0	R/W

Z 軸アクティブ閾値レジスタ、LSB

アドレス: 0x28、リセット: 0x00、レジスタ名: THRESH_ACT_Z_L

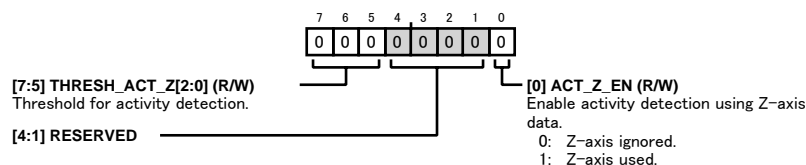


表 43. THRESH_ACT_Z_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	THRESH_ACT_Z[2:0]		アクティブ検出の閾値。z 軸閾値の下位 3 ビット。	0x0	R/W
[4:1]	RESERVED		予備	0x0	R
0	ACT_Z_EN		Z 軸データを使ったアクティブ検出を有効にします。	0x0	R/W
		0	Z 軸データを無視		
		1	Z 軸データを使用		

アクティブ・タイム・レジスタ

アドレス: 0x29、リセット: 0x00、レジスタ名: TIME_ACT

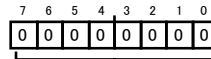
アクティブ・タイマーは、誤検出によるモーション・トリガを最小限に抑える信頼性の高いアクティブ検出を実現します。このタイマー使用時は、持続的なモーションだけがアクティブ検出をトリガできます。時間（単位: ミリ秒）は次式で与えられます。

$$\text{時間} = \text{TIME_ACT} \times 3.3 \text{ ms/code}$$

ここで、

TIME_ACT はこのレジスタに設定された値です。

3.3 ms/code は ODR = 6400 Hz に対する TIME_ACT レジスタのスケール・ファクタで、ODR が 3200 Hz 以下の場合は 6.6 ms/code です。詳細については、アクティブ・タイマーのセクションを参照してください。



[7:0] ACT_COUNT (R/W)
Number of multiples of 3.3 ms activity timer for which above threshold required to detect activity.

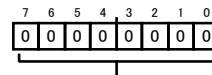
表 44. TIME_ACT のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	ACT_COUN T		3.3 ms アクティブ・タイマーの倍数。閾値を超える加速度の持続時間がこの値を超えると、アクティブが検出されます。6400 Hz の ODR では 3.3 ms/code、3200 Hz 以下の ODR では 6.6 ms/code です。	0x0	R/W

X 軸インアクティブ閾値レジスタ、MSB

アドレス: 0x2A、リセット: 0x00、レジスタ名: THRESH_INACT_X_H

この 11 ビットの符号なし値は、インアクティブ検出のための閾値を設定します。この値はコードで設定し、スケール・ファクタは 100 mg/code です。インアクティブを検出するために、12 ビット加速度データの絶対値と 11 ビット（符号なし）インアクティブ閾値が比較されます。THRESH_INACT_X_L レジスタにはインアクティブ閾値の下位ビットが格納され、THRESH_INACT_X_H レジスタには最上位バイトが格納されます。



[7:0] THRESH_INACT_X[10:3] (R/W)
Threshold for inactivity detection.

表 45. THRESH_INACT_X_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	THRESH_INACT_X[10:3]		インアクティブ検出の閾値。x 軸の上位 8 ビット。	0x0	R/W

X 軸インアクティブ閾値レジスタ、LSB

アドレス: 0x2B、リセット: 0x00、レジスタ名: THRESH_INACT_X_L

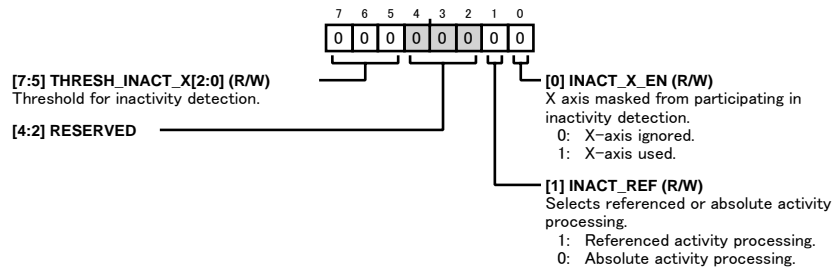


表 46. THRESH_INACT_X_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	THRESH_INACT_X[2:0]		インアクティブ検出の閾値。x 軸の下位 3 ビット。	0x0	R/W
[4:2]	RESERVED		予備	0x0	R
1	INACT_REF		リファレンス・モードまたはアブソリュート・モードでのインアクティブ処理を選択します。 1 リファレンス・インアクティブ処理 0 アブソリュート・インアクティブ処理	0x0	R/W
0	INACT_X_EN		インアクティブ検出時の X 軸のマスク。 0 X 軸を無視 1 X 軸を使用	0x0	R/W

Y 軸インアクティブ閾値レジスタ、MSB

アドレス: 0x2C、リセット: 0x00、レジスタ名: THRESH_INACT_Y_H

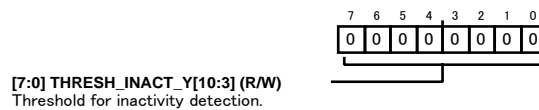


表 47. THRESH_INACT_Y_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	THRESH_INACT_Y[10:3]		インアクティブ検出の閾値。y 軸の上位 8 ビット。	0x0	R/W

Y 軸インアクティブ閾値レジスタ、LSB

アドレス: 0x2D、リセット: 0x00、レジスタ名: THRESH_INACT_Y_L

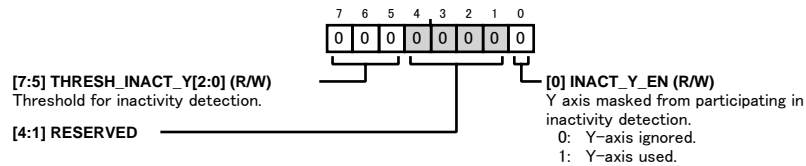


表 48. THRESH_INACT_Y_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	THRESH_INACT_Y[2:0]		インアクティブ検出の閾値。y 軸の下位 3 ビット。	0x0	R/W
[4:1]	RESERVED		予備	0x0	R
0	INACT_Y_EN		インアクティブ検出時の X 軸のマスク。 0 Y 軸データを無視 1 Y 軸データを使用	0x0	R/W

Z 軸インアクティブ閾値レジスタ、MSB

アドレス: 0x2E、リセット: 0x00、レジスタ名: THRESH_INACT_Z_H

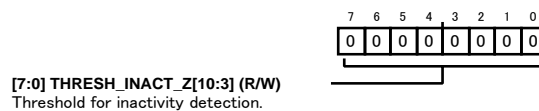


表 49. THRESH_INACT_Z_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	THRESH_INACT_Z[10:3]		インアクティブ検出の閾値。z 軸の上位 8 ビット。	0x0	R/W

Z 軸インアクティブ閾値レジスタ、LSB

アドレス: 0x2F、リセット: 0x00、レジスタ名: THRESH_INACT_Z_L

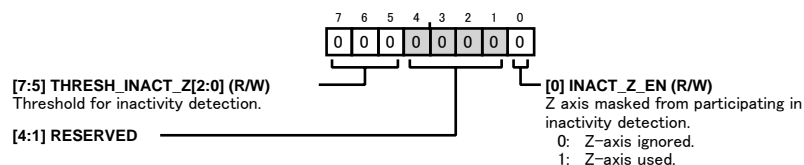


表 50. THRESH_INACT_Z_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	THRESH_INACT_Z[2:0]		インアクティブ検出の閾値。z 軸の下位 3 ビット。	0x0	R/W
[4:1]	RESERVED		予備	0x0	R
0	INACT_Z_EN		インアクティブ検出時の Z 軸のマスク。 0 Z 軸データを無視 1 Z 軸データを使用	0x0	R/W

インアクティブ・タイム・レジスタ

インアクティブ・イベントを検出するには、有効にされたすべての軸が一定時間にわたってインアクティブ閾値を下回っていなければなりません。これらのレジスタの 16 ビット値は、その時間を設定します。TIME_INACT_L レジスタは 16 ビット TIME_INACT 値の下位 8 ビットを保持し、TIME_INACT_H レジスタは上位 8 ビットを保持します。

時間は次式で計算します。

$$\text{時間} = \text{TIME_INACT} \times 26 \text{ ms/code}$$

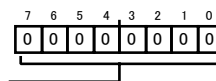
ここで、

TIME_INACT は TIME_INACT_L レジスタ（下位 8 ビット）と TIME_INACT_H レジスタ（上位 8 ビット）によって設定された 16 ビット値です。

26 ms/code は、ODR が 3200 Hz 以下の場合の TIME_INACT_L レジスタと TIME_INACT_H レジスタのスケール・ファクタで、ODR = 6400 Hz の場合は 13 ms/code です。詳細については、インアクティブ・タイマーのセクションを参照してください。

インアクティブ・タイム・レジスタ、MSB

アドレス: 0x30、リセット: 0x00、レジスタ名: TIME_INACT_H



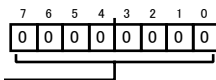
[7:0] INACT_COUNT[15:8] (R/W)
Number of multiples of 26 ms inactivity timer for which below threshold required to detect inactivity.

表 51. TIME_INACT_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	INACT_COUNT[15:8]		26 ms インアクティブ・タイマーの倍数。閾値未満の加速度の持続時間がこの値を超えると、インアクティブが検出されます。ODR が 3200 Hz 以下の場合は 26 ms/code、6400 Hz の場合は 13 ms/code です。	0x0	R/W

インアクティブ・タイム・レジスタ、LSB

アドレス: 0x31、リセット: 0x00、レジスタ名: TIME_INACT_L



[7:0] INACT_COUNT[7:0] (R/W)
Number of multiples of 26 ms inactivity timer for which below threshold required to detect inactivity.

表 52. TIME_INACT_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	INACT_COUNT[7:0]		26 ms インアクティブ・タイマーの倍数。閾値未満の加速度の持続時間がこの値を超えると、インアクティブが検出されます。	0x0	R/W

X 軸モーション警告閾値レジスタ、MSB

アドレス: 0x32、リセット: 0x00、レジスタ名: THRESH_ACT2_X_H

この 11 ビットの符号なし値は、モーション検出のための閾値を設定します。この値はコードで設定し、スケール・ファクタは 100 mg/code です。モーションを検出するために、12 ビット加速度データの絶対値と 11 ビット（符号なし）ACTIVITY2 閾値が比較されます。THRESH_ACT2_x_L レジスタには ACTIVITY2 閾値の下位ビットが格納され、THRESH_ACT2_x_H レジスタには最上位バイトが格納されます。



表 53. THRESH_ACT2_X_H のビット説明

Bits	Bit Name	Settings	Description ¹	Reset	Access
[7:0]	THRESH_ACT2_X[10:3]		OTN 閾値。モーション警告割込みのための x 軸閾値の上位 8 ビット。	0x0	R/W

¹ OTN は「その他の閾値通知」（Other Threshold Notification）を表します。

X 軸モーション警告通知レジスタ、LSB

アドレス: 0x33、リセット: 0x00、レジスタ名: THRESH_ACT2_X_L

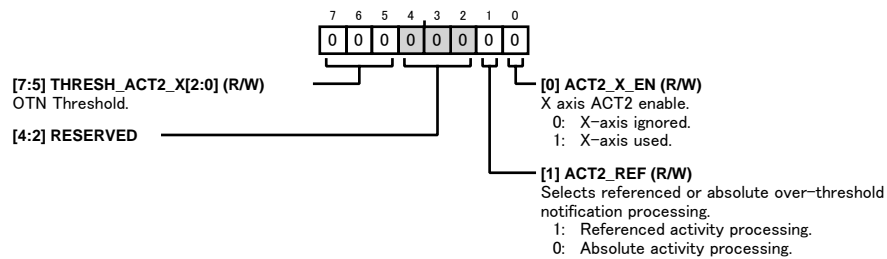


表 54. THRESH_ACT2_X_L のビット説明

Bits	Bit Name	Settings	Description ¹	Reset	Access
[7:5]	THRESH_ACT2_X[2:0]		OTN 閾値。モーション警告割込みのための x 軸閾値の下位 3 ビット。	0x0	R/W
[4:2]	RESERVED		予備	0x0	R
1	ACT2_REF		リファレンス・モードまたはアブソリュート・モードのモーション警告通知処理を選択します。 1 リファレンス・アクティブ処理 0 アブソリュート・アクティブ処理	0x0	R/W
0	ACT2_X_EN		X 軸 ACT2 イネーブル。1 に設定すると、モーション警告通知の検出に x 軸が使われます。 0 X 軸を無視 1 X 軸を使用	0x0	R/W

¹ OTN は「その他の閾値通知」（Other Threshold Notification）を表し、ACT2 は ACTIVITY2 を表します。

Y 軸モーション警告通知閾値レジスタ、MSB

アドレス: 0x34、リセット: 0x00、レジスタ名: THRESH_ACT2_Y_H



表 55. THRESH_ACT2_Y_H のビット説明

Bits	Bit Name	Settings	Description ¹	Reset	Access
[7:0]	THRESH_ACT2_Y[10:3]		OTN 閾値。モーション警告割込みのための y 軸閾値の上位 8 ビット。	0x0	R/W

¹ OTN は「その他の閾値通知」 (Other Threshold Notification) を表します。

Y 軸モーション警告通知レジスタ、LSB

アドレス: 0x35、リセット: 0x00、レジスタ名: THRESH_ACT2_Y_L

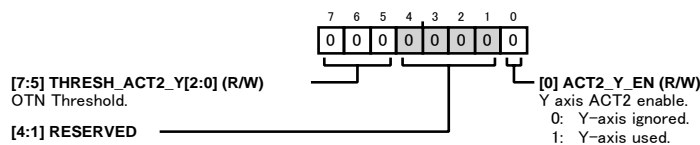


表 56. THRESH_ACT2_Y_L のビット説明

Bits	Bit Name	Settings	Description ¹	Reset	Access
[7:5]	THRESH_ACT2_Y[2:0]		OTN 閾値。モーション警告割込みのための y 軸閾値の低位 3 ビット。	0x0	R/W
[4:1]	RESERVED		予備	0x0	R
0	ACT2_Y_EN		Y 軸 ACT2 イネーブル。1 のときは、モーション警告通知の検出に y 軸が使われます。 0 Y 軸データを無視 1 Y 軸データを使用	0x0	R/W

¹ OTN は「その他の閾値通知」 (Other Threshold Notification) を表し、ACT2 は ACTIVITY2 を表します。

Z 軸モーション警告通知閾値レジスタ、MSB

アドレス: 0x36、リセット: 0x00、レジスタ名: THRESH_ACT2_Z_H



表 57. THRESH_ACT2_Z_H のビット説明

Bits	Bit Name	Settings	Description ¹	Reset	Access
[7:0]	THRESH_ACT2_Z[10:3]		OTN 閾値。モーション警告割込みのための z 軸閾値の上位 8 ビット。	0x0	R/W

¹ OTN は「その他の閾値通知」 (Other Threshold Notification) を表します。

Z 軸モーション警告通知レジスタ、LSB

アドレス: 0x37、リセット: 0x00、レジスタ名: THRESH_ACT2_Z_L

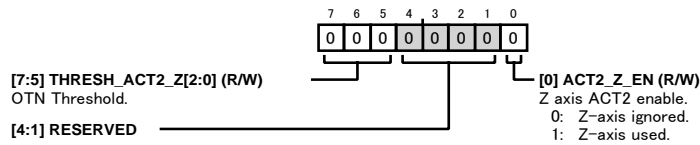


表 58. THRESH_ACT2_Z_L のビット説明

Bits	Bit Name	Settings	Description ¹	Reset	Access
[7:5]	THRESH_ACT2_Z[2:0]		OTN 閾値。モーション警告割込みのための z 軸閾値の低位 3 ビット。	0x0	R/W
[4:1]	RESERVED		予備	0x0	R
0	ACT2_Z_EN	0 1	Z 軸 ACT2 イネーブル。1 のときは、モーション警告通知の検出に z 軸が使われます。 0 Z 軸データを無視 1 Z 軸データを使用	0x0	R/W

¹ OTN は「その他の閾値通知」 (Other Threshold Notification) を表し、ACT2 は ACTIVITY2 を表します。

ハイパス・フィルタ設定レジスタ

アドレス: 0x38、リセット: 0x00、レジスタ名: HPF

内部ハイパス・フィルタのパラメータ指定には、このレジスタを使用します。

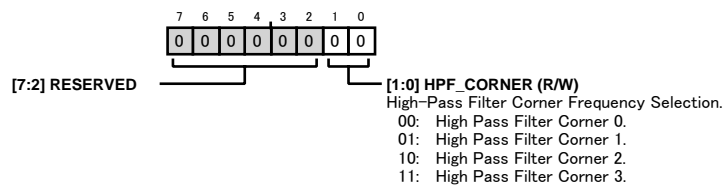


表 59. HPF のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:2]	RESERVED		予備	0x0	R
[1:0]	HPF_CORNER	00 01 10 11	ハイパス・フィルタのコーナー周波数選択。 00 ハイパス・フィルタ・コーナー 0。ODR 6400 Hz で 30.48 Hz、ODR 3200 Hz で 15.24 Hz、ODR 1600 Hz で 7.61 Hz、ODR 800 Hz で 3.81 Hz、ODR 400 Hz で 1.90 Hz。 01 ハイパス・フィルタ・コーナー 1。ODR 6400 Hz で 15.58 Hz、ODR 3200 Hz で 7.79 Hz、ODR 1600 Hz で 3.89 Hz、ODR 800 Hz で 1.94 Hz、ODR 400 Hz で 0.97 Hz。 10 ハイパス・フィルタ・コーナー 2。ODR 6400 Hz で 7.88 Hz、ODR 3200 Hz で 3.94 Hz、ODR 1600 Hz で 1.97 Hz、ODR 800 Hz で 0.98 Hz、ODR 400 Hz で 0.49 Hz。 11 ハイパス・フィルタ・コーナー 3。ODR 6400 Hz で 3.96 Hz、ODR 3200 Hz で 1.98 Hz、ODR 1600 Hz で 0.99 Hz、ODR 800 Hz で 0.49 Hz、ODR 400 Hz で 0.24 Hz。	0x0	R/W

FIFO サンプル・レジスタ

アドレス: 0x39、リセット: 0x80、レジスタ名: FIFO_SAMPLES

FIFO_SAMPLES の値を使用して、FIFO に格納するサンプルの数を指定します。このレジスタには、FIFO_SAMPLES の値の下位 8 ビット (LSB) が保存されます。FIFO_SAMPLES の値の最上位ビットは、FIFO_CTL レジスタのビット 0 です。

FIFO ウォーターマーク割込みがトリガされるのを避けるため、このレジスタのデフォルト値は 0x80 です (詳細については、FIFO ウォーターマークのセクションを参照)。トリガ FIFO モードでは、FIFO_SAMPLES は、トリガ検出後に保存されるサンプル数をプログラムします。

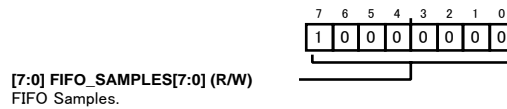


表 60. FIFO_SAMPLES のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	FIFO_SAMPLES[7:0]		FIFO サンプル。FIFO_FULL 条件をトリガする FIFO サンプルのウォーターマーク数。値の範囲は 0 ~ 512 です。	0x80	R/W

FIFO コントロール・レジスタ

アドレス: 0x3A、リセット: 0x00、レジスタ名: FIFO_CTL

このレジスタを使用して、FIFO の動作パラメータを指定します。

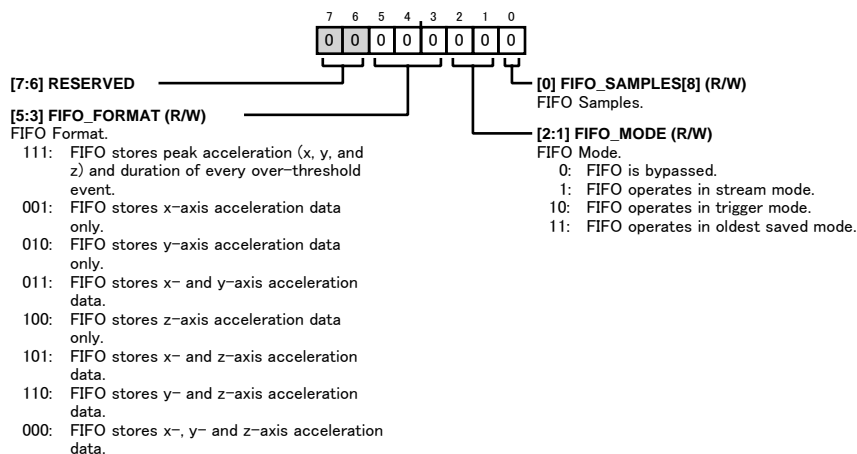


表 61. FIFO_CTL のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
[5:3]	FIFO_FORMAT		FIFO のフォーマット。FIFO バッファにどのデータを保存するかを指定します。 111 閾値を超えるすべてのイベントのピーク加速度 (x、y、z) が FIFO に保存されます。 001 x 軸加速度データのみが FIFO に保存されます。 010 y 軸加速度データのみが FIFO に保存されます。 011 x 軸と y 軸の加速度データが FIFO に保存されます。 100 z 軸加速度データのみが FIFO に保存されます。 101 x 軸と z 軸の加速度データが FIFO に保存されます。 110 y 軸と z 軸の加速度データが FIFO に保存されます。 000 x 軸、y 軸、z 軸の加速度データが FIFO に保存されます。	0x0	R/W

Bits	Bit Name	Settings	Description	Reset	Access
[2:1]	FIFO_MODE	0 1 10 11	FIFO のモード。FIFO の動作モードを指定します。 0 FIFO はバイパスされます。 1 FIFO はストリーム・モードで動作します。 10 FIFO はトリガ・モードで動作します。 11 FIFO はオールデスト・セーブ・モードで動作します。	0x0	R/W
0	FIFO_SAMPLES[8]		FIFO サンプル。FIFO_FULL 条件をトリガする FIFO サンプルのウォーターマーク数。値の範囲は 0 ~ 512 です。	0x0	R/W

割込みピンの機能マップ・レジスタ

アドレス: 0x3B、リセット: 0x00、レジスタ名: INT1_MAP

INT1_MAP レジスタと INT2_MAP レジスタは、それぞれ、INT1 割込みピンと INT2 割込みピンを設定します。ビット [6:0] は、ピンに割込みを生成する機能を選択します。対応するビットが 1 に設定されていると、その機能は INTx ピンに割込みを生成します。ビット B7 は、ピンがアクティブ・ハイ・モードで動作するか (B7 がロー・レベル)、アクティブ・ロー・モードで動作するか (B7 がハイ・レベル) を設定します。ピンごとに任意の数の機能を同時に選択できます。複数の機能が選択された場合は、それらの条件の論理和をとって INTx ピンの状態を決定します。各機能のステータスを決定するには、STATUS レジスタを読み出します。INTx ピンに割込みがマッピングされていない場合、そのピンは高インピーダンス状態のままになります。

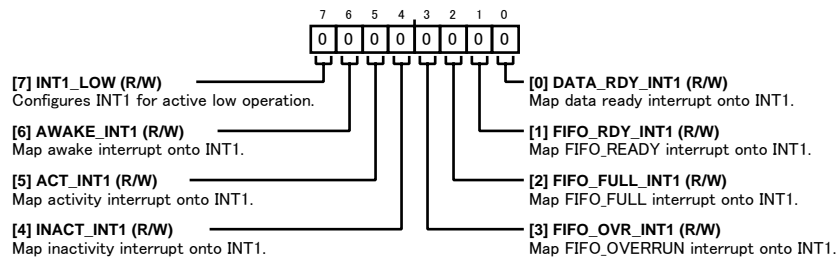


表 62. INT1_MAP のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	INT1_LOW		INT1 をアクティブ・ロー動作に設定します。	0x0	R/W
6	AWAKE_INT1		INT1 にアウェーク割込みをマップします。	0x0	R/W
5	ACT_INT1		INT1 にアクティブ割込みをマップします。	0x0	R/W
4	INACT_INT1		INT1 にインアクティブ割込みをマップします。	0x0	R/W
3	FIFO_OVR_INT1		INT1 に FIFO_OVERRUN 割込みをマップします。	0x0	R/W
2	FIFO_FULL_INT1		INT1 に FIFO_FULL 割込みをマップします。	0x0	R/W
1	FIFO_RDY_INT1		INT1 に FIFO_READY 割込みをマップします。	0x0	R/W
0	DATA_RDY_INT1		INT1 に データ・レディ割込みをマップします。	0x0	R/W

INT2 機能マップ・レジスタ

アドレス: 0x3C、リセット: 0x00、レジスタ名: INT2_MAP

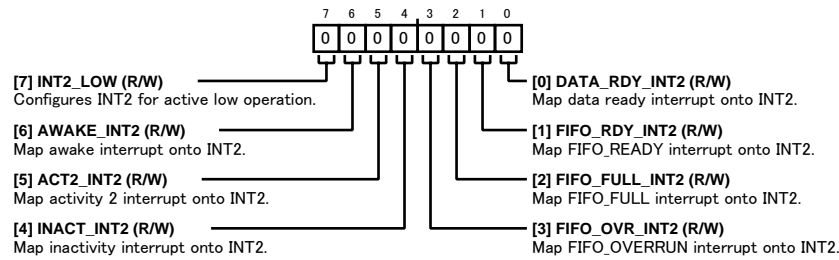


表 63. INT2_MAP のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	INT2_LOW		INT2 をアクティブ・ロー動作に設定します。	0x0	R/W
6	AWAKE_INT2		INT2 にアウェーク割込みをマップします。	0x0	R/W
5	ACT2_INT2		INT2 に Activity 2 (モーション警告) 割込みをマップします。	0x0	R/W
4	INACT_INT2		INT2 にインアクティブ割込みをマップします。	0x0	R/W
3	FIFO_OVR_INT2		INT2 に FIFO_OVERRUN 割込みをマップします。	0x0	R/W
2	FIFO_FULL_INT2		INT2 に FIFO_FULL 割込みをマップします。	0x0	R/W
1	FIFO_RDY_INT2		INT2 に FIFO_READY 割込みをマップします。	0x0	R/W
0	DATA_RDY_INT2		INT2 に データ・レディ割込みをマップします。	0x0	R/W

外部タイミング・コントロール・レジスタ

アドレス: 0x3D、リセット: 0x00、レジスタ名: TIMING

ADXL372 のタイミング・パラメータである ODR トリガと外部タイミング・トリガを制御するには、このレジスタを使用します。

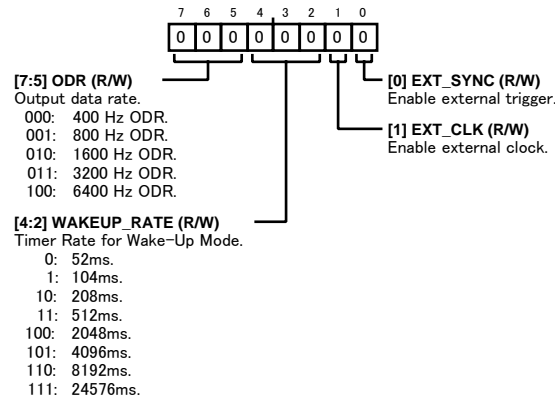


表 64. TIMING のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	ODR		出力データ・レート	0x0	R/W
		000	400 Hz ODR		
		001	800 Hz ODR		
		010	1600 Hz ODR		
		011	3200 Hz ODR		
		100	6400 Hz ODR		

Bits	Bit Name	Settings	Description	Reset	Access
[4:2]	WAKEUP_RATE	0 52 ms 1 104 ms 10 208 ms 11 512 ms 100 2048 ms 101 4096 ms 110 8192 ms 111 24576 ms	ウェークアップ・モードのタイマー・レート	0x0	R/W
1	EXT_CLK		外部クロックを有効にします。	0x0	R/W
0	EXT_SYNC		外部トリガを有効にします。	0x0	R/W

測定コントロール・レジスタ

アドレス: 0x3E、リセット: 0x00、レジスタ名: MEASURE

複数の測定設定を制御するには、このレジスタを使用します。

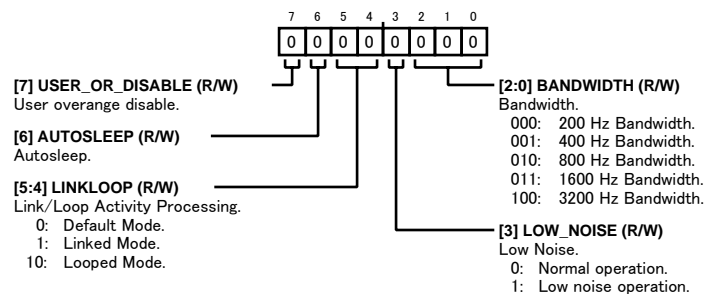


表 65. MEASURE のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	USER_OR_DISABLE		ユーザー・オーバーレンジを無効にします。	0x0	R/W
6	AUTOSLEEP		自動スリープ。1に設定すると自動スリープが有効になり、デバイスはインアクティブを検出すると自動的にウェークアップ・モードに入ります。自動スリープを有効にするには、アクティブ/インアクティブ検出をリンク・モードまたはループ・モード (MEASURE レジスタの LINKLOOP ビット) にする必要があります。それ以外の場合、このビットは無視されます。	0x0	R/W
[5:4]	LINKLOOP		リンク/ループ・アクティブ処理。これらのビットは、アクティブ処理とインアクティブ処理をどのようにリンクするかを選択します。 0 デフォルト・モード。アクティブ検出とインアクティブ検出を有効にすると、これらの検出は同時に機能します。割込みに対しては (割込みがマッピングされている場合)、ホスト・プロセッサがステータス・レジスタを読み出すことによってアクノレッジする必要があります。自動スリープは、このモードでは無効になります。 1 リンク・モード。アクティブ/インアクティブ検出は、一度に1つだけが有効になるように順番にリンクされます。ホスト・プロセッサがステータス・レジスタを読み出すことによって、それらの割込みをアクノレッジする必要があります (割込みがマッピングされている場合)。 10 ループ・モード。アクティブ/インアクティブ検出は、一度に1つだけが有効になるように順番にリンクされ、その割込みは内部的にアクノレッジされます (ホスト・プロセッサによる処理は不要)。リンク・モードやループ・モードを使用するには、ACT_x_EN と INACT_x_EN の両方を1に設定する必要があります。それ以外の場合にはデフォルト・モードが使用されます。詳細については、アクティブ/インアクティブ検出のリンクのセクションを参照してください。	0x0	R/W

Bits	Bit Name	Settings	Description	Reset	Access
3	LOW_NOISE	0 1	低ノイズ。低ノイズ動作を選択します。 通常動作。デバイスは、通常ノイズ・レベル、超低消費電流で動作します。 低ノイズ動作。デバイスは通常ノイズ・レベルの約 1/3 のノイズで動作します。	0x0	R/W
[2:0]	BANDWIDTH	000 001 010 011 100	帯域幅。必要な出力信号帯域幅を選択します。選択した周波数の 4 極ローパス・フィルタが信号帯域幅を制限します。 200 Hz 帯域幅 400 Hz 帯域幅 800 Hz 帯域幅 1600 Hz 帯域幅 3200 Hz 帯域幅	0x0	R/W

パワー・コントロール・レジスタ

アドレス: 0x3F、リセット: 0x00、レジスタ名: POWER_CTL

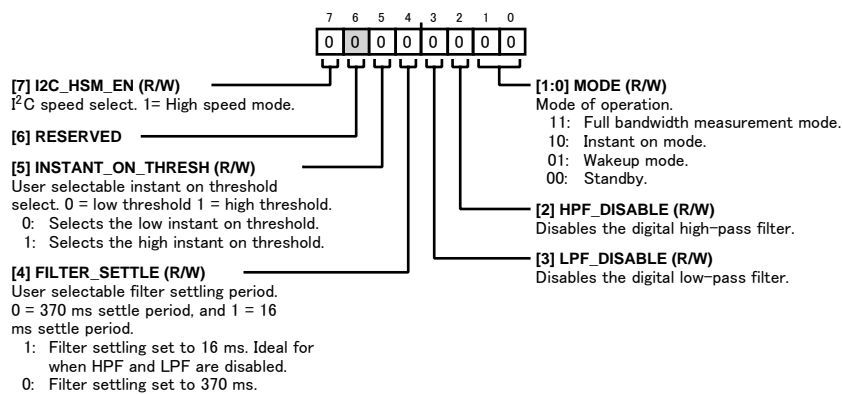


表 66. POWER_CTL のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	I2C_HSM_EN		I ² C 速度の選択。1 = 高速モード。	0x0	R/W
6	RESERVED		予備	0x0	R
5	INSTANT_ON_THRESH	0 1	選択可能インスタント・オン閾値の選択。0 = 低閾値、1 = 高閾値。 低インスタント・オン閾値を選択します。 高インスタント・オン閾値を選択します。	0x0	R/W
4	FILTER_SETTLE	0 1	選択可能なフィルタ・セトリング時間。0 = セトリング時間 370 ms、1 = セトリング時間 16 ms。 フィルタのセトリング時間を 370 ms に設定します。 フィルタのセトリング時間を 16 ms に設定します。HPF と LPF がディスエーブルされている場合に適しています。	0x0	R/W
3	LPF_DISABLE		デジタル・ローパス・フィルタをディスエーブルします。	0x0	R/W
2	HPF_DISABLE		デジタル・ハイパス・フィルタをディスエーブルします。	0x0	R/W
[1:0]	MODE	11 10 01 00	動作モード フル帯域幅測定モード インスタント・オン・モード ウェークアップ・モード スタンバイ	0x0	R/W

セルフ・テスト・レジスタ

アドレス: 0x40、リセット: 0x00、レジスタ名: SELF_TEST

セルフ・テスト機能の動作については、セルフ・テストのセクションを参照してください。また、この機能の使い方のガイドラインについては、セルフ・テスト手順のセクションを参照してください。

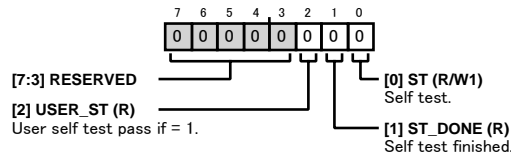


表 67. SELF_TEST のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:3]	RESERVED		予備	0x0	R
2	USER_ST		1 の場合はユーザー・セルフ・テスト合格。	0x0	R
1	ST_DONE		セルフ・テスト終了。	0x0	R
0	ST		セルフ・テスト。このレジスタに 1 を書き込むとセルフ・テストが開始されます。0 を書き込むとセルフ・テストがクリアされます。	0x0	R/W1

リセット (クリア) レジスタ、デバイスはスタンバイ・モード

アドレス: 0x41、リセット: 0x00、レジスタ名: RESET

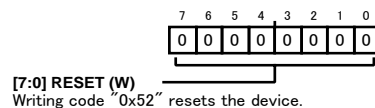


表 68. RESET のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	Reset		0x52 を書き込むとデバイスがリセットされます。	0x0	W

FIFO アクセス・レジスタ

アドレス: 0x42、リセット: 0x00、レジスタ名: FIFO_DATA

FIFO に格納されたデータにアクセスするには、このレジスタを読み出します。

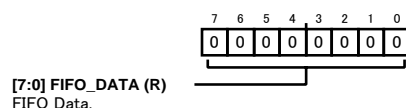


表 69. FIFO_DATA のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	FIFO_DATA		FIFO データ。このアドレスを読み出すと、軸データの 2 バイト・ワードが FIFO からポップされます。FIFO データは 2 バイト (16 ビット) にフォーマットされ、最上位バイトが先頭になります。さらに 2 回読出しを行うと、インターフェースへのこのデータのトランザクションが完了します。このフィールドの読出しを続けると、3 回読出しを行うごとに FIFO がポップされ続けます。このアドレスの複数バイトの読出しでは、アドレス・ポインタはインクリメントされません。前のアドレスからの自動インクリメントにより、このアドレスが読み出されると、FIFO はポップされません。この場合は 0 が返され、次のアドレスにインクリメントされます。	0x0	R

アプリケーション情報

アプリケーション例

ここでは、いくつかのアプリケーション回路を取り上げ、ADXL372の便利な機能を説明します。

電源のデカップリング

ADXL372に使用する推奨バイパス・コンデンサを図48に示します。

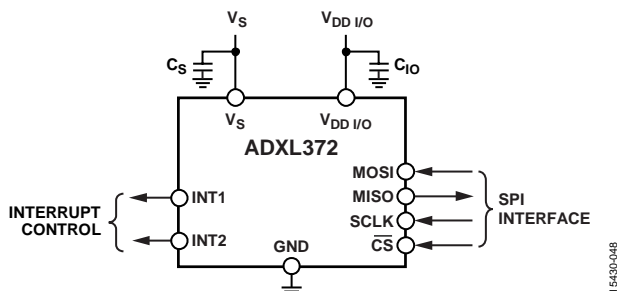


図 48. 推奨バイパス・コンデンサ

V_S の $0.1 \mu\text{F}$ セラミック・コンデンサ (C_S) と $V_{DD I/O}$ の $0.1 \mu\text{F}$ セラミック・コンデンサ (C_{IO}) を ADXL372 の電源ピンのできるだけ近くに配置して、電源上のノイズから加速度センサーを十分にデカップリングすることを推奨します。 V_S 電源のデジタル・クロック・ノイズを最小限に抑えるため、 V_S と $V_{DD I/O}$ を別電源にすることを推奨します。これが不可能な場合は、電源にフィルタを追加しなければならないことがあります。

それ以上のデカップリングが必要な場合は、 100Ω 以下の抵抗かフェライト・ビーズを V_S と直列に追加することを推奨します。 V_S に、 $0.1 \mu\text{F}$ セラミック・コンデンサに並列に、 $1 \mu\text{F}$ タンタル・コンデンサを追加すると、さらにノイズを改善することができます。

グラウンドから伝わるノイズには、 V_S からのノイズと同じような影響があるため、ADXL372のグラウンドから電源グラウンドへの接続は、必ず低インピーダンスになるようにしてください。

外部タイミング・トリガの使い方

INT1 ピンを外部クロックの入力として使用するアプリケーションを図49に示します。このモードでは、出力データ・レートや帯域幅など、すべての加速度センサー・タイミングは外部クロックによって決定されます。

この機能を有効にするには、TIMING レジスタの EXT_CLK ビットをセットします。

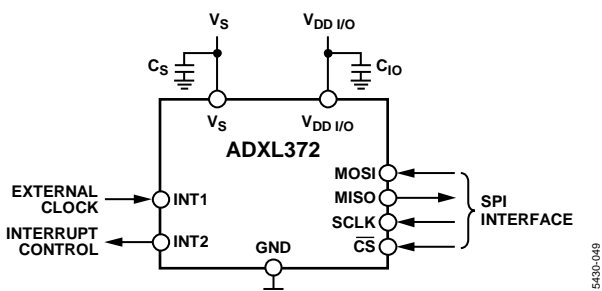


図 49. 外部クロック用入力としての INT1 ピン

図50は、INT2ピンを同期サンプリングのトリガとして使用するためのアプリケーション図です。加速度サンプルは、このトリガが起動されるたびに生成されます。この機能を有効にするには、TIMING レジスタの EXT_SYNC ビットをセットします。

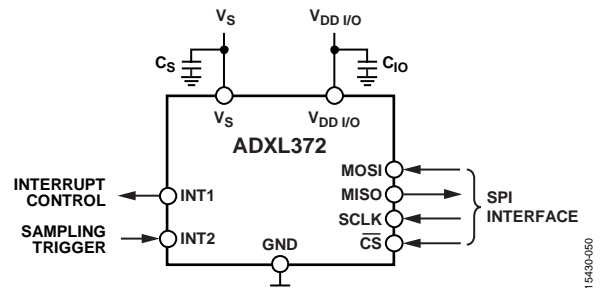


図 50. INT2 ピンによる同期サンプリングのトリガ

2.5 V 以外の電圧での動作

ADXL372 は $V_S = 2.5 \text{ V}$ の電源電圧でテストされ仕様が規定されていますが、 3.5 V から 1.6 V までの V_S 範囲で使用することができます。電源電圧が変化すると、電源電流、ノイズ、オフセット、感度を含む一部の性能パラメータが変化します。

周囲温度以外での動作

ADXL372 は、周囲温度でテストされ仕様が規定されていますが、定格値は $-40 \text{ }^\circ\text{C}$ ~ $+105 \text{ }^\circ\text{C}$ の範囲で規定されています。温度が変化すると、オフセット、感度、クロック性能、電流など一部の性能パラメータが変化します。これらの温度による変動の一部は表1に特性が示されており、その他の変動は「代表的な性能特性」の図に示されています。

取付けに関する機構上の留意点

ADXL372 は、ケースへの PCB の支持点近くで PCB に取り付けてください。ADXL372 をプリント回路基板上のしっかりと固定されていない位置に取り付けると (図51を参照)、基板の振動が減衰されず、測定誤差が大きくなる場合があります。加速度センサーを基板支持点の近くに配置すれば、加速度センサー位置での基板振動が加速度センサーのメカニカル・センサーの共振周波数を上回るため、加速度センサーによって検知される可能性は事実上なくなります。センサーの近くに複数の支持点を設けたり、プリント基板を厚くしたりすることも、システムの共振がセンサー性能に与える影響を低減するうえで効果的です。

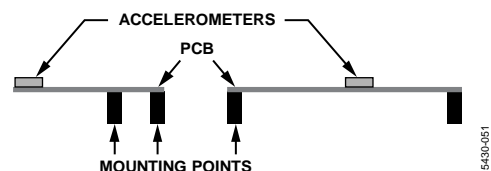


図 51. 不適切な加速度センサー配置

加速度検出軸

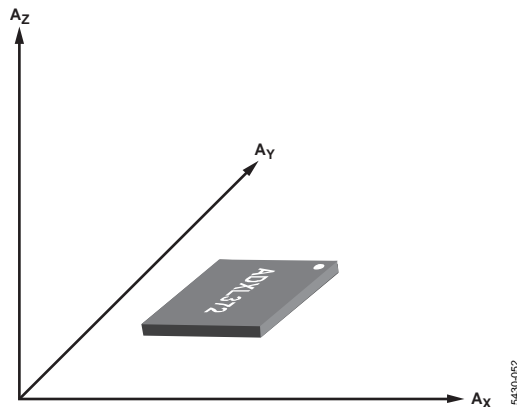


図 52. 加速度検出軸（検出軸に沿って加速されると、対応する軸の出力が増加）

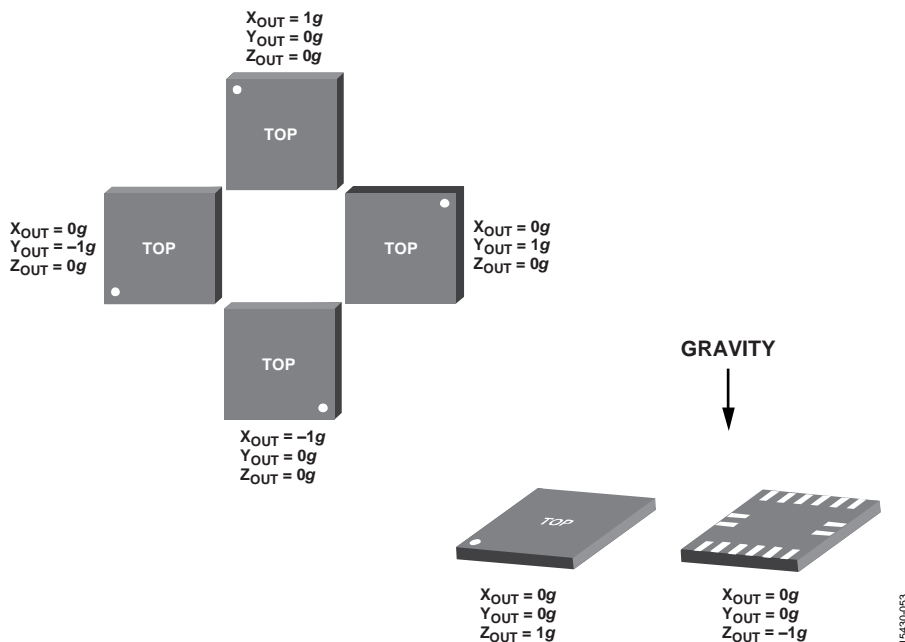


図 53. 重力方向と出力応答の関係

レイアウトと設計の推奨事項

プリント配線基板の推奨ランド・パターンを図 54 に示します。

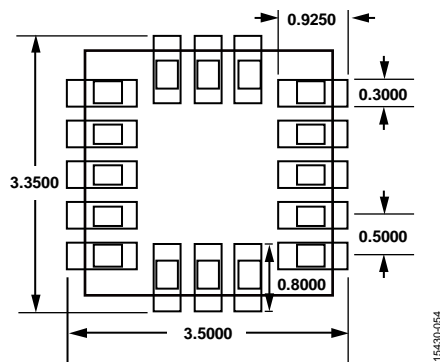


図 54. プリント配線基板の推奨ランド・パターン（単位: mm）

外形寸法

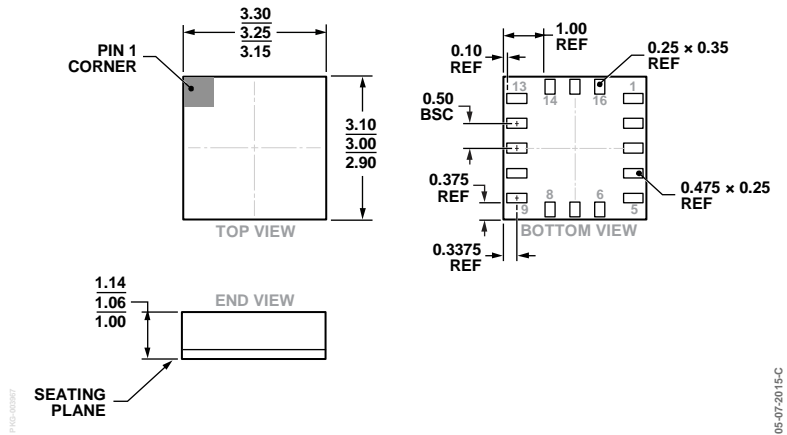


図 55. 16 端子のランド・グリッド・アレイ [LGA]
(CC-16-4)
寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Quantity
ADXL372BCCZ-RL	-40°C to +105°C	16-Terminal Land Grid Array [LGA]	CC-16-4	5,000
ADXL372BCCZ-RL7	-40°C to +105°C	16-Terminal Land Grid Array [LGA]	CC-16-4	1,500
EVAL-ADXL372Z	-40°C to +105°C	Breakout Board		

¹ Z = RoHS 準拠製品。