

この製品の日本語版データシートにおいて、英語版データシート (Rev. E) との差分がスペックに関して発生しましたのでお知らせ致します。

この正誤表は、2016年11月11日現在、アナログ・デバイセス株式会社で確認したスペック訂正内容を記したものです。なお、英語版データシートが最新となっております。

正誤表作成年月日：2016年11月11日

製品名： **ADXL362**

対象となるデータシートのリビジョン(Rev)：Rev.D

訂正箇所：

P.5

Note5 への修正・追加

- 旧) セルフテスト変動は、セルフテストが ON にされたときの出力変化 (単位: g) として定義されています。電源と g の範囲が異なると、セルフテスト変動も異なります
- 新) セルフテスト変動は、セルフテストが ON にされたときの出力変化 (単位: g) として定義されています。電源が異なると、セルフテスト変動も異なります。これらの規定値は、Table 1 に記載されているテスト条件に適用されます。電源範囲における変動量は、Table 22 を参照して下さい。

P.41

「セルフ・テストの使い方」内容の削除・修正・追加。ここでは修正箇所が多いため、項目内全てを示します。

新) 「セルフ・テスト」のセクションで説明したセルフ・テスト機能は、SELF_TEST レジスタ (アドレス:0x2E) の ST ビットによって有効にされます。セルフ・テスト機能を使用するには、以下の手順を行って下さい。

1. $\pm 8g$ レンジ、100Hz ODR を設定し、HALF_BW ビット (FILTER_CTL レジスタのビット 4) をクリアします。いずれかのノイズ・モード (ノーマルモード、低ノイズ・モード、もしくは超低ノイズ・モード) を選択します。
2. x、y、z 軸の加速度データを読み出します。
3. SELF_TEST レジスタ (アドレス:0x2E) の ST ビットをセットすることによって、セルフ・テストをアサートします。

- 出力がその新しい値にセトリングするまで、4/ODR だけ待機します。
- x、y、z 軸の加速度データを読み出します。
- ステップ 2 で得られた値と比較し、感度を乗算することによって、その差を LSB から mg に変換します。観察された 差が表 1 に示すセルフ・テストの出力変化仕様に収まる場合、デバイスはセルフ・テストに合格し、使用可能であると考えられます。
- SELF_TEST レジスタ (アドレス:0x2E) の ST ビットをクリアしてセルフ・テストをアサート解除します。

また、ノイズからの影響を緩和するために、セルフ・テスト ON と OFF の加速度データの取得には、4~16 サンプルの平均を取ることをお勧めします。

表 1 に示すセルフ・テストの出力変化仕様は、VS = 2.0 V の場合および「仕様」セクションに記載されたテスト条件の場合にのみ与えられます。セルフ・テストの応答 (単位: g) は、電源電圧の二乗にほぼ比例します。なお、高い電圧では、セルフ・テストの出力が 1g を上回ることがあります。ステップ 1 の設定は、Table 1 で規定された条件を用いた全てのアプリケーションにおけるセルフ・テストに適用します。セルフ・テストの応答は、ユーザーの設定 (例えば ODR や帯域) によって変化します。±8g レンジを用いると、セルフ・テストの最中でクリップされなくなります。Table 22 の規定は、全ての電源範囲に適用可能で、幅広い設定をカバーします。そのため、Table 1 よりも広い規定値となっております。

P.41

Table 22 のタイトル変更

旧) 様々な電源電圧 (1.6V~3.5V) など様々な条件でのセルフ・テストの制限値

新) 異なる電源電圧 (1.6V~3.5V) でのセルフ・テストの規定値



マイクロパワー、3軸 ±2g/±4g/±8g デジタル出力 MEMS 加速度センサー

データシート

ADXL362

特長

超低消費電力

- コイン・セル・バッテリーによる電力供給が可能
- 1.8 μA @ 100 Hz ODR、2.0 V 電源
- 3.0 μA @ 400 Hz ODR、2.0 V 電源
- 270 nA (モーション起動のウェークアップ・モード)
- 10 nA (スタンバイ電流)

高分解能:1 mg/LSB

システムレベルの節電を実現する組み込み機能:

- モーション起動のための調整可能な閾値スリープ/ウェークアップ・モード
- マイクロコントローラの介入を必要としない自律的割込み処理により、残りのシステムを完全にターン・オフ
- 内蔵のディープ FIFO は、ホスト・プロセッサの負荷を最小限に抑制
- アウェーク状態出力により、スタンドアロンのモーション起動スイッチを実装可能

175 $\mu\text{g}/\sqrt{\text{Hz}}$ までノイズを低減

広い電源および I/O 電圧範囲: 1.6 V ~ 3.5 V

1.8 V ~ 3.3 V での動作に最適

外部トリガによる加速度サンプルの同期

オンチップ温度センサー

SPI デジタル・インターフェース

測定範囲は SPI コマンドで選択可能

小型・薄型パッケージ: 3 mm × 3.25 mm × 1.06 mm

アプリケーション

補聴器

家庭用ヘルスケア機器

モーション・トリガのパワー・セーブ・スイッチ

ワイヤレス・センサー

モーション・トリガの計量機器

概要

ADXL362 は超低消費電力の 3 軸 MEMS 加速度センサーであり、消費電流は 100 Hz の出力データ・レートで 2 μA 未満、モーション・トリガのウェークアップ・モードでは 270 nA です。間欠動作により低消費電力を実現する加速度センサーとは異なり、ADXL362 はアンダーサンプリングによって入力信号をエイリアスせず、すべてのデータ・レートにおいてセンサーの全帯域幅をサンプリングします。

ADXL362 は常に 12 ビットの出力分解能を提供します。低分解能で十分な場合は、より効率的なシングル・バイト転送のために 8 ビット・フォーマットのデータも提供されます。測定範囲は $\pm 2\text{g}$ 、 $\pm 4\text{g}$ 、 $\pm 8\text{g}$ 、分解能は $\pm 2\text{g}$ 範囲で 1 mg/LSB です。ADXL362 の通常の 550 $\mu\text{g}/\sqrt{\text{Hz}}$ よりも低いノイズ・レベルが求められるアプリケーションでは、電源電流の増加を最小限に抑えつつ、175 $\mu\text{g}/\sqrt{\text{Hz}}$ (typ) までノイズを低減できる 2 つの低ノイズ・モードを選択できます。

超低消費電力であることに加えて、ADXL362 は真のシステムレベルの消費電力低減を可能にする多くの特長を備えています。つまり、ディープ・マルチモード出力 FIFO、内蔵のマイクロパワー温度センサー、複数のアクティブ検出モードなどです。アクティブ検出モードには、およそ 6 Hz の測定レートにおいてわずか 270 nA で動作できる調整可能な閾値スリープ/ウェークアップ動作が含まれます。アクティブが検出された場合、必要に応じて外部スイッチを直接制御するために、ピン出力が提供されています。さらに、ADXL362 はサンプリング時間や外部クロックを外部制御する機能も備えています。

ADXL362 は 1.6 V ~ 3.5 V の広い電源範囲で動作し、必要に応じて、別の低い電源電圧で動作するホストにインターフェースすることもできます。ADXL362 は 3 mm × 3.25 mm × 1.06 mm のパッケージを採用しています。

機能ブロック図

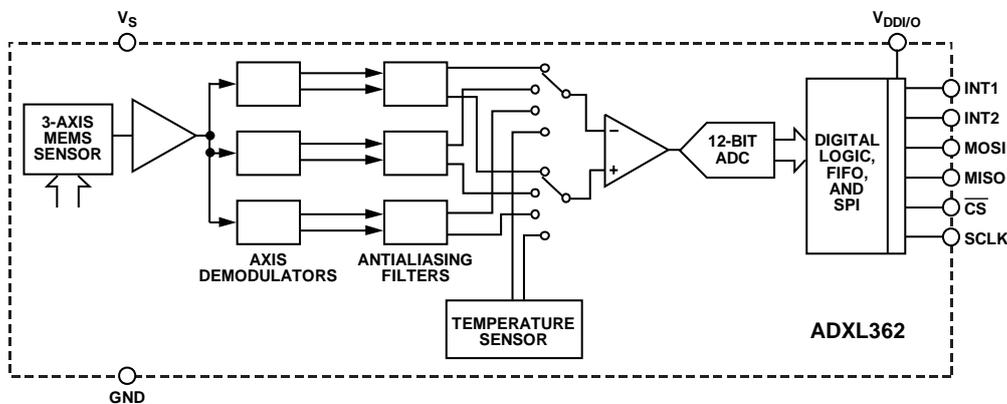


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	デバイス ID レジスタ	24
アプリケーション	1	デバイス ID: 0x1D レジスタ	24
概要	1	デバイス ID : 0xF2 レジスタ	24
機能ブロック図	1	シリコン・リビジョン ID レジスタ	24
改訂履歴	3	X 軸データ (8 MSB) レジスタ	24
仕様	4	Y 軸データ (8 MSB) レジスタ	24
絶対最大定格	6	Z 軸データ (8 MSB) レジスタ	24
熱抵抗	6	ステータス・レジスタ	25
パッケージ情報	6	FIFO エントリ・レジスタ	26
推奨のハンダ付けプロファイル	6	X 軸データ・レジスタ	26
ESD に関する注意	6	Y 軸データ・レジスタ	26
ピン配置およびピン機能説明	7	Z 軸データ・レジスタ	26
代表的な性能特性	8	温度データ・レジスタ	26
動作原理	13	ソフト・リセット・レジスタ	26
機械的デバイスの動作	13	アクティブ閾値レジスタ	27
動作モード	13	アクティブ・タイム・レジスタ	27
選択可能な測定範囲	13	インアクティブ閾値レジスタ	27
選択可能な出力データ・レート	13	インアクティブ・タイム・レジスタ	27
電力/ノイズのトレードオフ	14	アクティブ/インアクティブ・コントロール・レジスタ	29
節電機能	15	FIFO コントロール・レジスタ	30
全モードで超低消費電力を実現	15	FIFO サンプル・レジスタ	31
モーション検出	15	INT1/INT2 機能マップ・レジスタ	31
FIFO	17	フィルタ・コントロール・レジスタ	33
通信	17	パワー・コントロール・レジスタ	34
その他の機能	18	セルフ・テスト・レジスタ	35
自由落下検出	18	アプリケーション情報	36
外部クロック	18	アプリケーション例	36
同期したデータ・サンプリング	18	電源	37
セルフ・テスト	18	FIFO モード	38
ユーザー・レジスタの保護	18	割込み	39
温度センサー	18	同期データ・サンプリングの使い方	40
シリアル通信	19	外部クロックの使い方	41
SPI コマンド	19	セルフ・テストの使い方	41
複数バイト転送	19	2.0 V 以外の電圧での動作	41
無効なアドレスとアドレスの折り畳み	19	取付けに関する機構上の留意点	41
遅延制約	19	加速度検出軸	42
無効なコマンド	19	レイアウトと設計の推奨事項	42
レジスタ・マップ	23	外形寸法	43
レジスタの詳細	24	オーダー・ガイド	43

改訂履歴

11/15—Rev. C to Rev. D

Change to Sensor Resonant Frequency Parameter, Table 1	4
Added Endnote 4, Table 1.....	4
Changes to Figure 10.....	8
Changes to Selectable Measurement Ranges Section	13
Changes to Bus Keepers Section	17
Changes to Figure 36 to Figure 40.....	20
Changes to Figure 41 and Figure 42.....	21
Changes to Table 10	22
Change to Start-Up Routine Section.....	37
Change to Table 22.....	41
Updated Outline Dimensions.....	43

12/14—Rev. B to Rev. C

Changes to Table 1	4
Changes to Figure 14 and Figure 15	9
Change to Serial Communications Section.....	19
Change to Table 10.....	22
Changes to Soft Reset Register Section.....	26
Changes to Example: Implementing Free Fall Detection Section.....	37
Changes to Using Self Test Section and Table 22.....	41
Changes to Figure 51	42
Updated Outline Dimensions.....	43

2/13—Rev. A to Rev. B

Change to Figure 7	8
Changes to Figure 11, Figure 12, and Figure 13	9
Changes to Table 7 and Table 8	14
Changes to Figure 31	16
Change to Table 10.....	22
Change to Bit 6, Table 12	25

Changes to Inactivity Time Registers Section	28
Change to LINK/LOOP Bit, Table 13	29
Change to ODR Bit, Table 17.....	33
Changes to Figure 43, Figure 44, and Figure 45.....	36
Changes to Start-up Routine Section, Figure 46, and Figure 47	37
Change to Figure 52	42

9/12—Rev. 0 to Rev. A

Moved Revision History Section.....	3
Changes to Linking Activity and Inactivity Detection Section; Added Figure 31, Figure 32, and Figure 33, Renumbered Sequentially	16
Change to Table 13.....	29
Changes to Figure 44.....	36
Moved Power Supply Decoupling Section	37
Added Power Section, Power Supply Requirements Section, and Figure 47	37
Updated Outline Dimensions	43
Changes to Ordering Guide.....	43

8/12—Revision 0: Initial Version

仕様

特に指定のない限り、TA = 25 °C、VS = 2.0 V、VDDIO = 2.0 V、ODR = 100 Hz、加速度 = 0 g、デフォルトのレジスタ設定。 ¹

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SENSOR INPUT					
Measurement Range	Each axis User selectable		±2, ±4, ±8		g
Nonlinearity	Percentage of full scale		±0.5		%
Sensor Resonant Frequency			3000		Hz
Cross Axis Sensitivity ²			±1.5		%
OUTPUT RESOLUTION					
All g Ranges	Each axis		12		Bits
SENSITIVITY					
Sensitivity Calibration Error	Each axis			±10	%
Sensitivity at X _{OUT} , Y _{OUT} , Z _{OUT}	2 g range		1		mg/LSB
	4 g range		2		mg/LSB
	8 g range		4		mg/LSB
Scale Factor at X _{OUT} , Y _{OUT} , Z _{OUT}	2 g range		1000		LSB/g
	4 g range		500		LSB/g
	8 g range		250		LSB/g
Sensitivity Change Due to Temperature ³	-40°C to +85°C		0.05		%/°C
0 g OFFSET					
0 g Output ⁴	Each axis X _{OUT} , Y _{OUT} Z _{OUT}	-150 -250	±35 ±50	+150 +250	mg mg
0 g Offset vs. Temperature ³					
Normal Operation	X _{OUT} , Y _{OUT} Z _{OUT}		±0.5 ±0.6		mg/°C mg/°C
Low Noise Mode and Ultralow Noise Mode	X _{OUT} , Y _{OUT} , Z _{OUT}		±0.35		mg/°C
NOISE PERFORMANCE					
Noise Density					
Normal Operation	X _{OUT} , Y _{OUT} Z _{OUT}		550 920		μg/√Hz μg/√Hz
Low Noise Mode	X _{OUT} , Y _{OUT} Z _{OUT}		400 550		μg/√Hz μg/√Hz
Ultralow Noise Mode	X _{OUT} , Y _{OUT} Z _{OUT} VS = 3.5 V; X _{OUT} , Y _{OUT} VS = 3.5 V; Z _{OUT}		250 350 175 250		μg/√Hz μg/√Hz μg/√Hz μg/√Hz
BANDWIDTH					
Low Pass (Antialiasing) Filter, -3 dB Corner	HALF_BW = 0 HALF_BW = 1		ODR/2 ODR/4		Hz Hz
Output Data Rate (ODR)	User selectable in 8 steps	12.5		400	Hz
SELF TEST					
Output Change ⁵	X _{OUT} Y _{OUT} Z _{OUT}	230 -870 270	550 -550 535	870 -230 800	mg mg mg
POWER SUPPLY					
Operating Voltage Range (VS)		1.6	2.0	3.5	V
I/O Voltage Range (VDD I/O)		1.6	2.0	VS	V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Supply Current					
Measurement Mode	100 Hz ODR (50 Hz bandwidth) ⁶				
Normal Operation			1.8		μA
Low Noise Mode			3.3		μA
Ultralow Noise Mode			13		μA
Wake-Up Mode			0.27		μA
Standby			0.01		μA
Power Supply Rejection Ratio (PSRR)	$C_S = 1.0 \mu\text{F}$, $R_S = 100 \Omega$, $C_{IO} = 1.1 \mu\text{F}$, input is 100 mV sine wave on V_S				
Input Frequency 100 Hz to 1 kHz			-13		dB
Input Frequency 1 kHz to 250 kHz			-20		dB
Turn-On Time	100 Hz ODR (50 Hz bandwidth)				
Power-Up to Standby			5		ms
Measurement Mode Instruction to Valid Data			4/ODR		
TEMPERATURE SENSOR					
Bias Average	@ 25°C		350		LSB
Standard Deviation			290		LSB
Sensitivity Average			0.065		°C/LSB
Standard Deviation			0.0025		°C/LSB
Sensitivity Repeatability			±0.5		°C
Resolution			12		Bits
ENVIRONMENTAL					
Operating Temperature Range		-40		+85	°C

¹ すべての最小仕様と最大仕様を保証します。typ 仕様は保証されることがあります。

² 交差軸感度は、任意の 2 軸間のカップリングとして定義されています。

³ -40 °C ~ +25 °C または +25 °C ~ +85 °C。

⁴ 電源と測定範囲が異なると、オフセットも異なります。

⁵ セルフテスト変動は、セルフテストが ON にされたときの出力変化 (単位: g) として定義されています。電源と g の範囲が異なると、セルフテスト変動も異なります。

⁶ 他の帯域幅設定での消費電流については、図 30 を参照してください。

絶対最大定格

表 2.

Parameter	Rating
Acceleration (Any Axis, Unpowered)	5000 g
Acceleration (Any Axis, Powered)	5000 g
V _S	-0.3 V to +3.6 V
V _{DDIO}	-0.3 V to +3.6 V
All Other Pins	-0.3 V to V _S
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
ESD	2000 V (HBM)
Short Term Maximum Temperature	
Four Hours	150°C
One Minute	260°C
Temperature Range (Powered)	-50°C to +150°C
Temperature Range (Storage)	-50°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

表 3. パッケージ特性

Package Type	θ_{JA}	θ_{JC}	Device Weight
16-Terminal LGA	150°C/W	85°C/W	18 mg

パッケージ情報

図 2 と表 4 は、ADXL362 のパッケージ・ブランドの詳細を示します。全製品の一覧については、「オーダー・ガイド」を参照してください。

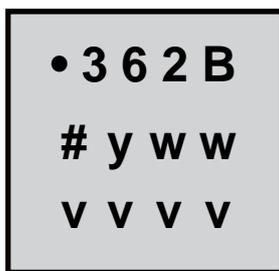


図 2. 製品パッケージ情報（上面図）

表 4. パッケージ・ブランド情報

Branding Key	Field Description
●362B	Pin 1 indicator and part identifier
#yww	Pb-free designator (#) and date code
vvvv	Factory lot code

推奨のハンダ付けプロファイル

図 3 と表 5 には、推奨するハンダ付けプロファイルの詳細を示します。

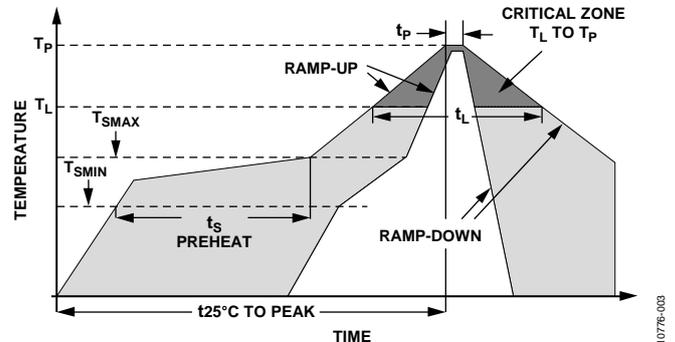


図 3. 推奨のハンダ付けプロファイル

表 5. 推奨のハンダ付けプロファイル

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate (T _L to T _P)	3°C/sec max	3°C/sec max
Preheat		
Minimum Temperature (T _S MIN)	100°C	150°C
Maximum Temperature (T _S MAX)	150°C	200°C
Time (T _S MIN to T _S MAX)(t _s)	60 sec to 120 sec	60 sec to 180 sec
T _S MAX to T _L Ramp-Up Rate	3°C/sec max	3°C/sec max
Time Maintained Above Liquidous (T _L)		
Liquidous Temperature (T _L)	183°C	217°C
Time (t _L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T _P)	240 + 0/-5°C	260 + 0/-5°C
Time Within 5°C of Actual Peak Temperature (t _p)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec max	6°C/sec max
Time 25°C to Peak Temperature	6 minutes max	8 minutes max

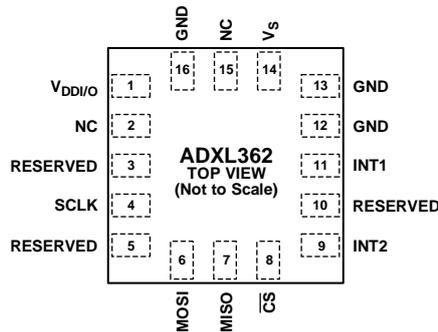
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
1. NC = NO CONNECT. THIS PIN IS NOT INTERNALLY CONNECTED.

10776-004

図 4. ピン配置 (上面図)

表 6. ピン機能の説明

Pin No.	Mnemonic	Description
1	V _{DDI/O}	デジタル I/O の電源電圧。
2	NC	無接続。内部的に無接続。
3	Reserved	予備。無接続のままにするか、GND に接続することができます。
4	SCLK	SPI 通信クロック。
5	Reserved	予備。無接続のままにするか、GND に接続することができます。
6	MOSI	マスタ出力、スレーブ入力。SPI シリアル・データ入力
7	MISO	マスタ入力、スレーブ出力。SPI シリアル・データ出力
8	\overline{CS}	SPI チップ・セレクト、アクティブ・ロー。SPI 通信時にはローレベルである必要があります。
9	INT2	割込み 2 出力。INT2 は同期サンプリング用の入力としても機能します。
10	Reserved	予備。無接続のままにするか、GND に接続することができます。
11	INT1	割込み 1 出力。INT1 は外部クロッキング用の入力としても機能します。
12	GND	グラウンド。このピンは接地する必要があります。
13	GND	グラウンド。このピンは接地する必要があります。
14	V _S	電源電圧
15	NC	無接続。内部的に無接続。
16	GND	グラウンド。このピンは接地する必要があります。

代表的な性能特性

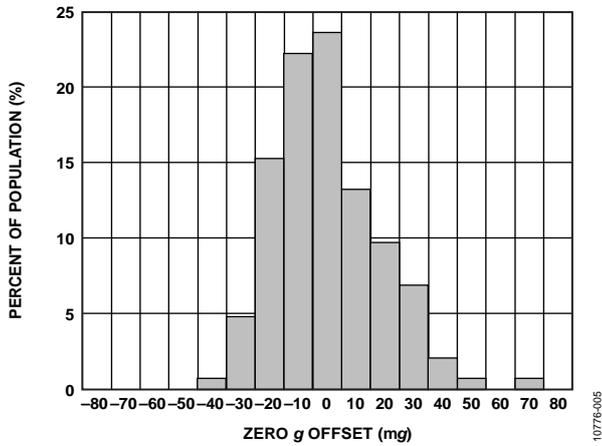


図 5. X 軸の 0 g オフセット (25 °C、 $V_s = 2 V$)

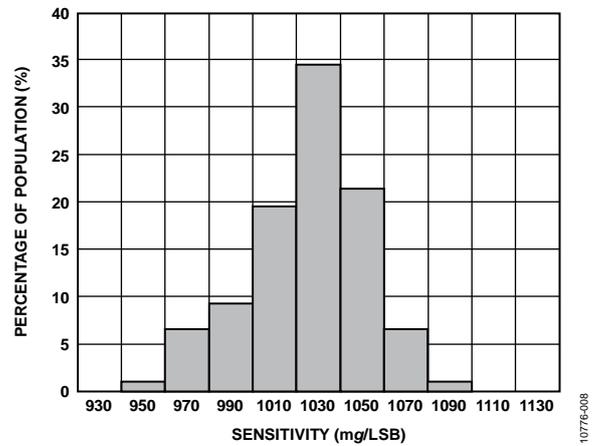


図 8. X 軸感度 (25 °C、 $V_s = 2 V$ 、 $\pm 2 g$ 範囲)

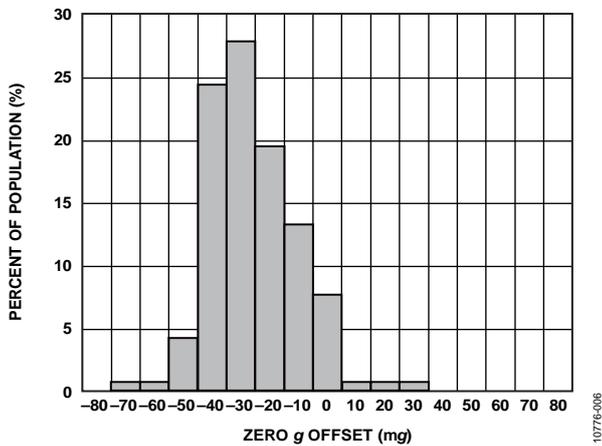


図 6. Y 軸の 0 g オフセット (25 °C、 $V_s = 2 V$)

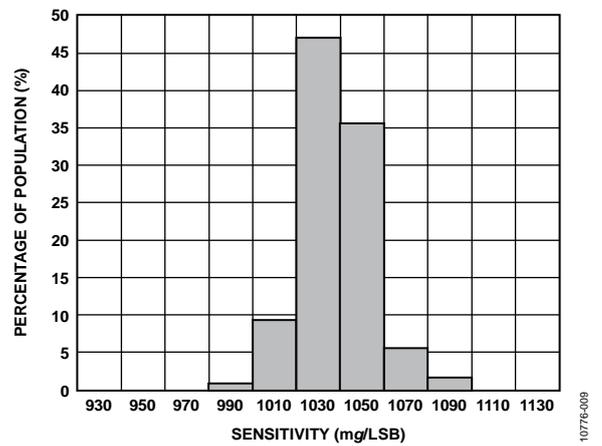


図 9. Y 軸感度 (25 °C、 $V_s = 2 V$ 、 $\pm 2 g$ 範囲)

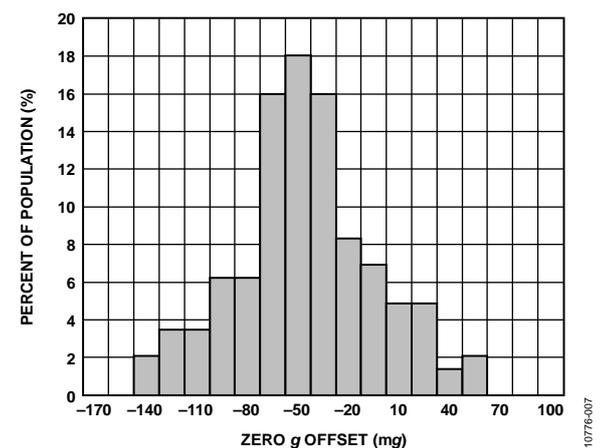


図 7. Z 軸の 0 g オフセット (25 °C、 $V_s = 2 V$)

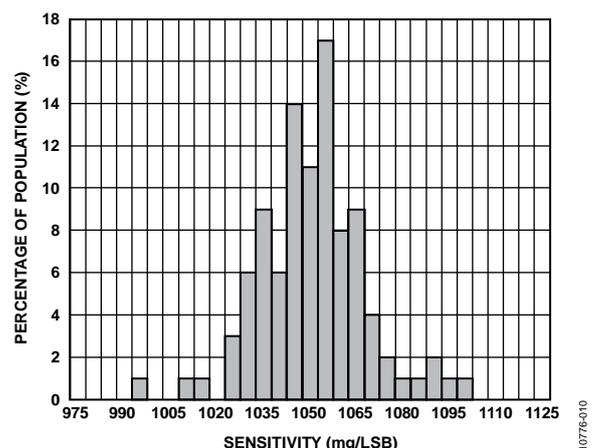


図 10. Z 軸感度 (25 °C、 $V_s = 2 V$ 、 $\pm 2 g$ 範囲)

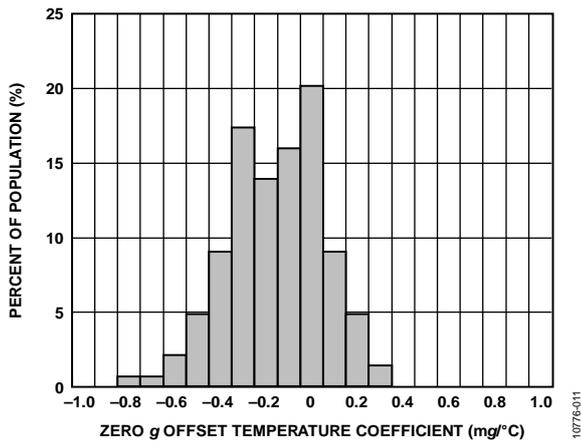


図 11. X 軸の 0 g オフセット温度係数 ($V_s = 2 V$)

10776-011

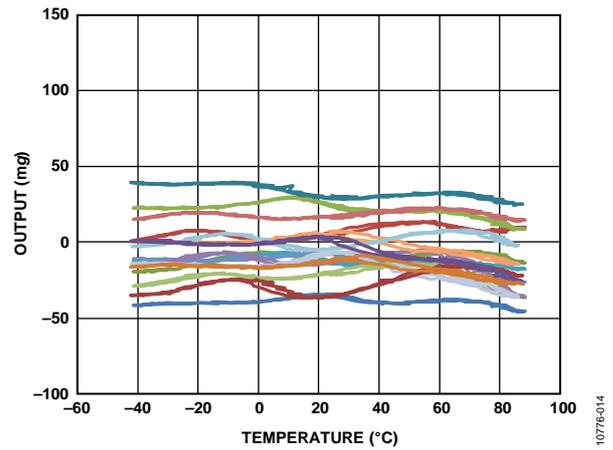


図 14. X 軸の 0 g オフセットの温度特性 (16 個のデバイスを PCB にハンダ付け、ODR = 100 Hz、 $V_s = 2 V$)

10776-014

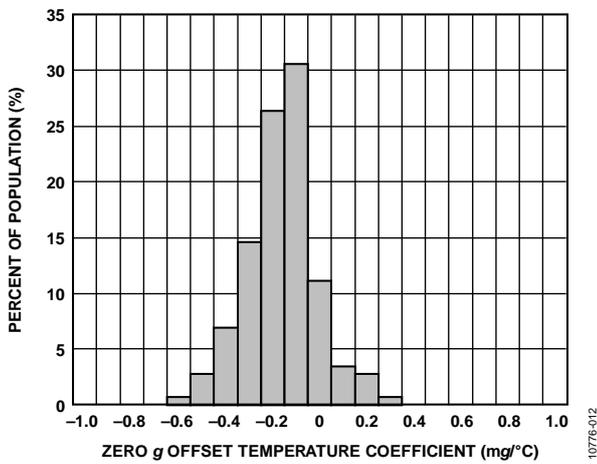


図 12. Y 軸の 0 g オフセット温度係数 ($V_s = 2 V$)

10776-012

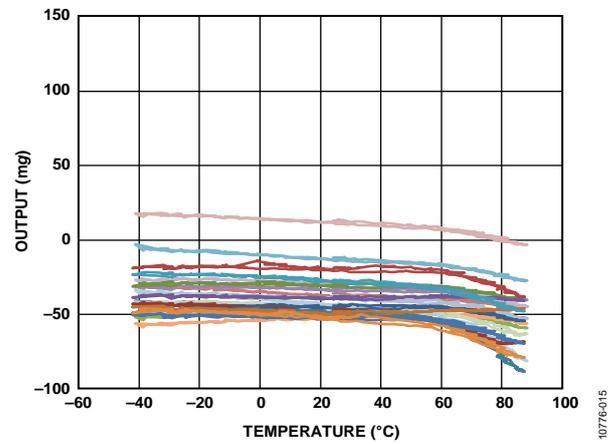


図 15. Y 軸の 0 g オフセットの温度特性 (16 個のデバイスを PCB にハンダ付け、ODR = 100 Hz、 $V_s = 2 V$)

10776-015

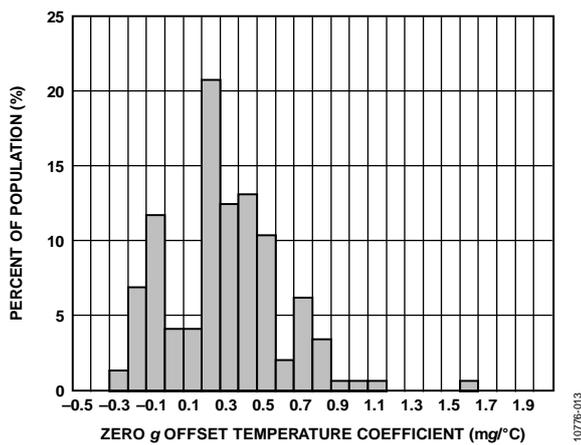


図 13. Z 軸の 0 g オフセット温度係数 ($V_s = 2 V$)

10776-013

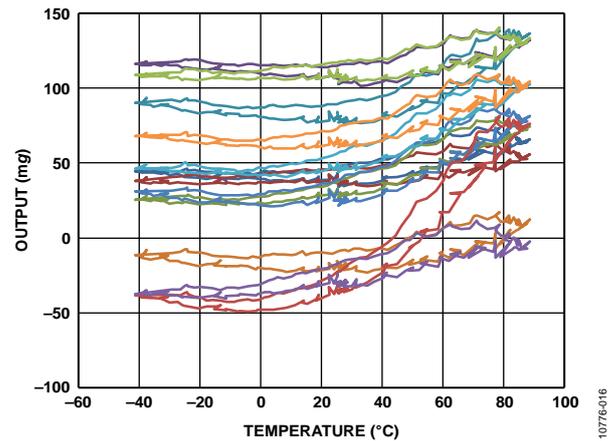


図 16. Z 軸の 0 g オフセットの温度特性 (16 個のデバイスを PCB にハンダ付け、ODR = 100 Hz、 $V_s = 2 V$)

10776-016

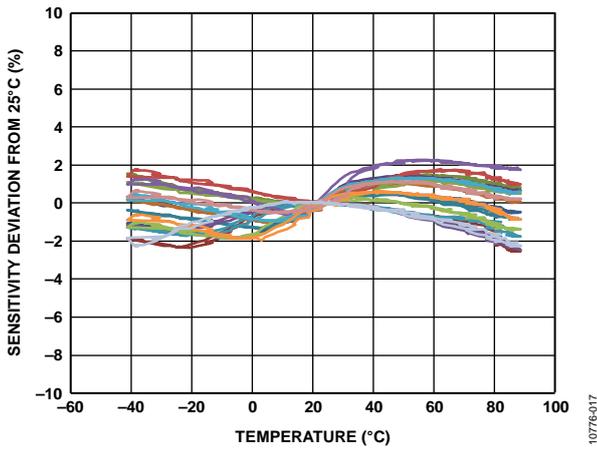


図 17. X 軸の 25 °C からの感度偏差の温度特性 (16 個のデバイスを PCB にハンダ付け、ODR = 100 Hz、 $V_S = 2$ V)

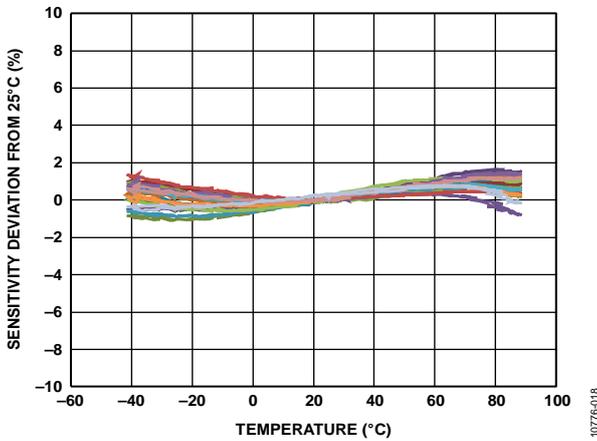


図 18. Y 軸の 25 °C からの感度偏差の温度特性 (16 個のデバイスを PCB にハンダ付け、ODR = 100 Hz、 $V_S = 2$ V)

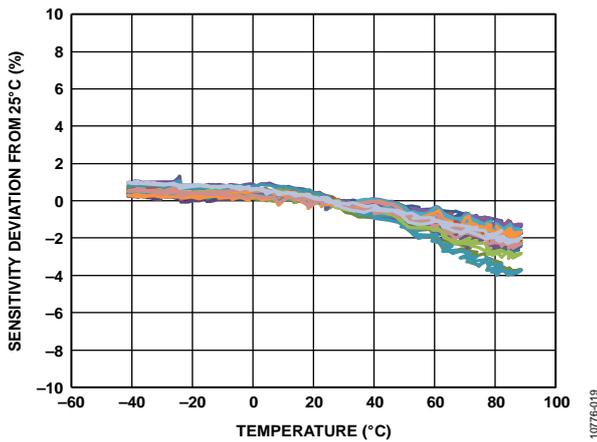


図 19. Z 軸の 25 °C からの感度偏差の温度特性 (16 個のデバイスを PCB にハンダ付け、ODR = 100 Hz、 $V_S = 2$ V)

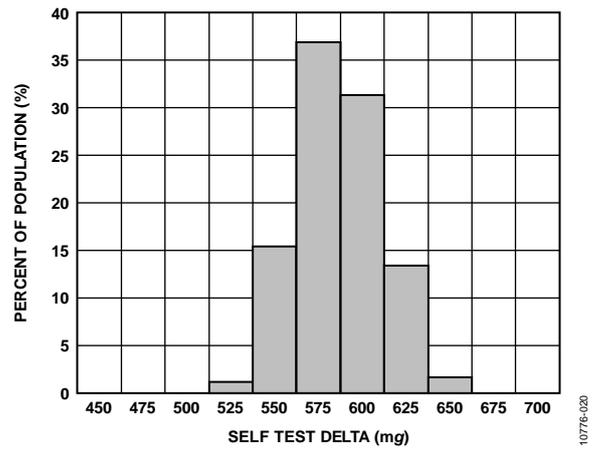


図 20. X 軸のセルフ・テスト応答性 (25 °C、 $V_S = 2$ V)

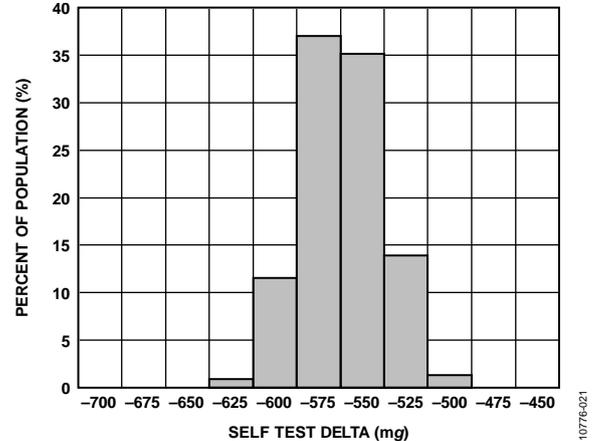


図 21. Y 軸のセルフ・テスト応答性 (25 °C、 $V_S = 2$ V)

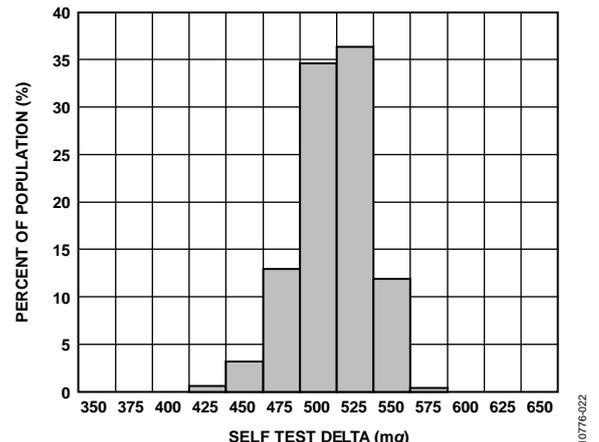


図 22. Z 軸のセルフ・テスト応答性 (25 °C、 $V_S = 2$ V)

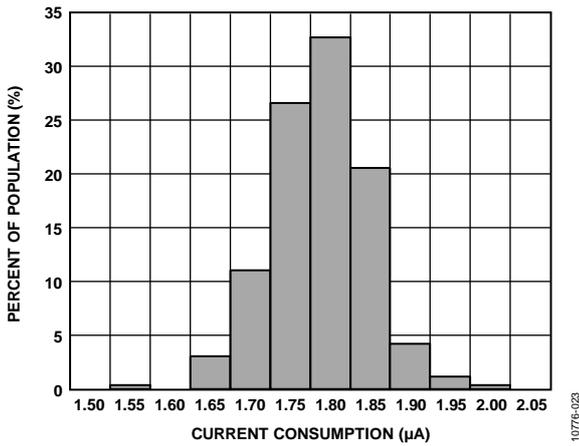


図 23. 消費電流
(25 °C、通常モード、ODR = 100 Hz、 $V_S = 2 V$)

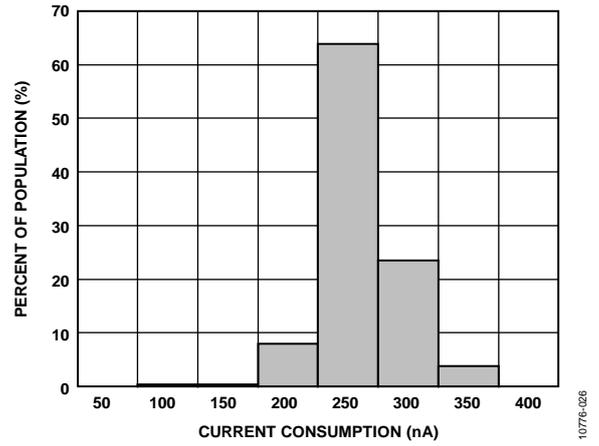


図 26. 消費電流 (25 °C、ウェイクアップ・モード、 $V_S = 2 V$)

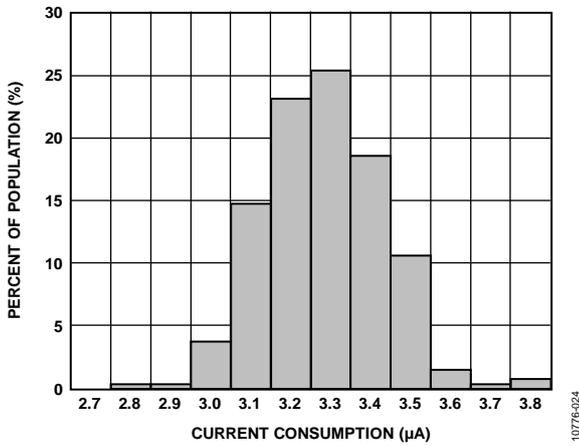


図 24. 消費電流
(25 °C、低ノイズ・モード、ODR = 100 Hz、 $V_S = 2 V$)

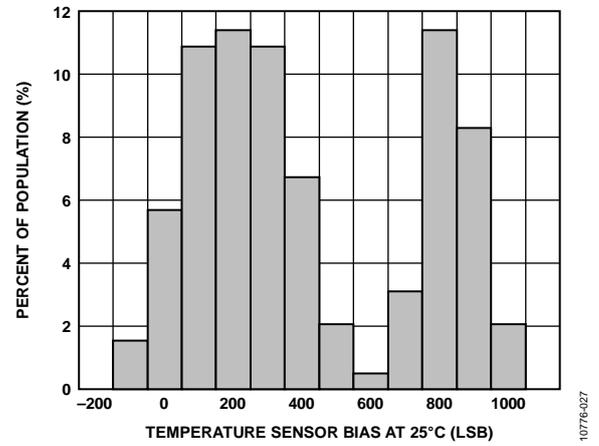


図 27. 温度センサー応答性 (25 °C、 $V_S = 2 V$)

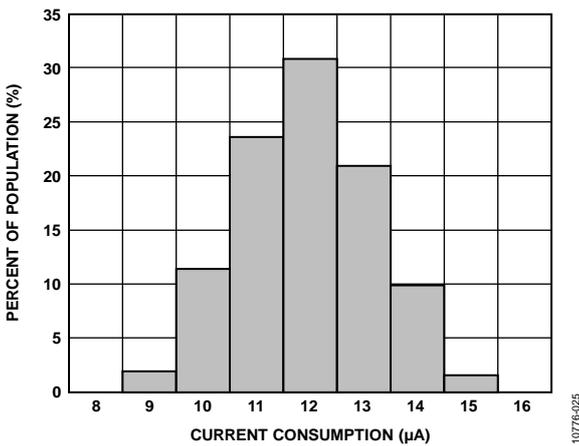


図 25. 消費電流
(25 °C、超低ノイズ・モード、ODR = 100 Hz、 $V_S = 2 V$)

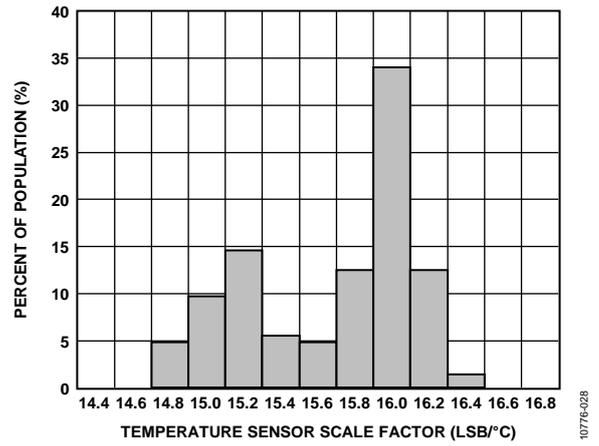


図 28. 温度センサーのスケール係数 ($V_S = 2 V$)

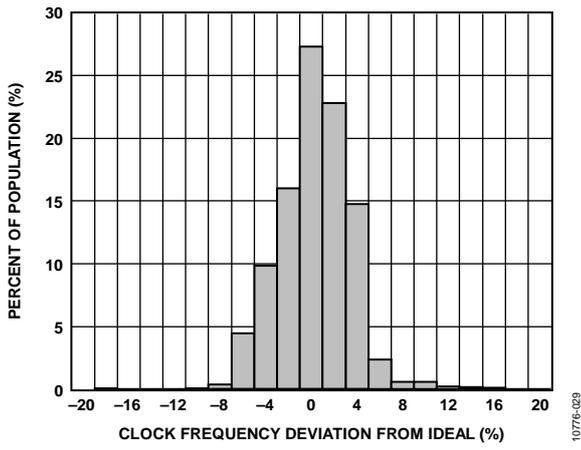


図 29. 理想値からのクロック周波数偏差 (25 °C、 $V_S = 2 V$)

動作原理

ADXL362 は、きわめて低い消費電力レベルで動作する、全機能内蔵型の 3 軸加速度計測システムです。モーションや衝撃から生じる動的加速度と、傾斜などの静的加速度の両方を測定することができます。加速度はデジタル的にレポートされ、デバイスは SPI プロトコルによって通信します。内蔵のデジタル・ロジックは、自律的動作を可能にし、システムレベルの節電を強化する機能を実装します。

機械的デバイスの動作

センサーの可動部品は、シリコン・ウェハの上面に構成されるポリシリコン表面マイクロマシン構造となっています。ポリシリコンのスプリングがこの構造体をウェハ表面上に支え、加速力に対する抵抗を生じます。

構造部の変位は、独立した固定プレートと可動部に取り付けられたプレートで構成される、差動コンデンサによって測定します。加速度は構造部を偏向させ、差動コンデンサを不平衡にするため、センサー出力の振幅は加速度に比例します。位相検波により、加速度の大きさと極性が決定されます。

動作モード

ADXL362 には、2 つの動作モードがあります。つまり、連続した広帯域幅センシングのための測定モードと、限られた帯域幅でアクティブ検出を行うためのウェークアップ・モードです。さらに、デバイスをスタンバイ状態にすることによって、測定を完全に中断することができます。

測定モード

測定モードは ADXL362 の通常動作モードです。このモードでは、加速度データは連続的に読み取られ、2.0 V 電源を使用した場合の加速度センサーの消費電流は、最大 400 Hz の出力データ・レートの範囲全体で 3 μ A (typ) 未満です。ADXL362 をこのモードで動作させるとき、このデータシートに記載されたすべての機能を使用できます。

また、12.5 Hz ~ 400 Hz のデータ・レートで連続的にデータを出力しながら、3 μ A (typ) 未満の消費電流を実現する機能も備えており、これこそ ADXL362 が超低消費電力の加速度センサーであるゆえんです。他の加速センサーは、加速度検出にパワーサイクルを実行する専用の低消費電力モードを使って低電流を実現します。その結果、低消費電力モードでは実効帯域幅が狭くなり、入力データのアンダーサンプリングが生じます。したがって、望ましくないエイリアシングが発生することがあります。ADXL362 では、センサーの全帯域幅をすべてのデータ・レートで連続的にサンプリングするため、アンダーサンプリングやエイリアシングは発生しません。

ウェークアップ・モード

ウェークアップ・モードは、きわめて低い消費電力 (2.0 V 電源電圧で 270 nA) で、モーションの有無だけを検出する用途に最適です。ウェークアップ・モードは、モーション起動のオン/オフ・スイッチの実装に特に便利であり、アクティブが検出されるまで、システムの残りの部分をパワー・ダウンすることができます。

ウェークアップ・モードは、1 秒間に 6 回だけ加速度を測定し、モーションの有無を検出することによって、消費電流をきわめて低いレベルに低減します。モーション検出時に、加速度センサーを以下の方法で自律的に応答させることができます。

- フル帯域幅の測定モードに切り替え
- マイクロコントローラに割込みを通知
- 設定に応じて、後段回路をウェークアップ

ウェークアップ・モードでは、アクティブ・タイマ以外の全ての加速度センサーの機能を使用できます。すべてのレジスタにアクセスでき、リアルタイム・データの読出しや FIFO への保存ができます。

スタンバイ

ADXL362 をスタンバイ状態にすると、測定が中断され、消費電流は 10 nA (typ) まで減少します。保留中の割込みとデータは保持され、新しい割込みは生成されません。

ADXL362 はパワーアップ時にはスタンバイ状態になり、すべてのセンサー機能が停止しています。

選択可能な測定範囲

ADXL362 には、 ± 2 g、 ± 4 g、 ± 8 g という選択可能な測定範囲があります。加速度サンプルは、常に 12 ビット ADC によって変換されます。したがって、感度は g 範囲に応じて変化します。範囲とそれに対応する感度値を表 1 に示します。オーバーレンジが発生すると、一時的にデータが g の最大値を示さないことがあります。加速度が相当する最大範囲を超えても、加速度センサーに損傷は生じません。表 2 は、加速度の絶対最大定格を示します。これは、デバイスに恒久的な損傷を与える可能性のある加速度レベルを示します。

選択可能な出力データ・レート

ADXL362 は、12.5 Hz ~ 400 Hz のさまざまなデータ・レートで加速度データをレポートできます。ナイキスト・サンプリング基準を満たし、エイリアシングが発生しないように、内部ローパス・フィルタの極は、選択された ODR の $\frac{1}{4}$ または $\frac{1}{2}$ (HALF_BW 設定に基づいて) 自動的に設定されます。

消費電流は、図 30 に示すように、出力データ・レートによって若干変動しますが、データ・レートと動作電圧の全範囲にわたって 5.0 μA を下回ります。

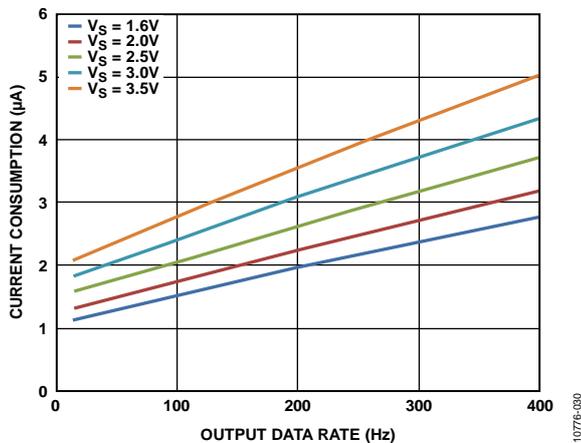


図 30. 各種電源電圧での出力データ・レート 対 消費電流

アンチエイリアシング

ADXL362 の A/D コンバータ (ADC) は、ユーザーが選択した出力データ・レートでサンプリングします。アンチエイリアス・フィルタ処理がない場合、データ・レートの半分を超える周波数を持つ入力信号がエイリアスされます。これを緩和するため、ADC の入力に 2 極ローパス・フィルタが備わっています。

ユーザーは、このアンチエイリアス・フィルタをデータ・レートの $\frac{1}{2}$ または $\frac{1}{4}$ の帯域幅に設定できます。アンチエイリアス・フィルタの極を出力データ・レートの $\frac{1}{2}$ に設定すると、アンチエイリアス・フィルタ処理は消極的になりますが、帯域幅は最大になり、大部分のアプリケーションに適しています。極をデータ・レートの $\frac{1}{4}$ に設定すると、所定のデータ・レートに対する帯域幅は低減されますが、より積極的なアンチエイリアシングが実行されます。

ADXL362 のアンチエイリアス・フィルタは、デフォルトでは、帯域幅が出力データ・レートの $\frac{1}{4}$ と、保守的な設定になっています。

電力/ノイズのトレードオフ

ADXL362 は、消費電流を少しだけ増やすことによってノイズを減少させるオプションをいくつか備えています。

通常動作での ADXL362 のノイズ性能は、100 Hz 帯域幅において 7 LSB rms (typ) であり、帯域幅と所望の分解能にもよりますが、大部分のアプリケーションに十分対応できます。ノイズをさらに抑える必要がある場合、ADXL362 は、消費電流を一定量増加させることでノイズを低減できる、2 つの低ノイズ動作モードを備えています。

代表的な 2.0 V 電源での、通常動作と 2 つの低ノイズ・モードで得られる消費電流とノイズ密度を表 7 に示します。

表 7. ノイズと消費電流: 通常動作、低ノイズ・モード、超低ノイズ・モード (ODR = 100 Hz, $V_S = 2.0\text{ V}$)

Mode	Noise ($\mu\text{g}/\sqrt{\text{Hz}}$) Typical	Current Consumption (μA) Typical
Normal Operation	550	1.8
Low Noise	400	3.3
Ultralow Noise	250	13

ADXL362 をより高い電源電圧で動作させても、ノイズは低減されません。推奨される最大電源電圧 (3.3 V) での、通常動作および 2 つの低ノイズ・モードで得られる消費電流とノイズ密度を表 8 に示します。

表 8. ノイズと消費電流: 通常動作、低ノイズ・モード、超低ノイズ・モード (ODR = 100 Hz, $V_S = 3.3\text{ V}$)

Mode	Noise ($\mu\text{g}/\sqrt{\text{Hz}}$) Typical	Current Consumption (μA) Typical
Normal Operation	380	2.7
Low Noise	280	4.5
Ultralow Noise	175	15

節電機能

節電が最重視されるアプリケーション向けに設計された ADXL362 には、ここで説明するように、デバイス・レベルだけでなく、システムレベルの節電も可能にする機能がいくつか内蔵されています。

全モードで超低消費電力を実現

デバイス・レベルで、ADXL362 の最も顕著な節電機能は、あらゆる設定での超低消費電力です。ADXL362 の消費電流は、400 Hz までのすべてのデータ・レートと 3.5 V までのすべての電源電圧にわたって、1.1 μ A (typ) ~ 5 μ A (typ) です (図 30 を参照)。1 μ A 未満の消費電力を必要とする簡単なモーション検出アプリケーションには、さらに低消費電力の 270 nA (typ) のモーション・トリガのウェークアップ・モードを提供します。

このような電流レベルにおいて、この加速度センサーのフル動作での消費電流は、他の多くのシステム・コンポーネントのスタンバイ電流よりも小さくなります。したがって、連続的な加速度監視ときわめて長いバッテリー寿命を必要とするアプリケーションに最適です。加速度センサーは常にオンであるため、モーション起動スイッチとして機能することができます。加速度センサーは、起動のタイミングを残りのシステムに通知することにより、システムレベルで電力を管理します。

動作電流の少なさと同様に、10 nA (typ) というスタンバイ電流の少なさも ADXL362 の重要な特長であり、大部分の時間をスリープ状態ですごし、外部トリガを介してウェークアップするアプリケーションでは、バッテリー寿命の大幅な延長をもたらします。

モーション検出

ADXL362 は、アクティブ (閾値を上回る加速度が存在する状態) とインアクティブ (閾値を上回る加速度が存在しない状態) を検出するロジックを内蔵しています。アクティブ/インアクティブ・イベントは、加速度センサーの動作モード管理、ホスト・プロセッサへの割込み、あるいはモーション・スイッチの自律的駆動のためのトリガとして使用できます。

アクティブ/インアクティブ・イベントの検出はステータス・レジスタで示され、割込みを生成するように設定できます。さらに、デバイスのアクティブ・ステータス (つまり、モーションが加わっているか静止しているか) は、「AWAKE ビットの使い方」で説明する AWAKE ビットによって示されます。

アクティブ/インアクティブ検出は、加速度センサーが測定モードまたはウェークアップ・モードにあるときに使用できます。

アクティブ検出

アクティブ・イベントが検出されるのは、加速度が、規定された期間にわたって規定された閾値を上回り続けた場合です。

リファレンス・モードとアブソリュート・モード

アクティブ検出の設定方法には、リファレンス・モードとアブソリュート・モードがあります。

アブソリュート・アクティブ検出を使用した場合、加速度サンプルとユーザーが設定した閾値とを比較して、モーションが存在するかどうかを判定します。例えば、0.5 g の閾値が設定され、z 軸での加速度がユーザー定義によるアクティブ時間よりも長い間 1 g である場合、アクティブ・ステータスがアサートされます。

多くのアプリケーションでは、絶対的な閾値ではなく、基準となるポイントまたは向きからのずれをアクティブ検出のベースにするほうが有利です。この方式が特に便利なのは、重力によって加えられる静的な 1 g がアクティブ検出に与える影響を除去できるからです。加速度センサーが静止している場合、たとえモーションが加わっていても、その出力は 1 g に到達することがあります。アブソリュート・アクティブでは、閾値が 1 g 未満に設定されると、この場合はすぐにアクティブが検出されます。

リファレンス・モードでは、加速度サンプルが、ユーザー定義された時間にわたって、内部定義されたリファレンス値を基準としてユーザー定義された閾値を上回ったとき、アクティブが検出されます (式 1 を参照)。

$$ABS(\text{加速度} - \text{リファレンス}) > \text{閾値} \quad (1)$$

したがって、加速度が最初の向きから十分にずれたときのみ、アクティブが検出されます。アクティブ検出が以下のいずれかのシナリオで機能しているとき、アクティブ検出のリファレンスが計算されます。

- アクティブ機能が起動され、測定モードが機能しているとき
- リンク・モードが有効な場合: インアクティブが検出され、アクティブ検出が始まったとき
- リンク・モードが有効でない場合: アクティブが検出され、アクティブ検出が繰り返されるとき

リファレンス・モードでは、最もわずかなモーション・イベントさえ検出する、きわめて高感度なアクティブ検出が得られます。

誤検出を低減

理想的には、アクティブ検出の目的は、ノイズや小さな意図的でない移動を無視して、意図的なモーションのときのみシステムをウェークアップさせることです。ADXL362 のアクティブ検出アルゴリズムは、わずかなモーション・イベントを識別するだけでなく、望ましくないトリガを確実に除去できるように設計されています。

ADXL362 のアクティブ検出機能には、望ましくないモーションを除去し、持続的なモーションだけをアクティブと認識するために、タイマが組み込まれています。このタイマの時間は、加速度閾値と同様に、1 サンプル (つまり、タイマなし) から最大 20 秒のモーションまで、ユーザーが調整できます。

なお、アクティブ・タイマは測定モードでのみ使用できます。ウェークアップ・モードでは、1 サンプルのアクティブ検出が使用されます。

インアクティブ検出

インアクティブ・イベントが検出されるのは、加速度が、規定された時間にわたって規定された閾値を下回り続けた場合です。インアクティブ検出の設定にも、リファレンス・モードとアブソリュート・モードがあります。

アブソリュート・インアクティブ検出を使用した場合、加速度サンプルとユーザーが設定した閾値とをユーザーが設定した時間にわたって比較し、モーションが存在するかどうかを判定します。インアクティブが検出されるのは、連続した十分な数のサンプルのすべてが閾値を下回るときです。インアクティブのアブソリュート・モードは、自由落下検出の実装に使用できます。

リファレンス・インアクティブ検出を使用する場合、インアクティブが検出されるのは、加速度サンプルが、ユーザー定義された時間にわたって、内部定義されたリファレンス値を基準としてユーザー定義された閾値の範囲内に収まる時です（式2を参照）。

$$ABS(加速度 - リファレンス) < 閾値 \quad (2)$$

リファレンス・インアクティブは、リファレンス・アクティブと同様、重力による静的加速度の影響を除去するのに特に便利です。アブソリュート・インアクティブでは、インアクティブ閾値が 1 g 未満に設定された場合、静止したままのデバイスはインアクティブを検出できないことがあります。リファレンス・インアクティブを用いれば、同じ構成の同じデバイスでもインアクティブを検出できます。

インアクティブ・タイマのインアクティブ検出時間は、2.5 ms (ODR=400 Hz における 1 個のサンプル) から約 90 分 (ODR=12.5 Hz における 65,535 個のサンプル) まで自由に設定できます。インアクティブ・タイマがどのような長さの時間に設定されている場合でも、その時間にわたって静止していれば、加速度センサーがインアクティブを検出するように設定されています。

例えば、インアクティブ検出時間が 90 分に設定されていた場合、加速度センサーがインアクティブを検出するのは、90 分間静止していたときです。タイマ設定範囲が広いので、節電が重要視されるアプリケーションでは、きわめて短い時間のインアクティブを検出し、直ちにシステムをスリープ状態にすることができます。連続動作が重要なアプリケーションでは、システムは、何らかのモーションが存在する限りオン状態を保ちます。

アクティブ/インアクティブ検出のリンク

アクティブ/インアクティブ検出機能は、ホスト・プロセッサによって同時に使用して手動処理したり、以下のような方法で連係動作するように設定できます。

デフォルト・モード

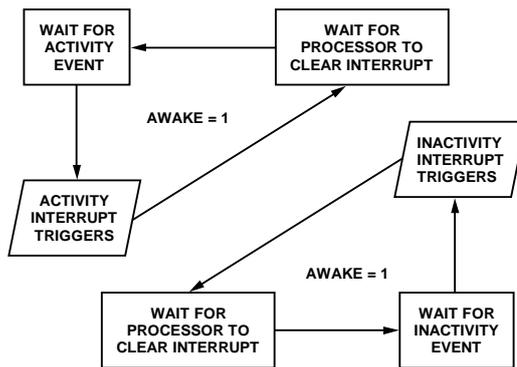
アクティブ/インアクティブ機能については、デフォルトで自動的に有効になることはないのですが、ユーザーがこれらの機能を有効にする必要があります。ユーザーがアクティブ/インアクティブ機能を有効にした後、ADXL362 は、デフォルト・モードに入ったときに以下の動作を行います。アクティブ/インアクティブ検出はいずれも有効なままであり、すべての割込みは、ホスト・プロセッサによって処理される必要があります。つまり、プロセッサが各割込みを読み取らなければ、割込みをクリアして再び使用することはできません。

図 31 に、デフォルト・モードの動作をフローチャートで説明します。

リンク・モード

リンク・モードでは、同時に有効にできる機能が 1 つだけになるように、アクティブ/インアクティブ検出が互いにリンクされます。アクティブが検出されると、デバイスにモーションが加わっている（あるいは、アウェーク状態）と想定され、アクティブの探索をすぐに停止します。もっと正確に言えば、次のイベントとしてインアクティブが想定されます。したがって、インアクティブ検出のみが動作します。

同様に、インアクティブが検出されると、デバイスは静止している（あるいは、スリープ状態）と想定されます。したがって、次のイベントとしてアクティブが想定されるため、アクティブ検出のみが動作します。



NOTES
1. THE AWAKE BIT DEFAULTS TO 1 WHEN ACTIVITY AND INACTIVITY ARE NOT LINKED.

図 31. デフォルト・モードのアクティブ動作とインアクティブ動作を説明するフローチャート

リンク・モードでは、ホスト・プロセッサが各割込みを処理しなければ次の割込みは有効になりません。

図 32 に、リンク・モードの動作をフローチャートで説明します。

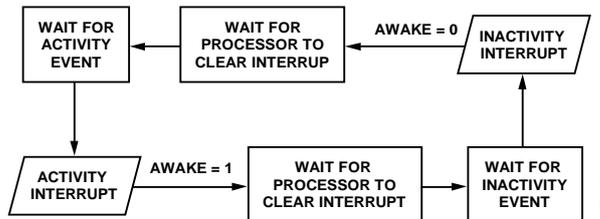


図 32. リンク・モードのアクティブ動作とインアクティブ動作を説明するフローチャート

ループ・モード

ループ・モードでは、モーション検出は「リンク・モード」セクションで説明したように動作しますが、割込みはホスト・プロセッサによる処理を必要としません。この設定は、一般的に用いられるモーション検出の実装を簡素化し、バス通信に使用される電力を低減することで節電効果を高めます。

図 33 に、ループ・モードの動作をフローチャートで説明します。

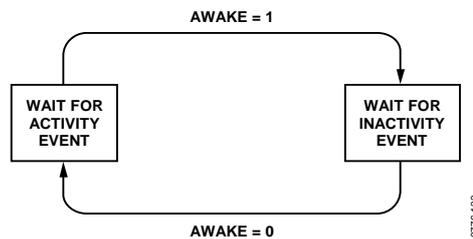


図 33. ループ・モードのアクティブ動作とインアクティブ動作を説明するフローチャート

自動スリープ

リンクまたはループ・モードでは、自動スリープを有効にすると、デバイスはインアクティブが検出されたときに自動的にウェークアップ・モードになり（「ウェークアップ・モード」セクションを参照）、アクティブが検出されたときに再び測定モードになります。

リンク・モードまたはループ・モードがイネーブルされると、自動スリープ設定がアクティブになります。デフォルト・モードでは、自動スリープ設定は無視されます。

AWAKE ビットの使い方

AWAKE ビットは、ADXL362 がアウェーク状態であるかスリープ状態であるかを示すステータス・ビットです。デバイスは、アクティブ条件に遭遇したときにアウェーク状態であり、インアクティブ条件に遭遇したときにスリープ状態です。

アウェーク信号は INT1 または INT2 ピンにマッピングできます。したがって、このピンは、加速度センサーのアウェーク状態に基づいて後段回路への電力を接続/切断するステータス出力として機能できます。この設定をループ・モードと組み合わせ使用すれば、図 43 に示すように、単純で自律的なモーション起動スイッチを実装できます。

後段回路の起動時間を許容できる場合、このモーション・スイッチ設定は、アプリケーションの残りの部分のスタンバイ消費電流をゼロにすることによって、システムレベルの大幅な節電を可能にします。このスタンバイ電流は、ADXL362 の動作電流を上回ることがあります。

FIFO

ADXL362 には、ディープな 512 サンプルの先入れ先出し (FIFO) バッファが内蔵されています。この FIFO は、次に示すように、主に 2 つの利点を提供します。

システムレベルの節電

FIFO を適切に使用すれば、加速度センサーが自律的にデータを収集している間、ホスト・プロセッサのスリープ時間を延ばすことによって、システムレベルの節電が可能になります。あるいは、FIFO を使用してデータを収集することで、ホストの負担を軽減し、他のタスク処理に振り向けることができます。

データ記録/イベント・コンテキスト

FIFO をトリガ・モードで使用して、アクティブ検出イベントにつながるすべてのデータを記録することで、イベントのコンテキストを提供できます。例えば、インパクト・イベントを特定するシステムの場合、加速度センサーは、システム全体をオフに保持しながら、加速度データをその FIFO に保存し、アクティブ・イベントを探ることができます。インパクト・イベントが発生すると、そのイベントより前に収集されたデータは、FIFO 内でフリーズ状態になります。すると、加速度センサーは、残りのシステムをウェークアップさせ、このデータをホスト・プロセッサに転送することによって、インパクト・イベントのコンテキストを提供できます。

一般に、使用できるコンテキストが多いほど、システムはよりインテリジェントな決断をくだすことができるため、多段 FIFO は特に便利です。ADXL362 の FIFO は 13 秒を超えるデータまで保存できるため、アクティブ・トリガの前にイベントの明確なイメージが得られます。

すべての FIFO 動作モード、FIFO の構造、FIFO からデータを取り出すための命令については、このデータシートの「FIFO モード」セクションを参照してください。

通信

SPI 命令

ADXL362 のデジタル・インターフェースは、システムレベルの節電を念頭に置いて実装されています。以下の機能は節電効果を高めます。

- バースト読み出し/書き込みは、デバイスの設定とデータの取出しに必要な SPI 通信サイクルの数を低減します。
- アクティブ/インアクティブ検出の並行動作は、「set it and forget it (設定後は放置)」動作を可能にします。ループ・モードでは、プロセッサ介入のない割込みクリアを可能にすることによって、通信電力をさらに低減します。
- FIFO は、連続したサンプルを無限長の複数バイト読み出しによって連続的に読み取りできるように実装されます。したがって、1 つの FIFO 読み出し命令で、FIFO の全コンテンツをクリアすることができます。他の多くの加速度センサーでは、読み出し命令ごとに 1 個のサンプルしか取り出せません。さらに、ADXL362 の FIFO 構造では、プロセッサのダイレクト・メモリ・アクセス (DMA) を使用して FIFO の内容を読み出すことができます。

バス・キーマー

ADXL362 は、デジタル入力として設定可能なすべてのピン (MOSI、SCLK、CS、INT1、INT2) 上にバス・キーマーを実装しています。バス・キーマーは、駆動されていないスリーステート・バス・ラインがフローティング状態になることを防止し、バス上のゲート入力での貫通電流を防ぎます。

MSB レジスタ

加速度と温度の測定値は、12 ビット値に変換され、測定ごとに 2 本のレジスタを使用し、SPI を介して送信されます。3 軸加速度データの完全なサンプル・セットを読み出すには、6 本のレジスタを読み出す必要があります。

多くのアプリケーションでは、12 ビット・データまでの精度は必要ではなく、むしろシステム全体の節電が重視されます。MSB レジスタ (XDATA、YDATA、ZDATA) を用いることで、このようなトレードオフが可能になります。これらのレジスタには、x、y、z 軸加速度データの 8 つの MSB が含まれます。これらを効果的に読み出すことで、8 ビットの加速度値が得られます。とりわけ重要なのは、3 本の (連続した) レジスタを読み出すだけで完全なデータ・セットを取り出すことができるので、SPI バスがアクティブで電流を消費する時間を大幅に低減できるということです。

12 ビットと 8 ビットのデータは同時に使用できるため、任意の時点でのアプリケーションのニーズに応じて、1 つのアプリケーションで両方のデータ・フォーマットを使用できます。例えば、プロセッサは、高い分解能が要求されるときに 12 ビット・データを読み出し、アプリケーション条件が変化したときに 8 ビット・データに切り替えることが (単に読み出すレジスタ・セットを変更するだけで) できます。

その他の機能

自由落下検出

多くのデジタル出力加速度センサーには、自由落下検出機能が内蔵されています。ADXL362では、この機能は、インアクティブ割込みを使用して実装できます。閾値やタイミング値の詳細については、「アプリケーション情報」のセクションを参照してください。

外部クロック

ADXL362に内蔵されている51.2 kHz (typ) のクロックは、デフォルトでは、内部動作の時間軸として機能します。

ODRと帯域幅は、クロックに比例して変化します。ADXL362は、100 Hz、50 Hz、25 Hz など、2の倍数で離散的な数のオプションをODRに提供します（詳細については「フィルタ・コントロール・レジスタ」のセクションを参照）。外部クロックを適切なクロック周波数で使用すれば、提供された以外のデータ・レートを実現できます。式3に示すように、出力データ・レートはクロック周波数に応じて変化します。

$$ODR_{ACTUAL} = ODR_{SELECTED} \times \frac{f}{51.2 \text{ kHz}} \quad (3)$$

例えば、80 Hz の ODR を実現するには、100 Hz の ODR 設定を選択し、公称の80%、つまり41.0 kHz のクロック周波数を提供します。

ADXL362は、公称の51.2 kHz から25.6 kHz までの外部クロック周波数で動作できるため、ユーザーは所望の出力データ・レートを実現できます。

あるいは、外部クロックを使用して、クロック周波数の精度を改善することができます。1000個を超えるデバイスのクロック周波数の分布は、約3%の標準偏差を持ちます。さらに厳しい許容誤差を達成するために、より正確なクロックを外部から供給することができます。

帯域幅は、HALF_BW 設定に基づいてODRの $\frac{1}{2}$ または $\frac{1}{4}$ に自動的にスケールされ、この比率はクロック周波数とは無関係に保持されます。消費電力も、クロック周波数に応じて変化します。高いクロック・レートでは、消費電力が増加します。消費電力とクロック・レートの関係を図34に示します。

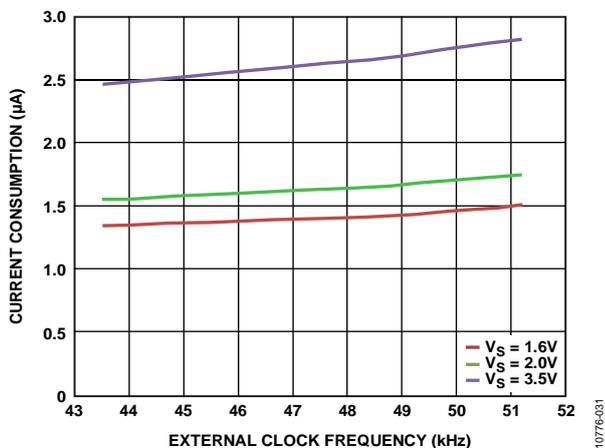


図 34. 外部クロック・レート対消費電流

同期したデータ・サンプリング

ADXL362は、正確に時間調整された加速度測定を必要とするアプリケーション用に、加速度サンプリングを外部トリガに同期させるオプションを備えています。

セルフ・テスト

ADXL362は、内蔵しているセルフテスト機能によって、その機械システムと電子システムを同時に効果的にテストすることができます。セルフテスト機能が起動されると、メカニカル・センサーに静電気力が加えられますこの静電気力が、加速度の場合と同様にメカニカル・センサー素子を動かし、これがデバイスによる加速度に追加されます。この追加された静電気力によって3軸すべてで出力変化が起こります。

ユーザー・レジスタの保護

ADXL362は、シングル・イベント・アップセット (SEU) に対するユーザー・レジスタ保護機能を搭載しています。SEUは、微細回路デバイス内のデリケートなノードにイオンや電磁放射線がぶつかることによって生じる、状態の変化です。この状態変化は、論理素子の重要なノード（例えばメモリ・ビット）の内部または近傍でのイオン化によって生成される自由電荷が原因となります。SEU自体は、トランジスタや回路の機能に恒久的な損害を与えるとは考えられませんが、レジスタ値に悪影響を与えることがあります。SEUから保護されるADXL362レジスタは、レジスタ0x20~0x2Eです。

SEU保護は、1ビットと2ビットの両方の誤差を検出する、99ビットの誤差訂正（ハミングタイプ）コードを介して行われます。チェック・ビットは、保護されたレジスタへの書き込みが行われると、いつでも再計算されます。保存されたチェック・ビットが現在のチェック・ビット計算値と合わない場合、いつでも、ERR_USER_REGS ステータス・ビットがセットされます。

ステータス・レジスタのSEUビットは、パワーアップ時にデバイス設定の前にセットされ、そのデバイスへの最初のレジスタ書き込み時にクリアされます。

温度センサー

ADXL362に内蔵されている温度センサーは、内部システム温度を監視したり、校正によってデバイスの温度安定性を改善することができます。例えば、加速度出力は $\pm 0.5 \text{ mg}/^\circ\text{C}$ (typ) のレートで温度によって変化します。しかし、温度との関係は再現性があり、温度特性を校正することができます。

温度センサーを使用して絶対温度を監視するには、その初期バイアス（既知の温度での出力）を測定し、校正することを推奨します。

シリアル通信

ADXL362 は、4 線式 SPI を介して通信し、スレーブとして動作します。ADXL362 への書込み時に ADXL362 からマスター・デバイスに送信されるデータは無視します。

図 36～図 40 に示すように、バス電力を節約するために ADXL362 が読出しデータを送信している場合を除いて、MISO ピンは高インピーダンス状態であり、バス・キーパーによって保持されます。

ADXL362 の SPI 通信用配線は、図 35 の接続図に示すように行います。推奨される SPI クロック速度は、12 pF の最大負荷で 1 MHz～8 MHz です。

SPI タイミング方式は、CPHA = CPOL = 0 に従います。

デバイスを正しく動作させるために、表 9 と表 10 の論理閾値とタイミング・パラメータに常に従ってください。タイミング・パラメータについては、図 41 と図 42 を参照してください。

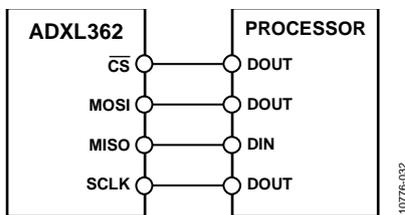


図 35. 4 線式 SPI 接続図

SPI コマンド

SPI ポートは、最初のバイトがコマンドである複数バイト構造を使用します。ADXL362 のコマンド・セットを以下に示します。

- 0x0A: レジスタ書込み
- 0x0B: レジスタ読出し
- 0x0D: FIFO 読出し

レジスタ読出し／書込みコマンド

レジスタ読出し／書込みコマンドのコマンド構造を以下に示します（図 36 と図 37 を参照）。

```
</CS down> <command byte (0x0A or 0x0B)> <address byte>
<data byte> <additional data bytes for multi-byte> ... </CS up>
```

レジスタ読出し／書込みコマンドは、複数バイトの（バースト）読出し／書込みアクセスに対応します。複数バイトの読出し／書込みコマンドの波形図を図 38 と図 39 に示します。

FIFO 読出しコマンド

FIFO バッファからの読出しは、アドレスを持たないコマンド構造です。

```
</CS down> <command byte (0x0D)> <data byte> <data byte> ...
</CS up>
```

各サンプルは 2 バイト（2 ビットの軸情報と 14 ビットのデータ）で構成されるため、複数バイト・トランザクションを使用して偶数のバイトを読み出すことを推奨します。奇数のバイトが読み出された場合、所望のデータは読み出されたと見なされます。したがって、最後のサンプルの後半は破棄され、FIFO からの読出しは、正しく調整された偶数バイト境界から常に始まります。データは、最下位バイトが最初に出力され、その後、最上位バイトが続きます。

複数バイト転送

複数バイト転送（別名：バースト転送）は、すべての SPI コマンド（レジスタ読出し、レジスタ書込み、FIFO 読出しコマンド）に対してサポートされています。x、y、z の加速度（と、該当する場合は、温度）データがフルセットで同時に読み出されるように、複数バイト転送を使用してデータを読み出すことを推奨します。

FIFO は、FIFO 読出し時にシリアル・ポート・クロックで動作し、SPI クロックが 1 MHz 以上である限り、SPI クロック・レートでバースト状態を維持できます。

レジスタ読出し／書込みのオートインクリメント

レジスタ読出し／書込みコマンドは、コマンドで指定されたアドレスから開始され、転送されるバイトごとにオートインクリメントされます。レジスタを複数回読み出すことによるアドレス・ラッピングや悪影響を避けるため、オートインクリメントは、無効なレジスタ・アドレス 63 (0x3F) で停止します。

無効なアドレスとアドレスの折り畳み

ADXL362 は 6 ビットのアドレス・バスを備えており、64 通りのレジスタだけに対応し、それらを 256 通りのレジスタ・アドレス空間にマッピングします。64 を上回るアドレスでは、アドレスの折り畳みが行われ、レジスタの反復はありません。64 を上回るレジスタ・アドレスへのアクセスを試みた場合、63 (0x3F) にある無効なレジスタにマッピングされるため、機能面での影響は生じません。

アドレス 0x00～0x2E は、レジスタ・マップに記載されているように、顧客アクセス用です。アドレス 0x2F～0x3F は、工場用に予約されています。

遅延制約

任意のデータ・レジスタ（0x08～0x0A または 0x0E～0x15）の読出しによって、データ・レディ割込みがクリアされます。レジスタの読出しからデータ・レディ割込みのクリアまでに、80 μs の遅延が生じることがあります。

その他のレジスタ読出し、レジスタ書込み、FIFO 読出しには、遅延制約はありません。

無効なコマンド

0x0A、0x0B、0x0D 以外のコマンドは無効です。MISO 出力は高インピーダンス状態のままであり、バス・キーパーは MISO ラインをその最後の値に保持します。

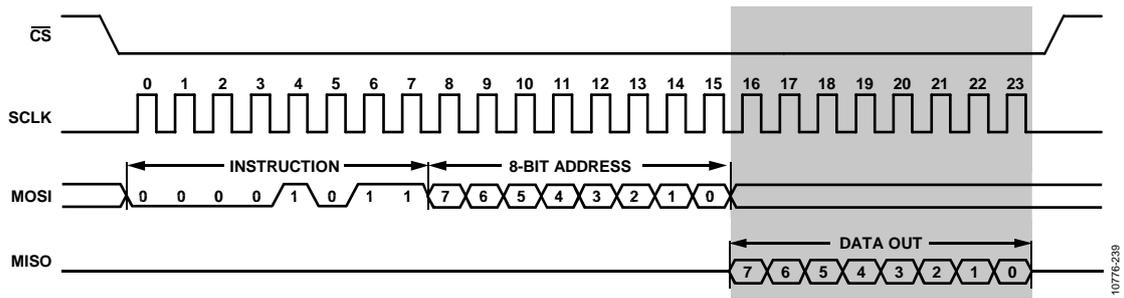


図 36. レジスタ読出し

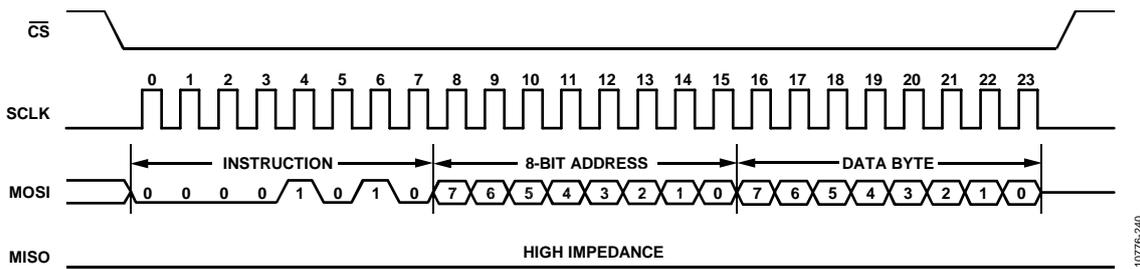


図 37. レジスタ書込み (受信命令のみ)

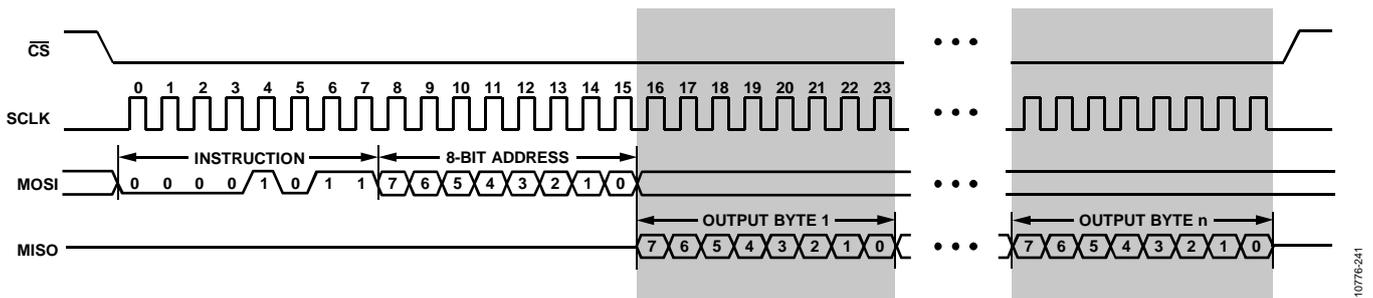


図 38. バースト読出し

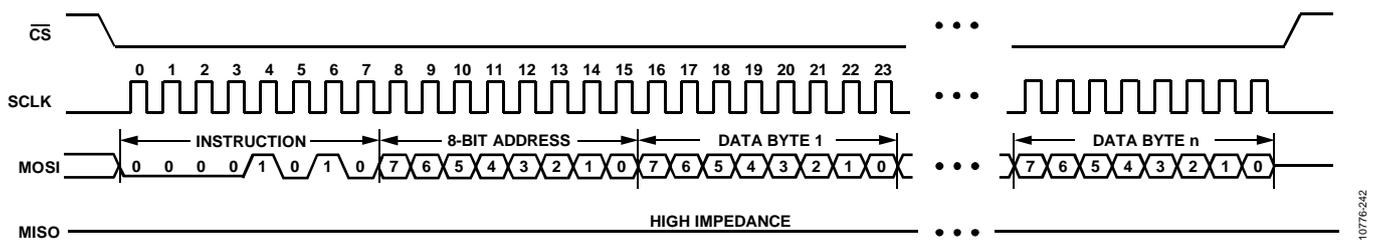


図 39. バースト書込み (受信命令のみ)

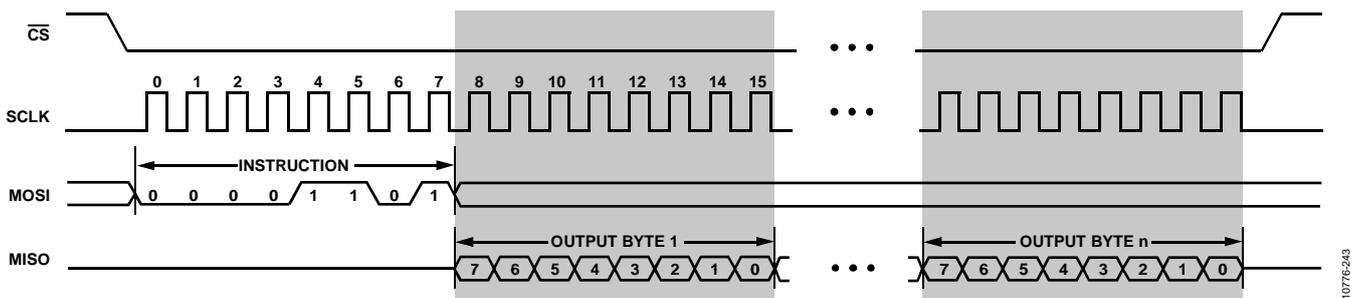


図 40. FIFO 読出し

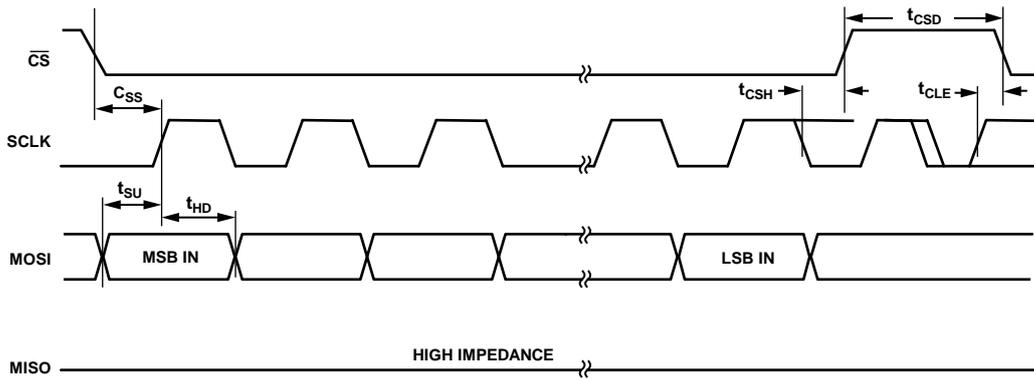


図 41. SPI 受信命令のタイミング図

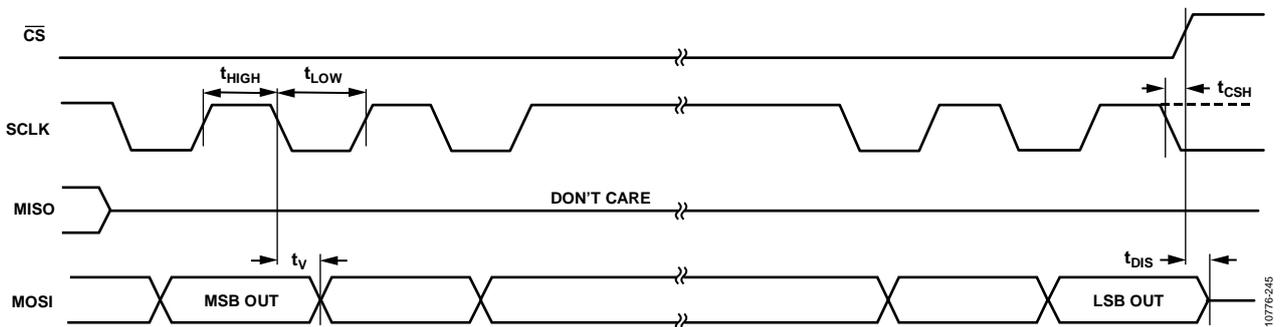


図 42. SPI 送信命令のタイミング図 (図 36、図 38、図 40 の網掛け部分)

表 9. SPI デジタル入力/出力

Parameter	Test Conditions/Comments	Limit ¹		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V_{IL})			$0.3 \times V_{DD1/O}$	V
High Level Input Voltage (V_{IH})		$0.7 \times V_{DD1/O}$		V
Low Level Input Current (I_{IL})	$V_{IN} = V_{DD1/O}$		0.1	μA
High Level Input Current (I_{IH})	$V_{IN} = 0 V$	-0.1		μA
Digital Output				
Low Level Output Voltage (V_{OL})	$I_{OL} = 10 mA$		$0.2 \times V_{DD1/O}$	V
High Level Output Voltage (V_{OH})	$I_{OH} = -4 mA$	$0.8 \times V_{DD1/O}$		V
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, max}$	10		mA
High Level Output Current (I_{OH})	$V_{OH} = V_{OH, min}$		-4	mA

¹ 特性評価の結果に基づく仕様であり、出荷テストは行っていません。

表 10. SPI タイミング ($T_A = 25\text{ }^\circ\text{C}$ 、 $V_S = 2.0\text{ V}$ 、 $V_{DD\ I/O} = 2.0\text{ V}$)

Parameter	Limit ^{1, 2}		Unit	Description
	Min	Max		
f_{CLK}^3	2.4	8000	kHz	Clock Frequency
C_{SS}	100		ns	$\overline{\text{CS}}$ Setup Time
t_{CSH}	20		ns	$\overline{\text{CS}}$ Hold Time
t_{CSD}	20		ns	$\overline{\text{CS}}$ Disable Time
t_{SU}	20		ns	Data Setup Time
t_{HD}	20		ns	Data Hold Time
t_{HIGH}	50		ns	Clock High Time
t_{LOW}	50		ns	Clock Low Time
t_{CLE}	25		ns	Clock Enable Time
t_{V}	0	35	ns	Output Valid from Clock Low
t_{DIS}	0	25	ns	Output Disable Time

¹ 設計目標に基づく仕様であり、出荷テストは行っていません。

² タイミング値は、表 9 に示す入力閾値 (V_{IL} と V_{IH}) に応じて測定されています。

³ 最小リミットが必要なのは、FIFO を使用する時だけです。

レジスタ・マップ

表 11. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	DEVID_AD	[7:0]	DEVID_AD[7:0]								0xAD	R	
0x01	DEVID_MST	[7:0]	DEVID_MST[7:0]								0x1D	R	
0x02	PARTID	[7:0]	PARTID[7:0]								0xF2	R	
0x03	REVID	[7:0]	REVID[7:0]								0x01	R	
0x08	XDATA	[7:0]	XDATA[7:0]								0x00	R	
0x09	YDATA	[7:0]	YDATA[7:0]								0x00	R	
0x0A	ZDATA	[7:0]	ZDATA[7:0]								0x00	R	
0x0B	STATUS	[7:0]	ERR_USER_REGS	AWAKE	INACT	ACT	FIFO_OVER-RUN	FIFO_WATER-MARK	FIFO_READY	DATA_READ Y	0x40	R	
0x0C	FIFO_ENTRIES_L	[7:0]	FIFO_ENTRIES_L[7:0]								0x00	R	
0x0D	FIFO_ENTRIES_H	[7:0]	UNUSED						FIFO_ENTRIES_H[1:0]		0x00	R	
0x0E	XDATA_L	[7:0]	XDATA_L[7:0]								0x00	R	
0x0F	XDATA_H	[7:0]	SX				XDATA_H[3:0]			0x00	R		
0x10	YDATA_L	[7:0]	YDATA_L[7:0]								0x00	R	
0x11	YDATA_H	[7:0]	SX				YDATA_H[3:0]			0x00	R		
0x12	ZDATA_L	[7:0]	ZDATA_L[7:0]								0x00	R	
0x13	ZDATA_H	[7:0]	SX				ZDATA_H[3:0]			0x00	R		
0x14	TEMP_L	[7:0]	TEMP_L[7:0]								0x00	R	
0x15	TEMP_H	[7:0]	SX				TEMP_H[3:0]			0x00	R		
0x16	Reserved	[7:0]	Reserved[7:0]								0x00	R	
0x17	Reserved	[7:0]	Reserved[7:0]								0x00	R	
0x1F	SOFT_RESET	[7:0]	SOFT_RESET[7:0]								0x00	W	
0x20	THRESH_ACT_L	[7:0]	THRESH_ACT_L[7:0]								0x00	RW	
0x21	THRESH_ACT_H	[7:0]	UNUSED						THRESH_ACT_H[2:0]		0x00	RW	
0x22	TIME_ACT	[7:0]	TIME_ACT[7:0]								0x00	RW	
0x23	THRESH_INACT_L	[7:0]	THRESH_INACT_L[7:0]								0x00	RW	
0x24	THRESH_INACT_H	[7:0]	UNUSED						THRESH_INACT_H[2:0]		0x00	RW	
0x25	TIME_INACT_L	[7:0]	TIME_INACT_L[7:0]								0x00	RW	
0x26	TIME_INACT_H	[7:0]	TIME_INACT_H[7:0]								0x00	RW	
0x27	ACT_INACT_CTL	[7:0]	RES	LINKLOOP			INACT_REF	INACT_EN	ACT_REF	ACT_EN	0x00	RW	
0x28	FIFO_CONTROL	[7:0]	UNUSED						AH	FIFO_TEMP	FIFO_MODE	0x00	RW
0x29	FIFO_SAMPLES	[7:0]	FIFO_SAMPLES[7:0]								0x80	RW	
0x2A	INTMAP1	[7:0]	INT_LOW	AWAKE	INACT	ACT	FIFO_OVER-RUN	FIFO_WATER-MARK	FIFO_READY	DATA_READ Y	0x00	RW	
0x2B	INTMAP2	[7:0]	INT_LOW	AWAKE	INACT	ACT	FIFO_OVER-RUN	FIFO_WATER-MARK	FIFO_READY	DATA_READ Y	0x00	RW	
0x2C	FILTER_CTL	[7:0]	RANGE			RES	HALF_BW	EXT_SAMPLE	ODR		0x13	RW	
0x2D	POWER_CTL	[7:0]	RES	EXT_CLK	LOW_NOISE		WAKEUP	AUTOSLEEP	MEASURE		0x00	RW	
0x2E	SELF_TEST	[7:0]	UNUSED								ST	0x00	RW

レジスタの詳細

ここでは、ADXL362 レジスタの機能を説明します。ADXL362 は「レジスタ・マップ」セクションの表 11 の Reset 欄に示すデフォルトのレジスタ値で起動します。

なお、POWER_CTL レジスタより前のレジスタ（レジスタ 0x00 ~ 0x2C）への変更は、デバイスをスタンバイ状態にして行ってください。ADXL362 が測定モードにあるときに行われた変更は、測定の一部にしか有効でないことがあります。

デバイス ID レジスタ

アドレス：0x00、リセット時：0xAD、名称：DEVID_AD

このレジスタは、アナログ・デバイスサイズのデバイス ID (0xAD) を格納します。

B7	B6	B5	B4	B3	B2	B1	B0
1	0	1	0	1	1	0	1

デバイス ID: 0X1D レジスタ

アドレス：0x01、リセット時：0x1D、名称：DEVID_MST

このレジスタは、アナログ・デバイスサイズの MEMS デバイス ID (0x1D) を格納します。

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	1	1	1	0	1

デバイス ID : 0XF2 レジスタ

アドレス：0x02、リセット時：0xF2、名称：PARTID

このレジスタは、デバイス ID (0xF2、8 進 362) を格納します。

B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	1	0	0	1	0

シリコン・リビジョン ID レジスタ

アドレス：0x03、リセット時：0x01、名称：REVID

このレジスタは、0x01 から始まってリビジョンごとにインクリメントされる、製品リビジョン ID を格納しています。

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	1

X 軸データ (8 MSB) レジスタ

アドレス：0x08、リセット時：0x00、名称：XDATA

このレジスタは、x 軸加速度データの 8 つの最上位ビットを保持します。分解能を抑えたこのデータ・レジスタは、8 ビットのデータで十分な省エネ志向のアプリケーションで使用されます。1 軸につき 2 バイトではなく、1 バイトのデータだけを読み出すことによって、エネルギーを節約できます。

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	0

Y 軸データ (8 MSB) レジスタ

アドレス：0x09、リセット時：0x00、名称：YDATA

このレジスタは、y 軸加速度データの 8 つの最上位ビットを保持します。分解能を抑えたこのデータ・レジスタは、8 ビットのデータで十分な省エネ志向のアプリケーションで使用されます。1 軸につき 2 バイトではなく、1 バイトのデータだけを読み出すことによって、エネルギーを節約できます。

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	0

Z 軸データ (8 MSB) レジスタ

アドレス：0x0A、リセット時：0x00、名称：ZDATA

このレジスタは、z 軸加速度データの 8 つの最上位ビットを保持します。データの分解能を抑えたこのレジスタは、8 ビットのデータで十分な省エネ志向のアプリケーションで使用されます。1 軸につき 2 バイトではなく、1 バイトのデータだけを読み出すことによって、エネルギーを節約できます。

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	0

ステータス・レジスタ

アドレス：0x0B、リセット時：0x40、名称：STATUS

このレジスタは、ADXL362 のさまざまな状態を示す以下のビットを含んでいます。

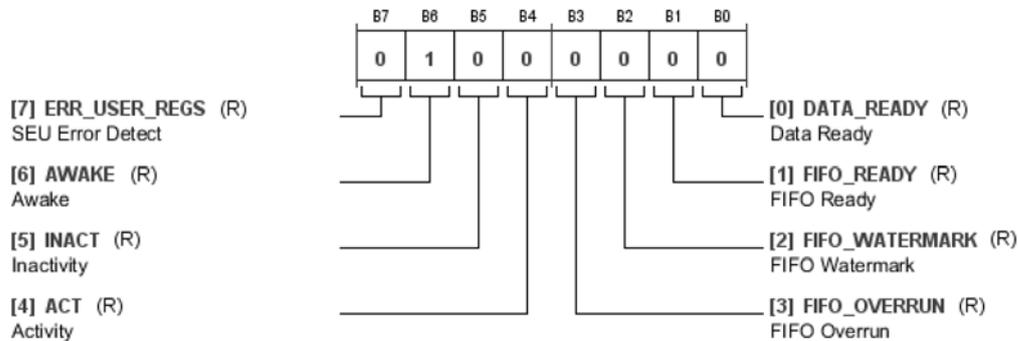


表 12. STATUS の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	ERR_USER_REGS		SEU エラー検出。1 は、2 つの条件のいずれかを示します。つまり、SEU イベント（電源グリッチの α 粒子など）がユーザー・レジスタ設定を乱したか、または ADXL362 が未設定であることを示します。このビットは、スタートアップ時とソフト・リセット時にハイレベルであり、レジスタ書き込みコマンドが実行されるとすぐにリセットされます。	0x0	R
6	AWAKE		アクティブ/インアクティブ機能に基づいて、加速度センサーがアクティブ状態（AWAKE=1）であるかインアクティブ状態（AWAKE=0）であることを示します。自動スリープを有効にするには、アクティブ/インアクティブ検出はリンク・モードまたはループ・モードであることが必要です（ACT_INACT_CTL レジスタの LINK/LOOP ビット）。そうでない場合、このビットはデフォルトで 1 になるため、無視してください。	0x1	R
5	INACT		インアクティブ。1 は、インアクティブ検出機能がインアクティブ条件または自由落下条件を検出したことを示します。	0x0	R
4	ACT		アクティブ。1 は、アクティブ検出機能がアクティブ条件を検出したことを示します。	0x0	R
3	FIFO_OVERRUN		FIFO オーバーラン。1 は、FIFO がオーバーランまたはオーバーフローして、新しいデータが未読データに取って代わることを示します。詳細については、「FIFO 割込みの使い方」を参照してください。	0x0	R
2	FIFO_WATERMARK		FIFO ウォーターマーク。1 は、FIFO が、FIFO_SAMPLES レジスタに設定された所望のサンプル数以上のサンプルを格納していることを示します。詳細については、「FIFO 割込みの使い方」を参照してください。	0x0	R
1	FIFO_READY		FIFO レディ。1 は、FIFO 出力バッファ内に使用可能なサンプルが 1 つ以上あることを示します。詳細については、「FIFO 割込みの使い方」を参照してください。	0x0	R
0	DATA_READY		データ・レディ。1 は、新しい有効なサンプルを読み出しできることを示します。このビットは、FIFO 読出しが行われるとクリアされます。詳細については、「データ・レディ割込み」のセクションを参照してください。	0x0	R

FIFO エントリ・レジスタ

これらのレジスタは、FIFO バッファ内に存在する有効なデータ・サンプルの数を示します。この数の範囲は、0～512 (0x00～0x200) です。FIFO_ENTRIES_L は、最下位バイトを格納します。FIFO_ENTRIES_H は、2つの最上位ビットを格納します。FIFO_ENTRIES_H のビット [15:10] は未使用です (X=ドント・ケアとして表されます)。

アドレス：0x0C、リセット時：0x00、名称：FIFO_ENTRIES_L

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	LSB

アドレス：0x0D、リセット時：0x00、名称：FIFO_ENTRIES_H

B15	B14	B13	B12	B11	B10	B9	B8
X	X	X	X	X	X	MSB	0

X 軸データ・レジスタ

これら2本のレジスタは、符号拡張 (SX) された x 軸加速度データを格納します。XDATA_L は8つの最下位ビット (LSB) を格納し、XDATA_H は12ビット値の4つの最上位ビット (MSB) を格納します。

符号拡張ビット (B [15:12]、後に続く XDATA_H ビットマップでは SX として表示) は、MSB (B11) と同じ値を持ちます。

アドレス：0x0E、リセット時：0x00、名称：XDATA_L

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	LSB

アドレス：0x0F、リセット時：0x00、名称：XDATA_H

B15	B14	B13	B12	B11	B10	B9	B8
SX	SX	SX	SX	MSB	0	0	0

Y 軸データ・レジスタ

これら2本のレジスタは、符号拡張 (SX) された y 軸加速度データを格納します。YDATA_L は8つの LSB を格納し、YDATA_H は12ビット値の4つの MSB を格納します。

符号拡張ビット (B [15:12]、後に続く YDATA_H ビットマップでは SX として表示) は、MSB (B11) と同じ値を持ちます。

アドレス：0x10、リセット時：0x00、名称：YDATA_L

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	LSB

アドレス：0x11、リセット時：0x00、名称：YDATA_H

B15	B14	B13	B12	B11	B10	B9	B8
SX	SX	SX	SX	MSB	0	0	0

Z 軸データ・レジスタ

これら2本のレジスタは、符号拡張 (SX) された z 軸加速度データを格納します。ZDATA_L は8つの LSB を格納し、ZDATA_H は12ビット値の4つの MSB を格納します。

符号拡張ビット (B [15:12]、後に続く ZDATA_H ビットマップでは SX として表示) は、MSB (B11) と同じ値を持ちます。

アドレス：0x12、リセット時：0x00、名称：ZDATA_L

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	LSB

アドレス：0x13、リセット時：0x00、名称：ZDATA_H

B15	B14	B13	B12	B11	B10	B9	B8
SX	SX	SX	SX	MSB	0	0	0

温度データ・レジスタ

これら2本のレジスタは、符号拡張 (SX) された温度センサー出力データを格納します。TEMP_L は8つの LSB を格納し、TEMP_H は12ビット値の4つの MSB を格納します。値は符号拡張されているため、TEMP_H のビット [B15:B12] は、ビット B11 の値に基づいて、オール0またはオール1です。

符号拡張ビット (B [15:12]、後に続く TEMP_H ビットマップでは SX として表示) は、MSB (B11) と同じ値を持ちます。

アドレス：0x14、リセット時：0x00、名称：TEMP_L

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	LSB

アドレス：0x15、リセット時：0x00、名称：TEMP_H

B15	B14	B13	B12	B11	B10	B9	B8
SX	SX	SX	SX	MSB	0	0	0

ソフト・リセット・レジスタ

アドレス：0x1F、リセット時：0x00、名称：SOFT_RESET

このレジスタにコード 0x52 (アスキーまたはユニコードで文字「R」を表す) を書き込むと、すぐに ADXL362 がリセットされます。すべてのレジスタ設定がクリアされ、センサーはスタンバイ状態になります。割込みピンは、高出力インピーダンス・モードに設定され、バス・キーパーによって有効な状態に保持されます。

これは書き込み専用レジスタです。読み出した場合、そのデータは常に 0x00 です。

ソフト・リセット後、約 0.5 ms のレイテンシが必要です。

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	0

アクティブ閾値レジスタ

アクティブを検出するため、ADXL362は、12ビット（符号付き）加速度データの絶対値を11ビット（符号なし）

THRESH_ACT 値と比較します。アクティブ検出の詳細については、「モーション検出」のセクションを参照してください。

THRESH_ACT という用語は、8つのLSBを保持する THRESH_ACT_L レジスタと3つのMSBを保持する THRESH_ACT_H レジスタから構成される、11ビットの符号なし値を表します。

THRESH_ACT はコードで設定されます。g の値は、選択された測定範囲設定に依存します。

$$THRESH_ACT [g] = THRESH_ACT [codes] / Sensitivity [codes per g]$$

アドレス：0x20、リセット時：0x00、名称：
THRESH_ACT_L

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	0

アドレス：0x21、リセット時：0x00、名称：
THRESH_ACT_H

B15	B14	B13	B12	B11	B10	B9	B8
X	X	X	X	X	MSB	0	0

アクティブ・タイム・レジスタ

アドレス：0x22、リセット時：0x00、名称：TIME_ACT

アクティブ・タイムは、誤検出モーション・トリガを最小限に抑える信頼性の高いアクティブ検出を実現します。このタイムが使用されると、持続的なモーションだけがアクティブ検出をトリガできます。詳細については、「誤検出を低減」のセクションを参照してください。

このレジスタの値は、アクティブ・イベントを検出するために少なくとも1軸でアクティブ閾値（THRESH_ACT によって設定）を上回る必要のある連続したサンプル数です。

時間（単位：秒）は、次式から求められます。

$$Time = TIME_ACT / ODR$$

ここで、

TIME_ACT は、このレジスタに設定された値です。

ODR は、FILTER_CTL レジスタ（アドレス：0x2C）に設定された出力データ・レートです。

アクティブ時間に0x00を設定すると、この時間に0x01を設定するのと同じ結果になります。アクティブが検出されるのは、少なくとも1軸で1個の加速度サンプルのアクティブ閾値（THRESH_ACT）を上回るときです。

加速度センサーがウェークアップ・モードにあるとき、TIME_ACT 値は無視され、1個の加速度サンプルに基づいてアクティブが検出されます。

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	0

インアクティブ閾値レジスタ

インアクティブを検出するため、12ビット加速度データの絶対値と11ビット（符号なし）THRESH_INACT 値が比較されます。詳細については、「モーション検出」のセクションを参照してください。

THRESH_INACT という用語は、8つのLSBを保持する THRESH_INACT_L レジスタと3つのMSBを保持する THRESH_INACT_H レジスタから構成される、11ビットの符号なし値を表します。

この11ビットの符号なし値は、インアクティブ検出のための閾値を設定します。この値（単位：g）は、コードで設定され、選択された測定範囲設定に依存します。

$$THRESH_INACT [g] = THRESH_INACT [codes] / Sensitivity [codes per g]$$

アドレス：0x23、リセット時：0x00、名称：
THRESH_INACT_L

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	0

アドレス：0x24、リセット時：0x00、名称：
THRESH_INACT_H

B15	B14	B13	B12	B11	B10	B9	B8
X	X	X	X	X	MSB	0	0

インアクティブ・タイム・レジスタ

これらのレジスタの16ビット値は、インアクティブ・イベントを検出するためにすべての軸でインアクティブ閾値（THRESH_INACT によって設定）を下回る必要のある連続したサンプル数です。

TIME_INACT_L レジスタは16ビット TIME_INACT 値の8つのLSBを保持し、TIME_INACT_H レジスタは8つのMSBを保持します。

時間（単位：秒）は次のように計算できます。

$$時間 = TIME_INACT / ODR$$

ここで、

TIME_INACT は、TIME_INACT_L レジスタ（8つのLSB）と TIME_INACT_H レジスタ（8つのMSB）によって設定された16ビット値です。

ODR は、FILTER_CTL レジスタ（アドレス：0x2C）に設定された出力データ・レートです。

16 ビット値によって、長いインアクティブ検出時間が可能になります。最大値は 0xFFFF、つまり 65,535 個のサンプルです。最小の出力データ・レート（12.5 Hz）では、これは約 90 分に等しくなります。この設定では、加速度センサーが 90 分間静止していなければ、そのシステムをスリープ状態にすることはできません。

インアクティブ検出時間に 0x00 を設定すると、この時間に 0x01 を設定するのと同じ結果になります。インアクティブが検出されるのは、全軸において 1 個の加速度サンプルがインアクティブ閾値（THRESH_INACT）を下回るときです。

アドレス：0x25、リセット時：0x00、名称：TIME_INACT_L

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	LSB

アドレス：0x26、リセット時：0x00、名称：TIME_INACT_H

B15	B14	B13	B12	B11	B10	B9	B8
MSB	0	0	0	0	0	0	0

アクティブ/インアクティブ・コントロール・レジスタ

アドレス：0x27、リセット時：0x00、名称：ACT_INACT_CTL

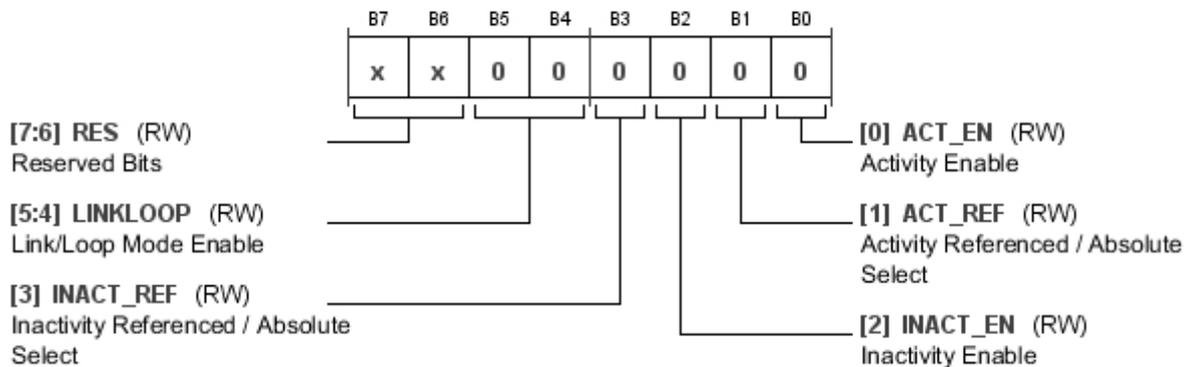


表 13. ACT_INACT_CTL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	UNUSED		未使用ビット	0x0	RW
[5:4]	LINK/LOOP	X0 01 11	デフォルト・モード アクティブ/インアクティブ検出はいずれも有効であり、ホスト・プロセッサが STATUS レジスタを読み出すことによって、その割込み（マッピングされている場合）をアクノレッジする必要があります。自動スリープは、このモードでは無効です。このモードは、自由落下検出アプリケーションに使用します。 リンク・モード アクティブ/インアクティブ検出は、同時に1つだけが有効になるよう、順番にリンクされます。ホスト・プロセッサが STATUS レジスタを読み出すことによって、その割込み（マッピングされている場合）をアクノレッジする必要があります。 ループ・モード アクティブ/インアクティブ検出は、同時に1つだけが有効になるよう、順番にリンクされます。その割込みは内部的にアクノレッジされます（ホスト・プロセッサによる処理は不要です）。 リンク・モードやループ・モードを使用するには、ACT_EN（ビット0）と INACT_EN（ビット2）に1を設定する必要があります。そうでない場合、デフォルト・モードが使用されます。詳細については、「アクティブ/インアクティブ検出のリンク」を参照してください。	0x0	RW
3	INACT_REF		リファレンス/アブソリュート・インアクティブの選択 1=インアクティブ検出機能はリファレンス・モードで動作します。 0=インアクティブ検出機能はアブソリュート・モードで動作します。	0x0	RW
2	INACT_EN		インアクティブ有効 1=インアクティブ（閾値未満）機能を有効にします。	0x0	RW
1	ACT_REF		リファレンス/アブソリュート・アクティブの選択 1=アクティブ検出機能はリファレンス・モードで動作します。 0=アクティブ検出機能はアブソリュート・モードで動作します。	0x0	RW
0	ACT_EN		アクティブ有効 1=アクティブ（閾値超過）機能を有効にします。	0x0	RW

FIFO コントロール・レジスタ

アドレス：0x28、リセット時：0x00、名称：FIFO_CONTROL

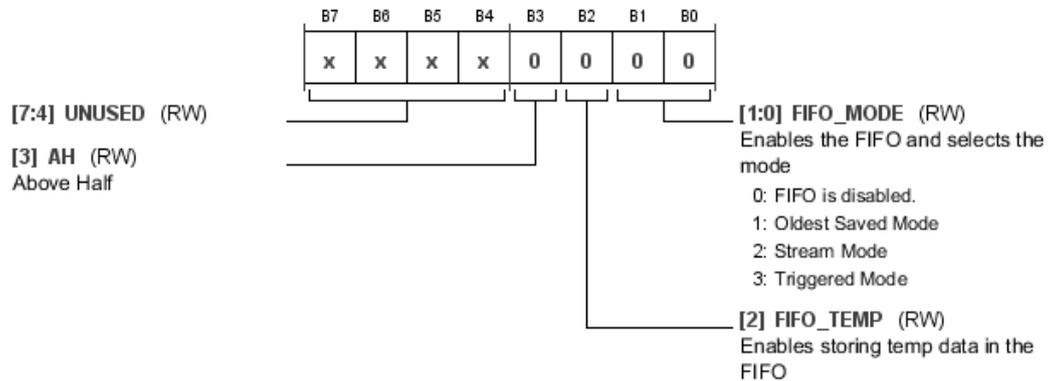


表 14. FIFO_CONTROL のビット説明

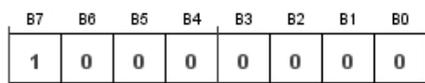
Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	UNUSED		未使用ビット	0x0	RW
3	AH		アバブ・ハーフ このビットは FIFO_SAMPLES レジスタの MSB であり、FIFO は 0 ~ 511 の範囲をサンプリングできます。	0x0	RW
2	FIFO_TEMP		温度データを FIFO に保存します。1 = 温度データは、x、y、z 軸の加速度データと一緒に FIFO に保存されます。	0x0	RW
[1:0]	FIFO_MODE	00 01 10 11	FIFO とモード選択を有効にします。 FIFO は無効です。 オールデスト・セーブ・モード ストリーム・モード トリガ・モード	0x0	RW

FIFO サンプル・レジスタ

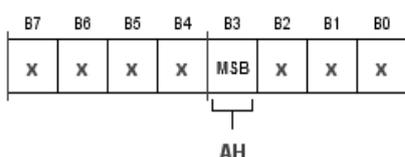
アドレス：0x29、リセット時：0x80、名称：FIFO_SAMPLES

このレジスタの値は、FIFO に保存するサンプルの数を指定します。FIFO_CONTROL レジスタ (アドレス:0x28) の AH ビットは、この値の MSB として使用されます。FIFO サンプルの全範囲は 0 ~ 511 です。

FIFO ウォーターマーク割込みのトリガを避けるため、このレジスタのデフォルト値は 0x80 です (詳細については、「FIFO ウォーターマーク」のセクションを参照)。



AH ビットを示すため、次のビットマップは「FIFO コントロール・レジスタ」セクションから複製しています。



アドレス：0x2A、リセット時：0x00、名称：INTMAP1

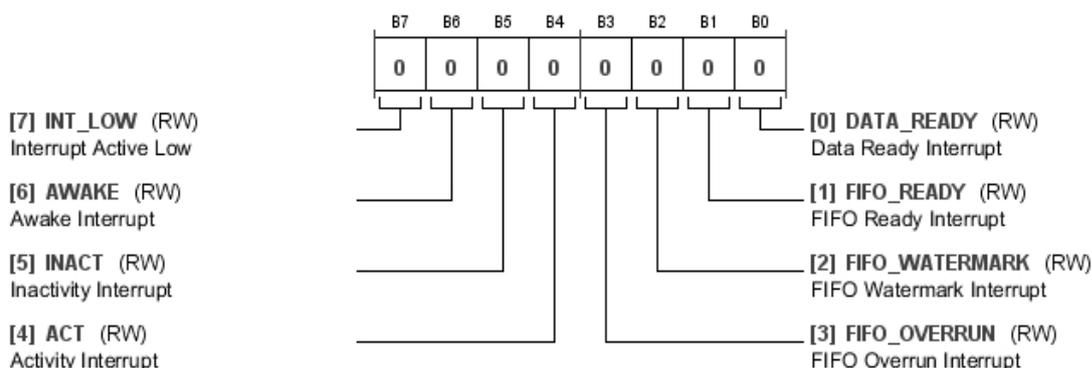


表 15. INTMAP1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	INT_LOW		1 = INT1 ピンはアクティブ・ロー	0x0	RW
6	AWAKE		1 = アウェイク・ビットを INT1 ピンにアサイン	0x0	RW
5	INACT		1 = インアクティビティ・ビットを INT1 ピンにアサイン	0x0	RW
4	ACT		1 = アクティビティ・ビットを INT1 ピンにアサイン	0x0	RW
3	FIFO_OVERRUN		1 = FIFO オーバーラン・ビットを INT1 ピンにアサイン	0x0	RW
2	FIFO_WATERMARK		1 = FIFO ウォーターマーク・ビットを INT1 ピンにアサイン	0x0	RW
1	FIFO_READY		1 = FIFO レディー・ビットを INT1 ピンにアサイン	0x0	RW
0	DATA_READY		1 = データ・レディー・ビットを INT1 ピンにアサイン	0x0	RW

INT1/INT2 機能マップ・レジスタ

INT1 レジスタと INT2 レジスタは、それぞれ、INT1/INT2 割込みピンを設定します。ビット [B6:B0] は、ピン上に割込みを生成する機能を選択します。対応するビットに 1 が設定された場合、その機能は INT ピン上に割込みを生成します。ビット B7 は、ピンがアクティブ・ハイ (B7 がローレベル) ・モードで動作するか、アクティブ・ロー (B7 がハイレベル) ・モードで動作するかを設定します。

ピンごとに任意の数の機能を同時に選択できます。複数の機能が選択された場合、それらの条件の論理和をとって INT ピンの状態を決定します。個々の機能のステータスを決定するには、STATUS レジスタを読み出します。INT ピンに割込みがマッピングされていない場合、ピンは高インピーダンス状態のままであり、パス・キーパーによって有効なロジック状態に保持されます。

アドレス： 0x2B、リセット時： 0x00、名称： INTMAP2

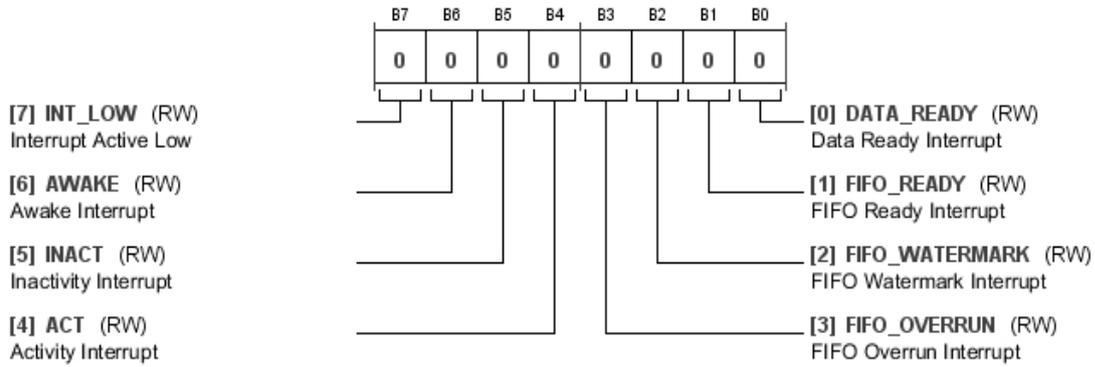


表 16. INTMAP2 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	INT_LOW		1 = INT2 ピンはアクティブ・ロー	0x0	RW
6	AWAKE		1 = アウェイク・ビットを INT2 ピンにアサイン	0x0	RW
5	INACT		1 = インアクティビティ・ビットを INT2 ピンにアサイン	0x0	RW
4	ACT		1 = アクティビティ・ビットを INT2 ピンにアサイン	0x0	RW
3	FIFO_OVERRUN		1 = FIFO オーバーラン・ビットを INT2 ピンにアサイン	0x0	RW
2	FIFO_WATERMARK		1 = FIFO ウォーターマーク・ビットを INT2 ピンにアサイン	0x0	RW
1	FIFO_READY		1 = FIFO レディー・ビットを INT2 ピンにアサイン	0x0	RW
0	DATA_READY		1 = データ・レディー・ビットを INT2 ピンにアサイン	0x0	RW

フィルタ・コントロール・レジスタ

アドレス：0x2C、リセット時：0x13、名称：FILTER_CTL

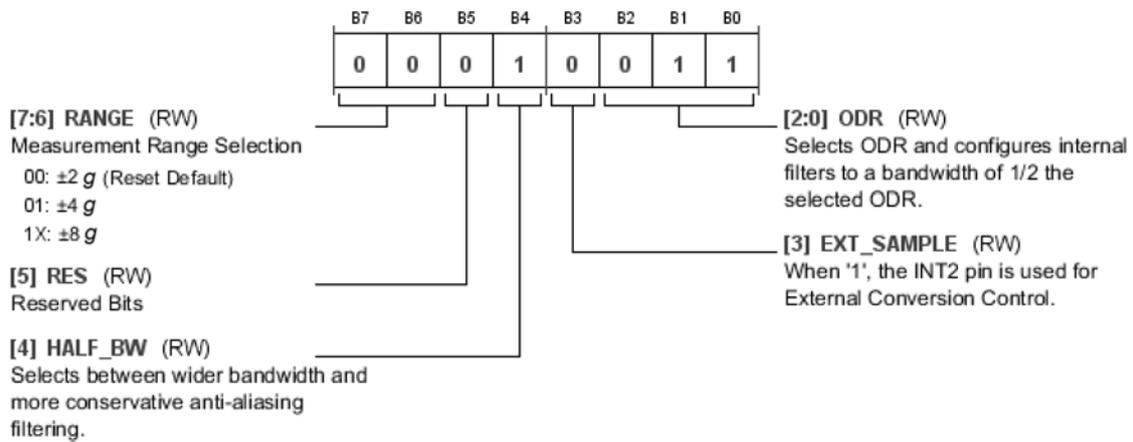


表 17. FILTER_CTL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RANGE	00 01 1X	測定範囲の選択 ±2 g (リセットのデフォルト) ±4 g ±8 g	0x0	RW
5	RES		予備。	0x0	RW
4	HALF_BW		狭帯域幅。詳細は「アンチエイリアシング」セクションを参照してください。 1 = アンチエイリアス・フィルタの帯域幅を出力データ・レート (ODR) の 1/4 と、より狭く設定したフィルタ処理を実現します。 0 = フィルタの帯域幅を ODR の 1/2 に設定して、より広い帯域幅を実現します。	0x1	
3	EXT_SAMPLE		外部サンプリング・トリガ。1 = INT2 ピンは、外部変換のタイミング制御に使用されます。詳細については、「同期データ・サンプリングの使い方」のセクションを参照してください。	0x0	RW
[2:0]	ODR	000 001 010 011 100 101...111	出力データ・レート。ODR を選択し、HALF_BW ビットの設定に応じて、内部フィルタを選択された ODR の 1/2 または 1/4 の帯域幅に設定します。 12.5 Hz 25 Hz 50 Hz 100 Hz (リセットのデフォルト) 200 Hz 400 Hz	0x3	RW

パワー・コントロール・レジスタ

アドレス：0x2D、リセット時：0x00、名称：POWER_CTL

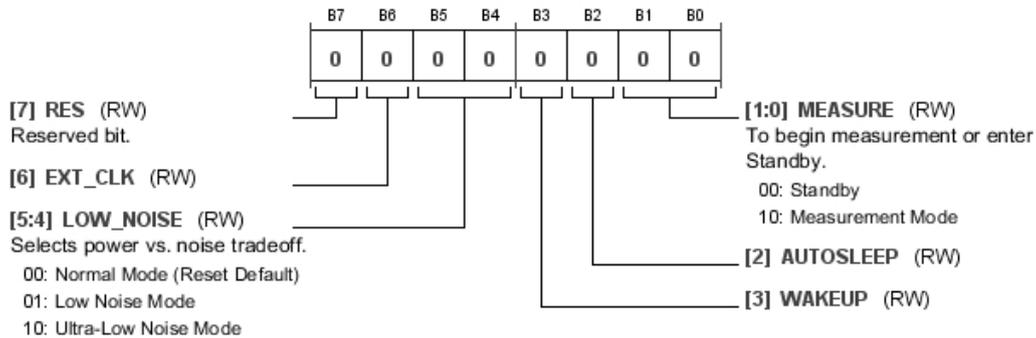


表 18. POWER_CTL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	Reserved		予備	0x0	RW
6	EXT_CLK		外部クロック。詳細は「外部クロックの使い方」セクションを参照してください。 1 = 加速度センサーは、INT1 ピンに供給される外部クロックで動作します。	0x0	RW
[5:4]	LOW_NOISE	00 01 10 11	電力対ノイズのトレードオフを選択します。 00 通常動作（リセットのデフォルト） 01 低ノイズ・モード 10 超低ノイズ・モード 11 予備	0x0	RW
3	WAKEUP		ウェークアップ・モード。ウェークアップ・モードの詳細については、「動作モード」セクションを参照してください。 1 = デバイスはウェークアップ・モードで動作します。	0x0	RW
2	AUTOSLEEP		自動スリープ。自動スリープを有効にするには、アクティブ/インアクティブ検出はリンク・モードまたはループ・モード (ACT_INACT_CTL レジスタの LINK/LOOP ビット) である必要があります。そうでない場合、このビットは無視されます。詳細については「モーション検出」のセクションを参照してください。 1 = 自動スリープが有効になり、デバイスはインアクティブの検出と同時に自動的にウェークアップ・モードに入ります。	0x0	RW
[1:0]	MEASURE	00 01 10 11	測定モードまたはスタンバイを選択します。 00 スタンバイ 01 予備 10 測定モード 11 予備	0x0	RW

セルフ・テスト・レジスタ

アドレス：0x2E、リセット時：0x00、名称：SELF_TEST

セルフ・テスト機能の動作については、「セルフ・テスト」のセクションを参照してください。また、この機能の使い方のガイドラインについては、「セルフ・テストの使い方」のセクションを参照してください。

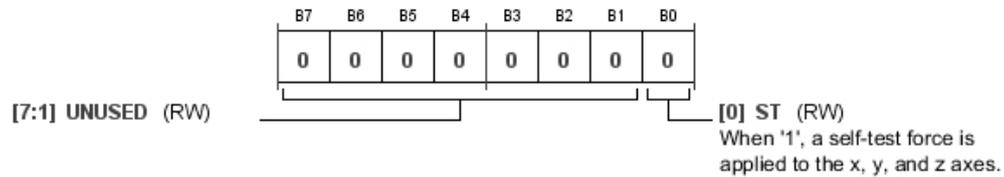


表 19. SELF_TEST のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:1]	UNUSED			0x0	RW
0	ST		セルフ・テスト 1 = x、y、および z 軸にセルフ・テストを印加	0x0	RW

アプリケーション情報

アプリケーション例

ここでは、いくつかのアプリケーション回路を取り上げ、ADXL362 の便利な機能を説明します。

デバイスの設定

ここでは、デバイスを設定してデータを収集する手順の概要を説明します。一般に、この手順はレジスタ・マップの順序に従い、レジスタ 0x20 (THRESH_ACT_L) から始まります。

1. アクティブ/インアクティブの閾値とタイマを設定します。
 - a. レジスタ 0x20 ~ 0x26 に書き込みます。
 - b. 誤検出モーション・トリガを最小限に抑えるため、TIME_ACT レジスタに 1 より大きな値を設定します。
2. アクティブ/インアクティブ機能を設定します。
 - a. レジスタ 0x27 に書き込みます。
3. FIFO を設定します。
 - a. レジスタ 0x28 とレジスタ 0x29 に書き込みます。
4. 割り込みをマッピングします。
 - a. レジスタ 0x2A とレジスタ 0x2B に書き込みます。
5. 一般的なデバイス設定を行います。
 - a. レジスタ 0x2C に書き込みます。
6. 測定をオンにします。
 - a. レジスタ 0x2D に書き込みます。

各レジスタの設定は、アプリケーション条件によって変化します。詳細については、「レジスタの詳細」のセクションを参照してください。

自律的モーション・スイッチ

ADXL362 は、自律的モーション・スイッチとしての使用に最適です。ここに説明する例では、一度設定すれば、ホスト・プロセッサの介入なしにシステムの消費電力をインテリジェントに管理するスイッチを構成します。この例では、INT2 ピンにマッピングされたアウェーク信号が、ADP195 などのハイサイド・パワー・スイッチを駆動して、後段回路への電力を制御します。

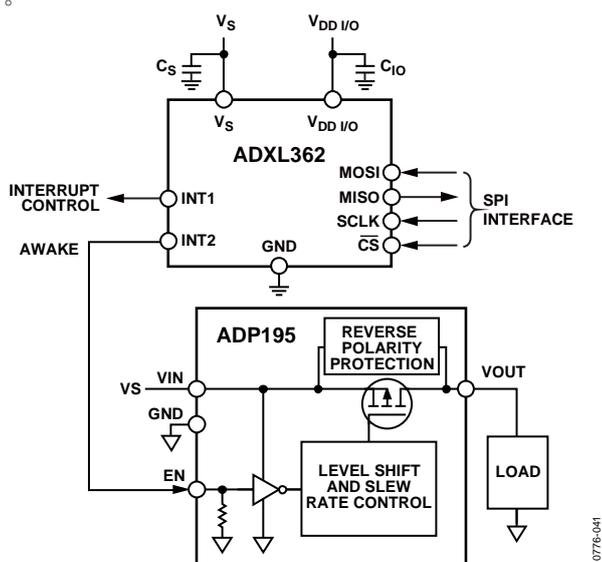


図 43. 後段回路への電力を制御するアウェーク信号

スタートアップ・ルーチン

このルーチンは、 $\pm 2\text{ g}$ の測定範囲とウェークアップ・モードでの動作を想定します。

1. レジスタ 0x20 に 10 進 250 (0xFA) を書き込み、レジスタ 0x21 に 0 を書き込むと、アクティブ閾値が 250 mg に設定されます。
2. レジスタ 0x23 に 10 進 150 (0x96) を書き込み、レジスタ 0x24 に 0 を書き込むと、インアクティブ閾値が 150 mg に設定されます。
3. レジスタ 0x25 に 10 進 30 (0x1E) を書き込むと、インアクティブ・タイマが 30 サンプル (およそ 5 秒) に設定されます。
4. レジスタ 0x27 に 0x3F を書き込むと、モーション検出がループ・モードに設定され、基準アクティブ/インアクティブ検出が有効になります。
5. レジスタ 0x2B に 0x40 を書き込み、AWAKE ビットを INT2 にマッピングします。INT2 ピンはスイッチのゲートに接続されます。
6. レジスタ 0x2D に 0x0A を書き込むと、測定がウェークアップ・モードで開始されます。

外部タイミング・トリガの使い方

INT1 ピンを外部クロック用の入力として使用するためのアプリケーション図を図 44 に示します。このモードでは、出力データ・レートや帯域幅など、すべての加速度センサー・タイミングは外部クロックによって決定されます。

この機能を有効にするには、所望のスタートアップ・ルーチンの最後に、POWER_CTL レジスタのビット 6 をセットします。例えば、外部クロックの使用を有効にし、加速度センサーを測定モードにするには、このレジスタに 0x42 を書き込みます。

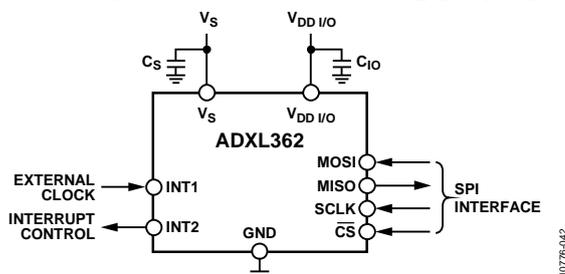


図 44. 外部クロック用の入力としての INT1 ピン

図 45 は、INT2 ピンを同期サンプリングのトリガとして使用するためのアプリケーション図です。加速度サンプルは、このトリガが起動されるたびに生成されます。この機能を有効にするには、所望のスタートアップ・ルーチンの最後近くで、FILTER_CTL レジスタのビット 3 をセットします。例えば、トリガを有効にし、測定範囲が $\pm 8\text{ g}$ 、ODR が 100 Hz になるように加速度センサーを設定するには、このレジスタに 0x4B を書き込みます。

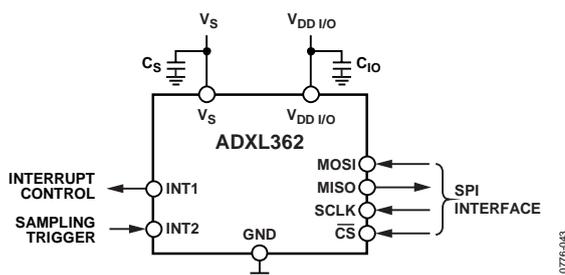


図 45. INT2 ピンによる同期サンプリングのトリガ

例: 自由落下検出の実装

多くのデジタル出力加速度センサーには、自由落下検出機能が搭載されています。ADXL362 では、インアクティブ割込みを使用してこの機能を実装します。

物体が真の自由落下状態のとき、すべての軸で加速度は 0 g です。したがって、自由落下検出を行うには、すべての軸で加速度が一定の時間にわたって特定の閾値（およそ 0 g ）を下回るかどうかを確認します。インアクティブ検出機能をアプソリュート・モードで使用するの、まさにこのためです。

インアクティブを使用して自由落下検出を実現するには、THRESH_INACT の値に所望の自由落下閾値を設定します。推奨される値は $300\text{ mg} \sim 600\text{ mg}$ です。これらの値に対するレジスタ設定は、デバイスの g 範囲設定に基づいて次のように変化します。

$$\text{THRESH_INACT} = \text{値}[\text{g}] \times \text{基準倍率}[\text{LSB per g}]$$

自由落下状態を生成するためにすべての軸の加速度が自由落下閾値を下回る必要のある最小時間を実装するには、TIME_INACT に値を設定します。 $100\text{ ms} \sim 350\text{ ms}$ の値を推奨します。このためのレジスタ設定は、出力データ・レートに基づいて変化します。

$$\text{TIME_INACT} = \text{時間}[\text{sec}] \times \text{データ・レート}[\text{Hz}]$$

自由落下状態が検出されると、インアクティブ・ステータスが 1 が設定されます。そして、この機能が割込みピンにマッピングされている場合、そのピンにインアクティブ割込みがトリガされます。

スタートアップ・ルーチン

次のスタートアップ・ルーチンは、ADXL362 を代表的な自由落下アプリケーション向けに設定します。このルーチンは、 $\pm 8\text{ g}$ の測定範囲と 100 Hz の出力データ・レートを想定します。閾値とタイミング値は、アプリケーション要求に合わせて変更できます。

- レジスタ $0x23$ に $0x96$ (150 コード) 書き込むと、自由落下閾値が 600 mg に設定されます。
- レジスタ $0x25$ に $0x03$ を書き込むと、自由落下時間が 30 ms に設定されます。
- レジスタ $0x27$ に $0x04$ を書き込むと、絶対インアクティブ検出が有効になります。
- レジスタ $0x2A$ またはレジスタ $0x2B$ に $0x20$ を書き込んで、それぞれ、INT1 または INT2 にインアクティブ割込みをマッピングします。
- レジスタ $0x2C$ に $0x83$ を書き込むと、加速度センサーが $\pm 8\text{ g}$ 範囲、 100 Hz ODR (出力データ・レート) に設定されます。
- レジスタ $0x2D$ に $0x02$ を書き込むと測定が開始されます。

電源

電源のデカップリング

ADXL362 とともに使用することが推奨されるバイパス・コンデンサを図 46 に示します。

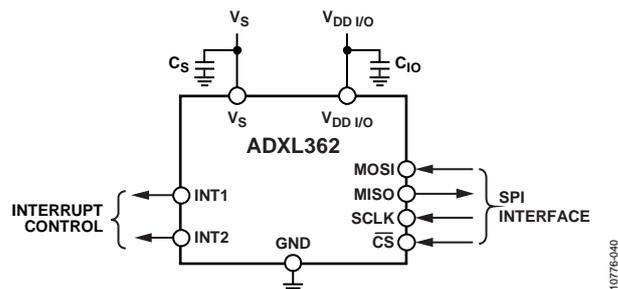


図 46. 推奨されるバイパス・コンデンサ

V_S の $0.1\text{ }\mu\text{F}$ セラミック・コンデンサ (C_S) と $V_{DD\text{ I/O}}$ の $0.1\text{ }\mu\text{F}$ セラミック・コンデンサ (C_{IO}) を ADXL362 の電源ピンでできるだけ近くに配置して、電源上のノイズから加速度センサーを十分にデカップリングすることを推奨します。また、 V_S 電源でのデジタル・クロック・ノイズを最小限に抑えるため、 V_S と $V_{DD\text{ I/O}}$ を別電源にすることを推奨します。これが不可能な場合は、電源にフィルタを追加しなければならないことがあります。

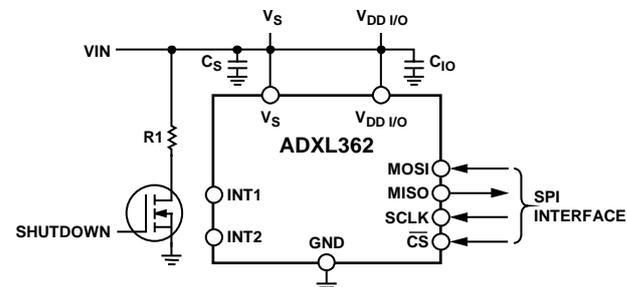
それ以上のデカップリングが必要な場合、 $100\text{ }\Omega$ 以下の抵抗かフェライト・ビーズを V_S と直列に挿入します。さらに、 V_S に $1\text{ }\mu\text{F}$ タンタル・コンデンサと並列に $0.1\text{ }\mu\text{F}$ セラミック・コンデンサを設置すると、さらにノイズを改善することができます。

グラウンドから伝わるノイズには、 V_S からのノイズと同じような影響があるため、ADXL362 のグラウンドから電源グラウンドへの接続は必ず低インピーダンスになるようにしてください。

電源条件

ADXL362 は、 $1.8\text{ V} \sim 3.3\text{ V}$ の電源を使って動作するように設計されています。表 1 に規定する動作電圧範囲 (V_S) は、電源の誤差と最大 $\pm 10\%$ の過渡電圧を考慮して $1.6\text{ V} \sim 3.5\text{ V}$ になっています。

ADXL362 は、特別なスタートアップ過渡電圧特性を必要としませんが、常に 0 V からスタートアップする必要があります。デバイスの動作中に ADXL362 から電源を切り離れたとき、または動作電圧範囲を下回ったときは、電源 (V_S 、 $V_{DD\text{ I/O}}$ 、すべてのバイパス・コンデンサ) が完全に放電した後に、電源を再接続する必要があります。電源の放電を可能にするため、マイクロコントローラ GPIO から電源を供給するか、シャットダウン放電スイッチを電源に接続するか (図 47)、または ADP160 のようなシャットダウン放電機能を持つ電圧レギュレータを使用することが推奨されます。



NOTES

- THE ADXL362 SUPPLIES MUST BE DISCHARGED FULLY EACH TIME THE VOLTAGE ON THEM DROPS BELOW THE SPECIFIED OPERATING RANGE. A SHUTDOWN SWITCH IS ONE WAY TO DISCHARGE THE SUPPLIES.

図 47. スイッチを使った ADXL362 電源の放電

FIFO モード

FIFO は、512 サンプルのメモリ・バッファであり、節電、ホスト・プロセッサの負荷軽減、データの自律的な記録のために使用できます。

512 個の FIFO サンプルは、次のいずれかの方法で割り当てられます。

- 170 サンプル・セットの同時 3 軸データ、または
- 128 サンプル・セットの同時 3 軸データと温度データ

FIFO は、ここで説明する 4 つのモードのいずれかで動作します。

FIFO 無効化

FIFO が無効にされると、データは FIFO に保存されず、すでに保存されていたデータはクリアされます。

FIFO を無効にするには、FIFO_CONTROL レジスタ（アドレス: 0x28）の FIFO_MODE ビットにバイナリ値 0b00 を設定します。

オールデスト・セーブ・モード

オールデスト・セーブ・モードでは、FIFO は、満杯になるまでデータを蓄積してから、停止します。追加のデータが収集されるのは、FIFO バッファからサンプルを読み出してスペースが利用可能になったときだけです。（この動作モードは、「ファースト N」と呼ばれることもあります）。

FIFO をオールデスト・セーブ・モードにするには、FIFO_CONTROL レジスタ（アドレス: 0x28）の FIFO_MODE ビットにバイナリ値 0b01 を設定します。

ストリーム・モード

ストリーム・モードでは、FIFO には常に最も新しいデータが残されています。新しいサンプル用のスペースが必要になると、最も古いサンプルが捨てられます。（この動作モードは、「ラスト N」と呼ばれることもあります）。

ストリーム・モードは、ホスト・プロセッサの負荷を軽減するのに便利です。データが FIFO に収集されている間、プロセッサは他のタスクを処理することができます。FIFO が特定のサンプル数（FIFO_CONTROL レジスタの AH ビットと FIFO_SAMPLES レジスタによって指定）までフィルされると、FIFO ウォーターマーク割込みがトリガされます（この割込みが有効な場合）。この時点で、ホスト・プロセッサは、FIFO 全体の内容を読み出し、FIFO が再びフィルされたら他のタスクに戻ることができます。

FIFO をストリーム・モードにするには、FIFO_CONTROL レジスタ（アドレス: 0x28）の FIFO_MODE ビットにバイナリ値 0b10 を設定します。

トリガ・モード

トリガ・モードでは、FIFO は、アクティブ検出イベントの周辺のサンプルを保存します。この動作は、オシロスコープでのワントタイム実行トリガに似ています。アクティブ・イベントより前に保存されるサンプルの数は、FIFO_CONTROL レジスタ（アドレス: 0x28）の AH ビットと FIFO_SAMPLES レジスタ（アドレス: 0x29）で指定されます。

FIFO をトリガ・モードにするには、FIFO_CONTROL レジスタ（アドレス: 0x28）の FIFO_MODE ビットにバイナリ値 0b11 を設定します。

FIFO 設定

FIFO は、レジスタ 0x28 とレジスタ 0x29 によって設定されます。設定の詳細については、「FIFO コントロール・レジスタ」のセクションを参照してください。

FIFO 割込み

FIFO は、割込みを生成することによって、サンプルがいつ使用可能になるか、指定した数のサンプルがいつ収集されたか、FIFO がいつオーバーフローしてサンプルが失われたかを示すことができます。詳細については、「FIFO 割込みの使い方」のセクションを参照してください。

FIFO からのデータ取出し

FIFO のデータは、「SPI コマンド」のセクションで説明した FIFO 読出しコマンドを発行して読み出されます。データは、表 20 に示されるように、16 ビット値としてフォーマットされます。

データを読み出すとき、最下位バイト（ビット [B7:B0]）が最初に読み出され、その後最上位バイト（ビット

[B15:B8]）が続きます。ビット [B11:B0] は、12 ビットの 2 の補数で加速度または温度データを表します。表 20 に示すように、ビット [B13:B12] は符号拡張ビットであり、ビット [B15:B14] はデータの型を示します。

表 20. FIFO バッファのデータ・フォーマット

B15	B14	B13	B12	B11	B10	B9	B8
Data Type:		Sign Extension		MSB		Data	
00: X-Axis							
01: Y-Axis							
10: Z-Axis							
11: Temp							

B7	B6	B5	B4	B3	B2	B1	B0
Data							LSB

データ・フォーマットは 16 ビットであるため、データは、一度に 2 バイトずつ FIFO から読み出す必要があります。複数バイト読出しが実行される時、読み出されるバイト数は、常に偶数にしてください。FIFO データの複数バイト読出しは、読み出されるバイト数の制限なしに実行できます。FIFO が空になった後で新たなバイトが読み出された場合、新たなバイトのデータは 0x00 と解釈されます。

各サンプル・セットが収集される時、次の順序で FIFO に書き込まれます。

- X 軸
- Y 軸
- Z 軸
- 温度（オプション）

このパターンは、FIFO が満杯になるまで繰り返され、満杯になった時点での動作は、FIFO モードに依存します（「FIFO」セクションを参照）。FIFO のスペースが 4 つのデータ・エントリ（温度が保存されていない場合は 3 つのエントリ）に対して不足している場合、不完全なサンプル・セットが保存されることがあります。

FIFO データは、データ単位で出力されます。各データ・アイテムが読み出されると、スタック内で同じ量のスペースが解放されます。これも、FIFO 内に不完全なサンプル・セットが存在する原因になることがあります。

その他のシステムレベルの FIFO アプリケーションについては、AN-1025 アプリケーション・ノート『アナログ・デバイセズのデジタル加速度センサーに内蔵された先入れ、先出し (FIFO) バッファの利用』を参照してください。

割込み

ADXL362 の内蔵機能のいくつかは、割込みをトリガして特定のステータス条件をホスト・プロセッサに報告することができます。ここでは、これらの割込みの機能を説明します。

割込みピン

割込みは、INTMAP1 レジスタと INTMAP2 レジスタの適切なビットをセットすることによって、それぞれ、2本の指定された出力ピン (INT1 と INT2) のいずれか (あるいは両方) にマッピングすることができます。すべての機能は同時に使用することができます。複数の割込みを 1本のピンにマッピングした場合、ピンのステータスは、割込みの OR 組み合わせによって決まります。

割込みピンに機能がマッピングされていない場合、そのピンは自動的に高インピーダンス (high-Z) 状態に設定されます。ピンは、リセット時にも高インピーダンス状態になります。

特定のステータス条件が検出されると、その条件がマッピングされているピンがアクティブになります。ピンの設定はデフォルトでアクティブ・ハイであるため、アクティブになると、ピ

ンはハイレベルになります。しかし、INTMAPx レジスタの INT_LOW ビットをセットすることによって、この設定はアクティブ・ローに切り替えられます。

INT ピンをホスト・プロセッサの割込み入力に接続すると、割込みは割込みルーチンによって対応されることができます。同じピンに複数の機能をマッピングできるため、STATUS レジスタを使用して、割込みをトリガした条件を判定することができます。

割込みをクリアするには、次のいずれかの方法を使用します。

- STATUS レジスタ (アドレス: 0x0B) を読み出すと、アクティブ/インアクティブ割込みがクリアされます。
- データ・レジスタからの読出し。アドレス 0x08 ~ 0x0A またはアドレス 0x0E ~ 0x15 は、データ・レディ割込みをクリアします。
- FIFO バッファから十分なデータを読み出して、割込み条件がもはや満たされないようになると、FIFO レディ、FIFO ウォーターマーク、FIFO オーバーランの各割込みがクリアされます。

2本の割込みピンは、プッシュプル/オープンドレインの低インピーダンス・ピンであり、約 500 Ω (typ) の出力インピーダンスと、表 21 に示すデジタル出力仕様を備えています。両方のピンにはバス・キーパーが備わっており、それらが高インピーダンス・モードのときに有効なロジック状態に保持します。

設定中に割込みが誤ってトリガされるのを防ぐため、閾値、タイミング、その他の値の設定中には、割込みを無効にしてください。

表 21. 割込みピンのデジタル出力

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Output				
Low Level Output Voltage (V _{OL})	I _{OL} = 500 μA		0.2 × V _{DD1/O}	V
High Level Output Voltage (V _{OH})	I _{OH} = -300 μA	0.8 × V _{DD1/O}		V
Low Level Output Current (I _{OL})	V _{OL} = V _{OL, max}	500		μA
High Level Output Current (I _{OH})	V _{OH} = V _{OH, min}		-300	μA

¹ 設計に基づく仕様であり、出荷テストは行っていません。

割込みピンの代替機能

INT1 ピンと INT2 ピンは、割込みを通知する代わりに、入力ピンとしても設定できます。POWER_CTL レジスタ（アドレス: 0x2D）の EXT_CLK ビット（ビット 6）がセットされると、INT1 は外部クロック入力として使用されます。FILTER_CTL レジスタ（アドレス: 0x2C）の EXT_SAMPLE ビット（ビット 3）がセットされると、INT2 は同期サンプリング用のトリガ入力として使用されます。これらの代替機能の一方または両方は、同時に使用できます。しかし、割込みピンがその代替機能に使用された場合、割込みの通知という、その主要機能に同時に使用することはできません。

E 外部クロッキングとデータ同期については、「アプリケーション情報」のセクションを参照してください。

アクティブ/インアクティブ割込み

STATUS レジスタの ACT ビット（ビット 4）と INACT ビット（ビット 5）は、それぞれ、アクティブとインアクティブが検出されたときにセットされます。検出の手順と基準については、「モーション検出」セクションを参照してください。

データ・レディ割込み

DATA_READY ビット（ビット 0）は、新しい有効なデータが使用可能になるとセットされ、新しいデータが使用できなくなるとクリアされます。

いずれかのデータ・レジスタ（アドレス: 0x08 ~ 0x0A および 0x0E ~ 0x15）の読み出し中には、DATA_READY ビットはセットされません。レジスタ読み出しより前に DATA_READY = 0 であり、レジスタ読み出し中に新しいデータが使用可能になった場合、DATA_READY は、読み出しが完了するまで 0 のままで、完了したときにのみ 1 に設定されます。

レジスタ読み出しより前に DATA_READY = 1 である場合、これはレジスタ読み出しの開始時にクリアされます。

レジスタ読み出しより前に DATA_READY = 1 であり、レジスタ読み出し中に新しいデータが使用可能になった場合、DATA_READY は、レジスタ読み出しの開始時に 0 にクリアされ、読み出し中は 0 のままです。読み出しが完了すると、DATA_READY は 1 に設定されます。

FIFO 割込みの使い方

FIFO ウォーターマーク

FIFO に保存されたサンプルの数が、FIFO_CONTROL レジスタの AH ビット（ビット 3、アドレス: 0x28）と FIFO_SAMPLES レジスタ（アドレス: 0x29）で指定された値以上になると、FIFO_WATERMARK ビット（ビット 2）がセットされます。FIFO から十分なサンプルが読み出され、残りのサンプル数が指定された値を下回るとき、FIFO_WATERMARK ビットは自動的にクリアされます。

FIFO サンプルの数が 0 に設定された場合、FIFO ウォーターマーク割込みが設定されます。この割込みが不意にトリガされるのを避けるため、FIFO_SAMPLES レジスタのデフォルト値は 0x80 です。

FIFO レディ

FIFO 出力バッファ内に有効なサンプルが 1 個以上あるとき、FIFO_READY ビット（ビット 1）がセットされます。FIFO 内に有効なデータがないとき、このビットはクリアされます。

オーバーラン

FIFO がオーバーランまたはオーバーフローして、新しいデータが未読データに取って代わったとき、FIFO_OVERRUN ビット（ビット 3）がセットされます。これは、FIFO が満杯の状態からまだ空になっていないこと、または遅い SPI トランザクションによってクロック誤差が生じたことを示す場合があります。FIFO がオールダスト・セーブ・モードに設定された場合、オーバーラン・イベントは、新しいサンプルに使用できるスペースが不足していることを示します。

FIFO の内容が読み出されると、FIFO_OVERRUN ビットは自動的にクリアされます。同様に、FIFO が無効にされると、FIFO_OVERRUN ビットはクリアされます。

同期データ・サンプリングの使い方

ADXL362 は、正確に時間調整された加速度測定を必要とするアプリケーション用に、加速度サンプリングを外部トリガに同期させるオプションを備えています。FILTER_CTL レジスタ（アドレス: 0x2C）の EXT_SAMPLE ビット（ビット 3）によって、この機能が有効にされます。EXT_SAMPLE ビットが 1 に設定されると、INT2 ピンは、同期トリガ入力として使用されるよう、自動的に再設定されます。

外部トリガが有効なとき、システム設計者はサンプリング周波数がシステム条件を満たすかどうかを確認しなければなりません。サンプリング頻度が低すぎると、エイリアシングを引き起こします。ノイズは、オーバーサンプリングによって低減できます。しかし、サンプリング周波数が高すぎると、加速度センサーが加速度データを処理し、有効なデジタル出力に変換するための時間が足りなくなる場合もあります。

ナイキスト基準が満たされると、シグナル・インテグリティが維持されます。ADXL362 にはアンチエイリアス・フィルタが内蔵されており、シグナル・インテグリティを確保するために活用できます。エイリアシングを防ぐため、フィルタ帯域幅は、サンプリング・レートの 1/2 以下の周波数に設定します。例えば、100 Hz でサンプリングするとき、フィルタ極は 50 Hz 以下に設定します。フィルタ極は、FILTER_CTL レジスタ（アドレス: 0x2C）の ODR ビットによって設定されます。フィルタ帯域幅は、ODR の 1/2 に設定され、これらのビットによって設定されます。たとえ（データ・レートが外部トリガによって設定されているため）ODR が無視されても、フィルタは依然として指定された帯域幅で適用されます。

内部的なタイミング条件のため、INT2 ピンに加えられるトリガ信号は、以下の基準を満たす必要があります。

- トリガ信号はアクティブ・ハイです。
- トリガ信号のパルス幅は、25 μ s 以上であることが必要です。
- トリガは、再アサートの前に、25 μ s 以上にわたってアサート解除される必要があります。
- サポートされる最大サンプリング周波数は、625 Hz (typ) です。
- 最小サンプリング周波数は、システム条件によってのみ設定されます。サンプルを最小レートでポーリングする必要はありません。しかし、アンチエイリアス・フィルタによって設定された帯域幅よりも低いレートでサンプルがポーリングされた場合、エイリアシングが発生することがあります。

外部クロックの使い方

ADXL362 に内蔵されているクロックは、デフォルトで、クロック駆動される内部動作に使用されます。必要であれば、外部クロックを提供して使用することができます。

外部クロックを使用するには、POWER_CTL レジスタ（アドレス: 0x2D）の EXT_CLK ビット（ビット 6）をセットする必要があります。このビットをセットすると、INT1 ピンは、クロックを供給できる入力ピンに再設定されます。外部クロックは、51.2 kHz 以下で動作する必要があります。詳細は「外部クロック」セクションを参照してください。

セルフ・テストの使い方

「セルフ・テスト」のセクションで説明したセルフ・テスト機能は、SELF_TEST レジスタ（アドレス: 0x2E）の ST ビットによって有効にされます。セルフ・テスト機能を使用するには、以下の手順を推奨します。

1. x、y、z 軸の加速度データを読み出します。
2. SELF_TEST レジスタ（アドレス: 0x2E）の ST ビットをセットすることによって、セルフ・テストをアサートします。
3. 出力がその新しい値にセトリングするまで、4/ODR だけ待機します。
4. x、y、z 軸の加速度データを読み出します。
5. ステップ 1 で得られた値と比較し、感度を乗算することによって、その差を LSB から mg に変換します。観察された差が表 1 に示すセルフ・テストの出力変化仕様に収まる場合、デバイスはセルフ・テストに合格し、使用可能であると考えられます。
6. SELF_TEST レジスタ（アドレス: 0x2E）の ST ビットをクリアしてセルフ・テストをアサート解除します。

表 1 に示すセルフ・テストの出力変化仕様は、 $V_s = 2.0\text{ V}$ の場合および「仕様」セクションに記載されたテスト条件の場合のみ与えられます。セルフ・テストの応答（単位: g）は、電源電圧の二乗にほぼ比例します。なお、高い電圧では、セルフ・テストとの差分が 1 g を上回ることがあります。1 本の軸が重力による 1 g を受けている状態で測定が行われ、加速度センサーが $\pm 2\text{ g}$ の測定範囲に設定されている場合、重力場に合わせた軸は 2 g に到達することがあり、その出力はクリップ（そのフルスケール値に飽和）します。これを緩和するため、セルフ・テストは、y 軸を重力に合わせるか（y 軸のセルフ・テスト出力変化は負）、加速度センサーを $\pm 4\text{ g}$ または $\pm 8\text{ g}$ の測定範囲に設定した状態で測定することができます。さらに、セルフ・テストの変化は、動作モード（通常モード、低ノイズ・モード、超低ノイズ・モード）、測定範囲（ $\pm 2\text{ g}$ 、 $\pm 4\text{ g}$ 、 $\pm 8\text{ g}$ ）、帯域幅の設定（ODR および HALF_BW の設定）によって異なります。このようなばらつきに対応するため、表 22 に示す制限値を使って、あらゆる ADXL362 デバイスのセルフ・テスト機能が正しく動作しているかどうかをチェックすることができます。通常動作、さまざまな電源条件でセルフ・テストをチェックする際の推奨条件は、 $\pm 8\text{ g}$ の測定範囲、100 Hz の ODR、およびクリアした HALF_BW ビット（FILTER_CTL レジスタのビット 4）を使用することが、さまざまな電源条件でセルフ・テストをチェックする際の推奨条件です。また、4 ~ 16 個のサンプルの平均をとってセルフ・テストがオンのときとセルフ・テストがオフのときの加速度を求めて、ノイズの影響を軽減することも推奨します。

表 22. 様々な電源電圧（1.6 V ~ 3.5 V）など様々な条件でのセルフ・テストの制限値

Axis	Minimum	Maximum	Unit
X	0.2	2.8	g
Y	-2.8	-0.2	g
Z	0.2	2.8	g

2.0 V 以外の電圧での動作

ADXL362 は、 $V_s = 2.0\text{ V}$ の電源電圧でテストおよび仕様規定されていますが、公称 3.3 V（最大 3.5 V）または公称 1.8 V（最小 1.6 V）という広範囲の V_s でも駆動できます。電源電圧が変化すると、電源電流（図 30 を参照）、ノイズ（表 7 と表 8 を参照）、オフセット、感度、セルフ・テストの出力変化（表 22 を参照）など、いくつかの性能パラメータが変化します。

電源電圧の変動の 0g オフセットへの潜在的影響を図 48 に示します。この図のデータは、2.0 V で 0 mg オフセットを示すように校正しています。

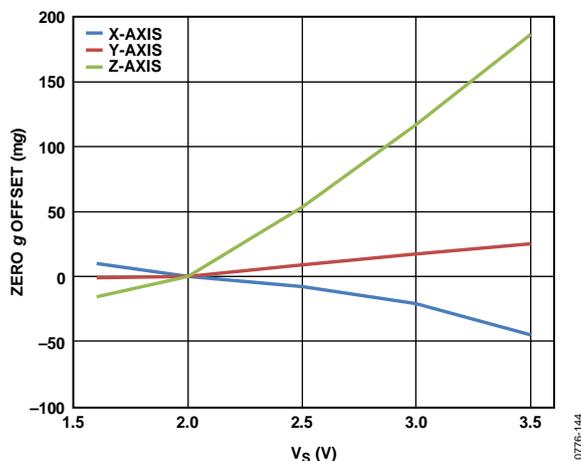


図 48. 電源電圧対 0g オフセット

取付けに関する機構上の留意点

ADXL362 は、プリント回路基板（PCB）の支持点近くで PCB に取り付けることを推奨します。ADXL362 をプリント回路基板上のしっかりと固定されていない位置に取り付けると（図 49 を参照）、基板の振動が減衰されず、顕著な測定誤差が生じる場合があります。加速度センサーを基板支持点の近くに配置すれば、加速度センサー位置での基板振動が加速度センサーのメカニカル・センサー共振周波数を上回るため、加速度センサーによって検知される可能性が事実上はなくなります。センサーの近くに複数の支持点を設けたり、プリント基板を厚くしたりすることも、システム共振のセンサー性能に対する影響の低減に効果的です。

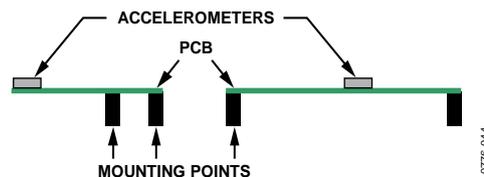


図 49. 加速度センサーの不適切な配置

加速度検出軸

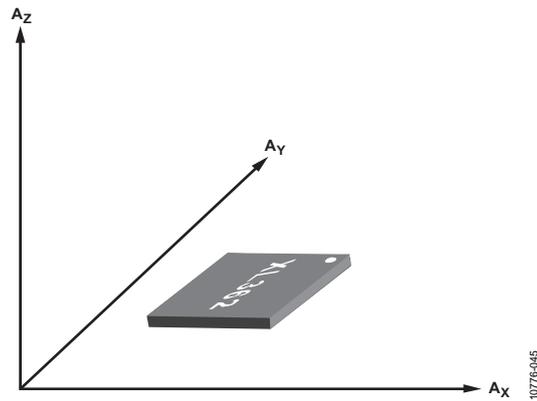


図 50. 加速度検出軸（検出軸で加速が生じると、対応する軸の出力が増加）

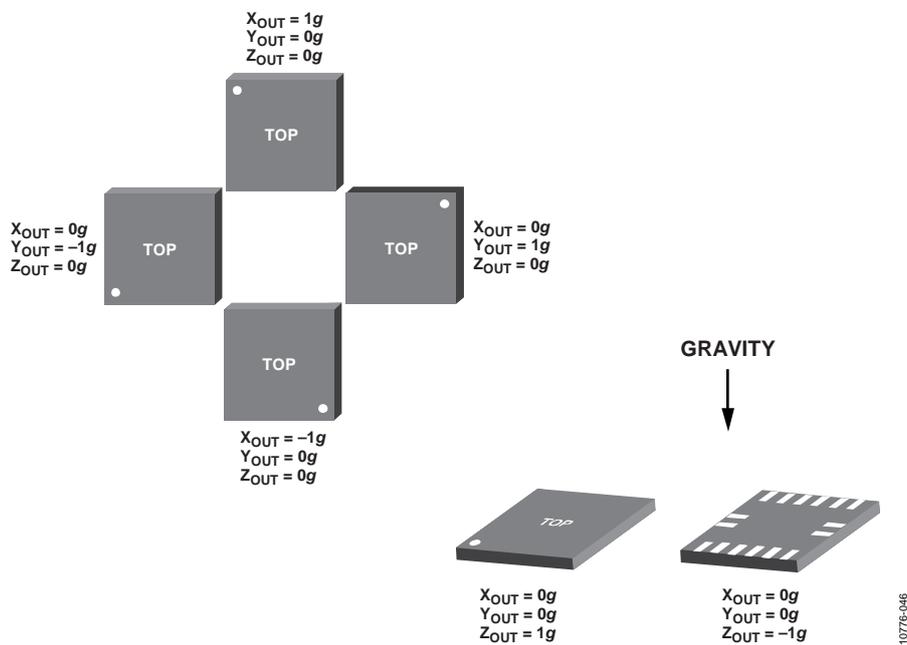


図 51. 重力方向と出力応答の関係

レイアウトと設計の推奨事項

図 52 は、推奨するプリント回路基板のランド・パターンを示します。

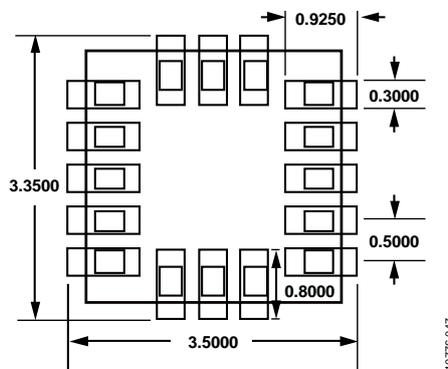


図 52. 推奨するプリント回路基板のランド・パターン
(寸法単位: mm)

外形寸法

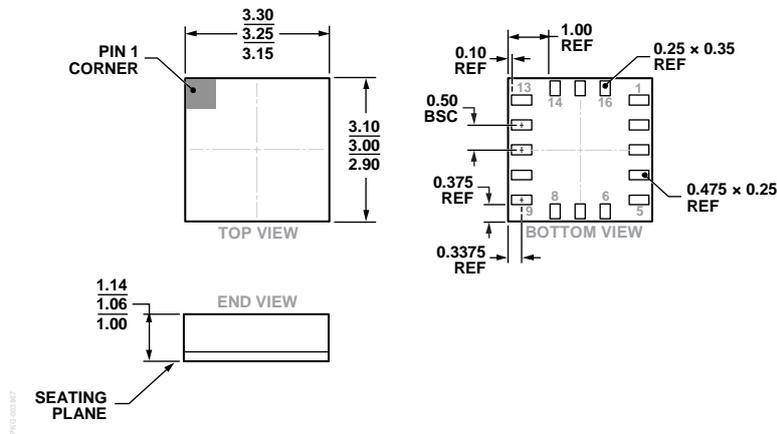


図 53. 16 端子のランド・グリッド・アレイ [LGA]
(CC-16-4)
寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Quantity
ADXL362BCCZ-RL	-40°C to +85°C	16-Terminal Land Grid Array [LGA]	CC-16-4	5,000
ADXL362BCCZ-RL7	-40°C to +85°C	16-Terminal Land Grid Array [LGA]	CC-16-4	1,500
ADXL362BCCZ-R2	-40°C to +85°C	16-Terminal Land Grid Array [LGA]	CC-16-4	250
EVAL-ADXL362Z	-40°C to +85°C	Breakout Board		
EVAL-ADXL362Z-DB	-40°C to +85°C	Datalogger and Development Board		
EVAL-ADXL362Z-MLP	-40°C to +85°C	Low Power Real-Time Evaluation System		
EVAL-ADXL362Z-S	-40°C to +85°C	Satellite Board for Evaluation System		

¹ Z = RoHS 準拠製品。