



低ノイズ、低ドリフト、低消費電力 3軸 MEMS 加速度センサー

データシート

ADXL356/ADXL357

SS 特長

ハーメチック・パッケージによる長期にわたる優れた安定性

0 g オフセットの温度特性 (全軸) : 0.75 mg/°C (最大)

超低ノイズ密度 (全軸) : 80 $\mu\text{g}/\sqrt{\text{Hz}}$

低消費電力、 V_{SUPPLY} (LDO イネーブル)

ADXL356 測定モード: 150 μA

ADXL357 測定モード: 200 μA

ADXL356/ADXL357 スタンバイ・モード: 21 μA

ADXL356 では、アナログ出力帯域幅を調整可能

ADXL357 のデジタル出力機能

デジタル・シリアル周辺機器インターフェース (SPI) /
機能限定 I²C インターフェースをサポート

20 ビット、A/D コンバータ (ADC)

同期サンプリングのデータ・インターポレーション・ルーチン

プログラマブル・ハイパス/ローパス・デジタル・フィルタ

温度センサー内蔵

電圧範囲のオプション

内部レギュレータ付き V_{SUPPLY} : 2.25 V ~ 3.6 V

内部低ドロップアウト (LDO) レギュレータをバイパスした

V_{1P8ANA} 、 V_{1P8DIG} : 1.8 V (代表値) $\pm 10\%$

動作温度範囲: -40 °C ~ +125 °C

14 端子、6 mm x 5.6 mm x 2.05 mm、LCC パッケージ、
0.26 g

アプリケーション

慣性計測ユニット (IMU) / 姿勢方位基準装置 (AHRS)

プラットフォーム安定化装置

社会インフラの構造物モニタリング

地震画像処理

傾斜検知

ロボット

状態監視

概要

アナログ出力の ADXL356 とデジタル出力の ADXL357 は、低ノイズ密度、低 0 g オフセット・ドリフト、低消費電力の 3 軸 MEMS 加速度センサーで、測定範囲選択可能です。ADXL356B は範囲 $\pm 10\text{ g}$ と範囲 $\pm 20\text{ g}$ をサポートし、ADXL356C は範囲 $\pm 10\text{ g}$ と範囲 $\pm 40\text{ g}$ を、ADXL357 は $\pm 10.24\text{ g}$ 、 $\pm 20.48\text{ g}$ 、 $\pm 40.96\text{ g}$ の範囲をサポートします。

ADXL356/ADXL357 は業界最先端のノイズ、全温度範囲にわたる最小オフセット・ドリフト、長時間安定性を提供し、最小の

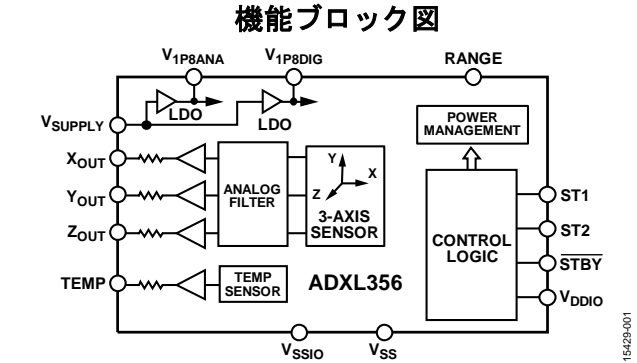


図 1. ADXL356

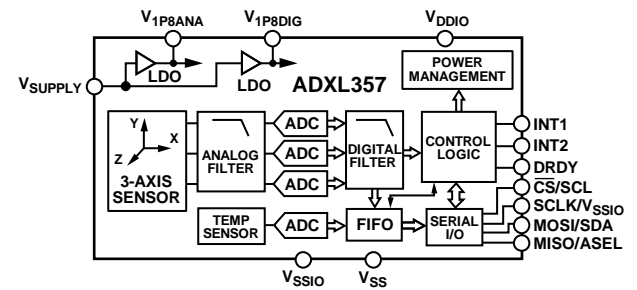


図 2. ADXL357

キャリブレーションで高精度なアプリケーションを可能にします。

低ドリフト、低ノイズ、低消費電力の ADXL357 は、飛行中の IMU のような高い振動のある環境で高精度な傾斜計測が可能です。ADXL356 はより高い周波数まで低ノイズなので、無線による状態監視に最適です。

ADXL357 の多機能ピンの名称は、SPI または限定 I²C インターフェースの該当する機能のみで表されることがあります。

¹ 米国特許 8,472,270; 9,041,462; 8,665,627; 8,917,099; 6,892,576; 9,297,825; 7,956,621 により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	FIFO_FULL	29
アプリケーション	1	FIFO_OVR	29
機能ブロック図	1	アクティビティ	29
概要	1	外部同期とインターポレーション	29
改訂履歴	2	ADXL357 のレジスタ・マップ	32
仕様	3	レジスタの定義	33
ADXL356 のアナログ出力	3	アナログ・デバイセズ ID レジスタ	33
ADXL357 のデジタル出力	4	アナログ・デバイセズ MEMS ID レジスタ	33
ADXL357 の SPI デジタル・インターフェース特性	6	デバイス ID レジスタ	33
ADXL357 の I ² C デジタル・インターフェース特性	7	製品リビジョン ID レジスタ	33
絶対最大定格	8	ステータス・レジスタ	33
熱抵抗	8	FIFO エントリ・レジスタ	34
推奨のハンダ付けプロファイル	8	温度データ・レジスタ	34
ESD に関する注意	8	X 軸データ・レジスタ	34
ピン配置およびピン機能の説明	9	Y 軸データ・レジスタ	35
代表的な性能特性	11	Z 軸データ・レジスタ	35
アラン偏差 (RAV) ADXL357 特性	19	FIFO アクセス・レジスタ	36
動作原理	20	X 軸のオフセット・トリム・レジスタ	36
アプリケーション情報	21	Y 軸オフセット・トリム・レジスタ	36
アナログ出力	21	Z 軸オフセット・トリム・レジスタ	37
デジタル出力	21	アクティビティ・イネーブル・レジスタ	37
加速度検出軸	22	アクティビティ閾値レジスタ	37
電源シーケンス	22	アクティビティ・カウント・レジスタ	37
電源の説明	22	フィルタ設定レジスタ	38
オーバーレンジ保護	22	FIFO サンプル・レジスタ	38
セルフ・テスト	22	割り込みピン (INTx) の機能マップレジスタ	38
Filter	23	データ同期	39
シリアル通信	25	I ² C 速度、割り込み極性、範囲レジスタ	39
SPI プロトコル	25	パワー・コントロール・レジスタ	39
I ² C プロトコル	26	セルフ・テスト・レジスタ	40
インターフェースからの加速度または温度の読出し	26	リセット・レジスタ	40
FIFO	28	PCB フットプリント・パターン	41
割込み	29	外形寸法	42
DATA_RDY	29	オーダー・ガイド	42
DRDY ピン	29		

改訂履歴

2/2017—Revision 0: Initial Version

仕様

ADXL356 のアナログ出力

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{SUPPLY}} = 3.3\text{ V}$ 、x 軸加速度および y 軸加速度 = 0 g、z 軸加速度 = 1 g、フルスケール・レンジ = $\pm 10\text{ g}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SENSOR INPUT					
Output Full-Scale Range (FSR)	Each axis ADXL356B, supports two ranges ADXL356C, supports two ranges		$\pm 10/\pm 20$ $\pm 10/\pm 40$		g g
Resonant Frequency ¹			5.5		kHz
Nonlinearity	$\pm 10\text{ g}$		0.1		%
Cross Axis Sensitivity			1		%
SENSITIVITY					
Sensitivity at X_{OUT} , Y_{OUT} , Z_{OUT}	Ratiometric to V_{IP8ANA} $\pm 10\text{ g}$ $\pm 20\text{ g}$ $\pm 40\text{ g}$	73.6 36.8 18.4	80 40 20	86.4 43.2 21.6	mV/g mV/g mV/g
Sensitivity Change due to Temperature	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$		± 0.01		%/ $^\circ\text{C}$
0 g OFFSET					
0 g Output for X_{OUT} , Y_{OUT} , Z_{OUT}	Each axis, $\pm 10\text{ g}$ Referred to $V_{\text{IP8ANA}}/2$	-375	± 125	+375	mg
0 g Offset vs. Temperature (X-Axis, Y-Axis, and Z-Axis) ²	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-0.75	± 0.5	+0.75	mg/ $^\circ\text{C}$
Vibration Rectification Error (VRE) ³	Offset due to 7.5 g rms vibration, $\pm 10\text{ g}$ range, in a 1 g orientation		<0.1		g
NOISE DENSITY					
X-Axis, Y-Axis, and Z-Axis	$\pm 10\text{ g}$		80		$\mu\text{g}/\sqrt{\text{Hz}}$
Velocity Random Walk	X-axis and y-axis Z-axis		45 65		$\mu\text{m}/\text{sec}/\sqrt{\text{Hr}}$ $\mu\text{m}/\text{sec}/\sqrt{\text{Hr}}$
BANDWIDTH					
Internal Low-Pass Filter Frequency	Fixed frequency, 50% response attenuation		1500		Hz
SELF TEST					
Output Change Z-Axis	$\pm 10\text{ g}$ range		1.25		g
POWER SUPPLY					
Voltage Range					
V_{SUPPLY}^4		2.25	2.5	3.6	V
V_{DDIO}		V_{IP8DIG}	2.5	3.6	V
V_{IP8ANA} , V_{IP8DIG} with Internal Low Dropout Regulator (LDO) Bypassed	$V_{\text{SUPPLY}} = 0\text{ V}$	1.62	1.8	1.98	V
Current					
Measurement Mode					
V_{SUPPLY} (LDO Enabled)			150		μA
V_{IP8ANA} (LDO Disabled)			138		μA
V_{IP8DIG} (LDO Disabled)			12		μA
Standby Mode					
V_{SUPPLY} (LDO Enabled)			21		μA
V_{IP8ANA} (LDO Disabled)			7		μA
V_{IP8DIG} (LDO Disabled)			10		μA
Turn On Time ⁵	10 g range Power-off to standby		<10 <10		ms ms
OUTPUT AMPLIFIER					
Swing	No load	0.03		$V_{\text{IP8ANA}} - 0.03$	V
Output Series Resistance			32		k Ω

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
TEMPERATURE SENSOR Output at 25°C Scale Factor			892.2 3.0		mV mV/°C
TEMPERATURE Operating Temperature Range		-40		+125	°C

¹ 共振周波数は、センサーの特性です。バイパス不能な内蔵アナログ 1.5 kHz (-6 dB) の sinc ローパス・フィルタが実際の出力応答を制限します。

² 温度変化は -40 °C ~ +25 °C または +25 °C ~ +125 °C です。

³ VRE 測定は DC オフセットのシフトで、デバイスは 50 Hz ~ 2 kHz のランダムな振動 12.5 g rms の影響を受けます。テスト対象デバイス (DUT) では、±10 g の範囲と 4 kHz の出力データ・レートが設定されています。レンジ設定と VRE スケール

⁴ V_{IP8ANA} と V_{IP8DIG} が内部で発生する場合、V_{SUPPLY} が有効です。LDO を無効にして V_{IP8ANA} と V_{IP8DIG} を外部から駆動するには、V_{SUPPLY} を V_{SS} に接続します。

⁵ 出力の最終値が 5 mg 以内の場合、測定スタンバイ・モードになります。

ADXL357 のデジタル出力

特に指定のない限り、T_A = 25 °C、V_{SUPPLY} = 3.3 V、X 軸加速度および Y 軸加速度 = 0 g、Z 軸加速度 = 1 g、フルスケール・レンジ = ±10.24 g、出力データ・レート (ODR) = 500 Hz。多機能ピンの名称は、該当する機能のみで表されることがあります。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SENSOR INPUT Output Full Scale Range (FSR)	Each axis User selectable		±10.24 ±20.48 ±40.96		g g g
Nonlinearity	±10 g		0.1		% FSR
Cross Axis Sensitivity			1		%
SENSITIVITY X-Axis, Y-Axis, and Z-Axis Sensitivity	Each axis ±10 g ±20 g ±40 g	47,104 23,552 11,776	51,200 25,600 12,800	55,296 27,648 13,824	LSB/g LSB/g LSB/g
X-Axis, Y-Axis, and Z-Axis Scale Factor	±10 g ±20 g ±40 g		19.5 39 78		μg/LSB μg/LSB μg/LSB
Sensitivity Change due to Temperature	T _A = -40°C to +125°C		±0.01		%/°C
0 g OFFSET X-Axis, Y-Axis, and Z-Axis 0 g Output	Each axis, ±10 g	-375	±125	+375	mg
0 g Offset vs. Temperature (X-Axis, Y-Axis, and Z-Axis) ¹	T _A = -40°C to +125°C	-0.75	±0.50	+0.75	mg/°C
Vibration Rectification Error (VRE) ²	Offset due to 7.5 g rms vibration, ±10 g range, in a 1 g orientation		<0.1		g
NOISE DENSITY X-Axis, Y-Axis, and Z-Axis Velocity Random Walk	±10 g X-axis and y-axis Z-axis		80 45 65		μg/√Hz μm/sec/√Hr μm/sec/√Hr
OUTPUT DATA RATE AND BANDWIDTH ADC Resolution Low-Pass Filter Passband Frequency High-Pass Filter Passband Frequency When Enabled (Disabled by Default)	User programmable, Register 0x28 User programmable, Register 0x28 for 4 kHz ODR	1 0.0095	20	1000 10	bits Hz Hz
SELF TEST Output Change Z-Axis	±10 g range		1.25		g

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY					
Voltage Range					
V_{SUPPLY} Operating ³	$V_{\text{SUPPLY}} = 0 \text{ V}$	2.25	2.5	3.6	V
V_{DDIO}		V_{IP8DIG}	2.5	3.6	V
V_{IP8ANA} and V_{IP8DIG} with Internal LDO Bypassed		1.62	1.8	1.98	V
Current					
Measurement Mode					
V_{SUPPLY} (LDO Enabled)			200		μA
V_{IP8ANA} (LDO Disabled)			160		μA
V_{IP8DIG} (LDO Disabled)			35.5		μA
Standby Mode					
V_{SUPPLY} (LDO Enabled)			21		μA
V_{IP8ANA} (LDO Disabled)			7		μA
V_{IP8DIG} (LDO Disabled)			10		μA
Turn On Time ⁴	$\pm 10 \text{ g}$ range		<10		ms
	Power-off to standby		<10		ms
TEMPERATURE SENSOR					
Output at 25°C			1852		LSB
Scale Factor			-9.05		LSB/°C
TEMPERATURE					
Operating Temperature Range		-40		+125	°C

¹ 温度変化は -40 °C ~ +25 °C または +25 °C ~ +125 °C です。

² VRE 測定値は DC オフセットのシフトで、デバイスは 50 Hz ~ 2 kHz のランダムな振動 12.5 g rms の影響を受けます。DUT には、 $\pm 2 \text{ g}$ の範囲と 4 kHz の出力データ・レートが設定されています。レンジ設定と VRE スケール

³ V_{IP8ANA} と V_{IP8DIG} が内部で発生する場合、 V_{SUPPLY} は有効です。LDO を無効にして V_{IP8ANA} と V_{IP8DIG} を外部から駆動するには、 V_{SUPPLY} を V_{SS} に接続します。

⁴ 出力の最終値が 1 mg 以内の場合は、測定スタンバイ・モードになります。

ADXL357 の SPI デジタル・インターフェース特性

多機能ピンの名称は、該当する機能のみで表されることがあります。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DC INPUT LEVELS						
Input Voltage						
Low Level	V_{IL}				$0.3 \times V_{DDIO}$	V
High Level	V_{IH}		$0.7 \times V_{DDIO}$			V
Input Current						
Low Level	I_{IL}	$V_{IN} = 0\text{ V}$	-0.1			μA
High Level	I_{IH}	$V_{IN} = V_{DDIO}$			0.1	μA
DC OUTPUT LEVELS						
Output Voltage						
Low Level	V_{OL}	$I_{OL} = I_{OL, MIN}$			$0.2 \times V_{DDIO}$	V
High Level	V_{OH}	$I_{OH} = I_{OH, MAX}$	$0.8 \times V_{DDIO}$			V
Output Current						
Low Level	I_{OL}	$V_{OL} = V_{OL, MAX}$	-10			mA
High Level	I_{OH}	$V_{OH} = V_{OH, MIN}$			4	mA
AC INPUT LEVELS						
SCLK Frequency			0.1		10	MHz
SCLK High Time	t_{HIGH}		40			ns
SCLK Low Time	t_{LOW}		40			ns
CS Setup Time	t_{CSS}		20			ns
CS Hold Time	t_{CSH}		20			ns
CS Disable Time	t_{CSD}		40			ns
Rising SCLK Setup Time	t_{SCLKS}		20			ns
MOSI Setup Time	t_{SU}		20			ns
MOSI Hold Time	t_{HD}		20			ns
AC OUTPUT LEVELS						
Propagation Delay	t_P	$C_{LOAD} = 30\text{ pF}$			30	ns
Enable MISO Time	t_{EN}		30			ns
Disable MISO Time	t_{DIS}				20	ns

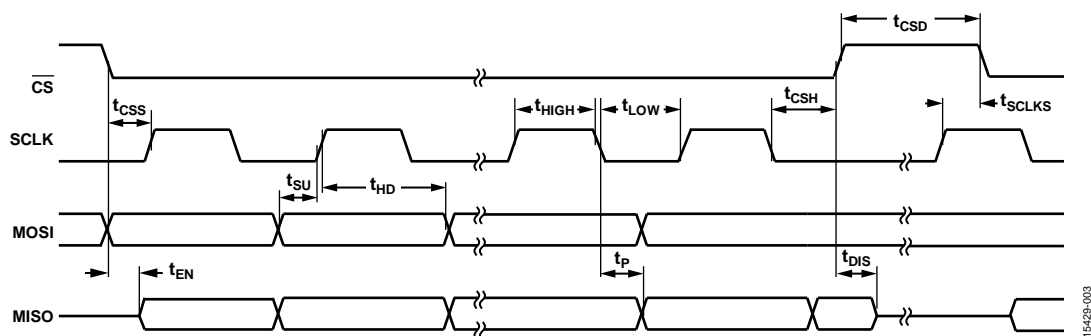


図 3. SPI インターフェースのタイミング図

15429-003

ADXL357 の I²C デジタル・インターフェース特性

多機能ピンの名称は、該当する機能のみで表されることがあります。

表 4.

Parameter	Symbol	Test Conditions/ Comments	I ² C_HS = 0 (Fast Mode)			I ² C_HS = 1 (High Speed Mode)			Unit
			Min	Typ	Max	Min	Typ	Max	
DC INPUT LEVELS									
Input Voltage									
Low Level	V _{IL}				0.3 × V _{DDIO}			0.3 × V _{DDIO}	V
High Level	V _{IH}		0.7 × V _{DDIO}			0.7 × V _{DDIO}			V
Hysteresis of Schmitt Triggered Inputs	V _{HYS}		0.05 × V _{DDIO}			0.1 × V _{DDIO}			μA
Input Current	I _{IL}	0.1 × V _{DDIO} < V _{IN} < 0.9 × V _{DDIO}	-10		+10				μA
DC OUTPUT LEVELS									
Output Voltage									
Low Level	V _{OL1}	I _{OL} = 3 mA V _{DDIO} > 2 V			0.4				V
	V _{OL2}	V _{DDIO} ≤ 2 V			0.2 × V _{DDIO}				V
Output Current									
Low Level	I _{OL}	V _{OL} = 0.4 V	20						mA
		V _{OL} = 0.6 V	6						mA
AC INPUT LEVELS									
SCL Frequency			0		1	0		3.4	MHz
SCL High Time	t _{HIGH}		260			60			ns
SCL Low Time	t _{LOW}		500			160			ns
Start Setup Time	t _{SUSTA}		260			160			ns
Start Hold Time	t _{HDSTA}		260			160			ns
SDA Setup Time	t _{SUDAT}		50			10			ns
SDA Hold Time	t _{HDDAT}		0			0			ns
Stop Setup Time	t _{SUSTO}		260			160			ns
Bus Free Time	t _{BUF}		500						ns
SCL Input Rise Time	t _{RCL}				120			80	ns
SCL Input Fall Time	t _{FCL}				120			80	ns
SDA Input Rise Time	t _{RDA}				120			160	ns
SDA Input Fall Time	t _{FDA}				120			160	ns
Width of Spikes to Suppress	t _{SP}	Not shown in Figure 4			50			10	ns
AC OUTPUT LEVELS									
Propagation Delay		C _{LOAD} = 500 pF							
Data	t _{VDDAT}		97		450	27		135	ns
Acknowledge	t _{VDAACK}				450				ns
Output Fall Time	t _F	Not shown in Figure 4	20 × (V _{DDIO} /5.5)		120				ns

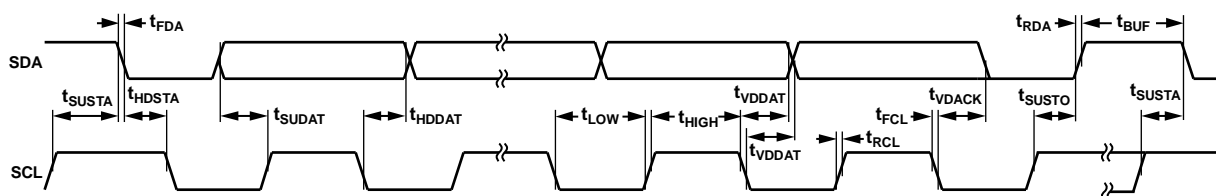


図 4. I²C インターフェースのタイミング図

15429-004

絶対最大定格

表 5.

Parameter	Rating
Acceleration (Any Axis, 0.1 ms)	5000 g
V _{SUPPLY} , V _{DDIO}	5.4 V
V _{IP8ANA} , V _{IP8DIG} Configured as Inputs	1.98 V
ADXL356	
Digital Inputs (RANGE, ST1, ST2, STBY)	-0.3 V to V _{DDIO} + 0.3 V
Analog Outputs (X _{OUT} , Y _{OUT} , Z _{OUT} , TEMP)	-0.3 V to V _{IP8ANA} + 0.3 V
ADXL357	
Digital Pins (CS/SCL, SCLK/V _{SSIO} , MOSI/SDA, MISO/ASEL, INT1, INT2, DRDY)	-0.3 V to V _{DDIO} + 0.3 V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-55°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流でのジャンクションから周囲への熱抵抗です。

表 6. 熱抵抗

Package Type	θ_{JA}	Unit
E-14-1 ¹	42	°C/W

¹ 熱抵抗のシミュレーション値は、4 つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

推奨のハンダ付けプロファイル

図 5 と表 7 に、推奨するハンダ付けプロファイルの詳細を示します。

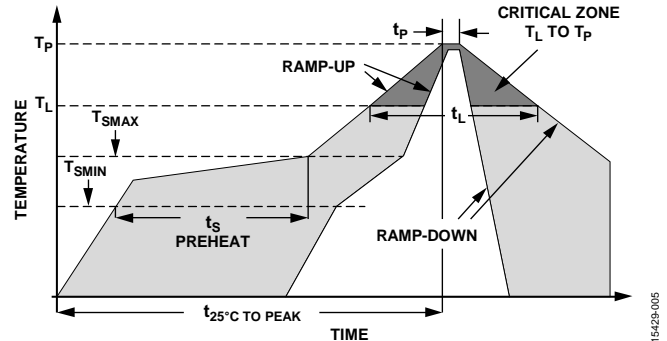


図 5. 推奨のハンダ付けプロファイル

表 7. 推奨のハンダ付けプロファイル

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate from Liquid Temperature (T _L) to Peak Temperature (T _P)	3°C/sec maximum	3°C/sec maximum
Preheat		
Minimum Temperature (T _{SMIN})	100°C	150°C
Maximum Temperature (T _{SMAX})	150°C	200°C
Time from T _{SMIN} to T _{SMAX} (t _s)	60 sec to 120 sec	60 sec to 180 sec
T _{SMAX} to T _L Ramp-Up Rate	3°C/sec maximum	3°C/sec maximum
Liquid Temperature (T _L)	183°C	217°C
Time Maintained Above T _L (t _L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T _P)	240°C + 0°C/-5°C	260°C + 0°C/-5°C
Time of Actual T _P - 5°C (t _p)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec maximum	6°C/sec maximum
Time from 25°C to Peak Temperature (t _{25°C TO PEAK})	6 minutes maximum	8 minutes maximum

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

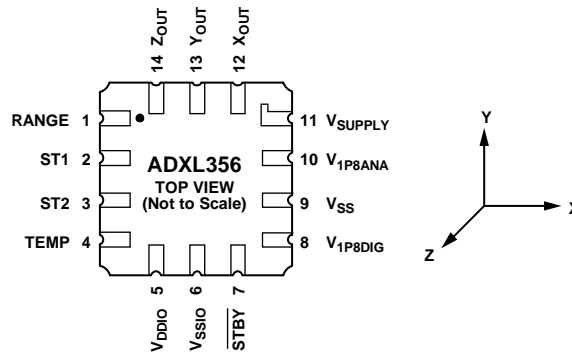


図 6. ADXL356 のピン配置

表 8. ADXL356 のピン機能の説明

Pin No.	Mnemonic	Description
1	RANGE	範囲選択ピン。このピンをグラウンドに設定して $\pm 10\text{ g}$ の範囲を選択するか、このピンを V_{DDIO} に設定して $\pm 20\text{ g}$ または $\pm 40\text{ g}$ の範囲を選択します。このピンは、モデルによって異なります（オーダー・ガイドのセクションを参照）。
2	ST1	セルフ・テスト・ピン 1。このピンを使用して、セルフ・テスト・モードを有効にします。
3	ST2	セルフ・テスト・ピン 2。このピンを使用して、電子機械式セルフ・テスト動作をアクティブにします。
4	TEMP	温度センサーの出力。
5	V_{DDIO}	デジタル・インターフェースの電源電圧。
6	V_{SSIO}	デジタル・グラウンド。
7	STBY	スタンバイ・モードまたは測定モードの選択ピン。このピンをグラウンドに設定すると、スタンバイ・モードになります。このピンを V_{DDIO} に設定すると、測定モードになります。
8	V_{1P8DIG}	デジタル電源。このピンには、デカップリング・コンデンサが必要です。 V_{SUPPLY} を V_{SS} に接続する場合、このピンに外部から電圧を供給します。
9	V_{SS}	アナログ・グラウンド。
10	V_{1P8ANA}	アナログ電源。このピンには、デカップリング・コンデンサが必要です。 V_{SUPPLY} を V_{SS} に接続する場合、このピンに外部から電圧を供給します。
11	V_{SUPPLY}	電源電圧。 V_{SUPPLY} が $2.25\text{ V} \sim 3.6\text{ V}$ の場合、 V_{SUPPLY} によって内部 LDO レギュレータが有効になり、 V_{1P8DIG} と V_{1P8ANA} が発生します。 $V_{SUPPLY} = V_{SS}$ の場合、 V_{1P8DIG} と V_{1P8ANA} は外部から供給されます。
12	XOUT	X 軸の出力。
13	YOUT	Y 軸の出力。
14	ZOUT	Z 軸の出力。

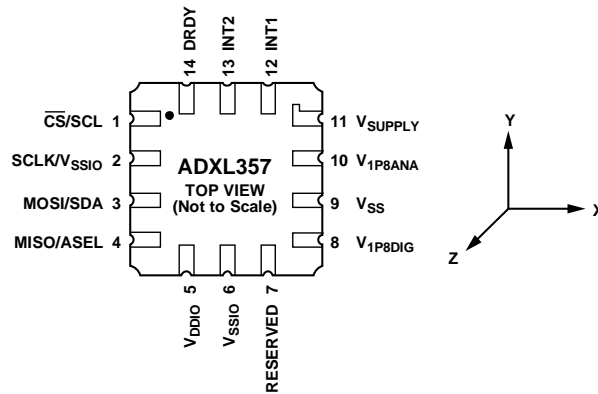


図 7. ADXL357 のピン配置 (SPI/I²C)

表 9. ADXL357 のピン機能の説明

Pin No.	Mnemonic	Description
1	CS/SCL	SPI (CS) のチップ選択 I ² C 用のシリアル通信クロック (SCL)。
2	SCLK/V _{SSIO}	SPI 用のシリアル通信クロック (SCLK)。 I ² C モードの有効化 (V _{SSIO})。このピンをピン 6 (V _{SSIO}) に接続すると、I ² C モードが有効になります。
3	MOSI/SDA	SPI 用のマスター出力/スレーブ入力 (MOSI)。 I ² C 用のシリアル・データ (SDA)。
4	MISO/ASEL	SPI インターフェイス用のマスター入力/スレーブ出力 (MISO)。 I ² C 用の代替 I ² C アドレス選択 (ASEL)。
5	V _{DDIO}	デジタル・インターフェースの電源電圧。
6	V _{SSIO}	デジタル・グラウンド。
7	RESERVED	予備。このピンはグラウンドに接続するか、オープンのままにできます。
8	V _{1P8DIG}	デジタル電源。このピンには、デカップリング・コンデンサが必要です。V _{SUPPLY} を V _{SS} に接続する場合、このピンに外部から電圧を供給します。
9	V _{SS}	アナログ・グラウンド。
10	V _{1P8ANA}	アナログ電源。このピンには、デカップリング・コンデンサが必要です。V _{SUPPLY} を V _{SS} に接続する場合、このピンに外部から電圧を供給します。
11	V _{SUPPLY}	電源電圧。V _{SUPPLY} が 2.25 V ~ 3.6 V の場合、V _{SUPPLY} によって内部 LDO が有効になり、V _{1P8DIG} と V _{1P8ANA} が発生します。V _{SUPPLY} = V _{SS} の場合、V _{1P8DIG} と V _{1P8ANA} は外部から供給されます。
12	INT1	割込みピン 1。
13	INT2	割込みピン 2。
14	DRDY	データ・レディ・ピン。

代表的な性能特性

いずれの図も、複数デバイス、複数ロットのデータが含まれています。特に指定のない限り、 $\pm 10g$ の範囲で測定されています。

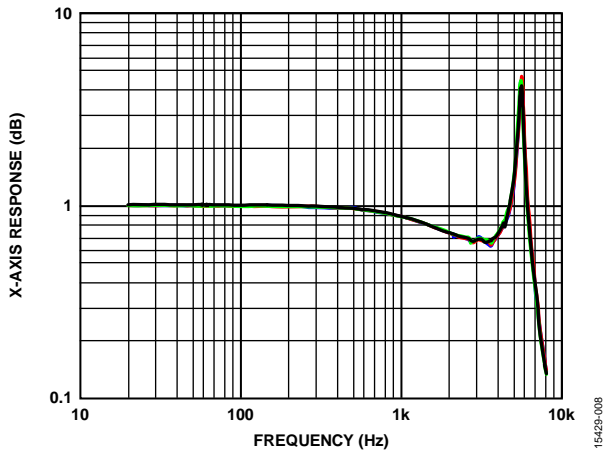


図 8. ADXL356 X 軸の周波数応答

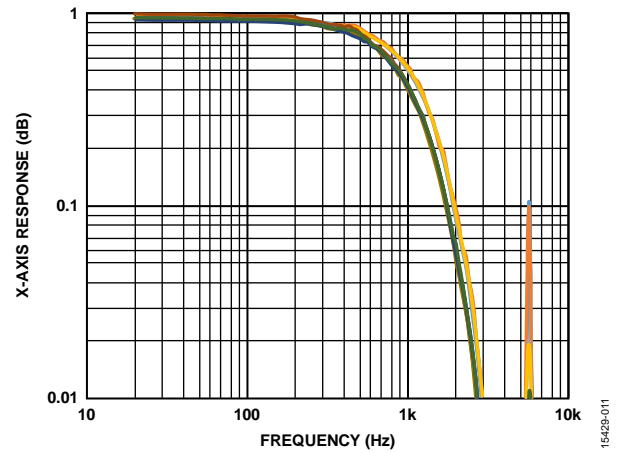


図 11. ADXL357 ODR 4 kHz での X 軸の正規化された周波数応答

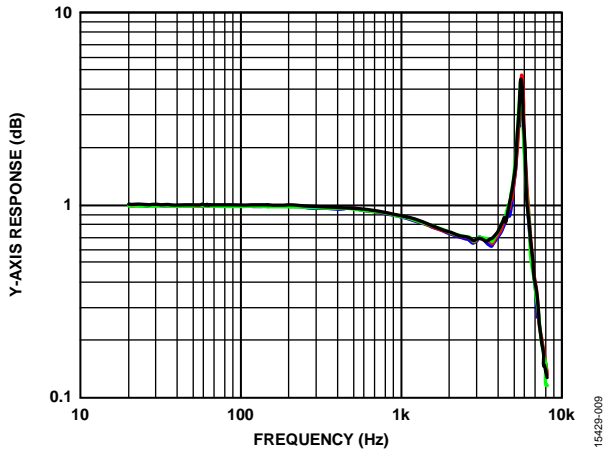


図 9. ADXL356 Y 軸の周波数応答

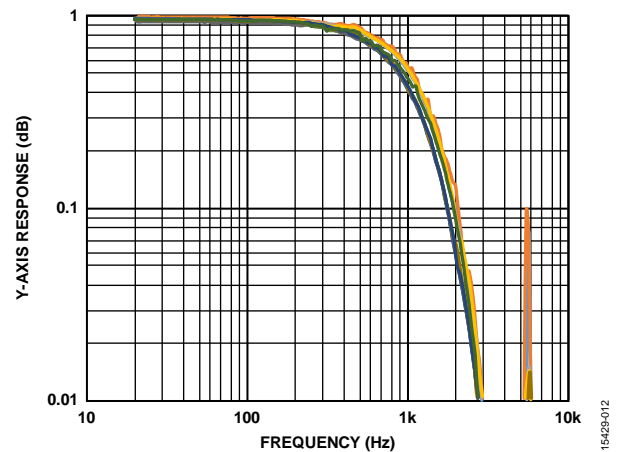


図 12. ADXL357 ODR 4 kHz での Y 軸の正規化された周波数応答

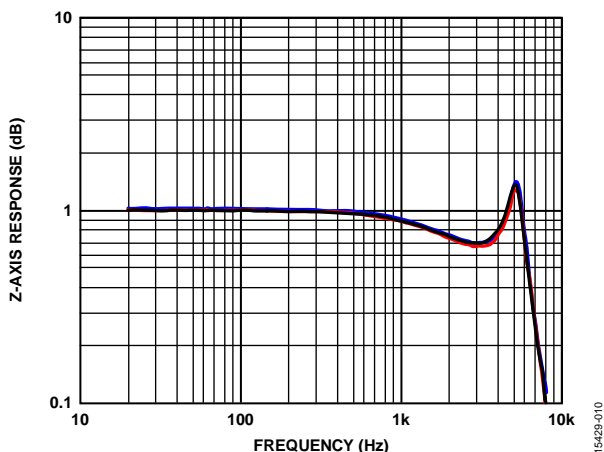


図 10. ADXL356 Z 軸の周波数応答

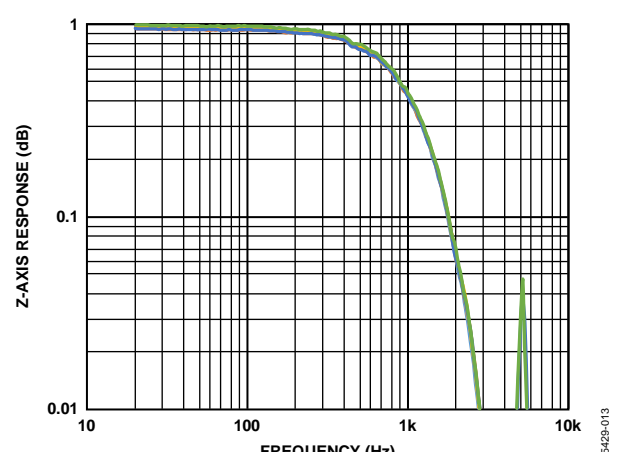


図 13. ADXL357 ODR 4 kHz での Z 軸の正規化された周波数応答

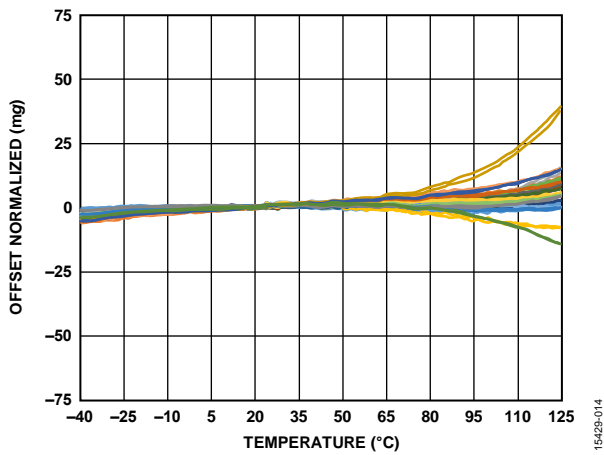


図 14. ADXL356 25 °C を基準として正規化された X 軸の 0 g オフセットの温度特性

15429-014

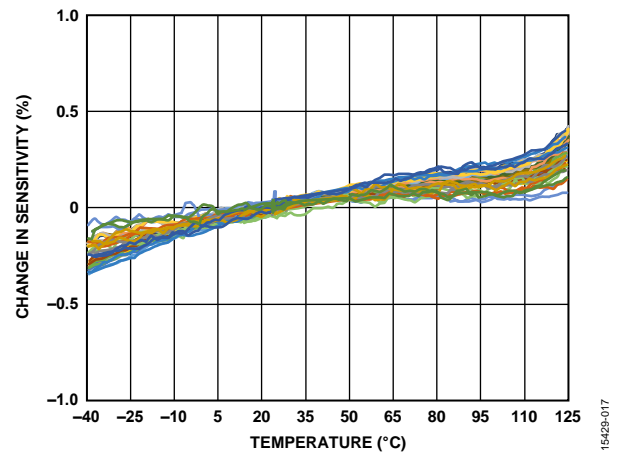


図 17. ADXL356 25 °C を基準とした X 軸感度の温度変化

15429-017

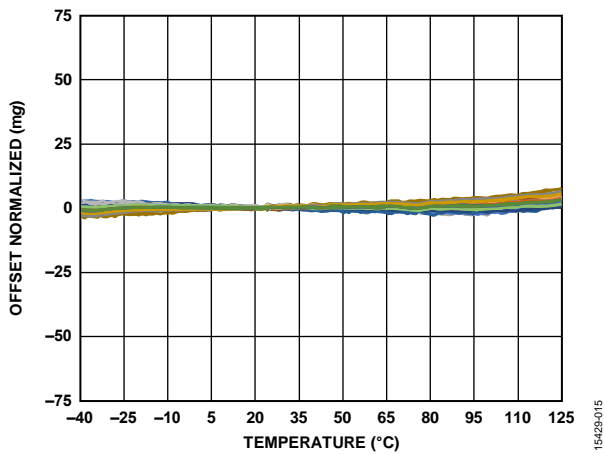


図 15. ADXL356 25 °C を基準として正規化された Y 軸の 0 g オフセットの温度特性

15429-015

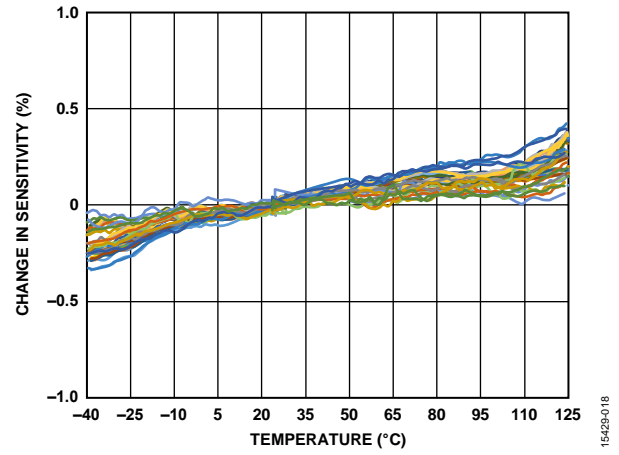


図 18. ADXL356 25 °C を基準とした Y 軸感度の温度変化

15429-018

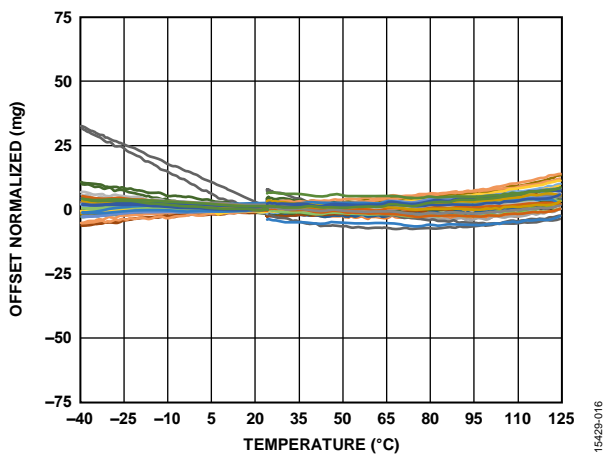


図 16. ADXL356 25 °C を基準として正規化された Z 軸の 0 g オフセットの温度特性

15429-016

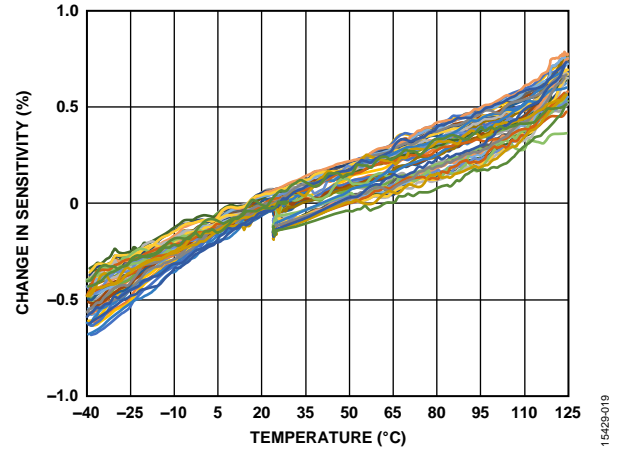
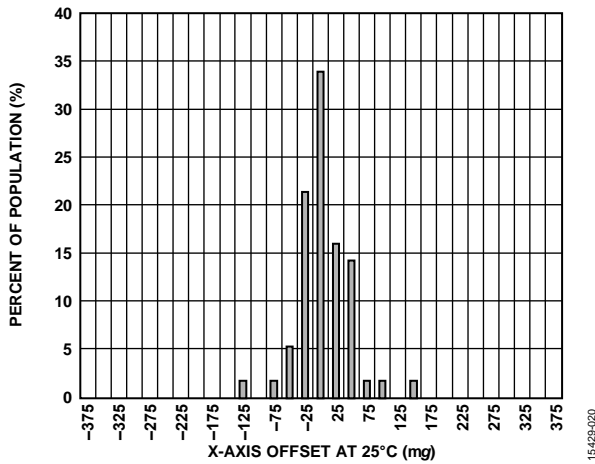


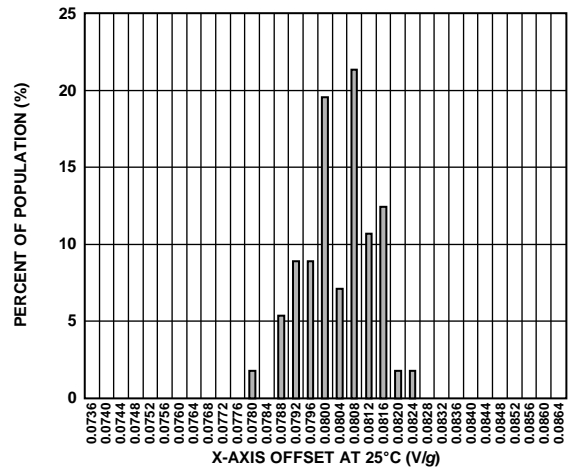
図 19. ADXL356 25 °C を基準とした Z 軸感度の温度変化

15429-019



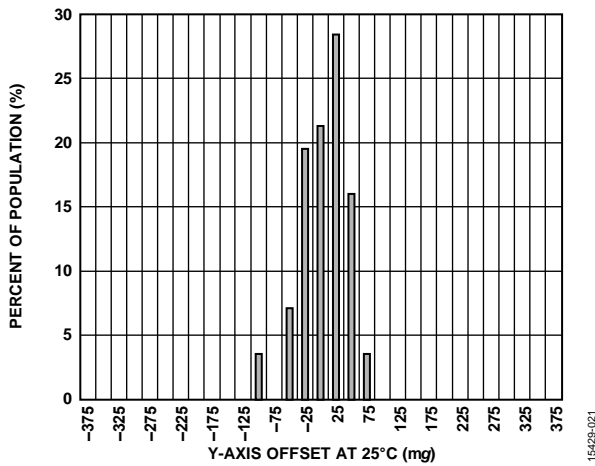
15429-020

図 20. ADXL356 25 °C での 0 g オフセット・ヒストグラム、X 軸



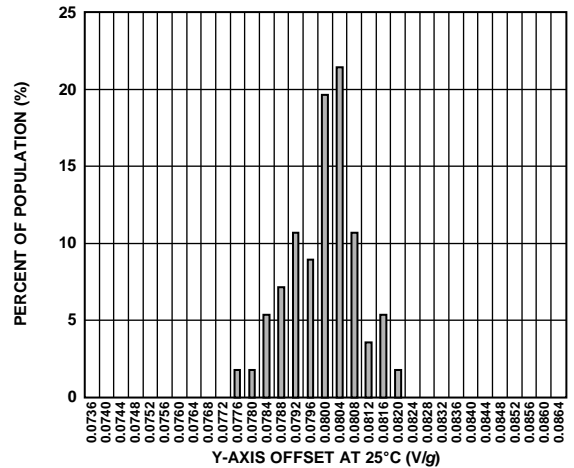
15429-023

図 23. ADXL356 25 °C での感受性ヒストグラム、X 軸



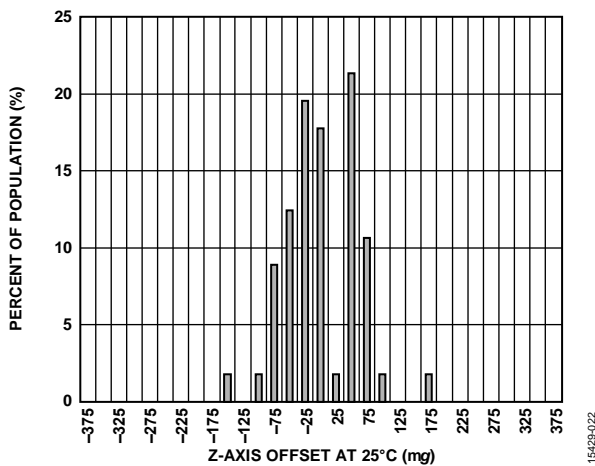
15429-021

図 21. ADXL356 25 °C での 0 g オフセット・ヒストグラム、Y 軸



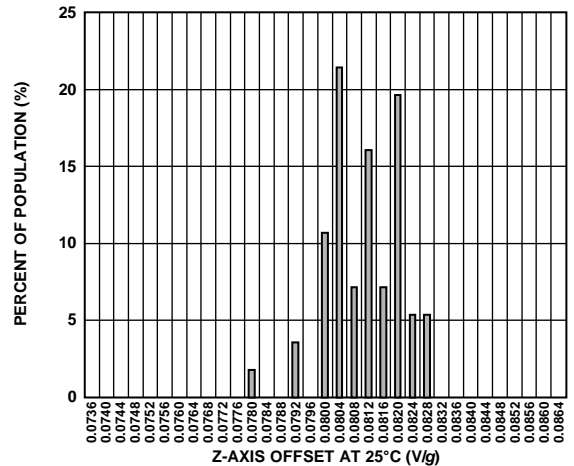
15429-024

図 24. ADXL356 25 °C での感受性ヒストグラム、Y 軸



15429-022

図 22. ADXL356 25 °C での 0 g オフセット・ヒストグラム、Z 軸



15429-025

図 25. ADXL356 25 °C での感受性ヒストグラム、Z 軸

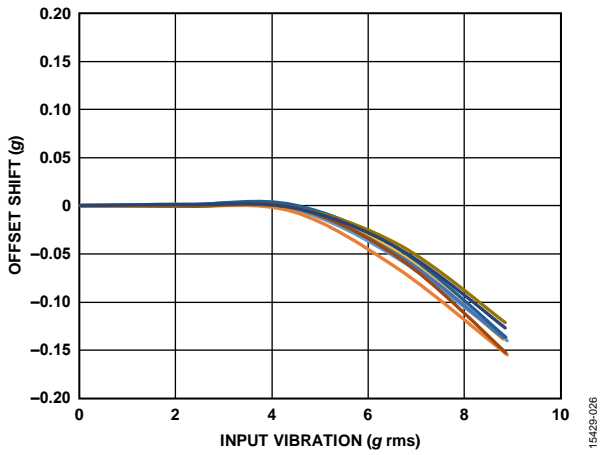


図 26. ADXL356 振動整流誤差 (VRE)、+1 g からの X 軸オフセット、±10 g 範囲、X 軸方向 = -1 g

15429-026

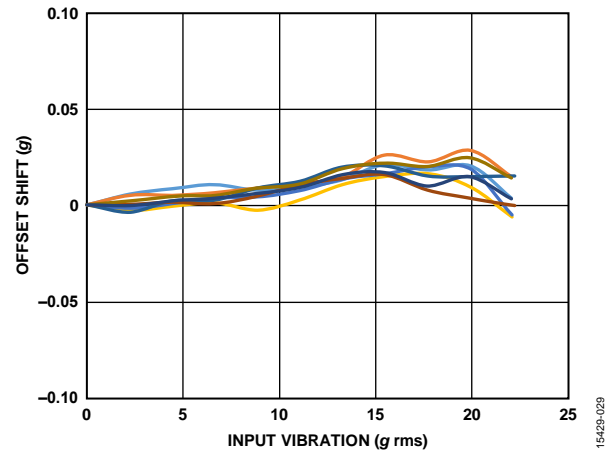


図 29. ADXL356 振動整流誤差 (VRE)、+1 g からの X 軸オフセット、±40 g 範囲、X 軸方向 = -1 g

15429-029

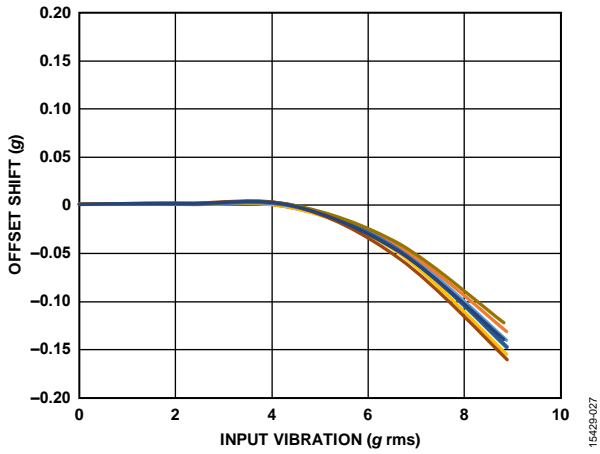


図 27. ADXL356 振動整流誤差 (VRE)、+1 g からの Y 軸オフセット、±10 g 範囲、Y 軸方向 = +1 g

15429-027

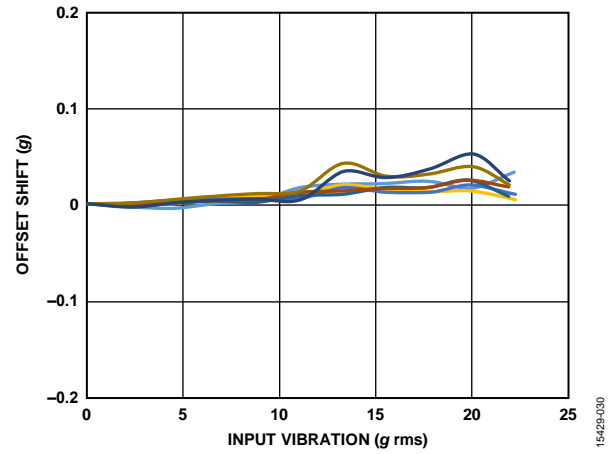


図 30. ADXL356 振動整流誤差 (VRE)、+1 g からの Y 軸オフセット、±40 g 範囲、Y 軸方向 = +1 g

15429-030

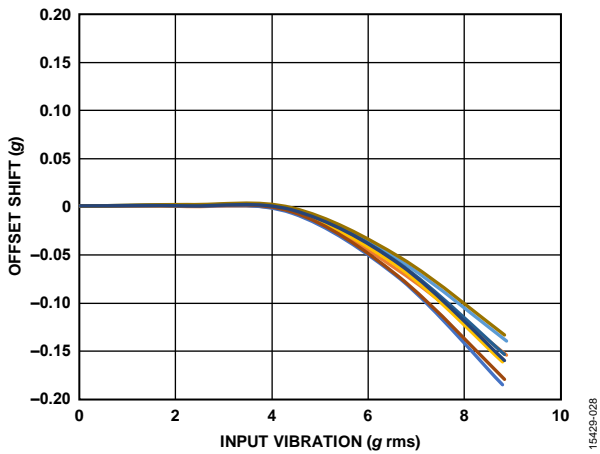


図 28. ADXL356 振動整流誤差 (VRE)、+1 g からの Z 軸オフセット、±10 g 範囲、Z 軸方向 = +1 g

15429-028

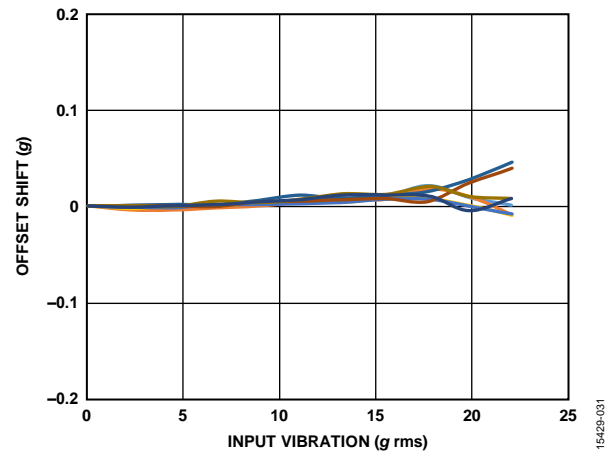


図 31. ADXL356 振動整流誤差 (VRE)、+1 g からの Z 軸オフセット、±40 g 範囲、Z 軸方向 = +1 g

15429-031

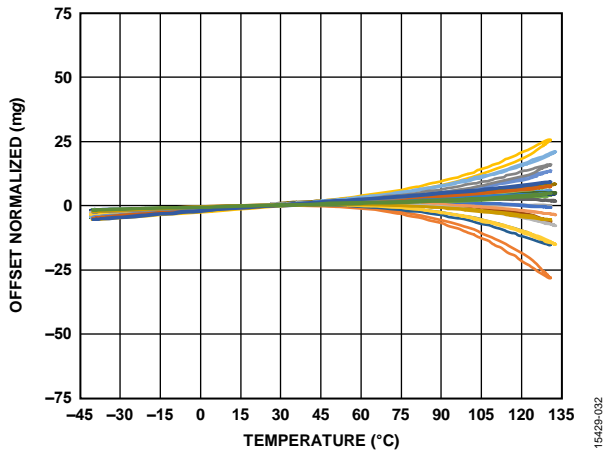


図 32. ADXL357 25 °C を基準として正規化された X 軸の 0 g オフセットの温度特性

15429-032

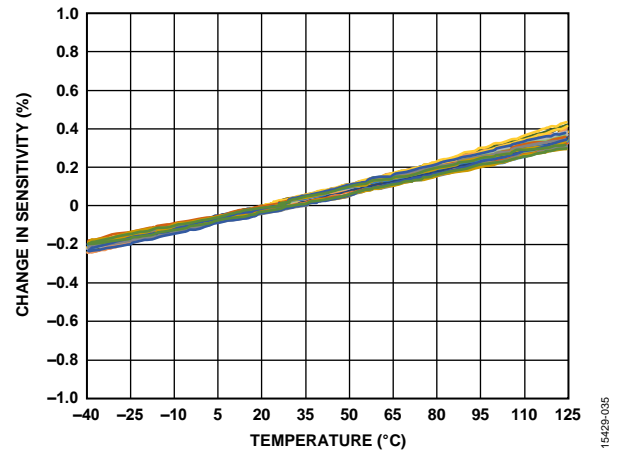


図 35. ADXL357 25 °C を基準とした X 軸感度の温度変化

15429-035

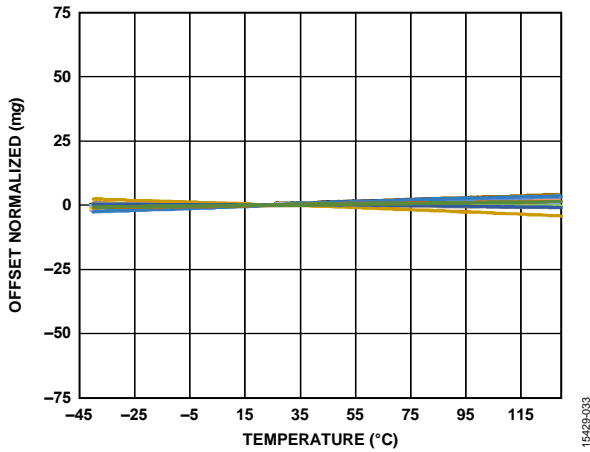


図 33. ADXL357 25 °C を基準として正規化された Y 軸の 0 g オフセットの温度特性

15429-033

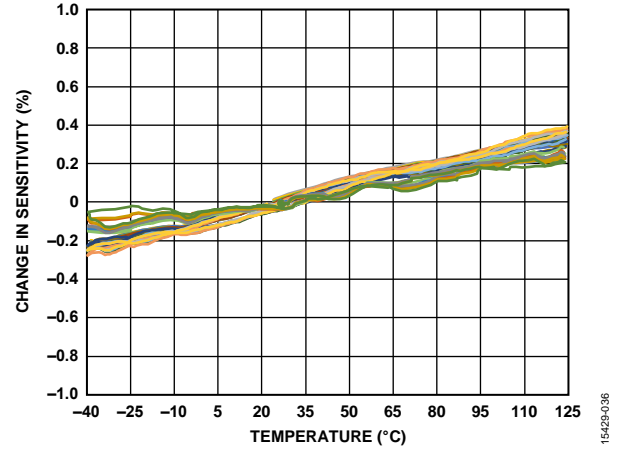


図 36. ADXL357 25 °C を基準とした Y 軸感度の温度変化

15429-036

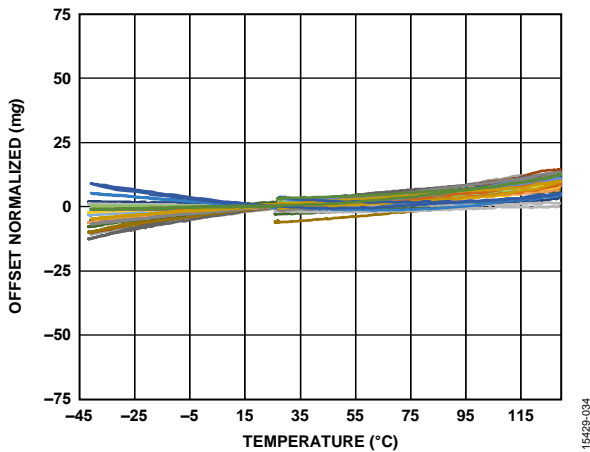


図 34. ADXL357 25 °C を基準として正規化された Z 軸の 0 g オフセットの温度特性

15428-034

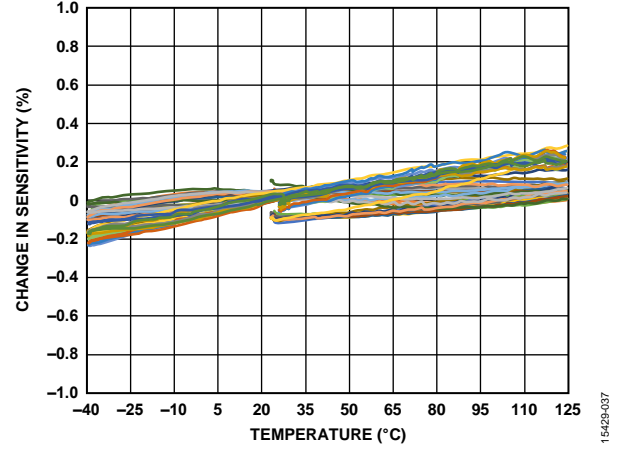
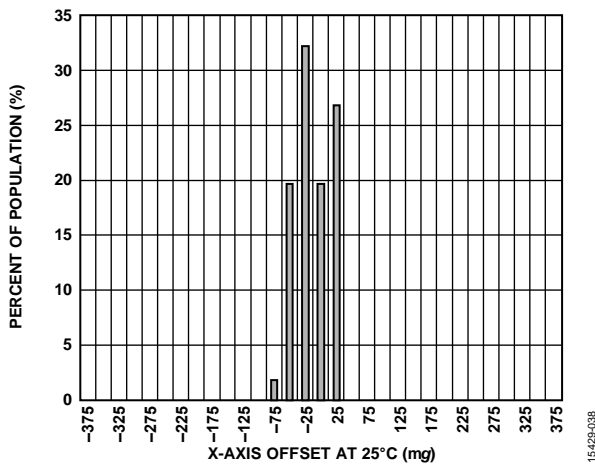


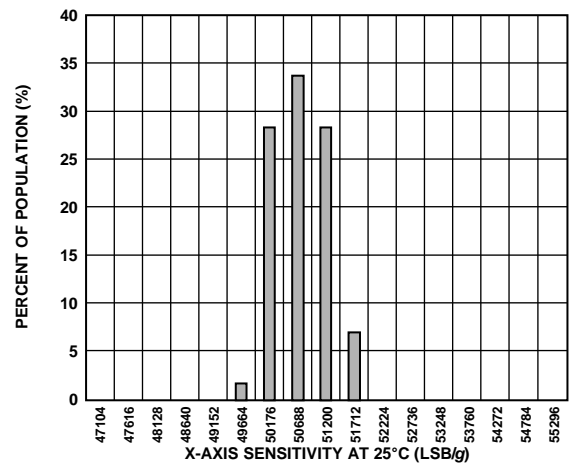
図 37. ADXL357 25 °C を基準とした Z 軸感度の温度変化

15429-037



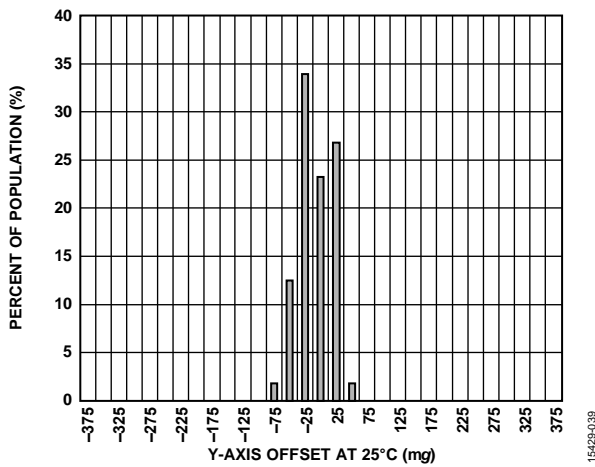
15429-038

図 38. ADXL357 25 °C での 0 g オフセット・ヒストグラム、X 軸



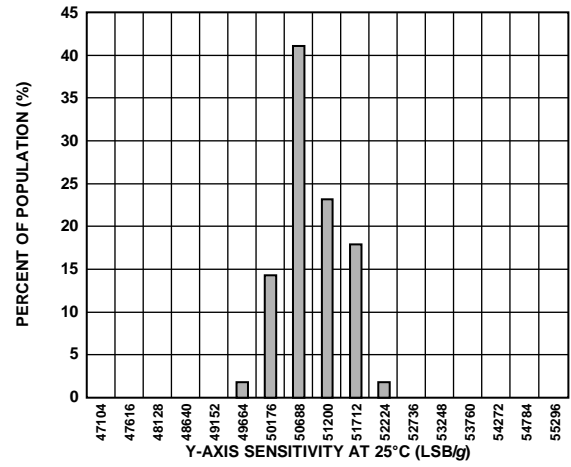
15429-041

図 41. ADXL357 25 °C での感受性ヒストグラム、X 軸



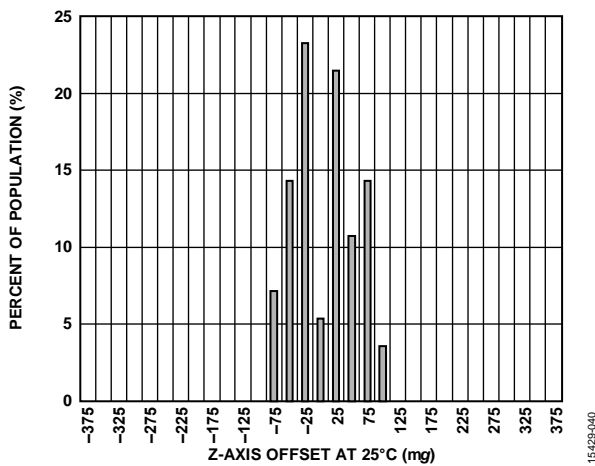
15429-039

図 39. ADXL357 25 °C での 0 g オフセット・ヒストグラム、Y 軸



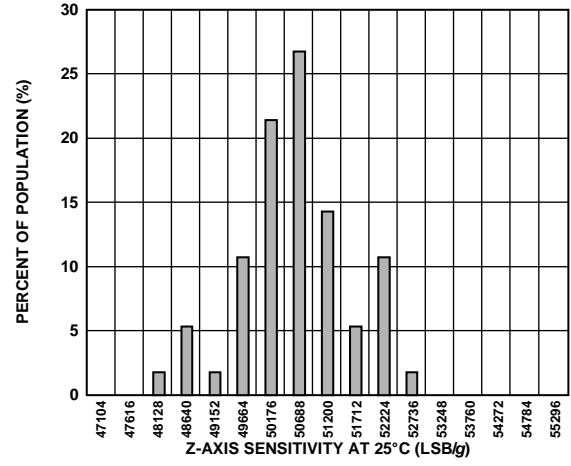
15429-042

図 42. ADXL357 25 °C での感受性ヒストグラム、Y 軸



15429-040

図 40. ADXL357 25 °C での 0 g オフセット・ヒストグラム、Z 軸



15429-043

図 43. ADXL357 25 °C での感受性ヒストグラム、Z 軸

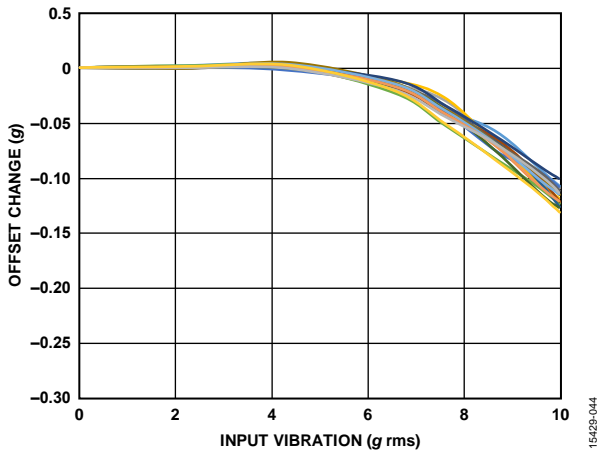


図 44. ADXL357 振動整流誤差 (VRE)、+1 g からの X 軸オフセット、±10 g 範囲、X 軸方向 = -1 g

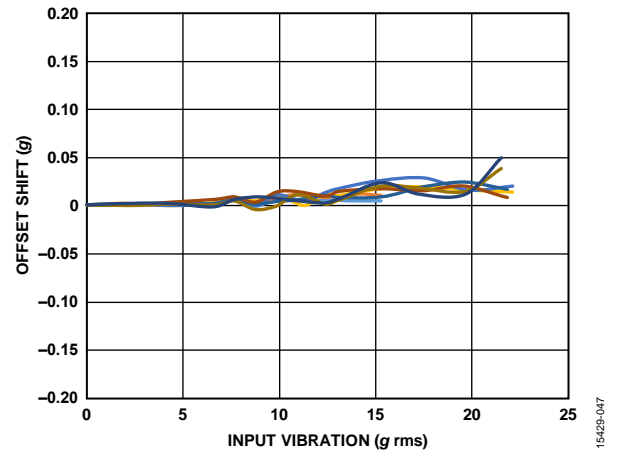


図 47. ADXL357 振動整流誤差 (VRE)、+1 g からの X 軸オフセット、±40 g 範囲、X 軸方向 = -1 g

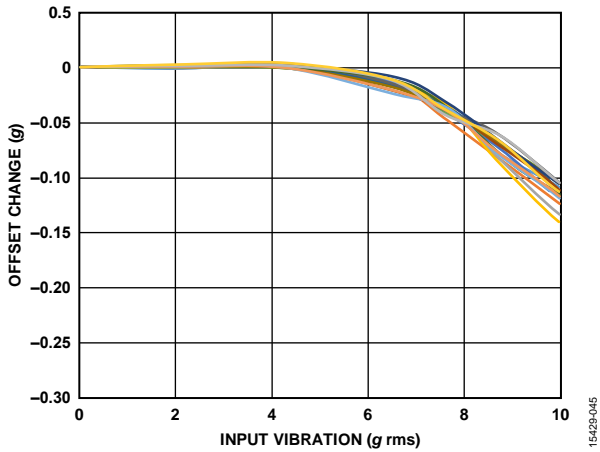


図 45. ADXL357 振動整流誤差 (VRE)、+1 g からの Y 軸オフセット、±10 g 範囲、Y 軸方向 = +1 g

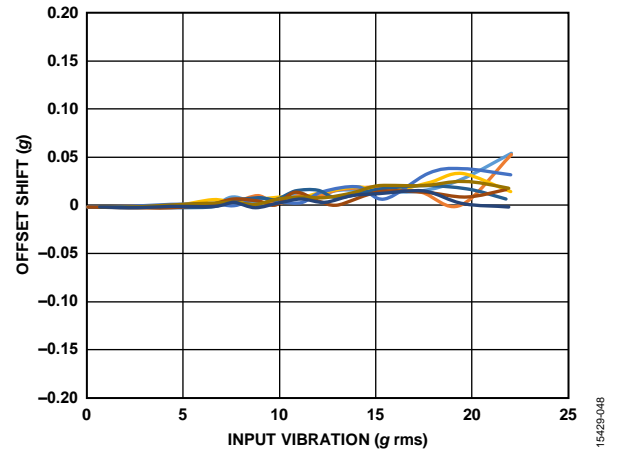


図 48. ADXL357 振動整流誤差 (VRE)、+1 g からの Y 軸オフセット、±40 g 範囲、Y 軸方向 = +1 g

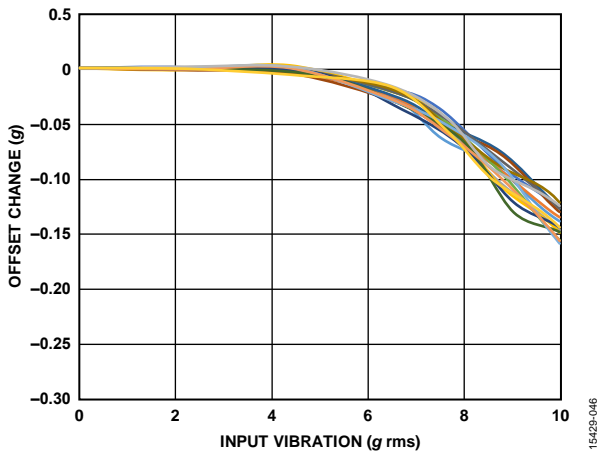


図 46. ADXL357 振動整流誤差 (VRE)、+1 g からの Z 軸オフセット、±10 g 範囲、Z 軸方向 = +1 g

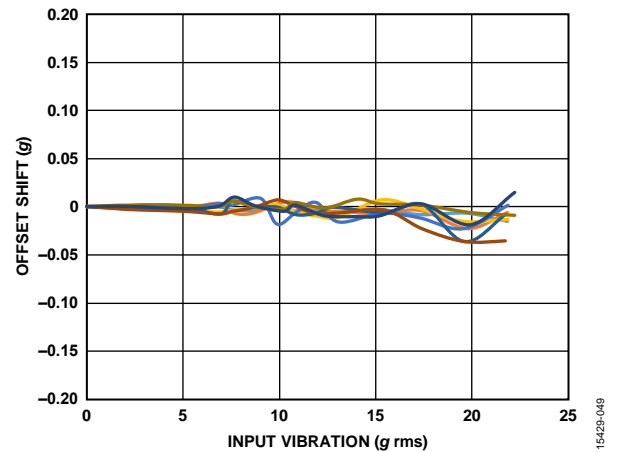


図 49. ADXL357 振動整流誤差 (VRE)、+1 g からの Z 軸オフセット、±40 g 範囲、Z 軸方向 = +1 g

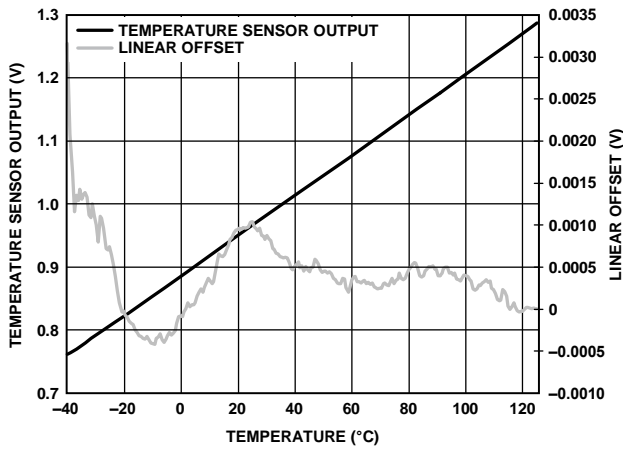


図 50. ADXL356 温度センサーの出力と直線性オフセットの温度特性

15429-050

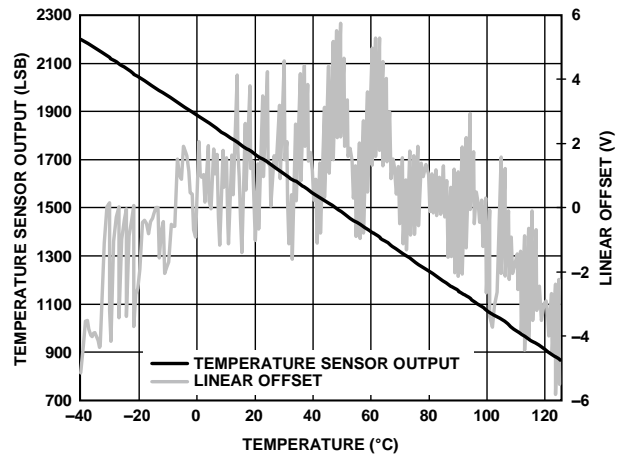


図 53. ADXL357 温度センサーの出力と直線性オフセットの温度特性

15429-053

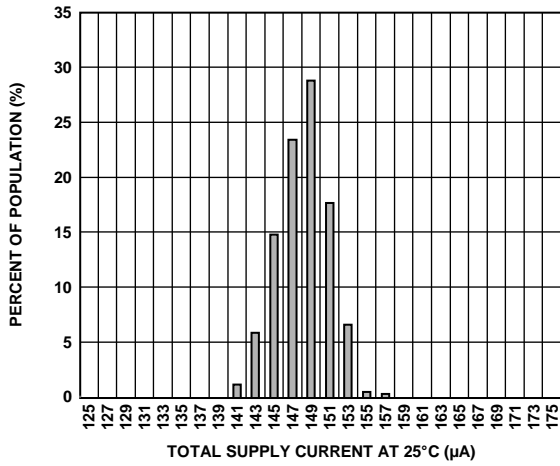


図 51. ADXL356 合計電源電流、3.3 V

15429-051

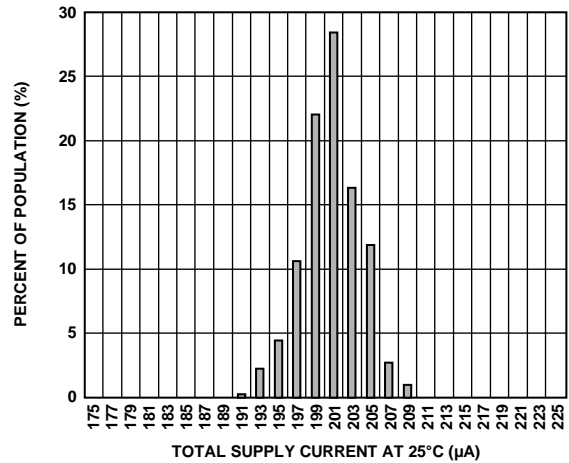


図 54. ADXL357 合計電源電流、3.3 V

15429-054

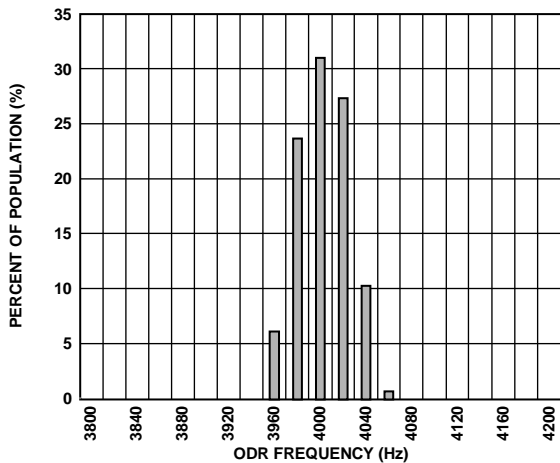


図 52. ADXL357 内部 ODR 周波数ヒストグラム

15429-052

アラン偏差 (RAV) ADXL357 特性

図 55～図 57 には、複数デバイス、複数ロットのデータが含まれています。特に指定のない限り、±10 g の範囲で測定されています。

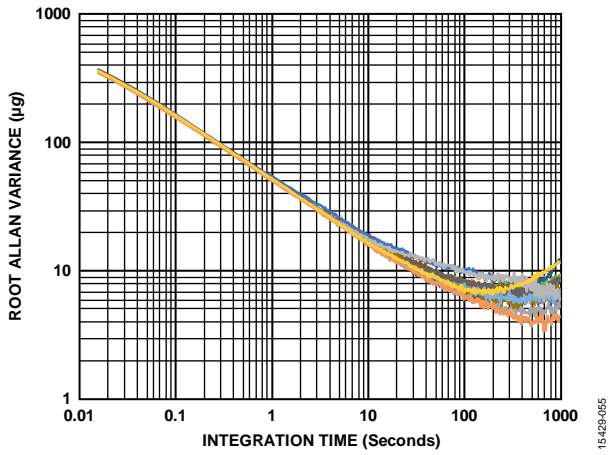


図 55. ADXL357 アラン偏差 (RAV)、X 軸

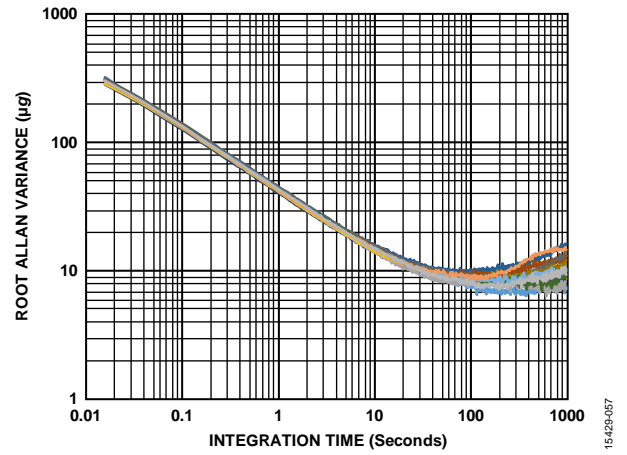


図 57. ADXL357 アラン偏差 (RAV)、Z 軸

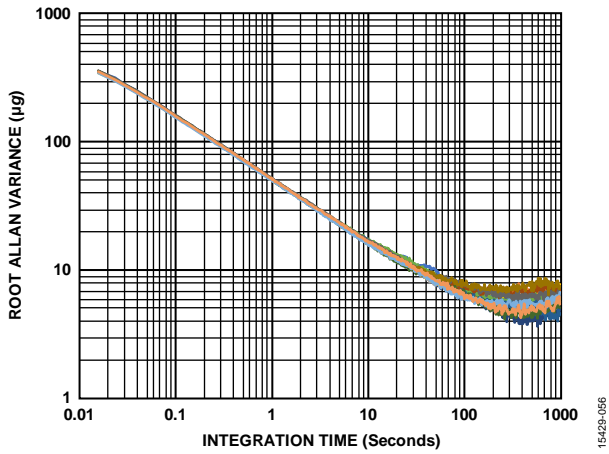


図 56. ADXL357 アラン偏差 (RAV)、Y 軸

動作原理

ADXL356は、必要な機能をすべて備えた3軸、超低ノイズ、非常に安定したオフセットのMEMS加速度センサーです。このセンサーは、 V_{IP8ANA} の1.8Vアナログ電圧に比例した測定値を出力します。ADXL357は、アナログ1.8V電源をリファレンスにした3つの高分解能ADCを搭載しているため、電源電圧の影響を受けにくいデジタル出力を生成します。ADXL356Bは $\pm 10g$ または $\pm 20g$ フルスケールでピン選択可能、ADXL356Cは $\pm 10g$ または $\pm 40g$ フルスケールでピン選択可能、ADXL357は $\pm 10.24g$ 、 $\pm 20.48g$ 、 $\pm 40.96g$ フルスケールでプログラマブルです。ADXL357はSPIとI²Cの両方の通信ポートを備えています。

マイクロマシン構造の検出素子は完全差動型で、水平方向にX軸とY軸センサー、垂直方向にシーソーZ軸センサーを搭載しています。X軸、Y軸センサー、Z軸センサーは、オフセット・ドリフトとノイズを最低限に抑える個別の信号経路に配置

されています。ADXL356のアナログ出力での差動からシングルエンドへの変換を除き、信号経路は完全差動型です。

ADXL354のアナログ加速度センサーの出力は、 V_{IP8ANA} に比例するので、慎重かつ正確にデジタル化する必要があります。温度センサーの出力は、 V_{IP8ANA} に比例しません。X_{OUT}、Y_{OUT}、Z_{OUT}アナログ出力は、アンチエイリアシング・フィルタを使用して内部でフィルタ処理されます。これらのアナログ出力は、出力の帯域幅を設定する外部コンデンサと併用できる32k Ω の内部直列抵抗を備えています。

ADXL357には、高分解能 Σ - Δ ADCの前後にアンチエイリアシング・フィルタが配置されています。出力データ・レートとフィルタ・コーナーを選択できます。温度センサーの出力は、12ビット逐次比較レジスタ(SAR)ADCでデジタル化されます。

アプリケーション情報

アナログ出力

図 58 に ADXL356 のアプリケーション回路を示します。アナログ出力 (X_{OUT} , Y_{OUT} , Z_{OUT}) は、 V_{IP8ANA} ピンの 1.8 V アナログ電圧に比例します。 V_{IP8ANA} は、 V_{SUPPLY} から給電されるオンチップ LDO レギュレータで駆動されます。 V_{SUPPLY} を V_{SS} に入力して LDO レギュレータを無効にすることで、 V_{IP8ANA} に外部から給電することもできます。ADXL356 の出力は供給電圧に比例するので、デジタル化して固有のノイズとオフセット性能を実現するには、アナログ出力で V_{IP8ANA} 電源をリファレンスにする必要があります。0 g バイアス出力は、通常 $V_{IP8ANA}/2$ に等しくなります。ADXL356 とレシオメトリック ADC (アナログ・デバイセス製の AD7682 など) を V_{IP8ANA} で使用して、電圧リファレンスを提供することを推奨します。この構成を使用することで、わずかな電源変動による誤差が打ち消されます。

ADXL356 では、2 種類のフィルタ処理を使用しています。約 1.5 kHz のカットオフ周波数を使用した内部アンチエイリアシング・フィルタ処理と外部フィルタ処理です。外部フィルタ処理では、各出力に直列接続したオンチップの 32 k Ω 固定抵抗に、外部コンデンサを組み合わせることで、外部 ADC の前段にローパス・フィルタ・アンチエイリアシングとノイズ削減を実装

しています。アンチエイリアシング・フィルタのカットオフ周波数は、目的の信号帯域幅よりも大幅に高くする必要があります。アンチエイリアシング・フィルタ・コーナーが低すぎると、信号の減衰がリファレンス減衰と異なる場合に、比例誤差が大きくなる可能性があります。

デジタル出力

図 59 に、ADXL357 アプリケーション回路と推奨されるバイパス・コンデンサを示します。通信インターフェースは、SPI または I²C です (詳細については、シリアル通信のセクションを参照)。

ADXL357 には、内部構成可能なデジタル・バンドパス・フィルタが含まれます。フィルタ設定レジスタのセクションと表 44 で説明しているように、フィルタのハイパス極とローパス極の両方を調整できます。パワーアップ時のこれらのフィルタのデフォルト条件は、次のとおりです。

- ハイパス・フィルタ (HPF) = dc (オフ)
- ローパス・フィルタ (LPF) = 1000 Hz
- 出力データ・レート = 4000 Hz

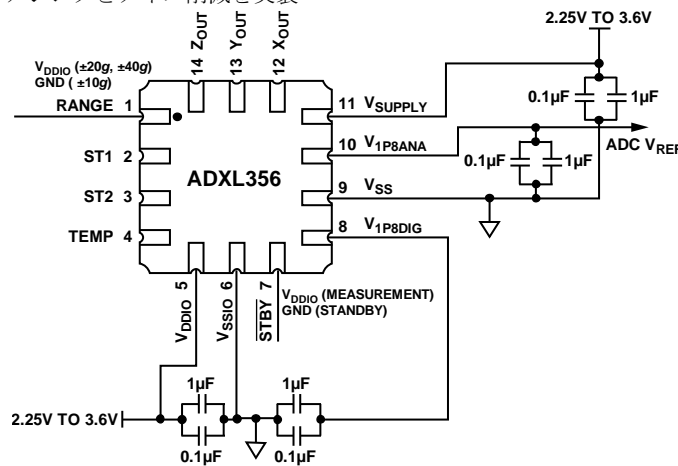


図 58. ADXL356 アプリケーション回路

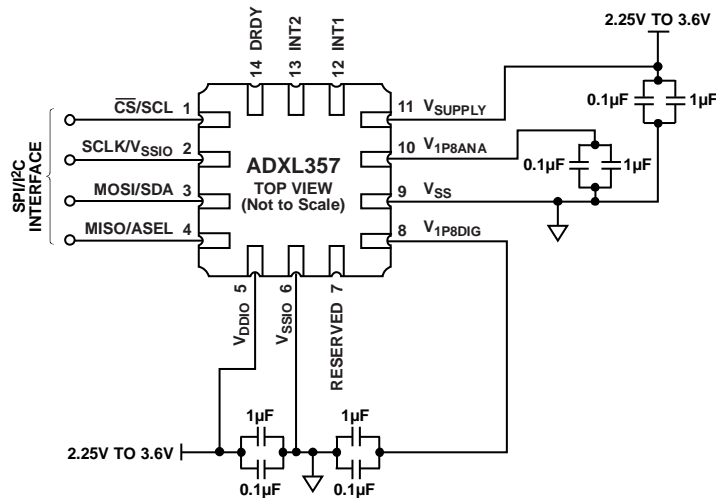


図 59. ADXL357 アプリケーション回路

加速度検出軸

図 60 に、加速度検出軸を示します。検出軸で加速が生じると、対応する出力電圧が増加します。

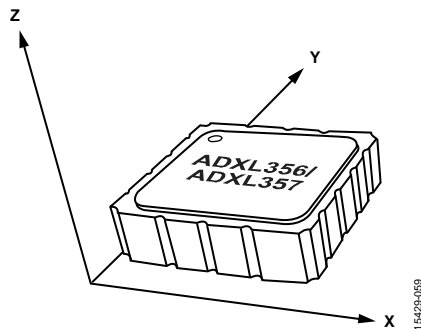


図 60. 加速度検出軸

電源シーケンス

デバイスに給電する方法は2つあります。通常、内部 LDO レギュレータは、アナログ電源とデジタル電源 (V_{IP8ANA} と V_{IP8DIG}) にそれぞれ 1.8 V の電源を生成します。オプションで、 V_{SUPPLY} を V_{SS} に接続して V_{IP8ANA} と V_{IP8DIG} を外部電源で駆動すると、 V_{IP8ANA} と V_{IP8DIG} を供給できます。

内部 LDO レギュレータを使用する場合は、 V_{SUPPLY} を 2.25 V ~ 3.6 V の間の電圧源に接続します。この場合、 V_{DDIO} と V_{SUPPLY} を並列で駆動できます。 $V_{SUPPLY} - V_{DDIO}$ の電圧差が 0.5 V を超えてはいけません。必要に応じて、 V_{DDIO} を V_{SUPPLY} よりも前に駆動できます。

内部 LDO レギュレータを無効にして、外部 1.8 V 電源経由で V_{IP8ANA} と V_{IP8DIG} の電源を駆動する場合は、 V_{SUPPLY} をグラウンドに接続し、 V_{IP8ANA} と V_{IP8DIG} の最終電圧を同じ値に設定します。LDO をバイパスする場合に推奨される電源シーケンスを次に示します。まず、 V_{DDIO} に給電した後、約 10 μ s 経過してから電源 V_{IP8DIG} を給電します。その後、約 10 μ s 経過してから V_{IP8ANA} を給電します。必要に応じて、同じ 1.8 V 電源で V_{IP8DIG} と V_{DDIO} を駆動できます。適切な絶縁を使用して、 V_{IP8ANA} に接続することもできます。この場合、センサーのノイズ性能を維持するため、適切なデカップリングと低周波絶縁が重要になります。

電源の説明

ADXL356/ADXL357 には、 V_{SUPPLY} 、 V_{IP8ANA} 、 V_{IP8DIG} 、 V_{DDIO} の 4 種類の電源領域があります。内部のアナログ回路とデジタル回路は、公称 1.8 V で動作します。

V_{SUPPLY}

V_{SUPPLY} は 2.25 V ~ 3.6 V です。これは V_{IP8ANA} と V_{IP8DIG} の公称 1.8 V の出力を生成する 2 つの LDO レギュレータの入力範囲です。LDO レギュレータを無効にするには、 V_{SUPPLY} を V_{SS} に接続します。これにより、 V_{IP8ANA} と V_{IP8DIG} を外部電源から駆動できます。

V_{IP8ANA}

すべてのセンサーとアナログ信号処理回路は、この領域で動作します。アナログ出力の ADXL356 のオフセットと感度は、この電源電圧に比例します。外部 ADC を使用する場合は、 V_{IP8ANA} をリファレンス電圧として使用します。デジタル出力の ADXL357 には、 V_{IP8ANA} に比例する ADC が含まれます。このため、オフセットと感度が V_{IP8ANA} の影響を受けなくなります。

V_{IP8ANA} は、 V_{SUPPLY} 電圧の状態によって定義される入力と出力として使用できます。

V_{IP8DIG}

V_{IP8DIG} は、内部ロジック回路の電源電圧です。個別の LDO レギュレータによって、アナログ信号経路からのデジタル電源ノイズがデカップリングされます。 V_{IP8ANA} は、 V_{SUPPLY} 電圧の状態によって定義される入力と出力として使用できます。外部駆動の場合、 V_{IP8DIG} は V_{IP8ANA} 電圧と同じ電圧にする必要があります。

V_{DDIO}

V_{DDIO} 値は、ロジック・ハイ・レベルを決定します。アナログ出力の ADXL356 では、 V_{DDIO} はセルフ・テスト・ピン $ST1$ と $ST2$ だけでなく、 $STBY$ ピンのロジック・ハイ・レベルを設定します。デジタル出力の ADXL357 では、 V_{DDIO} を使用して通信インターフェース・ポートだけでなく、割込みと $DRDY$ 出力のロジック・ハイ・レベルを設定します。

LDO レギュレータは、 V_{SUPPLY} が 2.25 V ~ 3.6 V の間で動作します。 V_{IP8ANA} と V_{IP8DIG} は、このモードのレギュレータ出力です。代わりに、 V_{SUPPLY} を V_{SS} に接続すると、 V_{IP8ANA} と V_{IP8DIG} は、1.62 V ~ 1.98 V 範囲の電源電圧入力になります。

オーバーレンジ保護

ブルー・マスに静電気が蓄積しないように、加速度センサーの入力がフルスケール・レンジを超えると、すべてのセンサー・ドライブ・クロックは、0.5 ms の間オフになります。 ± 10 g/ ± 10.24 g の範囲設定では、 ± 40 g ($\pm 25\%$) を超える入力信号、 ± 20 g/ ± 20.48 g と ± 40 g/ ± 40.95 g の範囲設定、約 ± 80 g ($\pm 25\%$) に対応する閾値設定で、オーバーレンジ保護が有効になります。

オーバーレンジ保護が発生すると、ADXL356 の X_{OUT} 、 Y_{OUT} 、 Z_{OUT} ピンはミッドスケールに駆動します。ADXL357 はゼロに向かってフロート状態になり、このデータの処理で先入れ先出し (FIFO) バッファが始まります。

セルフ・テスト

ADXL356 と ADXL357 には、機械システムと電子システムを効率よく検査するセルフ・テスト機能が組み込まれています。セルフ・テストを有効にすると、静電的にセンサーを駆動し、加えられた機械的な力だけでなく、印加されたテスト信号にも対応した出力が発生します。Z 軸の応答のみがデバイスの機能を検証するために仕様となっています。

ADXL356 では、 $ST1$ ピンを V_{DDIO} に駆動して、セルフ・テスト・モードを起動します。次に、 $ST2$ ピンを V_{DDIO} に駆動することで、ADXL356 は静電気を機械センサーに適用し、静電気力への応答での出力の変化を誘導します。 $ST1$ がアサートされていて、 $ST2$ がハイの状態と $ST2$ がローの状態の間で発生する Z 軸の出力電圧の差が、セルフ・テスト・デルタ (または応答) になります。セルフ・テスト測定が完了したら、両方のピンをロー状態に移行して、通常動作を再開します。

$SELF_TEST$ レジスタ (レジスタ 0x2E) から $ST1$ と $ST2$ にアクセスできることを除くと、セルフ・テスト動作は ADXL357 と同じです。

セルフ・テスト機能を使用すれば、外部で付加された加速度を除去し、セルフ・テストの力だけに応答できます。このため、外部に機械ノイズが存在する場合でも、セルフ・テストを正確に測定できます。

FILTER

ADXL356/ADXL357は、アナログ、ローパス、アンチエイリアシング・フィルタを使用して、帯域外ノイズを削減し、帯域幅を制限します。ADXL357には、各種 ODR で優れたノイズ性能を維持するため、詳細なデジタル・フィルタ処理オプションを用意しています。

ADXL356/ADXL357のアナログ、ローパス・アンチエイリアシング・フィルタは、約 1.5 kHz の固定帯域幅を実現します。この周波数での出力応答は約 50 % 減衰します。周波数領域でのフィルタ応答の形状は、sinc3 フィルタ応答の形状に一致します。

ADXL356 の X 軸、Y 軸、Z 軸のアナログ出力には、32 k Ω の直列抵抗の前段にあるアンプや、X_{OUT}、Y_{OUT}、Z_{OUT} ピンへの出力が含まれます。

ADXL357は、内部 20 ビット Σ-Δ ADC でフィルタ処理されたアナログ信号をデジタル化します。アナログのローパス・アンチエイリアシング・フィルタを通過した後の補助的なデジタル・フィルタ処理は、ローパス・デジタル・デシメーション・フィルタと、4 kHz ~ 3.906 Hz の出力データ・レートに対応するバイパス可能なハイパス・フィルタで構成されます。デシメーション・フィルタは 2 段構成になっています。1 段目は、約 1 kHz のローパス・フィルタ・カットオフを使用した 4 kHz の ODR で実行する固定デシメーションです（出力応答で 50 % の除去）です。2 段目の可変デシメーション・フィルタは、2 kHz 以下の出力データ・レートで使用されるデシメーション・フィルタ（4 kHz ODR でバイパス）です。図 61 に、ADXL357 の 1 kHz コーナー（4 kHz ODR）を使用したローパス・フィルタの応答を示します。図 61 には、固定帯域幅が約 1.5 kHz の固定周波数アナログ、ローパス・アンチエイリアシング・フィルタは含まれません。

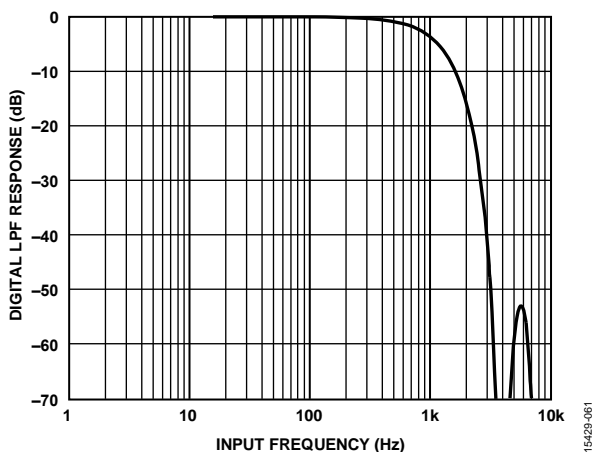


図 61. ADXL357 4 kHz ODR でのデジタル・ローパス・フィルタ (LPF) の応答

ADXL357 の信号経路の通過帯域は、前述のアナログ・フィルタやデジタル・デシメーション・フィルタ/ODR 設定を含む、複合フィルタの応答に関連があります。表 10 に、各設定のデシメーション・フィルタに関連付けられた遅延と、ODR/4 コーナーでの減衰を示します。

ADXL357には、プログラマブル・コーナー周波数を使用した、オプションのデジタル・ハイパス・フィルタも含まれます。デフォルトでは、ハイパス・フィルタは無効になります。出力が 50 % 減衰するハイパス・コーナー周波数は、ODR とフィルタ・レジスタの HPF_CORNER 設定（レジスタ 0x28 のビット [6:4]）に関連があります。表 11 に、HPF_CORNER の応答を示します。図 62 と図 63 に、シミュレートされた 10 Hz カットオフのハイパス・フィルタ応答と遅延を示します。

ADXL357には、外部同期オプションを提供する、オーバーサンプリング/アップコンバートされたデータを生成するデシメーション・フィルタの後段にインターポレーション・フィルタも含まれます。詳細については、データ同期のセクションを参照してください。表 12 に、プログラマブル ODR に関連する遅延と減衰を示します。

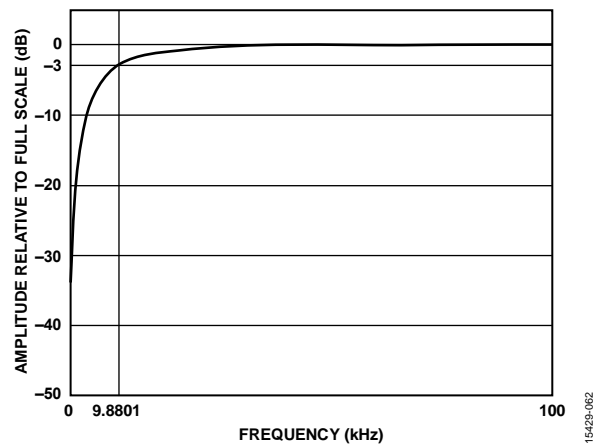


図 62. 4 kHz、ODR および HPF_CORNER 設定 001（レジスタ 0x28 のビット [6:4]）のハイパス・フィルタ・パスバンド応答

群遅延はデジタル・フィルタ遅延で、ADC に入力されたデータがインターフェースで使用できるようになるまでの時間に相当します（Filter セクションを参照）。この遅延は、センサーからシリアル・インターフェースまでの遅延合計の最も大きい成分です。

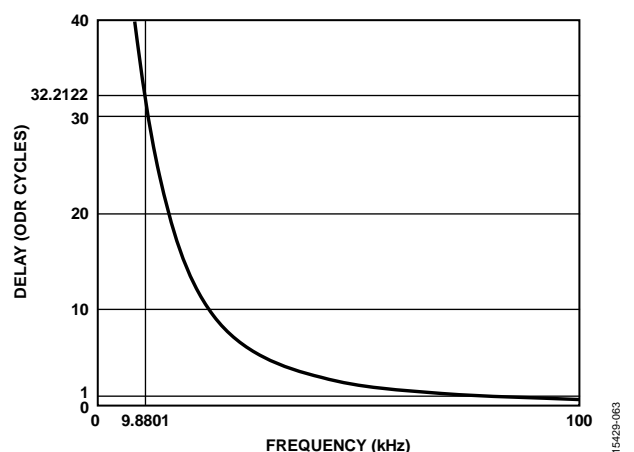


図 63. 4 kHz、ODR および HPF_CORNER 設定 001（レジスタ 0x28 のビット [6:4]）のハイパス・フィルタ遅延応答

表 10. デジタル・フィルタの群遅延とプロファイル

Programmed ODR (Hz)	Delay		Attenuation	
	ODR (Cycles)	Time (ms)	Decimator at ODR/4 (dB)	Full Path at ODR/4 (dB)
4000	2.52	0.63	-3.44	-3.63
4000/2 = 2000	2.00	1.00	-2.21	-2.26
4000/4 = 1000	1.78	1.78	-1.92	-1.93
4000/8 = 500	1.63	3.26	-1.83	-1.83
4000/16 = 250	1.57	6.27	-1.83	-1.83
4000/32 = 125	1.54	12.34	-1.83	-1.83
4000/64 = 62.5	1.51	24.18	-1.83	-1.83
4000/128 ~ 31	1.49	47.59	-1.83	-1.83
4000/256 ~ 16	1.50	96.25	-1.83	-1.83
4000/512 ~ 8	1.50	189.58	-1.83	-1.83
4000/1024 ~ 4	1.50	384.31	-1.83	-1.83

表 11. デジタル・ハイパス・フィルタの応答

HPF_CORNER Register Setting (Register 0x28, Bits[6:4])	HPF_CORNER Frequency, -3 dB Point Relative to ODR Setting	-3 dB at 4 kHz ODR (Hz)
000	Not applicable, no high-pass filter enabled	Off
001	$247 \times 10^{-3} \times \text{ODR}$	9.88
010	$62.084 \times 10^{-3} \times \text{ODR}$	2.48
011	$15.545 \times 10^{-3} \times \text{ODR}$	0.62
100	$3.862 \times 10^{-3} \times \text{ODR}$	0.1545
101	$0.954 \times 10^{-3} \times \text{ODR}$	0.03816
110	$0.238 \times 10^{-3} \times \text{ODR}$	0.00952

表 12. デジタル・インターポレーション・フィルタとデシメーション・フィルタの応答の結合

Interpolator Data Rate Resolution Relative to 64 × ODR (Hz)	Combined Interpolator/ Decimator Delay (ODR Cycles)	Combined Interpolator/ Decimator Delay (ms)	Combined Interpolator/Decimator Output Attenuation at ODR/4 (dB)
64 × 4000 = 256000	3.51661	0.88	-6.18
64 × 2000 = 128000	3.0126	1.51	-4.93
64 × 1000 = 64000	2.752	2.75	-4.66
64 × 500 = 32000	2.6346	5.27	-4.58
64 × 250 = 16000	2.5773	10.31	-4.55
64 × 125 = 8000	2.5473	20.38	-4.55
64 × 62.5 = 4000	2.53257	40.52	-4.55
64 × 31.25 = 2000	2.52452	80.78	-4.55
64 × 15.625 = 1000	2.52045	161.31	-4.55
64 × 7.8125 = 500	2.5194	322.48	-4.55
64 × 3.90625 = 250	2.51714	644.39	-4.55

シリアル通信

4線式シリアル・インターフェースは、SPIまたはI²Cプロトコルで通信します。使用されたフォーマットを効果的に自動検出し、フォーマットを選択するための構成制御が不要です。

SPI プロトコル

ADXL357のSPI通信ケーブルは、図64の接続図に示すように配線します。SPIプロトコルのタイミングは、図65～図68に示します。タイミング方式は、クロック極性(CPOL) = 0とクロック位相(CPHA) = 0に従います。SPIクロック速度は、100 kHz～10 MHzの範囲に収まります。

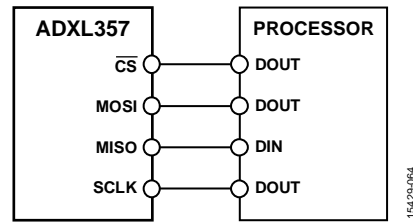


図 64. 4線式 SPI 接続

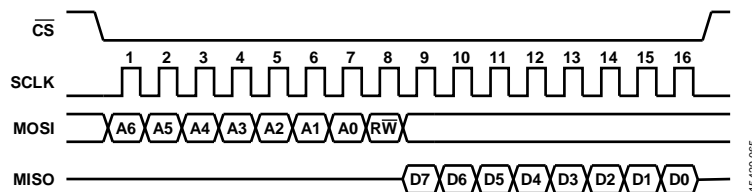


図 65. SPIのタイミング図 - 1バイト読出し

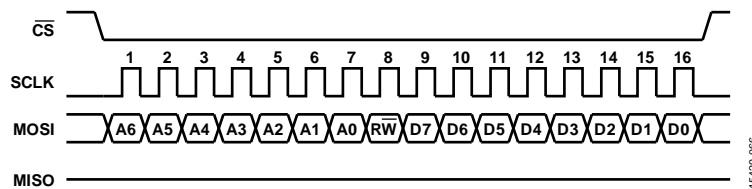


図 66. SPIのタイミング図 - 1バイト書込み

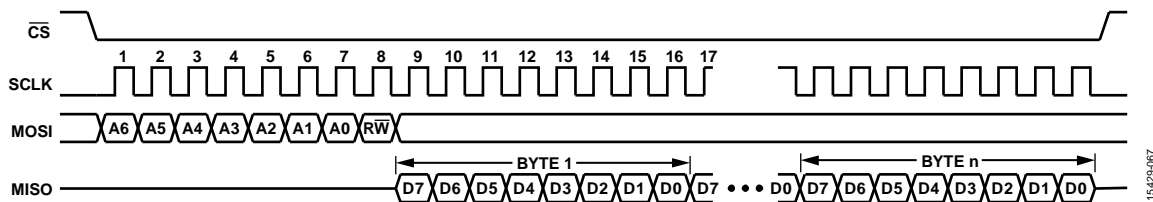


図 67. SPIのタイミング図 - 複数バイト読出し

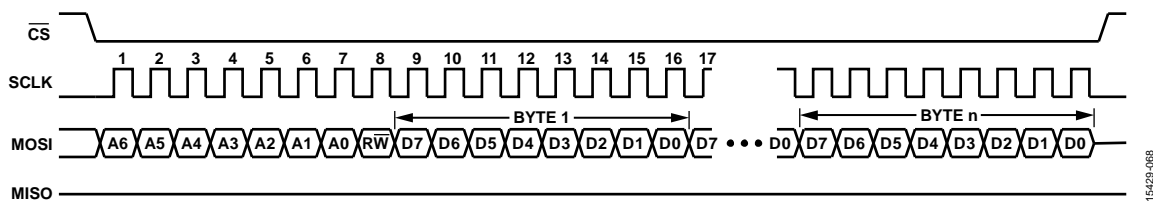


図 68. SPIのタイミング図 - 複数バイト書込み

I²C プロトコル

ADXL357 は、ポイント to ポイントの I²C 通信をサポートしています。しかし、SDA バスを共有している場合には、ADXL357 はそのバス上の他のデバイスとの通信を中止してしまうことがあります。たとえ ADXL357 がアドレス指定されていない場合でも、バイト 0x3A および 0x3B (ADXL357 のデバイス ID が 0x1D にセットされている場合)、またはバイト 0xA6 および 0xA7 (ADXL357 のデバイス ID が 0x53 にセットされている場合) が SDA バス上に送信された場合はいつでも、ADXL357 はアクノレッジ・ビットを返信し、SDA ラインをプルダウンします。例えば、バス上の他のセンサーに対してデータ・バイト (0x3A/0x3B または 0xA6/0xA7) を読み出した後、この応答が発生する可能性があります。ADXL357 が SDA ラインをプルダウンすると、バス上の他のデバイスとの通信が中断してしまうことがあります。これを解決するためには、ADXL357 を別の SDA バスに接続するか、ADXL357 と通信する必要がない場合には SCL ピンをハイに切り替える (通常は接地されています) 必要があります。

表 4 に示されたバス・パラメータを満たしている場合、ADXL357 は標準 (100 kHz)、高速 (最大 1 MHz)、高速 (最大 3.4 MHz) のデータ転送モードに対応します。データの読み出し時において、新しいデータで書き換えられる前にサンプル・セットのすべてを読み出すだけの速度がクロックに必要なとされる場合を除いて、SCL に最低周波数はありません。シングル・バイトまたは複数バイトの読み出し/書き込みをサポートしています。ASEL ピンがローの場合は、デバイスの I²C アドレスは 0x1D です。代替 I²C アドレスの 0x53 は、ASEL ピンをハイにプルアップすることによって選択できます。

未使用のピンには内部にプルアップ抵抗もプルダウン抵抗もないので、フロート状態または未接続の場合は、これらのピンが既知の状態やデフォルト状態になることはありません。I²C を使用して ADXL357 と通信する場合には、SCLK/V_{SSIO} を接地する必要があります。

通信速度に制限があるため、400 kHz の I²C モードを使用しているときの最大出力データ・レートは 800 Hz です。そして、最大出力データ・レートは I²C の通信速度に比例します。例えば、I²C を 100 kHz で使用する場合、最大 ODR は 200 Hz に制限されます。推奨される最大出力データ・レートを超過して動作させると、データ・サンプルが失われたりノイズが増加するなど、加速度データに望ましくない影響を与えることがあります。

図 69 ~ 図 71 に、I²C プロトコル・タイミングの詳細を示します。I²C インターフェースは、I²C 標準モード (100 kHz)、高速モード (400 kHz)、高速モード・プラス (1 MHz)、ハイ・スピード・モード (3.4 MHz) で使用できます。ADXL357 の I²C デバイス ID は、次のとおりです。

- ASEL (ピン) = 0、デバイス・アドレス = 0x1D
- ASEL (ピン) = 1、デバイス・アドレス = 0x53

他のデバイスを同じ I²C バスに接続する場合、公称動作電圧が V_{DDIO} を 0.3 V 以上上回るデバイスを接続することはできません。I²C を正常に動作させるためには、外部プルアップ抵抗 R_p が必要です。

インターフェースからの加速度または温度の読み出し

加速度データは左詰めで、レジスタ・アドレスの左端に最上位データが格納され、右端に最下位データが格納されます。これにより、複数バイトの転送を使用して、必要なデータ (8 ビット、16 ビット、または 20 ビットとマーカー) だけを取得できます。温度データは、符号なし 12 ビットで右詰めで、ADXL357 の温度データの値は 2 バイトに分割されますが、ダブル・バッファされません。つまり、値は 2 つのレジスタを読み出す間に更新されます。XDATA、YDATA、ZDATA のデータは、常に最新の値で更新されます。XDATA、YDATA、ZDATA は、特定のサンプル時点に対応するセットであるとは限りません。デバイスからデータを取得するために使用されるルーチンを使用して、このデータ・セットの連続性を制御します。DATA_RDY ビットがハイになると、データ転送が開始されます。1/ODR とほぼ等しい時間で転送が完了すると、XDATA、YDATA、ZDATA が同じデータ・セットに適用されます。

いずれかのシリアル・インターフェースからの複数バイトの読み出しまたは書き込みトランザクションでは、内部レジスタ・アドレスが自動的にインクリメントします。レジスタ・アドレス範囲の先頭 0x3FF に到達すると、自動インクリメントは停止し、16 進数のアドレス 0x00 にラップ・バックしません。

FIFO アドレスを使用する場合、アドレス自動インクリメント機能は無効になります。このため、データは複数バイトのトランザクションとして、FIFO から連続して読み出されます。複数バイト・トランザクションの開始アドレスが FIFO アドレスよりも小さい場合、アドレスは FIFO アドレスに到達するまで自動的にインクリメントし、FIFO アドレスで停止します。

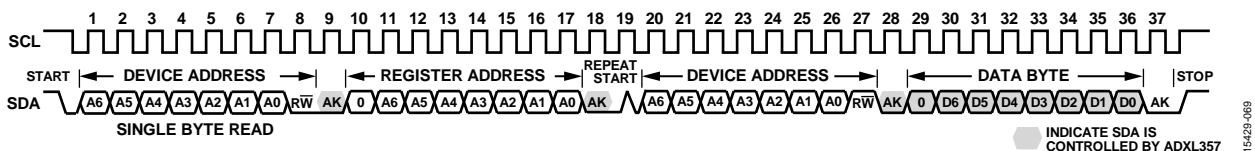


図 69. I²C のタイミング図 - 1 バイト読み出し

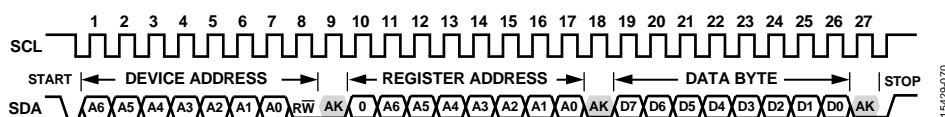


図 70. I²C のタイミング図 - 1 バイト書き出し

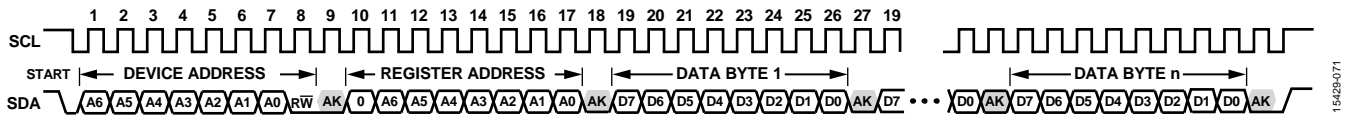


図 71. I²C のタイミング図 - 複数バイト書出し

1.5429-071

FIFO

FIFO はストリームモードで動作します。つまり、FIFO でオーバーランが発生すると、新しいデータで FIFO 内の最も古いデータが上書きされます。FIFO アドレスからの読出しでは、加速度測定に関連付けられた 3 バイトが、すべて同じ測定に関連付けられます。FIFO がオーバーフローしない限り、データは常にセット (3 つのデータ・ポイントの倍数) で取得されます。

FIFO には、21 ビットの格納位置が 96 個あります。各位置には、20 ビットのデータと、X 軸データのマーカ・ビットが含まれます。FIFO アドレスから 1 バイトを読み出すと、FIFO から 1 つの格納位置がポップされます。FIFO の格納位置から複数バイトを読み出す場合、最初のバイトの読出しと後続の 3 バイトごとの読出しで FIFO がポップされます。

図 72 に、FIFO のデータの編成を示します。加速度データは、2 の補数フォーマットの 20 ビット・データです。FIFO コントロール・ロジックでは、データ・ビットと空のインジケータ・ビットの間に 2 つの仮想ビット (0b00) を挿入します。ビット 1 は、空の FIFO の読出しが試行され、データが有効な加速度データではないことを示します。ビット 0 は、X 軸を特定するマーカ・ビットで、FIFO データが適切に読み出されたかどうかを確認するのに使用できます。特定の軸の加速度データ・ポイントが FIFO の格納位置を 1 つ占有します。読出しポインタ RD_PTR は、インターフェースからの読出しが実行されていない、最も古い格納データを参照します (図 72 を参照)。物理的な X 加速度、Y 加速度、Z 加速度のデータ・レジスタはありません。また、このデータは、FIFO 内の最新のデータ・セットから直接取得され、Z ポインタ Z_PTR で参照されます (図 72 を参照)。

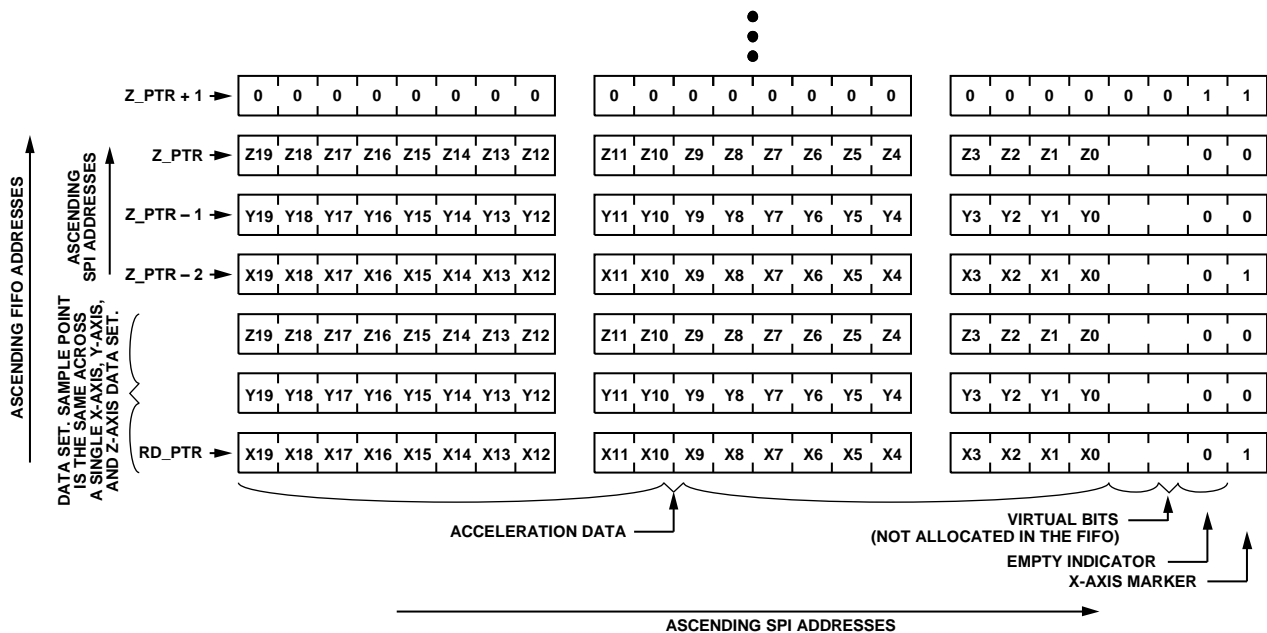


図 72. FIFO のデータ構成

15429-072

割込み

ステータス・レジスタ（レジスタ 0x04）には、5つの独立したビットが含まれます。これらのビットの4つを INT1 ピン、INT2 ピン、または両方にマッピングできます。割込みの極性、アクティブ・ハイまたはアクティブ・ローは範囲（レジスタ 0x2C）レジスタの INT_POL ビットからも選択できます。通常、ステータス・レジスタは読み出し時にクリアされます。ただし、レジスタの読み出し後も割込みが持続する場合、ステータス・レジスタはクリアされません。「持続」の定義はケースごとにわずかに異なりますが、DATA_RDY、DRDY Pin、FIFO_FULL、FIFO_OVR、およびアクティビティのセクションで説明します。DRDY ピンは、割込みピン（INTx）に類似していますが、明白な相違点が存在します。このケースについても説明します。

DATA_RDY

新しい加速度データがインターフェースで使用できるようになると、DATA_RDY ビットが設定されます。ステータス・レジスタの読み出し時にクリアされます。ステータス・レジスタの読み出しよりも新しい加速度データが使用できるようになると、再度設定されます。

DATA_RDY ビットをクリアする特別なロジックは、ステータス・レジスタの読み出し中に新しいデータが到着するコーナーの状況にも対応します。この場合、データのレディ条件は完全に失われます。このロジックにより、最大4つの512 kHz サイクルの DATA_RDY のクリアが遅延されます。

DRDY ピン

DRDY ピンは、ステータス・レジスタ・ビットではなく、マスク不能な割込みと同様に動作します。新しい加速度データがインターフェースで使用できるようになると、DRDY ビットが設定されます。FIFO の読み出し時、XDATA、YDATA、ZDATA の読み出し時、または出力加速度データの設定期間のほぼ中間点で発生する自動クリア機能によってクリアされます。

DRDY は常にアクティブ・ハイです。INT_POL ビットは DRDY に影響を与えません。外部同期モード（EXT_SYNC = 01、EXT_SYNC = 10）では、初期同期後に最初の DRDY パルスが数個失われるか、破損することがあります。この破損の長さは、群遅延よりも短くなります。

FIFO_FULL

FIFO のエントリ数が FIFO_SAMPLES ビットの設定と同じになると、FIFO_FULL ビットが設定されます。このビットは、次の場合にクリアされます。

- FIFO のエントリ数が FIFO_SAMPLES で示されるサンプル数を下回っている場合（FIFO から十分なデータの読み出しを実行できる唯一のケース）
- ステータス・レジスタの読み出し時（ただし、FIFO のエントリが FIFO_SAMPLES 未満の場合のみ）

FIFO_OVR

FIFO がオーバーレンジになり、データが失われると、FIFO_OVR ビットが設定されます。仕様規定された FIFO には、96個の格納位置があります。96番目の格納位置を超えて書き込みが試行された場合のみ、FIFO_OVR が設定されます。

ステータス・レジスタの読み出し時に FIFO_OVR がクリアされます。このデータ・レジスタの読み出し後に、データが失われるまで再設定されません。

アクティビティ

アクティビティ・ビット（レジスタ 0x04、ビット3）は、軸で測定された加速度が ACT_COUNT の連続測定の ACT_THRESH ビットを超えた場合に設定されます。閾値を超えると、連続測定が1つの軸からもう1つの軸にシフトし、ACT_COUNT で引き続きカウントされます。

ステータス・レジスタの読み出し時にアクティビティ・ビット（レジスタ 0x04、ビット3）がクリアされますが、アクティビティ・ビット（レジスタ 0x04、ビット3）条件が引き続き満たされると、次の測定の最後に再設定されます。

NVM_BUSY

NVM_BUSY ビットは、不揮発性メモリ（NVM）コントローラがビジーであり、読み出し、書き込み、割込みの生成が原因でアクセスできないことを示します。

NVM コントローラがビジーでなくなった後に発生したステータス・レジスタの読み出しで、NVM_BUSY はクリアされます。

外部同期とインターポレーション

図 73～図 75 に示すように、ADXL357 の同期化オプションは3つあります。わかりやすいように、クロック周波数と遅延は一定の縮尺率で描かれています。図 73～図 75 のタイミング・パラメータは、次のように定義されます。

- 内部 ODR は、内部クロックに基づいた 10 進法出力データののアライメントです。
- ADC CLK は、内部マスター・クロック・レートを示します
- DRDY は、サンプルがレディであることを通知する出力インジケータです。

次の3つのモードがあります。

- 外部同期なし（内部クロックを使用）
- インターポレーション・フィルタを有効にした同期
- 外部同期とクロック信号による同期。インターポレーション・フィルタなし。

EXT_SYNC = 00—外部同期またはインターポレーションなし

この場合、同期マスターとして機能する内部クロックがデータを生成します。外部信号は不要です。これは、外部プロセッサによってデバイスから非同期でデータを取得するとき使用されるので、外部ソースへの完全な同期は不要です。レジスタ 0x28 を使用して ODR をプログラミングします。

デバイスは DRDY（アクティブ・ハイ）を出力することで、新しいサンプルが使用できることを示す信号を供給します。この際、データはリアルタイム・レジスタまたは FIFO から取得されます。群遅延は、表 10 で示すデシメーション設定に基づきます。

EXT_SYNC = 10—外部同期とインターポレーション

この場合、内部クロックがデータを生成しますが、インターポレーション・フィルタによって時間分解能がプログラマブル ODR の 64 倍に向上します。通常、インターポレーション・フィルタと外部 ODR クロックを使用した同期は、外部プロセッサが目的の ODR で同期信号を提供できる（内部クロックに非同期）場合に使用されます。インターポレーション・フィルタを有効にした同期（EXT_SYNC=10）では、非同期の外部クロックが、外部クロックの立ち上がりエッジと最も密接に関連付けられたデータを出力できます。インターポレーション・フィルタは、ODR に関連する周波数分解能を提供します（表 12 を参照）。

このモードのメリットは、ユーザ定義のサンプル・レートでデータを使用でき、内部発振器に非同期であることです。このモードのデメリットは、群遅延が増え、バンド・エッジで減衰が増えることです。さらに、時間分解能に制限があるので、内部発振器に対する外部同期の不一致に関連する歪みが発生します。この不一致が原因で、スペクトル性能が低下します。群遅延は、デシメーション設定とインターポレーション設定に基づきます（表 12 を参照）。表 13 は SYNC 信号（入力）から DRDY（出力）までの遅延を示します。

表 13. EXT_SYNC = 10、DRDY 遅延

ODR_LPF	Delay (Oscillator Cycles)
0x0	8
0x1	10
0x2	14
0x3	22
0x4	38
0x5	70
0x6	134
0x7	262
0x8	1031
0x9	2054
0x10	4102

EXT_SYNC = 01—外部同期と外部クロック、インターポレーション・フィルタなし

この場合、外部ソースは $4 \times 64 \times \text{ODR}$ の周波数で外部クロックを提供します。外部クロックは、デバイスのマスター・クロック源になります。さらに、デシメーション・フィルタ出力と特定のクロック・エッジの位置を揃えるため、外部同期信号が必要になります。これにより、固定の外部クロックがデータを取得して処理し、非同期クロックを使用できない場合に、完全な外部同期を提供できます。複数のセンサーを使用する場合、外部マスター・クロックとの同期が効果的で、時間整列が必要になります。

ODR 4 kHz で EXT_SYNC = 01 に設定する場合は、INT2 ピン（ピン 13）で 1.024 MHz ($64 \times 4 \times 4 \text{ kHz}$) の外部クロックと DRDY ピン（ピン 14）で外部同期を提供する必要があります（表 14 参照）。

このモードを使用する場合、次の特別な制限が適用されます。

- 外部クロック（EXT_CLK）と外部同期を提供する必要があります。
- EXT_CLK の周波数は、 $4 \times 64 \times \text{ODR}$ に設定する必要があります。
- 同期の幅は 4 つの EXT_CLK 期間の最小値に設定する必要があります。
- 同期の位相は、EXT_CLK 立ち上がりエッジに対して約 25 ns のセットアップ・タイムを満たす必要があります。

EXT_SYNC モードを使用し、同期を提供しない場合、デバイスは自身の同期機能を使用して稼働します。同様に、同期後、デバイスは引き続き稼働し、受信された最後の同期パルスに同期されます。つまり、EXT_SYNC = 01 モードは、1 つの同期パルスでのみ使用できることを意味します。

インターポレーション・フィルタは、ODR に関連する周波数分解能を提供します（表 12 を参照）。この場合、提供されるデータは外部信号に対応します（外部信号の周波数は、設定された ODR より速くても問題ありません）。ただし、出力通過帯域は、インターポレーション・フィルタと同じままです。

表 14. INT2 と DRDY のマルチプレクス

Register or Bit Fields			Pins		Comments
EXT_CLK	EXT_SYNC[1:0]	INT_MAP[7:4]	INT2 (Pin 13)	DRDY (Pin 14)	
0	00	0000	Low	DRDY	内部クロックと同期し、外部クロック同期は行われません。
0	00	Not 0000	INT2	DRDY	
1	00	0000	EXT_CLK	DRDY	
1	00	Not 0000 ²	EXT_CLK	DRDY	
0	01	0000	DRDY	SYNC	これらのオプションにより、すべての同期パルスのデジタル・フィルタはリセットされますが、推奨できません。
0	01 ¹	Not 0000	INT2	SYNC	
1	01 ¹	0000	EXT_CLK	SYNC	外部同期、インターポレーション・フィルタなし、データが用意されたことを示す DRDY（アクティブ・ハイ）信号。前の時点のサンプル・ポイント群遅延を表すデータ。
1	01 ¹	Not 0000 ²	EXT_CLK	SYNC	
0	10	0000	DRDY	SYNC	外部同期、インターポレーション・フィルタ、データが用意されたことを示す DRDY（アクティブ・ハイ）信号。前の時点のサンプル群遅延を表すデータ。
0	10 ¹	Not 0000	INT2	SYNC	
1	10 ¹	0000	EXT_CLK	SYNC	
1	10 ¹	Not 0000	EXT_CLK	SYNC	

¹ DRDY なし。

² 有効な場合でも INT2 なし。

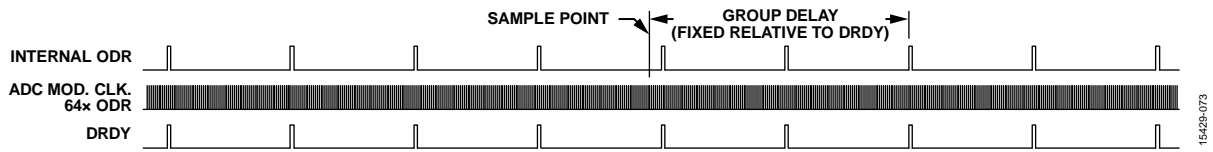


図 73. 外部同期オプション —EXT_SYNC = 00、内部同期

15429-073

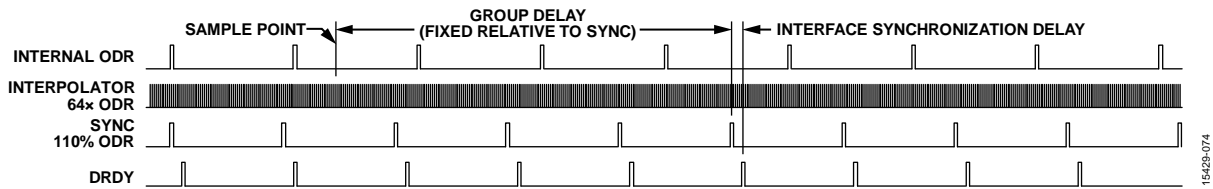


図 74. 外部同期オプション —EXT_SYNC = 10、外部同期、外部クロック、インターポレーション・フィルタ

15429-074

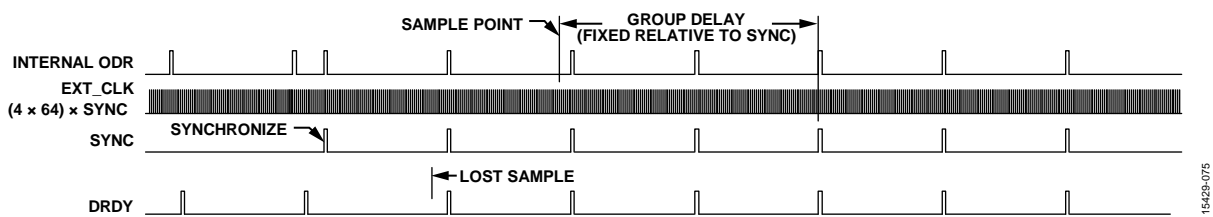


図 75. 外部同期オプション —EXT_SYNC = 01、外部同期、インターポレーション・フィルタなし

15429-075

ADXL357 のレジスタ・マップ

アプリケーションで ADXL357 を構成する場合、POWER_CTL レジスタで測定モードを有効にする前に、すべての構成レジスタをプログラムするする必要があります。ADXL357 が測定モードのときは、次の設定だけを変更できます。フィルタ・レジスタの HPF_CORNER ビット、INT_MAP レジスタ、SELF_TEST レジスタの ST1 ビットと ST2 ビット、リセット・レジスタ。

表 15. ADXL357 のレジスタ・マップ

Hex. Addr.	Register Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x00	DEVID_AD	DEVID_AD								0xAD	R	
0x01	DEVID_MST	DEVID_MST								0x1D	R	
0x02	PARTID	PARTID								0xED	R	
0x03	REVID	REVID								0x01	R	
0x04	Status	Reserved			NVM_BUSY	Activity	FIFO_OVR	FIFO_FULL	DATA_RDY	0x00	R	
0x05	FIFO_ENTRIES	Reserved	FIFO_ENTRIES								0x00	R
0x06	TEMP2	Reserved				Temperature, Bits[11:8]				0x00	R	
0x07	TEMP1	Temperature, Bits[7:0]								0x00	R	
0x08	XDATA3	XDATA, Bits[19:12]								0x00	R	
0x09	XDATA2	XDATA, Bits[11:4]								0x00	R	
0x0A	XDATA1	XDATA, Bits[3:0]				Reserved				0x00	R	
0x0B	YDATA3	YDATA, Bits[19:12]								0x00	R	
0x0C	YDATA2	YDATA, Bits[11:4]								0x00	R	
0x0D	YDATA1	YDATA, Bits[3:0]				Reserved				0x00	R	
0x0E	ZDATA3	ZDATA, Bits[19:12]								0x00	R	
0x0F	ZDATA2	ZDATA, Bits[11:4]								0x00	R	
0x10	ZDATA1	ZDATA, Bits[3:0]				Reserved				0x00	R	
0x11	FIFO_DATA	FIFO_DATA								0x00	R	
0x1E	OFFSET_X_H	OFFSET_X, Bits[15:8]								0x00	R/W	
0x1F	OFFSET_X_L	OFFSET_X, Bits[7:0]								0x00	R/W	
0x20	OFFSET_Y_H	OFFSET_Y, Bits[15:8]								0x00	R/W	
0x21	OFFSET_Y_L	OFFSET_Y, Bits[7:0]								0x00	R/W	
0x22	OFFSET_Z_H	OFFSET_Z, Bits[15:8]								0x00	R/W	
0x23	OFFSET_Z_L	OFFSET_Z, Bits[7:0]								0x00	R/W	
0x24	ACT_EN	Reserved					ACT_Z	ACT_Y	ACT_X	0x00	R/W	
0x25	ACT_THRESH_H	ACT_THRESH, Bits[15:8]								0x00	R/W	
0x26	ACT_THRESH_L	ACT_THRESH, Bits[7:0]								0x00	R/W	
0x27	ACT_COUNT	ACT_COUNT								0x01	R/W	
0x28	Filter	Reserved	HPF_CORNER				ODR_LPF				0x00	R/W
0x29	FIFO_SAMPLES	Reserved	FIFO_SAMPLES								0x60	R/W
0x2A	INT_MAP	ACT_EN2	OVR_EN2	FULL_EN2	RDY_EN2	ACT_EN1	OVR_EN1	FULL_EN1	RDY_EN1	0x00	R/W	
0x2B	Sync	Reserved					EXT_CLK	EXT_SYNC			0x00	R/W
0x2C	Range	I2C_HS	INT_POL	Reserved				Range			0x81	R/W
0x2D	POWER_CTL	Reserved					DRDY_OF	TEMP_OF	Standby	0x01	R/W	
0x2E	SELF_TEST	Reserved						ST2	ST1	0x00	R/W	
0x2F	Reset	Reset								0x00	W	

レジスタの定義

ここでは、ADXL357 レジスタの機能について説明します。ADXL357 は、表 15 のリセット列に表示されているデフォルトのレジスタ値で電源がオンになります。

アナログ・デバイセズ ID レジスタ

このレジスタには、アナログ・デバイセズ ID (0xAD) が含まれます。

アドレス: 0x00、リセット値: 0xAD、レジスタ名: DEVID_AD

表 16. DEVID_AD のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DEVID_AD		アナログ・デバイセズ ID	0xAD	R

アナログ・デバイセズ MEMS ID レジスタ

このレジスタには、アナログ・デバイセズ MEMS ID (0x1D) が含まれます。

アドレス: 0x01、リセット値: 0x1D、レジスタ名: DEVID_MST

表 17. DEVID_MST のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DEVID_MST		アナログ・デバイセズ MEMS ID	0x1D	R

デバイス ID レジスタ

このレジスタは、デバイス ID (0xED、8 進 355) を含みます。

アドレス: 0x02、リセット値: 0xED、レジスタ名: PARTID

表 18. PARTID のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	PARTID		デバイス ID (8 進 355)	0xED	R

製品リビジョン ID レジスタ

このレジスタは、0x00 から始まってリビジョンごとにインクリメントされる、製品リビジョン ID を含みます。

アドレス: 0x03、リセット値: 0x01、レジスタ名: REVID

表 19. REVID のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	REVID		マスクのリビジョン	0x01	R

ステータス・レジスタ

このレジスタには、ADXL357 の様々な条件を説明するビットが含まれます。

アドレス: 0x04、リセット値: 0x00、レジスタ名: Status

表 20. ステータスのビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	Reserved		予備。	0x0	R
4	NVM_BUSY		NVM コントローラは、リフレッシュ、プログラミング、内蔵セルフ・テスト (BIST) でビジーです。	0x0	R
3	Activity		ACT_THRESH_x レジスタと ACT_COUNT レジスタで定義されているアクティビティを検出します。	0x0	R
2	FIFO_OVR		FIFO にオーバーランが発生し、最も古いデータが失われます。	0x0	R
1	FIFO_FULL		FIFO ウォーターマークに到達しました。	0x0	R
0	DATA_RDY		X 軸、Y 軸、Z 軸の測定が完了したら、結果の読出しを実行できます。	0x0	R

FIFO エントリ・レジスタ

このレジスタは、FIFO バッファ内に存在する有効なデータ・サンプルの数を示します。この数の範囲は、0～96 です。

アドレス: **0x05**、リセット値: **0x00**、レジスタ名: **FIFO_ENTRIES**

表 21. FIFO_ENTRIES のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	Reserved		予備	0x0	R
[6:0]	FIFO_ENTRIES		FIFO に格納されているデータ・サンプルの数	0x0	R

温度データ・レジスタ

これらの2つのレジスタには、未校正の温度データが含まれます。公称インターセプトは 25 °C で 1852 LSB、公称スロープは -9.05 LSB/°C です。TEMP2 には、4つの最上位ビットが含まれ、TEMP1 には8つの最下位ビットが含まれます。ADXL357 の温度データの値はダブル・バッファされません。つまり、値は2つのレジスタを讀出す間に更新されることがあります。

アドレス: **0x06**、リセット値: **0x00**、レジスタ名: **TEMP2**

表 22. TEMP2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	Reserved		予備。		
[3:0]	Temperature, Bits[11:8]		未校正の温度データ	0x0	R

アドレス: **0x07**、リセット値: **0x00**、レジスタ名: **TEMP1**

表 23. TEMP1 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	Temperature, Bits[7:0]		未校正の温度データ	0x0	R

X 軸データ・レジスタ

これら3つのレジスタには、x 軸加速度データが含まれます。データは左寄せされ、2の補数としてフォーマットされます。

アドレス: **0x08**、リセット値: **0x00**、レジスタ名: **XDATA3**

表 24. XDATA3 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	XDATA, Bits[19:12]		X 軸データ	0x0	R

アドレス: **0x09**、リセット値: **0x00**、レジスタ名: **XDATA2**

表 25. XDATA2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	XDATA, Bits[11:4]		X 軸データ	0x0	R

アドレス: **0x0A**、リセット値: **0x00**、レジスタ名: **XDATA1**

表 26. XDATA1 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	XDATA, Bits[3:0]		X 軸データ	0x0	R
[3:0]	Reserved		予備	0x0	R

Y 軸データ・レジスタ

これら3つのレジスタには、y 軸加速度データが含まれます。データは左寄せされ、2の補数としてフォーマットされます。

アドレス: **0x0B**、リセット値: **0x00**、レジスタ名: **YDATA3**

表 27. YDATA3 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	YDATA, Bits[19:12]		Y 軸データ	0x0	R

アドレス: **0x0C**、リセット値: **0x00**、レジスタ名: **YDATA2**

表 28. YDATA2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	YDATA, Bits[11:4]		Y 軸データ	0x0	R

アドレス: **0x0D**、リセット値: **0x00**、レジスタ名: **YDATA1**

表 29. YDATA1 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	YDATA, Bits[3:0]		Y 軸データ	0x0	R
[3:0]	Reserved		予備	0x0	R

Z 軸データ・レジスタ

これら3つのレジスタには、z 軸加速度データが含まれます。データは左寄せされ、2の補数としてフォーマットされます。

アドレス: **0x0E**、リセット値: **0x00**、レジスタ名: **ZDATA3**

表 30. ZDATA3 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	ZDATA, Bits[19:12]		Z 軸データ	0x0	R

アドレス: **0x0F**、リセット値: **0x00**、レジスタ名: **ZDATA2**

表 31. ZDATA2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	ZDATA, Bits[11:4]		Z 軸データ	0x0	R

アドレス: **0x10**、リセット値: **0x00**、レジスタ名: **ZDATA1**

表 32. ZDATA1 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	ZDATA, Bits[3:0]		Z 軸データ	0x0	R
[3:0]	Reserved		予備	0x0	R

FIFO アクセス・レジスタ

アドレス: 0x11、リセット値: 0x00、レジスタ名: FIFO_DATA

このレジスタの読出しを実行して、FIFO に格納されたデータにアクセスします。

表 33. FIFO_DATA のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	FIFO_DATA		FIFO データは、24 ビット (3 バイト) で、最上位バイトが先頭になります。このアドレスの読出し時に、軸データの 3 つの等しい有効バイト・ワードが FIFO からポップされます。後続の 2 回の読出しまたは複数バイトの読出しで、このデータのインターフェースへのトランザクションが完了します。このフィールドの連続した読出しまたは持続的なマルチバイトの読出しでは、FIFO が 3 バイトずつポップされます。このアドレスへの複数バイトの読出しでは、アドレス・ポインタはインクリメントされません。前のアドレスからの自動インクリメントにより、このアドレスが読み出されると、FIFO はポップされません。代わりに 0 が返され、次のアドレスにインクリメントされます。	0x0	R

X 軸のオフセット・トリム・レジスタ

アドレス: 0x1E、リセット値: 0x00、レジスタ名: OFFSET_X_H

表 34. OFFSET_X_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	OFFSET_X, Bits[15:8]		すべての信号処理の後に X 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_X [15:0] は、XDATA [19:4] と一致します。	0x0	R/W

アドレス: 0x1F、リセット値: 0x00、レジスタ名: OFFSET_X_L

表 35. OFFSET_X_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	OFFSET_X, Bits[7:0]		すべての信号処理の後に X 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_X [15:0] は、XDATA [19:4] と一致します。	0x0	R/W

Y 軸オフセット・トリム・レジスタ

アドレス: 0x20、リセット値: 0x00、レジスタ名: OFFSET_Y_H

表 36. OFFSET_Y_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	OFFSET_Y, Bits[15:8]		すべての信号処理の後に Y 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_Y [15:0] は、YDATA [19:4] と一致します。	0x0	R/W

アドレス: 0x21、リセット値: 0x00、レジスタ名: OFFSET_Y_L

表 37. OFFSET_Y_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	OFFSET_Y, Bits[7:0]		すべての信号処理の後に Y 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_Y [15:0] は、YDATA [19:4] と一致します。	0x0	R/W

Z 軸オフセット・トリム・レジスタ

アドレス: 0x22、リセット値: 0x00、レジスタ名: OFFSET_Z_H

表 38. OFFSET_Z_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	OFFSET_Z, Bits[15:8]		すべての信号処理の後に Z 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_Z [15:0] は、ZDATA [19:4] と一致します。	0x0	R/W

アドレス: 0x23、リセット値: 0x00、レジスタ名: OFFSET_Z_L

表 39. OFFSET_Z_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	OFFSET_Z, Bits[7:0]		すべての信号処理の後に Z 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_Z [15:0] は、ZDATA [19:4] と一致します。	0x0	R/W

アクティビティ・イネーブル・レジスタ

アドレス: 0x24、リセット値: 0x00、レジスタ名: ACT_EN

表 40. ACT_EN のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:3]	Reserved		予備。	0x0	R
2	ACT_Z		Z 軸データは、アクティビティ検出アルゴリズムの構成要素です。	0x0	R/W
1	ACT_Y		Y 軸データは、アクティビティ検出アルゴリズムの構成要素です。	0x0	R/W
0	ACT_X		X 軸データは、アクティビティ検出アルゴリズムの構成要素です。	0x0	R/W

アクティビティ閾値レジスタ

アドレス: 0x25、リセット値: 0x00、レジスタ名: ACT_THRESH_H

表 41. ACT_THRESH_H のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	ACT_THRESH[15:8]		アクティビティ検出の閾値加速度的大きさは、アクティビティ・カウンタをトリガする ACT_THRESH 以上にする必要があります。ACT_THRESH 符号なしの大きさは、ACT_TRESH [15:0] は、XDATA [18:3]、YDATA [18:3]、ZDATA [18:3] と一致します。	0x0	R/W

アドレス: 0x26、リセット値: 0x00、レジスタ名: ACT_THRESH_L

表 42. THRESH_ACT_X_L のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	ACT_THRESH[7:0]		アクティビティ検出の閾値加速度的大きさは、アクティビティ・カウンタをトリガする ACT_THRESH の値より大きい必要があります。ACT_THRESH 符号なしの大きさは、ACT_TRESH [15:0] は、XDATA [18:3]、YDATA [18:3]、ZDATA [18:3] と一致します。	0x0	R/W

アクティビティ・カウント・レジスタ

アドレス: 0x27、リセット値: 0x01、レジスタ名: ACT_COUNT

表 43. ACT_COUNT のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	ACT_COUNT		アクティビティを検出するために必要な閾値 (ACT_THRESH) 以上の連続したイベントの数	0x1	R/W

フィルタ設定レジスタ

アドレス: 0x28、リセット値: 0x00、レジスタ名: Filter

このレジスタを使用して内部ハイパス・フィルタとローパス・フィルタのパラメータを指定します。

表 44. Filter のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	Reserved		予備	0x0	R
[6:4]	HPF_CORNER	000 001 010 011 100 101 110	ODR に関連する一次ハイパス・フィルタの 3 dB フィルタ・コーナー 該当なし。有効なハイパス・フィルタなし $247 \times 10^3 \times \text{ODR}$ $62.084 \times 10^3 \times \text{ODR}$ $15.545 \times 10^3 \times \text{ODR}$ $3.862 \times 10^3 \times \text{ODR}$ $0.954 \times 10^3 \times \text{ODR}$ $0.238 \times 10^3 \times \text{ODR}$	0x0	R/W
[3:0]	ODR_LPF	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010	ODR とローパス・フィルタ・コーナー 4000 Hz および 1000 Hz 2000 Hz および 500 Hz 1000 Hz および 250 Hz 500 Hz および 125 Hz 250 Hz および 62.5 Hz 125 Hz および 31.25 Hz 62.5 Hz および 15.625 Hz 31.25 Hz および 7.813 Hz 15.625 Hz および 3.906 Hz 7.813 Hz および 1.953 Hz 3.906 Hz および 0.977 Hz	0x0	R/W

FIFO サンプル・レジスタ

アドレス: 0x29、リセット値: 0x60、レジスタ名: FIFO_SAMPLES

FIFO_SAMPLES の値を使用して、FIFO に格納するサンプルの数を指定します。FIFO ウォーターマーク割込みのトリガを回避するため、このレジスタのデフォルト値は 0x60 です。

表 45. FIFO_SAMPLES のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	Reserved		予備。	0x0	R
[6:0]	FIFO_SAMPLES		FIFO_FULL 条件をトリガする FIFO に格納されるサンプルのウォールマーク番号。値の範囲は 1 ~ 96 です。	0x60	R/W

割込みピン (INTx) の機能マップレジスタ

アドレス: 0x2A、リセット値: 0x00、レジスタ名: INT_MAP

INT_MAP レジスタを使用して割込みピンを設定します。ビット [7:0] を使用して、ピン INT1 と INT2 に割込みを生成する機能を選択します。複数のイベントを設定できます。対応するビットを 1 に設定した場合、この機能によって割込みピンに割込みが生成されます。

表 46. INT_MAP のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	ACT_EN2		アクティブ割込みが INT2 で有効	0x0	R/W
6	OVR_EN2		FIFO_OVR 割り込みが INT2 で有効	0x0	R/W
5	FULL_EN2		FIFO_FULL 割り込みが INT2 で有効	0x0	R/W
4	RDY_EN2		DATA_RDY 割り込みが INT2 で有効	0x0	R/W
3	ACT_EN1		アクティブ割込みが INT1 で有効	0x0	R/W
2	OVR_EN1		FIFO_OVR 割り込みが INT1 で有効	0x0	R/W
1	FULL_EN1		FIFO_FULL 割り込みが INT1 で有効	0x0	R/W
0	RDY_EN1		DATA_RDY 割り込みが INT1 で有効	0x0	R/W

データ同期

アドレス: 0x2B、リセット値: 0x00、レジスタ名: Sync

このレジスタを使用して、外部タイミング・トリガを制御します。

表 47. Sync のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:3]	Reserved		予備。	0x0	R
2	EXT_CLK		外部クロックを有効にします。表 14 を参照してください。表 14 に INT2 と DRDY のマルチプレクスについて、設定の詳細を示しています。	0x0	R/W
[1:0]	EXT_SYNC	00 01 10 11	外部同期コントロールを有効にします。 00 内部同期。 01 外部同期、インターポレーション・フィルタなし。同期後、仕様規定された EXT_SYNC では、DATA_RDY が EXT_SYNC で発生します。 10 外部同期、インターポレーション・フィルタ、14 ~ 8204 発振器サイクル後に使用できることが DATA_RDY で示されるデータ（高い ODR_LPF 設定向けの長い遅延）、前の時点のサンプル・ポイント群遅延を表すデータ。 11 予備。	0x0	R/W

I²C 速度、割込み極性、範囲レジスタ

アドレス: 0x2C、リセット値: 0x81、レジスタ名: Range

表 48. Range のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	I2C_HS	1 0	I ² C 速度。 1 ハイスピード・モード。 0 高速モード。	0x1	R/W
6	INT_POL	0 1	割り込み極性。 0 INT1 と INT2 は、アクティブ・ローです。 1 INT1 と INT2 は、アクティブ・ハイです。	0x0	R/W
[5:2]	Reserved		予備。	0x0	R
[1:0]	Range	01 10 11	範囲。 01 ±10 g。 10 ±20 g。 11 ±40 g。	0x1	R/W

パワー・コントロール・レジスタ

アドレス: 0x2D、リセット値: 0x01、レジスタ名: POWER_CTL

表 49. POWER_CTL のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:3]	Reserved		予備。	0x0	R
2	DRDY_OFF		1 に設定すると、通常の信号データの準備が整っているモードでは、DRDY 出力が強制的に 0 になります。	0x0	R/W
1	TEMP_OFF		1 に設定すると、温度処理が無効になります。STANDBY = 1 でも温度処理は無効になります。	0x0	R/W
0	Standby	1 0	スタンバイまたは測定モード。 1 スタンバイ・モード。スタンバイ・モードでは、デバイスは低消費電力状態になり、温度と加速度のデータパスは動作しません。さらに、FIFO ポインタなどのデジタル機能はリセットされます。STANDBY = 1 の場合は、デバイスの構成設定を変更する必要があります。デバイスの動作時に変更できるハイパス・フィルタは例外です。 0 測定モード。	0x1	R/W

セルフ・テスト・レジスタ

アドレス: 0x2E、リセット値: 0x00、レジスタ名: SELF_TEST

セルフ・テスト機能の動作の詳細については、セルフ・テストのセクションを参照してください。

表 50. SELF_TEST のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:2]	Reserved		予備。	0x0	R
1	ST2		セルフ・テスト力を有効にするには、1 に設定	0x0	R/W
0	ST1		セルフ・テスト・モードを有効にするには、1 に設定	0x0	R/W

リセット・レジスタ

アドレス: 0x2F、リセット値: 0x00、レジスタ名: リセット

表 51. Reset のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	Reset		パワーオン・リセット (POR) と同様に、コード 0x52 を書き込んでデバイスをリセットします。	0x0	W

PCB フットプリント・パターン

図 76 に、PCB フットプリント・パターンと寸法（ミリメートル単位）を示します。

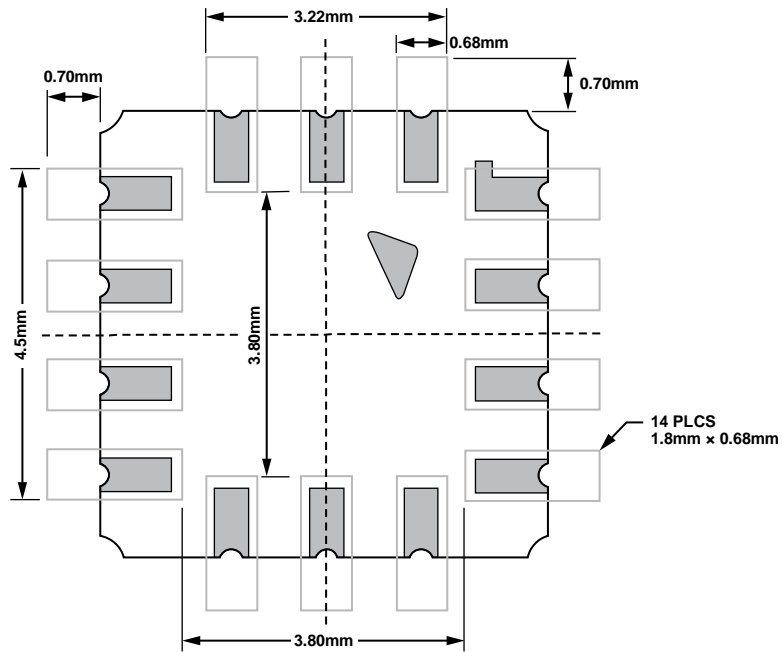


図 76. PCB フットプリント・パターンと寸法（ミリメートル単位）

15429-076

外形寸法

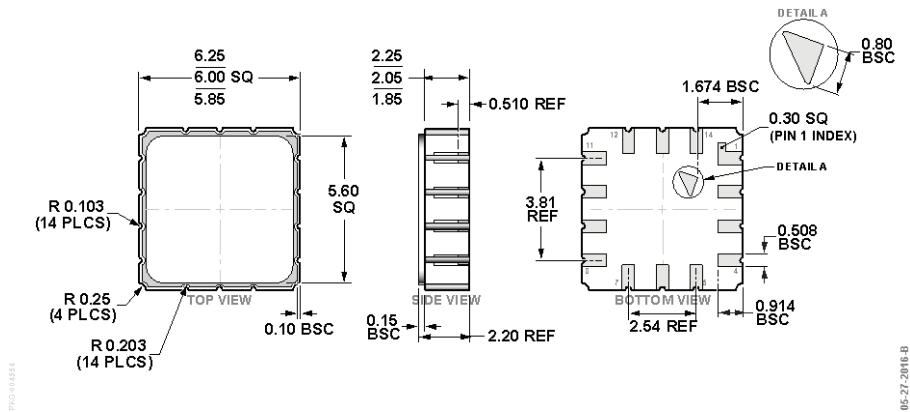


図 77. 14 端子セラミック リードレス・チップ・キャリア [LCC]
(E-14-1)
寸法 (ミリ単位)

オーダー・ガイド

Model ¹	Output Mode	Measurement Range (g)	Specified Voltage (V)	Temperature Range	Package Description	Package Option
ADXL356BEZ	Analog	±10, ±20	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL356BEZ-RL	Analog	±10, ±20	3.3	-40°C to +125°C	14-Terminal LCC, 13" Reel	E-14-1
ADXL356BEZ-RL7	Analog	±10, ±20	3.3	-40°C to +125°C	14-Terminal LCC, 7" Reel	E-14-1
ADXL356CEZ	Analog	±10, ±40	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL356CEZ-RL	Analog	±10, ±40	3.3	-40°C to +125°C	14-Terminal LCC, 13" Reel	E-14-1
ADXL356CEZ-RL7	Analog	±10, ±40	3.3	-40°C to +125°C	14-Terminal LCC, 7" Reel	E-14-1
ADXL357BEZ	Digital	±10.24, ±20.48, ±40.96	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL357BEZ-RL	Digital	±10.24, ±20.48, ±40.96	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL357BEZ-RL7	Digital	±10.24, ±20.48, ±40.96	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
EVAL-ADXL356BZ					Evaluation Board for ADXL356B	
EVAL-ADXL356CZ					Evaluation Board for ADXL356C	
EVAL-ADXL357Z					Evaluation Board for ADXL357	

¹ Z = RoHS 準拠製品。