

特長

- 優れたゼロ g バイアス精度と安定性を実現する最小/最大仕様値
- 超低消費電力: $V_S=2.5V$ の測定モードにおいて $45\mu A$ 、スタンバイモード時において $0.1\mu A$ (ともに Typ 値)
- 周波数帯域幅設定により消費電力を自動的に調整
- アプリケーションに合わせて分解能を選択可能
 - 10ビット固定分解能モード
 - 最大分解能で g レンジに合わせて分解能が増加: $\pm 8g$ 時の最大分解能は 13ビット (全 g レンジで $2mg/LSB$ のスケール係数)
- 32レベル FIFO バッファ内蔵によりホスト・プロセッサの負荷を軽減
- タップ/ダブル・タップおよび自由落下の検出
- アクティブ/インアクティブの監視
- 電源電圧範囲: $2.0V\sim 3.6V$
- I/O 電圧範囲: $1.7V\sim V_S$
- SPI (3線式または4線式) および I^2C デジタル・インターフェース
- 2本の割込み出力ピンのどちらかにマッピングできる柔軟な割込みモード
- 測定 g レンジはシリアル・コマンドで選択可能
- 周波数帯域幅はシリアル・コマンドで選択可能
- 広い動作温度範囲 ($-40^{\circ}C\sim +85^{\circ}C$)
- 10,000 g の耐衝撃性
- 鉛フリー/RoHS 準拠
- 小型・薄型パッケージ: $4mm \times 3mm \times 1.2mm$ キャビティ LGA パッケージ

アプリケーション

- ポータブル・コンシューマ・デバイス
- 高性能医用/工業用アプリケーション

概要

高性能の **ADXL350** は小型・薄型の低消費電力 3軸加速度センサーです。13ビットの高分解能で、最大 $\pm 8g$ までの測定 g レンジを選択できます。また、**ADXL350** は業界をリードする高いノイズ性能と温度性能を備えており、最小限のキャリブレーションで信頼性の高いアプリケーションを実現します。デジタル出力データは16ビットの「2の補数」フォーマットで、SPI (3線式または4線式) あるいは I^2C デジタル・インターフェースでアクセスできます。

ADXL350 は、高性能ポータブル・アプリケーションに最適です。この製品は、傾き検出アプリケーションにおける静的重力加速度のほか、動きや衝撃による動的加速度も計測できます。傾き検出の場合は、その高分解能 ($2mg/LSB$) によって 1.0° 未満の傾きの変化を測定できます。

また、この製品は内蔵アルゴリズムに基づく複数のセンシング機能も提供します。アクティブ/インアクティブ検出機能は、動き (モーション) の有無や、いずれかの軸の加速度がユーザ設定レベルを超えたかどうかを検出します。タップ検出機能はシングル・タップとダブル・タップを検出し、自由落下検出機能はデバイスの落下を検出します。これらの機能は、2本の割込み出力ピンのどちらかにマッピングできます。

低消費電力で動作させる場合では、加速度の入力信号に基づいたパワーマネジメントを実現し、きわめて低い消費電力でアクティブ検出と加速度測定を行います。**ADXL350** は、小型・薄型の $3mm \times 4mm \times 1.2mm$ 、16ピンのキャビティ・ラミネート・パッケージを採用しています。

機能ブロック図

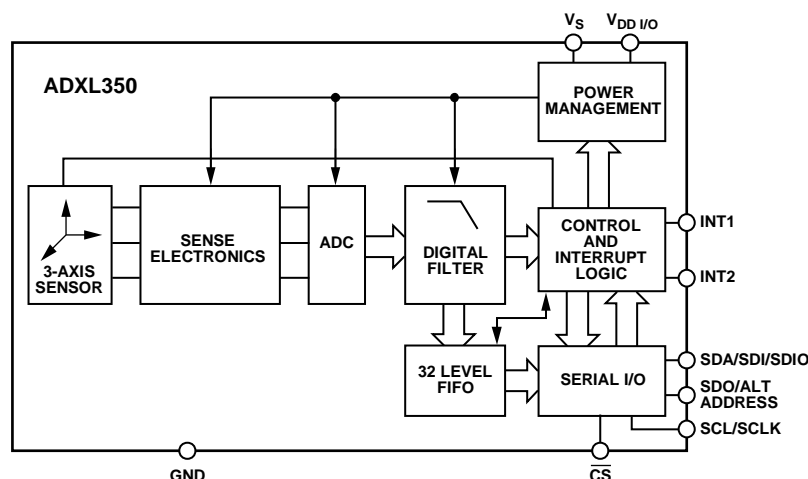


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	割込み.....	21
アプリケーション.....	1	FIFO.....	21
概要.....	1	セルフテスト.....	22
機能ブロック図.....	1	レジスタ・マップ.....	23
改訂履歴.....	2	レジスタ定義.....	24
仕様.....	3	アプリケーション情報.....	28
絶対最大定格.....	4	電源のデカップリング.....	28
熱抵抗.....	4	取付けに関する物理的留意点.....	28
パッケージ情報.....	4	タップ検出.....	28
ESDに関する注意.....	4	閾値.....	29
ピン配置と機能の説明.....	5	リンク・モード.....	29
代表的な性能特性.....	6	スリープ・モードと低消費電力モード.....	29
動作原理.....	14	オフセット・キャリブレーション.....	29
電源シーケンシング.....	14	セルフテストの使用方法.....	30
節電.....	15	加速度検出軸.....	32
シリアル通信.....	16	レイアウトと設計の推奨事項.....	33
SPI.....	16	外形寸法.....	34
I ² C.....	19	オーダー・ガイド.....	34

改訂履歴

9/12—Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.5\text{ V}$ 、 $V_{DD10} = 2.5\text{ V}$ 、加速度 = 0 g 、 $C_{I0} = 0.1\text{ }\mu\text{F}$ 。最小値 (Min) と最大値 (Max) はすべて保証されていますが、代表値 (Typ) は保証されていません。

表 1.

Parameter	Test Conditions	Min	Typ	Max	Unit
SENSOR INPUT					
Measurement Range	Each axis User selectable		$\pm 1, \pm 2, \pm 4, \pm 8$		g
Nonlinearity	Percentage of full scale		± 0.5		%
Inter-Axis Alignment Error			± 0.1		Degrees
Cross-Axis Sensitivity ¹			± 3		%
OUTPUT RESOLUTION					
All g Ranges	Each axis 10-bit resolution		10		Bits
$\pm 1\text{ g}$ Range	Full resolution		10		Bits
$\pm 2\text{ g}$ Range	Full resolution		11		Bits
$\pm 4\text{ g}$ Range	Full resolution		12		Bits
$\pm 8\text{ g}$ Range	Full resolution		13		Bits
SENSITIVITY					
Sensitivity at $X_{OUT}, Y_{OUT}, Z_{OUT}$	Each axis Any g-range, full resolution	473.6	512	550.4	LSB/g
Scale Factor at $X_{OUT}, Y_{OUT}, Z_{OUT}$	Any g-range, full resolution	1.80	1.95	2.10	mg/LSB
Sensitivity at $X_{OUT}, Y_{OUT}, Z_{OUT}$	$\pm 1\text{ g}$, 10-bit resolution	473.6	512	550.4	LSB/g
Scale Factor at $X_{OUT}, Y_{OUT}, Z_{OUT}$	$\pm 1\text{ g}$, 10-bit resolution	1.80	1.95	2.10	mg/LSB
Sensitivity at $X_{OUT}, Y_{OUT}, Z_{OUT}$	$\pm 2\text{ g}$, 10-bit resolution	236.8	256	275.2	LSB/g
Scale Factor at $X_{OUT}, Y_{OUT}, Z_{OUT}$	$\pm 2\text{ g}$, 10-bit resolution	3.61	3.91	4.21	mg/LSB
Sensitivity at $X_{OUT}, Y_{OUT}, Z_{OUT}$	$\pm 4\text{ g}$, 10-bit resolution	118.4	128	137.6	LSB/g
Scale Factor at $X_{OUT}, Y_{OUT}, Z_{OUT}$	$\pm 4\text{ g}$, 10-bit resolution	7.22	7.81	8.40	mg/LSB
Sensitivity at $X_{OUT}, Y_{OUT}, Z_{OUT}$	$\pm 8\text{ g}$, 10-bit resolution	59.2	64	68.8	LSB/g
Scale Factor at $X_{OUT}, Y_{OUT}, Z_{OUT}$	$\pm 8\text{ g}$, 10-bit resolution	14.45	15.63	16.80	mg/LSB
Sensitivity Change Due to Temperature			± 0.01		$\% / ^\circ\text{C}$
0 g BIAS LEVEL					
0 g Output for X_{OUT}, Y_{OUT}	Each axis	-150	± 50	+150	Mg
0 g Output for Z_{OUT}		-250	± 75	+250	Mg
0 g Offset vs. Temperature (X Axis and Y Axis) ²		-0.31	± 0.17	+0.31	$\text{mg}/^\circ\text{C}$
0 g Offset vs. Temperature (Z Axis) ²		-0.49	± 0.24	+0.49	$\text{mg}/^\circ\text{C}$
NOISE PERFORMANCE					
Noise (X-Axis and Y-Axis)	100 Hz data rate, full resolution		1.1		LSB rms
Noise (Z-Axis)	100 Hz data rate, full resolution		1.7		LSB rms
OUTPUT DATA RATE AND BANDWIDTH					
Measurement Rate ³	User selectable	6.25		3200	Hz
SELF-TEST⁴					
	Data rate $\geq 100\text{ Hz}$, $2.0\text{ V} \leq V_S \leq 3.6\text{ V}$				
Output Change in X-Axis		0.2		2.1	g
Output Change in Y-Axis		-2.1		-0.2	g
Output Change in Z-Axis		0.3		3.4	g
POWER SUPPLY					
Operating Voltage Range (V_S)		2.0	2.5	3.6	V
Interface Voltage Range (V_{DD10})		1.7	1.8	V_S	V
Supply Current	Data rate $> 100\text{ Hz}$		166		μA
	Data rate $< 10\text{ Hz}$		45		μA
Standby Mode Leakage Current			0.1	2	μA
Turn-On Time ⁵	Data rate = 3200 Hz		1.4		ms
OPERATING TEMPERATURE RANGE					
		-40		+85	$^\circ\text{C}$

¹ 交差軸感度は、任意の2軸間のカップリングを意味します。

² オフセット温度特性の最小/最大値は特性評価によって保証されており、 $\pm 3\sigma$ の平均分布で表されます。

³ 周波数帯域幅は出力データレートの半分です。

⁴ セルフテスト変動は、SELF_TEST ビット = 1 (DATA_FORMAT レジスタ) の場合の出力 (g) から SELF_TEST ビット = 0 (DATA_FORMAT レジスタ) の場合の出力 (g) を減算した値です。デバイス内蔵のフィルタによって、セルフテストをオン/オフしてから $4 \times \tau$ 後に出力が安定します。ここで、 $\tau = 1/(\text{データレート})$ です。

⁵ ターンオン時間とウェークアップ時間は、ユーザ定義の周波数帯域幅によって決まります。100 Hz のデータレートにおけるターンオン時間とウェークアップ時間は、それぞれ約 11.1 ms です。それ以外のデータレートでは、それぞれ約 $\tau + 1.1\text{ ms}$ です。ここで、 $\tau = 1/(\text{データレート})$ です。

絶対最大定格

表 2.

Parameter	Rating
Acceleration	
Any Axis, Unpowered	10,000 g
Any Axis, Powered	10,000 g
V_S	-0.3 V to +3.6 V
$V_{DD I/O}$	-0.3 V to +3.6 V
Digital Pins	-0.3 V to $V_{DD I/O} + 0.3$ V or 3.6 V, whichever is less
All Other Pins	-0.3 V to +3.6 V
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
Temperature Range	
Powered	-40°C to +105°C
Storage	-40°C to +105°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

表 3. パッケージ特性

Package Type	θ_{JA}	θ_{JC}	Device Weight
16-Terminal LGA_CAV	150°C/W	85°C/W	20 mg

パッケージ情報

図 2 および表 4 に、ADXL350 のパッケージ・マーキングの詳細を示します。製品リリース関連情報については「オーダー・ガイド」を参考してください。



図 2. 製品パッケージ情報 (上面図)

表 4. パッケージ・マーキング

Branding Key	Field Description
XL350B	Part identifier for ADXL350
yw	Date code
VVVV	Factory lot code

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されずにそのまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

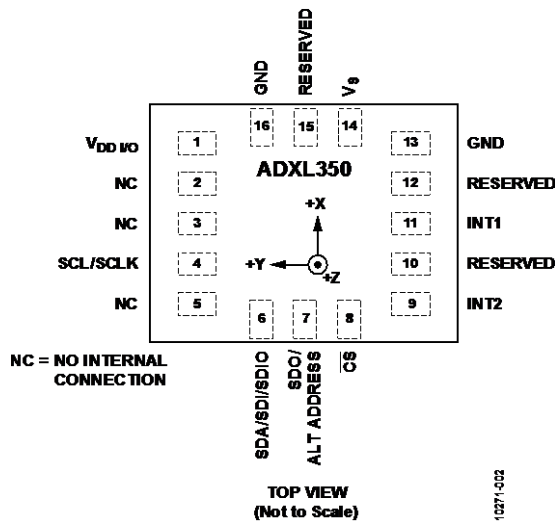


図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	V _{DDIO}	デジタル・インターフェース電源電圧
2	NC	無接続
3	NC	無接続
4	SCL/SCLK	シリアル通信クロック
5	NC	無接続
6	SDA/SDI/SDIO	シリアル・データ (I ² C) / シリアル・データ入力 (SPI4 線式) / シリアル・データ入力/出力 (SPI3 線式)
7	SDO/ALT ADDRESS	シリアル・データ出力 (SPI4 線式) / または I ² C アドレス選択
8	CS	チップ・セレクト
9	INT2	割込み 2 出力
10	RESERVED	無接続もしくはグラウンド
11	INT1	割込み 1 出力
12	RESERVED	グラウンド
13	GND	グラウンド
14	V _S	電源電圧
15	RESERVED	V _S に接続もしくは無接続
16	GND	グラウンド

代表的な性能特性

特に指定がない限り、すべて N = 460 の代表的な性能特性。

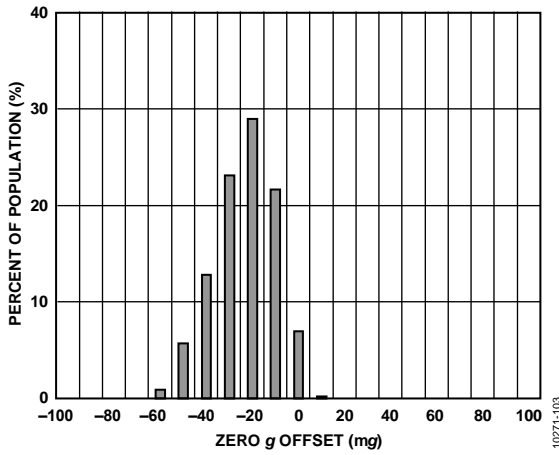


図 4. X軸のゼロ g オフセット (25°C、 $V_S = 2.5\text{ V}$)

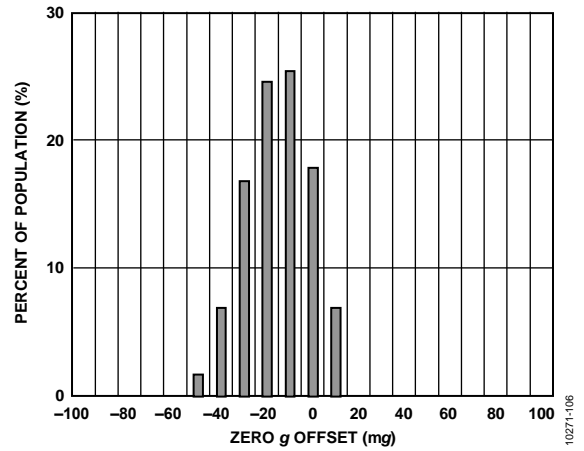


図 7. X軸のゼロ g オフセット (25°C、 $V_S = 3.0\text{ V}$)

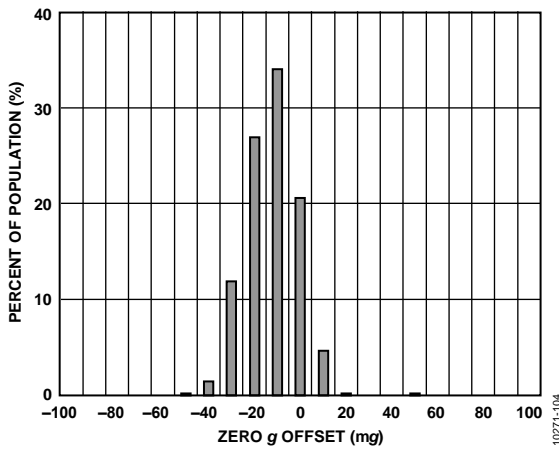


図 5. Y軸のゼロ g オフセット (25°C、 $V_S = 2.5\text{ V}$)

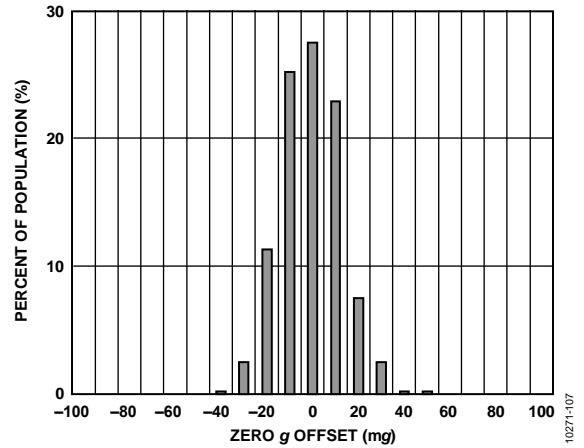


図 8. Y軸のゼロ g オフセット (25°C、 $V_S = 3.0\text{ V}$)

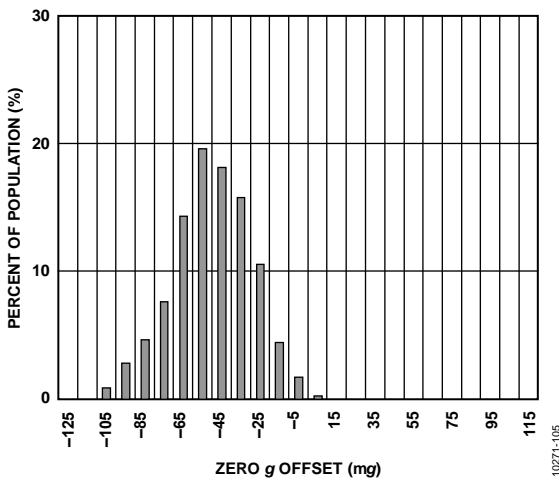


図 6. Z軸のゼロ g オフセット (25°C、 $V_S = 2.5\text{ V}$)

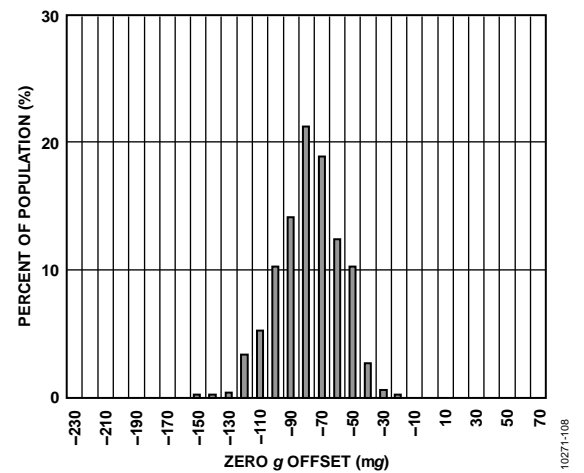


図 9. Z軸のゼロ g オフセット (25°C、 $V_S = 3.0\text{ V}$)

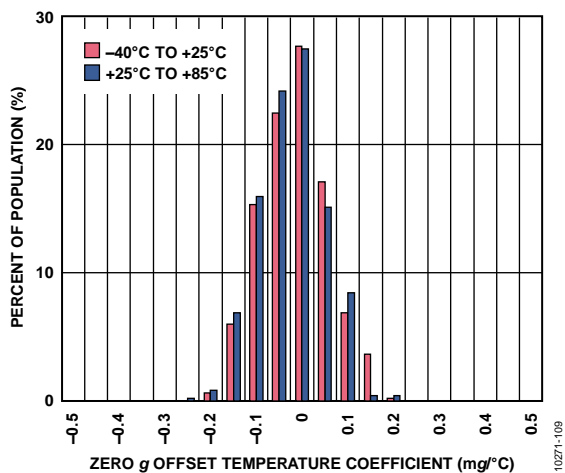


図 10. X軸のゼロ g オフセット温度係数 ($V_S = 2.5 V$)

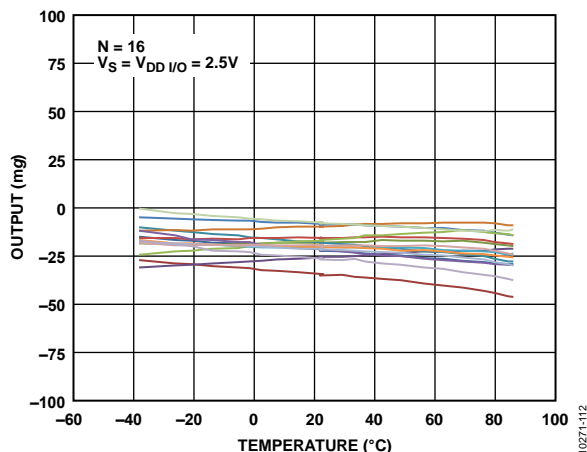


図 13. X軸のゼロ g オフセット温度特性 (16 個のデバイスを PCB にハンダ付け、 $V_S = 2.5 V$)

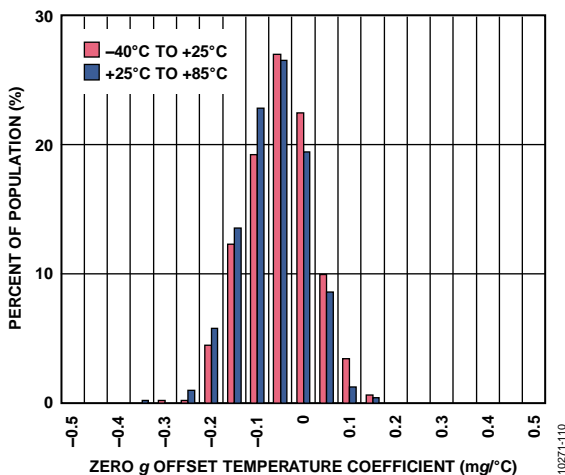


図 11. Y軸のゼロ g オフセット温度係数 ($V_S = 2.5 V$)

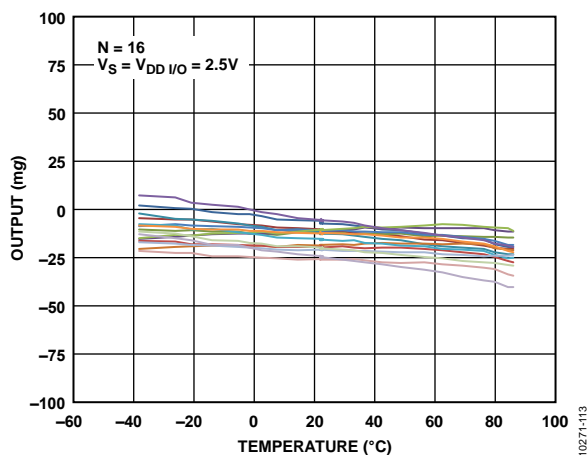


図 14. Y軸のゼロ g オフセット温度特性 (16 個のデバイスを PCB にハンダ付け、 $V_S = 2.5 V$)

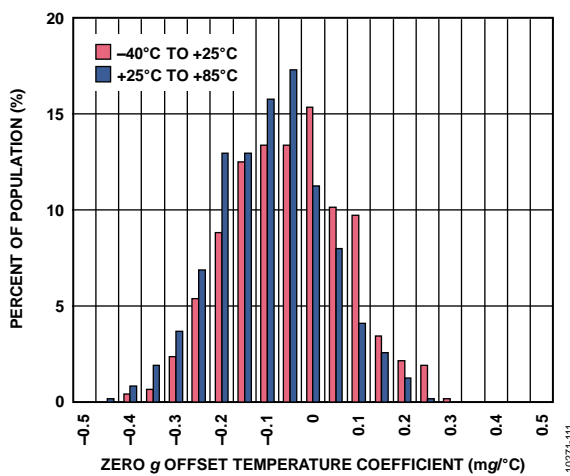


図 12. Z軸のゼロ g オフセット温度係数 ($V_S = 2.5 V$)

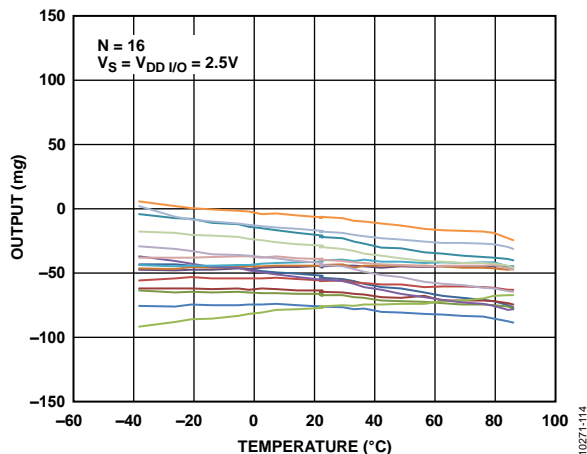


図 15. Z軸のゼロ g オフセット温度特性 (16 個のデバイスを PCB にハンダ付け、 $V_S = 2.5 V$)

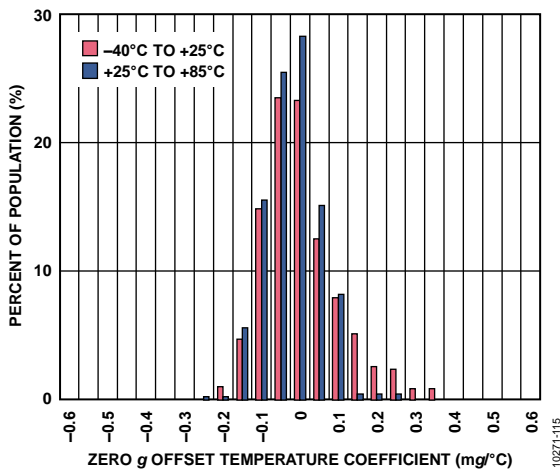


図 16. X軸のゼロ g オフセット温度係数 ($V_S = 3.0\text{ V}$)

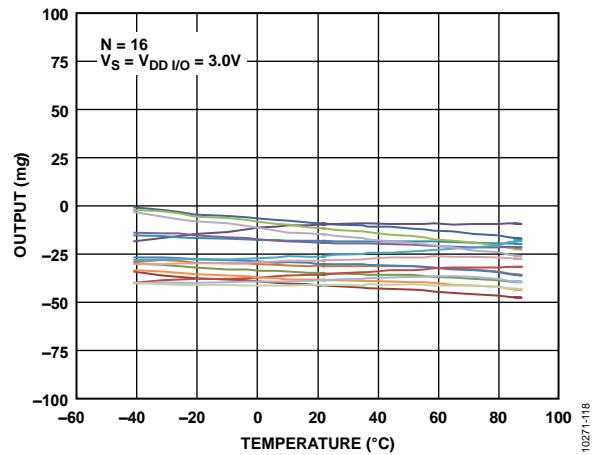


図 19. X軸のゼロ g オフセット温度特性 (16個のデバイスをPCBにハンダ付け、 $V_S = 3.0\text{ V}$)

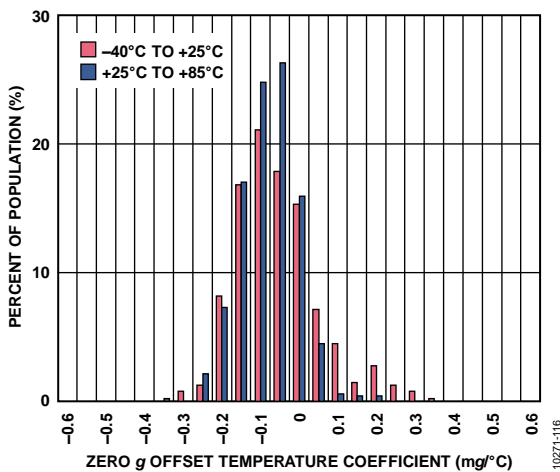


図 17. Y軸のゼロ g オフセット温度係数 ($V_S = 3.0\text{ V}$)

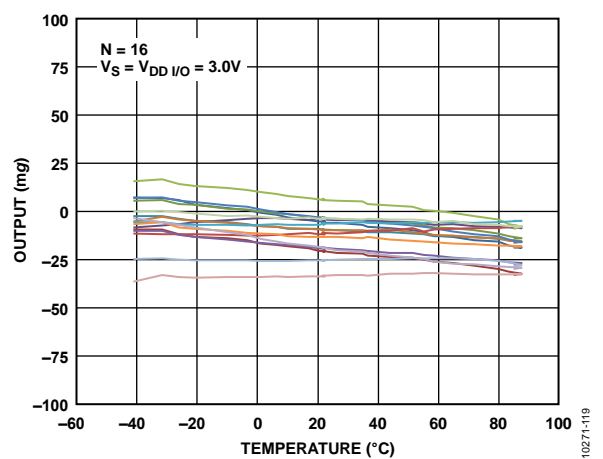


図 20. Y軸のゼロ g オフセット温度特性 (16個のデバイスをPCBにハンダ付け、 $V_S = 3.0\text{ V}$)

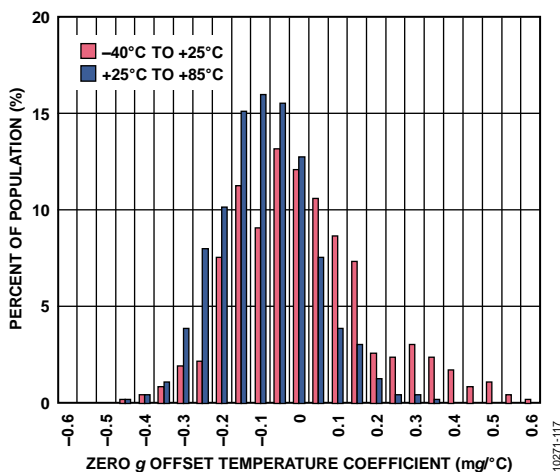


図 18. Z軸のゼロ g オフセット温度係数 ($V_S = 3.0\text{ V}$)

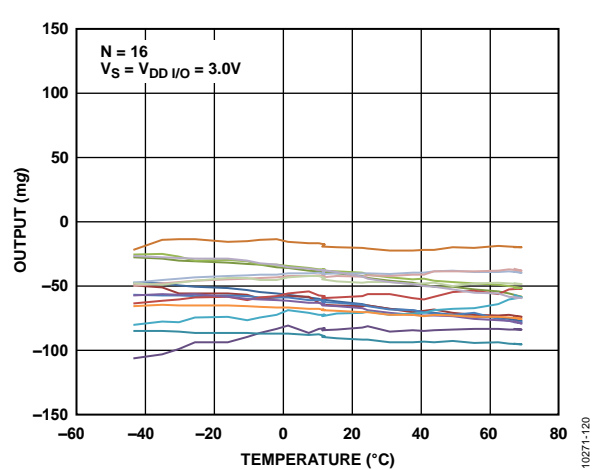


図 21. Z軸のゼロ g オフセット温度特性 (16個のデバイスをPCBにハンダ付け、 $V_S = 3.0\text{ V}$)

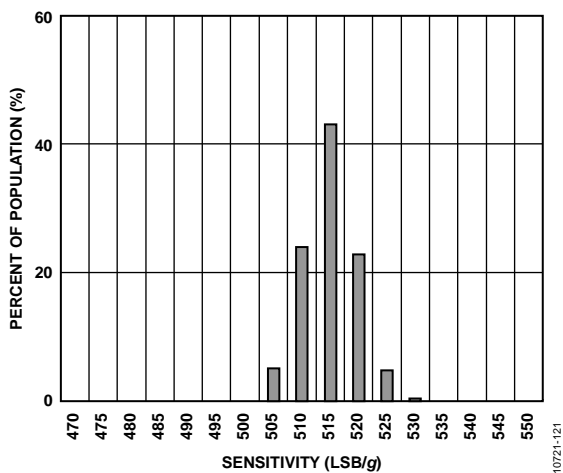


図 22. X 軸の感度 (25°C、 $V_s = 2.5$ V、最大分解能)

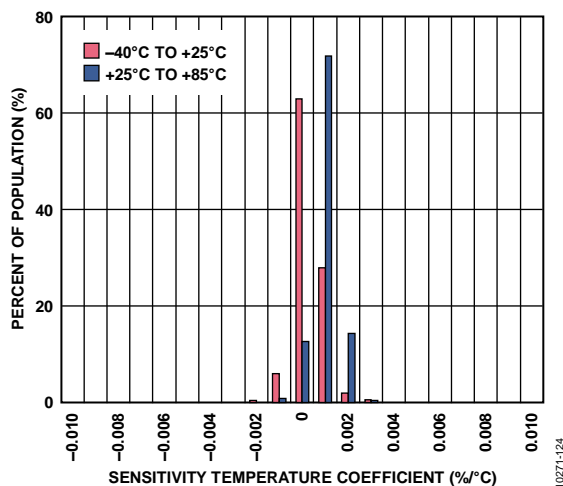


図 25. X 軸の感度温度係数 ($V_s = 2.5$ V)

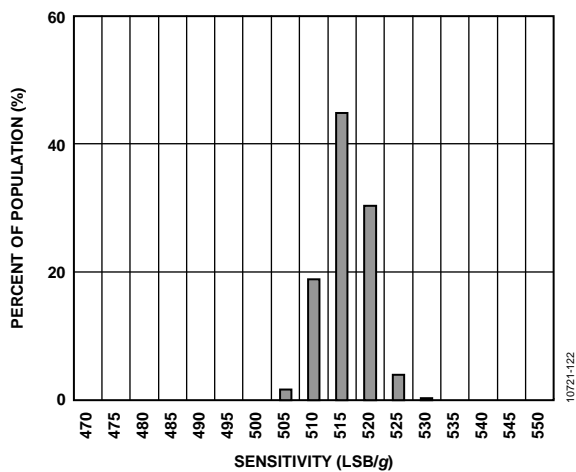


図 23. Y 軸の感度 (25°C、 $V_s = 2.5$ V、最大分解能)

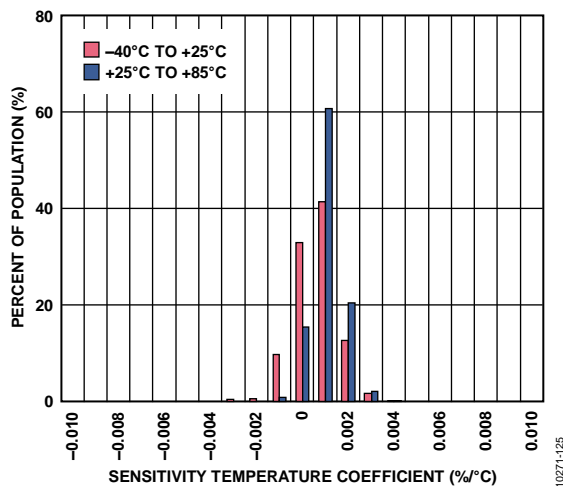


図 26. Y 軸の感度温度係数 ($V_s = 2.5$ V)

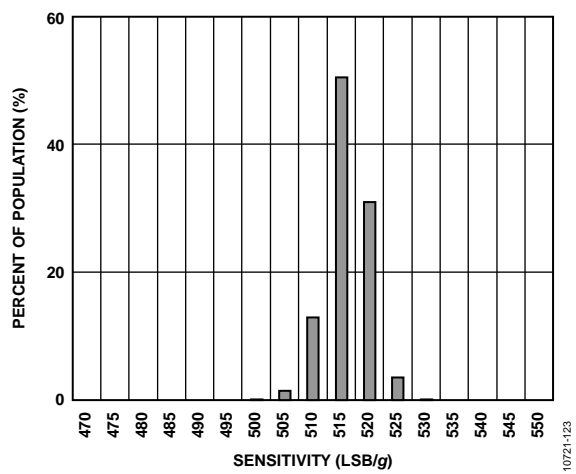


図 24. Z 軸の感度 (25°C、 $V_s = 2.5$ V、最大分解能)

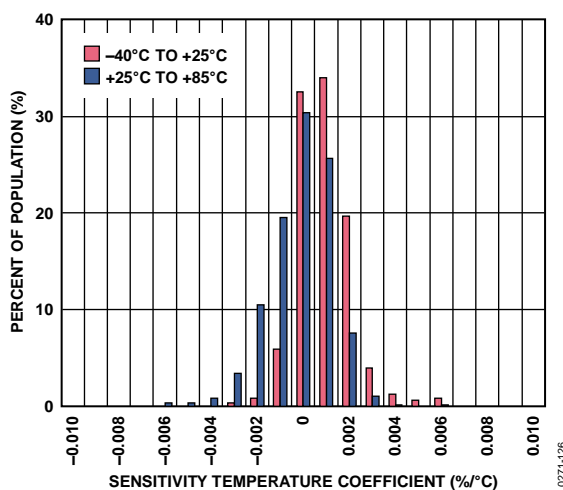


図 27. Z 軸の感度温度係数 ($V_s = 2.5$ V)

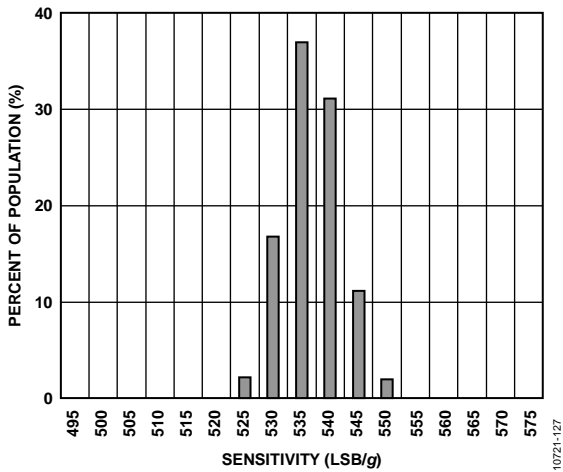


図 28. X 軸の感度 ($V_s = 3.0$ V、最大分解能)

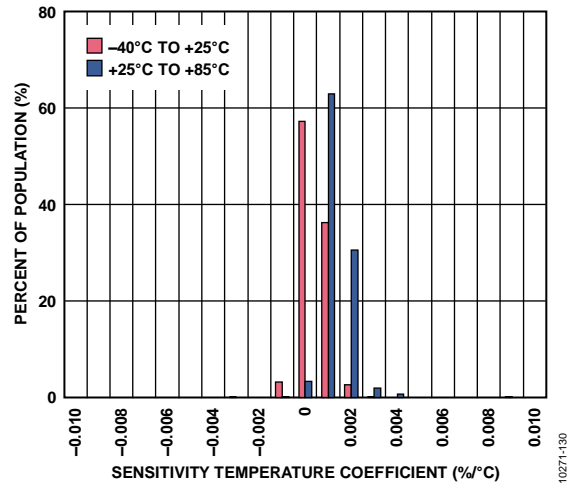


図 31. X 軸の感度温度係数 ($V_s = 3.0$ V)

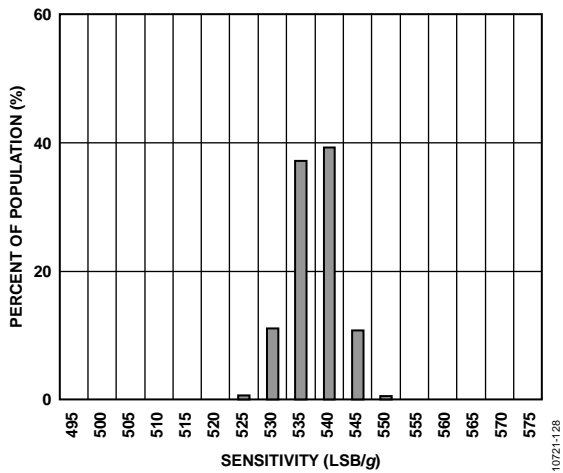


図 29. Y 軸の感度 ($V_s = 3.0$ V、最大分解能)

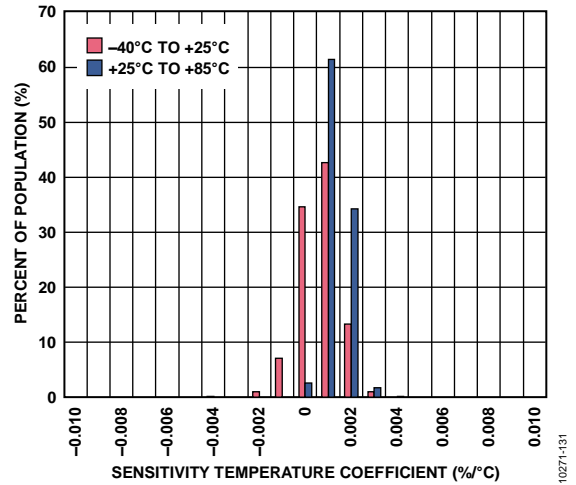


図 32. Y 軸の感度温度係数 ($V_s = 3.0$ V)

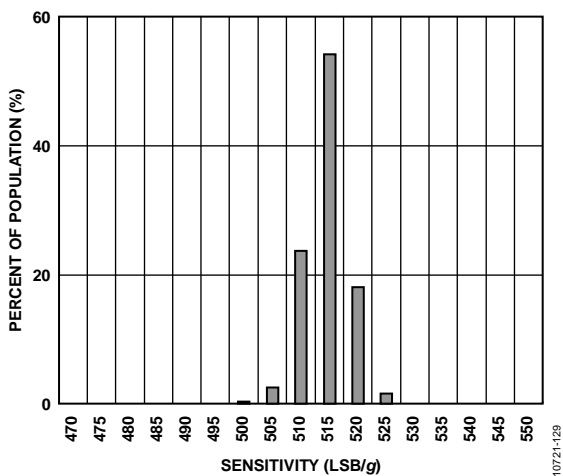


図 30. Z 軸の感度 ($V_s = 3.0$ V、最大分解能)

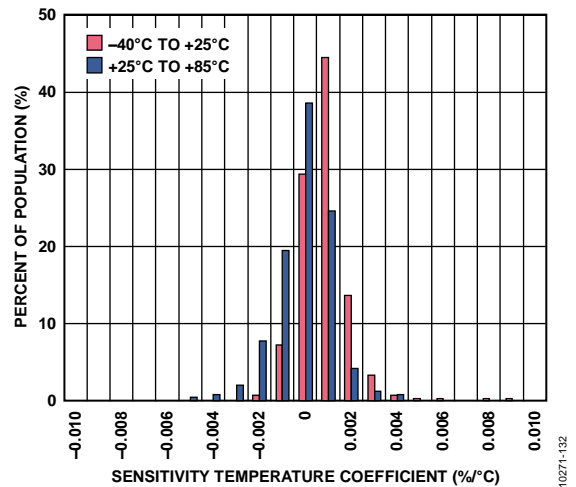


図 33. Z 軸の感度温度係数 ($V_s = 3.0$ V)

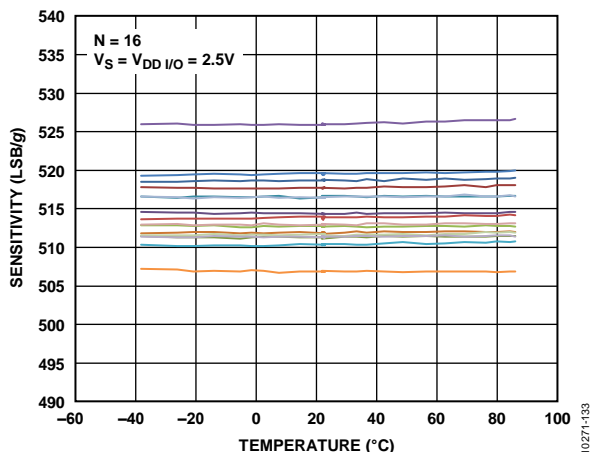


図 34. X 軸感度の温度特性
(16 個のデバイスを PCB にハンダ付け、 $V_S = 2.5\text{ V}$ 、最大分解能)

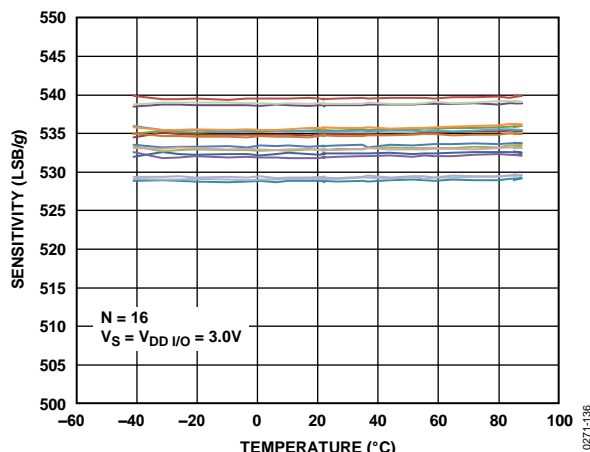


図 37. X 軸感度の温度特性
(16 個のデバイスを PCB にハンダ付け、 $V_S = 3.0\text{ V}$ 、最大分解能)

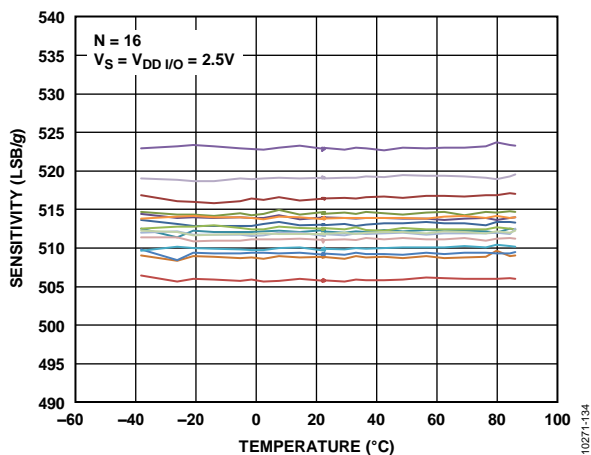


図 35. Y 軸感度の温度特性
(16 個のデバイスを PCB にハンダ付け、 $V_S = 2.5\text{ V}$ 、最大分解能)

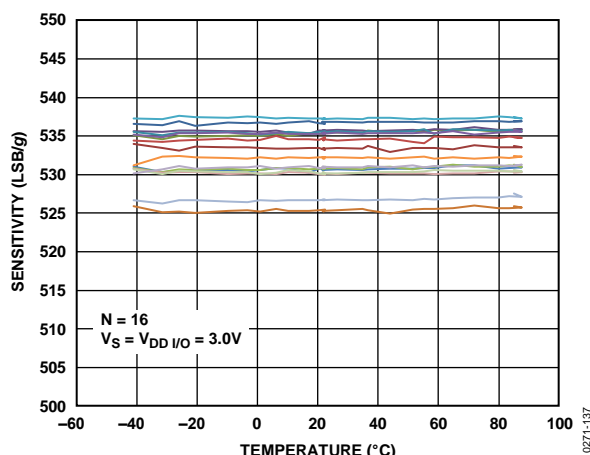


図 38. Y 軸感度の温度特性
(16 個のデバイスを PCB にハンダ付け、 $V_S = 3.0\text{ V}$ 、最大分解能)

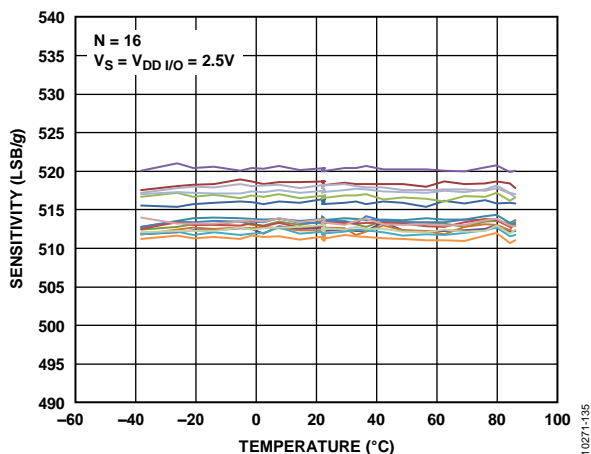


図 36. Z 軸感度の温度特性
(16 個のデバイスを PCB にハンダ付け、 $V_S = 2.5\text{ V}$ 、最大分解能)

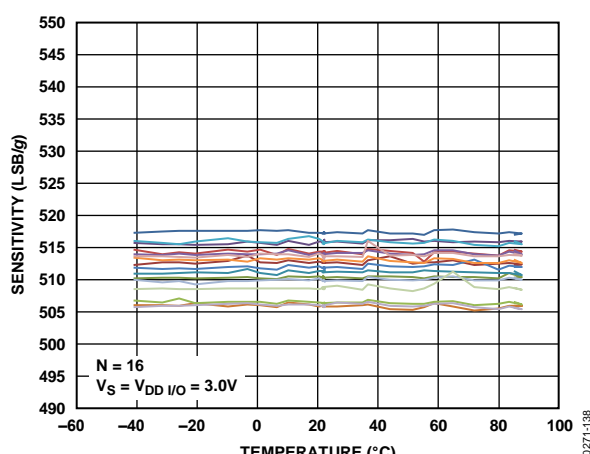


図 39. Z 軸感度の温度特性
(16 個のデバイスを PCB にハンダ付け、 $V_S = 3.0\text{ V}$ 、最大分解能)

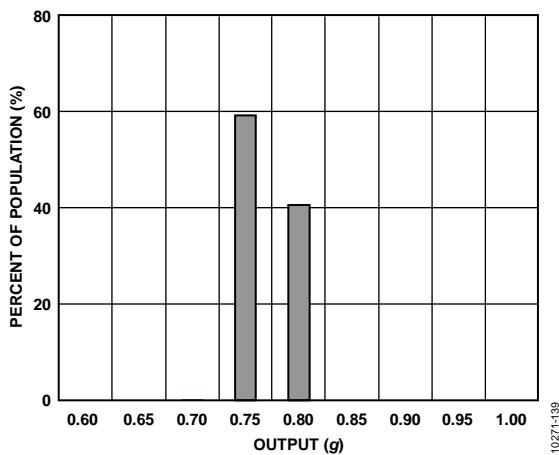


図 40. X軸のセルフテスト応答 (25°C、V_S = 2.5 V)

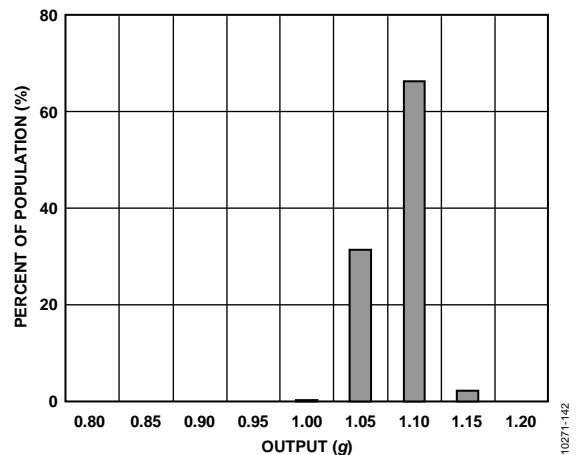


図 43. X軸のセルフテスト応答 (25°C、V_S = 3.0 V)

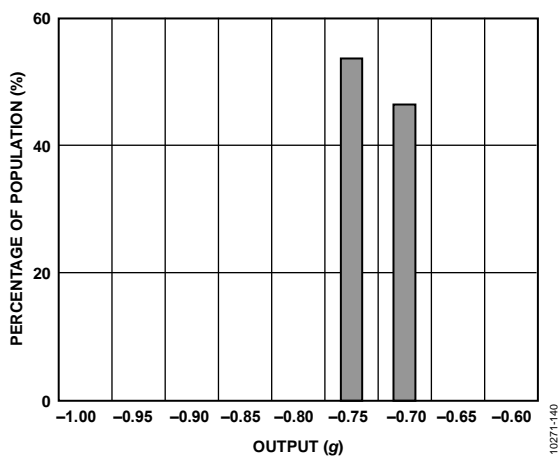


図 41. Y軸のセルフテスト応答 (25°C、V_S = 2.5 V)

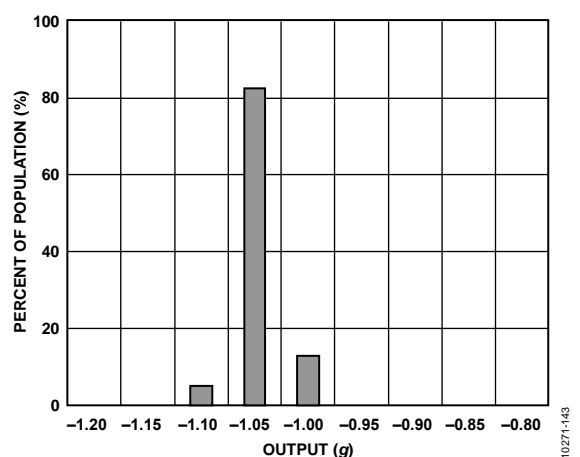


図 44. Y軸のセルフテスト応答 (25°C、V_S = 3.0 V)

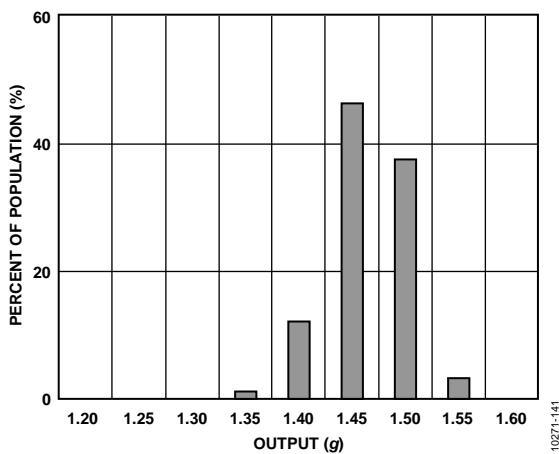


図 42. Z軸のセルフテスト応答 (25°C、V_S = 2.5 V)

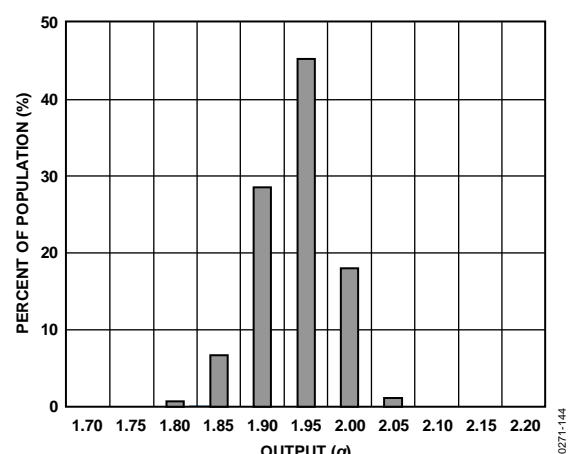


図 45. Z軸のセルフテスト応答 (25°C、V_S = 3.0 V)

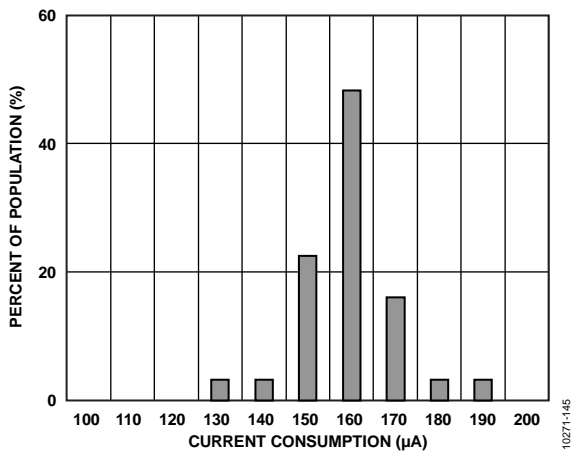


図 46. 消費電流
(25°C、100 Hz 出力データレート、 $V_S = 2.5$ V、デバイス数 31 個)

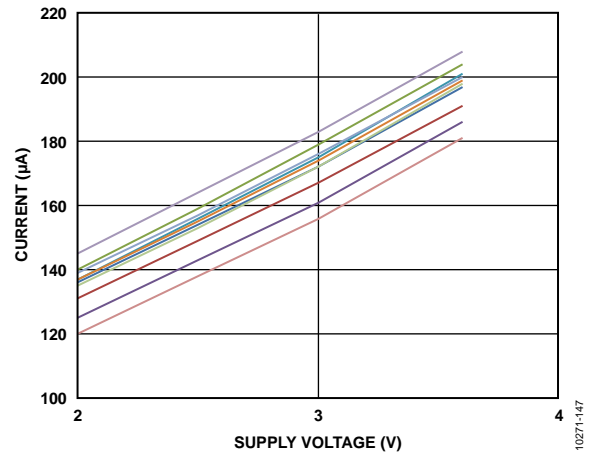


図 48. 電源電圧 対 電源電流 (V_S 、25°C、デバイス数 10 個)

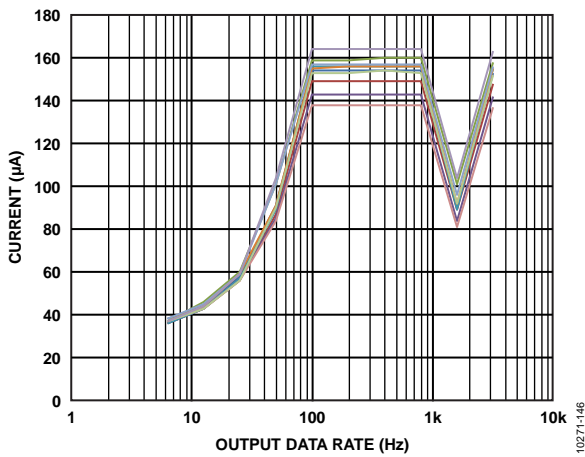


図 47. 出力データレート 対 消費電流
(25°C、 $V_S = 2.5$ V、デバイス数 10 個)

動作原理

ADXL350は必要な機能をすべて備えた3軸加速度測定システムです。測定範囲は $\pm 1\text{ g}$ 、 $\pm 2\text{ g}$ 、 $\pm 4\text{ g}$ 、または $\pm 8\text{ g}$ のいずれかを選択できます。この加速度センサーは、動き、衝撃、振動による動的加速度だけでなく、静的重力加速度も測定できるため、傾き検出アプリケーションにも使用できます。

センサーは、シリコン・ウェーハの上面に構成されたポリシリコン表面マイクロマシン構造となっています。ポリシリコンのスプリングがこの構造部をウェーハ表面上で支え、加速度によって生じる力に対し抵抗を与えます。

構造部の変位は、独立した固定プレートと可動部に取り付けられたプレートで構成される、差動コンデンサによって測定します。固定プレートは、 180° 位相のずれた矩形波が印加されます。加速度は可動部を偏向させ、差動コンデンサを不平衡にするため、センサー出力の振幅は加速度に比例します。次いで、位相検波方式の復調手法を使用して、加速度の大きさと方向を決定します。

電源シーケンシング

電源シーケンスは、任意の V_S または V_{DDIO} 投入シーケンスで ADXL350 を損傷することなく立ち上げることが可能です。表 6 に、使用可能なすべての電源オン・モードを示します。

インターフェース電圧レベルを設定するのはインターフェース電源電圧 (V_{DDIO}) で、ADXL350 によって通信バス上に競合が発生しないようにするには、このインターフェース電源電圧が必要です。単電源動作では、 V_{DDIO} を主電源 V_S と同じにすることができます。両電源アプリケーションでは、 V_S が V_{DDIO} より大きい限り、 V_S と V_{DDIO} を別にして所望のインターフェース電圧を使用することが可能です。

V_S の印加後、デバイスはスタンバイ・モードに入り、このモードで V_{DDIO} の印加と測定モードに入るためのコマンド受信を待ちます（このコマンドを実行するには、`POWER_CTL` レジスタ（アドレス `0x2D`）の `Measure` ビットをセットします）。さらに、デバイスがスタンバイ・モードにある間は、任意のレジスタに読み出し/書き込みを行ってデバイスを設定することができます。スタンバイ・モードでデバイスの設定を行ってから、測定モードをイネーブルにすることを推奨します。`Measure` ビットをクリアすると、デバイスはスタンバイ・モードに戻ります。

表 6. 電源シーケンシング

状態	V_S	V_{DDIO}	説明
電源オフ	オフ	オフ	デバイスは完全にオフですが、通信バスの競合が生じる可能性があります。
バス・ディセーブル	オン	オフ	デバイスはスタンバイ・モードでオンになっていますが、通信は利用できず、通信バス上に競合が生じます。競合を防ぐために、電源投入時にこの状態になる時間は最小限にしてください。
バス・イネーブル	オフ	オン	センサー機能は利用できませんが、デバイスが通信バス上に競合を生じさせることはありません。
スタンバイまたは測定	オン	オン	電源投入時のデバイスはスタンバイ・モードで、測定モードに入るためのコマンドを待ちます。センサー機能はすべてオフです。デバイスが測定モードに入るよう指示された後、すべてのセンサー機能が利用できるようになります。

節電

電力モード

表7に示すように、ADXL350は出力データレートに基づいて消費電力を自動的に調整します。それ以上の節電が必要な場合は、低消費電力モードを使用します。このモードでは、内部サンプリング・レートを低減することで12.5~400 Hzのデータレートで節電が可能となる一方で、ノイズが若干増大します。

低消費電力モードに入るには、BW_RATEレジスタ（アドレス0x2C）のLOW_POWERビット（ビット4）をセットします。低消費電力モードを使用するほうがよい場合のために表8に低消費電力モード時の消費電流を示します。表7と表8に示す消費電流は $V_S = 2.5\text{ V}$ の場合の値で、電流値は V_S に比例して変化します。

表7. 消費電流とデータレートの関係
($T_A = 25^\circ\text{C}$ 、 $V_S = 2.5\text{ V}$ 、 $V_{DD\text{ I/O}} = 1.8\text{ V}$)

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	I_{DD} (μA)
3200	1600	1111	145
1600	800	1110	100
800	400	1101	145
400	200	1100	145
200	100	1011	145
100	50	1010	145
50	25	1001	100
25	12.5	1000	65
12.5	6.25	0111	55
6.25	3.125	0110	40

表8. 消費電流とデータレートの関係—低消費電力モード時
($T_A = 25^\circ\text{C}$ 、 $V_S = 2.5\text{ V}$ 、 $V_{DD\text{ I/O}} = 1.8\text{ V}$)

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	I_{DD} (μA)
400	200	1100	100
200	100	1011	65
100	50	1010	55
50	25	1001	50
25	12.5	1000	40
12.5	6.25	0111	40

自動スリープ・モード

ADXL350がインアクティブ状態で自動的にスリープ・モードに切り替わるようにすると、さらに節電が可能になります。この機能をイネーブルにするには、THRESH_INACTレジスタ（アドレス0x25）とTIME_INACTレジスタ（アドレス0x26）をそれぞれインアクティブを表す値に設定してから（該当する値はアプリケーションにより異なります）、POWER_CTLレジスタ（アドレス0x2D）のAUTO_SLEEPビットとLinkビットをセットします。このモードで8 Hz以下のデータレートにおける消費電流は、 V_S が2.5 Vの場合に代表値で40 μA です。

スタンバイ・モード

消費電力をさらに抑えるには、スタンバイ・モードを使用します。スタンバイ・モードでは、消費電流が0.1 μA (Typ) になります。このモードでは測定しません。スタンバイ・モードに入るには、POWER_CTLレジスタ（アドレス0x2D）のMeasureビット（ビット3）をクリアします。デバイスをスタンバイ・モードにしても、FIFOの内容は保持されます。

シリアル通信

ADXL350ではI²CおよびSPIデジタル通信が可能で、どちらの場合もスレーブとして動作します。 \overline{CS} ピンをV_{DD10}にハイレベル接続すると、I²Cモードがイネーブルになります。 \overline{CS} ピンが未接続の場合のデフォルト・モードがないため、 \overline{CS} ピンは必ずV_{DD10}にハイレベル接続するか、外部コントローラによって駆動する必要があります。この点に注意しないと、デバイスと通信できなくなる場合があります。SPIモードでは、バス・マスターが \overline{CS} ピンを制御します。

SPIモードでもI²Cモードでも、ADXL350への書き込み中は、ADXL350からマスター・デバイスに送信されるデータが無視されるようにしてください。

SPI

SPIの場合は、図49と図50の接続図に示すように、3線式または4線式の設定が可能です。4線式モードを選択するには、DATA_FORMATレジスタ(アドレス0x31)のSPIビットをクリアします。3線式モードを選択するには、SPIビットをセットしてください。最大SPIクロック速度は100pF(Max)の負荷で5MHzです。タイミング方式はクロック極性(CPOL) = 1とクロック位相(CPHA) = 1に従います。

\overline{CS} はシリアル・ポート・イネーブル・ラインで、SPIマスターが制御します。図52に示すように、このラインは、伝送開始時にローレベル、伝送終了時にハイレベルにする必要があります。SCLKはシリアル・ポート・クロックで、SPIマスターが供給します。

非伝送時にCSがハイレベルの場合、SCLKはハイレベルにしてください。SDIとSDOは、それぞれシリアル・データの入力と出力です。データは、SCLKの立上がりエッジでサンプリングしてください。

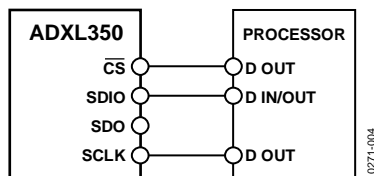


図 49. 3線式 SPI 接続図

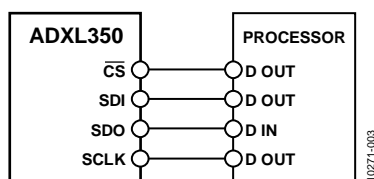


図 50. 4線式 SPI 接続図

1回の通信で複数のバイトの読み出し/書き込みを行うには、最初のバイト転送時にR/Wビットの後にあるマルチバイト・ビット(図52~図54のMB)をセットする必要があります。

1バイトのレジスタ・アドレス転送と1バイトのデータ転送の後、それに続く各クロック・パルス・セット(8クロック・パルス)に同期してADXL350は最初にアクセスした次のアドレスのレジスタから読み出し、もしくは書き込みを行います。この動作は、クロック・パルスが停止して \overline{CS} がディアサートされるまで続きます。連続していない別のレジスタ上で読み出し/書き込みを実行するには、伝送と伝送の間に \overline{CS} をディアサートし、新しいレジスタのアドレスを別途指定する必要があります。図54に、3線式SPI読み出し/書き込みのタイミング図を示します。図52と図53は、4線式SPIの読み出し/書き込みのタイミング図です。

バス・トラフィック・エラーの防止

ADXL350の \overline{CS} ピンは、SPIトランザクションの開始とI²Cモード設定の両方に使用します。ADXL350を複数のデバイスとともにSPIバス上で使用する場合、その \overline{CS} ピンは、マスターがほかのデバイスと通信を行っている間、ハイレベルに保たれることになります。別のデバイスへ送られたSPIコマンドが、有効なI²Cコマンドに似ているという状況も考えられます。このような場合、ADXL350がI²Cモードでの通信が試みられていると解釈し、その結果ほかのバス・トラフィックとの競合が生じる可能性があります。このような状況が生じることがないようにバス・トラフィックを適切に制御することができない場合は、図51に示すように、SDIピン前面にロジック・ゲートを組み込むことを推奨します。このORゲートは、 \overline{CS} がハイレベルのときはSDAラインをハイレベルに保持して、ADXL350のSPIバス・トラフィックがI²C開始コマンドと見なされるのを防ぎます。

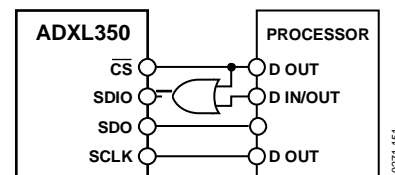


図 51. 単一バス上で複数の SPI デバイスを使用する場合の推奨 SPI 接続図

表 9. SPI デジタル入力/出力電圧

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V_{IL})			$0.3 \times V_{DD I/O}$	V
High Level Input Voltage (V_{IH})		$0.7 \times V_{DD I/O}$		V
Low Level Input Current (I_{IL})	$V_{IN} = V_{DD I/O}$		0.1	μA
High Level Input Current (I_{IH})	$V_{IN} = 0 V$	-0.1		μA
Digital Output				
Low Level Output Voltage (V_{OL})	$I_{OL} = 10 mA$		$0.2 \times V_{DD I/O}$	V
High Level Output Voltage (V_{OH})	$I_{OH} = -4 mA$	$0.8 \times V_{DD I/O}$		V
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, max}$	10		mA
High Level Output Current (I_{OH})	$V_{OH} = V_{OH, min}$		-4	mA
Pin Capacitance	$f_{IN} = 1 MHz, V_{IN} = 2.5 V$		8	pF

¹ 上記仕様は特性評価の結果に基づく仕様であり、出荷テストは行っていません。

表 10. SPI タイミング ($T_A = 25^\circ C$ 、 $V_S = 2.5 V$ 、 $V_{DD I/O} = 1.8 V$)¹

Parameter	Limit ^{2,3}		Unit	Description
	Min	Max		
f_{SCLK}		5	MHz	SPI clock frequency
t_{SCLK}	200		ns	$1/(SPI \text{ clock frequency})$ mark-space ratio for the SCLK input is 40/60 to 60/40
t_{DELAY}	10		ns	\overline{CS} falling edge to SCLK falling edge
t_{QUIET}	10		ns	SCLK rising edge to \overline{CS} rising edge
t_{DIS}		100	ns	\overline{CS} rising edge to SDO disabled
$t_{CS,DIS}$	250		ns	\overline{CS} deassertion between SPI communications
t_S	$0.4 \times t_{SCLK}$		ns	SCLK low pulse width (space)
t_M	$0.4 \times t_{SCLK}$		ns	SCLK high pulse width (mark)
t_{SDO}		95	ns	SCLK falling edge to SDO transition
t_{SETUP}	10		ns	SDI valid before SCLK rising edge
t_{HOLD}	10		ns	SDI valid after SCLK rising edge

¹ \overline{CS} 、SCLK、SDI、SDO ピンに内部プルアップ/プルダウン抵抗は組み込まれていません。これらのピンを正しく動作させるには、外部から駆動する必要があります。

² 上記仕様は $f_{SCLK} = 5 MHz$ 、バスの負荷容量を 100 pF とした場合の特性評価の結果に基づく仕様であり、出荷テストは行っていません。

³ タイミング値は、表 9 に示す入力閾値 (V_{IL} および V_{IH}) に応じて測定された値です。

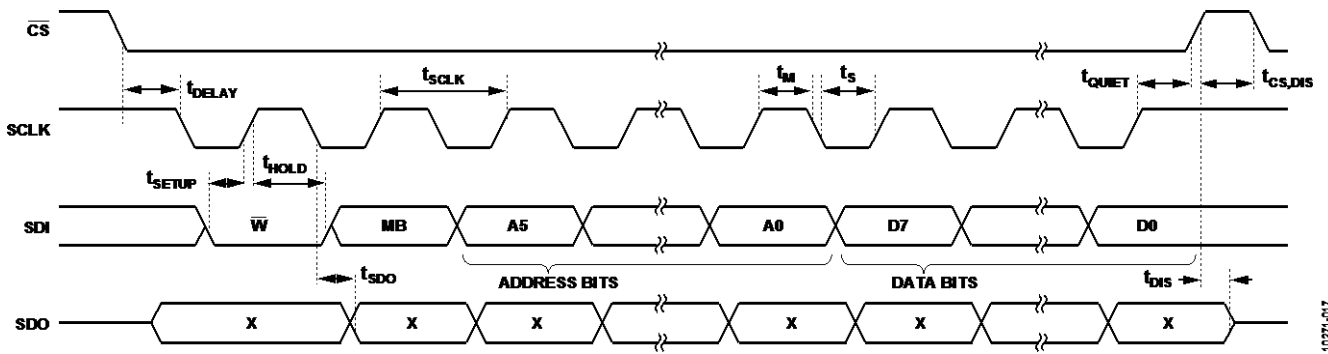


図 52. SPI 4 線式書込み

10271-017

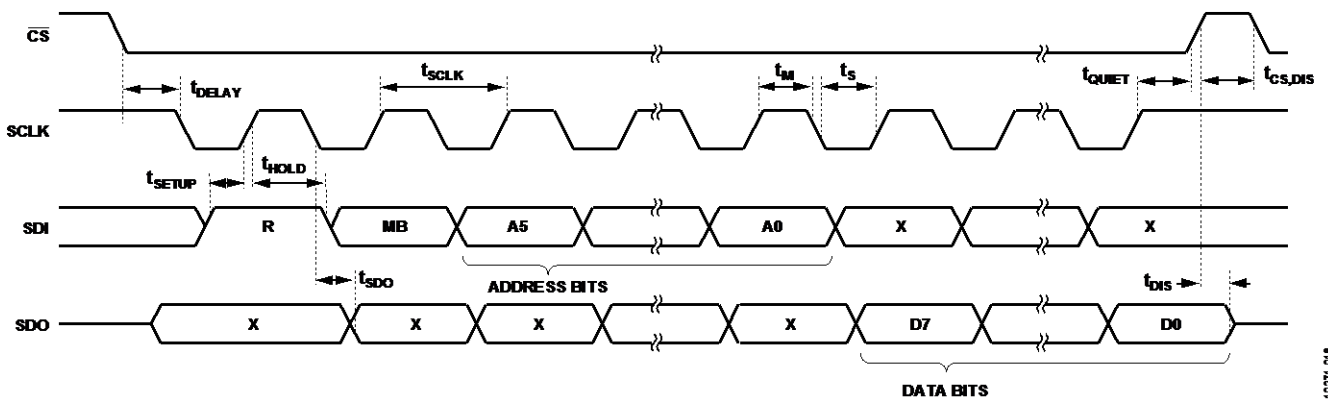
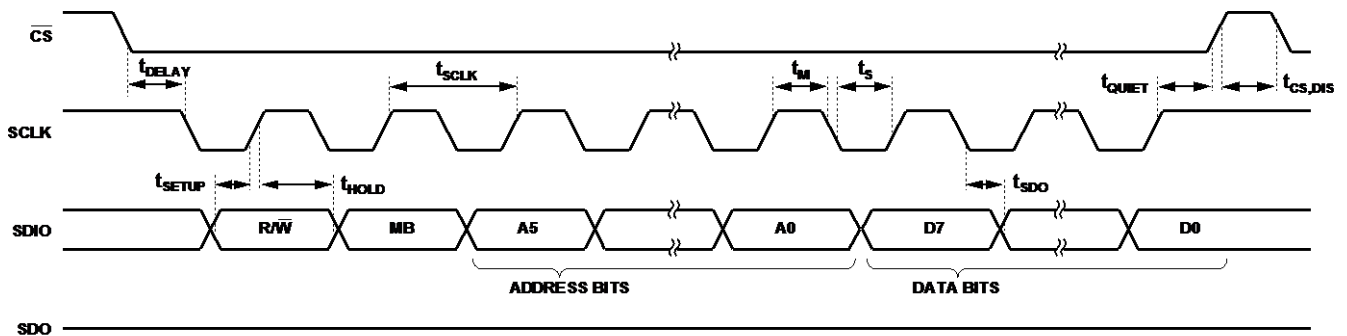


図 53. SPI 4 線式読出し

10271-018



NOTES

- 1. t_{SDO} IS ONLY PRESENT DURING READS.

図 54. SPI 3 線式読出し/書込み

10271-019

I²C

\overline{CS} を $V_{DD I/O}$ に接続すると ADXL350 は I²C モードになり、図 55 に示す簡単な 2 線式接続で動作します。ADXL350 は、NXP Semiconductor 社が提供する『UM10204 I²C-Bus Specification and User Manual』(Rev. 03—19 June 2007) に準拠しており、表 12 と図 57 のタイミング・パラメータを満たしていれば、標準 (100 kHz) と高速 (400 kHz) のデータ転送モードで使用できます。

図 56 に示すように、1 バイトまたは複数バイトの読出し/書込みが可能です。SDO/ALT ADDRESS ピン (ピン 7) がハイレベルの場合、デバイスの 7 ビット I²C アドレスは 0x1D であり、その後に R/W ビットが続きます。これは、書込みの場合は 0x3A、読出しの場合は 0x3B になります。これとは別に、SDO/ALT ADDRESS ピン (ピン 7) を接地することで、0x53 を I²C アドレス (その後に R/W ビット) とすることもできます。この場合、書込みは 0xA6、読出しの場合は 0xA7 になります。

同じ I²C バスにほかのデバイスが接続されている場合、それらのデバイスの公称動作電圧レベルは $V_{DD I/O}$ を 0.3V 以上超えないようにする必要があります。I²C を正しく動作させるには、外付けのプルアップ抵抗 R_p が必要です。正しい動作を保証できるプルアップ抵抗値を選択するには、『UM10204 I²C-Bus Specification and User Manual』(Rev. 03—19 June 2007) を参照してください。

表 11. I²C デジタル入力/出力電圧

Parameter	Limit ¹	Unit
Digital Input Voltage		
Low Level Input Voltage (V_{IL})	$0.25 \times V_{DD I/O}$	V max
High Level Input Voltage (V_{IH})	$0.75 \times V_{DD I/O}$	V min
Digital Output Voltage		
Low Level Output Voltage (V_{OL}) ²	$0.2 \times V_{DD I/O}$	V max

¹ 特性評価の結果に基づく仕様であり、出荷テストは行っていません。

² ここに示す値は $V_{DD I/O} < 2V$ の場合の値です。 $V_{DD I/O} > 2V$ の場合の制限値は最大 0.4 V です。

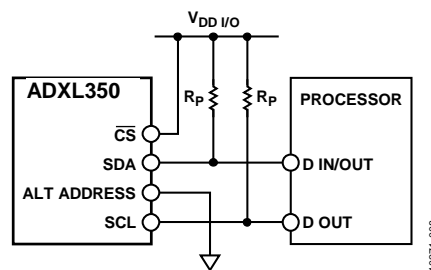


図 55. I²C 接続図 (アドレス 0x53)

SINGLE-BYTE WRITE										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	DATA	STOP					
SLAVE		ACK	ACK	ACK	ACK					

MULTIPLE-BYTE WRITE										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	DATA	DATA	DATA	DATA	STOP		
SLAVE		ACK	ACK	ACK	ACK	ACK	ACK	ACK	ACK	

SINGLE-BYTE READ										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	START ¹	SLAVE ADDRESS + READ	DATA	NACK	STOP		
SLAVE		ACK	ACK			ACK				

MULTIPLE-BYTE READ										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	START ¹	SLAVE ADDRESS + READ	DATA	ACK	DATA	NACK	STOP
SLAVE		ACK	ACK			ACK		ACK		

NOTES

1. THIS START IS EITHER A RESTART OR A STOP FOLLOWED BY A START.
2. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

図 56. I²C デバイスのアドレス指定

表 12. I²C タイミング (T_A = 25°C、V_S = 2.5 V、V_{DD I/O} = 1.8 V)

Parameter	Limit ^{1,2}		Unit	Description
	Min	Max		
f _{SCL}		400	kHz	SCL clock frequency
t ₁	2.5		μs	SCL cycle time
t ₂	0.6		μs	t _{HIGH} , SCL high time
t ₃	1.3		μs	t _{LOW} , SCL low time
t ₄	0.6		μs	t _{HD, STA} , start/repeated start condition hold time
t ₅	350		ns	t _{SU, DAT} , data setup time
t ₆ ^{3,4,5,6}	0	0.65	μs	t _{HD, DAT} , data hold time
t ₇	0.6		μs	t _{SU, STA} , setup time for repeated start
t ₈	0.6		μs	t _{SU, STO} , stop condition setup time
t ₉	1.3		μs	t _{BUF} , bus-free time between a stop condition and a start condition
t ₁₀		300	ns	t _R , rise time of both SCL and SDA when receiving
	0		ns	t _R , rise time of both SCL and SDA when receiving or transmitting
t ₁₁		250	ns	t _F , fall time of SDA when receiving
		300	ns	t _F , fall time of both SCL and SDA when transmitting
	20 + 0.1 C _b ⁷		ns	t _F , fall time of both SCL and SDA when transmitting or receiving
C _b		400	pF	Capacitive load for each bus line

¹ 特性評価 (f_{SCL} = 400 kHz、3 mA のシンク電流) の結果に基づく仕様であり、出荷テストは行っていません。

² すべての値は、表 11 に示す V_{HI} と V_{IL} レベルに基づいています。

³ t₆ は、SCL の立下がりエッジから測定したデータ・ホールド時間です。伝送時とアクノレッジ時のデータに適用されます。

⁴ SDA 信号が (SCL 信号の V_{HI(min)} を基準にして) SCL の立下がりエッジの未定義領域を超えるには、送信側のデバイス内にて 300 ns 以上の出力ホールド時間を設ける必要があります。

⁵ デバイスが SCL 信号のロー期間 (t₃) を拡大しない限り、最大値 t₆ を守る必要があります。

⁶ t₆ の最大値は、クロックのロー時間 (t₃)、クロックの立上がり時間 (t₁₀)、最小データ・セットアップ時間 (t_{5(min)}) の関数です。この値は、t_{6(max)} = t₃ - t₁₀ - t_{5(min)} という式で計算できます。

⁷ C_b は、1 本のバス・ラインの合計容量です (単位: pF)。

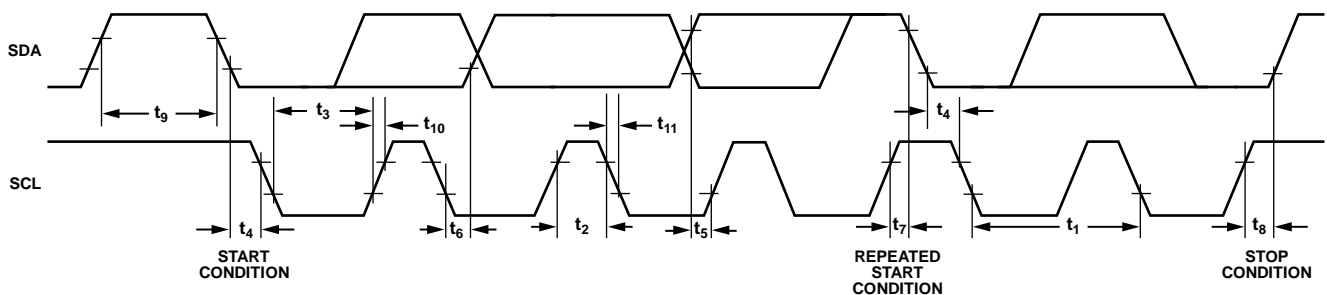


図 57. I²C タイミング図

10271-020

割込み

ADXL350には、割込みを駆動する2本の出力ピン(INT1とINT2)があります。ここでは、それぞれの割込み機能を詳しく説明します。すべての機能は同時に使用できますが、場合によっては割込みピンを共有しなければならない機能があります。割込みは、INT_ENABLEレジスタ(アドレス0x2E)の適切なビットをセットすることでイネーブルになり、INT_MAPレジスタ(アドレス0x2F)の内容によってINT1ピンまたはINT2ピンにマッピングされます。割込みビットの設定は、設定中に誤って割込みがトリガされてしまうことがないように、割込みを無効にして行うことを推奨します。これには、INT_ENABLEレジスタに値0x00を書き込みます。

割込みをクリアする場合、データ関連の割込みに関しては、割込み条件が有効でなくなるまでデータ・レジスタ(アドレス0x32~0x37)を読み出します。そのほかの割込みに関しては、INT_SOURCEレジスタ(アドレス0x30)を読み出してください。ここでは、INT_ENABLEレジスタで設定し、INT_SOURCEレジスタで監視できる割込みについて説明します。

DATA_READY

DATA_READYビットは新しいデータを使用できる状態になるとセットされ、新しいデータがなくなるとクリアされます。

SINGLE_TAP

SINGLE_TAPビットは、THRESH_TAPレジスタ(アドレス0x1D)の値より大きい加速度が発生し、その持続時間がDURレジスタ(アドレス0x21)で指定された値より短い場合にセットされます。

DOUBLE_TAP

DOUBLE_TAPビットは、THRESH_TAPレジスタ(アドレス0x1D)の値より大きい2つの加速度イベントが発生し、その持続時間がDURレジスタ(アドレス0x21)で指定された値よりも短い場合で、2番目のタップが、Latentレジスタ(アドレス0x22)によって指定された時間よりも後、なおかつWindowレジスタ(アドレス0x23)で指定された時間以内に開始された場合にセットされます。詳細は「タップ検出」を参照してください。

Activity

Activityビットは、THRESH_ACTレジスタ(アドレス0x24)に保存された値よりも大きい加速度が検知されるとセットされます。

Inactivity

Inactivityビットは、THRESH_INACTレジスタ(アドレス0x25)に保存された値以上の加速度が検知されない状態が、TIME_INACTレジスタ(アドレス0x26)に指定された時間より長く続くとセットされます。TIME_INACTの最大値は255秒です。

FREE_FALL

FREE_FALLビットは、THRESH_FFレジスタ(アドレス0x28)に格納された値以上の加速度が検知されない状態が、TIME_FFレジスタ(アドレス0x29)で指定された時間より長く続いた場合にセットされます。FREE_FALL割込みがインアクティブ割込みと異なる点は、常に全軸の値を検出に使用すること、割込み発生までの時間がはるかに短いこと(最大1.28秒)、常にDCカッパル信号を検出に使うことです。

Watermark

Watermarkビットは、FIFO内のサンプル数がSamplesビット(FIFO_CTLレジスタ、アドレス0x38)で指定されている値になるとセットされます。FIFOが読み出され、FIFO内のサンプル数がサンプル・ビットで指定された値未満になるとWatermarkビットは自動的にクリアされます。

Overrun

Overrunビットは、データが未読のまま新しいデータに更新されたときにセットされます。オーバーラン機能の動作はFIFOモードに依存します。バイパス・モードでは、Overrunビットは、DATA_X、DATA_Y、DATA_Zレジスタ(アドレス0x32~0x37)内のデータが未読のまま新しいデータに更新されたときにセットされます。

それ以外のモードでは、Overrunビットは、FIFO内のデータ数が最大値になったときにセットされ、FIFOの内容が読み出されたときに自動的にクリアされます。

FIFO

ADXL350は、32レベルの内蔵FIFOバッファ技術(特許申請中)を採用しており、ホスト・プロセッサの負荷を低減することができます。このバッファには、バイパス、FIFO、ストリーム、トリガの4つのモードがあります(表20を参照)。各モードは、FIFO_CTLレジスタ(アドレス0x38)のFIFO_MODEビットを設定することによって選択します。

バイパス・モード

バイパス・モードでは、FIFOは動作せず空のままです。

FIFOモード

FIFOモードでは、x軸、y軸、z軸の測定データがFIFOに格納されます。FIFO内のサンプル数が、FIFO_CTLレジスタ(アドレス0x38)のSamplesビットで指定された値になった場合は、ウォーターマーク割込みがセットされます。FIFOは、満杯(x軸、y軸、z軸の測定サンプルが32個)になるまでサンプルの蓄積を続け、満杯になった時点でデータの収集を停止します。FIFOがデータの収集を停止した後もデバイスは動作を続けます。したがって、タップ検出などの各機能は、FIFOが満杯になった後も使用できます。ウォーターマーク割込みは、FIFO内のサンプル数がFIFO_CTLレジスタのサンプル・ビットに格納された値より小さくなるまで発生し続けます。

ストリーム・モード

ストリーム・モードでは、x軸、y軸、z軸の測定データがFIFOに格納されます。FIFO内のサンプル数が、FIFO_CTLレジスタ(アドレス0x38)のSamplesビットで指定された値になった場合は、ウォーターマーク割込みがセットされます。ストリーム・モードでは、FIFOが満杯になってもサンプルの蓄積が続けられ、FIFOはx軸、y軸、z軸の最新の32個の測定サンプルを保持します。FIFOが満杯の状態でも新しいデータが測定されると、古いデータから順に破棄されます。ウォーターマーク割込みは、FIFO内のサンプル数がFIFO_CTLレジスタのSamplesビットに格納された値より小さくなるまで発生し続けます。

トリガ・モード

トリガ・モードでは、FIFO は x 軸、y 軸、z 軸の最新の 32 個の測定サンプルを保持しながら、サンプルの蓄積を続けます。トリガ・イベントが発生し、INT1 ピンまたは INT2 ピン (FIFO_CTL レジスタの Trigger ビットで選択) に割込みが送信されると、FIFO は最新の n 個のサンプル (ここで n は、FIFO_CTL レジスタの Samples ビットによって指定された値) を保持しながら FIFO モードで動作します。FIFO が満杯でない限り新しいサンプルを収集します。

FIFO がサンプルを破棄し、必要なサンプルを保持できるように、トリガ・イベントの発生から FIFO のデータ読み出し開始までに 5 μ s 以上の時間を設ける必要があります。新しいトリガ・イベントは、トリガ・モードがリセットされるまで認識されません。トリガ・モードをリセットするには、デバイスをバイパス・モードに設定してから、トリガ・モードに設定し直します。なお、デバイスをバイパス・モードにすると FIFO がクリアされるため、FIFO 内のデータを先に読み出しておく必要があります。

FIFO からのデータ取出し

FIFO データは、DATA_X、DATA_Y、DATA_Z の各レジスタ (アドレス 0x32~0x37) から読み出します。FIFO が FIFO モード、スリープ・モード、トリガ・モードにあるときは、DATA_X、DATA_Y、DATA_Z レジスタからの読み出しによって、FIFO に格納されたデータが読み出されます。データが DATA_X、DATA_Y、DATA_Z の各レジスタから読み出されるたびに、x 軸、y 軸、z 軸の一番古いデータが DATA_X、DATA_Y、DATA_Z の各レジスタに入ります。

シングル・バイト読み出しを行った場合でも、通信が終了した時点で DATA_X、DATA_Y、DATA_Z レジスタのデータが更新されます。したがって、所望の動作に応じてバースト (または複数バイト) 読み出し動作でデータを読み出す必要があります。FIFO 内のデータがデータ・レジスタに格納される (つまり、DATA_X、DATA_Y、DATA_Z の各レジスタに新しいデータが完全に移動する) には、データ・レジスタの読み出し終了から FIFO の新しい読み出しの開始または FIFO_STATUS レジスタ (アドレス 0x39) の読み出しの開始までに、5 μ s 以上の間隔が必要です。データ・レジスタの読み出し終了は、バースト読み出し動作でレジスタ 0x37 からレジスタ 0x38 への遷移、または CS ピンがハイレベルになることで認識されます。1.6 MHz 以下の SPI 動作では、伝送のレジスタ・アドレスシフト

部分のみの遅延で 5 μ s 以上の遅延になります。1.6 MHz を超える SPI 動作では、5 μ s の合計遅延を確保するために CS ピンをハイレベルにする必要がある場合があります。5 MHz 動作に必要な合計遅延は 3.4 μ s 以下です。I²C モードを使用する場合は、このような配慮は必要ありません。通信速度が遅いため、特に意図することなく FIFO の読み出しと読み出しの間に十分な遅延を確保できるためです。

セルフテスト

ADXL350 は、内蔵しているセルフテスト機能によって、センサー素子と信号処理回路の動作確認を行うことができます。セルフテスト機能が (DATA_FORMAT レジスタ (アドレス 0x31) の SELF_TEST ビットによって) 有効にされると、センサー素子に静電気力が働きます。この静電気力は加速度が入力された場合と同様にセンサー素子を移動させ、この静電気力によって x 軸、y 軸、z 軸の出力変化が起こります。静電気力は V_s^2 に比例するため、出力変化は V_s によって変動します。この影響を図 42 に示します。

ADXL350 のセルフテスト機能はパイモダルであり、どのフェーズのクロック・セルフテストがイネーブルになっているかによって動作が異なります。ただし、表 1 および表 13~表 16 に示す制限値は、全許容電圧範囲で予想されるすべてのセルフテスト値について有効です。100 Hz 未満のデータレートでセルフテスト機能を使用すると、これらの限界値を外れる可能性があります。したがって、セルフテスト機能使用時は 100 Hz 以上のデータレートを使用する必要があります。

表 13. $\pm 1 g$ で 10 ビット分解能、または任意の g レンジで最大分解能でのセルフテスト出力 (LSB 単位)

Axis	Min	Max	Unit
X	100	1180	LSB
Y	-1180	-100	LSB
Z	150	1850	LSB

表 14. $\pm 2 g$ 、10 ビット分解能でのセルフテスト出力 (LSB 単位)

Axis	Min	Max	Unit
X	50	590	LSB
Y	-590	-50	LSB
Z	75	925	LSB

表 15. $\pm 4 g$ 、10 ビット分解能でのセルフテスト出力 (LSB 単位)

Axis	Min	Max	Unit
X	25	295	LSB
Y	-295	-25	LSB
Z	38	463	LSB

表 16. $\pm 8 g$ 、10 ビット分解能でのセルフテスト出力 (LSB 単位)

Axis	Min	Max	Unit
X	12	148	LSB
Y	-148	-12	LSB
Z	19	232	LSB

レジスタ・マップ

表 17. レジスタ・マップ

Address		Name	Type	Reset Value	Description
Hex	Dec				
0x00	0	DEVID	R	11100101	Device ID.
0x01 to 0x01C	1 to 28	Reserved			Reserved. Do not access.
0x1D	29	THRESH_TAP	R/ \overline{W}	00000000	Tap threshold.
0x1E	30	OFSX	R/ \overline{W}	00000000	X-axis offset.
0x1F	31	OFSY	R/ \overline{W}	00000000	Y-axis offset.
0x20	32	OFSZ	R/ \overline{W}	00000000	Z-axis offset.
0x21	33	DUR	R/ \overline{W}	00000000	Tap duration.
0x22	34	Latent	R/ \overline{W}	00000000	Tap latency.
0x23	35	Window	R/ \overline{W}	00000000	Tap window.
0x24	36	THRESH_ACT	R/ \overline{W}	00000000	Activity threshold.
0x25	37	THRESH_INACT	R/ \overline{W}	00000000	Inactivity threshold.
0x26	38	TIME_INACT	R/ \overline{W}	00000000	Inactivity time.
0x27	39	ACT_INACT_CTL	R/ \overline{W}	00000000	Axis enable control for activity and inactivity detection.
0x28	40	THRESH_FF	R/ \overline{W}	00000000	Free-fall threshold.
0x29	41	TIME_FF	R/ \overline{W}	00000000	Free-fall time.
0x2A	42	TAP_AXES	R/ \overline{W}	00000000	Axis control for tap/double tap.
0x2B	43	ACT_TAP_STATUS	R	00000000	Source of tap/double tap.
0x2C	44	BW_RATE	R/ \overline{W}	00001010	Data rate and power mode control.
0x2D	45	POWER_CTL	R/ \overline{W}	00000000	Power-saving features control.
0x2E	46	INT_ENABLE	R/ \overline{W}	00000000	Interrupt enable control.
0x2F	47	INT_MAP	R/ \overline{W}	00000000	Interrupt mapping control.
0x30	48	INT_SOURCE	R	00000010	Source of interrupts.
0x31	49	DATA_FORMAT	R/ \overline{W}	00000000	Data format control.
0x32	50	DATA0	R	00000000	X-Axis Data 0.
0x33	51	DATA1	R	00000000	X-Axis Data 1.
0x34	52	DATAY0	R	00000000	Y-Axis Data 0.
0x35	53	DATAY1	R	00000000	Y-Axis Data 1.
0x36	54	DATAZ0	R	00000000	Z-Axis Data 0.
0x37	55	DATAZ1	R	00000000	Z-Axis Data 1.
0x38	56	FIFO_CTL	R/ \overline{W}	00000000	FIFO control.
0x39	57	FIFO_STATUS	R	00000000	FIFO status.

レジスタ定義**レジスタ 0x00 — DEVID (読出し専用)**

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	0	1	0	1

DEVID レジスタは、0xE5 (8進 345) の固定のデバイス ID コードを格納します。

レジスタ 0x1D — THRESH_TAP (読出し/書込み)

THRESH_TAP レジスタは 8 ビットで、タップ割込みのための閾値を格納します。データ・フォーマットは符号なしで、タップ・イベントの絶対値と THRESH_TAP レジスタの値を比較します。スケール係数は 31.2 mg/LSB です (つまり、0xFF=+8 g)。タップ/ダブル・タップ割込みがイネーブルの場合、このレジスタの値を 0 にすると予期しない動作が生じる可能性があります。

レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20 — OFSX、OFSY、OFSZ (読出し/書込み)

OFSX、OFSY、OFSZ の各レジスタは 8 ビットで、2 の補数フォーマットで補正値をこのレジスタに書き込むと、計測された加速度値とこのレジスタに書き込んだ補正値の和がデータ・レジスタに書き込まれます。オフセット・レジスタに格納された値は、加速度データに自動的に加算され、その値が出力データ・レジスタに格納されます。スケール係数は 7.8 mg/LSB (つまり、0x7F=+1 g) です。

レジスタ 0x21 — DUR (読出し/書込み)

DUR レジスタは 8 ビットで、符号なしの時間値を格納します。加速度信号が THRESH_TAP の閾値を超えた状態でこのレジスタで設定した最大時間が経過すると、タップ・イベントとして認識されます。スケール係数は 625 μ s/LSB です。値 0 を設定すると、タップ/ダブル・タップ機能は無効になります。

レジスタ 0x22 — Latent (読出し/書込み)

Latent レジスタは 8 ビットで、符号なしの時間値を格納します。タップ・イベントが検出されてから 2 回目のタップ・イベントを検出できる時間枠の開始 (Window レジスタで定義) までの待ち時間を設定します。スケール係数は 1.25ms/LSB です。値 0 を設定すると、ダブル・タップ機能は無効になります。

レジスタ 0x23 — Window (読出し/書込み)

Window レジスタは 8 ビットで、符号なしの時間値を格納します。ダブル・タップ検出において遅延時間 (Latent レジスタで決定) 経過後に、2 番目の有効タップを検出できる時間幅を設定します。スケール係数は 1.25ms/LSB です。値 0 を設定すると、ダブル・タップ機能は無効になります。

レジスタ 0x24 — THRESH_ACT (読出し/書込み)

THRESH_ACT レジスタは 8 ビットで、アクティブ状態を検出するための閾値を格納します。データ・フォーマットは符号なしで、アクティブ・イベントの絶対値と THRESH_ACT レジスタの値を比較します。スケール係数は 31.2 mg/LSB です。アクティブ割込みがイネーブルの場合、このレジスタの値を 0 にすると予期しない動作が生じる可能性があります。

レジスタ 0x25 — THRESH_INACT (読出し/書込み)

THRESH_INACT レジスタは 8 ビットで、インアクティブ状態を検出するための閾値を格納します。データ・フォーマットは符号なしで、インアクティブ・イベントの絶対値と THRESH_INACT レジスタの値を比較します。スケール係数は 31.2 mg/LSB です。インアクティブ割込みがイネーブルの場合、このレジスタの値を 0 mg にすると予期しない動作が生じる可能性があります。

レジスタ 0x26 — TIME_INACT (読出し/書込み)

TIME_INACT レジスタは 8 ビットで、符号なしの時間値を格納します。加速度信号が THRESH_INACT レジスタの値を下回った状態でこのレジスタの設定時間が経過すると、その時点でインアクティブが検出されます。スケール係数は 1 sec/LSB です。フィルタ処理なしのデータ (「

閾値」を参照)を使用するほかの割込み機能と異なり、インアクティブ機能はフィルタ処理済みの出力データを使用します。インアクティブ割込みを発生させるには、1つ以上の出力サンプルが生成されている必要があります。このため、TIME_INACT レジスタに出力データレートの時定数より低い値が設定されている場合、この機能が応答していないように見える可能性があります。このレジスタの値を0にすると、出力データが THRESH_INACT レジスタの値を下回った時点で割込みが発生します。

レジスタ 0x27 — ACT_INACT_CTL (読出し/書込み)

D7	D6	D5	D4
ACT ac/dc	ACT_X enable	ACT_Y enable	ACT_Z enable
D3	D2	D1	D0
INACT ac/dc	INACT_X enable	INACT_Y enable	INACT_Z enable

ACT ac/dc ビットと INACT ac/dc ビット

0を設定すると DC カップリング動作が選択され、1を設定すると AC カップリング動作がイネーブルになります。DC カップリング動作では、現在の加速度の大きさを THRESH_ACT および THRESH_INACT と直接比較して、アクティブ/インアクティブの検出を判定します。

アクティブ検出のための AC カップリング動作では、アクティブ検出の開始時の加速度値が基準値になります。新たに測定された加速度値をこの基準値と比較し、その差が THRESH_ACT 値を上回ると、デバイスがアクティブ割込みをトリガします。

同様に、インアクティブ検出の AC カップリング動作でも、比較のために基準値を使用し、デバイスがインアクティブ閾値を上回った場合は常に基準値が更新されます。デバイスは、基準値の選択後に、基準値と現在加速度の差の絶対値を THRESH_INACT と比較します。その差が THRESH_INACT の値を下回った状態のまま THRESH_TIME の設定時間が経過すると、デバイスはその状態をインアクティブと見なし、インアクティブ割込みをトリガします。

ACT_x enable ビットと INACT_x enable ビット

1を設定すると、アクティブ/インアクティブの検出に x 軸、y 軸、z 軸を加えることができます。0を設定すると、選択されている軸が対象から除外されます。すべての軸が除外されると、この機能は無効になります。

レジスタ 0x28 — THRESH_FF (読出し/書込み)

THRESH_FF レジスタは 8 ビットで、自由落下検出用の符号なしの閾値を格納します。すべての軸の二乗和平方根 (RSS) を計算し、それを THRESH_FF の値と比較して、自由落下イベントが発生したかどうかを判定します。スケール係数は 31.2 mg/LSB です。自由落下割込みがイネーブルの場合、このレジスタの値を 0 mg にすると予期しない動作が生じる可能性があります。推奨値は 300 mg~600 mg (0x0A~0x13) です。

レジスタ 0x29 — TIME_FF (読出し/書込み)

TIME_FF レジスタは 8 ビットで、符号なしの時間値を格納します。すべての軸の RSS 値が THRESH_FF で設定した閾値を下回った状態のままこのレジスタで設定した最小時間が経過すると、自由落下割込みが生成されます。スケール係数は 5 ms/LSB です。自由落下割込みがイネーブルの場合、このレジスタの値を 0 にすると予期しない動作が生じる可能性があります。推奨値は 100 ms～350 ms (0x14～0x46) です。

レジスタ 0x2A — TAP_AXES (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	Suppress	TAP_X enable	TAP_Y enable	TAP_Z enable

Suppress ビット

タップとタップの間に THRESH_TAP の値を上回る加速度が存在する場合は、Suppress ビットを設定するとダブル・タップ検出が無効になります。詳細は「タップ検出」を参照してください。

TAP_x enable ビット

TAP_X enable、TAP_Y enable、または TAP_Z enable ビットに 1 を設定すると、タップ検出に x 軸、y 軸、z 軸を加えることができます。0 を設定すると、選択されている軸がタップ検出の対象から除外されます。

レジスタ 0x2B — ACT_TAP_STATUS (読出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
0	ACT_X source	ACT_Y source	ACT_Z source	Asleep	TAP_X source	TAP_Y source	TAP_Z source

ACT_x source ビットと TAP_x source ビット

これらのビットは、タップ・イベントまたはアクティブ・イベントに関係する最初の軸を示します。1 が格納されている軸は各イベントの検出に関係する軸であることを示し、0 が格納されている軸は無関係であることを示します。新たなデータが生成されると、これらのビットはクリアされずに新しいデータによって上書きされます。割込みをクリアする場合は、事前に ACT_TAP_STATUS レジスタを読み出す必要があります。ある軸を無効にして検出に使用しないようにすると、次のアクティブ・イベントまたはタップ/ダブル・タップ・イベントの発生時に対応する Source ビットがクリアされます。

Asleep ビット

Asleep ビットに 1 が格納されている場合はデバイスがスリープ状態であることを示し、0 の場合はデバイスがスリープ状態でないことを示します。自動スリープ・モードの詳細については、「レジスタ 0x2D — POWER_CTL (読出し/書込み)」を参照してください。

レジスタ 0x2C — BW_RATE (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	LOW_POWER	Rate			

LOW_POWER ビット

LOW_POWER ビットに 0 をセットすると通常動作が選択され、1 をセットすると低消費電力動作が選択されます。これによって消費電力を抑えることが可能になりますが、ノイズが若干大きくなります (詳細は「電力モード」を参照)。

Rate ビット

これらのビットは、デバイスの帯域幅と出力データレートを選択します (詳細は表 7 と表 8 を参照)。デフォルト値は 0x0A で、これは 100 Hz の出力データレートに相当します。出力データレートは、選択した周波数帯域と通信プロトコルに適したレートを選択してください。通信速度が低い場合、選択した出力データレートが高すぎると、サンプルが破棄される可能性があります。

レジスタ 0x2D — POWER_CTL (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	Link	AUTO_SLEEP	Measure	Sleep	Wakeup	

Link ビット

アクティブ機能とインアクティブ機能をイネーブルにした状態で Link ビットに 1 をセットすると、インアクティブが検出されるまでアクティブ機能は開始されません。その後アクティブが検出されると、インアクティブ検出が開始され、アクティブは検出されなくなります。このビットで、アクティブ機能とインアクティブ機能が連続的にリンクします。このビットに 0 を設定すると、インアクティブ機能とアクティブ機能が同時に動作します。詳細については「リンク・モード」を参照してください。

Link ビットをクリアするときはデバイスをスタンバイ・モードにして、その後の書込み時に測定モードに戻すことを推奨します。これは、スリープ・モードを手動で無効にした場合でもデバイスが正しくバイアスされるようにするためです。このようにしないと、特に Link ビットのクリア時にデバイスがスリープ状態だった場合などに、ビットをクリアした後の最初の数サンプル分のデータのノイズが増えることがあります。

AUTO_SLEEP ビット

Link ビットがセットされている状態で AUTO_SLEEP ビットに 1 をセットすると、インアクティブが検出された場合 (つまり、加速度が THRESH_INACT の値を下回る状態が、少なくとも TIME_INACT で指定される時間だけ続いた場合)、ADXL350 はスリープ・モードに切り替わります。このビットを 0 にセットすると、スリープ・モードへの自動切り替えは無効になります。詳細については、以下の Sleep ビットの説明を参照してください。

AUTO_SLEEP ビットをクリアするときはデバイスをスタンバイ・モードにして、その後の書込み時に測定モードに戻すことを推奨します。これは、スリープ・モードを手動で無効にした場合に、デバイスが正しくバイアスされるようにするためです。このようにしないと、特に AUTO_SLEEP ビットのクリア時にデバイスがスリープ状態だった場合などに、ビットをクリアした後の最初の数サンプル分のデータに対してノイズが増えることがあります。

Measure ビット

Measure ビットに 0 をセットするとデバイスはスタンバイ・モードになり、1 をセットすると測定モードになります。ADXL350 は、最も消費電力の少ないスタンバイ・モードでパワーアップします。

Sleep ビット

Sleep ビットに 0 をセットするとデバイスは通常動作モードになり、1 をセットするとスリープ・モードになります。スリープ・モードは DATA_READY 割込みの発生を抑制して FIFO へのデータ伝送を停止し、サンプリング・レートを Wakeup ビットで指定された値に切り替えます。スリープ・モードで使用できるのはアクティブ機能だけです。

Sleep ビットをクリアするときはデバイスをスタンバイ・モードにして、その後の書込み時に測定モードに戻すことを推奨します。これは、スリープ・モードを手動で無効にした場合に、デバイスが正しくバイアスされるようにするためです。このようにしないと、特に Sleep ビットのクリア時にデバイスがスリープ状態だった場合に、ビットをクリアした後の最初の数サンプル分のデータに対してノイズが増えることがあります。

Wakeup ビット

これらのビットは、表 18 に示すようにスリープ・モード中のデータ読出し頻度を制御します。

表 18. スリープ・モードでのデータ読出し頻度

Setting		Frequency (Hz)
D1	D0	
0	0	8
0	1	4
1	0	2
1	1	1

レジスタ 0x2E — INT_ENABLE (読出し／書込み)

D7 DATA_READY	D6 SINGLE_TAP	D5 DOUBLE_TAP	D4 Activity
D3 Inactivity	D2 FREE_FALL	D1 Watermark	D0 Overrun

このレジスタのビットに 1 をセットすると、そのビットに対応する割込み機能がイネーブルになります。0 をセットしたビットに対応する割込み機能は無効になります。DATA_READY、Watermark、Overrun の各ビットは、割込み出力だけをイネーブルにします。これらの機能は常にイネーブル状態です。割込みは、各割込みの閾値を設定してからイネーブルにすることを推奨します。

レジスタ 0x2F — INT_MAP (読出し／書込み)

D7 DATA_READY	D6 SINGLE_TAP	D5 DOUBLE_TAP	D4 Activity
D3 Inactivity	D2 FREE_FALL	D1 Watermark	D0 Overrun

このレジスタのビットを 0 にセットすると、そのビットに対応する割込みが INT1 ピンに送信され、1 にセットすると、そのビットに対応する割込みが INT2 ピンに送信されます。1 つの INT ピンに対して複数の割込みを設定した場合は、すべての割込みの論理和が INT ピンの出力となります。

レジスタ 0x30 — INT_SOURCE (読出し専用)

D7 DATA_READY	D6 SINGLE_TAP	D5 DOUBLE_TAP	D4 Activity
D3 Inactivity	D2 FREE_FALL	D1 Watermark	D0 Overrun

このレジスタのビットが 1 にセットされている場合は、そのビットに対応する機能がイベントをトリガしたことを示し、0 がセットされている場合は対応するイベントが発生していないことを示します。DATA_READY、Watermark、Overrun の各ビットは、対応するイベントが発生すると INT_ENABLE レジスタの設定に関係なくセットされ、DATA_X、DATA_Y、DATA_Z の各レジスタからのデータ読出しによってクリアされます。「FIFO」の FIFO モードに関する説明に示すように、DATA_READY ビットと Watermark ビットをクリアするには、複数の読出しが必要になることがあります。ほかのビットおよびそれらのビットに対応する割込みは、INT_SOURCE レジスタの読出しによってクリアされます。

レジスタ 0x31 — DATA_FORMAT (読出し／書込み)

D7 SELF_TEST	D6 SPI	D5 INT_INVERT	D4 0	D3 FULL_RES	D2 Justify	D1 Range	D0
-----------------	-----------	------------------	---------	----------------	---------------	-------------	----

DATA_FORMAT レジスタは、レジスタ 0x32～0x37 へのデータの表示を制御します。±8 g レンジのデータを除くすべてのデータは、ロールオーバーを避けるために内部でクリップされます。

SELF_TEST ビット

SELF_TEST ビットに 1 をセットするとセルフテストがイネーブルになり、出力データが変化します。0 をセットするとセルフテストが無効になります。

SPI ビット

SPI ビットに値 1 をセットするとデバイスは 3 線式 SPI モードに設定され、値 0 をセットすると 4 線式 SPI モードに設定されます。

INT_INVERT ビット

INT_INVERT ビットの値が 0 の場合は割込みがアクティブ・ハイに設定され、1 の場合は割込みがアクティブ・ローに設定されます。

FULL_RES ビット

このビットが値 1 にセットされるとデバイスは最大分解能モードになり、レンジ・ビットによって設定された g レンジに従って出力分解能が増加して、2 mg/LSB のスケール係数を維持します。FULL_RES ビットが 0 にセットされるとデバイスは 10 ビット・モードになり、レンジ・ビットが最大の g レンジとスケール係数を決定します。

Justify ビット

Justify ビットに 1 をセットすると左寄せ (MSB) モードが選択され、0 をセットすると符号を拡張した右寄せモードが選択されます。

Range ビット

これらのビットは、表 19 に示す g レンジを設定します。

表 19. g レンジ設定

Setting		g Range
D1	D0	
0	0	±1 g
0	1	±2 g
1	0	±4 g
1	1	±8 g

レジスタ 0x32~0x37 — DATA0、DATA1、DATAY0、DATAY1、DATAZ0、DATAZ1（読出し専用）

これら 6 つのバイト（レジスタ 0x32~0x37）はそれぞれ 8 ビットで、各軸の出力データを格納します。レジスタ 0x32 とレジスタ 0x33 は x 軸の出力データ、レジスタ 0x34 とレジスタ 0x35 は y 軸の出力データ、レジスタ 0x36 とレジスタ 0x37 は z 軸の出力データを格納します。出力データは 2 の補数で、DATAx0 が下位バイト、DATAx1 が上位バイトを表します。ここで x は、X、Y、または Z を表します。DATA_FORMAT レジスタ（アドレス 0x31）は、データのフォーマットを制御します。これらのレジスタを連続して読み出す場合は、読出し中にデータが変化することがないよう、すべて複数バイト読出しで読み出すことを推奨します。

レジスタ 0x38 — FIFO_CTL（読出し／書込み）

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_MODE		Trigger	Samples				

FIFO_MODE ビット

これらのビットは、表 20 に示す FIFO モードを設定します。

表 20. FIFO モード

Setting		Mode	Function
D7	D6		
0	0	Bypass	FIFO is bypassed.
0	1	FIFO	FIFO collects up to 32 values and then stops collecting data, collecting new data only when FIFO is not full.
1	0	Stream	FIFO holds the last 32 data values. When FIFO is full, the oldest data is overwritten with newer data.
1	1	Trigger	When triggered by the trigger bit, FIFO holds the last data samples before the trigger event and then continues to collect data until full. New data is collected only when FIFO is not full.

Trigger ビット

Trigger ビットの値を 0 にセットするとトリガ・モードのトリガ・イベントが INT1 にリンクされ、値を 1 にセットするとトリガ・イベントが INT2 にリンクされます。

Samples ビット

これらのビットの機能は、選択された FIFO モードによって異なります（表 21 を参照）。サンプル・ビットに値 0 を入力すると、選択されている FIFO モードに関係なく、直ちに INT_SOURCE レジスタの Watermark ステータス・ビットが設定されます。トリガ・モード使用時にサンプル・ビットの値を 0 にすると、予期しない動作が生じる可能性があります。

表 21. サンプル・ビットの機能

FIFO Mode	Samples Bits Function
Bypass	None.
FIFO	Specifies how many FIFO entries are needed to trigger a watermark interrupt.
Stream	Specifies how many FIFO entries are needed to trigger a watermark interrupt.
Trigger	Specifies how many FIFO samples are retained in the FIFO buffer before a trigger event.

0x39 — FIFO_STATUS（読出し専用）

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_TRIG		0	Entries				

FIFO_TRIG ビット

FIFO_TRIG ビットが 1 の場合はトリガ・イベントが発生していることを示し、0 の場合は FIFO トリガ・イベントが発生していないことを示しています。

Entries ビット

これらのビットは、FIFO に格納されているデータ値の数を示します。FIFO からのデータ読出しは、DATAx、DATAY、DATAZ の各レジスタから行います。FIFO からのデータ読出しは、マルチバイト読出しで行う必要があります。これは、各 FIFO レベルにあるデータが、データ・レジスタへのアクセス（シングルバイトまたはマルチバイト）後にクリアされるためです。FIFO は最大 32 個のデータを格納します。つまり、デバイスの出力フィルタ内のエントリと合わせ、最大で 33 個のデータ保持が可能です。

アプリケーション情報

電源のデカップリング

テスト時は、ADXL350の電源ピンに近い位置で1 μ Fのタンタル・コンデンサ(C_S)をV_Sに接続し、0.1 μ Fのセラミック・コンデンサ(C_{IO})をV_{DD I/O}に接続しますが、加速度センサーを電源ノイズから十分にデカップリングするためにもこの方法を推奨します。それ以上のデカップリングが必要な場合は、100 Ω 以下の抵抗かフェライト・ビーズをV_Sと直列に挿入すると効果的です。加えて、V_S10 μ Fタンタル・コンデンサを0.1 μ Fのセラミック・コンデンサと並行に設置すると、さらにノイズを改善することができます。

グラウンドから伝わるノイズにはV_Sからのノイズと同じような影響があるため、ADXL350のグラウンドから電源グラウンドへの接続は、必ず低インピーダンスになるようにしてください。V_Sへのデジタル・クロッキング・ノイズを最小限に抑えるために、V_SとV_{DD I/O}は別電源にすることを推奨します。これが不可能な場合は、前述のように電源にフィルタを追加しなければならないことがあります。

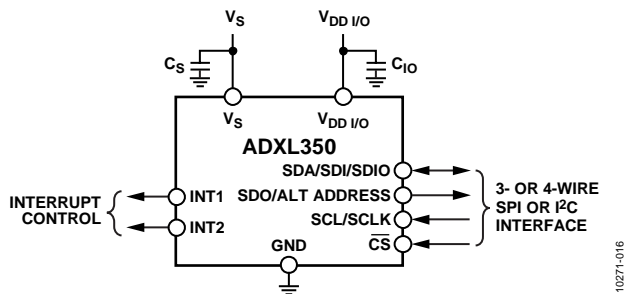


図 58. アプリケーション図

取付けに関する物理的留意点

ADXL350は、プリント基板とケースの取付け支持点に近い位置に基板に取り付けることを推奨します。図 59 に示すように、プリント基板が固定されていない場所にADXL350を取り付けると、基板の振動が減衰されず、測定誤差が大きくなる場合があります。加速度センサーを基板支持点の近くに配置すれば、加速度センサー位置におけるPCBの振動数は常にセンサー素子の共振周波数よりも高くなるため、基板振動による加速度センサーへの影響を最小限に抑えることができます。

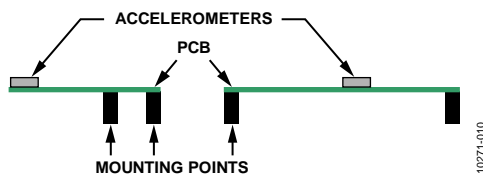


図 59. 不適切な加速度センサー配置

タップ検出

タップ割込み機能は、シングル・タップまたはダブル・タップを検出できます。有効なシングル・タップ・イベントとダブル・タップ・イベントには、図 60 に示す以下のパラメータが関係します。

- タップ検出閾値 (THRESHOLD) は、THRESH_TAP レジスタ (アドレス 0x1D) によって定義されます。

- 最大タップ持続時間 (TIME LIMIT FOR TAPS) は、DUR レジスタ (アドレス 0x21) によって定義されます。
- タップ遅延時間 (LATENCY) は Latent レジスタ (アドレス 0x22) によって定義され、最初のタップの終了から 2 番目のタップを検出できる時間枠 (TIME WINDOW) が開始されるまでの待ち時間です。この時間枠は Window レジスタ (アドレス 0x23) の値で決まります。
- 遅延時間 (LATENCY、Latent レジスタにより設定) 経過後の時間枠 (TIME WINDOW) は、Window レジスタによって定義されます。2 回目のタップは遅延時間経過後に開始されなければならないませんが、Window レジスタによって定義される時間枠の終了前に完了する必要はありません。

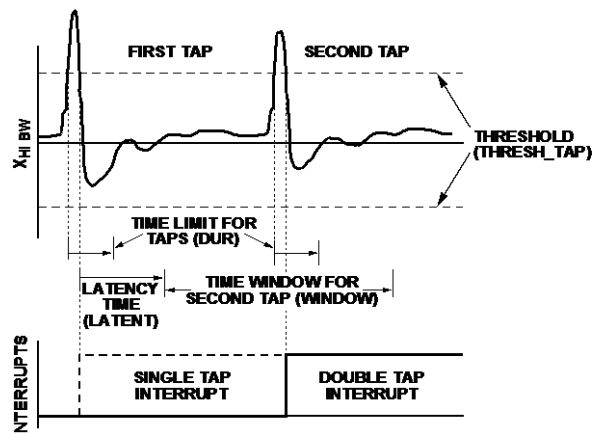


図 60. 有効なシングル・タップとダブル・タップのタップ割込み機能

シングル・タップ機能のみが使用されている場合は、DUR 時間を超えない限り、加速度が閾値を下回った時点でシングル・タップ割込みがトリガされます。シングル・タップ機能とダブル・タップ機能の両方が使用されている場合は、ダブル・タップ・イベントが有効または無効になったときに、シングル・タップ割込みがトリガされます。

ダブル・タップ・イベントでは 2 番目のタップを無効にするイベントが発生することがあります。まず、図 61 に示すように、TAP_AXES レジスタ (アドレス 0x2A) の Suppress ビットがセットされた場合、遅延時間 (LATENCY、Latent レジスタによって設定) 中に加速度信号が閾値を上回ると、ダブル・タップ検出が無効になります。

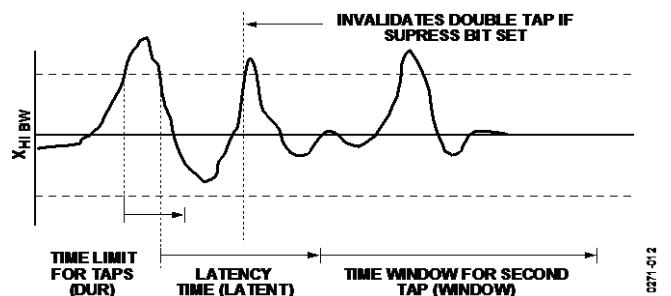


図 61. Suppress ビット設定時の高 g イベントによるダブル・タップ・イベントの無効化

2番目のタップに対する時間枠 (TIME WINDOW、Window レジスタによって設定) の開始時に閾値を上回る加速度が検出された場合も、ダブル・タップ・イベントが無効になることがあります。この場合は、図 62 に示すように、この時間枠の開始時にダブル・タップが無効と判断されます。

さらに、加速度がタップ検出のタイム・リミット (DUR レジスタによって設定) を上回った場合もダブル・タップ・イベントが無効になり、その場合は、同じく図 62 に示すように、2番目のタップ・イベントに対する DUR タイム・リミットの終了時にダブル・タップが無効と判断されます。

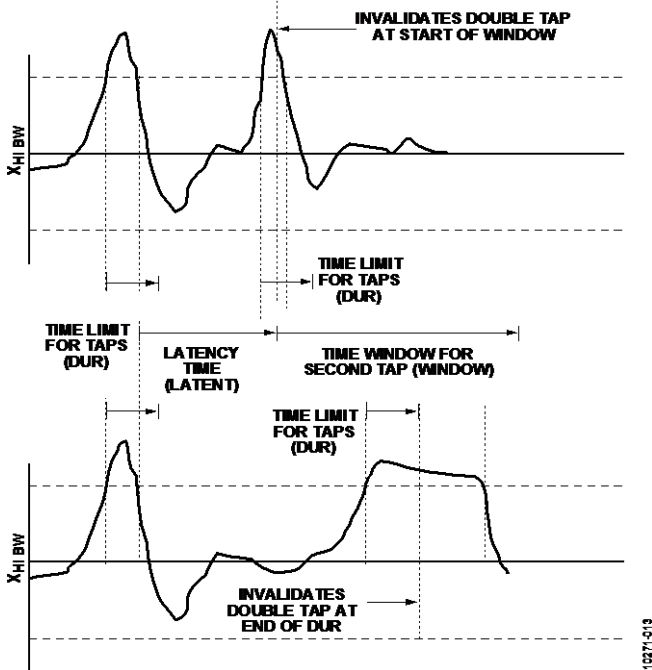


図 62. 無効なダブル・タップになったタップ割込み機能

シングル・タップ、ダブル・タップ、またはその両方を検出するには、INT_ENABLE レジスタ (アドレス 0x2E) のそれぞれに対応するビットをセットします。シングル・タップ/ダブル・タップの検出で、どの軸の出力を判定に使用するかは、TAP_AXES レジスタ (アドレス 0x2A) の該当するビットをセットすることによって決定します。ダブル・タップ機能を使用する場合は、Latent レジスタと Window レジスタの両方に 0 以外の値を設定する必要があります。

個々のシステムのシングル・タップ/ダブル・タップ応答は、それぞれのシステムの機械的特性によってある程度異なります。したがって、Latent、Window、THRESH_TAP の各レジスタの値は実験的に決定していく必要があります。一般に、Latent レジスタには 0x10 より大きい値を、Window レジスタにも 0x10 より大きい値を、THRESH_TAP レジスタには 3 g より大きい値を初期値としてセットするのが妥当です。Latent、Window、THRESH_TAP レジスタに設定した値が小さすぎると、加速度センサーがタップ入力の残留振動をひろい、予期しない反応を示すことがあります。

タップ割込みを受信した後は、THRESH_TAP レベルを上回った最初の軸が ACT_TAP_STATUS レジスタ (アドレス 0x2B) にレポートされます。このレジスタはクリアされることなく、新しいデータで上書きされます。

閾値

デバイス内のサンプリング周波数で測定データのデジメーションを行うことによって、低い出力データレートを実現します。アクティブ、自由落下、シングル・タップ/ダブル・タップの各検出機能には、フィルタ処理前のデータを用います。出力データはフィルタ処理されるため、加速度センサーの出力を調べる場合に、アクティブ、自由落下、およびシングル/ダブル・タップ・イベントの判定に使われる高周波数のデータや高 g のデータが存在しない場合もあります。この結果、加速度がイベントをトリガしたようには見えないにも関わらず、トリガ・イベントが検出されることがあります。これは、フィルタ処理済みの出力データが閾値を超えていない場合でも、フィルタ処理前のデータでは一定の時間、閾値を超えたり、閾値よりも低い値であったりするためです。

リンク・モード

Link ビットは、インアクティブ後のアクティブだけを検出するようにデバイスを設定することによって、プロセッサで対応しなければならないアクティブ割込みの数を低減します。この機能が正常に動作するには、プロセッサが、INT_SOURCE レジスタ (アドレス 0x30) を読み出して割込みをクリアすることにより、アクティブ割込みとインアクティブ割込みに応答する必要があります。アクティブ割込みがクリアされない限り、デバイスが自動スリープ・モードに入ることはできません。ACT_TAP_STATUS レジスタ (アドレス 0x2B) の Asleep ビットは、デバイスがスリープ状態にあるかどうかを示します。

スリープ・モードと低消費電力モード

低いデータレートで十分であり、消費電力を低く抑えたいアプリケーションには、FIFO と低消費電力モードを組み合わせることを推奨します。スリープ・モードはデータレートと平均消費電流を低く抑えることができますが、DATA_READY 割込みを使用できなくなるため、データを収集できる状態になっても、加速度センサーからホスト・プロセッサへ割込み信号を送ることができなくなります。このアプリケーションでは、デバイスを低消費電力モードに設定 (BW_RATE レジスタの LOW_POWER ビットをセット) し、多数のサンプルを収集するため FIFO モードで FIFO をイネーブルにすることにより、ADXL350 の消費電流を低減するとともに、FIFO ヘデータが書き込まれている間にホスト・プロセッサがスリープ状態に入れるようにします。

オフセット・キャリブレーション

加速度センサーは、自由に移動する要素を内蔵した機械的構造物です。これらの可動部品は、ソリッドステート式のエレクトロニクス部品に比べると、機械的応力に対してきわめて敏感です。0 g バイアスやオフセットは加速度測定のベースラインを定めるものであり、加速度センサーの重要な測定基準です。加速度センサーを内蔵するシステムの組立て時には、余分な応力が加わることがあります。これらの応力の原因としては、部品のハンダ処理、取付け時に基板にかかる応力、部品への化合物の塗布などがありますが、必ずしもこれだけではありません。キャリブレーションが必要と考えられる場合は、これらの影響を相殺するために、システムの組立て後にキャリブレーションを行うことを推奨します。

キャリブレーションの簡単な方法は、ADXL350 の感度を表 1 のとおりと想定してオフセットを測定することです。オフセットは、内蔵のオフセット・レジスタを用いることにより、センサー内部で自動的に計算することができます。したがって、DATA レジスタから取得したデータはオフセット補償済みの値になります。

無回転またはシングルポイントのキャリブレーション方式では、1本の軸（一般的にはz軸）が1gの重力場にあり、残りの軸（一般的にはx軸とy軸）が0gの重力場にあるようにデバイスの向きを設定します。この状態で、一定数以上のサンプルの平均をとって出力を測定します。平均化の対象とするサンプル数はシステム設計者が選択できますが、最初は100 Hz以上のデータレートで0.1秒相当のデータから始めることを推奨します。これは、100 Hzのデータレートで10個のサンプルに相当します。100 Hz未満のデータレートの場合は、10個以上のサンプルの平均をとることを推奨します。これらの値は、x軸とy軸の0g測定およびz軸の1g測定の場合、それぞれ X_{0g} 、 Y_{0g} 、および Z_{+1g} として格納されます。

X_{0g} および Y_{0g} について測定された値はx軸とy軸のオフセットに相当し、これらの値を加速度センサーの出力から減じて実際の加速度を得ることによって、補正が行われます。

$$X_{ACTUAL} = X_{MEAS} - X_{0g}$$

$$Y_{ACTUAL} = Y_{MEAS} - Y_{0g}$$

z軸の測定は+1gの重力場で行われるため、無回転またはシングルポイントのキャリブレーション方式ではz軸に理想的な感度(S_z)があるものと仮定します。これを Z_{+1g} から引いてz軸のオフセットを出し、さらにそれを将来の測定値から引いて実際の値を求めます。

$$Z_{0g} = Z_{+1g} - S_z$$

$$Z_{ACTUAL} = Z_{MEAS} - Z_{0g}$$

ADXL350は、オフセット・レジスタ（レジスタ0x1E、レジスタ0x1F、レジスタ0x20）を用いて、自動的に出力のオフセット補償を行うことができます。これらのレジスタに含まれる8ビットの2の補数値がすべての測定加速度値に自動的に加算されて、その結果がDATAレジスタに格納されます。オフセット・レジスタに格納される値はすべて加算されるため、正のオフセットを解消するにはレジスタに負の値を置き、負のオフセットを解消するには正の値を置きます。レジスタのスケール係数は7.8 mg/LSBで、選択したgレンジには左右されません。

たとえば、ADXL350を感度512 LSB/g (Typ)の最大分解能モードで使用するものとします。z軸が重力場となるようにデバイスの向きを設定すると、x軸、y軸、z軸の出力はそれぞれ+10 LSB、-13 LSB、+9 LSBになります。さらに前述の式を用いると、 X_{0g} は+10 LSB、 Y_{0g} は-13 LSB、 Z_{0g} は+9 LSBとなります。最大分解能での出力の各LSBは、1.95 mg、すなわちオフセット・レジスタのLSBの1/4です。オフセット・レジスタの値はすべて加算されるため、0gの値は極性を反転し、オフセット・レジスタの最も近いLSBに丸めます。

$$X_{OFFSET} = -\text{Round}(10/4) = -3 \text{ LSB}$$

$$Y_{OFFSET} = -\text{Round}(-13/4) = 3 \text{ LSB}$$

$$Z_{OFFSET} = -\text{Round}(9/4) = -2 \text{ LSB}$$

これらの値が、それぞれ0xFD、0x03、0xFEとしてOFSX、OFSY、OFXZの各レジスタに書き込まれます。ADXL350のほかのすべてのレジスタと同様、デバイスの電源が切断されると、オフセット・レジスタに書き込まれた値は保持されません。ADXL350の電源を一度切断してから再投入すると、オフセット・レジスタの内容は0x00のデフォルト値に戻ります。

無回転またはシングルポイントのキャリブレーション方式ではz軸の感度を理想感度と見なすため、この感度に誤差があるとオフセットにも誤差が生じます。この誤差を最小限に抑えるには、0g重力場にあるz軸にもう1つの測定点を設けて、その0g測定値を Z_{ACTUAL} の式に使用します。

セルフテストの使用法

セルフテスト変動とは、セルフテストをイネーブルにした軸の加速度出力と、同じ軸でセルフテストを無効にした場合の加速度出力の差のことです（表1の脚注4を参照）。この定義では、これら2つの測定の間にセンサーが移動しないことを前提としています。センサーが移動すると、セルフテストに関係ない出力変化が生じて正しいテスト結果が得られません。

正確なセルフテスト測定を行うには、ADXL350を正しく設定する必要があります。ADXL350のデータレートは100 Hz以上に設定してください。このためには、BW_RATEレジスタ（アドレス0x2C）のRateビット（ビットD3～D0）に0x0A以上の値を書き込む必要があります。

また、セルフテストのシフト全体に十分なダイナミック・レンジが得られるように、デバイスを±8gモードに設定することを推奨します。これは、DATA_FORMATレジスタ（アドレス0x31）のビットD3をセットし、DATA_FORMATレジスタ（アドレス0x31）のRangeビット（ビットD1とD0）に0x03を書き込むことによって行います。これにより、高いダイナミック・レンジと2 mg/LSBのスケール係数が得られます。

デバイスを正確なセルフテスト測定用に設定した後は、x軸、y軸、z軸の加速度データのサンプルをいくつかセンサーから読み出して、平均値をとる必要があります。平均化の対象とするサンプルの数はシステム設計者が選択できますが、まず0.1秒分のデータから始めることを推奨します。これは、100 Hzのデータレートの場合、10個のサンプルに相当します。平均値は、セルフテスト無効時のデータ X_{ST_OFF} 、 Y_{ST_OFF} 、 Z_{ST_OFF} としてシステム内に保存してください。

次に、DATA_FORMATレジスタ（アドレス0x31）のビットD7をセットしてセルフテストをイネーブルにします。セルフテストをイネーブルにした後は、出力が安定するまでにある程度の時間（約4個のサンプル）が必要です。出力を安定させた後に、x軸、y軸、z軸の加速度データを再び読み込んで平均値をとります。この平均値をとる場合も、前と同じ数のサンプルを使用することを推奨します。これらの平均値も、セルフテストをイネーブルにした値、つまり X_{ST_ON} 、 Y_{ST_ON} 、 Z_{ST_ON} として再びシステム内に保存してください。その後、DATA_FORMATレジスタ（アドレス0x31）のビットD7をクリアして、セルフテストを無効にします。

セルフテストをイネーブルにしたときと無効にしたときの保存値から、セルフテスト変動を次のように表すことができます。

$$X_{ST} = X_{ST_ON} - X_{ST_OFF}$$

$$Y_{ST} = Y_{ST_ON} - Y_{ST_OFF}$$

$$Z_{ST} = Z_{ST_ON} - Z_{ST_OFF}$$

測定された各軸の出力は LSB 単位で表されるため、 X_{ST} 、 Y_{ST} 、 Z_{ST} も LSB 単位になります。これらの値を加速度 g に変換するには、最大分解能、 $8g$ モードの設定の場合、各値に 2 mg/LSB のスケール係数を乗じます。また、表 13～表 16 に示すセルフテスト・レンジは LSB に変換済みの値で、測定されたセルフテスト変動と直接比較することができます。デバイスが最大分解能である $8g$ モードに設定されている場合は、表 13 に示す値を使用してください。10 ビットの固定モードや $8g$ 以外のレンジも使用できま

すが、表 14～表 16 に示すような異なる値のセットを使用することもできます。 $8g$ 未満のレンジを使用するとダイナミック・レンジが不足する可能性があるため、セルフテストを測定するための動作レンジを選択するときは注意してください。さらに、表 1 に示すレンジと表 13～表 16 に示す値については、考え得るすべての電源電圧 V_S が考慮されているので、 V_S に基づいて変換を行う必要はありません。

セルフテスト変動が仕様レンジ内に収まった場合、そのテストは成功と判定されます。また、一般にセルフテスト変動が仕様の最小値以上であった場合、そのデバイスは正常であると見なされます。ただし、セルフテスト変動が仕様の最大値を超えていても、そのデバイスが異常であるとは限りません。

加速度検出軸

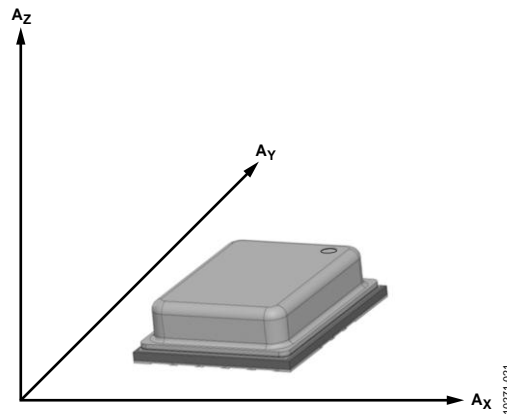


図 63. 加速度検出軸（検出軸で加速が生じると、対応する軸の出力電圧が増加）

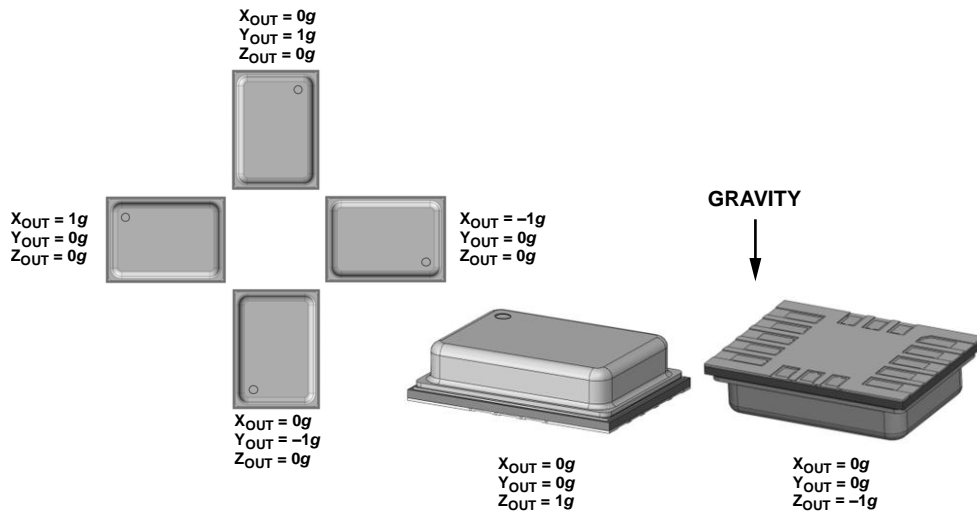


図 64. 重力方向と出力応答の関係

レイアウトと設計の推奨事項

図 65 に、推奨するプリント配線基板のランド・パターンを示します。図 66 と表 22 は、推奨するハンダ付けプロファイルの詳細です。

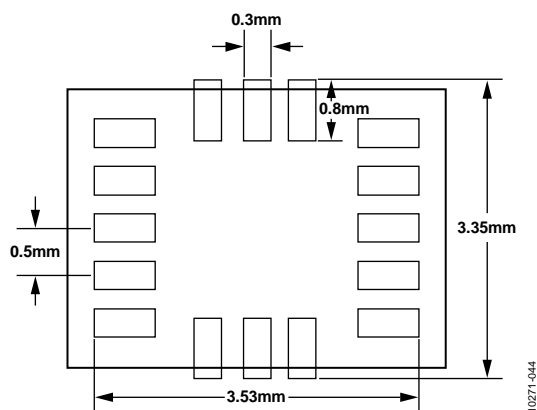


図 65. 推奨するプリント配線基板のランド・パターン
(寸法単位：mm)

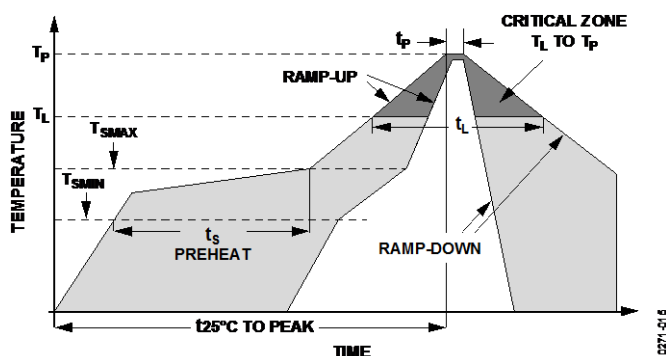


図 66. 推奨ハンダ付けプロファイル

表 22. 推奨ハンダ付けプロファイル^{1,2}

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate from Liquid Temperature (T_L) to Peak Temperature (T_P)	3°C/sec max	3°C/sec max
Preheat		
Minimum Temperature (T_{SMIN})	100°C	150°C
Maximum Temperature (T_{SMAX})	150°C	200°C
Time from T_{SMIN} to T_{SMAX} (t_s)	60 sec to 120 sec	60 sec to 180 sec
T_{SMAX} to T_L Ramp-Up Rate	3°C/sec max	3°C/sec max
Liquid Temperature (T_L)	183°C	217°C
Time Maintained Above T_L (t_L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T_P)	240 + 0/-5°C	260 + 0/-5°C
Time of Actual $T_P - 5^\circ\text{C}$ (t_p)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec max	6°C/sec max
Time 25°C to Peak Temperature	6 minutes max	8 minutes max

¹ JEDEC 規格 J-STD-020D.1 に基づいています。

² 最善の結果を得るには、使用するハンダ・ペースト・メーカーの推奨事項に従ったハンダ付けプロファイルにする必要があります。

外形寸法

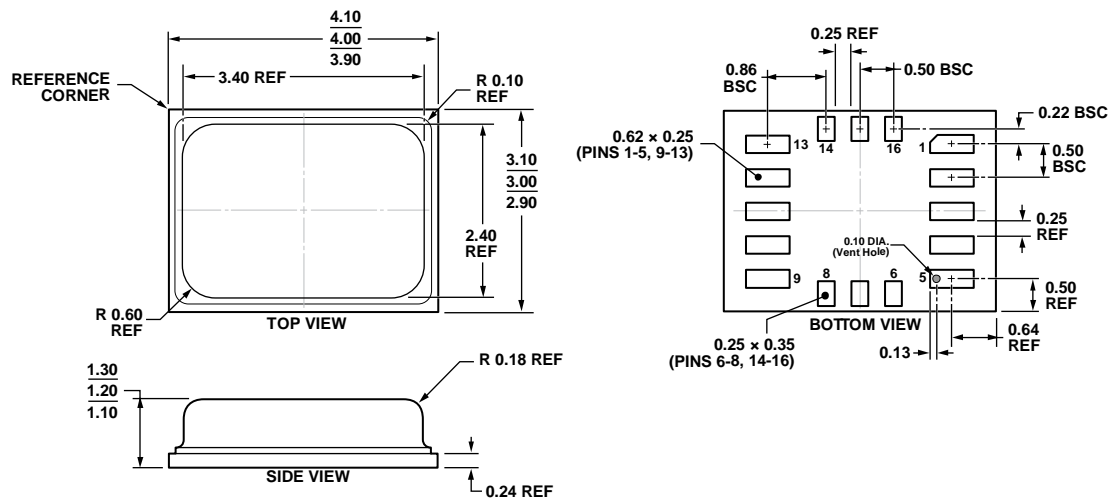


図 67. 16 端子チップ・アレイ、スモール・アウトライン、ピン・キャビティなし [LGA_CAV]
4.00 mm × 3.00 mm × 1.2 mm ボディ
(CE-16-3)
寸法単位 : mm

オーダー・ガイド

Model ¹	Measurement Range (g)	Specified Voltage (V)	Temperature Range	Package Description	Package Option
ADXL350BCEZ-RL	±1, ±2, ±4, ±8	2.5	-40°C to +85°C	16-Terminal [LGA_CAV]	CE-16-3
ADXL350BCEZ-RL7	±1, ±2, ±4, ±8	2.5	-40°C to +85°C	16-Terminal [LGA_CAV]	CE-16-3
EVAL-ADXL350Z				Evaluation Board	
EVAL-ADXL350Z-M				Analog Devices Inertial Sensor Evaluation System, Includes ADXL350 Satellite	
EVAL-ADXL350Z-S				ADXL350 Satellite, Standalone	

¹ Z = RoHS 準拠製品