

### 特長

- 超低消費電力:  $V_S = 2.6\text{ V}$  動作時、計測モードで最小 23  $\mu\text{A}$  (typ)、スタンバイ・モードで 0.2  $\mu\text{A}$  (typ)
- 消費電力を帯域幅に合わせて自動調整
- 分解能が選択可能
  - 10 ビット固定分解能
  - フル分解能:  $g$  範囲に比例して増加、±16  $g$  で最大 13 ビット分解能 ( $g$  の全範囲で 4 mg/LSB のスケール・ファクタを維持)
- FIFO 技術採用の内蔵メモリ管理システム (特許申請中)によりホスト・プロセッサ負荷を軽減
- シングル・タップ<sup>1</sup>/ダブル・タップ検出
- アクティブ/インアクティブ・モニタリング機能
- 自由落下検出
- 4 ポジションと 6 ポジションの同時オリエンテーション検出
- 電源および I/O 電圧範囲: 1.7 V~2.75 V
- SPI (3/4 線式) デジタル・インタフェースと I<sup>2</sup>C デジタル・インタフェースを内蔵
- 2 本の割り込みピンに割り当て可能な柔軟な割り込みモード
- 測定範囲をシリアル・コマンドで選択可能
- 帯域幅をシリアル・コマンドで選択可能
- 広い温度範囲: -40°C~+85°C
- 衝撃耐性: 10,000  $g$
- Pb フリー/RoHS 準拠
- 小型薄型 3 mm × 3 mm × 0.95 mm LGA パッケージを採用

### アプリケーション

- 携帯電話
- 医療計測機器
- ゲームおよびポインティング機器
- 工業用計装機器
- パーソナル・ナビゲーション・デバイス
- ハード・ディスク・ドライブ (HDD) 保護

### 概要

ADXL346 は、最大±16  $g$  まで高い計測分解能 (13 ビット) を持つ、小型、薄型、超低消費電力の 3 軸加速度センサーです。デジタル出力データは、16 ビット 2 の補数フォーマットで、SPI (3/4 線式) または I<sup>2</sup>C<sup>®</sup> デジタル・インタフェースを使ってアクセスすることができます。

ADXL346 はモバイル機器アプリケーションに最適です。傾き検出アプリケーションで重力スタティック加速度を計測し、さらに運動または衝撃から発生するダイナミック加速度も計測します。高い分解能 (4 mg/LSB) を持つため、1.0°以下の傾き変化を計測することができます。

複数の特別な検出機能を内蔵しています。アクティブ/インアクティブ検出機能では、ユーザ設定のスレッシュホールドと、任意軸の加速度を比較して運動の有無を検出します。タップ検出では、任意方向のシングル・タップとダブル・タップを検出します。自由落下検出機能では、デバイスが落下中か否かを検出します。オリエンテーション検出機能では、4 ポジションおよび 6 ポジションを同時検出することができます。さらに 2D または 3D アプリケーションでは方向変化時にユーザ選択可能な割り込みを発生することができます。これらの機能は、個別に 2 本の割り込み出力ピンに割り当てることができます。特許申請中の 32 レベル FIFO バッファを持つ内蔵メモリ管理システムを使ってデータを保持できるため、ホスト・プロセッサの負荷を軽減し、システム全体の消費電力を削減することができます。

低消費電力モードでは、極めて小さい消費電力で動作するスレッシュホールド検出機能とアクティブ加速度計測機能を使った、運動情報によるインテリジェントなパワー・マネジメントが可能です。

ADXL346 は、小型、薄型、3 mm × 3 mm × 0.95 mm の 16 ピン・プラスチック・パッケージを採用しています。

### 機能ブロック図

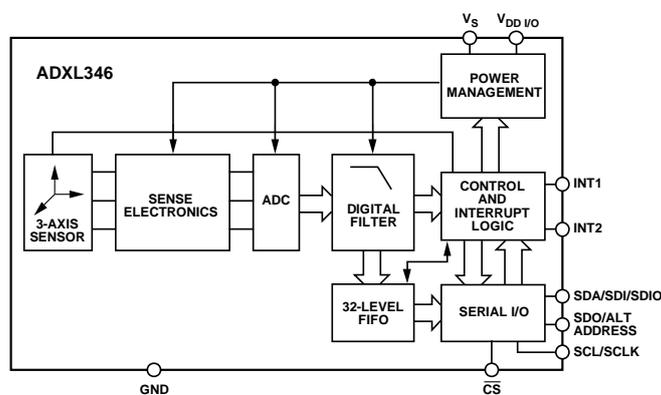


図 1.

<sup>1</sup> タップ(tap)とは、叩くなどにより衝撃を与えて加速度を生じさせる意味。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2010 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	レジスタの定義.....	23
アプリケーション.....	1	アプリケーション情報.....	29
概要.....	1	電源のデカップリング.....	29
機能ブロック図.....	1	実装時の機構的な注意事項.....	29
改訂履歴.....	2	タップ検出.....	29
仕様.....	3	改良タップ検出.....	30
絶対最大定格.....	5	タップ符号.....	30
熱抵抗.....	5	スレッシュホールド.....	31
パッケージ情報.....	5	リンク・モード.....	31
ESDの注意.....	5	スリープ・モード対低消費電力モード.....	31
ピン配置およびピン機能説明.....	6	オフセット・キャリブレーション.....	31
代表的な性能特性.....	7	セルフテストの使用法.....	32
動作原理.....	12	オリエンテーション検出.....	32
電源シーケンス.....	12	高データレートのデータ・フォーマッティング.....	34
省電力.....	13	ノイズ性能.....	35
シリアル通信.....	14	2.6 V以外の電圧での動作.....	35
SPI.....	14	最小データレートでのオフセット性能.....	36
I <sup>2</sup> C.....	17	加速度検出軸.....	37
割込み.....	19	レイアウトとデザインの推奨事項.....	38
FIFO.....	20	外形寸法.....	39
セルフテスト.....	21	オーダー・ガイド.....	39
レジスタ・マップ.....	22		

## 改訂履歴

### 11/10—Rev. 0 to Rev. A

Changes to Ordering Guide ..... 39

### 5/10—Revision 0: Initial Version

## 仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.6\text{ V}$ 、 $V_{DDIO} = 1.8\text{ V}$ 、加速度 = 0 g、 $C_S = 10\text{ }\mu\text{F}$  タンタル、 $C_{IO} = 0.1\text{ }\mu\text{F}$ 、ODR = 800 Hz。

表 1.仕様

Parameter	Test Conditions	Min <sup>1</sup>	Typ <sup>2</sup>	Max <sup>1</sup>	Unit
<b>SENSOR INPUT</b>					
Measurement Range	Each axis User selectable		$\pm 2, \pm 4, \pm 8, \pm 16$		g
Nonlinearity	Percentage of full scale		$\pm 0.5$		%
Inter-Axis Alignment Error			$\pm 0.1$		Degrees
Cross-Axis Sensitivity <sup>3</sup>			$\pm 1$		%
<b>OUTPUT RESOLUTION</b>					
All g Ranges	Each axis 10-bit resolution		10		Bits
$\pm 2\text{ g}$ Range	Full resolution		10		Bits
$\pm 4\text{ g}$ Range	Full resolution		11		Bits
$\pm 8\text{ g}$ Range	Full resolution		12		Bits
$\pm 16\text{ g}$ Range	Full resolution		13		Bits
<b>SENSITIVITY</b>					
Sensitivity at $X_{OUT}$ , $Y_{OUT}$ , $Z_{OUT}$	Each axis All g ranges, full resolution	230	256	282	LSB/g
	$\pm 2\text{ g}$ , 10-bit resolution	230	256	282	LSB/g
	$\pm 4\text{ g}$ , 10-bit resolution	115	128	141	LSB/g
	$\pm 8\text{ g}$ , 10-bit resolution	57	64	71	LSB/g
	$\pm 16\text{ g}$ , 10-bit resolution	29	32	35	LSB/g
Sensitivity Deviation from Ideal	All g ranges		$\pm 1.0$		%
Scale Factor at $X_{OUT}$ , $Y_{OUT}$ , $Z_{OUT}$	All g ranges, full resolution	3.5	3.9	4.3	mg/LSB
	$\pm 2\text{ g}$ , 10-bit resolution	3.5	3.9	4.3	mg/LSB
	$\pm 4\text{ g}$ , 10-bit resolution	7.1	7.8	8.7	mg/LSB
	$\pm 8\text{ g}$ , 10-bit resolution	14.1	15.6	17.5	mg/LSB
	$\pm 16\text{ g}$ , 10-bit resolution	28.6	31.2	34.5	mg/LSB
Sensitivity Change Due to Temperature			$\pm 0.02$		%/ $^\circ\text{C}$
<b>0 g OFFSET</b>					
0 g Output for $X_{OUT}$ , $Y_{OUT}$ , $Z_{OUT}$	Each axis	-150	0	+150	mg
0 g Output Deviation from Ideal			$\pm 35$		mg
0 g Offset vs. Temperature for X-, Y-Axes			$\pm 0.7$		mg/ $^\circ\text{C}$
0 g Offset vs. Temperature for Z-Axis			$\pm 1.3$		mg/ $^\circ\text{C}$
<b>NOISE</b>					
X-, Y-Axes	ODR = 100 Hz for $\pm 2\text{ g}$ , 10-bit resolution or all g ranges, full resolution		1.1		LSB rms
Z-Axis	ODR = 100 Hz for $\pm 2\text{ g}$ , 10-bit resolution or all g ranges, full resolution		1.5		LSB rms
<b>OUTPUT DATA RATE AND BANDWIDTH</b>					
Output Data Rate (ODR) <sup>4, 5, 6</sup>	User selectable	0.10		3200	Hz
<b>SELF-TEST<sup>7</sup></b>					
Output Change in X-Axis		0.27		1.55	g
Output Change in Y-Axis		-1.55		-0.27	g
Output Change in Z-Axis		0.40		1.95	g
<b>POWER SUPPLY</b>					
Operating Voltage Range ( $V_S$ )		1.7	2.6	2.75	V
Interface Voltage Range ( $V_{DDIO}$ )		1.7	1.8	$V_S$	V
Measurement Mode Supply Current	ODR $\geq 100\text{ Hz}$		140		$\mu\text{A}$

Parameter	Test Conditions	Min <sup>1</sup>	Typ <sup>2</sup>	Max <sup>1</sup>	Unit
Standby Mode Supply Current	ODR < 10 Hz		30		μA
			0.2		μA
Turn-On and Wake-Up Time <sup>8</sup>	ODR = 3200 Hz		1.4		ms
TEMPERATURE					
Operating Temperature Range		-40		+85	°C
WEIGHT					
Device Weight			18		mg

<sup>1</sup> すべての最小値と最大値を保証します。typ 値は保証しません。

<sup>2</sup> 記載する typ 値は製品数の少なくとも 68% の値であり、平均値  $\pm 1\sigma$  のワースト・ケースを採用しています。ただし、0 g 出力と感度は除きます。これは目標値を表わします。0 g オフセットと感度の場合、理論値からの偏差により平均値  $\pm 1\sigma$  のワースト・ケースを規定します。

<sup>3</sup> 任意の 2 軸間の混入を意味します。

<sup>4</sup> -3 dB 周波数で、出力データレート帯域幅の 1/2 です (= ODR/2)。

<sup>5</sup> 3200 Hz ODR と 1600 Hz ODR の出力フォーマットで、その他の ODR の出力フォーマットと異なります。この違いは、高データレートのデータ・フォーマッティングのセクションで説明します。

<sup>6</sup> 6.25 Hz を下回る出力データレートではオフセット・シフトが増えます。このオフセット・シフトは、選択した出力データレートに応じて温度とともに増加します。詳細については、最小データレートでのオフセット性能のセクションを参照してください。

<sup>7</sup> セルフテスト変化は、SELF\_TEST ビット = 1 (DATA\_FORMAT レジスタ(アドレス 0x31))のときの出力(g)から SELF\_TEST ビット = 0 のときの出力(g)を減算した値と定義します。デバイスのフィルタリング機能により、セルフテストをイネーブルまたはディスエーブルしたとき、出力は  $4 \times \tau$  後に最終値に到達します。ここで  $\tau = 1/(\text{データレート})$  です。セルフテスト機能を正しく動作させるためには、デバイスを通常消費電力 (BW\_RATE レジスタ(アドレス 0x2C)の LOW\_POWER ビット = 0) で動作させる必要があります。

<sup>8</sup> ターンオン時間とウェイクアップ時間は、ユーザの指定する帯域幅により決定されます。100 Hz データレートでのターンオン時間とウェイクアップ時間は、各々約 11.1 ms です。他のデータレートでのターンオン時間とウェイクアップ時間は、各々約  $\tau + 1.1$  ms です。ここで  $\tau = 1/(\text{データレート})$ 。

## 絶対最大定格

表 2.

Parameter	Rating
Acceleration	
Any Axis, Unpowered	10,000 g
Any Axis, Powered	10,000 g
$V_S$	-0.3 V to +3.0 V
$V_{DDIO}$	-0.3 V to +3.0 V
Digital Pins	-0.3 V to $V_{DDIO} + 0.3$ V or 3.0 V, whichever is less
All Other Pins	-0.3 V to +3.0 V
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
Temperature Range	
Powered	-40°C to +105°C
Storage	-40°C to +105°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

表 3. パッケージ特性

Package Type	$\theta_{JA}$	$\theta_{JC}$	Device Weight
16-Terminal LGA	150°C/W	85°C/W	18 mg

## パッケージ情報

図 2 と表 4 に、ADXL346 のパッケージ表示の詳細を示します。製品の供給状況については、オーダー・ガイドのセクションをご覧ください。

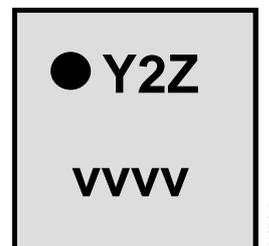


図 2. パッケージの製品情報 (上面図)

表 4. パッケージ・ブランド ing 情報

Branding Key	Field Description
Y2Z	Part identifier for ADXL346
vvvv	Factory lot code

## ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されずにそのまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

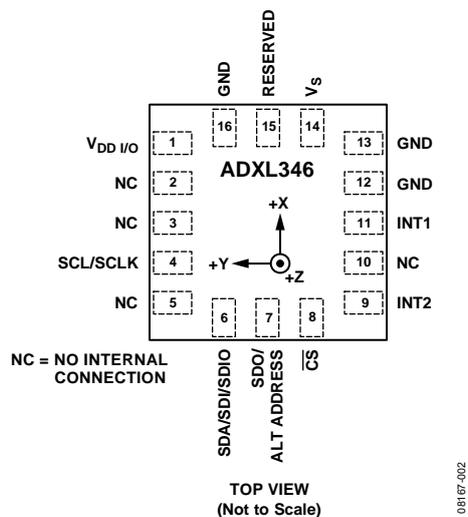


図 3. ピン配置 (上面図)

表 5. ピン機能の説明

ピン番号	記号	説明
1	V <sub>DD I/O</sub>	デジタル・インターフェース電源電圧。
2	NC	内部で未接続。
3	NC	内部で未接続。
4	SCL/SCLK	シリアル通信クロック。
5	NC	内部で未接続。
6	SDA/SDI/SDIO	シリアル・データ (I <sup>2</sup> C)/シリアル・データ入力 (SPI 4 線式)/シリアル・データ入出力 (SPI 3 線式)。
7	SDO/ALT ADDRESS	シリアル・データ出力 (SPI 4 線式)/I <sup>2</sup> C アドレス・セレクト (I <sup>2</sup> C)。
8	$\overline{CS}$	チップ・セレクト。
9	INT2	割込み 2 出力。
10	NC	内部で未接続。
11	INT1	割込み 1 出力。
12	GND	グラウンドへ接続する必要があります。
13	GND	グラウンドへ接続する必要があります。
14	V <sub>S</sub>	電源電圧
15	RESERVED	予約済み。このピンは V <sub>S</sub> へ接続する必要があります。
16	GND	グラウンドへ接続する必要があります。

代表的な性能特性

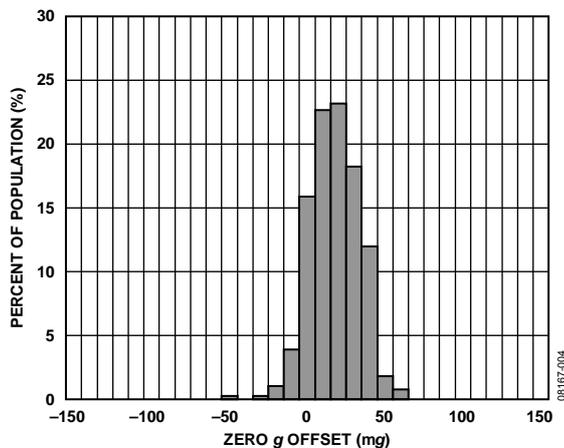


図 4.X 軸ゼロ g オフセット、25°C、 $V_S = 2.6 V$

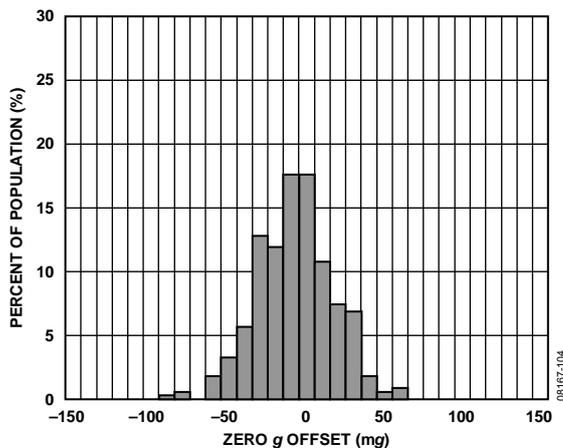


図 7.X 軸ゼロ g オフセット、25°C、 $V_S = 1.8 V$

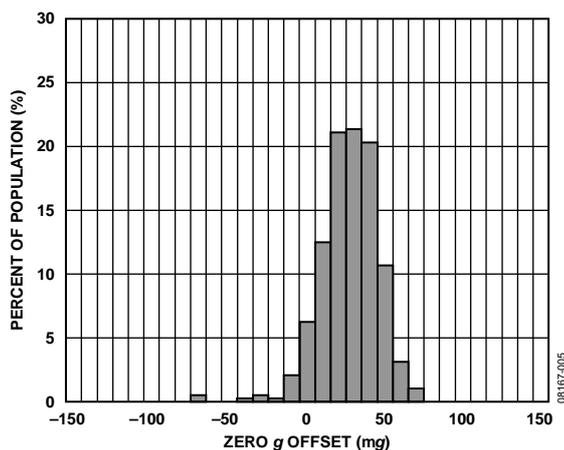


図 5.Y 軸ゼロ g オフセット、25°C、 $V_S = 2.6 V$

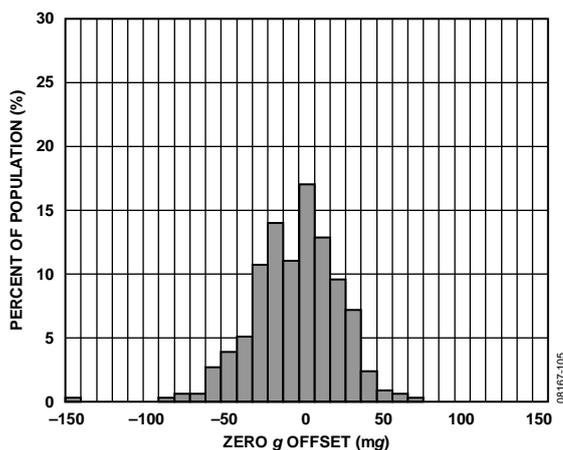


図 8.Y 軸ゼロ g オフセット、25°C、 $V_S = 1.8 V$

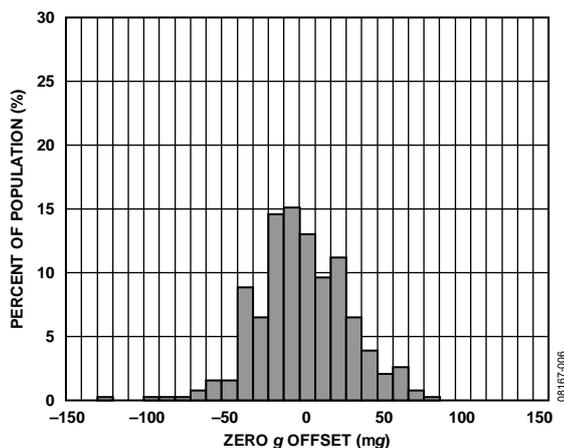


図 6.Z 軸ゼロ g オフセット、25°C、 $V_S = 2.6 V$

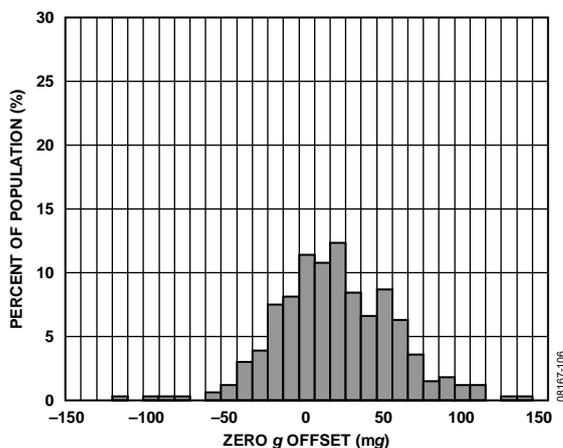


図 9.Z 軸ゼロ g オフセット、25°C、 $V_S = 1.8 V$

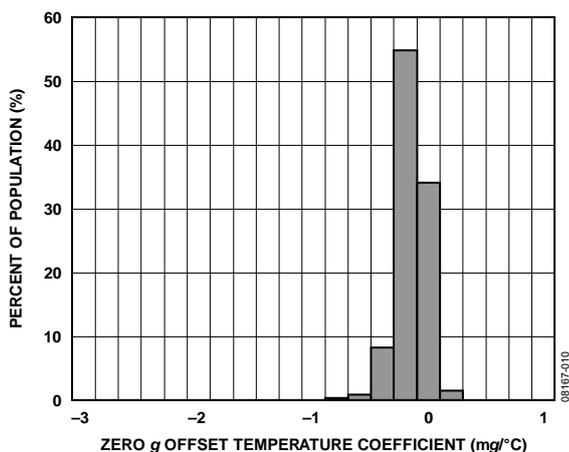


図 10.X 軸ゼロ g オフセット温度係数、 $V_S = 2.6 V$

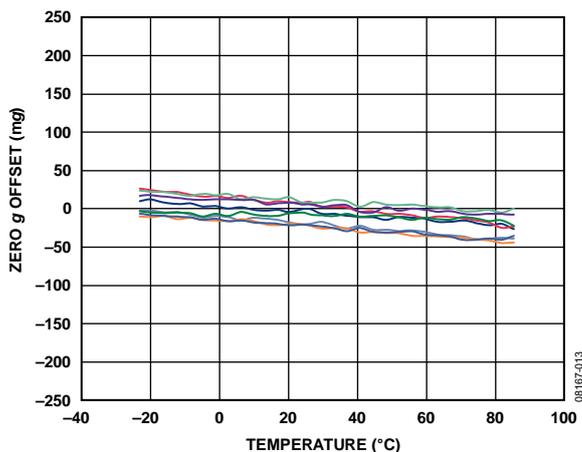


図 13.X 軸ゼロ g オフセットの温度特性—  
8 個のデバイスを PCB へハンダ付け、 $V_S = 2.6 V$

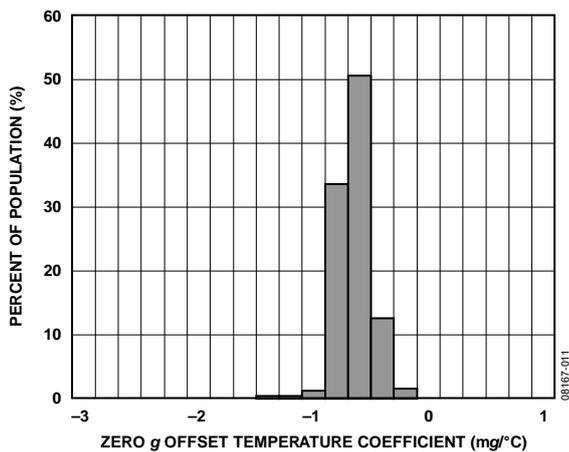


図 11.Y 軸ゼロ g オフセット温度係数、 $V_S = 2.6 V$

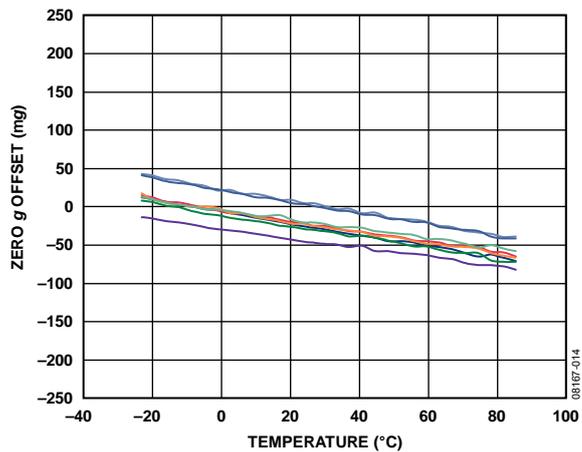


図 14.Y 軸ゼロ g オフセットの温度特性—  
8 個のデバイスを PCB へハンダ付け、 $V_S = 2.6 V$

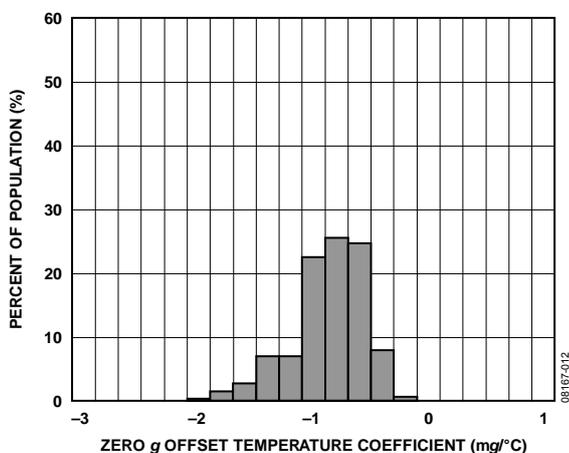


図 12.Z 軸ゼロ g オフセット温度係数、 $V_S = 2.6 V$

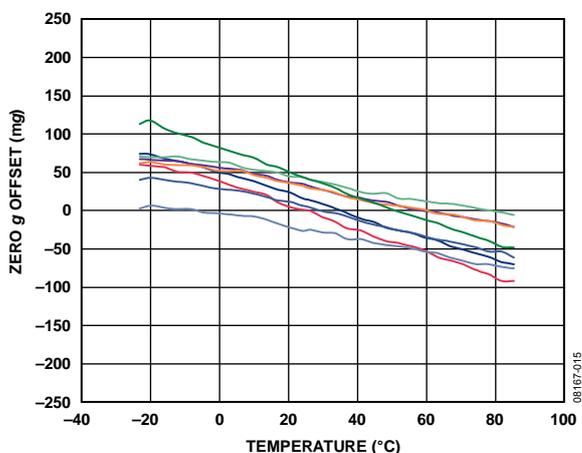


図 15.Z 軸ゼロ g オフセットの温度特性—  
8 個のデバイスを PCB へハンダ付け、 $V_S = 2.6 V$

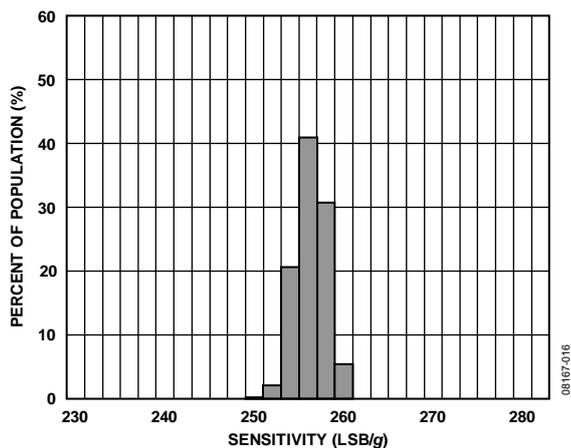


図 16.X 軸感度、25°C、 $V_S = 2.6$  V、フル分解能

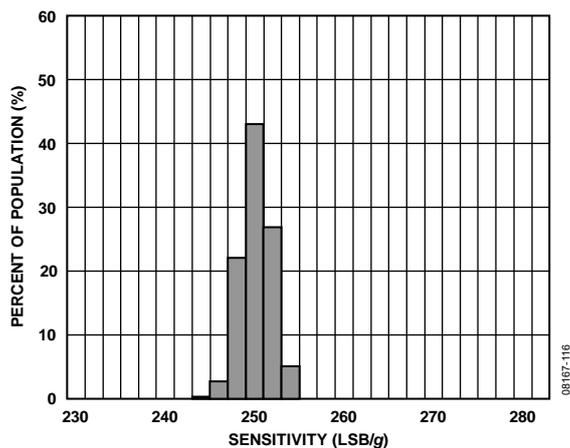


図 19.X 軸感度、25°C、 $V_S = 1.8$  V、フル分解能

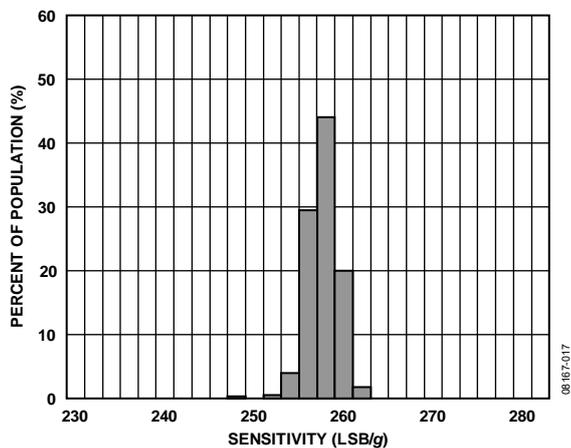


図 17.Y 軸感度、25°C、 $V_S = 2.6$  V、フル分解能

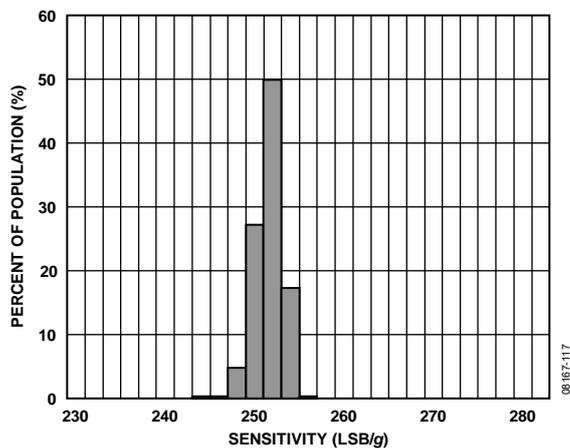


図 20.Y 軸感度、25°C、 $V_S = 1.8$  V、フル分解能

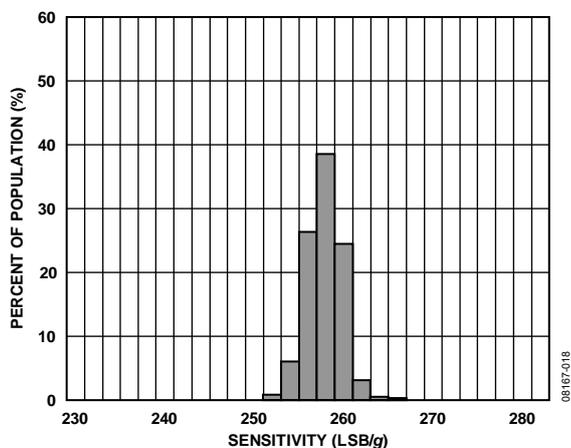


図 18.Z 軸感度、25°C、 $V_S = 2.6$  V、フル分解能

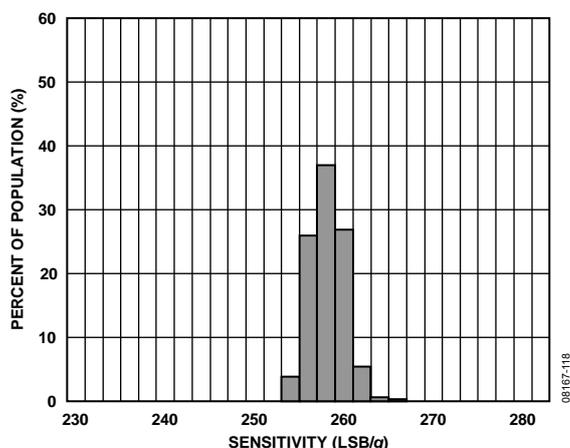


図 21.Z 軸感度、25°C、 $V_S = 1.8$  V、フル分解能

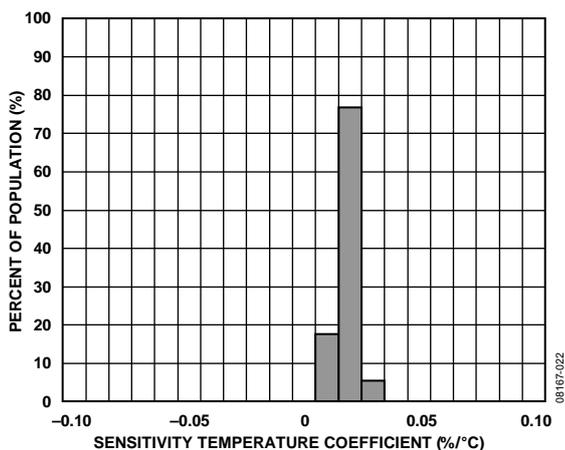


図 22.X 軸感度温度係数、 $V_S = 2.6\text{ V}$

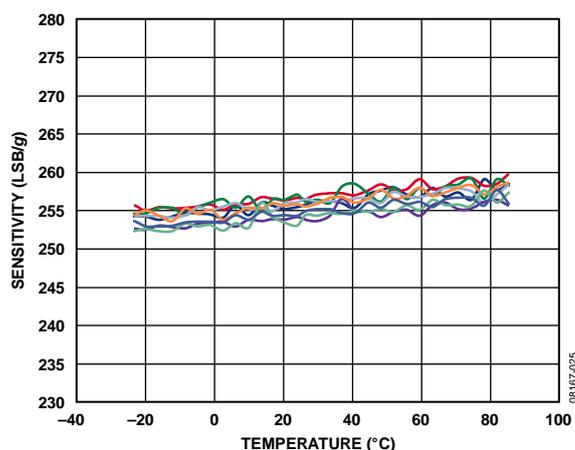


図 25.X 軸感度の温度特性—  
8 個のデバイスを PCB へハンダ付け、 $V_S = 2.6\text{ V}$ 、フル分解能

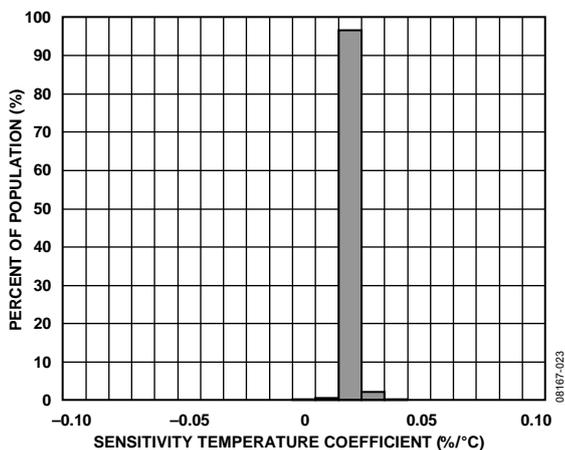


図 23.Y 軸感度温度係数、 $V_S = 2.6\text{ V}$

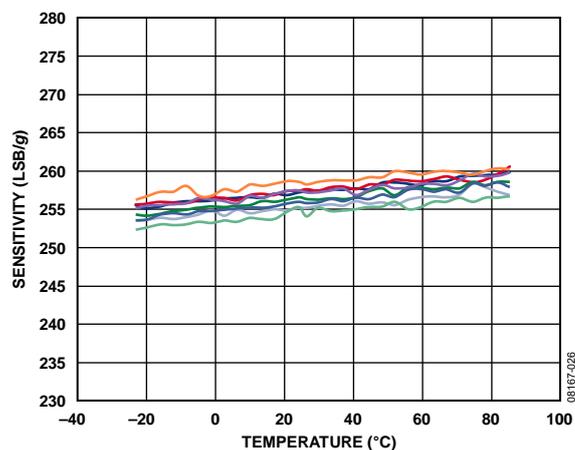


図 26.Y 軸感度の温度特性—  
8 個のデバイスを PCB へハンダ付け、 $V_S = 2.6\text{ V}$ 、フル分解能

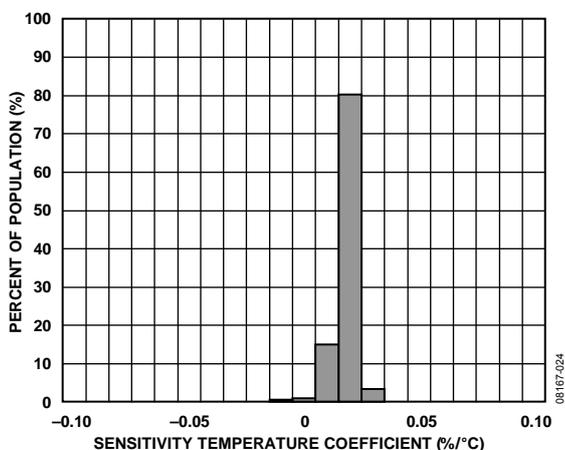


図 24.Z 軸感度温度係数、 $V_S = 2.6\text{ V}$

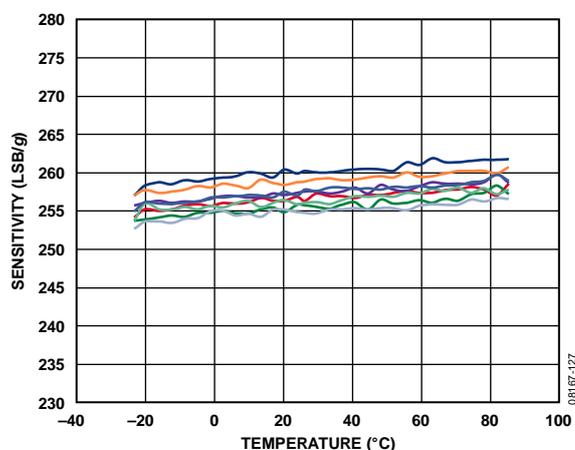


図 27.Z 軸感度の温度特性—  
8 個のデバイスを PCB へハンダ付け、  
 $V_S = 2.6\text{ V}$ 、フル分解能

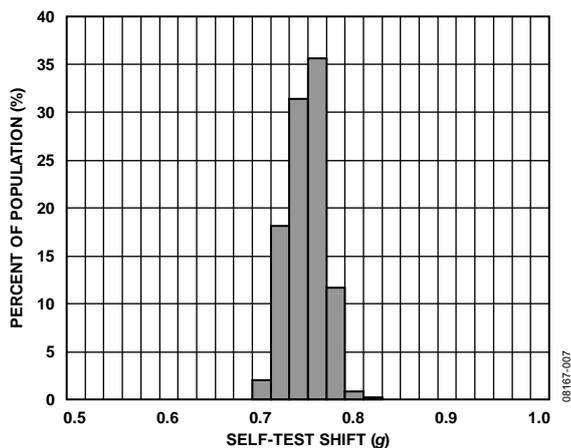


図 28.X 軸セルフテスト応答、25°C、 $V_S = 2.6\text{ V}$

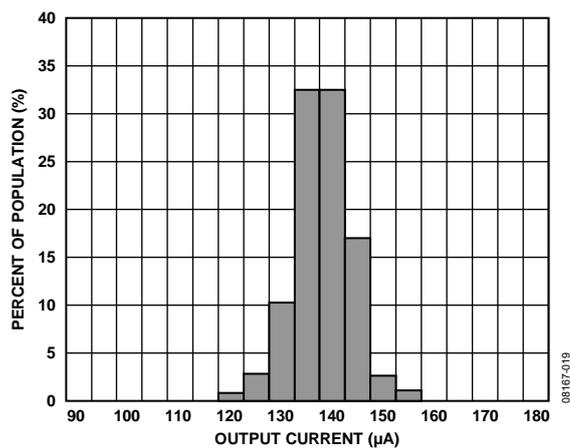


図 31.電源電流、25°C、100 Hz 出力データレート、 $V_S = 2.6\text{ V}$

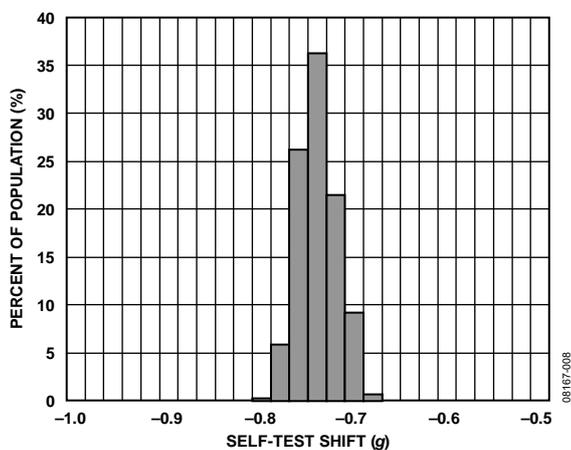


図 29.Y 軸セルフテスト応答、25°C、 $V_S = 2.6\text{ V}$

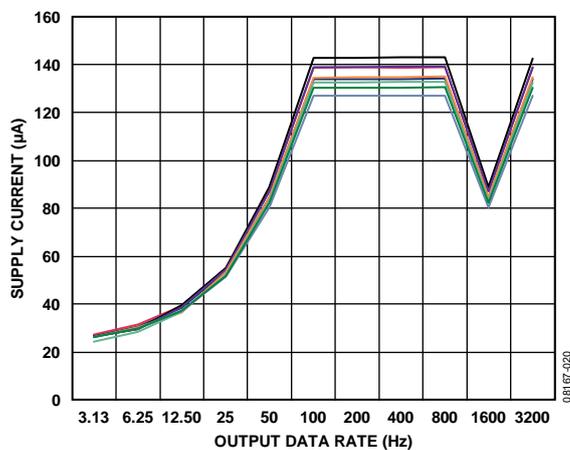


図 32. 出力データレート対電源電流、25°C—  
10 個のデバイス、 $V_S = 2.6\text{ V}$

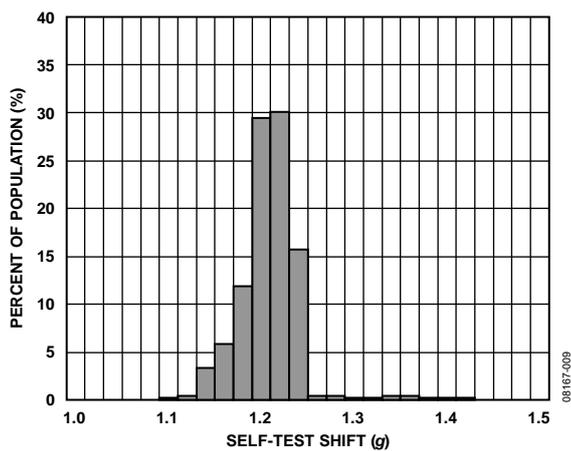


図 30.Z 軸セルフテスト応答、25°C、 $V_S = 2.6\text{ V}$

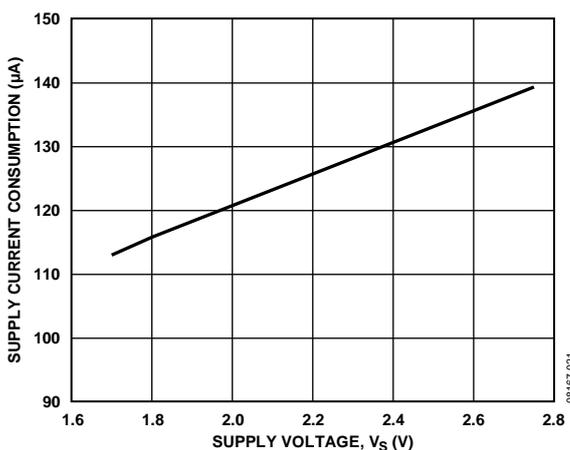


図 33.電源電圧対電源電流、25°C

## 動作原理

ADXL346は、 $\pm 2\text{ g}$ 、 $\pm 4\text{ g}$ 、 $\pm 8\text{ g}$ 、 $\pm 16\text{ g}$ の選択可能な測定範囲を持つ完結型の3軸加速度計測システムです。運動や衝撃から発生するダイナミック加速度と、重力などのスタティック加速度を計測します。このため傾きセンサーとしてこのデバイスを使用することができます。

このセンサーは、シリコン・ウエハー表面に形成されたポリシリコン表面マイクロマシン加工構造です。ポリシリコン・スプリングを使ってこの構造をウエハー表面上に支持し、加えられる加速度により発生する力に対して抗力を与えます。

この構造の変位を、独立した固定プレートと可動部に取り付けられたプレートで構成される差動コンデンサを使って測定します。加速度により可動部が偏向すると、差動コンデンサに不平衡が発生するため、センサー出力に加速度に比例した振幅が得られます。これを位相検出により復調して、加速度の振幅と極性を求めます。

## 電源シーケンス

ADXL346に損傷を与えることなく、 $V_S$ または $V_{DD\ I/O}$ を任意のシーケンスで加えることができます。表6に、パワーオン・モードの一覧を示します。インターフェースの電圧レベルはインターフェース電源電圧 $V_{DD\ I/O}$ により設定されます。この電源は、ADXL346と通信バスとの競合を避けるために必要です。単電源動作では、 $V_{DD\ I/O}$ とメイン電源 $V_S$ を同じにすることができますが、両電源アプリケーションでは、所望のインターフェース電圧にするため $V_{DD\ I/O}$ と $V_S$ を異なる電圧にすることができます。ただし、 $V_S > V_{DD\ I/O}$ である必要があります。

$V_S$ が加えられると、デバイスはスタンバイ・モードになります。このモードでは消費電力が小さくなり、デバイスは $V_{DD\ I/O}$ が加えられるのと、計測モードを開始するコマンドが受信されるのを待ちます(このコマンドは、POWER\_CTLレジスタ(アドレス0x2D)のmeasureビット(ビットD3)をセットすると起動されます)。さらに、デバイスのスタンバイ・モード中に、デバイスを設定するために任意のレジスタを読み書きすることができます。デバイスをスタンバイ・モードにした後に計測モードすることが推奨されます。measureビットをクリアすると、デバイスはスタンバイ・モードに戻ります。

表 6. 電源シーケンス

Condition	$V_S$	$V_{DD\ I/O}$	Description
Power Off	Off	Off	The device is completely off, but there is a potential for a communication bus conflict.
Bus Disabled	On	Off	The device is on in standby mode, but communication is unavailable and will create a conflict on the communication bus. The duration of this state should be minimized during power-up to prevent a conflict.
Bus Enabled	Off	On	No functions are available, but the device will not create a conflict on the communication bus.
Standby or Measurement Mode	On	On	At power-up, the device is in standby mode, awaiting a command to enter measurement mode, and all sensor functions are off. After the device is instructed to enter measurement mode, all sensor functions are available.

## 省電力

### 消費電力モード

ADXL346 は、出力データレートに比例して消費電力を自動的に調整します (表 7 参照)。さらに消費電力を小さくする場合には、低消費電力モードを使用することができます。このモードでは、内部サンプリング・レートを下げて、12.5 Hz~400 Hz のデータレート範囲で消費電力が削減されますが、ノイズが少し増えます。低消費電力モードを開始するときは、BW\_RATE レジスタ (アドレス 0x2C) の LOW\_POWER ビット (ビット D4) をセットします。表 8 に、低消費電力モードを利用するメリットがあるケースについて、低消費電力モードでの消費電流を示します。表 8 に記載していないデータレートで低消費電力モードを使用しても、通常電力モードでの同じデータレートに比べて利点はありません。このため、低消費電力モードでは表 8 に記載するデータレートのみを使用することが推奨されます。表 7 と表 8 に示す消費電流値は、 $V_S = 2.6\text{ V}$  の場合です。

表 7. データレート対消費電流 (typ)

( $T_A = 25^\circ\text{C}$ 、 $V_S = 2.6\text{ V}$ 、 $V_{DD\ I/O} = 1.8\text{ V}$ )

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	$I_{DD}$ ( $\mu\text{A}$ )
3200	1600	1111	140
1600	800	1110	90
800	400	1101	140
400	200	1100	140
200	100	1011	140
100	50	1010	140
50	25	1001	90
25	12.5	1000	55
12.5	6.25	0111	40
6.25	3.13	0110	31
3.13	1.56	0101	27
1.56	0.78	0100	23
0.78	0.39	0011	23
0.39	0.20	0010	23
0.20	0.10	0001	23
0.10	0.05	0000	23

表 8. データレート対消費電流 (typ)、低消費電力モード ( $T_A = 25^\circ\text{C}$ 、 $V_S = 2.6\text{ V}$ 、 $V_{DD\ I/O} = 1.8\text{ V}$ )

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	$I_{DD}$ ( $\mu\text{A}$ )
400	200	1100	90
200	100	1011	55
100	50	1010	40
50	25	1001	31
25	12.5	1000	27
12.5	6.25	0111	23

### 自動スリープ・モード

ADXL346 がインアクティブ時に自動的にスリープ・モードに切り替わると、さらに消費電力を節約することができます。この機能をイネーブルするときは、THRESH\_INACT レジスタ (アドレス 0x25) と TIME\_INACT レジスタ (アドレス 0x26) にインアクティブを指定する値 (値はアプリケーションに応じて決めます) を設定し、次に POWER\_CTL レジスタ (アドレス 0x2D) の AUTO\_SLEEP ビット (ビット D4) と Link ビット (ビット D5) をセットします。このモードで使用する 8 Hz 以下のデータレートでの消費電流は、 $V_S = 2.6\text{ V}$  で 23  $\mu\text{A}$  (typ) です。

### スタンバイ・モード

さらに消費電力を削減する場合は、スタンバイ・モードを使用することができます。スタンバイ・モードでは、消費電流は 0.2  $\mu\text{A}$  (typ) に削減されます。このモードでは、測定は行いません。スタンバイ・モードを開始するときは、POWER\_CTL レジスタ (アドレス 0x2D) の Measure ビット (ビット D3) をクリアします。デバイスをスタンバイ・モードにしても、FIFO の値は保持されます。

## シリアル通信

I<sup>2</sup>C と SPI のデジタル通信を使用することができます。両ケースとも、ADXL346 はスレーブとして動作します。 $\overline{\text{CS}}$  ピンを  $V_{\text{DD}1/0}$  に接続すると、I<sup>2</sup>C モードがイネーブルされます。 $\overline{\text{CS}}$  ピンは常に  $V_{\text{DD}1/0}$  に接続するか、外部コントローラから駆動する必要があります。これは、 $\overline{\text{CS}}$  ピンを解放のままにした場合のデフォルト・モードがないためです。これらに注意しないと、デバイスとの通信ができなくなります。SPI モードでは、 $\overline{\text{CS}}$  ピンはバス・マスターから制御されます。SPI 動作モードと I<sup>2</sup>C 動作モードで、ADXL346 からマスター・デバイスへ転送されるデータは、ADXL346 への書込み中は無視する必要があります。

### SPI

SPI では、3 線式または 4 線式の構成が可能です(図 34 と 図 35 の接続図を参照)。DATA\_FORMAT レジスタ (アドレス 0x31) の SPI ビット (ビット D6) をクリアすると 4 線式モードが、SPI ビットをセットすると 3 線式モードが、それぞれ選択されます。SPI の最大クロック速度は 100 pF の最大負荷で 5 MHz で、タイミング方式はクロック極性(CPOL) = 1 とクロック位相(CPHA) = 1 に従います。ADXL346 に電源を加えた後にホスト・プロセッサのクロック極性とクロック位相を設定する場合は、 $\overline{\text{CS}}$  をハイ・レベルにした後にクロックの極性と位相を変えてください。3 線式 SPI を使用するときは、SDO ピンを 10 k $\Omega$  抵抗を介して  $V_{\text{DD}1/0}$  へプルアップするか、GND へプルダウンすることが推奨されます。

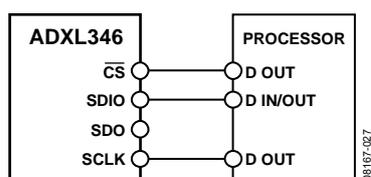


図 34.3 線式 SPI の接続図

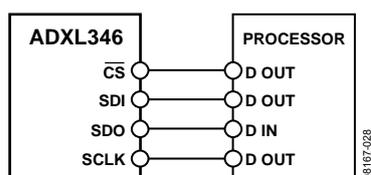


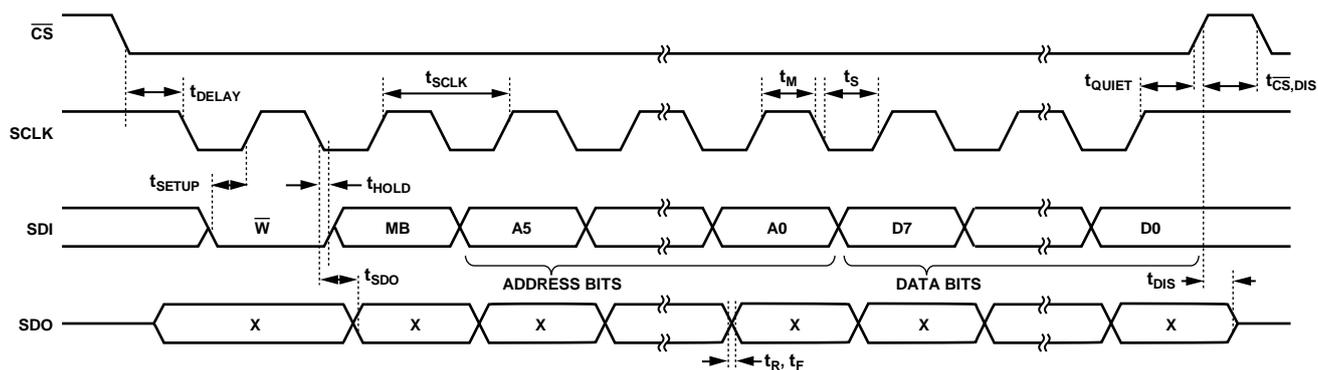
図 35.4 線式 SPI の接続図

$\overline{\text{CS}}$  はシリアル・ポート・イネーブル・ラインで、SPI マスターから制御されます。このラインは転送の開始でロー・レベルになり、転送の終わりでハイ・レベルになる必要があります(図 36 参照)。SCLK はシリアル・ポート・クロックで、SPI マスターから供給されます。SCLK は、転送がないときはアイドルのハイ・レベルになっています。SDI と SDO は、それぞれシリアル・データの入力と出力です。データは、SCLK の立下がりエッジで更新され、SCLK の立上がりエッジでサンプルされます。

1 回の転送で複数バイトを読み出したり書込みするときは、転送される先頭バイトの R/W ビットの後ろにある multiple-byte ビット (図 36~図 38 の MB) をセットする必要があります。レジスタのアドレス指定とデータの先頭バイトの後、各後続のクロック・パルスのセット (8 個のクロック・パルス) により、ADXL346 は読み出したり書込みを行う次のレジスタを指定します。このシフト動作は、クロック・パルスが終わり、 $\overline{\text{CS}}$  のアサートが解除されるまで続きます。不連続な別のレジスタに対して読み出したり書込みを行うときは、転送と転送の間に  $\overline{\text{CS}}$  のアサートを解除して、新しいレジスタを別にアドレス指定する必要があります。

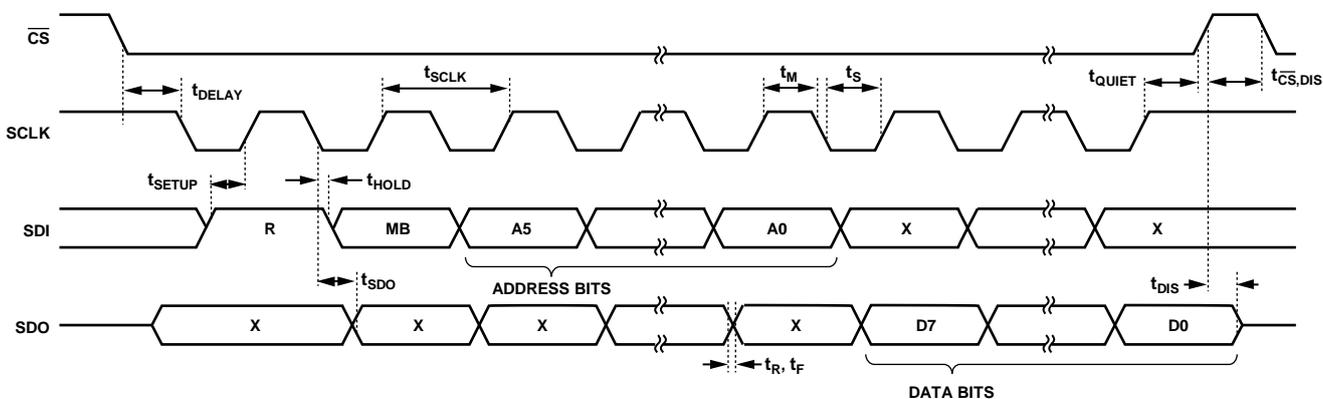
図 38 に、3 線式 SPI の読み出したり書込みのタイミング図を示します。4 線式での SPI の書込みと読み出しをそれぞれ 図 36 と 図 37 に示します。デバイスが正しく動作するためには、表 9 と 表 10 に示すロジック・スレッショルドとタイミング・パラメータを常に満たす必要があります。

3200 Hz と 1600 Hz の出力データレートの使用は、SPI 通信レートが 2 MHz 以上の場合にのみ推奨されます。800 Hz の出力データレートは、通信速度が 400 kHz 以上の場合のみ推奨され、残りのデータレートは通信速度に比例して使用してください。例えば、200 Hz 出力データレートに対する最小推奨通信速度は 100 kHz です。推奨最大値を超える出力データレートで動作させると、加速度データにサンプルの喪失やノイズの増加などの悪影響が発生することがあります。



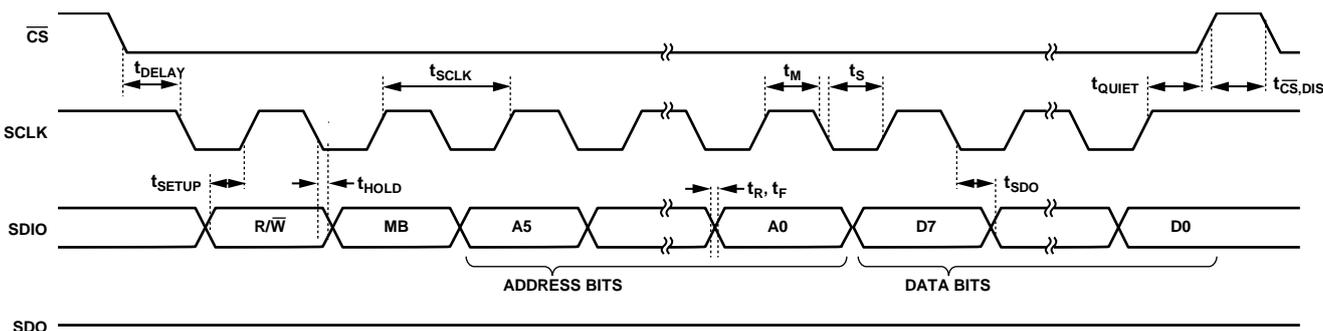
08167-129

図 36.SPI 4 線式での書込み



08167-130

図 37.SPI 4 線式での読み出し



NOTES  
1.  $t_{SDO}$  IS ONLY PRESENT DURING READS.

08167-131

図 38.SPI 3 線式での読み出し/書込み

表 9.SPI デジタル入力/出力

Parameter	Test Conditions	Limit <sup>1</sup>		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage ( $V_{IL}$ )			$0.3 \times V_{DD I/O}$	V
High Level Input Voltage ( $V_{IH}$ )		$0.7 \times V_{DD I/O}$		V
Low Level Input Current ( $I_{IL}$ )	$V_{IN} = V_{DD I/O}$		0.1	$\mu A$
High Level Input Current ( $I_{IH}$ )	$V_{IN} = 0 V$	-0.1		$\mu A$
Digital Output				
Low Level Output Voltage ( $V_{OL}$ )	$I_{OL} = 10 mA$		$0.2 \times V_{DD I/O}$	V
High Level Output Voltage ( $V_{OH}$ )	$I_{OH} = -4 mA$	$0.8 \times V_{DD I/O}$		V
Low Level Output Current ( $I_{OL}$ )	$V_{OL} = V_{OL, max}$	10		mA
High Level Output Current ( $I_{OH}$ )	$V_{OH} = V_{OH, min}$		-4	mA
Pin Capacitance	$f_{IN} = 1 MHz, V_{IN} = 2.6 V$		8	pF

<sup>1</sup> キャラクタライゼーション結果に基づいて保証しますが、出荷テストは行いません。

表 10.SPI タイミング ( $T_A = 25^\circ C$ 、 $V_S = 2.6 V$ 、 $V_{DD I/O} = 1.8 V$ )<sup>1</sup>

Parameter	Limit <sup>2, 3</sup>		Unit	Description
	Min	Max		
$f_{SCLK}$		5	MHz	SPI clock frequency
$t_{SCLK}$	200		ns	1/(SPI clock frequency) mark-space ratio for the SCLK input is 40/60 to 60/40
$t_{DELAY}$	5		ns	$\overline{CS}$ falling edge to SCLK falling edge
$t_{QUIET}$	5		ns	SCLK rising edge to $\overline{CS}$ rising edge
$t_{DIS}$		10	ns	$\overline{CS}$ rising edge to SDO disabled
$t_{\overline{CS}, DIS}$	150		ns	$\overline{CS}$ deassertion between SPI communications
$t_S$	$0.3 \times t_{SCLK}$		ns	SCLK low pulse width (space)
$t_M$	$0.3 \times t_{SCLK}$		ns	SCLK high pulse width (mark)
$t_{SETUP}$	5		ns	SDI valid before SCLK rising edge
$t_{HOLD}$	5		ns	SDI valid after SCLK rising edge
$t_{SDO}$		40	ns	SCLK falling edge to SDO/SDIO output transition
$t_R^4$		20	ns	SDO/SDIO output low to output high transition
$t_F^4$		20	ns	SDO/SDIO output high to output low transition

<sup>1</sup>  $\overline{CS}$ 、SCLK、SDI、SDO の各ピンにはプルアップまたはプルダウンが内蔵されていません。正常動作にはこれらが必要です。

<sup>2</sup> キャラクタライゼーションで保証しますが、出荷テストは行いません。

<sup>3</sup> タイミング値は表 9 に示す入力スレッショールド ( $V_{IL}$  と  $V_{IH}$ ) に対応して測定しています。

<sup>4</sup> 出力の立ち上がり時間と立ち下がり時間は容量負荷 150 pF で測定しています。

## I<sup>2</sup>C

$\overline{CS}$ を $V_{DD\ I/O}$ に接続してハイ・レベルにすると、ADXL346 はI<sup>2</sup>Cモードになり、図 39 に示すシンプルな 2 線式接続になります。ADXL346 は、NXP Semiconductor 社の「UM10204 I<sup>2</sup>C-Bus Specification and User Manual, Rev. 03—19 June 2007」に準拠しています。表 11 と表 12 に示すバス・パラメータを満たす場合、標準 (100 kHz) と高速 (400 kHz) のデータ転送モードをサポートします。図 40 に示すように 1 バイトまたは複数バイトの読み出し/書き込みをサポートしています。ALT ADDRESS ピン (ピン 7) がハイ・レベルの場合、デバイスの 7 ビット I<sup>2</sup>C アドレスは 0x1D になり、その後ろに R/W ビットが続きます。これは、書き込みでは 0x3A に、読み出しでは 0x3B に、それぞれ変換されます。ALT ADDRESS ピンをグラウンドに接続すると、別の I<sup>2</sup>C アドレス 0x53 (R/W ビットの前に) を選択することができます。これは、書き込みでは 0xA6 に、読み出しでは 0xA7 に、それぞれ変換されます。未使用ピンにはプルアップ抵抗またはプルダウン抵抗が内蔵されていないため、フローティングまたは未接続のままにすると  $\overline{CS}$  または ALT ADDRESS ピンは既知状態またはデフォルト状態になりません。I<sup>2</sup>C を使用する場合は、 $\overline{CS}$  ピンを  $V_{DD\ I/O}$  に、ALT ADDRESS ピンを  $V_{DD\ I/O}$  または GND に、それぞれ接続することが必要です。

通信速度に制限があるため、400 kHz I<sup>2</sup>C 使用時の最大出力データレートは 800 Hz であり、I<sup>2</sup>C 通信速度の変化に比例して変わります。例えば、I<sup>2</sup>C を 100 kHz で使用すると、最大 ODR は 200 Hz に制限されます。推奨最大値を超える出力データレートで動作させると、加速度データでサンプルの喪失やノイズの増加などの悪影響が発生することがあります。

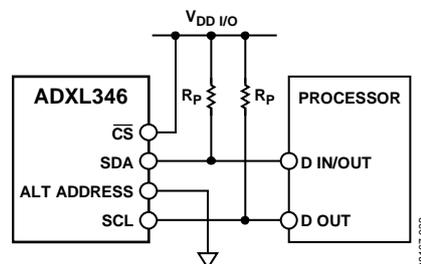


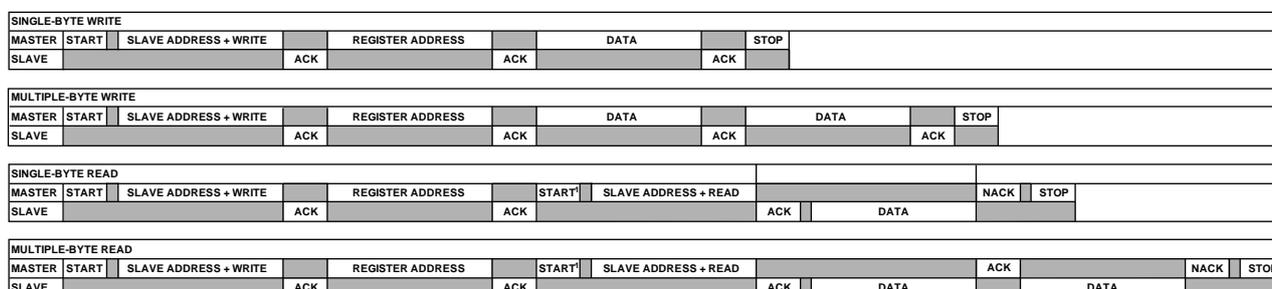
図 39. I<sup>2</sup>C の接続図 (アドレス 0x53)

他のデバイスと同じ I<sup>2</sup>C バスに接続する場合は、これら他のデバイスの公称動作電圧レベルを  $V_{DD\ I/O} + 0.3\text{ V}$  以上にししないでください。I<sup>2</sup>C の正常動作には、外付けプルアップ抵抗  $R_P$  が必要です。プルアップ抵抗値の選択については、「UM10204 I<sup>2</sup>C-Bus Specification and User Manual, Rev. 03—19 June 2007」を参照してください。

表 11. I<sup>2</sup>C デジタル入力/出力

Parameter	Test Conditions	Limit <sup>1</sup>		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage ( $V_{IL}$ )			$0.3 \times V_{DD\ I/O}$	V
High Level Input Voltage ( $V_{IH}$ )		$0.7 \times V_{DD\ I/O}$		V
Low Level Input Current ( $I_{IL}$ )	$V_{IN} = V_{DD\ I/O}$		0.1	$\mu\text{A}$
High Level Input Current ( $I_{IH}$ )	$V_{IN} = 0\text{ V}$	-0.1		$\mu\text{A}$
Digital Output				
Low Level Output Voltage ( $V_{OL}$ )	$V_{DD\ I/O} < 2\text{ V}, I_{OL} = 3\text{ mA}$		$0.2 \times V_{DD\ I/O}$	V
	$V_{DD\ I/O} \geq 2\text{ V}, I_{OL} = 3\text{ mA}$		400	mV
Low Level Output Current ( $I_{OL}$ )	$V_{OL} = V_{OL, \text{max}}$	3		mA
Pin Capacitance	$f_{IN} = 1\text{ MHz}, V_{IN} = 2.6\text{ V}$		8	pF

<sup>1</sup> キャラクタライゼーション結果に基づいて保証しますが、出荷テストは行いません。



<sup>1</sup> THIS START IS EITHER A RESTART OR A STOP FOLLOWED BY A START.

### NOTES

1. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

図 40. I<sup>2</sup>C デバイスのアドレス指定

表 12. I<sup>2</sup>C タイミング (T<sub>A</sub> = 25°C、V<sub>S</sub> = 2.6 V、V<sub>DD I/O</sub> = 1.8 V)

Parameter	Limit <sup>1, 2</sup>		Unit	Description
	Min	Max		
f <sub>SCL</sub>		400	kHz	SCL clock frequency
t <sub>1</sub>	2.5		μs	SCL cycle time
t <sub>2</sub>	0.6		μs	t <sub>HIGH</sub> , SCL high time
t <sub>3</sub>	1.3		μs	t <sub>LOW</sub> , SCL low time
t <sub>4</sub>	0.6		μs	t <sub>HD, STA</sub> , start/repeated start condition hold time
t <sub>5</sub>	100		ns	t <sub>SU, DAT</sub> , data setup time
t <sub>6</sub> <sup>3, 4, 5, 6</sup>	0	0.9	μs	t <sub>HD, DAT</sub> , data hold time
t <sub>7</sub>	0.6		μs	t <sub>SU, STA</sub> , setup time for repeated start
t <sub>8</sub>	0.6		μs	t <sub>SU, STO</sub> , stop condition setup time
t <sub>9</sub>	1.3		μs	t <sub>BUF</sub> , bus-free time between a stop condition and a start condition
t <sub>10</sub>		300	ns	t <sub>R</sub> , rise time of both SCL and SDA when receiving
	0		ns	t <sub>R</sub> , rise time of both SCL and SDA when receiving or transmitting
t <sub>11</sub>		250	ns	t <sub>F</sub> , fall time of SDA when receiving
		300	ns	t <sub>F</sub> , fall time of both SCL and SDA when transmitting
	20 + 0.1 C <sub>B</sub> <sup>7</sup>		ns	t <sub>F</sub> , fall time of both SCL and SDA when transmitting or receiving
C <sub>B</sub> <sup>7</sup>		400	pF	Capacitive load for each bus line

<sup>1</sup> f<sub>SCL</sub> = 400 kHz と 3 mA シンク電流でのキャラクタライゼーション結果に基づいて保証しますが、出荷テストは行いません。

<sup>2</sup> すべての値は表 11 に示す V<sub>IH</sub> と V<sub>IL</sub> を基準とします。

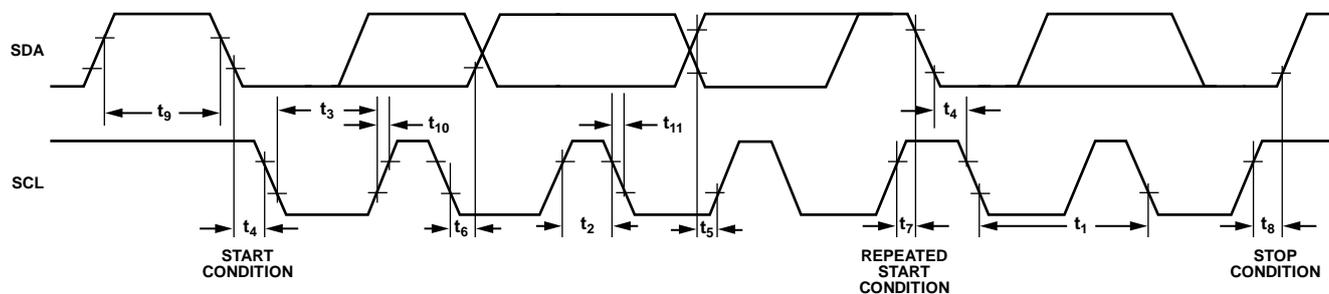
<sup>3</sup> t<sub>6</sub> は、SCL の立下がりエッジから測定したデータ・ホールド・タイムです。送信とアクリッジのデータに適用されます。

<sup>4</sup> 送信デバイスは、SCL の立下がりエッジの不定領域を避けるため、SDA 信号に対して最小 300 ns の出力ホールド・タイム (SCL 信号の V<sub>IH min</sub> を基準として) を内部で確保する必要があります。

<sup>5</sup> t<sub>6</sub> の最大値は、デバイスが SCL 信号のロー・レベル区間(t<sub>3</sub>)を延ばさないときにのみ、満たす必要があります。

<sup>6</sup> t<sub>6</sub> の最大値は、クロックのロー・レベル時間 (t<sub>3</sub>)、クロックの立上がり時間 (t<sub>10</sub>)、最小データ・セットアップ・タイム (t<sub>5(min)</sub>) の関数です。この値は t<sub>6(max)</sub> = t<sub>3</sub> - t<sub>10</sub> - t<sub>5(min)</sub> として計算されます。

<sup>7</sup> C<sub>B</sub> は、1 本のバス・ラインの合計容量(pF)です。

図 41. I<sup>2</sup>C のタイミング図

08167-034

## 割込み

ADXL346 には、割込みを駆動する INT1 と INT2 の 2 本の出力ピンがあります。両割込みピンは、プッシュプルの低インピーダンス・ピンであり、表 13 に示す出力仕様を持っています。これらの割込みピンのデフォルト設定は、アクティブ・ハイです。DATA\_FORMAT (アドレス 0x31) レジスタの INT\_INVERT ビット (ビット D5) をセットすると、アクティブ・ローへ変更することができます。ピンのすべての機能は同時に使用できますが、割込みピンと共用する機能があることが唯一の制約になります。

INT\_ENABLE レジスタ (アドレス 0x2E) の該当するビットをセットすると割込みがイネーブルされ、INT\_MAP レジスタ (アドレス 0x2F) 値に応じて INT1 ピンまたは INT2 ピンに割り当てられます。割込みピンを初めて設定するときは、機能を割込みに対応させた後に割込みをイネーブルすることが推奨されます。割込みの設定を変更するときは、INT\_ENABLE レジスタの、その機能に対応するビットをクリアして、まず割込みをディスエーブルし、次に機能を再設定した後に割込みを再度イネーブルすることが推奨されます。割込みをディスエーブルして機能を設定すると、予期しない割込みの発生を防止するのに役立ちます。

データ関連割込みについては割込み条件が有効な間に DATA\_X レジスタ、DATA\_Y レジスタ、または DATA\_Z レジスタ (アドレス 0x32～アドレス 0x37) を読出すと、残りの割込みについては INT\_SOURCE レジスタ (アドレス 0x30) を読出すと、割込み機能がラッチされてクリアされます。このセクションでは、INT\_ENABLE レジスタでセットでき、INT\_SOURCE レジスタでモニタできる割込みについて説明します。

## DATA\_READY ビット

DATA\_READY ビットは、新しいデータが使用可能なときセットされ、使用可能な新しいデータがないときクリアされます。

## SINGLE\_TAP ビット

SINGLE\_TAP ビットは、DUR レジスタ (アドレス 0x21) で指定した時間より短い間に、THRESH\_TAP レジスタ (アドレス 0x1D) 値より大きい加速度イベントが 1 回発生したときセットされます。

表 13. 割込みピンのデジタル出力

Parameter	Test Conditions	Limit <sup>1</sup>		Unit
		Min	Max	
Digital Output				
Low Level Output Voltage (V <sub>OL</sub> )	I <sub>OL</sub> = 300 μA		0.2 × V <sub>DD10</sub>	V
High Level Output Voltage (V <sub>OH</sub> )	I <sub>OH</sub> = -150 μA	0.8 × V <sub>DD10</sub>		V
Low Level Output Current (I <sub>OL</sub> )	V <sub>OL</sub> = V <sub>OL, max</sub>	300		μA
High Level Output Current (I <sub>OH</sub> )	V <sub>OH</sub> = V <sub>OH, min</sub>		-150	μA
Pin Capacitance	f <sub>IN</sub> = 1 MHz, V <sub>IN</sub> = 2.6 V		8	pF
Rise/Fall Time				
Rise Time (t <sub>R</sub> ) <sup>2</sup>	C <sub>LOAD</sub> = 150 pF		210	ns
Fall Time (t <sub>F</sub> ) <sup>3</sup>	C <sub>LOAD</sub> = 150 pF		150	ns

<sup>1</sup> キャラクターライゼーション結果に基づいて保証しますが、出荷テストは行いません。

<sup>2</sup> 立上がり時間は、割込みピンの V<sub>OL, max</sub> から V<sub>OH, min</sub> への変化時間として測定します。

<sup>3</sup> 立下がり時間は、割込みピンの V<sub>OH, min</sub> から V<sub>OL, max</sub> への変化時間として測定します。

## DOUBLE\_TAP ビット

DOUBLE\_TAP ビットは、DUR レジスタ (アドレス 0x21) で指定した時間より短い間に、THRESH\_TAP レジスタ (アドレス 0x1D) 値より大きい加速度イベントが 2 回発生したときセットされます。2 番目のタップは、Latent レジスタ (アドレス 0x22) で指定される時間から Window レジスタ (アドレス 0x23) で指定される時間が経過する前に開始されます。詳細については、タップ検出のセクションを参照してください。

## Activity ビット

Activity ビットは、THRESH\_ACT レジスタ (アドレス 0x24) 値より大きい加速度が ACT\_INACT\_CTL レジスタ (アドレス 0x27) で指定される軸のいずれかで発生したときにセットされます。

## Inactivity ビット

Inactivity ビットは、THRESH\_INACT レジスタ (アドレス 0x25) 値より小さい加速度が ACT\_INACT\_CTL レジスタ (アドレス 0x27) で指定されるすべての軸で TIME\_INACT レジスタ (アドレス 0x26) で指定される時間より長い間に発生したときにセットされます。TIME\_INACT の最大値は 255 sec です。

## FREE\_FALL ビット

FREE\_FALL ビットは、すべての軸 (論理積) で、TIME\_FF レジスタ (アドレス 0x29) により指定された時間より長い間、THRESH\_FF レジスタ (アドレス 0x28) 値より小さい加速度が発生したときにセットされます。FREE\_FALL 割込みとインアクティブ割込みとの違いは、すべての軸が常に参加すること、これら軸の論理積をとること、タイマ周期が小さいこと (最大 1.28 sec)、動作モードは常に DC 結合であることです。

## Watermark ビット

watermark ビットは、FIFO 内のサンプル数が FIFO\_CTL レジスタ (アドレス 0x38) の Samples ビットに格納されている値に一致したときセットされます。FIFO を読出すと、watermark ビットは自動的にクリアされ、値は Samples ビットに格納されている値より小さい値に戻されます。

### Overrun ビット

Overrun ビットは、未読データが新しいデータで置き換えられたときセットされます。オーバーラン機能の動作は FIFO モードに依存します。バイパス・モードでは、DATA<sub>X</sub>、DATA<sub>Y</sub>、DATA<sub>Z</sub> レジスタ (アドレス 0x32~アドレス 0x37) で未読データが新しいデータで置き換えられたとき Overrun ビットがセットされます。他のすべてのモードでは、Overrun ビットは FIFO がフルになったときセットされます。FIFO 値が読出されると、Overrun ビットは自動的にクリアされます。

### Orientation ビット

Orientation ビットは、加速度センサーのオリエンテーションが有効なオリエンテーションから別の有効なオリエンテーションへ変化したときにセットされます。加速度センサーのオリエンテーションが有効なオリエンテーションから無効なオリエンテーションへ、または有効なオリエンテーションから無効なオリエンテーションへ、次に同じ有効なオリエンテーションへ戻っても、割込みは発生しません。無効なオリエンテーションとは、不感帯すなわちヒステリシス領域内のオリエンテーションと定義します。この領域は、加速度センサーのオリエンテーションが有効な 2 つのオリエンテーションの間の境界に近いとき、ノイズのために急速なオリエンテーション変化が発生するのを防止するのに役立ちます。

割込みに対して有効なオリエンテーションは、オリエンテーション割込みに対応するモード、(2Dまたは 3D)に依存します。このモードは、ORIENT\_CONF レジスタ (アドレス 0x3B) の INT\_3D ビット (ビット D3) を使って選択します。オリエンテーション割込みのイネーブル方法については、レジスタ 0x3B—ORIENT\_CONF (読み書き可能) のセクションを参照してください。

### FIFO

ADXL346 では、ホスト・プロセッサの負荷を軽減する 32 レベル FIFO を持つ内蔵メモリ管理システムに対して特許申請中の技術を採用しています。このバッファには、バイパス、FIFO、ストリーム、トリガの 4 つのモードがあります (表 22 参照)。各モードは、FIFO\_CTL レジスタ (アドレス 0x38) の FIFO\_MODE ビット (ビット [D7:D6]) の設定値により選択されます。

### バイパス・モード

バイパス・モードでは、FIFO は動作しないため空のままです。

### FIFO モード

FIFO モードでは、x 軸、y 軸、z 軸の測定データが FIFO に格納されます。FIFO 内のサンプル数が FIFO\_CTL レジスタ (アドレス 0x38) の Samples ビットで指定されるレベルに一致すると、ウォーターマーク割込みがセットされます。FIFO はサンプルを蓄積してフル (x 軸、y 軸、z 軸から測定した 32 サンプル) になると、データの収集を停止します。FIFO がデータの収集を停止した後も、デバイスは動作を続けるため、FIFO 満杯後もタップ検出などの機能を使うことができます。ウォーターマーク割込みの発生は、FIFO 内のサンプル数が FIFO\_CTL レジスタの Samples ビットに格納されている値より小さくなるまで続きます。

### ストリーム・モード

ストリーム・モードでは、x 軸、y 軸、z 軸の測定データが FIFO に格納されます。FIFO 内のサンプル数が FIFO\_CTL レジスタ (アドレス 0x38) の Samples ビットで指定されるレベルに一致すると、ウォーターマーク割込みがセットされます。FIFO は x 軸、y 軸、z 軸から測定した最新の 32 サンプルを格納し、新しいデータが到着すると古いデータを廃棄します。ウォーターマーク割込みの発生は、FIFO 内のサンプル数が FIFO\_CTL レジスタの Samples ビットに格納されている値より小さくなるまで続きます。

### トリガ・モード

トリガ・モードでは x 軸、y 軸、z 軸から測定した最新の 32 サンプルを格納します。トリガ・イベントが発生し、割込みが INT1 ピンまたは INT2 ピン (FIFO\_CTL レジスタのトリガ・ビットで指定) に送信されると、FIFO は最新の n 個のサンプル (n は FIFO\_CTL レジスタの Samples ビットで指定する値) を保持し、次に FIFO モードで動作して、FIFO がフルでない場合に新しいサンプルを収集します。トリガ・イベントの発生と FIFO からのデータ読出しの開始との間に最小 5 μs の遅延を設けて、FIFO が必要なサンプル数を廃棄/保持できるようにする必要があります。トリガ・モードがリセットされるまで、次のトリガ・イベントを受理することはできません。トリガ・モードをリセットするときは、デバイスをバイパス・モードに設定して、次にデバイスをトリガ・モードへ戻します。デバイスをバイパス・モードにすると FIFO がクリアされるため、FIFO データを先に読出しておく必要があることに注意してください。

### FIFOからのデータの取得

FIFO データは、DATA<sub>X</sub>、DATA<sub>Y</sub>、DATA<sub>Z</sub> の各レジスタ (アドレス 0x32~ アドレス 0x37) から読出します。FIFO が FIFO モード、ストリーム・モード、またはトリガ・モードの場合、DATA<sub>X</sub>、DATA<sub>Y</sub>、DATA<sub>Z</sub> の各レジスタを読出すと、FIFO に蓄積されたデータが読出されます。FIFO からデータが読出されるごとに、最も古い x 軸、y 軸、z 軸のデータが DATA<sub>X</sub>、DATA<sub>Y</sub>、DATA<sub>Z</sub> の各レジスタに格納されます。

1 バイト読出しを実行すると、現在の FIFO サンプルの残りのデータバイトが失われます。このため、注目するすべての軸をバースト読出し動作 (すなわち複数バイト) で読出す必要があります。FIFO から新しいデータをすべて DATA<sub>X</sub>、DATA<sub>Y</sub>、DATA<sub>Z</sub> の各レジスタに移動するためには、データ・レジスタ読出しの完了と、FIFO の新しい読出しの開始または FIFO\_STATUS レジスタ (アドレス 0x39) の読出しの開始との間に少なくとも 5 μs の遅延を確保する必要があります。データ・レジスタ読出しの完了は、レジスタ 0x37 からレジスタ 0x38 へのデータの移動または CS ピンがハイ・レベルになることにより、表示されます。

1.6 MHz 以下の SPI 動作では、転送のレジスタ・アドレッシング部分が FIFO を完全に読出すために十分な遅延になります。1.6 MHz を超える SPI 動作では、CS ピンのアサートを解除して、5 μs の遅延を確保する必要があります。そうしないと遅延は不十分です。5 MHz 動作に必要な合計遅延は最大 3.4 μs です。I<sup>2</sup>C モードを使用する場合は、通信レートが十分低いので FIFO 読出しの間の遅延を確保できるため、これが問題になることはありません。

## セルフテスト

ADXL346 は、機械的システムと電子的システムを同時に効果的にテストするセルフテスト機能を内蔵しています。セルフテスト機能をイネーブルすると ( (DATA\_FORMAT レジスタ(アドレス 0x31)のSELF\_TEST ビット(ビット D7)を使用)、静電気力が機械的センサーに加えられます。この静電気力により機械的検出エレメントが加速度の場合と同じ方法で動き、デバイスに加わる加速度に対して加算的です。この加えられる静電気力により、x軸、y軸、z軸に出力変化が発生します。静電気力は $V_S^2$ に比例するため、出力変化は $V_S$ とともに変化します。この効果を 図 42 に示します。

表 14 に示すスケール・ファクタを使って、様々な電源電圧 $V_S$ に対して期待されるセルフテスト出力規定値を調整することができます。ADXL346 のセルフテスト機能は 2 つの山を持つ動作をしますが、表 1 および表 15～表 18 に示す規定値は、2 つの山から生ずる両セルフテスト値に対して有効です。100 Hz以下または 1600 Hzのデータレートでセルフテスト機能を使うと、これらの規定値の外側の値が発生することがあります。したがって、セルフテスト機能を正しく動作させるためには、デバイスを通常消費電力で動作させて (BW\_RATE レジスタ、アドレス 0x2C のLOW\_POWER ビット = 0)、100 Hz～800 Hzまたは 3200 Hzのデータレートに設定する必要があります。

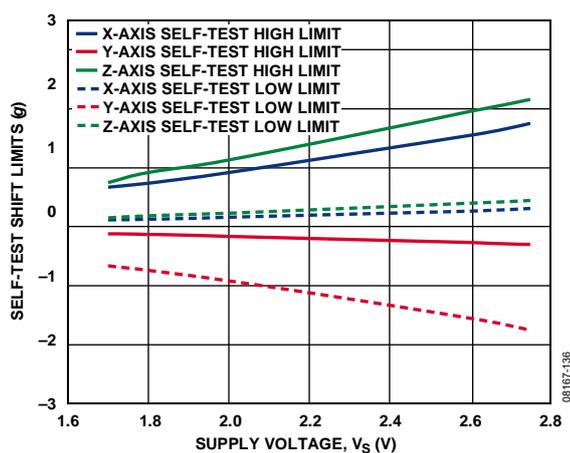


図 42. 電源電圧対セルフテスト出力変化規定値

表 14. 様々な電源電圧  $V_S$  に対するセルフテスト出力スケール・ファクタ

Supply Voltage, $V_S$	X-, Y-Axes	Z-Axis
1.70 V	0.43	0.38
1.80 V	0.48	0.47
2.00 V	0.59	0.58
2.60 V	1.00	1.00
2.75 V	1.13	1.11

表 15.  $\pm 2$  g、10 ビットまたはフル分解能に対する、LSB 数で表わしたセルフテスト出力 ( $T_A = 25^\circ\text{C}$ 、 $V_S = 2.6$  V、 $V_{DD I/O} = 1.8$  V)

Axis	Min	Max	Unit
X	70	400	LSB
Y	-400	-70	LSB
Z	100	500	LSB

表 16.  $\pm 4$  g、10 ビット分解能に対する、LSB 数で表わしたセルフテスト出力 ( $T_A = 25^\circ\text{C}$ 、 $V_S = 2.6$  V、 $V_{DD I/O} = 1.8$  V)

Axis	Min	Max	Unit
X	35	200	LSB
Y	-200	-35	LSB
Z	50	250	LSB

表 17.  $\pm 8$  g、10 ビット分解能に対する、LSB 数で表わしたセルフテスト出力 ( $T_A = 25^\circ\text{C}$ 、 $V_S = 2.6$  V、 $V_{DD I/O} = 1.8$  V)

Axis	Min	Max	Unit
X	17	100	LSB
Y	-100	-17	LSB
Z	25	125	LSB

表 18.  $\pm 16$  g、10 ビット分解能に対する、LSB 数で表わしたセルフテスト出力 ( $T_A = 25^\circ\text{C}$ 、 $V_S = 2.6$  V、 $V_{DD I/O} = 1.8$  V)

Axis	Min	Max	Unit
X	8	50	LSB
Y	-50	-8	LSB
Z	12	63	LSB

## レジスタ・マップ

表 19. レジスタ・マップ

Address		Name	Type	Reset Value	Description
Hex	Dec				
0x00	0	DEVID	R	11100110	Device ID.
0x01 to 0x1C	1 to 28	Reserved			Reserved. Do not access.
0x1D	29	THRESH_TAP	R/W	00000000	Tap threshold.
0x1E	30	OFSX	R/W	00000000	X-axis offset.
0x1F	31	OFSY	R/W	00000000	Y-axis offset.
0x20	32	OFSZ	R/W	00000000	Z-axis offset.
0x21	33	DUR	R/W	00000000	Tap duration.
0x22	34	Latent	R/W	00000000	Tap latency.
0x23	35	Window	R/W	00000000	Tap window.
0x24	36	THRESH_ACT	R/W	00000000	Activity threshold.
0x25	37	THRESH_INACT	R/W	00000000	Inactivity threshold.
0x26	38	TIME_INACT	R/W	00000000	Inactivity time.
0x27	39	ACT_INACT_CTL	R/W	00000000	Axis enable control for activity and inactivity detection.
0x28	40	THRESH_FF	R/W	00000000	Free-fall threshold.
0x29	41	TIME_FF	R/W	00000000	Free-fall time.
0x2A	42	TAP_AXES	R/W	00000000	Axis control for single tap/double tap.
0x2B	43	ACT_TAP_STATUS	R	00000000	Source of single tap/double tap.
0x2C	44	BW_RATE	R/W	00001010	Data rate and power mode control.
0x2D	45	POWER_CTL	R/W	00000000	Power-saving features control.
0x2E	46	INT_ENABLE	R/W	00000000	Interrupt enable control.
0x2F	47	INT_MAP	R/W	00000000	Interrupt mapping control.
0x30	48	INT_SOURCE	R	00000010	Source of interrupts.
0x31	49	DATA_FORMAT	R/W	00000000	Data format control.
0x32	50	DATA0	R	00000000	X-Axis Data 0.
0x33	51	DATA1	R	00000000	X-Axis Data 1.
0x34	52	DATAY0	R	00000000	Y-Axis Data 0.
0x35	53	DATAY1	R	00000000	Y-Axis Data 1.
0x36	54	DATAZ0	R	00000000	Z-Axis Data 0.
0x37	55	DATAZ1	R	00000000	Z-Axis Data 1.
0x38	56	FIFO_CTL	R/W	00000000	FIFO control.
0x39	57	FIFO_STATUS	R	00000000	FIFO status.
0x3A	58	TAP_SIGN	R	00000000	Sign and source for single tap/double tap.
0x3B	59	ORIENT_CONF	R/W	00100101	Orientation configuration.
0x3C	60	Orient	R	00000000	Orientation status.

## レジスタの定義

### レジスタ 0x00—DEVID (読出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	0	1	1	0

DEVID レジスタは固定デバイス ID コード 0xE6 (8 進 346) を格納します。

### レジスタ 0x1D—THRESH\_TAP (読み書き可能)

THRESH\_TAP レジスタは 8 ビットで、タップ割込みのスレッシュホールド値を格納します。データ・フォーマットは、タップ・イベントの大きさと通常のタップ検出に対する THRESH\_TAP 値を比較できるように符号なしです。改良タップ検出については、改良タップ検出のセクションを参照してください。スケール・ファクタは 62.5 mg/LSB (0xFF = +16 g) です。値を 0 にして、シングル・タップ/ダブル・タップ割込みをイネーブルすると、予期しない動作が発生します。

### レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20—OFSX、OFSY、OFSZ (読み書き可能)

OFSX、OFSY、OFSZ の各レジスタは 8 ビットで、2 の補数フォーマットでのユーザ設定オフセット調整を提供し、スケール・ファクタは 15.6 mg/LSB (0x7F = 2 g) です。オフセット・レジスタの値は加速度データに自動的に加算され、和は出力データ・レジスタに格納されます。オフセット・キャリブレーションの詳細とオフセット・レジスタの使い方については、オフセット・キャリブレーションのセクションを参照してください。

### レジスタ 0x21—DUR (読み書き可能)

DUR レジスタは 8 ビットで、タップ・イベントと判定するため、イベントが THRESH\_TAP スレッシュホールドを超える必要のある最大時間を表わす符号なし時間値を格納します。改良タップ検出については、改良タップ検出のセクションを参照してください。スケール・ファクタは 625 μs/LSB です。値を 0 にすると、シングル・タップ/ダブル・タップ機能がディスエーブルされません。

### レジスタ 0x22—Latent (読み書き可能)

Latent レジスタは 8 ビットで、タップ・イベントの検出からウインドウの開始 (Window レジスタで指定され、この間に 2 番目のタップ・イベントを検出できます) までの待ち時間を表わす符号なし時間値を格納します。改良タップ検出については、改良タップ検出のセクションを参照してください。スケール・ファクタは 1.25 ms/LSB です。値を 0 にすると、ダブル・タップ機能がディスエーブルされます。

### レジスタ 0x23—Window (読み書き可能)

Window レジスタは 8 ビットで、レイテンシ時間 (Latent レジスタで指定し、この間に 2 番目の有効なタップを開始できます) の経過後の時間を表わす符号なし時間値が格納されます。改良タップ検出については、改良タップ検出のセクションを参照してください。スケール・ファクタは 1.25 ms/LSB です。値を 0 にすると、ダブル・タップ機能がディスエーブルされます。

### レジスタ 0x24—THRESH\_ACT (読み書き可能)

THRESH\_ACT レジスタは 8 ビットで、アクティブ検出のスレッシュホールド値を格納します。データ・フォーマットは、アクティブ・イベントの大きさと THRESH\_ACT レジスタ値を比較できるように符号なしです。スケール・ファクタは 62.5 mg/LSB です。値を 0 にして、アクティブ割込みをイネーブルすると、予期しない動作が発生します。

### レジスタ 0x25—THRESH\_INACT (読み書き可能)

THRESH\_INACT レジスタは 8 ビットで、インアクティブ検出のスレッシュホールド値を格納します。データ・フォーマットは、インアクティブ・イベントの大きさと THRESH\_INACT レジスタ値を比較できるように符号なしです。スケール・ファクタは 62.5 mg/LSB です。値を 0 にして、インアクティブ割込みをイネーブルすると、予期しない動作が発生します。

### レジスタ 0x26—TIME\_INACT (読み書き可能)

TIME\_INACT レジスタは 8 ビットで、インアクティブと判定するために加速度が THRESH\_INACT レジスタ値を下回る必要のある時間を表わす符号なし時間値を格納します。スケール・ファクタは 1 sec/LSB です。フィルタ処理のないデータを使う他の割込み機能 (スレッシュホールドのセクション参照) とは異なり、インアクティブ機能ではフィルタ処理した出力データを使います。インアクティブ割込みがトリガされるためには、少なくとも 1 個の出力サンプルが発生する必要があります。このため、TIME\_INACT レジスタに出力データレートの時定数より小さい値を設定した場合、この機能が応答しないように見えます。値 0 を設定すると、出力データが THRESH\_INACT レジスタ値より小さいとき割込みが発生します。

### レジスタ 0x27—ACT\_INACT\_CTL (読み書き可能)

D7 ACT ac/dc	D6 ACT_X enable	D5 ACT_Y enable	D4 ACT_Z enable
D3 INACT ac/dc	D2 INACT_X enable	D1 INACT_Y enable	D0 INACT_Z enable

#### ACT AC/DC ビットと INACT AC/DC ビット

0 に設定すると DC 結合動作が、1 に設定すると AC 結合動作が、それぞれイネーブルされます。DC 結合動作では、現在の加速度振幅が THRESH\_ACT および THRESH\_INACT と比較されて、アクティブまたはインアクティブのいずれかが検出されたかが判定されます。

アクティブ検出の AC 結合動作では、アクティブ検出の開始時の加速度値がリファレンス値として採用されます。次に、加速度の新しいサンプルがこのリファレンス値と比較されて、差の大きさが THRESH\_ACT 値を超えた場合、デバイスはアクティブ割込みを発生します。

同様に、インアクティブ検出の AC 結合動作では、リファレンス値は比較に使用され、デバイスがインアクティブ・スレッシュホールドを超えると更新されます。リファレンス値を選択した後、デバイスはリファレンス値と現在の加速度との間の差を THRESH\_INACT と比較します。この差が TIME\_INACT で指定する時間の間、THRESH\_INACT 値を下回ると、デバイスは非アクティブと見なして、インアクティブ割込みを発生します。

#### ACT\_x イネーブル・ビットと INACT\_x イネーブル・ビット

1 を設定すると、アクティブまたはインアクティブの検出に対する x 軸、y 軸、または z 軸の参加がイネーブルされます。0 を設定すると、選択された軸が参加から除外されます。すべての軸を除外すると、機能がディスエーブルされます。アクティブ検出の場合、すべての参加軸の論理和がとられるため、いずれかの参加軸がスレッシュホールドを超えるとアクティブ機能がトリガされます。インアクティブ検出の場合、すべての参加軸の論理積がとられるため、指定された時間の間すべての参加軸がスレッシュホールドを下回ったとき、インアクティブ機能がトリガされます。

**レジスタ 0x28—THRESH\_FF (読み書き可能)**

THRESH\_FF レジスタは 8 ビットで、自由落下検出の、符号なしフォーマット・スレッシュホールド値を格納します。すべての軸の加速度が THRESH\_FF 値と比較されて、自由落下イベントが発生したか否かが判断されます。スケール・ファクタは 62.5 mg/LSB です。値を 0 mg にして、自由落下割込みをイネーブルすると、予期しない動作が発生します。300 mg～600 mg (0x05～0x09)の値が推奨されます。

**レジスタ 0x29—TIME\_FF (読み書き可能)**

TIME\_FF レジスタは 8 ビットで、自由落下割込みが発生するために、すべての軸の値が THRESH\_FF 値を下回る必要のある最小時間を表す符号なし時間値を格納します。スケール・ファクタは 5 ms/LSB です。値を 0 にして、自由落下割込みをイネーブルすると、予期しない動作が発生します。100 ms～350 ms (0x14～0x46)の値が推奨されます。

**レジスタ 0x2A—TAP\_AXES (読み書き可能)**

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	Improved tap	Suppress	TAP_X enable	TAP_Y enable	TAP_Z enable

**Improved Tap ビット**

Improved tap ビットは、改良タップ検出をイネーブルするときに使います。この動作モードでは、出力加速度データの AC 結合差動比較を実行することによりタップ検出を向上させます。改良タップ検出は、DATA\_X、DATA\_Y、DATA\_Z の各レジスタにある同じ出力データに対して実行されます。シングル・タップとダブル・タップに対するスレッシュホールド値とタイミング値は、出力データレートと AC 結合差動測定に依存するため、これらを改良タップ検出用に調整する必要があります。改良タップ検出については、改良タップ検出のセクションを参照してください。改良タップは Improved tap ビットに値 1 を設定するとイネーブルされ、値 0 を設定するとディスエーブルされます。

**Suppress ビット**

THRESH\_TAP 値より大きい加速度がタップ間に現れる場合、Suppress ビットをセットすると、ダブル・タップ検出が停止されます。詳細については、タップ検出のセクションを参照してください。

**TAP\_x イネーブル・ビット**

TAP\_X イネーブル、TAP\_Y イネーブル、または TAP\_Z イネーブルの各ビットに 1 を設定すると、x 軸、y 軸、z 軸のタップ検出への参加がイネーブルされます。0 を設定すると、選択された軸がタップ検出への参加から除外されます。

**レジスタ 0x2B—ACT\_TAP\_STATUS (読み出し専用)**

D7	D6	D5	D4	D3	D2	D1	D0
0	ACT_X source	ACT_Y source	ACT_Z source	Asleep	TAP_X source	TAP_Y source	TAP_Z source

**ACT\_x Source ビットと TAP\_x Source ビット**

これらのビットは、タップ・イベントまたはアクティブ・イベントに参加する最初の軸を表示します。1 のときイベントへの参加を、0 のとき不参加を、それぞれ表わします。新しいデータがある場合、これらのビットはクリアされるのではなく、新しいデータで上書きされます。ACT\_TAP\_STATUS レジスタを讀出した後に割込みをクリアする必要があります。軸の参加をディスエーブルすると、次のアクティブまたはシングル・タップ/ダブル・タップ・イベントが発生したとき、対応するソース・ビットがクリアされます。

**Asleep ビット**

Asleep ビットが 1 のとき、デバイスがスリープ状態にあり、0 のときデバイスは非スリープ状態にあることを表示します。このビットは、デバイスが自動スリープに設定された場合のみトグルします。自動スリープの詳細については、レジスタ 0x2D—POWER\_CTL (読み書き可能)のセクションを参照してください。

**レジスタ 0x2C—BW\_RATE (読み書き可能)**

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	LOW_POWER	Rate			

**LOW\_POWER ビット**

LOW\_POWER ビットに 0 を設定すると通常動作が、1 を設定すると省電力動作が、それぞれ選択されます。後者ではノイズが大きくなります (詳細については、消費電力モードのセクションを参照してください)。

**Rate ビット**

これらのビットにより、デバイス帯域幅と出力データレートを選択します (詳細については、表 7 と表 8 を参照してください)。デフォルト値は 0x0A で、これは 100 Hz の出力データレートに対応します。出力データレートは、通信プロトコルと選択した周波数に合わせて選択する必要があります。低い通信速度で高過ぎる出力データレートを選択すると、サンプルが失われます。

**レジスタ 0x2D—POWER\_CTL (読み書き可能)**

D7	D6	D5	D4	D3	D2	D1	D0
0	0	Link	AUTO_SLEEP	Measure	Sleep	Wakeup	

**Link ビット**

アクティブ機能とインアクティブ機能をイネーブルして Link ビットに 1 を設定すると、インアクティブが検出されるまでアクティブ機能の開始が遅れます。アクティブが検出されると、インアクティブ検出が開始され、アクティブの検出が防止されます。このビットは、アクティブ機能とインアクティブ機能が直列動作します。このビットに 0 を設定すると、インアクティブ機能とアクティブ機能が並行動作します。詳細については、リンク・モードのセクションを参照してください。

Link ビットをクリアする際、デバイスをスタンバイ・モードにした後で、後続の書き込みで計測モードに戻ることが推奨されます。これは、スリープ・モードをマニュアルでディスエーブルした場合に、デバイスを正しくバイアスするために実行します。そうしないと、Link ビットがクリアされたときにデバイスがスリープ状態であった場合には特に、Link ビットのクリア後の、データの最初の数サンプルでノイズが増えます。

#### AUTO\_SLEEP ビット

Link ビットをセットした場合、AUTO\_SLEEP ビットに 1 を設定すると、自動スリープ機能がイネーブルされます。このモードでは、インアクティブ機能がイネーブルされ、かつインアクティブが検出されると(すなわち、少なくとも TIME\_INACT で指定された時間の間、加速度が THRESH\_INACT 値を下回ったとき)、ADXL346 が自動的にスリープ・モードに切り替わります。アクティブもイネーブルされると、アクティブが検出された後に ADXL346 は自動的にスリープからウェイクアップして、BW\_RATE レジスタで指定された出力データレートでの動作に戻ります。AUTO\_SLEEP ビットに 0 を設定すると、スリープ・モードへの自動切り替えがディスエーブルされます。スリープ・モードの詳細については、このセクションの Sleep ビットの説明を参照してください。

Link ビットをセットしない場合、AUTO\_SLEEP 機能がディスエーブルされますが、AUTO\_SLEEP ビットをセットしても、デバイス動作への影響はありません。リンク機能については、Link ビットのセクションまたはリンク・モードのセクションを参照してください。

AUTO\_SLEEP ビットをクリアする際、デバイスをスタンバイ・モードにした後で、後続の書き込みで計測モードに戻ることが推奨されます。これは、スリープ・モードをマニュアルでディスエーブルした場合に、デバイスを正しくバイアスするために実行します。そうしないと、AUTO\_SLEEP ビットがクリアされたときにデバイスがスリープ状態であった場合には特に、AUTO\_SLEEP ビットのクリア後の、データの最初の数サンプルでノイズが増えます。

#### Measure ビット

Measure ビットに 0 を設定するとデバイスがスタンバイ・モードになり、1 を設定するとデバイスが計測モードになります。ADXL346 はスタンバイ・モードでパワーアップし、最小消費電力になります。

#### Sleep ビット

Sleep ビットを 0 に設定するとデバイスは通常の動作モードになり、1 を設定するとデバイスはスリープ・モードになります。スリープ・モードでは、DATA\_READY が停止し、FIFO へのデータ転送が停止し、Wakeup ビットで指定されたサンプリング・レートへ切り替わります。スリープ・モードでは、アクティブ機能のみが使用できます。DATA\_READY 割込みが停止している間、出力データ・レジスタは、Wakeup ビットで指定されるサンプリング・レートで更新されます。

Sleep ビットをクリアする際、デバイスをスタンバイ・モードにした後で、後続の書き込みで計測モードに戻ることが推奨されます。これは、スリープ・モードをマニュアルでディスエーブルした場合に、デバイスを正しくバイアスするために実行します。そうしないと、Sleep ビットがクリアされたときにデバイスがスリープ状態であった場合には特に、Sleep ビットのクリア後の、データの最初の数サンプルでノイズが増えます。

#### Wakeup ビット

これらのビットは、表 20 で説明したように、スリープ・モードでの読出し周波数を制御します。

表 20.スリープ・モードでの読出し周波数

Setting		Frequency (Hz)
D1	D0	
0	0	8
0	1	4
1	0	2
1	1	1

#### レジスタ 0x2E—INT\_ENABLE (読み書き可能)

D7	D6	D5	D4
DATA_READY	SINGLE_TAP	DOUBLE_TAP	Activity
D3	D2	D1	D0
Inactivity	FREE_FALL	Watermark	Overrun/ orientation

このレジスタの各ビットに 1 を設定すると、割込みを発生するそれぞれの機能がイネーブルされます。0 を設定すると、割込みを発生する機能がディスエーブルされます。DATA\_READY、Watermark、Overrun/orientation の各ビットは、割込み出力のみをイネーブルし、機能は常にイネーブルされています。出力をイネーブルする前に、割込みを設定しておくことが推奨されます。

#### レジスタ 0x2F—INT\_MAP (読み書き可能)

D7	D6	D5	D4
DATA_READY	SINGLE_TAP	DOUBLE_TAP	Activity
D3	D2	D1	D0
Inactivity	FREE_FALL	Watermark	Overrun/ orientation

このレジスタに 0 を設定するとそれぞれの割込みが INT1 ピンへ、1 を設定するとそれぞれの割込みが INT2 ピンへ、それぞれ送信されます。与えられたピンに対して選択されたすべての割込みの論理和がとられます。

#### レジスタ 0x30—INT\_SOURCE (読出し専用)

D7	D6	D5	D4
DATA_READY	SINGLE_TAP	DOUBLE_TAP	Activity
D3	D2	D1	D0
Inactivity	FREE_FALL	Watermark	Overrun/ orientation

このレジスタで 1 に設定されたビットは、それぞれの機能で割込みが発生していることを表示し、0 に設定されたビットは対応する割込みが発生していないことを表示します。DATA\_READY、Watermark、Overrun/orientation の各ビットは対応する割込みが発生すると、INT\_ENABLE レジスタの設定値に無関係に、常にセットされます。DATA\_X、DATA\_Y、DATA\_Z の各レジスタからデータを読出すと、クリアされます。FIFO のセクションの FIFO モードで説明したように、DATA\_READY ビットと Watermark ビットでは複数回の読出しが必要になることがあります。その他のビット、および Orientation などの対応する割込みはイネーブルされている場合、INT\_SOURCE レジスタを読出すとクリアされます。

**レジスタ 0x31—DATA\_FORMAT (読み書き可能)**

D7	D6	D5	D4	D3	D2	D1	D0
SELF_TEST	SPI	INT_INVERT	0	FULL_RES	Justify	Range	

DATA\_FORMAT レジスタは、レジスタ 0x32～レジスタ 0x37 に対するデータの表示形式を制御します。±16 g 範囲を除くすべてのデータは、ロールオーバーを回避するため切詰める必要があります。

**SELF\_TEST ビット**

SELF\_TEST ビットに 1 を設定すると、セルフテスト・フォースがセンサーに加えられて、出力データがシフトします。0 を設定すると、セルフテスト・フォースがディスエーブルされます。

**SPI ビット**

SPI ビットに 1 を設定すると、デバイスが 3 線式 SPI モードに、0 を設定すると、デバイスが 4 線式 SPI モードに、それぞれなります。

**INT\_INVERT ビット**

INT\_INVERT ビットに 0 を設定すると、割込みがアクティブ・ハイに、1 を設定すると、割込みがアクティブ・ローに、それぞれ設定されます。

**FULL\_RES ビット**

このビットに 1 を設定すると、デバイスはフル分解能モードになります。このモードでは、出力分解能は Range ビットで設定された g 範囲に応じて高くなり、4 mg/LSB のスケール・ファクタを維持します。FULL\_RES ビットに 0 を設定すると、デバイスは 10 ビット・モードになり、Range ビットにより最大 g 範囲とスケール・ファクタが指定されます。

**Justify ビット**

Justify ビットに 1 を設定すると左詰め (MSB) モードが、0 を設定すると、符号を拡張した右詰めモードが、それぞれ選択されます。

**Range ビット**

これらのビットは g 範囲を設定します(表 21 参照)。

表 21. g 範囲の設定

Setting		g Range
D1	D0	
0	0	±2 g
0	1	±4 g
1	0	±8 g
1	1	±16 g

**レジスタ 0x32～レジスタ 0x37—DATA0、DATA1、DATAY0、DATAY1、DATAZ0、DATAZ1 (読み専用)**

これらの 6 バイト (レジスタ 0x32～レジスタ 0x37) は各々 8 ビットで、各軸の出力データを格納します。レジスタ 0x32 とレジスタ 0x33 は x 軸の出力データを、レジスタ 0x34 とレジスタ 0x35 は y 軸の出力データを、レジスタ 0x36 とレジスタ 0x37 は z 軸の出力データを、それぞれ格納します。出力データは 2 の補数で、DATA0 が下位バイトで、

DATA1 が上位バイトです。ここで x は X、Y、Z を表わします。DATA\_FORMAT レジスタ (アドレス 0x31) はデータのフォーマットを制御します。シーケンシャルなレジスタの読出しの間でデータの変化を防止するため、すべてのレジスタに複数バイト読出しを行うことが推奨されます。

**レジスタ 0x38—FIFO\_CTL (読み書き可能)**

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_MODE		Trigger	Samples				

**FIFO\_MODE ビット**

これらのビットは FIFO モードを設定します(表 22 参照)。

表 22. FIFO のモード

Setting		Mode	Function
D7	D6		
0	0	Bypass	FIFO is bypassed.
0	1	FIFO	FIFO collects up to 32 values and then stops collecting data, collecting new data only when FIFO is not full.
1	0	Stream	FIFO holds the last 32 data values. When FIFO is full, the oldest data is overwritten with newer data.
1	1	Trigger	When triggered by the trigger bit, FIFO holds the last data samples before the trigger event and then continues to collect data until FIFO is full. New data is collected only when FIFO is not full.

**Trigger ビット**

Trigger ビットに 0 を設定するとトリガ・モードのトリガ・イベントを INT1 へ、1 を設定するとトリガ・イベントを INT2 へ、それぞれ接続します。

**Samples ビット**

これらのビットの機能は、選択する FIFO モードに依存します(表 23 参照)。Samples ビットを 0 に設定すると、選択する FIFO モードに無関係に、INT\_SOURCE レジスタ (アドレス 0x30) の Watermark ビットが直ちにセットされます。トリガ・モードを使用するとき Samples ビットに 0 を設定すると、予期しない動作が発生します。

表 23. Samples ビットの機能

FIFO Mode	Samples Bits Function
Bypass	None.
FIFO	Specifies how many FIFO entries are needed to trigger a watermark interrupt.
Stream	Specifies how many FIFO entries are needed to trigger a watermark interrupt.
Trigger	Specifies how many FIFO samples are retained in the FIFO buffer before a trigger event.

**レジスタ 0x39—FIFO\_STATUS (読出し専用)**

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_TRIG	0	Entries					

**FIFO\_TRIG ビット**

FIFO\_TRIG ビットが 1 のときトリガ・イベントが発生していることを、0 のとき FIFO トリガ・イベントが発生していないことを、それぞれ表示します。

**Entries ビット**

これらのビットは、FIFO に格納されているデータ値の数を表示します。FIFO データの読出しは、DATA\_X、DATA\_Y、DATA\_Z の各レジスタを介して行います。FIFO のすべての読出し(シングルまたは複数バイト)の後、各 FIFO レベルがクリアされてしまうため、FIFO 読出しはバーストまたは複数バイト・モードで行う必要があります。FIFO は最大 32 個のデータを格納します。デバイスの出力フィルタに 1 個格納できるため、常に最大 33 個を格納します。

**レジスタ 0x3A—TAP\_SIGN (読出し専用)**

D7	D6	D5	D4	D3	D2	D1	D0
0	XSIGN	YSIGN	ZSIGN	0	XTAP	YTAP	ZTAP

**xSIGN ビット**

これらのビットは、タップ・イベントに参加する最初の軸の符号を表示します。1 のとき加速度が負方向、0 のとき加速度が正方向を表わします。これらのビットは、新しいシングル・タップ/ダブル・タップ・イベントが検出され、かつ TAP\_AXES レジスタ(アドレス 0x2A) でイネーブルされた軸のみが更新されます。TAP\_SIGN レジスタを読出した後に割込みをクリアする必要があります。詳細については、タップ符号のセクションを参照してください。

**xTAP ビット**

これらのビットは、タップ・イベントに参加する最初の軸を表示します。1 のときイベントへの参加を、0 のとき不参加を、それぞれ表わします。新しいデータがある場合、これらのビットはクリアされるのではなく、新しいデータで上書きされます。TAP\_SIGN レジスタを読出した後に割込みをクリアする必要があります。軸の参加をディスエーブルすると、次のシングル・タップ/ダブル・タップ・イベントが発生したとき、対応するソース・ビットがクリアされます。

**レジスタ 0x3B—ORIENT\_CONF (読み書き可能)**

D7	D6	D5	D4	D3	D2	D1	D0
INT_ORIENT	Dead zone			INT_3D	Divisor		

**INT\_ORIENT ビット**

INT\_ORIENT ビットをセットするとオリエンテーション割込みがイネーブルされます。1 のときデバイスのオーバーラン機能が上書きされ、INT\_MAP (アドレス 0x2F)、INT\_ENABLE (アドレス 0x2E)、INT\_SOURCE (アドレス 0x30) の各レジスタのオーバーラン機能がオリエンテーション機能で置き換えられます。INT\_ORIENT ビットをセットした後、INT\_MAP レジスタと INT\_ENABLE レジスタの Orientation ビットを設定して、INT1 または INT2 へオリエンテーション割込みを割り当てて、このピンへの割込み発生をイネーブルする必要があります。

INT\_3D ビットを使って選択したモードに対するオリエンテーション・ステータスが Orient レジスタ(アドレス 0x3C)で変化すると、オリエンテーション割込みが発生します。

INT\_SOURCE レジスタを読出すと、オリエンテーション割込みがクリアされます。INT\_ORIENT ビットまたは INT\_ENABLE レジスタ(アドレス 0x2E)の Orientation ビットをクリアすると、割込みがディスエーブルされクリアされます。

BW\_RATE レジスタ(アドレス 0x2C)に書き込みを行うか、またはデバイスをスタンバイ・モードにすると、オリエンテーション機能がリセットされ、オリエンテーション・フィルタと割込みがクリアされます。ただし、オリエンテーション機能をリセットしても、Orient レジスタ(アドレス 0x3C)の Orientation ステータスがリセットされるため、現在のオリエンテーションがデフォルト・オリエンテーションでない場合、次の出力サンプルが得られたときに割込みが発生します。INT\_ORIENT ビットが 0 のとき、オリエンテーション割込みの発生がディスエーブルされて、オーバーラン機能の使用がイネーブルされます。

**Dead Zone ビット**

これらのビットは、2 つの隣接するオリエンテーションの間の領域を指定します。この領域ではオリエンテーションが無効と見なされ、更新されません。値を 0 にすると、オリエンテーションが 2 つの隣接する領域の間の二等分線に近いとき、予期しない動作が発生します。不感帯角は、表 24 に示すようにこれらのビットで決定されます。詳細については、オリエンテーション検出のセクションを参照してください。

表 24. Dead Zone と Divisor のコード

Decimal	Binary	Dead Zone Angle (Degrees)	Divisor Bandwidth (Hz)
0	000	5.1	ODR/9
1	001	10.2	ODR/22
2	010	15.2	ODR/50
3	011	20.4	ODR/100
4	100	25.5	ODR/200
5	101	30.8	ODR/400
6	110	36.1	ODR/800
7	111	41.4	ODR/1600

**INT\_3D ビット**

オリエンテーション割込みをイネーブルすると、INT\_3D ビットにより 2D または 3D オリエンテーション検出により割込みが発生するか否かが指定されます。値が 0 のとき、2D オリエンテーションが有効な 2D オリエンテーションから別の有効な 2D オリエンテーションへ変化した場合に割込みが発生します。値が 0 のとき、3D オリエンテーションが有効な 3D オリエンテーションから別の有効な 3D オリエンテーションへ変化した場合に割込みが発生します。

**Divisor ビット**

これらのビットは、安定なオリエンテーション検出のために、測定した加速度のローパス・フィルタとして使うフィルタ帯域幅を指定します。Divisor bandwidthは、表 24 に示すようにこれらのビットで指定されます。ここで、ODRはBW\_RATE レジスタ(アドレス 0x2C)に設定される出力データレートです。詳細については、オリエンテーション検出のセクションを参照してください。

## レジスタ 0x3C—Orient (読出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
0	V2	2D_ORIENT		V3	3D_ORIENT		

## Vx ビット

これらのビットは、2D (V2) オリエンテーションと 3D (V3) オリエンテーションの有効/無効を表示します。値 1 はオリエンテーションが有効であることを表示します。0 のときは、現在のオリエンテーションが不感帯にあるためオリエンテーションが無効であることを表示します。

## xD\_ORIENT ビット

これらのビットは、加速度センサーの現在の 2D (2D\_ORIENT) オリエンテーションと 3D (3D\_ORIENT) オリエンテーションを表示します。オリエンテーション割込みをイネーブルした場合、このレジスタを読み出して、割込みが発生したときのデバイスのオリエンテーションを知ることができます。加速度データの新しいサンプルごとにこのレジスタが更新されるため、オリエンテーション割込みが発生したタイミングで読出しを行って、割込みが発生したオリエンテーション変化を特定できるようにする必要があります。表 25 と表 26 にオリエンテーション値を示します。詳細については、オリエンテーション検出のセクションを参照してください。

BW\_RATE レジスタ (アドレス 0x2C) に書き込みを行うか、またはデバイスをスタンバイ・モードにすると、オリエンテーション機能がリセットされ、オリエンテーション・フィルタとオリエンテーション・ステータスがクリアされます。次の出力サンプル時のオリエンテーションがデフォルト値 (2D オリエンテーション検出では+X、3D オリエンテーションでは不定) と異なる場合に、オリエンテーション割込みが発生します(イネーブル時)。

表 25.2D オリエンテーションコード

Decimal	Binary	Orientation	Dominant Axis
0	00	Portrait positive	+X
1	01	Portrait negative	-X
2	10	Landscape positive	+Y
3	11	Landscape negative	-Y

表 26.3D オリエンテーションコード

Decimal	Binary	Orientation	Dominant Axis
3	011	Front	+X
4	100	Back	-X
2	010	Left	+Y
5	101	Right	-Y
1	001	Top	+Z
6	110	Bottom	-Z

## アプリケーション情報

### 電源のデカップリング

ADXL346 の電源ピンの近くで、1  $\mu\text{F}$  のタンタル・コンデンサ ( $C_S$ ) を  $V_S$  に、0.1  $\mu\text{F}$  のセラミック・コンデンサ ( $C_{I/O}$ ) を  $V_{DD I/O}$  に、それぞれ接続して電源ノイズから加速度センサーを十分デカップリングすることが推奨されます。デカップリングの強化が必要な場合、100  $\Omega$  以下の抵抗またはフェライト・ビーズを  $V_S$  に直列に接続すると効果的です。あるいは、 $V_S$  のバイパス容量を 10  $\mu\text{F}$  のタンタル・コンデンサと 0.1  $\mu\text{F}$  のセラミック・コンデンサの並列接続に増やしてもノイズを改善することができます。

ADXL346 のグラウンドから電源グラウンドまでの接続が低インピーダンスとなるように注意する必要があります。これは、グラウンドを経由して送信されるノイズは  $V_S$  を経由して送信されるノイズと同じ効果を持つためです。 $V_S$  と  $V_{DD I/O}$  を別電源にして、 $V_S$  電源のデジタル・クロック・ノイズを小さくすることが推奨されます。これが不可能な場合は、前述のように電源にフィルタを追加することができます。

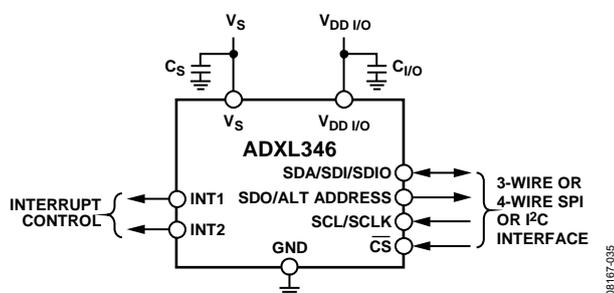


図 43.アプリケーション図

### 実装時の機構的な注意事項

ADXL346 は、PCB をケースに固定する支持点近くの PCB へ実装する必要があります。図 44 に示すように、ADXL346 を支持されていない PCB の場所に取り付けると、PCB の振動が制動されないため測定誤差が発生することがあります。支持点近くに加速度センサーを取り付けると、加速度センサーでの PCB 振動が加速度センサーの機械的共振周波数の上になるため、実質的に加速度センサーに対する影響がなくなります。センサー近くに複数の支持点を設けること、および/または PCB を厚くすることは、システム共振によるセンサー性能への影響を小さくすることに役立ちます。

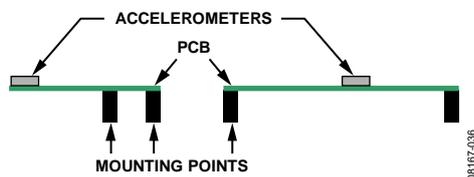


図 44.加速度センサーの不適切な配置

### タップ検出

タップ割り込み機能では、シングルまたはダブル・タップを検出することができます。シングル・タップ・イベントとダブル・タップ・イベントでは、図 45 に示すパラメータを使います。

- THRESH\_TAP レジスタ (アドレス 0x1D) で指定されるタップ検出スレッシュホールド
- DUR レジスタ (アドレス 0x21) で指定される最大タップ継続時間
- Latent レジスタ (アドレス 0x22) で指定されるタップ・レイテンシ時間。これは最初のタップの完了から 2 番目のタップを検出できる時間ウィンドウの開始までの待ち時間です。この時間ウィンドウは Window レジスタ (アドレス 0x23) の値で決定されます。
- Window レジスタで指定される、レイテンシ時間 (Latent レジスタで設定) 後の時間間隔。2 番目のタップはレイテンシ時間経過後に開始される必要がありますが、Window レジスタで指定される時間が終了する前に終わる必要はありません。

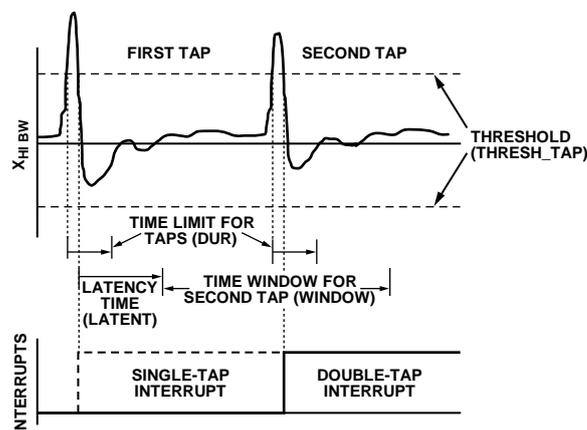


図 45.有効なシングルおよびダブル・タップでのタップ割り込み機能

シングル・タップ機能のみを使用している場合、DUR を超えない限り、加速度がスレッシュホールドを下回ると、シングル・タップ割り込みが発生します。シングル・タップ機能とダブル・タップ機能を使用している場合、ダブル・タップ・イベントが有効または無効判定されると、シングル・タップ割り込みが発生します。

ダブル・タップ・イベントで 2 番目のタップが無効判定されるためには、複数のイベントが発生することができます。1 つ目は、TAP\_AXES レジスタ (アドレス 0x2A) の Suppress ビットがセットされている場合、レイテンシ時間 (Latent レジスタで設定) 中にスレッシュホールドを超える加速度スパイクが発生すると、ダブル・タップ検出は無効と判定されます (図 46 参照)。

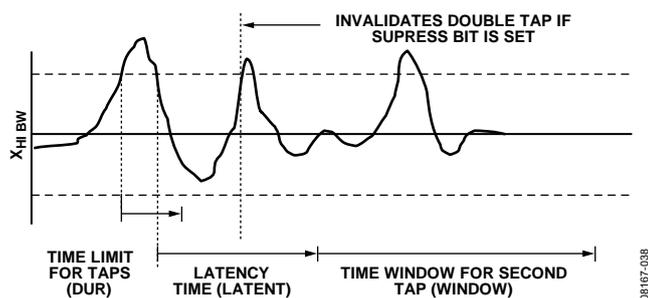


図 46. Suppress ビットのセット中に高 g イベントにより無効となるダブル・タップ・イベント

また、2 番目のタップに対する時間ウインドウ (Windowレジスタ (アドレス 0x23)で指定)の開始時にスレッショルドを超える加速度が検出された場合も、ダブル・タップ・イベントが無効と判定されることがあります。このため、このウインドウの開始時に無効ダブル・タップが発生します(図 47 参照)。さらに、加速度がタップの時間制限 (DUR レジスタ (アドレス 0x21)により設定)を超えた場合に、ダブル・タップ・イベントが無効判定されて、2 番目のタップ・イベントに対するDUR制限時間の終わりに無効ダブル・タップになります(図 47 参照)。

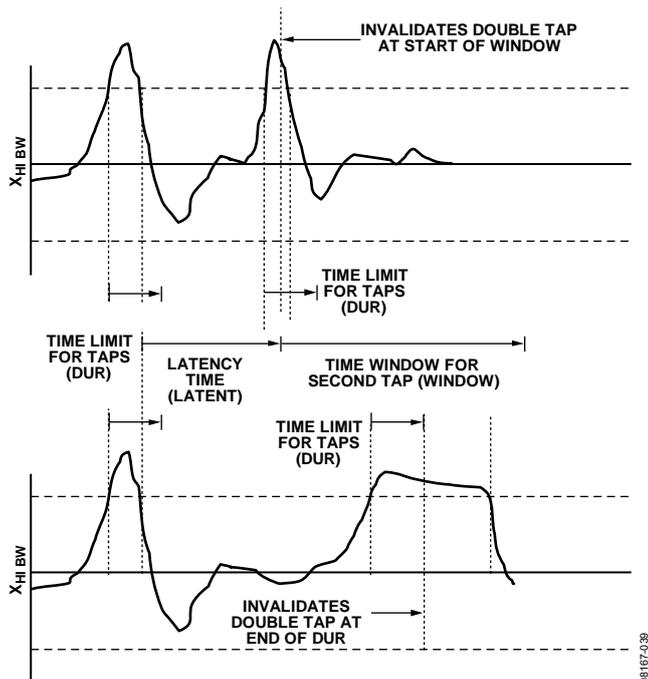


図 47.無効ダブル・タップでのタップ割込み機能

INT\_ENABLE レジスタ (アドレス 0x2E)のそれぞれのビットをセットすることにより、シングル・タップ、ダブル・タップ、または両方を検出することができます。シングル・タップ検出/ダブル・タップ検出での各 3 軸の参加の制御は、TAP\_AXES レジスタ (アドレス 0x2A)の該当するビットをセットすることにより行われます。ダブル・タップ機能を動作させるためには、Latent レジスタと Window レジスタに非ゼロ値を設定する必要があります。

各機械的システムでは、システムの機械的特性に応じてシングル・タップ/ダブル・タップ応答がある程度異なります。このため、DUR、Latent、Window、THRESH\_TAPの各レジスタには、実験値が必要です。

一般に、DUR レジスタに 0x10 (10 ms)より大きい値を、Latent レジスタに 0x10 (20 ms)より大きい値を、Window レジスタに 0x40 (80 ms)より大きい値を、THRESH\_TAP レジスタに 0x30 (3 g)より大きい値を、それぞれ設定することが良い開始点になります。Latent、Window、または THRESH\_TAP の各レジスタに非常に小さい値を設定すると、加速度センサーがタップ入力のエコーをひろうため予期しない応答が発生します。

タップ割込みを受信すると、最初の軸が THRESH\_TAP レベルを超えたことが ACT\_TAP\_STATUS レジスタ (アドレス 0x2B)に報告されます。このレジスタはクリアされることはありませんが、新しいデータで書き込まれます。

## 改良タップ検出

TAP\_AXES レジスタ (アドレス 0x2A)の Improved tap ビットをセットすると、改良タップ検出がイネーブルされます。改良タップ検出がイネーブルされると、BW\_RATE レジスタ (アドレス 0x2C)で設定された出力データレートに対応するフィルタ済み出力データを処理して、タップ・イベントの有無を判断します。さらに、AC 結合差動測定が使用されます。これにより、改良タップ検出のタイミング値とスレッショルド値は、通常のタップ検出での値と異なるようになります。

改良タップ検出を使用する場合、新しい値はテスト結果を使って決定する必要があります。一般に、DUR、Latent、または Window の各レジスタのタイミング値には、出力データレートにより設定される時間ステップ分解能より小さい値を設定しないようにする必要があります。一般に、改良タップ検出のスレッショルド値は、通常のタップ検出のスレッショルドより遥かに小さい値に設定することができます。使用する値は BW\_RATE レジスタの値に依存するため、システム・テストを行って決定する必要があります。詳細については、スレッショルドのセクションを参照してください。

## タップ符号

負加速度が加わると負符号が発生し、これは所望の軸に対してデバイスの正の面を叩くことに対応します。ここでデバイスの正の面とは、その方向への運動が正加速度となる面を意味します。例えば、+X 方向に対応する面(図 48 でFRONTと表示)を叩くと、x軸に対する負符号が発生します。図 48 でLEFTと表示する面を叩くとy軸に対する負符号が発生し、TOPと表示した面を叩くとz軸に対する負符号が発生します。逆に、BACK側、RIGHT側、またはBOTTOM側を叩くと対応する軸に対する正符号が発生します。

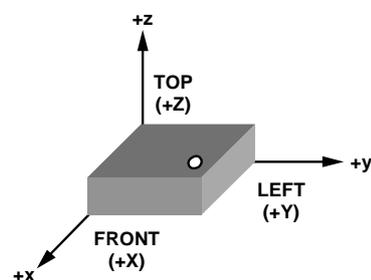


図 48. 座標系での 3D 方向

## スレッシュホールド

デバイス内部で共通のサンプリング周波数をデシメートすると、出力データレートを下げることができます。アクティブ、自由落下、シングル・タップ/ダブル・タップの各検出機能を改良タップをイネーブルしないで実行するときは、デシメートなしのデータを使います。出力データの帯域幅はデータレートにより変わり、デシメートなしのデータ帯域幅より狭いため、加速度センサーの出力を調べたとき、アクティブ、自由落下、シングル・タップ/ダブル・タップの各イベントの判定に使われる高い周波数と高 g データは現れません。このため、機能に対してユーザが設定した条件を加速度データが満たしていないように見えるときでも、その機能が割込みを発生してしまふことがあります。

## リンク・モード

Link ビットの機能は、プロセッサがサービスしなければならないアクティブ割込み数を減らすことです。インアクティブ後にのみアクティブを探すようにデバイスを設定することによりこれを実現します。この機能を正しく動作させるためには、プロセッサは INT\_SOURCE レジスタ (アドレス 0x30) を読出すことにより (したがって割込みをクリアする)、アクティブ割込みとインアクティブ割込みに対する応答を依然続ける必要があります。アクティブ割込みをクリアしないと、デバイスは自動スリープ・モードになることはできません。ACT\_TAP\_STATUS レジスタ (アドレス 0x2B) の Asleep ビットがデバイスがスリープ状態にあるか否かを表示します。

## スリープ・モード対低消費電力モード

低いデータレートと低消費電力を必要とするアプリケーションでは (ノイズ性能は犠牲になります)、低消費電力モードの使用が推奨されます。低消費電力モードの場合でも、DATA\_READY 割込みと FIFO の機能は、加速度データの後処理のために使用できます。スリープ・モードは、低データレートと低消費電力が可能です。データ・アクイジション用ではありません。

ただし、スリープ・モードを AUTO\_SLEEP モードおよびリンク・モードと組み合わせて使う場合、インアクティブが検出されたとき、デバイスは低消費電力の低サンプリング・レート・モードに自動的に切り替わることができます。冗長なインアクティブ割込みの発生を防止するときは、インアクティブ割込みを自動的にディスエーブルして、アクティブをイネーブルします。ADXL346 がスリープ・モードのとき、ホスト・プロセッサもスリープ・モードまたは低消費電力モードにして、大幅にシステム消費電力を削減することができます。アクティブが検出されると、加速度センサーはアプリケーションの元のデータレートに自動的に戻り、ホスト・プロセッサのウェイクアップに使用できるアクティブ割込みを提供します。インアクティブの発生と同様に、アクティブ・イベントの検出をディスエーブルして、インアクティブをイネーブルします。

## オフセット・キャリブレーション

加速度センサーは、自由に運動するエレメントを内蔵する機械的構造です。これらの可動部分は、固体電子回路に比べて非常に機械的ストレスに敏感です。0 g バイアスすなわちオフセットは、加速度測定の基礎となるため、重要な加速度センサーの測定基準です。加速度センサーを内蔵するシステムの組立時に余分なストレスが加わることがあります。

これらのストレス源としては、部品のハンダ付け、取り付け時のボード・ストレス、部品表面または上部への化合物の塗布などがありますが、これらに限りません。キャリブレーションが必要と判断される場合は、システム組立後にキャリブレーションを行ってこれらの影響を補償することが推奨されます。

キャリブレーションの簡単な方法は、ADXL346 の感度が表 1 に規定される通りであると見なして、オフセットを測定することです。次に、内蔵オフセット・レジスタ (レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20) を使うと、このオフセットを自動的に考慮することができます。これにより、DATA\_X、DATA\_Y、DATA\_Z の各レジスタ (アドレス 0x32~アドレス 0x37) から取得したデータは、すべてのオフセットを補償したものになっています。

ノーターンまたはシングル・ポイント・キャリブレーション方式では、1 つの軸 (一般に z 軸) が重力 1 g フィールドに、残りの軸 (一般に x 軸と y 軸) が 0 g フィールドに、それぞれなるようにデバイスの向きを定めます。次に、一連のサンプルを平均することにより出力を測定します。平均をとるサンプル数はシステム設計者が決めますが、100 Hz 以上のデータレートでは 0.1 sec 分のデータを選択することから始めることを推奨します。これは、100 Hz データレートでサンプル 10 個分に該当します。100 Hz より低いデータレートでは、少なくとも 10 個のサンプルを平均することが推奨されます。x 軸と y 軸での 0 g 測定と z 軸での 1 g 測定に、これらの値をそれぞれ  $X_{0g}$ 、 $Y_{0g}$ 、 $Z_{1g}$  として格納します。

$X_{0g}$  と  $Y_{0g}$  の測定値は x 軸と y 軸のオフセットに対応し、これらの値を加速度センサー出力から減算することにより補償を行い、実際の加速度を次のように求めます。

$$X_{ACTUAL} = X_{MEAS} - X_{0g}$$

$$Y_{ACTUAL} = Y_{MEAS} - Y_{0g}$$

z 軸の測定は 1 g フィールドで行うため、ノーターンまたはシングル・ポイント・キャリブレーション方式では、z 軸で理論感度  $S_z$  を仮定しています。この値を  $Z_{+1g}$  から減算して z 軸のオフセットを求めます。この値をさらに後で測定する値から減算して実際の値を次のように求めます。

$$Z_{0g} = Z_{1g} - S_z$$

$$Z_{ACTUAL} = Z_{MEAS} - Z_{0g}$$

ADXL346 では、オフセット・レジスタ (レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20) を使って、出力のオフセットを自動的に補償することができます。これらのレジスタは、すべての加速度測定値に自動的に加算される 8 ビットの 2 の補数値を格納しており、その結果は DATA\_X、DATA\_Y、DATA\_Z の各レジスタに格納されます。オフセット・レジスタに格納されている値は正の値であるため、正オフセットを相殺する負の値がレジスタに格納され、逆も真で、負オフセットには正の値が格納されます。レジスタはスケール・ファクタ 15.6 mg/LSB を持っており、選択された g 範囲には依存しません。

一例として、ADXL346 はフル分解能モードとし、感度を 256 LSB/g (typ) とします。デバイスの向きは、z 軸が重力フィールドとなるようにし、x 軸、y 軸、z 軸の出力はそれぞれ +10 LSB、-13 LSB、+9 LSB と測定されるものとします。前式を使うと、 $X_{0g}$  は +10 LSB に、 $Y_{0g}$  は -13 LSB に、 $Z_{0g}$  は +9 LSB に、それぞれなります。フル分解能での出力の各 LSB は 3.9 mg すなわちオフセット・レジスタの LSB の 1/4 になります。

オフセット・レジスタは正の値であるため、0 g 値を負値に変換して、オフセット・レジスタの最寄りの LSB へ丸め処理します。

$$X_{OFFSET} = -\text{Round}(10/4) = -3 \text{ LSB}$$

$$Y_{OFFSET} = -\text{Round}(-13/4) = 3 \text{ LSB}$$

$$Z_{OFFSET} = -\text{Round}(9/4) = -2 \text{ LSB}$$

これらの値を OFSX、OFSY、OFXZ のレジスタへ、それぞれ 0xFD、0x03、0xFE として書込みます。ADXL346 のすべてのレジスタと同様に、オフセット・レジスタもデバイス電源が失われると、書込まれた値を保持できません。ADXL346 の電源をオン/オフすると、オフセット・レジスタはデフォルト値 0x00 に戻ります。

ノーターンまたはシングル・ポイント・キャリブレーション方法では z 軸で感度に理論値を仮定しているため、感度のすべての誤差はオフセット誤差になります。例えば、前の例で実際の感度を 250 LSB/g とすると、オフセットは 9 LSB ではなく 15 LSB になります。この誤差を小さくすることに役立てるため、測定ポイントを z 軸の 0 g フィールドに 1 個追加し、0 g 測定値を  $Z_{ACTUAL}$  式で使うことができます。

## セルフテストの使用法

セルフテスト変化は、ある軸でのセルフテストをイネーブルしたときとディスエーブルしたときの加速度出力の差と定義されます (表 1 の注を参照)。この定義では、これらの 2 つの測定の間で、センサーは動かないと仮定しています。もしセンサーが動くと、セルフテストに関係しないシフトによりテストが無意味になるためです。

正確なセルフテスト測定には ADXL346 の正しい設定も必要です。デバイスは、100 Hz 以上のデータレートに設定する必要があります。これは、0x0A 以上の値を BW\_RATE レジスタ (アドレス 0x2C) の Rate ビット (ビット D3~ビット D0) へ書込むことにより行われます。また、正確なセルフテスト測定のために BW\_RATE レジスタの LOW\_POWER ビット (ビット D4) をクリアすることにより (LOW\_POWER ビット = 0)、デバイスも通常の消費電力動作に設定する必要があります。デバイスをフル分解能の 16 g モードに設定して、セルフテスト・シフト全体に対して十分なダイナミックレンジを確保することが推奨されます。これは、FULL\_RES ビット (ビット D3) を設定し、値 0x03 を DATA\_FORMAT レジスタ (アドレス 0x31) の Range ビット (ビット D1 とビット D0) へ書込むことにより行われます。これにより測定の高いダイナミックレンジと 3.9 mg/LSB のスケール・ファクタが得られます。

デバイスに正確なセルフテスト測定を設定した後、x 軸、y 軸、z 軸の加速度データの複数のサンプルをセンサーから取得して平均をとります。平均をとるサンプル数はシステム設計者が決めますが、100 Hz 以上のデータレートでは 0.1 sec 分のデータを選択することから始めることを推奨します。これは、100 Hz データレートでサンプル 10 個分に該当します。100 Hz より低いデータレートでは、少なくとも 10 個のサンプルを平均することが推奨されます。平均した値を格納して、これらをセルフテストをディスエーブルしたデータすなわち  $X_{ST\_OFF}$ 、 $Y_{ST\_OFF}$ 、 $Z_{ST\_OFF}$  と表します。

次に、DATA\_FORMAT レジスタ (アドレス 0x31) のビット D7 をセットしてセルフテストをイネーブルします。セルフテストをイネーブルした後、出力が安定するのを待つ必要があります (約 4 サンプル間)。出力が安定した後、x 軸、y 軸、z 軸の加速度データの複数のサンプルをセンサーから再度取得して平均をとります。この平均には前の場合と同じサンプル数を使うことが推奨されます。平均した値を格納して、これらをセルフテストをイネーブルしたデータすなわち  $X_{ST\_ON}$ 、 $Y_{ST\_ON}$ 、 $Z_{ST\_ON}$  と表します。次に、DATA\_FORMAT レジスタ (アドレス 0x31) のビット D7 をクリアして、セルフテストをディスエーブルすることができます。

セルフテストをイネーブルした格納値とディスエーブルした格納値を使って、セルフテスト変化を次のように求めます。

$$X_{ST} = X_{ST\_ON} - X_{ST\_OFF}$$

$$Y_{ST} = Y_{ST\_ON} - Y_{ST\_OFF}$$

$$Z_{ST} = Z_{ST\_ON} - Z_{ST\_OFF}$$

各軸の出力測定値は LSB 数で表わされるため、 $X_{ST}$ 、 $Y_{ST}$ 、 $Z_{ST}$  も LSB 数で表わします。フル分解能モードに設定した場合、これらの値は各値に 3.9 mg/LSB スケール・ファクタを乗算して、g の加速度へ変換することができます。さらに、表 15~表 18 は LSB 数に変換したセルフテスト範囲に対応するため、 $V_S = 2.6 \text{ V}$  動作で測定したセルフテスト変化と比較することができます。他の電圧の場合は、セルフテストの最小出力値と最大出力値を表 14 に示すスケール・ファクタを使って (乗算します) 調整する必要があります。デバイスを  $\pm 2 \text{ g}$  の 10 ビット分解能モードまたはフル分解能モードにした場合には、表 15 に示す値を使う必要があります。固定 10 ビット・モードまたは 16 g 以外の範囲を使うことができますが、表 16~表 18 に示す異なるセットの値を使う必要があることもあります。8 g より小さい範囲を使うと、ダイナミックレンジが不十分になることがあるため、セルフテスト測定の動作範囲を選択するときは注意する必要があります。

セルフテスト変化が有効範囲内の場合、テストは合格と見なされます。一般に、変化の最小振幅が実現されたときデバイスは合格と見なされます。ただし、最大振幅を超えて変化するデバイスは必ずしも故障ではありません。

## オリエンテーション検出

ADXL346 のオリエンテーション機能は、Orient レジスタ (アドレス 0x3C) を使って 2D と 3D のオリエンテーションを同時に報告します。V2 ビットと V3 ビット (Orient レジスタのビット D6 とビット D3) は、2D と 3D のオリエンテーション・コードの有効/無効を報告します。V2 または V3 がセットされている場合、それぞれのコードが有効なオリエンテーションです。V2 または V3 がクリアされている場合、加速度センサーのオリエンテーションは、有効な領域の間の不感帯にある場合のように、無効であることを表わします。

2D オリエンテーション検出の場合、重力に対するx軸とy軸の関係を使って、加速度センサーのオリエンテーションを求めます(図 49 と表 25 参照)。正の縦方向は、x軸が最も重力ベクタに一致し上向きすなわち重力ベクタと逆向きです。負の縦方向は正の縦方向と逆向きで、重力ベクタと同じx軸の下向きです。正の横方向は、y軸が最も重力ベクタに一致し上向き、すなわち重力ベクタと逆向きです。負の横方向は、正の横方向と逆向きです。図 49 に、正の縦方向 (+X) と負の縦方向 (-X) に対する不感帯領域を示します。これらの領域は、図 49 に示すように正の横方向 (+Y) と負の横方向 (-Y) にも存在します。

3D オリエンテーションでは、z軸も含まれます。加速度センサーをカーティシアン座標系に置いた場合(タップ符号のセクションの図 48 参照)、デバイスのTOPは z軸の正方向に、デバイスのFRONTは x軸の正方向に、デバイスのRIGHT側は y軸の正方向に、それぞれ対応します。

表 26 に示す状態は、加速度センサーのどの面が上を向いているか、すなわち重力ベクタと逆向きに対応するかを示しています。図 48 に示すように、加速度センサーはTOPが上の状態にあります。デバイスをひっくり返してデバイスのTOPが下を向く(重力の方向)ようにすると、オリエンテーションはBOTTOM 状態として報告されます。x軸の正方向または y軸の正方向が重力ベクタと逆向きの上を向くようにデバイスを調整すると、加速度センサーはオリエンテーションとしてそれぞれ FRONTまたはLEFT を報告します。

高周波運動の影響を除去するために出力加速度データのフィルタ処理をした後に、オリエンテーションの変化を検出するアルゴリズムが実行されます。この処理は、Divisor ビット (ORIENT\_CONF レジスタ、アドレス 0x3B)により設定される帯域幅を持つローパス・フィルタを使って行われます。オリエンテーション・フィルタは出力データ・レジスタ (アドレス 0x32 ~アドレス 0x37)にある同じ出力データを使うため、Orient レジスタ (アドレス 0x3C)は BW\_RATE レジスタ (アドレス 0x2C)で設定されるデータレートと同じレートで更新されます。出力データを使用するため、オリエンテーション・フィルタの帯域幅は、BW\_RATE レジスタの値に依存します。表 24 に示す Divisor bandwidth値は選択した出力データレートを基準としています。

歩行や震動のような人の動きの大部分を除去するため、ORIENT\_CONF レジスタ (アドレス 0x3B)の Divisor ビット (ビット [D2:D0]) の値は、オリエンテーション帯域幅を 1 Hz または 2 Hz に効果的に制限するように選択する必要があります。例えば、出力データレート = 100 Hz、Divisor = 3 (ODR/100) にすると、オリエンテーション検出の帯域幅は 1 Hz になります。最適結果を得るためには、出力データレート  $\geq 25$  Hz (通常の電力モード) および出力データレート  $\geq 200$  Hz (低消費電力動作)とすることが推奨されます。

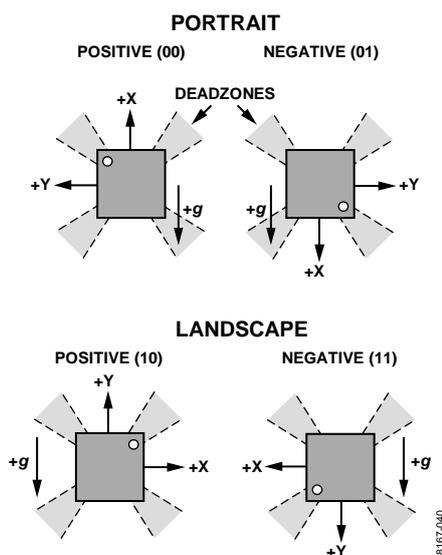


図 49.2D オリエンテーションと対応コード

2つのオリエンテーション・ポジションの間の不感帯領域の幅は、ORIENT\_CONF レジスタ (アドレス 0x3B)のDead zoneビット (ビット [D6:D4])で指定されます。不感帯領域サイズは、表 24 に示す値を使って指定することができます。不感帯角度は、オリエンテーションが無効と見なされる合計角度を表わします。このため、不感帯 =  $15.4^\circ$  は、2つの隣接領域の二等分線から両側  $7.7^\circ$  に対応します。不感帯領域 =  $15.4^\circ$  の例を図 50 に示します。表 24 に示す値は、重力ベクタが2つの軸 (xy、xz、またはyz)に完全に含まれる場合の代表的な不感帯角度に対応することに注意してください。これは出発点としてのみ使用してください。重力の3軸成分が非ゼロとなるようにデバイスのオリエンテーションを定めると、実効感度が小さくなるため、不感帯角度が大きくなります。このため、特定のアプリケーションでの使用条件を評価して、不感帯の最適設定値を求める必要があります。

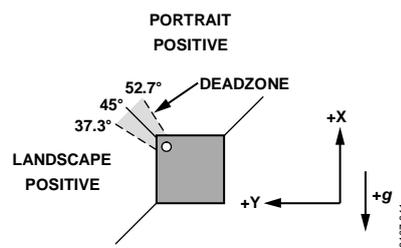


図 50.  $15.4^\circ$  の不感帯領域を持つオリエンテーション

ORIENT\_CONF レジスタ (アドレス 0x3B)のINT\_ORIENT ビット (ビット D7)をセットすると、デバイスを新しい有効オリエンテーションに置いたとき割込みが発生します。オリエンテーション検出の1つのモードのみ(2Dまたは3D)が、同時に割込みを発生することができます。ORIENT\_CONF レジスタ (アドレス 0x3B)のINT\_3D ビット (ビット D3) をセットまたはクリアすると、オリエンテーション検出モードが選択されます。詳細については、レジスタ 0x3B—ORIENT\_CONF (読み書き可能)のセクションを参照してください。

BW\_RATE レジスタに書込みを行うか、またはデバイスをスタンバイ・モードにすると、オリエンテーション機能がリセットされ、オリエンテーション・フィルタとオリエンテーション・ステータスがクリアされます。ただし、次の出力サンプル時のオリエンテーションがデフォルト値 (2D オリエンテーション検出では+X、3D オリエンテーションでは不定)と異なる場合に、これらの動作によりオリエンテーション割込み (イネーブル時)が発生します。

## 高データレートのデータ・フォーマット

3200 Hz と 1600 Hz の出力データレートを持つ出力データのフォーマットは、動作モード (フル分解能または固定 10 ビット) と選択した出力範囲に応じて変わります。

フル分解能動作または  $\pm 2\text{ g}$ 、10 ビット動作で、3200 Hz または 1600 Hz の出力データレートを使うときは、出力データワードの LSB は常に 0 です。データが右詰めの場合、これは DATAx0 レジスタのビット D0 に対応します (図 51 参照)。データが左詰め

で、デバイスが  $\pm 2\text{ g}$ 、10 ビット・モードで動作する場合、出力データワードの LSB は DATAx0 レジスタのビット D6 になります。データが左詰めでフル分解能動作の場合、LSB の位置は選択した出力範囲に応じて変わります。LSB は、範囲  $\pm 2\text{ g}$  では DATAx0 レジスタのビット D6 に、 $\pm 4\text{ g}$  では DATAx0 レジスタのビット D5 に、 $\pm 8\text{ g}$  では DATAx0 レジスタのビット D4 に、 $\pm 16\text{ g}$  では DATAx0 レジスタのビット D3 に、それぞれなります。これを図 52 に示します。

$\pm 4\text{ g}$ 、 $\pm 8\text{ g}$ 、 $\pm 16\text{ g}$  の出力範囲で固定 10 ビット動作に対して 3200 Hz と 1600 Hz の出力データレートを使用すると、加えられた加速度に応じて変化する有効な LSB が得られます。このため、これらの動作モードでは、出力データが右詰めの場合ビット D0 は常に 0 ではなく、出力データが左詰めの場合ビット D6 は常に 0 にはなりません。データレートが 800 Hz 以下での動作でも、加えられた加速度に応じて変化するすべての範囲とモードで有効な LSB が得られます。

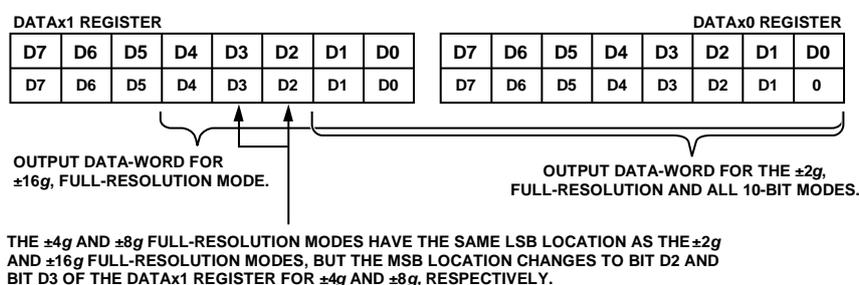


図 51. 出力データが右詰めの際のデータ・フォーマット

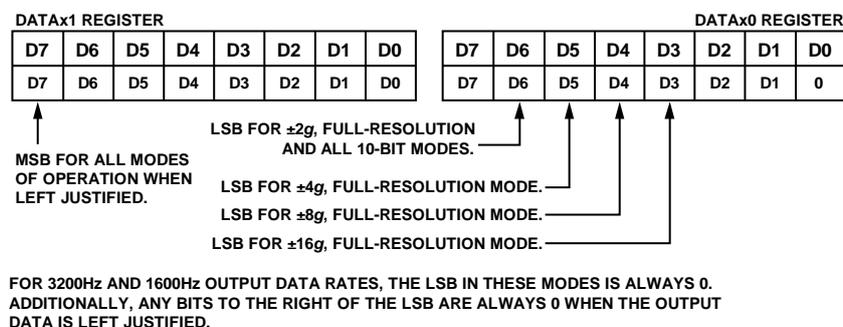


図 52. 出力データが左詰めの際のデータ・フォーマット

## ノイズ性能

表 1 に示すノイズ仕様は、出力データレート = 100 Hz (BW\_RATE レジスタ(アドレス 0x2C)でLOW\_POWER ビット = 0、Rate = 0x0A)での通常消費電力動作のADXL346 ノイズ性能(typ)に対応します。100 Hzを下回るデータレートでの通常消費電力動作では、ADXL346 のノイズはLSB数で 100 Hz ODRのノイズと等価です。データレートが 100 Hzを超える場合は、ノイズはデータレートが倍になるごとに約 $\sqrt{2}$ 倍になる係数で増加します。例えば、400 Hz ODRで、x軸とy軸のノイズは 2 LSB rms (typ)以下で、z軸のノイズは 3 LSB rms (typ)以下です。

低消費電力動作 (BW\_RATE レジスタ(アドレス 0x2C)でLOW\_POWER ビット = 1)の場合、ADXL346 のノイズは、表 8 に示すすべての有効データレートで一定です。この値は、x軸とy軸では 2.83 LSB rms (typ)以下で、z軸では 4.25 LSB (typ)以下です。

ADXL346 の通常消費電力と低消費電力の両動作モードでのノイズ性能の傾向を図 53 に示します。

図 54 にADXL346 の代表的なアラン偏差を示します。この図に示すデバイスの  $1/f$  コーナーは非常に低いため、約 100  $\mu\text{g}$ の絶対分解能が可能です (十分な積分時間がある場合)。この図には、x軸とy軸でのノイズ密度が 420  $\mu\text{g}/\text{Hz}$ および z軸では 530  $\mu\text{g}/\text{Hz}$ であることも示してあります。

図 55 に、ADXL346 の電源電圧に対する代表的なノイズ性能傾向を示します。性能はテストおよび仕様で使用する電源電圧  $V_S = 2.6 \text{ V}$  で正規化してあります。x軸では電源電圧に対して最適なノイズ性能であり、電源電圧 = 1.8 Vでの公称値から 25% (typ)以下の率での増加です。y軸とz軸での性能はほぼ同じで、電源電圧 = 1.8 Vで動作する場合 35% (typ)以下の率で増加しています。図 53 に示すように、z軸のノイズは一般にy軸より大きいため、z軸とy軸のノイズは電源電圧に対してほぼ同じパーセント値で変化しますが、z軸の変化の大きさはy軸の変化の大きさより大きいことに注意してください。

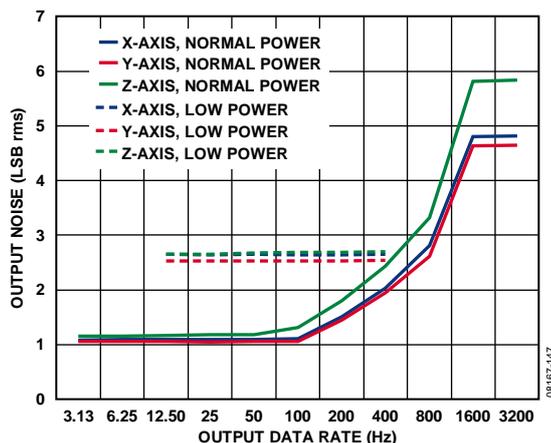


図 53. 通常消費電力モードと低消費電力モードでのノイズ対出力データレート、フル分解能 (256 LSB/g)

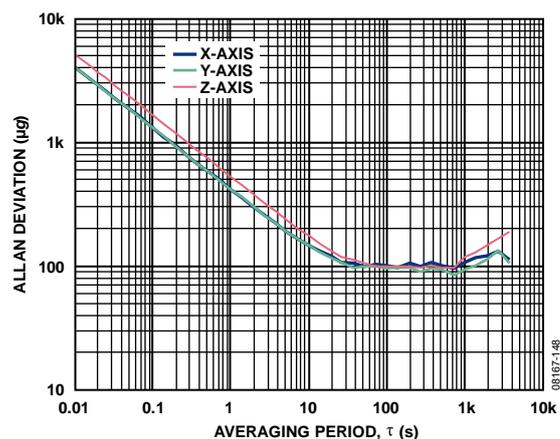


図 54. アラン偏差

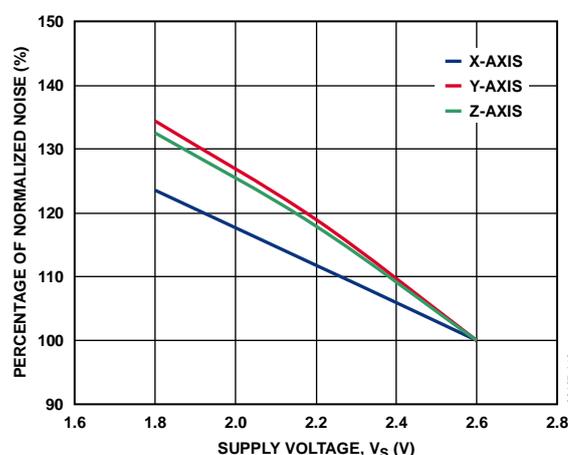


図 55. 正規化ノイズ対電源電圧

## 2.6 V以外の電圧での動作

ADXL346 は電源電圧  $V_S = 2.6 \text{ V}$  でテストされ、仕様が規定されていますが、 $V_S = 1.7 \text{ V} \sim 2.75 \text{ V}$  で動作することもできます。電源電圧が変化すると、オフセット、感度、ノイズ、セルフテスト、電源電流など性能パラメータが変化します。

電源電圧が変化したときの静電気力の極小さい変化により、オフセットと感度が少し変化します。電源電圧  $V_S = 1.8 \text{ V}$  で動作する場合、x軸とy軸のオフセットは、 $V_S = 2.6 \text{ V}$  動作に比べて 25 mg (typ)高くなります。z軸は、電源電圧  $V_S = 2.6 \text{ V}$  での動作に比べて  $V_S = 1.8 \text{ V}$  での動作では 20 mg (typ)低くなります。x軸とy軸の感度(typ)は電源電圧  $V_S = 2.6 \text{ V}$  動作での公称 256 LSB/g (フル分解能動作または  $\pm 2 \text{ g}$ 、10 ビット動作)から  $V_S = 1.8 \text{ V}$  での 250 LSB/g へシフトします。z軸の感度は電源電圧の変化の影響を受けず、 $V_S = 1.8 \text{ V}$  動作と  $V_S = 2.6 \text{ V}$  での動作は同じです。他の電源電圧でのオフセットと感度のシフト(typ)は、簡単な線形補間を使って求めることができます。

ノイズ性能、セルフテスト応答、電源電流の変化は、このデータシートの他の部分で説明しています。ノイズ性能の詳細については、ノイズ性能のセクションを参照してください。セルフテストのセクションでは、電圧に対するセルフテスト動作（電源電圧に対する 2 乗則）と g 数でのセルフテスト応答から LSB 数への変換について説明しています。最後に、図 33 に電源電圧の 100 Hz 出力データレートでの消費電流(typ)への影響を示します。他のすべての出力データレートは同じ傾向を持ちます。

### 最小データレートでのオフセット性能

ADXL346 では広範囲なアプリケーション向けにデザインされた複数の出力データレートと帯域幅を提供していますが、6.25 Hz より小さい最小データレートでは、他のデータレートに比べて温度に対してオフセット性能が大幅に低下します。図 56、図 57、図 58 に、6.25 Hz 以下のデータレートに対して、温度に対する ADXL346 のオフセット性能(typ)を示します。すべてのプロットは、100 Hz 出力データレートでのオフセットで正規化しているため、非ゼロ値はそのデータレートでの温度によるオフセット・シフトが増加することに対応します。

最小データレートを使う場合は、デバイスの動作温度範囲を制限して、動作温度範囲で最小のオフセット・シフトになるようにすることが推奨されます。製品間にバラツキがあるため、6.25 Hz 以下のデータレートで使用する場合、温度に対するキャリブレーションを行うことも推奨されます。

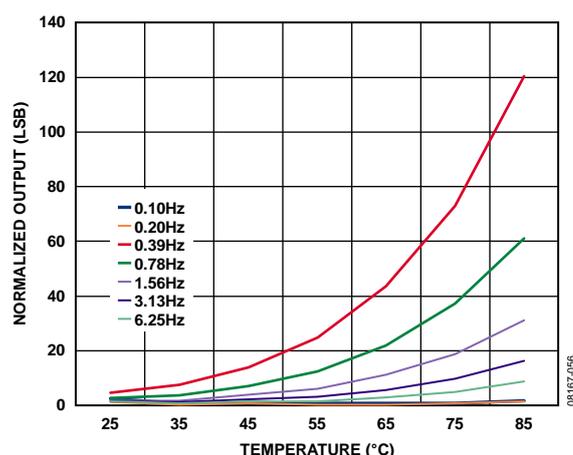


図 56. 低いデータレートでの X 軸出力 (typ) の温度特性、100 Hz 出力データレートで正規化、 $V_S = 2.6 \text{ V}$

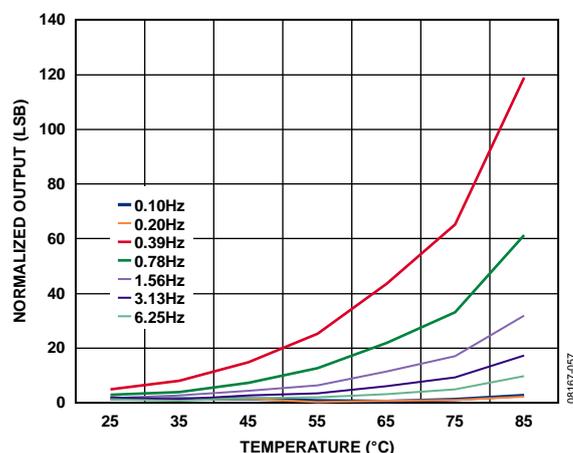


図 57. 低いデータレートでの Y 軸出力 (typ) の温度特性、100 Hz 出力データレートで正規化、 $V_S = 2.6 \text{ V}$

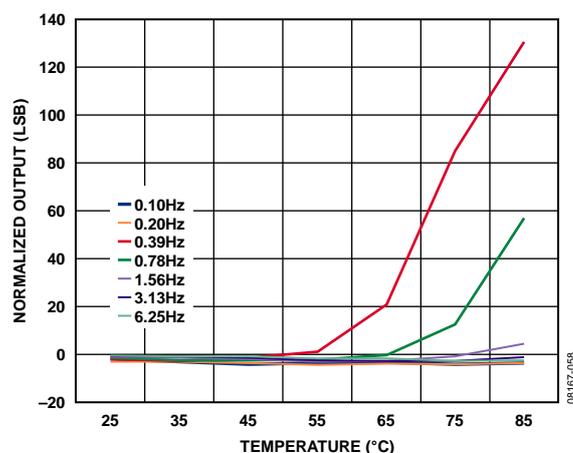


図 58. 低いデータレートでの Z 軸出力 (typ) の温度特性、100 Hz 出力データレートで正規化、 $V_S = 2.6 \text{ V}$

加速度検出軸

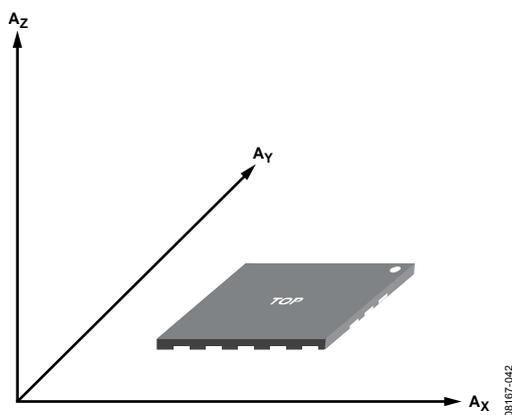


図 59. 加速度検出軸 (検出軸方向に加速度を加えると対応する出力が増加)

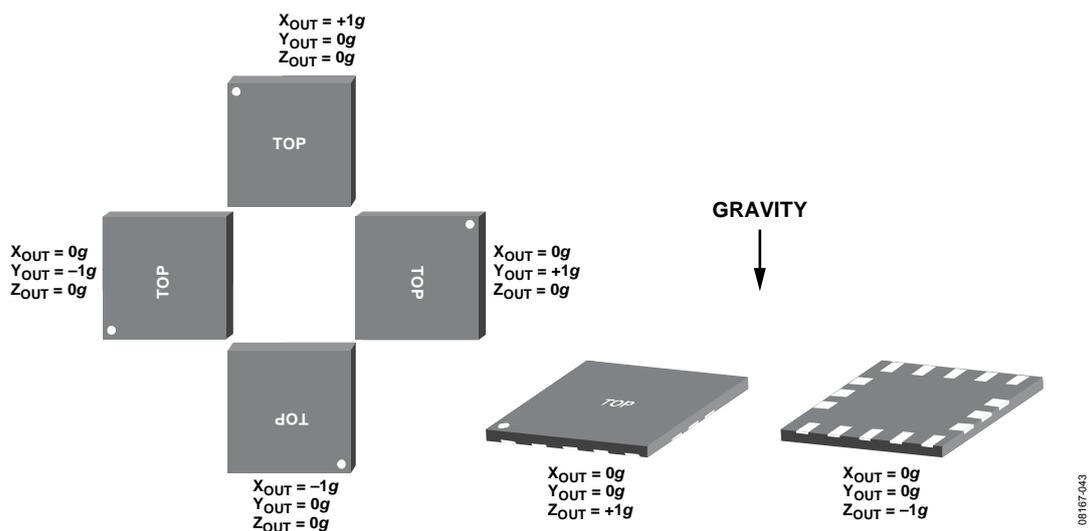


図 60. 出力応答と重力方向の関係

## レイアウトとデザインの推奨事項

図 61 に、推奨プリント回路ボードのランド・パターンを示します。図 62 と表 27 に、ハンダ処理の推奨プロファイルを示します。

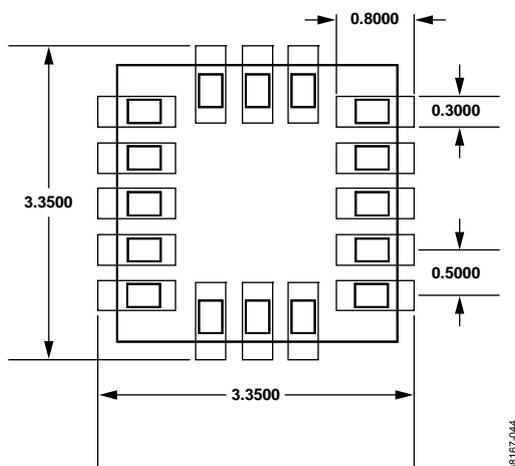


図 61. プリント回路ボードの推奨ランド・パターン(寸法: mm)

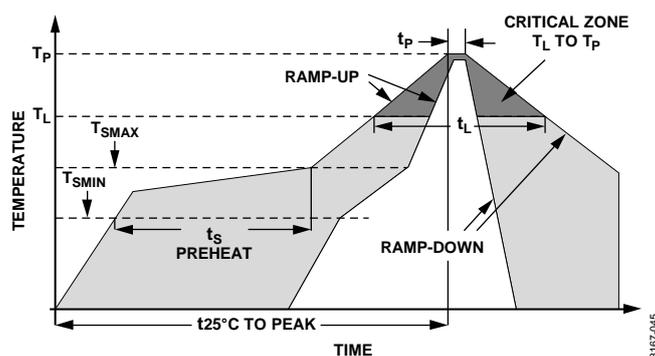
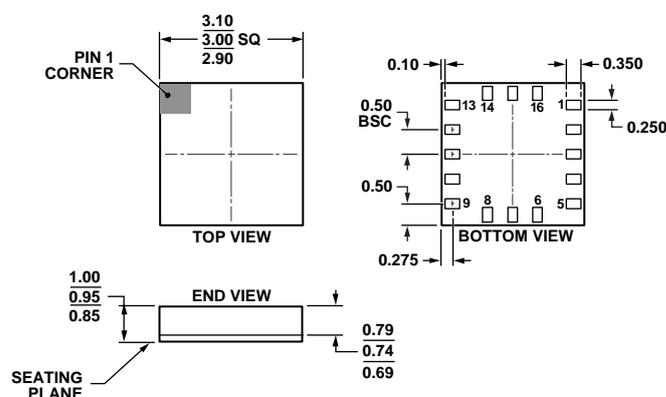


図 62. ハンダ処理の推奨プロファイル

表 27. ハンダ処理の推奨プロファイル

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate from Liquid Temperature ( $T_L$ ) to Peak Temperature ( $T_P$ )	3°C/sec max	3°C/sec max
Preheat		
Minimum Temperature ( $T_{SMIN}$ )	100°C	150°C
Maximum Temperature ( $T_{SMAX}$ )	150°C	200°C
Time from $T_{SMIN}$ to $T_{SMAX}$ ( $t_s$ )	60 sec to 120 sec	60 sec to 180 sec
$T_{SMAX}$ to $T_L$ Ramp-Up Rate	3°C/sec max	3°C/sec max
Liquid Temperature ( $T_L$ )	183°C	217°C
Time Maintained Above $T_L$ ( $t_L$ )	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature ( $T_P$ )	240 + 0/-5°C	260 + 0/-5°C
Time of Actual $T_P - 5^\circ\text{C}$ ( $t_p$ )	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec max	6°C/sec max
Time 25°C to Peak Temperature	6 minutes max	8 minutes max

## 外形寸法



01-13-2010-B

図 63.16 ピン・ランド・グリッド・アレイ [LGA]  
(CC-16-3)  
ピン仕上: Ni に Au メッキ  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Measurement Range (g)	Specified Voltage (V)	Temperature Range	Package Description	Package Option	Branding Code
ADXL346ACCZ-R2	±2, ±4, ±8, ±16	2.6	-40°C to +85°C	16-Terminal Land Grid Array [LGA]	CC-16-3	Y2Z
ADXL346ACCZ-RL	±2, ±4, ±8, ±16	2.6	-40°C to +85°C	16-Terminal Land Grid Array [LGA]	CC-16-3	Y2Z
ADXL346ACCZ-RL7	±2, ±4, ±8, ±16	2.6	-40°C to +85°C	16-Terminal Land Grid Array [LGA]	CC-16-3	Y2Z
EVAL-ADXL346Z				Evaluation Board		
EVAL-ADXL346Z-DB				Inertial Sensor Development/Data Logger Board		
EVAL-ADXL346Z-M				Analog Devices Inertial Sensor Evaluation System, Includes ADXL346 Satellite		
EVAL-ADXL346Z-S				ADXL346 Satellite, Standalone		

<sup>1</sup> Z = RoHS 準拠製品。

I<sup>2</sup>C は、最初に Philips Semiconductors 社 (現在の NXP Semiconductors 社) により制定された通信プロトコルです。