

ADV7390/ADV7391/ADV7392/ADV7393

特長

- 3個の高品質、10ビット・ビデオDAC
 - SD用の16× (216MHz) DACオーバーサンプリング
 - ED用の8× (216MHz) DACオーバーサンプリング
 - HD用の4× (297MHz) DACオーバーサンプリング
 - 37mA (最大) のDAC出力電流
- マルチフォーマット・ビデオ入力対応
 - 4:2:2 YCrCb (SD、ED、HD)
 - 4:4:4 RGB (SD)
- マルチフォーマット・ビデオ出力対応
 - コンポジット (CVBS) およびSビデオ (Y/C)
 - コンポーネントYPrPb (SD、ED、HD)
 - コンポーネントRGB (SD、ED、HD)
- リード・フレーム・チップ・スケール・パッケージ (LFCSP)
 - 32ピン、5mm×5mm LFCSP
 - 40ピン、6mm×6mm LFCSP
- 高性能パワーマネジメント
 - 画像データ依存型の低消費電力DAC動作 (特許取得)
 - 自動ケーブル検出およびDACパワーダウン
 - 個別のDACオン/オフ制御
 - 消費電力を最小限に抑えたスリープ・モード
- 74.25MHz 8/10/16ビットHDビデオ入力対応
 - SMPTE 274M (1080i)、296M (720p)、240M (1035i) 準拠
- NTSC M、PAL B/D/G/H/I/M/N、PAL 60に対応
- NTSCおよびPALスクエア・ピクセル動作 (24.54MHz/29.5MHz)

- Macrovision® Rev 7.1.L1 (SD) およびRev 1.2 (ED) に準拠
- プログラマブル機能
 - 輝度信号/色信号フィルタ応答選択
 - 垂直ブランキング・インターバル信号設定 (VBI)
 - サブキャリア周波数 (F_{SC}) と位相設定
 - 輝度信号遅延設定
- コピー・ジェネレーション・マネジメント・システム出力 (CGMS)
- クローズド・キャプションとワイド・スクリーン信号出力 (WSS)
- 外部ビデオ信号にサブキャリア・ロック機能内蔵
- ビデオ・タイミング発生機能内蔵
- テスト・パターン発生機能内蔵
- I²C®およびSPI®互換のシリアルMPUインターフェース
- 2.7Vまたは3.3Vアナログ動作
- 1.8Vデジタル動作
- 3.3~1.8V I/O電源動作
- 動作温度範囲: -40~+85°C

アプリケーション

- モバイル・ハンドセット
- デジタル・カメラ
- 携帯メディア・プレーヤ、携帯DVDプレーヤ
- 携帯ゲーム・コンソール
- デジタル・ビデオカメラ
- セットトップ・ボックス (STB)
- 車載用の娯楽情報機器 (ADV7393のみ)

機能ブロック図

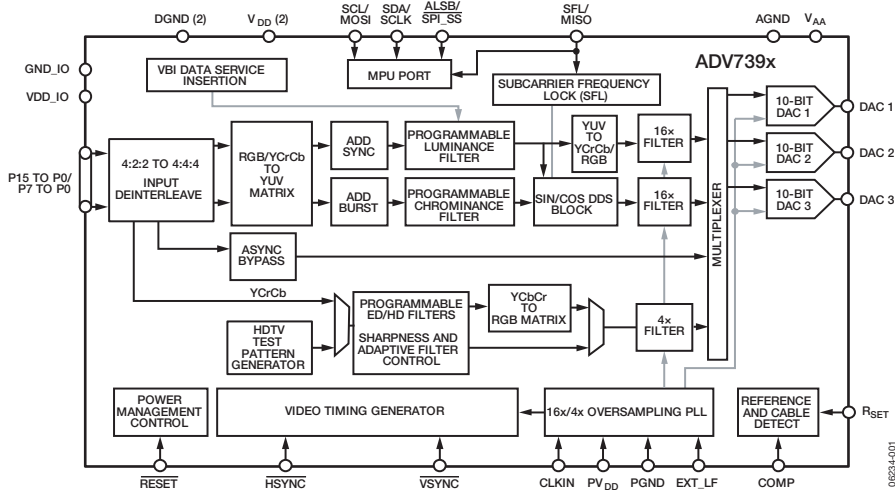


図1

米国特許番号5,343,196、5,442,355およびその他の知的財産権により保護されています。
米国特許番号4,631,603、4,577,216、4,819,098およびその他の知的財産権により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

ADV7390/ADV7391/ADV7392/ADV7393

目次

特長	1	SD輝度信号とカラーの制御	51
アプリケーション	1	SD色相調整制御	52
機能ブロック図	1	SDブライトネス検出	52
改訂履歴	3	SDブライトネス制御	52
詳細な特長	4	SD入力規格の自動検出	52
概要	4	ダブル・バッファリング	53
仕様	5	プログラマブルなDACゲイン・コントロール	53
電源仕様	5	ガンマ補正	53
入力クロック仕様	5	ED/HDシャープネス・フィルタおよびアダプティブ・フィルタ制御	55
アナログ出力仕様	5	ED/HDシャープネス・フィルタおよびアダプティブ・フィルタの適用例	56
デジタル入出力仕様	6	SDデジタル・ノイズ・リダクション	57
MPUポート・タイミング仕様	6	SDアクティブ・ビデオ・エッジ制御	59
デジタル・タイミング仕様	7	水平/垂直外部同期制御	60
ビデオ性能仕様	8	低消費電力モード	61
電源仕様	8	ケーブル検出	61
タイミング図	9	DAC自動パワーダウン	61
絶対最大定格	15	ピクセルおよび制御ポート・リードバック	61
熱抵抗	15	リセットのメカニズム	61
ESDに関する注意	15	PCボードのレイアウトとデザイン	62
ピン配置と機能の説明	16	DACの設定	62
代表的な性能特性	18	ビデオ出力バッファとオプションの出力フィルタ	62
MPUポートの説明	23	PCボード (PCB) のレイアウト	63
I ² C動作	23	代表的なアプリケーション回路	65
SPI動作	24	付録1—コピー・ジェネレーション・マネジメント・システム	66
レジスタ・マップ	25	SD CGMS	66
レジスタの設定	25	ED CGMS	66
サブアドレス・レジスタ (SR7~SR0)	25	HD CGMS	66
ADV7390/ADV7391入力設定	41	CGMS CRC機能	66
標準解像度	41	付録2—SDワイド・スクリーン・シグナリング	69
拡張解像度/高精細解像度	41	付録3—SDクローズド・キャプション	70
拡張解像度 (54 MHz時)	41	付録4—内部テスト・パターンの生成	71
ADV7392/ADV7393入力設定	42	SDテスト・パターン	71
標準解像度	42	ED/HDテスト・パターン	71
拡張解像度/高精細解像度	43	付録5—SDタイミング	72
拡張解像度 (54MHz時)	43	付録6—HDタイミング	77
出力設定	44	付録7—ビデオ出力レベル	78
特長	45	SD YPrPb出力レベル—SMPTE/EBU N10	78
出力オーバーサンプリング	45	ED/HD YPrPb出力レベル	79
ED/HD非標準タイミング・モード	45	SD/ED/HD RGB出力レベル	80
ED/HDタイミング・リセット	46	SD出力プロット	81
SDサブキャリア周波数ロック、サブキャリア・リセット、タイミング・リセット	46	付録8—ビデオ規格	82
SD VCR FF/RW同期	47	付録9—設定記述	84
垂直ブラッキング・インターバル	47	規格の定義	84
SDサブキャリア周波数レジスタ	47	拡張解像度	90
SDノンインターレース・モード	48	高解像度	92
SDスクエア・ピクセル・モード	48	外形寸法	95
フィルタ	49	オーダー・ガイド	96
SD内部フィルタ応答	49		
色空間変換マトリックス	50		

改訂履歷

10/06—Revision 0: Initial Version

ADV7390/ADV7391/ADV7392/ADV7393

詳細な特長

高精細ビデオ (HD) プログラマブル機能

(720p/1080i/1035i)
 4×オーバーサンプリング (297MHz)
 内部のテスト・パターン・ジェネレータ
 同一色画面、ブラック・バー、格子縞パターン
 プログラマブルなYCrCからRGBへのマトリックス変換
 ガンマ補正
 プログラマブルなアダプティブ・フィルタ制御
 プログラマブルなシャープネス・フィルタ制御
CGMS (720p/1080i) およびCGMSタイプB (720p/1080i) 出力
 ダブル・データレート (DDR) 入力対応

拡張解像度 (ED) プログラマブル機能 (525p/625p)

8×オーバーサンプリング (216MHz出力)
 内蔵テスト・パターン発生機能
 同一色画面、ブラック・バー、格子縞パターン、
YとPrPb個々の出力遅延
 ガンマ補正
 プログラマブルなアダプティブ・フィルタ制御
 完全にプログラマブルなYCrCb-RGBマトリックス
 アンダーシュート・リミッタ
Macrovision Rev 1.2 (525p/625p)
CGMS (525p/625p) およびCGMSタイプB (525p)
 デュアル・データレート (DDR) 入力
EIA/CEA-861B準拠

標準解像度 (SD) プログラマブル機能

16×オーバーサンプリング (216MHz)
 内部テスト・パターン発生機能
 同一色画面、ブラック・バー
 アクティブ・ビデオの開始/終了点に使用されるエッジ処理
YとPrPbの独立した出力遅延設定
 アンダーシュート・リミット機能
 ガンマ補正
 デジタル・ノイズ・リダクション (DNR)
 種々の色信号/輝度信号フィルタの選択
Luma-SSAF™フィルタ (ゲインと減衰量が選択可能)
PrPb SSAF™
 コンポーネントとコンポジット/Sビデオ出力で独立したベダ
 スタル制御
VCR FF/RW同期モード
Macrovision Rev 7.1.L1
 コピー・ジェネレーション・マネジメント・システム
(CGMS) 出力
ワイド・スクリーン信号出力 (WSS)
クローズド・キャプション信号出力
EIA/CEA-861B準拠

概要

ADV7390/ADV7391/ADV7392/ADV7393の各製品は、単一のモノリシック・チップに集積した高速D/Aビデオ・エンコーダです。3個の2.7V/3.3V 10ビット・ビデオDACが、標準解像度 (SD) または高精細 (HD) のビデオ・フォーマットで、コンポジット (CVBS)、Sビデオ (YC)、またはコンポーネント (YPrPb/RGB) のアナログ出力に対応します。

これらのエンコーダは低消費電力動作のために最適化されており、フットプリントも最小限に抑えて、外付け部品もわずかしかなければならないため、TV出力機能を必要とする、携帯機器や低消費電力の必要とされるアプリケーションに最適です。ケーブル検出やDAC自動パワーダウン機能を備えているため、未使用時の消費電力を最小限に抑えます。

ADV7390/ADV7391は、SDRインターフェースでSDビデオ・フォーマットから、DDRインターフェースでHDビデオ・フォーマットまでに対応する、8ビットのビデオ入力ポートを備えています。

ADV7392/ADV7393の16ビット・ビデオ入力ポートを持ちさまざまな方法で設定できます。SD RGB入力にも対応します。

これらの製品はすべて、組込みEAV/SAVタイミング・コード、外部ビデオ同期信号、I²CおよびSPI通信プロトコルに対応します。

表1は、ADV739xファミリーで直接対応するビデオ規格を示します。

表1. ADV739x¹で直接対応する規格

Resolution	I/P ²	Frame Rate (Hz)	Clock Input (MHz)	Standard
720 × 240	P	59.94	27	
720 × 288	P	50	27	
720 × 480	I	29.97	27	ITU-R BT.601/656
720 × 576	I	25	27	ITU-R BT.601/656
720 × 480	I	29.97	24.54	NTSC Square Pixel
720 × 576	I	25	29.5	PAL Square Pixel
720 × 483	P	59.94	27	SMPTE 293M
720 × 483	P	59.94	27	BTA T-1004
720 × 483	P	59.94	27	ITU-R BT.1358
720 × 576	P	50	27	ITU-R BT.1358
720 × 483	P	59.94	27	ITU-R BT.1362
720 × 576	P	50	27	ITU-R BT.1362
1920 × 1035	I	30	74.25	SMPTE 240M
1920 × 1035	I	29.97	74.1758	SMPTE 240M
1280 × 720	P	60, 50, 30, 25, 24	74.25	SMPTE 296M
1280 × 720	P	23.97, 59.94, 29.97	74.1758	SMPTE 296M
1920 × 1080	I	30, 25	74.25	SMPTE 274M
1920 × 1080	I	29.97	74.1758	SMPTE 274M
1920 × 1080	P	30, 25, 24	74.25	SMPTE 274M
1920 × 1080	P	23.98, 29.97	74.1758	SMPTE 274M
1920 × 1080	P	24	74.25	ITU-R BT.709-5

¹ その他の規格は、ED/HD非標準タイミング・モードで対応します。

² I=インターレース、P=プログレッシブ。

仕様

電源仕様

特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ ($-40 \sim +85^{\circ}C$) で規定。

表2

Parameter	Conditions	Min	Typ	Max	Unit
SUPPLY VOLTAGES					
V_{DD}		1.71	1.8	1.89	V
$V_{DD,IO}$		2.97	3.3	3.63	V
PV_{DD}		1.71	1.8	1.89	V
V_{AA}		2.6	3.3	3.465	V
POWER SUPPLY REJECTION RATIO			0.002		%/%

入力クロック仕様

$V_{DD} = 1.71 \sim 1.89V$, $PV_{DD} = 1.71 \sim 1.89V$, $V_{AA} = 2.6 \sim 3.465V$, $V_{DD,IO} = 2.97 \sim 3.63V$ 。

特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ ($-40 \sim +85^{\circ}C$) で規定。

表3

Parameter	Conditions ¹	Min	Typ	Max	Unit
f_{CLKIN}	SD/ED		27		MHz
	ED (at 54 MHz)		54		MHz
	HD		74.25		MHz
CLKIN High Time, t_h		40			% of one clock cycle
CLKIN Low Time, t_l		40			% of one clock cycle
CLKIN Peak-to-Peak Jitter Tolerance			2		$\pm ns$

¹ SD=標準解像度、ED=拡張解像度 (525p/625p)、HD=高精細解像度。

アナログ出力仕様

$V_{DD} = 1.71 \sim 1.89V$, $PV_{DD} = 1.71 \sim 1.89V$, $V_{AA} = 2.6 \sim 3.465V$, $V_{DD,IO} = 2.97 \sim 3.63V$ 。

特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ ($-40 \sim +85^{\circ}C$) で規定。

表4

Parameter	Conditions	Min	Typ	Max	Unit
Full-Drive Output Current	$R_{SET} = 510 \Omega$, $R_L = 37.5 \Omega$	33	34.6	37	mA
Low Drive Output Current	$R_{SET} = 4.12 k\Omega$, $R_L = 300 \Omega$		4.3		mA
DAC-to-DAC Matching	DAC 1, DAC 2, DAC 3		2.0		%
Output Compliance, V_{OC}		0		1.4	V
Output Capacitance, C_{OUT}			10		pF
Analog Output Delay ¹			6		ns
DAC Analog Output Skew	DAC 1, DAC 2, DAC 3		1		ns

¹ 入力クロックの立上がりエッジの50%ポイントからDAC出力フルスケール遷移の50%ポイントまで測定された出力遅延。

ADV7390/ADV7391/ADV7392/ADV7393

デジタル入出力仕様

$V_{DD}=1.71\sim 1.89V$ 、 $PV_{DD}=1.71\sim 1.89V$ 、 $V_{AA}=2.6\sim 3.465V$ 、 $V_{DD_{IO}}=2.97\sim 3.63V$ 。
特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ （ $-40\sim +85^{\circ}C$ ）で規定。

表5

Parameter	Conditions	Min	Typ	Max	Unit
Input High Voltage, V_{IH}		2.0			V
Input Low Voltage, V_{IL}				0.8	V
Input Leakage Current, I_{IN}	$V_{IN} = V_{DD_{IO}}$			± 10	μA
Input Capacitance, C_{IN}			4		pF
Output High Voltage, V_{OH}	$I_{SOURCE} = 400 \mu A$	2.4			V
Output Low Voltage, V_{OL}	$I_{SINK} = 3.2 mA$			0.4	V
Three-State Leakage Current	$V_{IN} = 0.4 V, 2.4 V$			± 1	μA
Three-State Output Capacitance			4		pF

MPUポート・タイミング仕様

$V_{DD}=1.71\sim 1.89V$ 、 $PV_{DD}=1.71\sim 1.89V$ 、 $V_{AA}=2.6\sim 3.465V$ 、 $V_{DD_{IO}}=2.97\sim 3.63V$ 。
特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ （ $-40\sim +85^{\circ}C$ ）で規定。

表6

Parameter	Conditions	Min	Typ	Max	Unit
MPU PORT, I ² C MODE ¹	See Figure 15				
SCL Frequency		0		400	kHz
SCL High Pulse Width, t_1		0.6			μs
SCL Low Pulse Width, t_2		1.3			μs
Hold Time (Start Condition), t_3		0.6			μs
Setup Time (Start Condition), t_4		0.6			μs
Data Setup Time, t_5		100			ns
SDA, SCL Rise Time, t_6				300	ns
SDA, SCL Fall Time, t_7				300	ns
Setup Time (Stop Condition), t_8		0.6			μs
MPU PORT, SPI MODE ¹	See Figure 16				
SCLK Frequency		0		10	MHz
$\overline{SPI_SS}$ to SCLK Setup Time, t_1		20			ns
SCLK High Pulse Width, t_2		50			ns
SCLK Low Pulse Width, t_3		50			ns
Data Access Time after SCLK Falling Edge, t_4				35	ns
Data Setup Time prior to SCLK Rising Edge, t_5		20			ns
Data Hold Time after SCLK Rising Edge, t_6		0			ns
$\overline{SPI_SS}$ to SCLK Hold Time, t_7		0			ns
$\overline{SPI_SS}$ to MISO High Impedance, t_8				40	ns

¹ 特性評価により保証。

ADV7390/ADV7391/ADV7392/ADV7393

デジタル・タイミング仕様

$V_{DD}=1.71\sim 1.89V$ 、 $PV_{DD}=1.71\sim 1.89V$ 、 $V_{AA}=2.6\sim 3.465V$ 、 $V_{DD,IO}=2.97\sim 3.63V$ 。

特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ ($-40\sim +85^{\circ}C$) で規定。

表7

Parameter	Conditions ¹	Min	Typ	Max	Unit
VIDEO DATA AND VIDEO CONTROL PORT ^{2,3}					
Data Input Setup Time, t_{11} ⁴	SD	2.1			ns
	ED/HD-SDR	2.3			ns
	ED/HD-DDR	2.3			ns
	ED (at 54 MHz)	1.7			ns
Data Input Hold Time, t_{12} ⁴	SD	1.0			ns
	ED/HD-SDR	1.1			ns
	ED/HD-DDR	1.1			ns
	ED (at 54 MHz)	1.0			ns
Control Input Setup Time, t_{11} ⁴	SD	2.1			ns
	ED/HD-SDR or ED/HD-DDR	2.3			ns
	ED (at 54 MHz)	1.7			ns
Control Input Hold Time, t_{12} ⁴	SD	1.0			ns
	ED/HD-SDR or ED/HD-DDR	1.1			ns
	ED (at 54 MHz)	1.0			ns
Control Output Access Time, t_{13} ⁴	SD			12	ns
	ED/HD-SDR, ED/HD-DDR, or ED (at 54 MHz)			10	ns
Control Output Hold Time, t_{14} ⁴	SD	4.0			ns
	ED/HD-SDR, ED/HD-DDR, or ED (at 54 MHz)	3.5			ns
PIPELINE DELAY ⁵					
SD ¹					
CVBS/YC Outputs (2x)	SD oversampling disabled		68		clock cycles
CVBS/YC Outputs (8x)	SD oversampling disabled		79		clock cycles
CVBS/YC Outputs (16x)	SD oversampling enabled		67		clock cycles
Component Outputs (2x)	SD oversampling disabled		78		clock cycles
Component Outputs (8x)	SD oversampling disabled		69		clock cycles
Component Outputs (16x)	SD oversampling enabled		84		clock cycles
ED ¹					
Component Outputs (1x)	ED oversampling disabled		41		clock cycles
Component Outputs (4x)	ED oversampling disabled		49		clock cycles
Component Outputs (8x)	ED oversampling enabled		46		clock cycles
HD ¹					
Component Outputs (1x)	HD oversampling disabled		40		clock cycles
Component Outputs (2x)	HD oversampling disabled		42		clock cycles
Component Outputs (4x)	HD oversampling enabled		44		clock cycles
RESET CONTROL					
RESET Low Time		100			ns

¹ SD=標準解像度、ED=拡張解像度 (525p/625p)、HD=高精細解像度、SDR=シングル・データレート、DDR=ダブル・データレート。

² ビデオ・データ: ADV7392/ADV7393の場合はP[15:0]、ADV7390/ADV7391の場合はP[7:0]を使用。

³ ビデオ制御: HSYNC、VSYNC

⁴ 特性評価により保証。

⁵ 設計により保証。

ADV7390/ADV7391/ADV7392/ADV7393

ビデオ性能仕様

表8

Parameter	Conditions	Min	Typ	Max	Unit
STATIC PERFORMANCE					
Resolution			10		Bits
Integral Nonlinearity (INL) ¹	$R_{SET} = 510 \Omega, R_L = 37.5 \Omega$		0.5		LSBs
Differential Nonlinearity (DNL) ^{1,2}	$R_{SET} = 510 \Omega, R_L = 37.5 \Omega$		0.5		LSBs
STANDARD DEFINITION (SD) MODE					
Luminance Nonlinearity			0.5		±%
Differential Gain	NTSC		0.5		%
Differential Phase	NTSC		0.6		Degrees
Signal-to-Noise Ratio (SNR) ³	Luma ramp		58		dB
	Flat field full bandwidth		75		dB
ENHANCED DEFINITION (ED) MODE					
Luma Bandwidth			12.5		MHz
Chroma Bandwidth			5.8		MHz
HIGH DEFINITION (HD) MODE					
Luma Bandwidth			30.0		MHz
Chroma Bandwidth			13.75		MHz

¹ DAC1、DAC2、DAC3で測定

² 微分非直線性 (DNL) とは、実際のDAC出力電圧ステップと理想値との偏差です。+ve DNLの場合、実際のステップ値は理想的なステップ値を上回っています。-ve DNLの場合、実際のステップ値は理想的なステップ値を下回っています。

³ 10ビット入力モードのADV7392/ADV7393動作で測定されます。

電源仕様

表9

Parameter	Conditions	Min	Typ	Max	Unit
NORMAL POWER MODE ^{1,2}					
I_{DD} ³	SD (16x oversampling enabled), CVBS		33		mA
	SD (16x oversampling enabled), YPrPb		68		mA
	ED (8x oversampling enabled) ⁴		59		mA
	HD (4x oversampling enabled) ⁴		81		mA
I_{DD_IO}			1		mA
I_{AA} ⁵	1 DAC enabled		50		mA
	All DACs enabled		122		mA
I_{PLL}			4		mA
SLEEP MODE					
I_{DD}			5		μA
I_{AA}			0.3		μA
I_{DD_IO}			0.2		μA
I_{PLL}			0.1		μA

¹ $R_{SET} = 510 \Omega$ (フルドライブ・モードですべてのDACが動作)。

² ピクセル・データ・入力ピンに75%のカラー・バー・テスト・パターンを印加。

³ I_{DD} は、デジタル・コアの駆動に必要な連続電流です。

⁴ シングル・データレート (SDR) 入力モードとダブル・データレート (DDR) 入力モードの両方に適用可能。

⁵ I_{AA} は、すべてのDACへの供給に必要な合計電流です。

タイミング図

図2～9では以下の略号を使用します。

- t_9 = クロック・ハイレベル時間
- t_{10} = クロック・ローレベル時間
- t_{11} = データ・セットアップ時間
- t_{12} = データ・ホールド時間
- t_{13} = 制御出力アクセス時間
- t_{14} = 制御出力ホールド時間

ADV7390/ADV7391の入力設定については表30、ADV7392/ADV7393の入力設定については表31を参照してください。

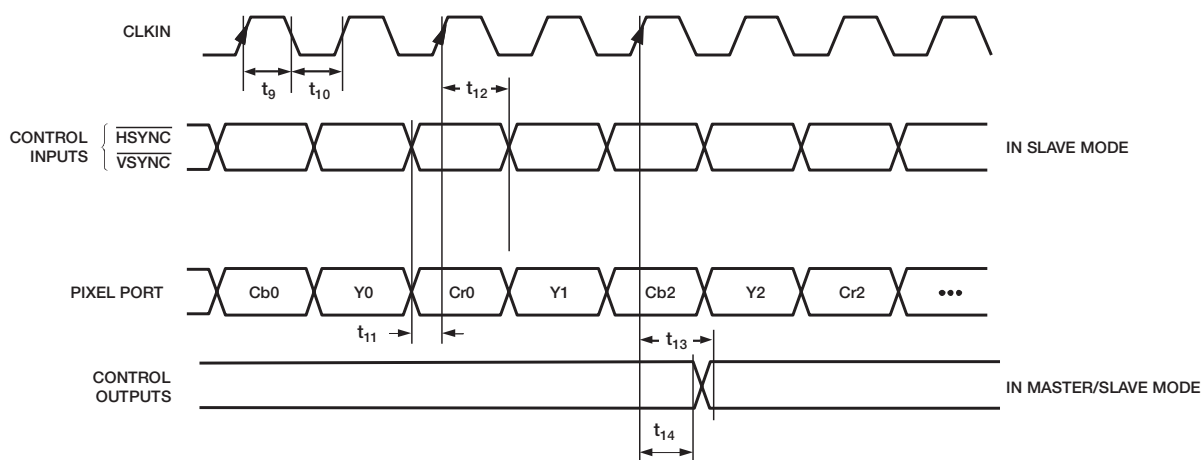


図2. SD入力、8/10ビット、4:2:2 YCrCb (入力モード000)

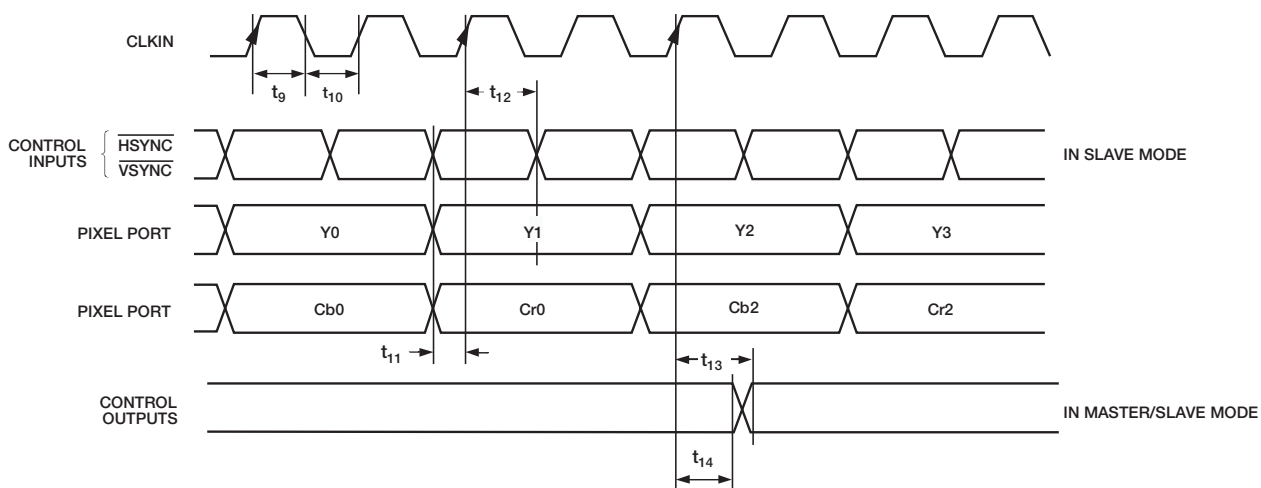


図3. SD入力、16ビット、4:2:2 YCrCb (入力モード000)

ADV7390/ADV7391/ADV7392/ADV7393

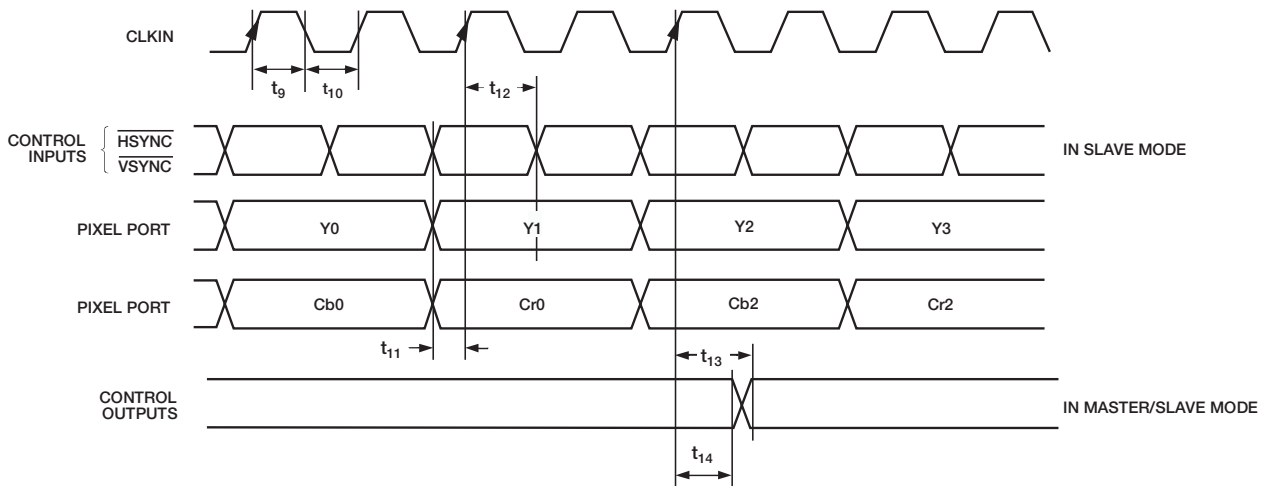


図4. SD入力、16ビット、4:4:4 RGB (入力モード000)

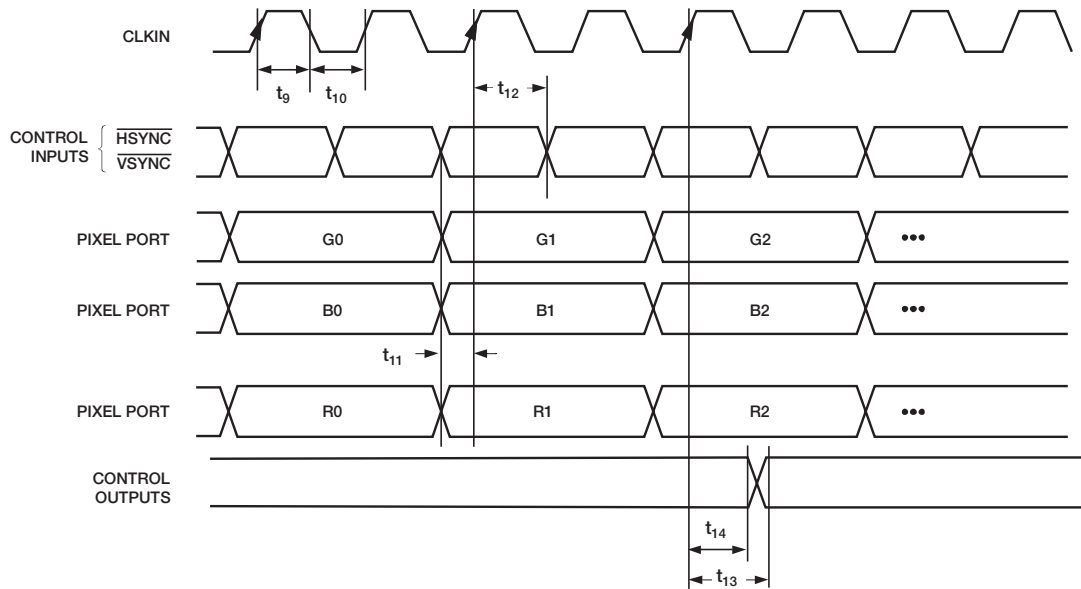
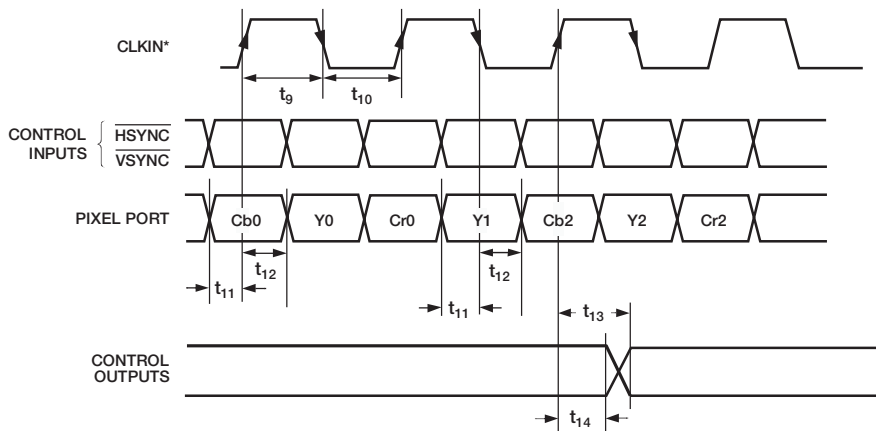


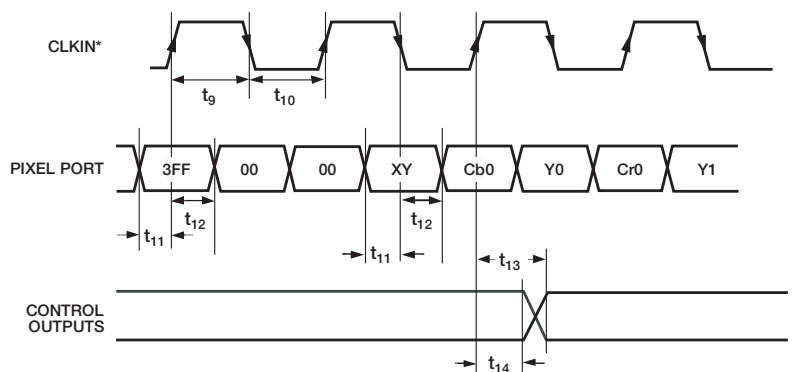
図5. ED/HD-SDR入力、16ビット、4:2:2 YCrCb (入力モード001)



*LUMA/CHROMA CLOCK RELATIONSHIP CAN BE INVERTED USING SUBADDRESS 0x01, BITS 1 AND 2.

図6. ED/HD-DDR入力、8/10ビット、4:2:2 YCrCb (HSYNC/VSYNC)、入力モード010

ADV7390/ADV7391/ADV7392/ADV7393



*LUMA/CHROMA CLOCK RELATIONSHIP CAN BE INVERTED USING SUBADDRESS 0x01, BITS 1 AND 2.

図7. ED/HD-DDR入力、8/10ビット、4:2:2 YCrCb (EAV/SAV)、入力モード010

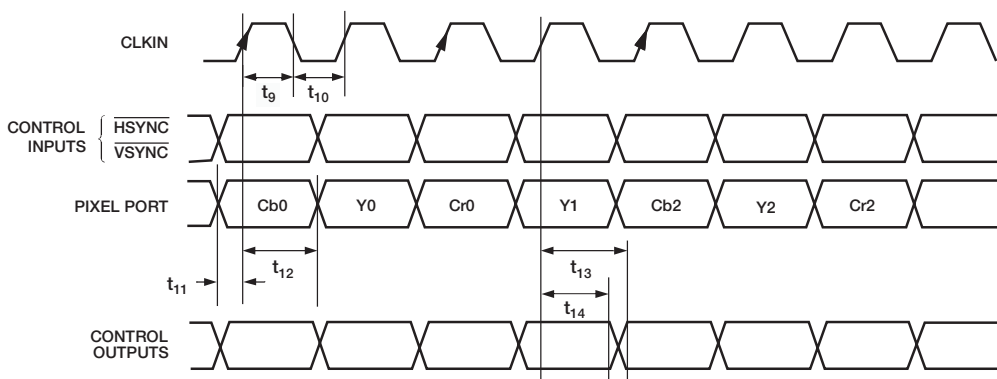


図8. ED (54MHz時) 入力、8/10ビット、4:2:2 YCrCb (HSYNC/VSYNC)、入力モード111

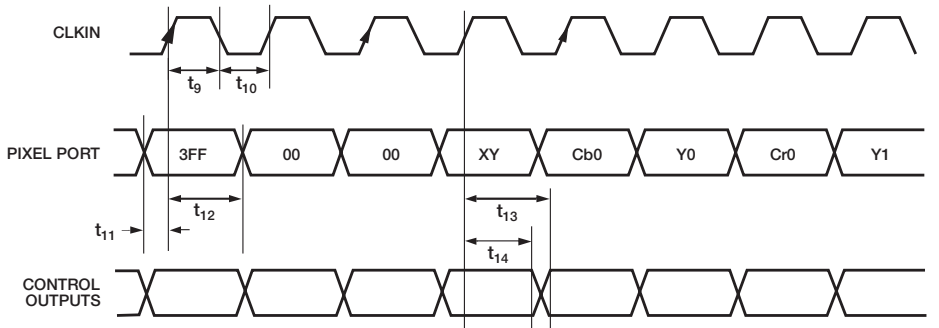
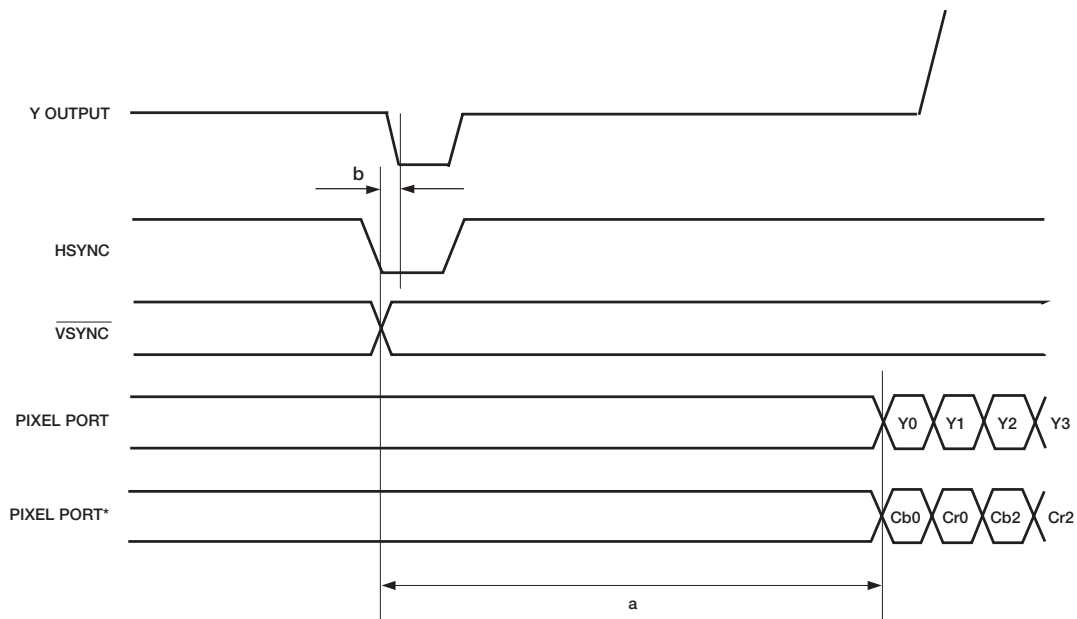


図9. ED (54MHz時) 入力、8/10ビット、4:2:2 YCrCb (EAV/SAV)、入力モード111

ADV7390/ADV7391/ADV7392/ADV7393



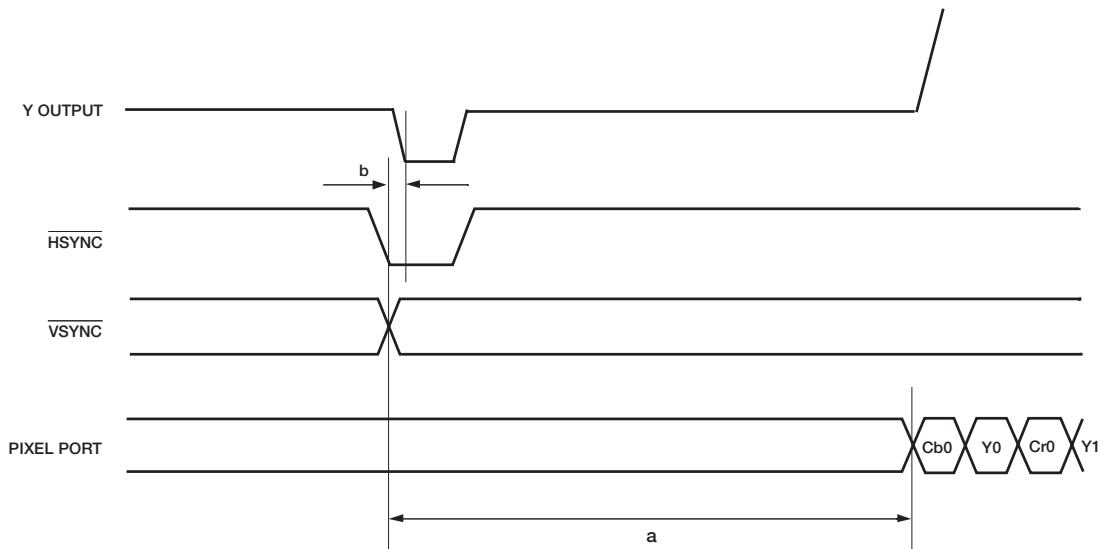
a = AS PER RELEVANT STANDARD.

b = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF $\overline{\text{HSYNC}}$ INTO THE ENCODER GENERATES A SYNC FALLING EDGE ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

図10. ED-SDR、16ビット、4:2:2 YCrCb ($\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$) 入力タイミング図

06234-010



a(MIN) = 244 CLOCK CYCLES FOR 525p.
a(MIN) = 264 CLOCK CYCLES FOR 625p.

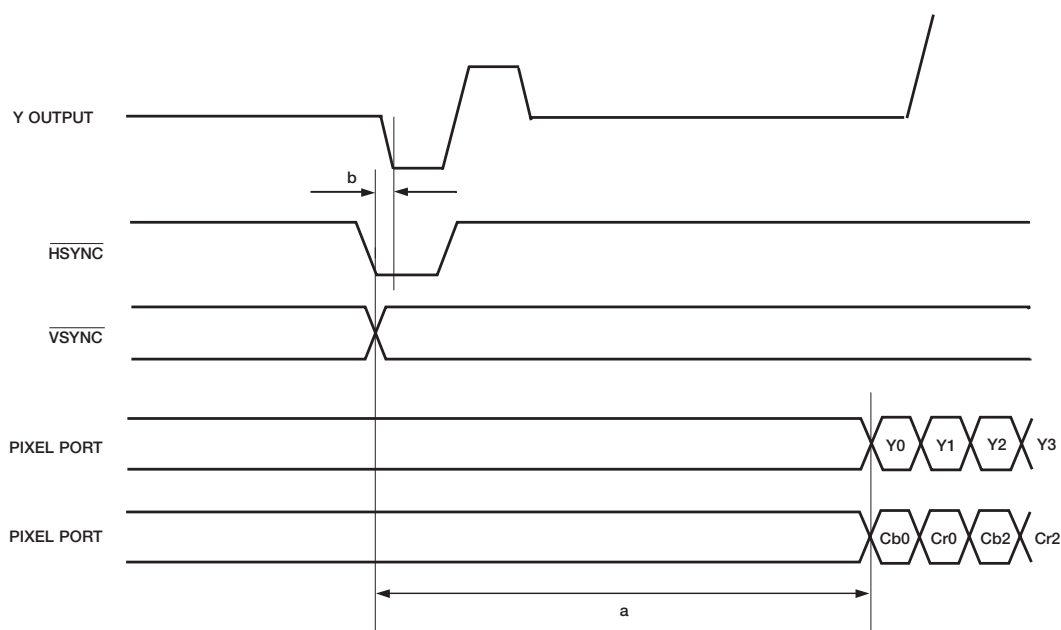
b = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF $\overline{\text{HSYNC}}$ INTO THE ENCODER GENERATES A SYNC FALLING EDGE ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

図11. ED-DDR、8/10ビット、4:2:2 YCrCb ($\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$) 入力タイミング図

06234-011

ADV7390/ADV7391/ADV7392/ADV7393



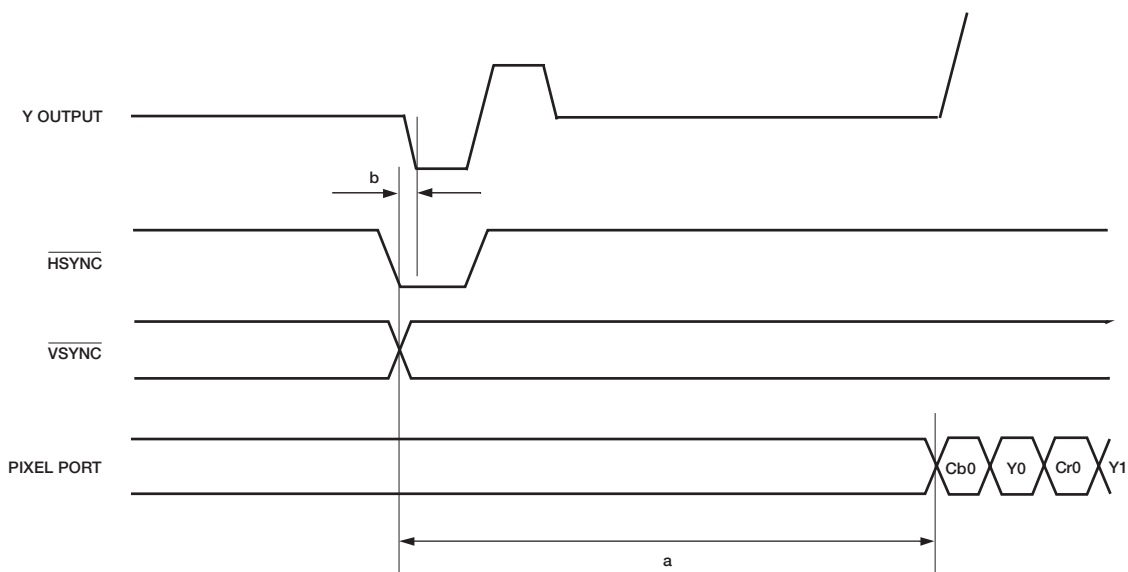
a = AS PER RELEVANT STANDARD.

b = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF HSYNC INTO THE ENCODER GENERATES A FALLING EDGE OF TRI-LEVEL SYNC ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

図12. HD-SDR、16ビット、4:2:2 YCrCb (HSYNC/VSYNC) 入力タイミング図

06234-012



a = AS PER RELEVANT STANDARD.

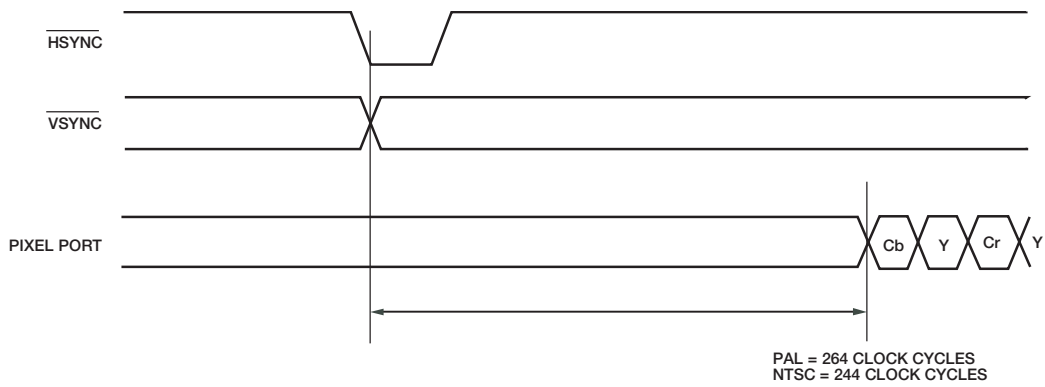
b = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF HSYNC INTO THE ENCODER GENERATES A FALLING EDGE OF TRI-LEVEL SYNC ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

図13. HD-DDR、8/10ビット、4:2:2 YCrCb (HSYNC/VSYNC) 入力タイミング図

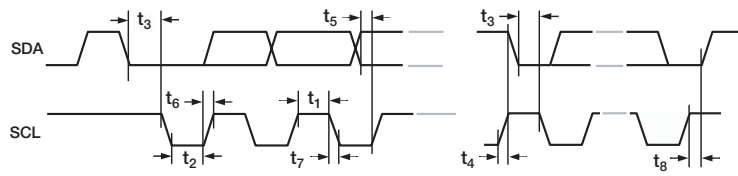
06234-013

ADV7390/ADV7391/ADV7392/ADV7393



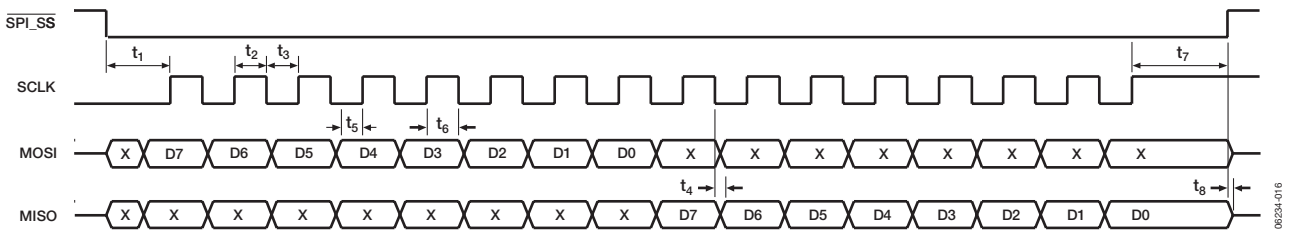
06234-014

図14. SD入カタイミング図 (タイミング・モード1)



06234-015

図15. MPUポートのタイミング図 (I²Cモード)



06234-016

図16. MPUポートのタイミング図 (SPIモード)

絶対最大定格

表10

Parameter ¹	Rating
V _{AA} to AGND	-0.3 V to +3.9 V
V _{DD} to DGND	-0.3 V to +2.3 V
PV _{DD} to PGND	-0.3 V to +2.3 V
V _{DD_IO} to GND_IO	-0.3 V to +3.9 V
V _{AA} to V _{DD}	-0.3 V to +2.2 V
V _{DD} to PV _{DD}	-0.3 V to +0.3 V
V _{DD_IO} to V _{DD}	-0.3 V to +2.2 V
AGND to DGND	-0.3 V to +0.3 V
AGND to PGND	-0.3 V to +0.3 V
AGND to GND_IO	-0.3 V to +0.3 V
DGND to PGND	-0.3 V to +0.3 V
DGND to GND_IO	-0.3 V to +0.3 V
PGND to GND_IO	-0.3 V to +0.3 V
Digital Input Voltage to GND_IO	-0.3 V to V _{DD_IO} + 0.3 V
Analog Outputs to AGND	-0.3 V to V _{AA}
Storage Temperature Range (t _s)	-60°C to +100°C
Junction Temperature (t _j)	150°C
Lead Temperature (Soldering, 10 sec)	260°C

¹ 任意の電源またはコモンに対するアナログ出力の短絡時間は、無限とすることができます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。1つでもパラメータの絶対最大定格を超えると、デバイスに影響を与える可能性があります。

熱抵抗

θ_{JA}は、ワースト・ケースの条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表11. 熱抵抗¹

Package Type	θ _{JA} ²	θ _{JC}	Unit
32-Lead LFCP	27	32	°C/W
40-Lead LFCSP	26	32	°C/W

¹ JEDEC4層テスト・ボードに基づく値です。

² LFCSPの下側の露出金属パッドはPCBグラウンドにハンダ付けします。

ADV739xは鉛フリー製品です。リード仕上げには、純度100%のSn電気メッキを施しています。RoHSに準拠した本品は、最大255°C (±5°C) のIRリフロー (JEDEC STD-20) に対応した鉛フリー・アプリケーションに適用できます。

ADV739xは、従来のSnPbハンダ処理と後方互換性があります。電気メッキによるSnコーティングは、従来のリフロー温度 (220~235°C) でSnPbハンダ・ペーストによりハンダ処理できます。

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ADV7390/ADV7391/ADV7392/ADV7393

ピン配置と機能の説明

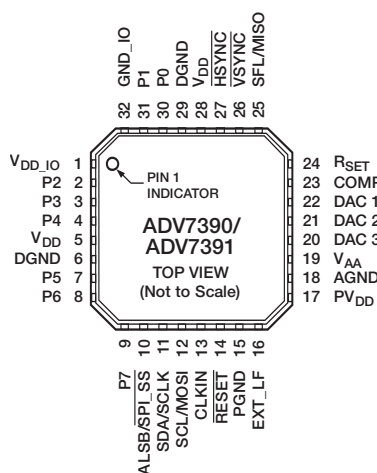


図17. ADV7390/ADV7391のピン配置

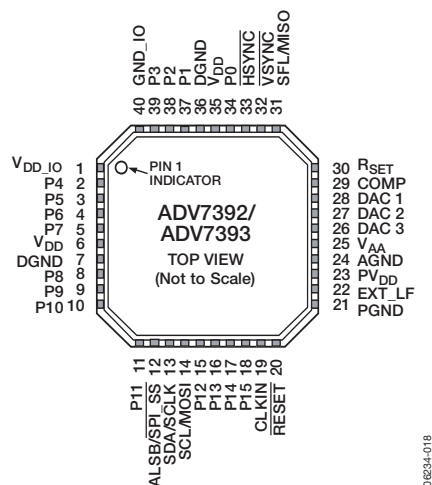


図18. ADV7392/ADV7393のピン配置

表12. ピン機能の説明

ピン番号		記号	入出力	説明
ADV7390/91	ADV7392/93			
9 to 7, 4 to 2, 31, 30		P7 to P0	I	8ビット・ピクセル・ポート (P7~P0)。P0はLSBです。入力モード (ADV7390/ADV7391) については、表30を参照してください。
	18 to 15, 11 to 8, 5 to 2, 39 to 37, 34	P15 to P0	I	16ビット・ピクセル・ポート (P15~P0)。P0はLSBです。入力モード (ADV7392/ADV7393) については、表31を参照してください。
13	19	CLKIN	I	HD (74.25MHz)、ED ¹ (27MHzまたは54MHz)、またはSD (27MHz) のピクセル・クロック入力
27	33	$\overline{\text{HSYNC}}$	I/O	水平同期信号。このピンを設定してSD、ED、またはHDの水平同期信号を出力することもできます。「水平/垂直外部同期制御」を参照してください。
26	32	$\overline{\text{VSYNC}}$	I/O	垂直同期信号。このピンを設定してSD、ED、またはHDの垂直同期信号を出力することもできます。「水平/垂直外部同期制御」の項を参照してください。
25	31	SFL/MISO	I/O	多機能ピン：サブキャリア周波数ロック (SFL) 入力/SPIデータ出力 (MISO)。SFL入力を使って、カラー・サブキャリアDDSシステム、タイミング・リセット、またはサブキャリア・リセットを駆動します。
24	30	R _{SET}	I	DAC1、DAC2、DAC3の各出力の振幅を制御します。フルドライブ動作 (たとえば37.5Ω負荷に対する駆動) の場合はR _{SET} とAGNDの間に510Ωの抵抗を接続し、ロードドライブ動作 (たとえば300Ω負荷に対する駆動) の場合はR _{SET} とAGNDの間に4.12kΩの抵抗を接続する必要があります。
23	29	COMP	O	補償ピン。COMPとV _{AA} の間に2.2nFコンデンサを接続します。
22, 21, 20	28, 27, 26	DAC 1, DAC 2, DAC 3	O	DAC出力。フルドライブおよびロードドライブ対応のDAC。
12	14	SCL/MOSI	I	多機能ピン：I ² Cクロック入力/SPIデータ入力。
11	13	SDA/SCLK	I/O	多機能ピン：I ² Cデータ入出力。SPIクロック入力としても機能。
10	12	ALSB/ $\overline{\text{SPI_SS}}$	I	多機能ピン：ALSBで、MPU I ² CアドレスのLSB ² /SPIスレーブ選択 ($\overline{\text{SPI_SS}}$) を設定します。

ADV7390/ADV7391/ADV7392/ADV7393

ピン番号		記号	入出力	説明
ADV7390/91	ADV7392/93			
14	20	$\overline{\text{RESET}}$	I	内蔵ジェネレータをリセットして、ADV739xをデフォルト・モードに設定します。
19	25	V_{AA}	P	アナログ電源 (3.3V)
5, 28	6, 35	V_{DD}	P	デジタル電源 (1.8V)。両電源構成の場合、 V_{DD} はフェライト・ビーズまたは適正なフィルタリングを介して他の1.8V電源に接続できます。
1	1	V_{DD_IO}	P	入出力デジタル電源 (3.3V)
17	23	PV_{DD}	P	PLL電源 (1.8V)。両電源構成の場合、 PV_{DD} はフェライト・ビーズまたは適正なフィルタリングを介して他の1.8V電源に接続できます。
16	22	EXT_LF	I	内部PLL用の外部ループ・フィルタ
15	21	PGND	G	PLLグラウンド・ピン
18	24	AGND	G	アナログ・グラウンド・ピン
6, 29	7, 36	DGND	G	デジタル・グラウンド・ピン
32	40	GND_IO	G	入出力電源グラウンド・ピン

¹ ED=拡張解像度 (525p/625p)

² LSB=最下位ビット。ADV7390ではLSBを0にセットすると、FCアドレスは0xD4に設定され、LSBを1にセットすると、FCは0xD6に設定されます。ADV7391ではLSBを0にセットすると、FCアドレスは0x54に設定され、1にセットするとFCは0x56に設定されます。

代表的な性能特性

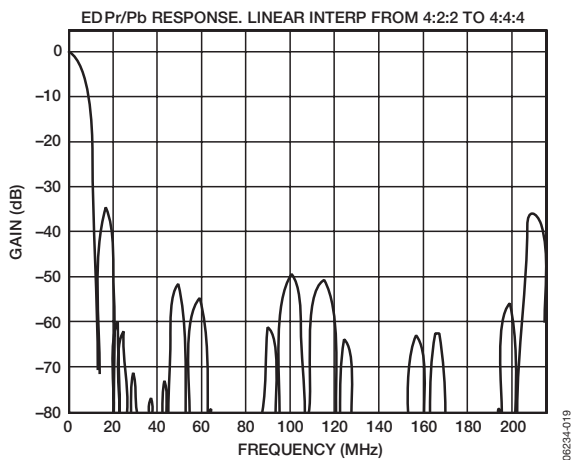


図19. ED 8×オーバーサンプリング、PrPbフィルタ (リニア) 応答

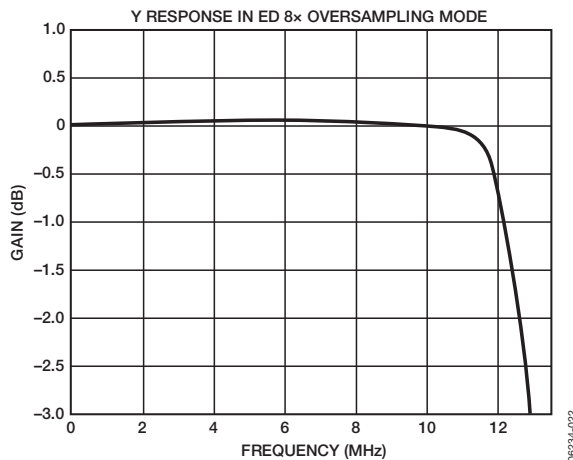


図22. ED 8×オーバーサンプリング、Yフィルタ応答 (通過帯域にフォーカス)

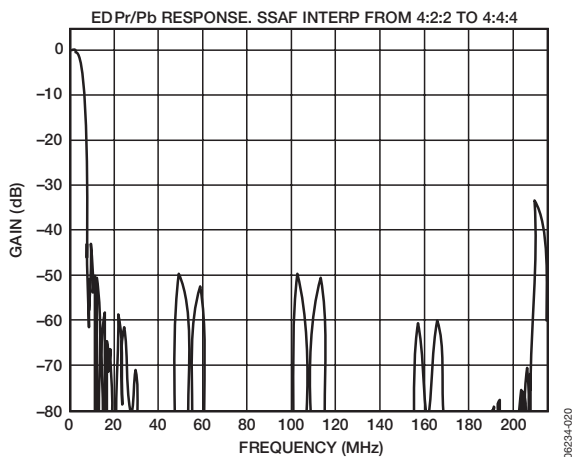


図20. ED 8×オーバーサンプリング、PrPbフィルタ (SSAF) 応答

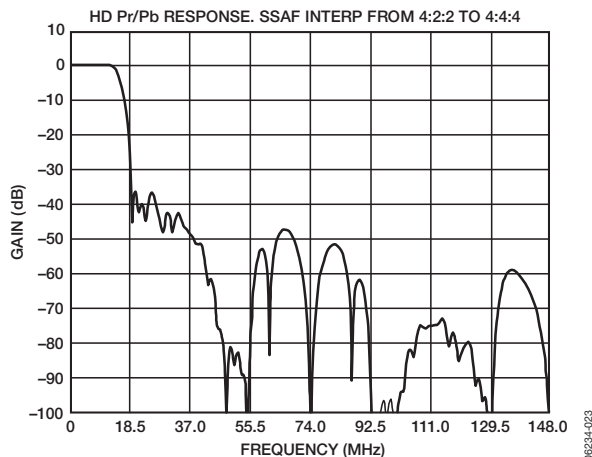


図23. HD 4×オーバーサンプリング、PrPb (SSAF) フィルタ応答 (4:2:2入力)

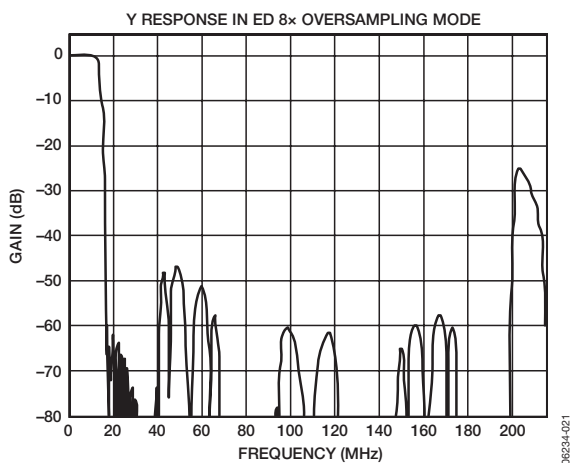


図21. ED 8×オーバーサンプリング、Yフィルタ応答

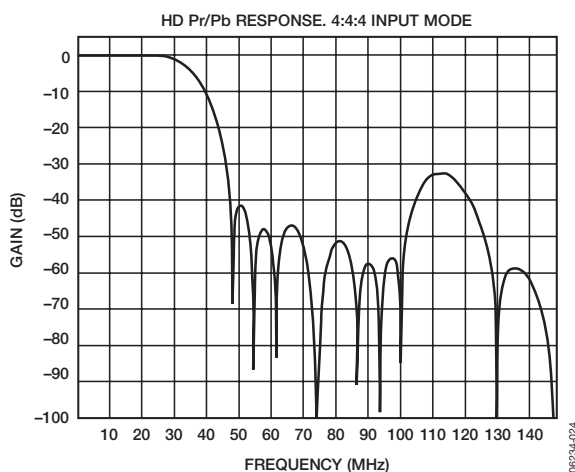


図24. HD 4×オーバーサンプリング、PrPb (SSAF) フィルタ応答 (4:4:4入力)

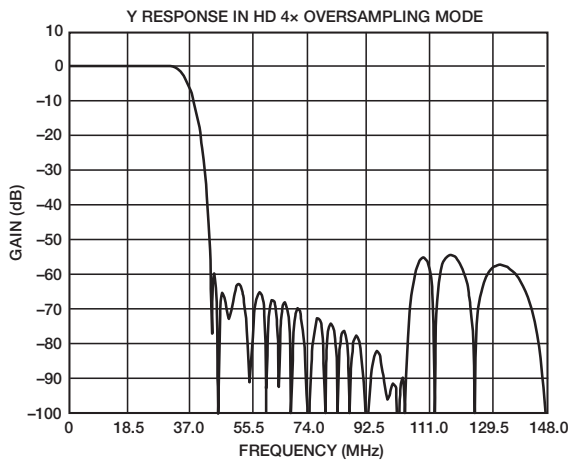


図25. HD 4×オーバーサンプリング、Yフィルタ応答

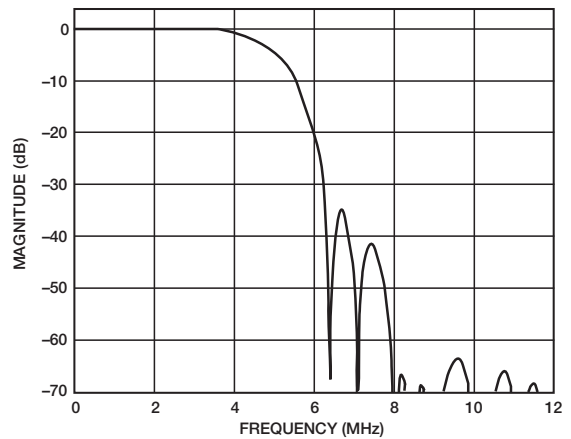


図28. SD PAL、輝度信号ローパス・フィルタ応答

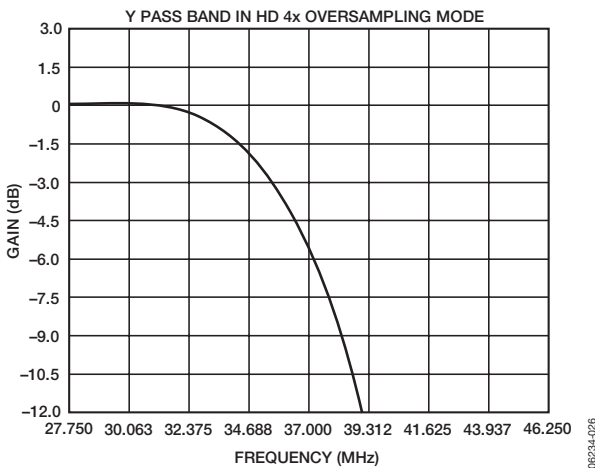


図26. HD 4×オーバーサンプリング、Yフィルタ応答（通過帯域にフォーカス）

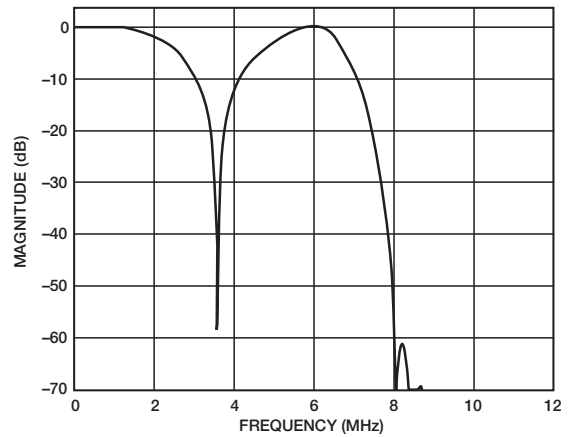


図29. SD NTSC、輝度信号ノッチ・フィルタ応答

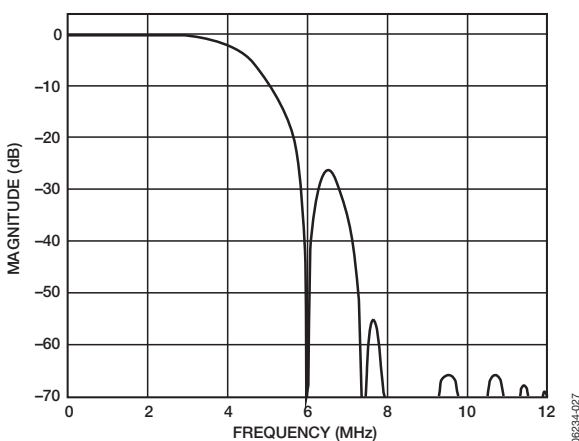


図27. SD NTSC、輝度信号ローパス・フィルタ応答

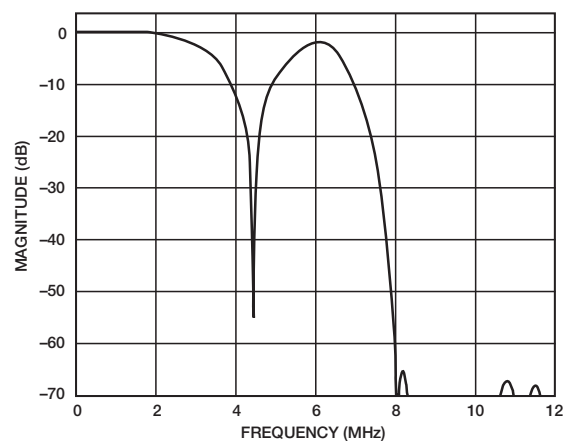


図30. SD PAL、輝度信号ノッチ・フィルタ応答

ADV7390/ADV7391/ADV7392/ADV7393

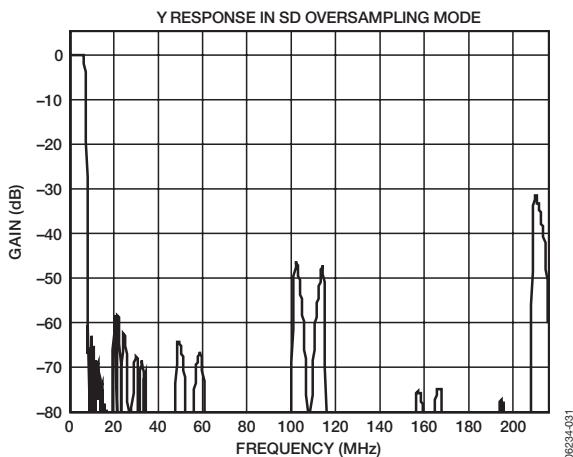


図31. SD 16×オーバーサンプリング、Yフィルタ応答

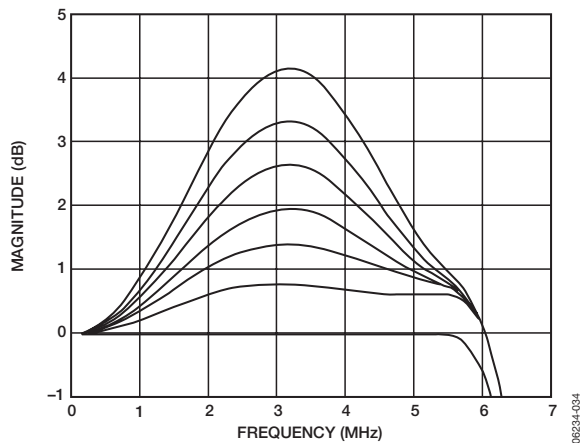


図34. SD輝度信号SSAFフィルタ、プログラマブル・ゲイン

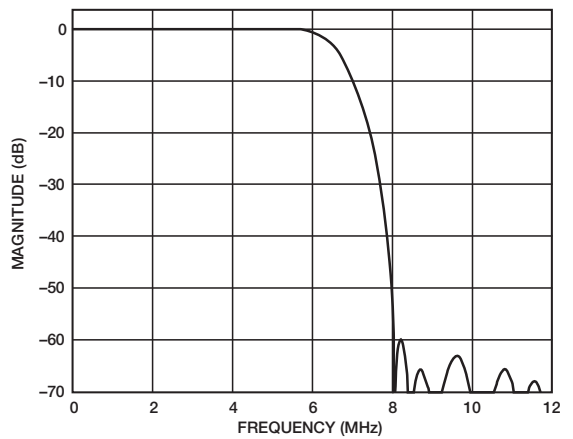


図32. SD輝度信号SSAFフィルタ応答 (最大12MHz)

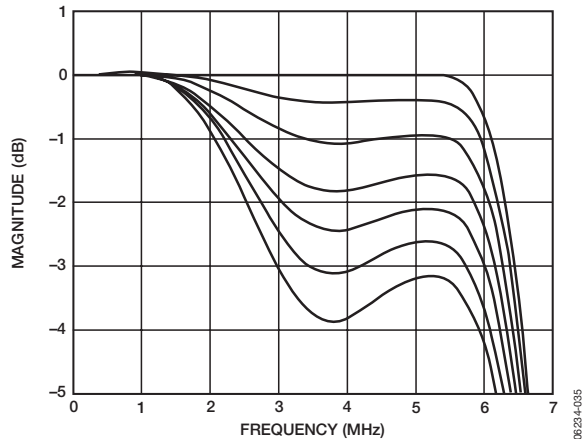


図35. SD輝度信号SSAFフィルタ、プログラマブル減衰

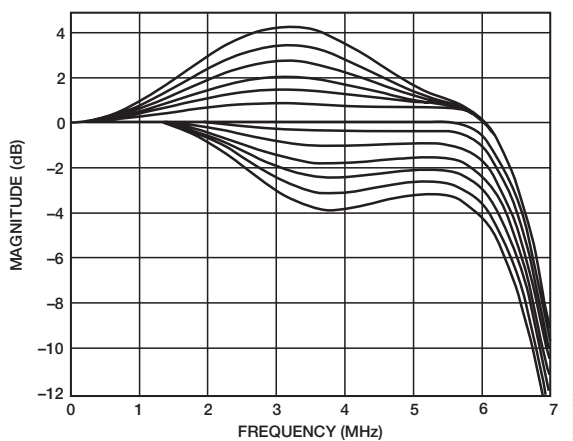


図33. SD輝度信号SSAFフィルタ、プログラマブル応答

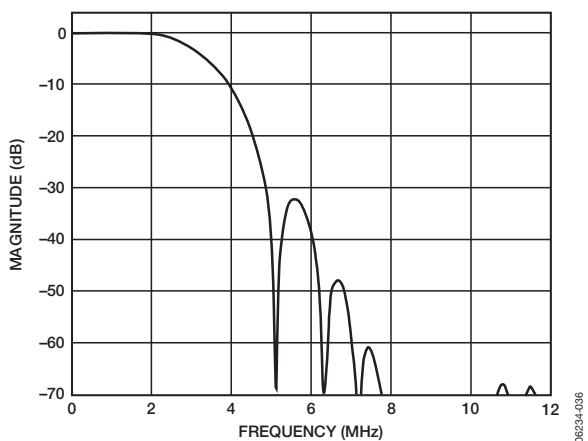


図36. SD輝度信号CIFローパス・フィルタ応答

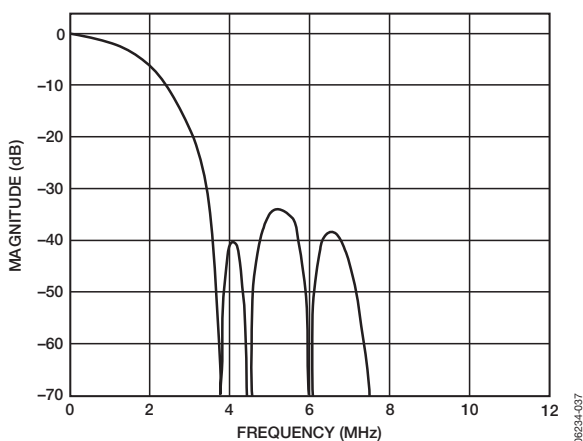


図37. SD輝度信号QCIFローパス・フィルタ
応答

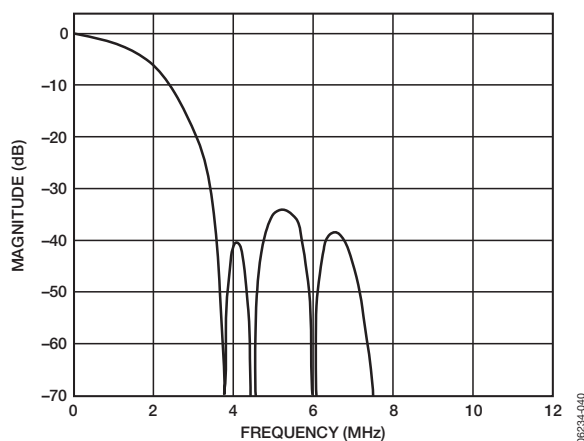


図40. SD色信号1.3MHzローパス・フィルタ
応答

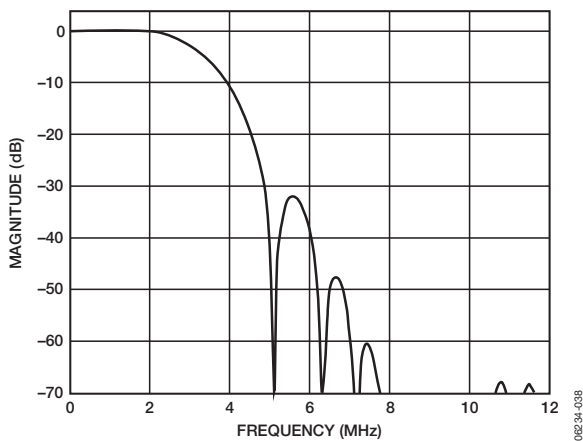


図38. SD色信号3.0MHzローパス・フィルタ
応答

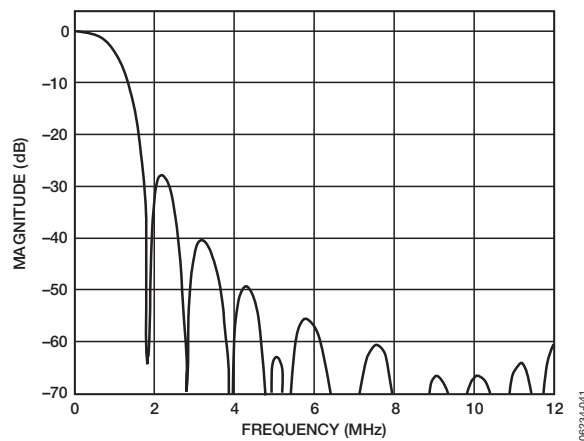


図41. SD色信号1.0MHzローパス・フィルタ
応答

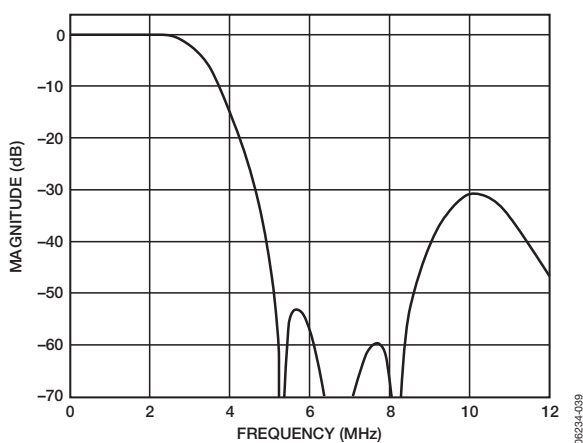


図39. SD色信号2.0MHzローパス・フィルタ
応答

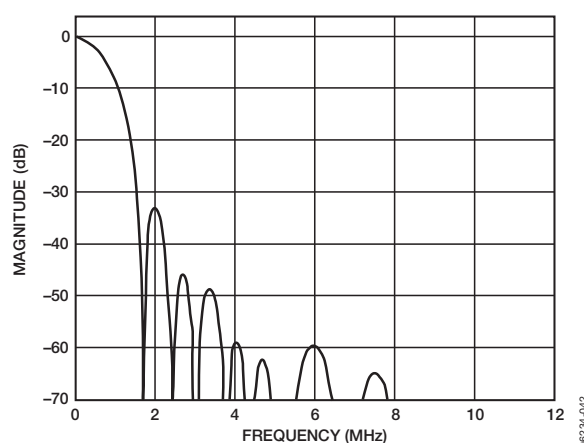


図42. SD色信号0.65MHzローパス・フィルタ
応答

ADV7390/ADV7391/ADV7392/ADV7393

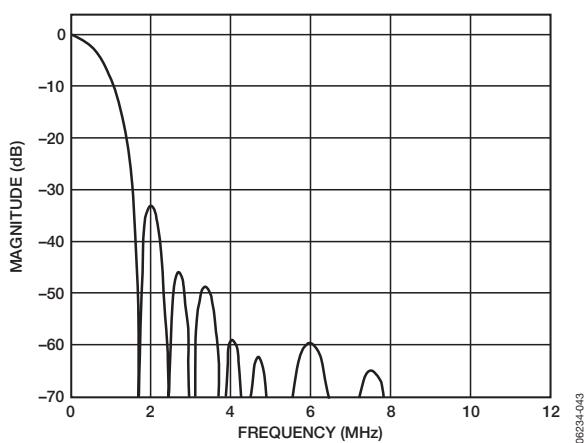


図43. SD色信号CIFローパス・フィルタ応答

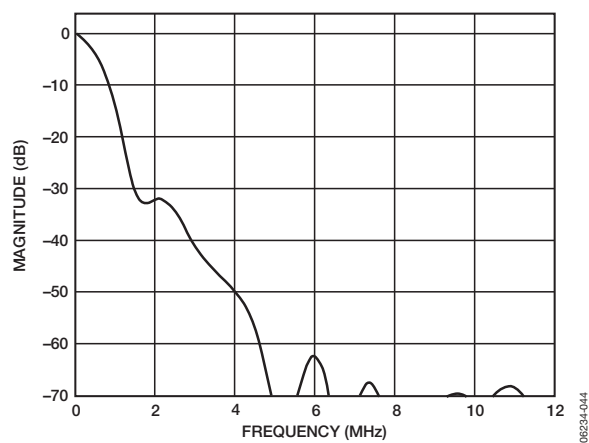


図44. SD色信号QCIFローパス・フィルタ応答

MPUポートの説明

マイクロプロセッサなどのデバイスは、以下のいずれかのプロトコルを使ってADV739xと通信できます。

- 2線式シリアル (I²C互換) バス
- 4線式シリアル (SPI互換) バス

パワーアップまたはリセット後に、MPUポートはI²C動作用に設定されます。SPI動作は、「SPI動作」で示す手順に従って、いつでも起動できます。

I²C動作

ADV739xは、複数のペリフェラルを駆動する2線式シリアル (I²C互換) マイクロプロセッサ・バスに対応します。このポートはオープン・ドレイン構成で動作します。シリアル・データ (SDA) とシリアル・クロック (SCL) の2本の入力、バスに接続した任意のデバイスとADV739x間で情報を伝達します。各スレーブ・デバイスは独自のアドレスによって識別されます。ADV739xでは、読出し動作と書き込み動作に対して4つのスレーブ・アドレスを使用できます。これらは各デバイスに固有のアドレスであり、これを図45と図46に示します。LSBで読出し動作または書き込み動作を指定します。ロジック1は読出し動作に、ロジック0は書き込み動作に対応します。A1を制御するには、ADV739xのALS_B/SPI_{SS}ピンをロジック0またはロジック1に設定します。

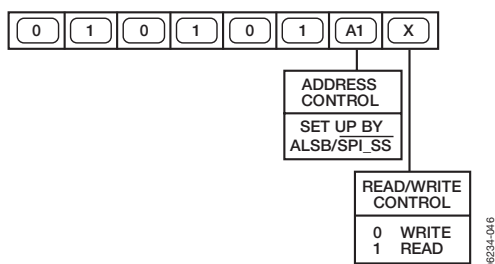


図45. ADV7390/ADV7392スレーブ・アドレス=0xD4または0xD6

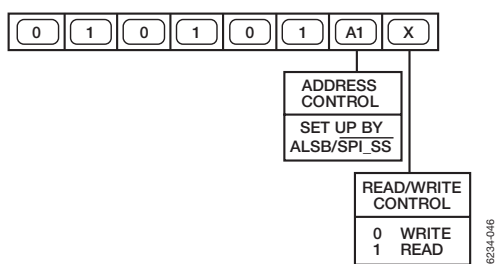


図46. ADV7391/ADV7393スレーブ・アドレス=0x54または0x56

バス上のさまざまなデバイスを制御するには、次のプロトコルを使用します。まず、マスターがスタート条件を設定してデータ転送を開始します。スタート条件とは、SCLがハイレベルのときに、SDAがハイレベルからローレベルに遷移することです。これは、アドレス/データ・ストリームが後に続くことを示しています。すべてのペリフェラルはスタート条件に反応して、次の8ビット (7ビット・アドレス+R/Wビット) を受信します。

各ビットは、MSBからLSBまで転送されます。送信されたアドレスを持つペリフェラルは、9番目のクロック・パルス区間中に、データ・ラインをローレベルに落としてして応答します。これはアクノレッジ・ビットと呼ばれています。この時点で、バス上の他のすべてのデバイスは接続を辞退して、アイドル状態を維持します。アイドル状態では、各デバイスはSDAラインとSCLラインを監視して、スタート条件と送信アドレスが自分のデバイスと一致することを待ちます。データの転送方向はR/Wビットで指定します。

先頭バイトのLSBがロジック0のときは、マスターがペリフェラルに情報を書き込むことを意味します。先頭バイトのLSBがロジック1のときは、マスターがペリフェラルから情報を読み出すことを意味します。

ADV739xはバス上の標準スレーブ・デバイスとして機能します。SDAピン上のデータは8ビット長で、7ビット・アドレスとR/Wビットに対応しています。ADV739xは、先頭バイトをデバイス・アドレスとして、2番目のバイトをサブアドレスの先頭として解釈します。サブアドレスの自動インクリメント機能により、任意の有効なサブアドレスから始まる昇順サブアドレス・シーケンスで、レジスタとの間でデータの書き込み/読出しができるようになります。データ転送は常にストップ状態によって終了します。すべてのレジスタを更新しなくても、固有のサブアドレス・レジスタに1個ずつアクセスすることもできます。

ストップ条件とスタート条件は、データ転送の任意のステージで検出できます。通常の読出し動作と書き込み動作で、これらの条件が正しい順序で発生しないと、直ちにアイドル状態になります。ある特定のSCLハイレベルの区間では、1スタート状態、1ストップ状態、または1ストップ状態に続く1スタート状態のみを発生させます。無効なサブアドレスが指定されると、ADV739xはアクノレッジを発生せずにアイドル状態に戻ります。エンコーダのアドレス指定に自動インクリメント方式を使用し、最高サブアドレスを超えると、次の動作が実行されます。

- 読出しモードでは、マスター・デバイスがノー・アクノレッジを発行するまで、最高サブアドレス・レジスタの値が出力され続けます。これは読出しの終了を意味します。ノー・アクノレッジ状態は、9番目のパルスでSDAラインがローレベルにならないときに発生します。
- 書き込みモードでは、無効バイトのデータはサブアドレス・レジスタにロードされず、ADV739xからノー・アクノレッジが発行されて、デバイスはアイドル状態に戻ります。

図47に、書き込みシーケンスでのデータ転送および、スタート条件とストップ条件の例を示します。図48に、バスの書き込みおよび読出しシーケンスを示します。

ADV7390/ADV7391/ADV7392/ADV7393

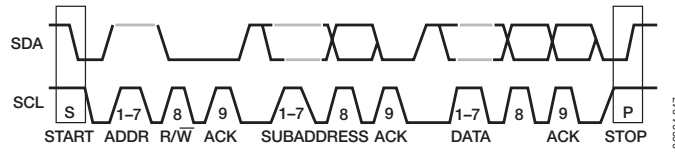


図47. I²Cデータ転送

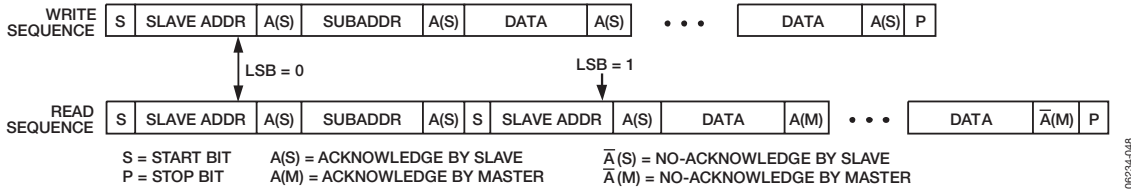


図48. I²C読出し/書込みシーケンス

SPI動作

ADV739xは、複数のペリフェラルに接続する4線式シリアル（SPI互換）バスに対応します。マスター出力スレーブ入力（MOSI）とシリアル・クロック（SCLK）の2本の入力、それにマスター入力スレーブ出力（MISO）の1本の出力が、バスに接続したマスターSPIペリフェラルとADV739x間で情報を伝達します。バス上の各スレーブ・デバイスは、独自のスレーブ・セレクト・ラインでマスターSPIペリフェラルに接続されるスレーブ・セレクト・ピンを備えています。したがって、スレーブ・デバイスのアドレス指定は不要です。

SPI動作を起動する場合、マスターSPIペリフェラル（たとえばマイクロプロセッサ）はADV739xのALS \bar{B} /SPI $\bar{S}\bar{S}$ ピンで3つのローレベル・パルスが発生します。エンコーダがALS \bar{B} /SPI $\bar{S}\bar{S}$ ピンで3番目の立上がりエッジを検出すると、自動的にSPI通信モードに切り替わります。このSPI通信モードは、ハードウェアのリセットまたはパワーダウンが発生するまで維持されます。

ADV739xを制御するには、読出し/書込みトランザクションに対して次のプロトコルを使用します。まず、マスターがADV739xのALS \bar{B} /SPI $\bar{S}\bar{S}$ ピンをローレベルに駆動および保持することで、データ転送を開始します。ALS \bar{B} /SPI $\bar{S}\bar{S}$ をローに駆動した後の最初のSCLK立上がりエッジで、0xD4と定義された書込みコマンドがMOSIラインを介してADV739xに書き込まれます。MOSIラインに書き込まれる2番目のバイトは、サブアドレスの先頭と解釈されます。MOSIライン上のデータは、MSBファーストで書き込まれ、SCLKの立上がりエッジでクロック入力されます。

サブアドレスの自動インクリメント機能により、任意の有効なサブアドレスから始まる昇順のサブアドレス・シーケンスで、レジスタとの間でデータの書込み/読出しが可能になります。また、固有のサブアドレス・レジスタに1個ずつアクセスすることもできます。

書込みデータ転送では、8ビット・データバイトが、先頭サブアドレスのすぐ後にMOSIラインを介してMSBファーストでADV739xに書き込まれます。データバイトは、SCLKの立上がりエッジでADV739xにクロック入力されます。すべてのデータバイトが書き込まれると、マスターはADV739xのALS \bar{B} /SPI $\bar{S}\bar{S}$ ピンをハイレベルに駆動および保持することによって、転送を完了します。

読出しデータ転送では、サブアドレスがMOSIライン上でクロック入力された後に、ALS \bar{B} /SPI $\bar{S}\bar{S}$ ピンが駆動されて少なくとも1クロック・サイクルの間ハイレベルに保持されます。その後、ALS \bar{B} /SPI $\bar{S}\bar{S}$ ピンは再駆動されてローレベルに戻されます。ALS \bar{B} /SPI $\bar{S}\bar{S}$ ピンがローレベルに駆動された後の最初のSCLK立上がりエッジでは、0xD5と定義された読出しコマンドがMOSIラインを介してMSBファーストでADV739xに書き込まれます。次に、8ビット・データバイトが、MISOラインを介してMSBファーストでADV739xから読み出されます。データバイトは、SCLKの立下がりエッジでデバイスからクロック出力されます。すべてのデータバイトが読み出されると、マスターはADV739xのALS \bar{B} /SPI $\bar{S}\bar{S}$ ピンをハイレベルに駆動および保持することによって、転送を完了します。

レジスタ・マップ

マイクロプロセッサは、読み出し専用/書き込み専用と規定されているレジスタを除き、ADV739xのすべてのレジスタに対し、MPUポートを介して読み出し/書き込みができます。

次の読み出し/書き込み動作でアクセスされるレジスタは、サブアドレス・レジスタの値で決まります。MPUポートを介した通信はすべて、サブアドレス・レジスタへのアクセスにより開始されます。その後の読み出し/書き込み動作は指定のアドレスに対して行われ、通信が完了するまで次のアドレスへのインクリメントが行われます。

レジスタの設定

表13~27に各レジスタの機能を説明します。特に指定がない限り、すべてのレジスタに対して読み出しまたは書き込みができません。

サブアドレス・レジスタ (SR7~SR0)

サブアドレス・レジスタは8ビットの書き込み専用レジスタです。MPUポートへのアクセスの後に読み出し/書き込み動作を選択すると、サブアドレスが設定されます。サブアドレス・レジスタの値により、次の動作を実行するレジスタが決まります。

表13. レジスタ0x00

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value	
			7	6	5	4	3	2	1	0			
0x00	Power Mode Register	Sleep Mode. With this control enabled, the current consumption is reduced to μ A level. All DACs and the internal PLL circuit are disabled. Registers can be read from and written to in sleep mode.									0 1	Sleep mode off. Sleep mode on.	0x12
		PLL and Oversampling Control. This control allows the internal PLL circuit to be powered down and the oversampling to be switched off.								0 1	PLL on. PLL off.		
		DAC 3: Power on/off.						0 1				DAC 3 off. DAC 3 on.	
		DAC 2: Power on/off.					0 1					DAC 2 off. DAC 2 on.	
		DAC 1: Power on/off.				0 1						DAC 1 off. DAC 1 on.	
		Reserved.	0	0	0								

ADV7390/ADV7391/ADV7392/ADV7393

表14. レジスタ0x01~0x09

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value		
			7	6	5	4	3	2	1	0				
0x01	Mode	Reserved.									0		0x00	
	Select Register	DDR Clock Edge Alignment. Note: Only used for ED1 and HD DDR modes.							0	0		Chroma clocked in on rising clock edge and luma clocked in on falling clock edge.		
		Reserved.							0	1		Reserved.		
		Reserved.							1	0		Reserved.		
		Reserved.							1	1		Luma clocked in on rising clock edge and chroma clocked in on falling clock edge.		
		Reserved.					0							
		Input Mode. Note: See Reg. 0x30, Bits[7:3] for ED/HD format selection.		0	0	0							SD input.	
				0	0	1							ED/HD-SDR input ²	
		0	1	0							ED/HD-DDR input.			
		0	1	1							Reserved.			
		1	0	0							Reserved.			
		1	0	1							Reserved.			
		1	1	0							Reserved.			
		1	1	1							ED (at 54 MHz) input.			
	Reserved.		0											
0x20	Mode Register 0	Reserved.							0	0		Zero must be written to these bits.	0x20	
		Test Pattern Black Bar. ³						0			Disabled.			
								1			Enabled.			
		Manual RGB Matrix Adjust.					0				Disable manual RGB matrix adjust.			
							1				Enable manual RGB matrix adjust.			
		Sync on RGB.				0					No sync.			
						1					Sync on all RGB outputs.			
RGB/YPrPb Output Select.			0						RGB component outputs.					
			1						YPrPb component outputs.					
SD Sync Output Enable.		0							No sync output.					
		1							Output SD syncs on $\overline{\text{HSYNC}}$ and VSYNC pins.					
ED/HD Sync Output Enable.		0							No sync output.					
		1							Output ED/HD syncs on $\overline{\text{HSYNC}}$ and VSYNC pins.					
0x03	ED/HD CSC Matrix 0							x	x		LSBs for GY.	0x03		
0x04	ED/HD CSC Matrix 1						x	x			LSBs for RV. LSBs for BU. LSBs for GV. LSBs for GU.	0xF0		
		x	x											
0x05	ED/HD CSC Matrix 2	x	x	x	x	x	x	x	x		Bits[9:2] for GY.	0x4E		
0x06	ED/HD CSC Matrix 3	x	x	x	x	x	x	x	x		Bits[9:2] for GU.	0x0E		
0x07	ED/HD CSC Matrix 4	x	x	x	x	x	x	x	x		Bits[9:2] for GV.	0x24		
0x08	ED/HD CSC Matrix 5	x	x	x	x	x	x	x	x		Bits[9:2] for BU.	0x92		
0x09	ED/HD CSC Matrix 6	x	x	x	x	x	x	x	x		Bits[9:2] for RV.	0x7C		

¹ ED=拡張解像度(525p/625p)

² ADV7392/ADV7393(40ピン・デバイス)でのみ使用可。

³ サブアドレス0x31、ビット2もイネーブルする必要があります(ED/HD)。サブアドレス0x84、ビット6もイネーブルする必要があります(SD)。

ADV7390/ADV7391/ADV7392/ADV7393

表15. レジスタ0x0B~0x17

SR7 to SR0	Register	Bit Description	Bit Number							Register Setting	Reset Value		
			7	6	5	4	3	2	1			0	
0x0B	DAC 1, DAC 2, DAC 3 Output Level	Positive Gain to DAC Output Voltage.	0	0	0	0	0	0	0	0	0%	0x00	
			0	0	0	0	0	0	0	1	+0.018%		
			0	0	0	0	0	0	1	0	+0.036%		
				
			0	0	1	1	1	1	1	1	+7.382%		
		0	1	0	0	0	0	0	0	+7.5%			
		Negative Gain to DAC Output Voltage.	1	1	0	0	0	0	0	0	-7.5%		
			1	1	0	0	0	0	0	1	-7.382%		
			1	0	0	0	0	0	1	0	-7.364%		
				
1	1		1	1	1	1	1	1	-0.018%				
0x0D	DAC Power Mode	DAC 1 Low Power Mode.								0 DAC 1 low power disabled 1 DAC 1 low power enabled	0x00		
		DAC 2 Low Power Mode.							0 1	DAC 2 low power disabled DAC 2 low power enabled			
		DAC 3 Low Power Mode.						0 1		DAC 3 low power disabled DAC 3 low power enabled			
		SD/ED Oversample Rate Select.					0 1			SD = 16x, ED = 8x SD = 8x, ED = 4x			
		Reserved.	0	0	0	0							
0x10	Cable Detection	DAC 1 Cable Detect. Read Only.								0 Cable detected on DAC 1 1 DAC 1 unconnected	0x00		
		DAC 2 Cable Detect. Read Only.							0 1	Cable detected on DAC 2 DAC 2 unconnected			
		Reserved.					0	0					
		Unconnected DAC auto power-down.				0 1						DAC auto power-down disable DAC auto power-down enable	
		Reserved.	0	0	0								
0x13	Pixel Port Readback A ¹	P[7:0] Readback (ADV7390/ADV7391). P[15:8] Readback (ADV7392/ADV7393).	x	x	x	x	x	x	x	x	Read only	0xXX	
0x14	Pixel Port Readback B ¹	P[7:0] Readback (ADV7392/ADV7393).	x	x	x	x	x	x	x	x	Read only	0xXX	
0x16	Control Port Readback ¹	Reserved.						x	x	x	Read only	0xXX	
		$\overline{\text{VSYNC}}$ Readback.					x						
		$\overline{\text{HSYNC}}$ Readback.				x							
		SFL/MISO Readback.			x								
		Reserved.	x	x									
0x17	Software Reset	Reserved.								0		0x00	
		Software Reset.							0 1	Writing a 1 resets the device; this is a self-clearing bit			
		Reserved.	0	0	0	0	0	0					

¹ サブアドレス0X01 [6:4]をデフォルト値(000)と同じにして適正な動作が実行されるようにします。

ADV7390/ADV7391/ADV7392/ADV7393

表16. レジスタ0x30

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Value	Reset	
			7	6	5	4	3	2	1	0				
0x30	ED/HD Mode Register 1	ED/HD Output Standard.								0	0	EIA-770.2 output EIA-770.3 output	ED HD	0x00
										0	1	EIA-770.1 output		
										1	0	Output levels for full input range		
								1	1	Reserved				
		ED/HD Input Synchronization Format.								0	External HSYNC, VSYNC and field inputs ¹			
										1	Embedded EAV/SAV codes			
		ED/HD Input Mode.	0	0	0	0	0				SMPTE 293M, ITU-BT.1358 Nonstandard timing mode	525p @ 59.94 Hz		
			0	0	0	0	0	1			BTA-1004, ITU-BT.1362	525p @ 59.94 Hz		
			0	0	0	1	0				ITU-BT.1358	625p @ 50 Hz		
			0	0	0	1	1				ITU-BT.1362	625p @ 50 Hz		
			0	0	1	0	0				SMPTE 296M-1, SMPTE 274M-2	720p @ 60 Hz/59.94 Hz		
			0	0	1	0	1				SMPTE 296M-3	720p @ 50 Hz		
			0	0	1	1	0				SMPTE 296M-4, SMPTE 274M-5	720p @ 30 Hz/29.97 Hz		
			0	1	0	0	0				SMPTE 296M-6	720p @ 25 Hz		
			0	1	0	0	1				SMPTE 296M-7, SMPTE 296M-8	720p @ 24 Hz/23.98 Hz		
			0	1	0	1	0				SMPTE 240M	1035i @ 60 Hz/59.94 Hz		
			0	1	0	1	1				Reserved			
			0	1	1	0	0				Reserved			
			0	1	1	0	1				SMPTE 274M-4, SMPTE 274M-5	1080i @ 30 Hz/29.97 Hz		
			0	1	1	1	0				SMPTE 274M-6	1080i @ 25 Hz		
			0	1	1	1	1				SMPTE 274M-7, SMPTE 274M-8	1080p @ 30 Hz/29.97 Hz		
			1	0	0	0	0				SMPTE 274M-9	1080p @ 25 Hz		
			1	0	0	0	1				SMPTE 274M-10, SMPTE 274M-11	1080p @ 24 Hz/23.98 Hz		
			1	0	0	1	0				ITU-R BT.709-5	1080Psf @ 24 Hz		
		10011 to 11111												
											Reserved			

¹ 同期信号は、サブアドレス0x34のビット6に応じて、HSYNC入力とVSYNC入力の組合せ、またはHSYNC入力とフィールド入力の組合せで制御できます。

ADV7390/ADV7391/ADV7392/ADV7393

表17. レジスタ0x31~0x33

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value		
			7	6	5	4	3	2	1	0				
0x31	ED/HD Mode Register 2	ED/HD Pixel Data Valid.									0	Pixel data valid off	0x00	
											1	Pixel data valid on		
		HD Oversample Rate Select.									0	4x		
											1	2x		
		ED/HD Test Pattern Enable.								0		HD test pattern off		
										1		HD test pattern on		
		ED/HD Test Pattern Hatch/Field.					0					Hatch		
					1					Field/frame				
		ED/HD Vertical Blanking Interval (VBI) Open.				0					Disabled			
						1					Enabled			
		ED/HD Undershoot Limiter.		0	0						Disabled			
				0	1						-11 IRE			
				1	0						-6 IRE			
				1	1						-1.5 IRE			
		ED/HD Sharpness Filter.	0								Disabled			
			1								Enabled			
0x32	ED/HD Mode Register 3	ED/HD Y Delay with Respect to Falling Edge of $\overline{\text{HSYNC}}$.							0	0	0	0 clock cycles	0x00	
									0	0	1	1 clock cycle		
										0	1	0		2 clock cycles
										0	1	1		3 clock cycles
										1	0	0		4 clock cycles
		ED/HD Color Delay with Respect to Falling Edge of $\overline{\text{HSYNC}}$.			0	0	0				0 clock cycles			
					0	0	1				1 clock cycle			
					0	1	0				2 clock cycles			
					0	1	1				3 clock cycles			
					1	0	0				4 clock cycles			
		ED/HD CGMS Enable.		0							Disabled			
				1							Enabled			
		ED/HD CGMS CRC Enable.	0								Disabled			
			1								Enabled			
0x33	ED/HD Mode Register 4	ED/HD Cr/Cb Sequence.									0	Cb after falling edge of $\overline{\text{HSYNC}}$	0x68	
											1	Cr after falling edge of $\overline{\text{HSYNC}}$		
		Reserved.									0	0 must be written to this bit		
		ED/HD Input Format.								0	8-bit input			
										1	10-bit input ¹			
		Sinc Compensation Filter on DAC 1, DAC 2, DAC 3.						0				Disabled		
								1				Enabled		
		Reserved.				0						0 must be written to this bit		
ED/HD Chroma SSAF Filter.			0							Disabled				
			1							Enabled				
Reserved.										1 must be written to this bit				
		ED/HD Double Buffering.	0							Disable				
			1							Enabled				

¹ ADV7392/ADV7393(40ピン・デバイス)でのみ使用可。

ADV7390/ADV7391/ADV7392/ADV7393

表18. レジスタ0x34~0x38

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value	
			7	6	5	4	3	2	1	0			
0x34	ED/HD Mode Register 5	ED/HD Timing Reset.									0	Internal ED/HD timing counters enabled	0x48
										1	Resets the internal ED/HD timing counters		
		ED/HD $\overline{\text{HSYNC}}$ Control. ¹								0	$\overline{\text{HSYNC}}$ output control (refer to Table 50)		
										1			
		ED/HD $\overline{\text{VSYNC}}$ Control. ¹								0	$\overline{\text{VSYNC}}$ output control (refer to Table 51)		
										1			
		Reserved.								1			
		ED Macrovision Enable. ²					0			1	ED Macrovision disabled ED Macrovision enabled		
Reserved.				0					0 must be written to this bit				
		ED/HD $\overline{\text{VSYNC}}$ Input/Field Input.		0				1	0 = Field input 1 = $\overline{\text{VSYNC}}$ input				
		ED/HD Horizontal/Vertical Counter Mode. ³	0					1	Update field/line counter Field/line counter free running				
0x35	ED/HD Mode Register 6	Reserved.								0		0x00	
		Reserved.								0			
		ED/HD Sync on PrPb.								0	Disabled		
										1	Enabled		
		ED/HD Color DAC Swap.					0		1	DAC 2 = Pb, DAC 3 = Pr DAC 2 = Pr, DAC 3 = Pb			
		ED/HD Gamma Correction Curve Select.				0			1	Gamma Correction Curve A Gamma Correction Curve B			
		ED/HD Gamma Correction Enable.			0				1	Disabled Enabled			
		ED/HD Adaptive Filter Mode.		0					1	Mode A Mode B			
ED/HD Adaptive Filter Enable.	0						1	Disabled Enabled					
0x36	ED/HD Y Level ⁴	ED/HD Test Pattern Y Level.	x	x	x	x	x	x	x	x	Y level value	0xA0	
0x37	ED/HD Cr Level ⁴	ED/HD Test Pattern Cr Level.	x	x	x	x	x	x	x	x	Cr level value	0x80	
0x38	ED/HD Cb Level ⁴	ED/HD Test Pattern Cb Level.	x	x	x	x	x	x	x	x	Cb level value	0x80	

¹ サブアドレス0x02、ビット7=1のED/HD同期信号出力イネーブルと共に使用します。

² ADV7390とADV7392のみに適用されます。

³ 0に設定すると、選択した規格のライン/フィールド/フレームの最後で水平/垂直カウンタが自動的にカウント処理します。1に設定すると、水平/垂直カウンタがフリーランになり、外部同期信号によってカウント処理します。

⁴ ED/HD内部テスト・パターンのみで使用(サブアドレス0x31、ビット2=1)。

ADV7390/ADV7391/ADV7392/ADV7393

表19. レジスタ0x39~0x43

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x39	ED/HD Mode Register 7	Reserved.				0	0	0	0	0		0x00
		ED/HD EIA/CEA-861B Synchronization Compliance.			0 1						Disabled Enabled	
		Reserved.	0	0								
0x40	ED/HD Sharpness Filter Gain	ED/HD Sharpness Filter Gain Value A.					0 0 ... 0 1 ... 1	0 0 ... 1 0 ... 1	0 0 ... 1 1 ... 1	0 1 ... 0 0 ... 1	Gain A = 0 Gain A = +1 ... Gain A = +7 Gain A = -8 ... Gain A = -1	0x00
		ED/HD Sharpness Filter Gain Value B.	0 0 ... 0 1 ... 1	0 0 ... 1 0 ... 1	0 0 ... 1 1 ... 1	0 1 ... 0 0 ... 1					Gain B = 0 Gain B = +1 ... Gain B = +7 Gain B = -8 ... Gain B = -1	
0x41	ED/HD CGMS Data 0	ED/HD CGMS Data Bits.	0	0	0	0	C19	C18	C17	C16	CGMS C19 to C16	0x00
0x42	ED/HD CGMS Data 1	ED/HD CGMS Data Bits.	C15	C14	C13	C12	C11	C10	C9	C8	CGMS C15 to C8	0x00
0x43	ED/HD CGMS Data 2	ED/HD CGMS Data Bits.	C7	C6	C5	C4	C3	C2	C1	C0	CGMS C7 to C0	0x00

表20. レジスタ0x44~0x57

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x44	ED/HD Gamma A0	ED/HD Gamma Curve A (Point 24).	x	x	x	x	x	x	x	x	A0	0x00
0x45	ED/HD Gamma A1	ED/HD Gamma Curve A (Point 32).	x	x	x	x	x	x	x	x	A1	0x00
0x46	ED/HD Gamma A2	ED/HD Gamma Curve A (Point 48).	x	x	x	x	x	x	x	x	A2	0x00
0x47	ED/HD Gamma A3	ED/HD Gamma Curve A (Point 64).	x	x	x	x	x	x	x	x	A3	0x00
0x48	ED/HD Gamma A4	ED/HD Gamma Curve A (Point 80).	x	x	x	x	x	x	x	x	A4	0x00
0x49	ED/HD Gamma A5	ED/HD Gamma Curve A (Point 96).	x	x	x	x	x	x	x	x	A5	0x00
0x4A	ED/HD Gamma A6	ED/HD Gamma Curve A (Point 128).	x	x	x	x	x	x	x	x	A6	0x00
0x4B	ED/HD Gamma A7	ED/HD Gamma Curve A (Point 160).	x	x	x	x	x	x	x	x	A7	0x00
0x4C	ED/HD Gamma A8	ED/HD Gamma Curve A (Point 192).	x	x	x	x	x	x	x	x	A8	0x00
0x4D	ED/HD Gamma A9	ED/HD Gamma Curve A (Point 224).	x	x	x	x	x	x	x	x	A9	0x00
0x4E	ED/HD Gamma B0	ED/HD Gamma Curve B (Point 24).	x	x	x	x	x	x	x	x	B0	0x00
0x4F	ED/HD Gamma B1	ED/HD Gamma Curve B (Point 32).	x	x	x	x	x	x	x	x	B1	0x00
0x50	ED/HD Gamma B2	ED/HD Gamma Curve B (Point 48).	x	x	x	x	x	x	x	x	B2	0x00
0x51	ED/HD Gamma B3	ED/HD Gamma Curve B (Point 64).	x	x	x	x	x	x	x	x	B3	0x00
0x52	ED/HD Gamma B4	ED/HD Gamma Curve B (Point 80).	x	x	x	x	x	x	x	x	B4	0x00
0x53	ED/HD Gamma B5	ED/HD Gamma Curve B (Point 96).	x	x	x	x	x	x	x	x	B5	0x00
0x54	ED/HD Gamma B6	ED/HD Gamma Curve B (Point 128).	x	x	x	x	x	x	x	x	B6	0x00
0x55	ED/HD Gamma B7	ED/HD Gamma Curve B (Point 160).	x	x	x	x	x	x	x	x	B7	0x00
0x56	ED/HD Gamma B8	ED/HD Gamma Curve B (Point 192).	x	x	x	x	x	x	x	x	B8	0x00
0x57	ED/HD Gamma B9	ED/HD Gamma Curve B (Point 224).	x	x	x	x	x	x	x	x	B9	0x00

ADV7390/ADV7391/ADV7392/ADV7393

表21. レジスタ0x58~0x5D

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x58	ED/HD Adaptive Filter Gain 1	ED/HD Adaptive Filter Gain 1, Value A.					0	0	0	0	Gain A = 0	0x00
						0	0	0	1	Gain A = +1		
							
						0	1	1	1	Gain A = +7		
						1	0	0	0	Gain A = -8		
							
						1	1	1	1	Gain A = -1		
		ED/HD Adaptive Filter Gain 1, Value B.	0	0	0	0				Gain B = 0		
			0	0	0	1				Gain B = +1		
				
			0	1	1	1				Gain B = +7		
			1	0	0	0				Gain B = -8		
				
			1	1	1	1				Gain B = -1		
0x59	ED/HD Adaptive Filter Gain 2	ED/HD Adaptive Filter Gain 2, Value A.					0	0	0	0	Gain A = 0	0x00
						0	0	0	1	Gain A = +1		
							
						0	1	1	1	Gain A = +7		
						1	0	0	0	Gain A = -8		
							
						1	1	1	1	Gain A = -1		
		ED/HD Adaptive Filter Gain 2, Value B.	0	0	0	0				Gain B = 0		
			0	0	0	1				Gain B = +1		
				
			0	1	1	1				Gain B = +7		
			1	0	0	0				Gain B = -8		
				
			1	1	1	1				Gain B = -1		
0x5A	ED/HD Adaptive Filter Gain 3	ED/HD Adaptive Filter Gain 3, Value A.					0	0	0	0	Gain A = 0	0x00
						0	0	0	1	Gain A = +1		
							
						0	1	1	1	Gain A = +7		
						1	0	0	0	Gain A = -8		
							
						1	1	1	1	Gain A = -1		
		ED/HD Adaptive Filter Gain 3, Value B.	0	0	0	0				Gain B = 0		
			0	0	0	1				Gain B = +1		
				
			0	1	1	1				Gain B = +7		
			1	0	0	0				Gain B = -8		
				
			1	1	1	1				Gain B = -1		
0x5B	ED/HD Adaptive Filter Threshold A	ED/HD Adaptive Filter Threshold A.	x	x	x	x	x	x	x	x	Threshold A	0x00
0x5C	ED/HD Adaptive Filter Threshold B	ED/HD Adaptive Filter Threshold B.	x	x	x	x	x	x	x	x	Threshold B	0x00
0x5D	ED/HD Adaptive Filter Threshold C	ED/HD Adaptive Filter Threshold C.	x	x	x	x	x	x	x	x	Threshold C	0x00

ADV7390/ADV7391/ADV7392/ADV7393

表22. レジスタ0x5E~0x6E

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value	
			7	6	5	4	3	2	1	0			
0x5E	ED/HD CGMS Type B Register 0	ED/HD CGMS Type B Enable.									0 1	Disabled Enabled	0x00
		ED/HD CGMS Type B CRC Enable.								0 1	Disabled Enabled		
		ED/HD CGMS Type B Header Bits.	H5	H4	H3	H2	H1	H0			H5 to H0		
0x5F	ED/HD CGMS Type B Register 1	ED/HD CGMS Type B Data Bits.	P7	P6	P5	P4	P3	P2	P1	P0	P7 to P0	0x00	
0x60	ED/HD CGMS Type B Register 2	ED/HD CGMS Type B Data Bits.	P15	P14	P13	P12	P11	P10	P9	P8	P15 to P8	0x00	
0x61	ED/HD CGMS Type B Register 3	ED/HD CGMS Type B Data Bits.	P23	P22	P21	P20	P19	P18	P17	P16	P23 to P16	0x00	
0x62	ED/HD CGMS Type B Register 4	ED/HD CGMS Type B Data Bits.	P31	P30	P29	P28	P27	P26	P25	P24	P31 to P24	0x00	
0x63	ED/HD CGMS Type B Register 5	ED/HD CGMS Type B Data Bits.	P39	P38	P37	P36	P35	P34	P33	P32	P39 to P32	0x00	
0x64	ED/HD CGMS Type B Register 6	ED/HD CGMS Type B Data Bits.	P47	P46	P45	P44	P43	P42	P41	P40	P47 to P40	0x00	
0x65	ED/HD CGMS Type B Register 7	ED/HD CGMS Type B Data Bits.	P55	P54	P53	P52	P51	P50	P49	P48	P55 to P48	0x00	
0x66	ED/HD CGMS Type B Register 8	ED/HD CGMS Type B Data Bits.	P63	P62	P61	P60	P59	P58	P57	P56	P63 to P56	0x00	
0x67	ED/HD CGMS Type B Register 9	ED/HD CGMS Type B Data Bits.	P71	P70	P69	P68	P67	P66	P65	P64	P71 to P64	0x00	
0x68	ED/HD CGMS Type B Register 10	ED/HD CGMS Type B Data Bits.	P79	P78	P77	P76	P75	P74	P73	P72	P79 to P72	0x00	
0x69	ED/HD CGMS Type B Register 11	ED/HD CGMS Type B Data Bits.	P87	P86	P85	P84	P83	P82	P81	P80	P87 to P80	0x00	
0x6A	ED/HD CGMS Type B Register 12	ED/HD CGMS Type B Data Bits.	P95	P94	P93	P92	P91	P90	P89	P88	P95 to P88	0x00	
0x6B	ED/HD CGMS Type B Register 13	ED/HD CGMS Type B Data Bits.	P103	P102	P101	P100	P99	P98	P97	P96	P103 to P96	0x00	
0x6C	ED/HD CGMS Type B Register 14	ED/HD CGMS Type B Data Bits.	P111	P110	P109	P108	P107	P106	P105	P104	P111 to P104	0x00	
0x6D	ED/HD CGMS Type B Register 15	ED/HD CGMS Type B Data Bits.	P119	P118	P117	P116	P115	P114	P113	P112	P119 to P112	0x00	
0x6E	ED/HD CGMS Type B Register 16	ED/HD CGMS Type B Data Bits.	P127	P126	P125	P124	P123	P122	P121	P120	P127 to P120	0x00	

ADV7390/ADV7391/ADV7392/ADV7393

表23. レジスタ0x80~0x83

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value		
			7	6	5	4	3	2	1	0				
0x80	SD Mode Register 1	SD Standard.								0	0	NTSC	0x10	
										0	1	PAL B, PAL D, PAL G, PAL H, PAL I		
										1	0	PAL M		
		SD Luma Filter.					0	0	0			LPF NTSC		
							0	0	1			LPF PAL		
							0	1	0			Notch NTSC		
							0	1	1			Notch PAL		
							1	0	0			Luma SSAF		
							1	0	1			Luma CIF		
							1	1	0			Luma QCIF		
							1	1	1			Reserved		
		SD Chroma Filter.	0	0	0							1.3 MHz		
			0	0	1							0.65 MHz		
			0	1	0							1.0 MHz		
			0	1	1							2.0 MHz		
			1	0	0							Reserved		
			1	0	1							Chroma CIF		
			1	1	0							Chroma QCIF		
			1	1	1							3.0 MHz		
0x82	SD Mode Register 2	SD PrPb SSAF Filter.									0	Disabled	0x0B	
											1	Enabled		
		SD DAC Output 1.									0	Refer to Table 32 in the Output Configuration section		
											1			
		Reserved.								0				
		SD Pedestal.							0					Disabled
									1					Enabled
		SD Square Pixel Mode.					0							Disabled
					1						Enabled			
SD VCR FF/RW Sync.			0								Disabled			
			1								Enabled			
SD Pixel Data Valid.		0									Disabled			
		1									Enabled			
SD Active Video Edge Control.	0										Disabled			
	1										Enabled			
0x83	SD Mode Register 3	SD Pedestal YPrPb Output.									0	No pedestal on YPrPb	0x04	
											1	7.5 IRE pedestal on YPrPb		
		SD Output Levels Y.									0	Y = 700 mV/300 mV		
											1	Y = 714 mV/286 mV		
		SD Output Levels PrPb.						0	0					700 mV p-p (PAL), 1000 mV p-p (NTSC)
								0	1					700 mV p-p
								1	0					1000 mV p-p
						1	1				648 mV p-p			
SD Vertical Blanking Interval (VBI) Open.					0						Disabled			
					1						Enabled			
SD Closed Captioning Field Control.	0	0									Closed captioning disabled			
	0	1									Closed captioning on odd field only			
	1	0									Closed captioning on even field only			
	1	1									Closed captioning on both fields			
Reserved.	0										Reserved			

ADV7390/ADV7391/ADV7392/ADV7393

表24. レジスタ0x84~0x87

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value	
			7	6	5	4	3	2	1	0			
0x84	SD Mode Register 4	SD VSYNC-3H.									0	Disabled	0x00
										1	VSYNC= 2.5 lines (PAL), VSYNC= 3 lines (NTSC)		
		SD SFL/SCR/TR Mode Select.								0 0	Disabled		
										0 1	Subcarrier reset mode enabled		
										1 0	Timing reset mode enabled		
										1 1	SFL mode enabled		
		SD Active Video Length.								0	720 pixels		
								1	710 (NTSC), 702 (PAL)				
SD Chroma.								0	Chroma enabled				
								1	Chroma disabled				
SD Burst.								0	Enabled				
								1	Disabled				
SD Color Bars.								0	Disabled				
								1	Enabled				
SD Luma/Chroma Swap.								0	DAC 2 = luma, DAC 3 = chroma				
								1	DAC 2 = chroma, DAC 3 = luma				
0x86	SD Mode Register 5	NTSC Color Subcarrier Adjust (Delay from the falling edge of output HSYNC pulse to start of color burst).								0 0	5.17 μs	0x02	
										0 1	5.31 μs		
										1 0	5.59 μs (must be set for Macrovision compliance)		
										1 1	Reserved		
		Reserved.								0			
		SD EIA/CEA-861B Synchronization Compliance.								0	Disabled		
										1	Enabled		
Reserved.								0 0					
SD Horizontal/Vertical Counter Mode. ¹								0	Update field/line counter				
								1	Field/line counter free running				
SD RGB Color Swap. ²								0	Normal				
								1	Color reversal enabled				
0x87	SD Mode Register 6	SD PrPb Scale.								0	Disabled	0x00	
										1	Enabled		
		SD Y Scale.								0	Disabled		
										1	Enabled		
		SD Hue Adjust.								0	Disabled		
										1	Enabled		
		SD Brightness.								0	Disabled		
										1	Enabled		
SD Luma SSAF Gain.								0	Disabled				
								1	Enabled				
SD Input Standard Auto Detection.								0	Disabled				
								1	Enabled				
Reserved.								0	0 must be written to this bit				
SD RGB Input Enable. ²								0	SD YCrCb input				
								1	SD RGB input				

¹ 0に設定すると、選択した規格のライン/フィールド/フレームの最後で水平/垂直カウンタが自動的にカウント処理します。1に設定すると、水平/垂直カウンタは自走し、外部同期信号の指示に従ってカウント処理します。

² ADV7392/ADV7393(40ピン・デバイス)でのみ使用可。

ADV7390/ADV7391/ADV7392/ADV7393

表25. レジスタ0x88~0x89

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x88	SD Mode Register 7	Reserved.									0	0x00
		SD Noninterlaced Mode.							0 1	Disabled Enabled		
		SD Double Buffering.						0 1	Disabled Enabled			
		SD Input Format.				0 0 0 1 1 0 1 1			8-bit input 16-bit input ¹ 10-bit input ¹ Reserved			
		SD Digital Noise Reduction.			0 1				Disabled Enabled			
		SD Gamma Correction Enable.		0 1					Disabled Enabled			
		SD Gamma Correction Curve Select.	0 1						Gamma Correction Curve A Gamma Correction Curve B			
0x89	SD Mode Register 8	SD Undershoot Limiter.							0 0 0 1 1 0 1 1	Disabled -11 IRE -6 IRE -1.5 IRE	0x00	
		Reserved.						0	0 must be written to this bit			
		SD Black Burst Output on DAC Luma.					0 1		Disabled Enabled			
		SD Chroma Delay.			0 0 0 1 1 0 1 1			Disabled 4 clock cycles 8 clock cycles Reserved				
		Reserved.	0 0						0 must be written to these bits			
		Reserved.										

¹ ADV7392/ADV7393(40ピン・デバイス)でのみ使用可。

ADV7390/ADV7391/ADV7392/ADV7393

表26. レジスタ0x8A~0x98

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value	
			7	6	5	4	3	2	1	0			
0x8A	SD Timing Register 0	SD Slave/Master Mode.									0 1	Slave mode Master mode	0x08
		SD Timing Mode.							0 0 1 1	0 1 0 1	Mode 0 Mode 1 Mode 2 Mode 3		
		Reserved.					1						
		SD Luma Delay.			0 0 1 1	0 1 0 1						No delay 2 clock cycles 4 clock cycles 6 clock cycles	
		SD Minimum Luma Value.		0 1								-40 IRE -7.5 IRE	
		SD Timing Reset.	x									A low-high-low transition resets the internal SD timing counters	
0x8B	SD Timing Register 1 Note: Applicable in master modes only, that is, Subaddress 0x8A, Bit 0 = 1.	SD $\overline{\text{HSYNC}}$ Width.								0 0 1 1	0 1 0 1	$t_a = 1$ clock cycle $t_a = 4$ clock cycles $t_a = 16$ clock cycles $t_a = 128$ clock cycles	0x00
		SD $\overline{\text{HSYNC}}$ to $\overline{\text{VSYNC}}$ Delay.					0 0 1 1	0 1 0 1			$t_b = 0$ clock cycles $t_b = 4$ clock cycles $t_b = 8$ clock cycles $t_b = 18$ clock cycles		
		SD $\overline{\text{HSYNC}}$ to $\overline{\text{VSYNC}}$ Rising Edge Delay (Mode 1 Only).			x x	0 1					$t_c = t_b$ $t_c = t_b + 32 \mu\text{s}$		
		$\overline{\text{VSYNC}}$ Width (Mode 2 Only).			0 0 1 1	0 1 0 1					1 clock cycle 4 clock cycles 16 clock cycles 128 clock cycles		
		$\overline{\text{HSYNC}}$ to Pixel Data Adjust.	0 0 1 1	0 1 0 1							0 clock cycles 1 clock cycle 2 clock cycles 3 clock cycles		
0x8C	SD F_{SC} Register 0 ¹	Subcarrier Frequency Bits[7:0]	x	x	x	x	x	x	x	x	x	Subcarrier Frequency Bits[7:0]	0x1F
0x8D	SD F_{SC} Register 1 ¹	Subcarrier Frequency Bits[15:8]	x	x	x	x	x	x	x	x	x	Subcarrier Frequency Bits[15:8]	0x7C
0x8E	SD F_{SC} Register 2 ¹	Subcarrier Frequency Bits[23:16]	x	x	x	x	x	x	x	x	x	Subcarrier Frequency Bits[23:16]	0xF0
0x8F	SD F_{SC} Register 3 ¹	Subcarrier Frequency Bits[31:24]	x	x	x	x	x	x	x	x	x	Subcarrier Frequency Bits[31:24]	0x21
0x90	SD F_{SC} Phase	Subcarrier Phase Bits[9:2]	x	x	x	x	x	x	x	x	x	Subcarrier Phase Bits[9:2]	0x00
0x91	SD Closed Captioning	Extended Data on Even Fields.	x	x	x	x	x	x	x	x	x	Extended Data Bits[7:0]	0x00
0x92	SD Closed Captioning	Extended Data on Even Fields.	x	x	x	x	x	x	x	x	x	Extended Data Bits[15:8].	0x00
0x93	SD Closed Captioning	Data on Odd Fields.	x	x	x	x	x	x	x	x	x	Data Bits[7:0]	0x00
0x94	SD Closed Captioning	Data on Odd Fields.	x	x	x	x	x	x	x	x	x	Data Bits[15:8]	0x00
0x95	SD Pedestal Register 0	Pedestal on Odd Fields.	17	16	15	14	13	12	11	10	Setting any of these bits to 1	0x00	
0x96	SD Pedestal Register 1	Pedestal on Odd Fields.	25	24	23	22	21	20	19	18		0x00	
0x97	SD Pedestal Register 2	Pedestal on Even Fields.	17	16	15	14	13	12	11	10		0x00	
0x98	SD Pedestal Register 3	Pedestal on Even Fields.	25	24	23	22	21	20	19	18		0x00	

¹ サブキャリア周波数レジスタは、デフォルトでNTSCサブキャリア周波数の値になります。

ADV7390/ADV7391/ADV7392/ADV7393

表27. レジスタ0x99~0xA5

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x99	SD CGMS/WSS 0	SD CGMS Data.					x	x	x	x	CGMS Data Bits[C19:C16]	0x00
		SD CGMS CRC.				0 1					Disabled Enabled	
		SD CGMS on Odd Fields.			0 1						Disabled Enabled	
		SD CGMS on Even Fields.		0 1							Disabled Enabled	
		SD WSS.	0 1								Disabled Enabled	
0x9A	SD CGMS/WSS 1	SD CGMS/WSS Data.			x	x	x	x	x	x	CGMS Data Bits[C13:C8] or WSS Data Bits[W13:W8]	0x00
		SD CGMS Data.	x	x							CGMS Data Bits[C15:C14]	
0x9B	SD CGMS/WSS 2	SD CGMS/WSS Data.	x	x	x	x	x	x	x	x	CGMS Data Bits[C7:C0] or WSS Data Bits[W7:W0]	0x00
0x9C	SD Scale LSB Register	LSBs for SD Y Scale Value.							x	x	SD Y Scale Bits[1:0]	0x00
		LSBs for SD Cb Scale Value.					x	x			SD Cb Scale Bits[1:0]	
		LSBs for SD Cr Scale Value.			x	x					SD Cr Scale Bits[1:0]	
		LSBs for SD F _{sc} Phase.							x	x	Subcarrier Phase Bits[1:0]	
0x9D	SD Y Scale Register	SD Y Scale Value.	x	x	x	x	x	x	x	x	SD Y Scale Bits[7:2]	0x00
0x9E	SD Cb Scale Register	SD Cb Scale Value.	x	x	x	x	x	x	x	x	SD Cb Scale Bits[7:2]	0x00
0x9F	SD Cr Scale Register	SD Cr Scale Value.	x	x	x	x	x	x	x	x	SD Cr Scale Bits[7:2]	0x00
0xA0	SD Hue Register	SD Hue Adjust Value.	x	x	x	x	x	x	x	x	SD Hue Adjust Bits[7:0]	0x00
0xA1	SD Brightness/WSS	SD Brightness Value.		x	x	x	x	x	x	x	SD Brightness Bits[6:0]	0x00
		SD Blank WSS Data.	0 1								Disabled Enabled	
0xA2	SD Luma SSAF	SD Luma SSAF Gain/ Attenuation. Note: Only applicable if Subaddress 0x87, Bit 4 = 1.					0 ...	0 ...	0 ...	0 ...	-4 dB ...	0x00
						0 ...	1 ...	1 ...	0 ...	0 dB ...		
						1 ...	1 ...	0 ...	0 ...	+4 dB ...		
	Reserved.		0	0	0	0						
0xA3	SD DNR 0	Coring Gain Border. Note: In DNR mode, the values in brackets apply.					0 0 0 0 0 0 0 0 1	0 0 0 0 1 0 1 1 0	0 0 1 1 0 1 1 1 0	0 1 0 0 1 0 1 1 0	No gain +1/16 [-1/8] +2/16 [-2/8] +3/16 [-3/8] +4/16 [-4/8] +5/16 [-5/8] +6/16 [-6/8] +7/16 [-7/8] +8/16 [-1]	0x00
		Coring Gain Data. Note: In DNR mode, the values in brackets apply.	0 0 0 0 0 0 0 0 1	0 0 0 0 1 1 1 1 0	0 0 1 0 0 0 0 0 0					No gain +1/16 [-1/8] +2/16 [-2/8] +3/16 [-3/8] +4/16 [-4/8] +5/16 [-5/8] +6/16 [-6/8] +7/16 [-7/8] +8/16 [-1]		

ADV7390/ADV7391/ADV7392/ADV7393

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value		
			7	6	5	4	3	2	1	0				
0xA4	SD DNR 1	DNR Threshold.			0	0	0	0	0	0	0	0	0	0x00
				0	0	0	0	0	0	1	1	1		
				1	1	1	1	1	1	0	62	63		
	Border Area.		0									2 pixels 4 pixels		
	Block Size.	0	1									8 pixels 16 pixels		
0xA5	SD DNR 2	DNR Input Select.						0	0	1	Filter A	0x00		
							0	1	0	Filter B				
							0	1	1	Filter C	Filter D			
	DNR Mode.			0	1						DNR mode DNR sharpness mode			
	DNR Block Offset.	0	0	0	0						0 pixel offset 1 pixel offset ...			
		1	1	1	0						14 pixel offset			
		1	1	1	1						15 pixel offset			

表28. レジスタ0xA6~0xBB

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0xA6	SD Gamma A0	SD Gamma Curve A (Point 24).	x	x	x	x	x	x	x	x	A0	0x00
0xA7	SD Gamma A1	SD Gamma Curve A (Point 32).	x	x	x	x	x	x	x	x	A1	0x00
0xA8	SD Gamma A2	SD Gamma Curve A (Point 48).	x	x	x	x	x	x	x	x	A2	0x00
0xA9	SD Gamma A3	SD Gamma Curve A (Point 64).	x	x	x	x	x	x	x	x	A3	0x00
0xAA	SD Gamma A4	SD Gamma Curve A (Point 80).	x	x	x	x	x	x	x	x	A4	0x00
0xAB	SD Gamma A5	SD Gamma Curve A (Point 96).	x	x	x	x	x	x	x	x	A5	0x00
0xAC	SD Gamma A6	SD Gamma Curve A (Point 128).	x	x	x	x	x	x	x	x	A6	0x00
0xAD	SD Gamma A7	SD Gamma Curve A (Point 160).	x	x	x	x	x	x	x	x	A7	0x00
0xAE	SD Gamma A8	SD Gamma Curve A (Point 192).	x	x	x	x	x	x	x	x	A8	0x00
0xAF	SD Gamma A9	SD Gamma Curve A (Point 224).	x	x	x	x	x	x	x	x	A9	0x00
0xB0	SD Gamma B0	SD Gamma Curve B (Point 24).	x	x	x	x	x	x	x	x	B0	0x00
0xB1	SD Gamma B1	SD Gamma Curve B (Point 32).	x	x	x	x	x	x	x	x	B1	0x00
0xB2	SD Gamma B2	SD Gamma Curve B (Point 48).	x	X	x	x	x	x	x	x	B2	0x00
0xB3	SD Gamma B3	SD Gamma Curve B (Point 64).	x	x	x	x	x	x	x	x	B3	0x00
0xB4	SD Gamma B4	SD Gamma Curve B (Point 80).	x	x	x	x	x	x	x	x	B4	0x00
0xB5	SD Gamma B5	SD Gamma Curve B (Point 96).	x	x	x	x	x	x	x	x	B5	0x00
0xB6	SD Gamma B6	SD Gamma Curve B (Point 128).	x	x	x	x	x	x	x	x	B6	0x00
0xB7	SD Gamma B7	SD Gamma Curve B (Point 160).	x	x	x	x	x	x	x	x	B7	0x00
0xB8	SD Gamma B8	SD Gamma Curve B (Point 192).	x	x	x	x	x	x	x	x	B8	0x00
0xB9	SD Gamma B9	SD Gamma Curve B (Point 224).	x	x	x	x	x	x	x	x	B9	0x00
0xBA	SD Brightness Detect	SD Brightness Value.	x	x	x	x	x	x	x	x	Read only	0xXX
0xBB	Field Count Register	Field Count.						x	x	x	Read only	0x0X
		Reserved.			0	0	0				Reserved	
		Revision Code.	0	0							Read only	

ADV7390/ADV7391/ADV7392/ADV7393

表29. レジスタ0xF0~0xF1

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0xE0	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE1	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE2	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE3	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE4	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE5	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE6	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE7	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE8	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE9	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xEA	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xEB	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xEC	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xED	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xEE	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xEF	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xF0	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xF1	Macrovision	MV Control Bit.	0	0	0	0	0	0	0	x	Bits[7:1] must be 0	0x00

¹ MacrovisionレジスタはADV7390とADV7392でのみ使用できます。

ADV7390/ADV7391入力設定

ADV7390/ADV7391は、さまざまな入力モードに対応します。入力モードを選択するには、サブアドレス0x01、ビット[6:4]を使用します。ADV7390/ADV7391は、パワーアップ時にデフォルトの標準解像度（SD）モードとなります。表30は、可能なすべての入力設定の概要を示します。以下に、各入力モードについて詳しく説明します。

表30. ADV7390/ADV7391入力設定

Input Mode		P7	P6	P5	P4	P2	P2	P1	P0
000	SD				YCrCb				
010	ED/HD-DDR				YCrCb				
111	ED (at 54 MHz)				YCrCb				

標準解像度

サブアドレス0x01、ビット[6:4]=000

SD YCrCbデータは、8ビット27MHzバスを使ってインターリーブ4:2:2フォーマットで入力できます。

27MHzクロック信号はCLKINピンに入力します。必要であれば、外部同期信号をHSYNC、VSYNCの各ピンに入力します。組込みのEAV/SAVタイミング・コードにも対応します。ITU-R BT.601/656入力規格に対応します。

インターリーブ・ピクセル・データは、ピンP7~P0に入力されます。P0はLSBです。

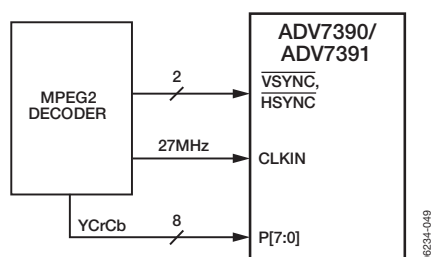


図49. SDのアプリケーション例

拡張解像度／高精細解像度

サブアドレス 0x01、ビット[6:4]=010

EDまたはHDのYCrCbデータは、8ビットDDRバスを使ってインターリーブ4:2:2フォーマットで入力できます。

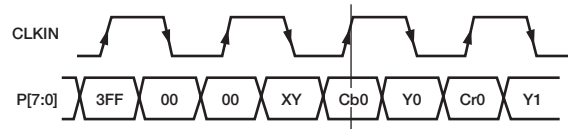
クロック信号はCLKINピンに入力します。必要であれば、外部同期信号をHSYNC、VSYNCの各ピンに入力します。組込みのEAV/SAVタイミング・コードにも対応しています。

8ビット4:2:2 ED/HD YCrCbモード (DDR)

8ビットDDR 4:2:2 YCrCb入力モードでは、Yピクセル・データはCLKINの立上がりエッジまたは立下がりエッジでピンP7~P0に入力されます。P0はLSBです。

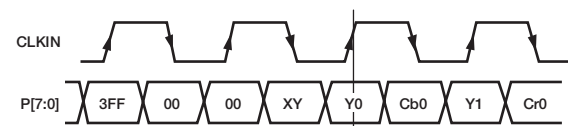
CrCbピクセル・データも、CLKINの逆のエッジでピンP7~P0に入力されます。P0はLSBです。

Yデータのクロック入力、CLKINの立上がりエッジになるか立下がりエッジになるかは、サブアドレス 0x01、ビット[2:1]によって決まります（図50、51を参照）。



NOTES
1. SUBADDRESS 0x01 [2:1] SHOULD BE SET TO 00 IN THIS CASE.

図50. ED/HD-DDR入力シーケンス (EAV/SAV) — オプションA



NOTES
1. SUBADDRESS 0x01 [2:1] SHOULD BE SET TO 11 IN THIS CASE.

図51. ED/HD-DDR入力シーケンス (EAV/SAV) — オプションB

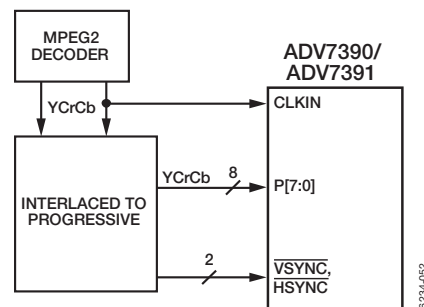


図52. ED/HD-DDRのアプリケーション例

拡張解像度 (54 MHz時)

サブアドレス 0x01、ビット[6:4]=111

ED YCrCbデータは、8ビット54MHzバスを使ってインターリーブ4:2:2フォーマットで入力できます。

54MHzクロック信号はCLKINピンに入力します。本デバイスは組込みのEAV/SAVタイミング・コードにも対応しています。このモードでは、外部の同期信号には対応しません。

インターリーブ・ピクセル・データは、ピンP7~P0に入力されます。P0はLSBです。



図53. ED (54MHz時) 入力シーケンス (EAV/SAV)

ADV7392/ADV7393入力設定

ADV7392/ADV7393は、さまざまな入力モードに対応します。入力モードを選択するには、サブアドレス0x01、ビット[6:4]を使用します。ADV7392/ADV7393は、パワーアップ時にデフォルトの標準解像度（SD）モードとなります。表31は、可能なすべての入力設定の概要を示します。以下に、各入力モードについて詳しく説明します。

標準解像度

サブアドレス 0x01、ビット[6:4]=000

SD YCrCbデータは、8/10/16ビット・バスを使って4:2:2フォーマットで入力できます。SD RGBデータは、16ビット・バスを使って4:4:4フォーマットで入力できます。

27MHzクロック信号はCLKINピンに入力します。必要であれば、外部同期信号をHSYNC、VSYNCの各ピンに入力します。8ビット、10ビットの各モードでは、組込みEAV/SAVタイミング・コードにも対応します。

8ビット4:2:2 YCrCbモード

サブアドレス0x87、ビット7=0

サブアドレス0x88、ビット[4:3]=00

8ビット4:2:2 YCrCb入力モードでは、インターリーブ・ピクセル・データは、ピンP15～P8に入力されます。P8はLSBです。ITU-R BT.601/656入力規格に対応します。

10ビット4:2:2 YCrCbモード

サブアドレス 0x87、ビット7=0

サブアドレス 0x88、ビット[4:3]=10

10ビット4:2:2 YCrCb入力モードでは、インターリーブ・ピクセル・データは、ピンP15～P6に入力されます。P6はLSBです。ITU-R BT.601/656入力規格に対応します。

16ビット4:2:2 YCrCbモード

サブアドレス 0x87、ビット7=0

サブアドレス 0x88、ビット[4:3]=01

16ビット4:2:2 YCrCb入力モードでは、Yピクセル・データはピンP15～P8に入力されます。P8はLSBです。

CrCbピクセル・データはピンP7～P0に入力されます。P0はLSBです。

ピクセル・データは、クロック・レートの1/2、すなわち13.5MHzのレートで更新されます（図3を参照）。

16ビット4:4:4 RGBモード

サブアドレス0x87、ビット7=1

16ビット4:4:4 RGB入力モードでは、赤のピクセル・データはピンP4～P0に、緑のピクセル・データはピンP10～P5に、青のピクセル・データはピンP15～P11に入力されます。P0、P5、P11は各バスのLSBです。

ピクセル・データは、クロック・レートの1/2、すなわち13.5MHzのレートで更新されます（図4を参照）。

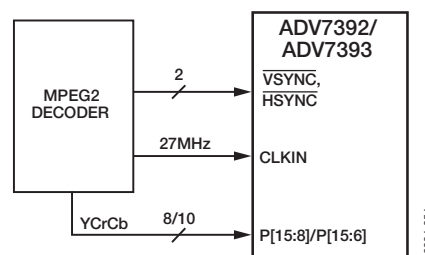


図54. SDのアプリケーション例

表31. ADV7392/ADV7393入力設定

Input Mode ¹	P15	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	P0	
000 SD ²	SD RGB Input Enable (0x87[7]) = 0																
	8-Bit	YCrCb															
	10-Bit	YCrCb															
	16-Bit ³	Y							CrCb								
	SD RGB Input Enable (0x87[7]) = 1																
	B					G					R						
001 ED/HD-SDR (16-Bit)	Y							CrCb									
010 ED/HD-DDR ⁴	ED/HD Input Format (0x33[2]) = 0																
	8-Bit	YCrCb															
	ED/HD Input Format (0x33[2]) = 1																
	YCrCb																
111 ED (At 54 MHz)	ED/HD Input Format (0x33[2]) = 0																
	8-Bit	YCrCb															
	ED/HD Input Format (0x33[2]) = 1																
	10-Bit	YCrCb															

¹ 入力モードは、サブアドレス0x01、ビット[6:4]で指定します。

² SDモードでは、入力データの幅はサブアドレス0x88、ビット[4:3]で指定します。

³ 外部同期信号はこの入力モードで使用します。組込みEAV/SAVタイミング・コードには対応しません。

⁴ ED=拡張解像度=525pおよび625p

拡張解像度／高精細解像度

サブアドレス0x01、ビット[6:4]=001または010

EDまたはHD YCrCbデータは、8/10ビットDDRバスまたは16ビットSDRバスを使って4:2:2フォーマットで入力できます。

クロック信号はCLKINピンに入力します。必要であれば、外部同期信号をHSYNC、VSYNCの各ピンに入力します。組込みのEAV/SAVタイミング・コードにも対応します。

16ビット 4:2:2 YCrCbモード (SDR)

16ビット4:2:2 YCrCb入力モードでは、Yピクセル・データはピンP15～P8に入力されます。P8はLSBです。

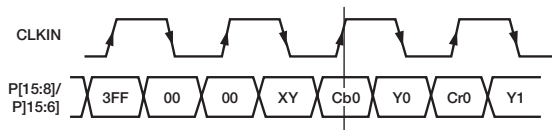
CrCbピクセル・データは、ピンP7～P0に入力されます。P0はLSBです。

8/10ビット 4:2:2 YCrCbモード (DDR)

8/10ビットDDR 4:2:2 YCrCb入力モードでは、Yピクセル・データはCLKINの立上がりエッジまたは立下がりエッジで、ピンP15～P8/P6に入力されます。P8/P6はLSBです。

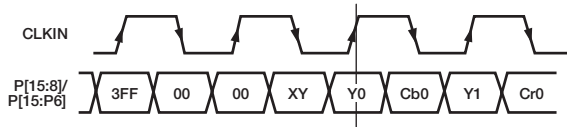
CrCbピクセル・データも、CLKINの逆のエッジでピンP15～P8/P6に入力されます。P8/P6はLSBです。

10ビット・モードは、サブアドレス0x33、ビット2を使ってイネーブルにします。Yデータのクロック入力がCLKINの立上がりエッジになるか立下がりエッジになるかは、サブアドレス0x01、ビット[2:1]によって決まります(図55、56を参照)。



NOTES
1. SUBADDRESS 0x01 [2:1] SHOULD BE SET TO 00 IN THIS CASE.
2. 10-BIT MODE IS ENABLED USING SUBADDRESS 0x33, BIT 2.

図55. ED/HD-DDR入力シーケンス (EAV/SAV) — オプションA



NOTES
1. SUBADDRESS 0x01 [2:1] SHOULD BE SET TO 11 IN THIS CASE.
2. 10-BIT MODE IS ENABLED USING SUBADDRESS 0x33, BIT 2.

図56. ED/HD-DDR入力シーケンス (EAV/SAV) — オプションB

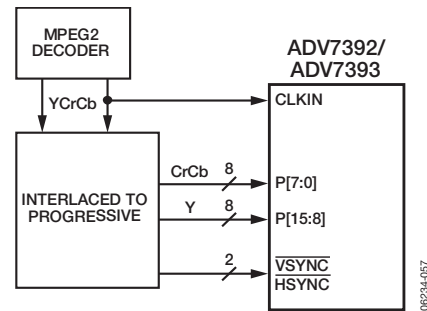


図57. ED/HD-SDRのアプリケーション例

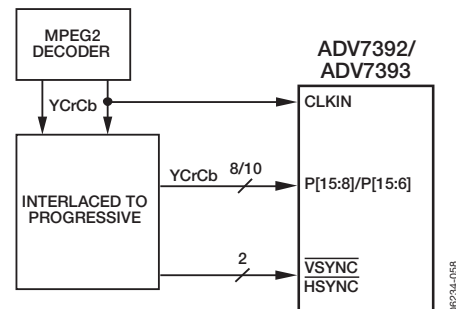


図58. ED/HD-DDRのアプリケーション例

拡張解像度 (54MHz時)

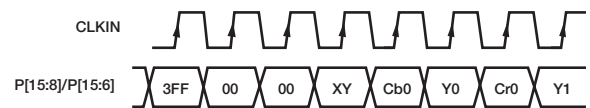
サブアドレス0x01、ビット[6:4]=111

ED YCrCbデータは、8/10ビット54MHzバスを使ってインターリーブ4:2:2フォーマットで入力できます。

54MHzクロック信号はCLKINピンで入力します。本デバイスは組込みのEAV/SAVタイミング・コードにも対応します。このモードでは、外部同期信号には対応しません。

インターリーブ・ピクセル・データはピンP15～P8/P6に入力します。P8/P6はLSBです。

10ビット・モードは、サブアドレス0x33、ビット2を使ってイネーブルにします。



NOTES
1. 10-BIT MODE IS ENABLED USING SUBADDRESS 0x33, BIT 2.

図59. ED (54MHz時) 入力シーケンス (EAV/SAV)

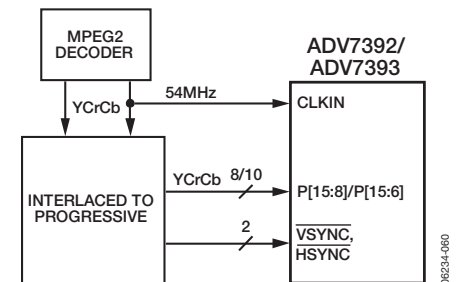


図60. ED (54MHz時) のアプリケーション例

ADV7390/ADV7391/ADV7392/ADV7393

出力設定

ADV739xは、さまざまな出力設定に対応します。表32～34に可能なすべての出力設定を示します。

表32. SD出力設定

RGB/YPrPb Output Select ¹ (0x02, Bit 5)	SD DAC Output 1 (0x82, Bit 1)	SD Luma/Chroma Swap (0x84, Bit 7)	DAC 1	DAC 2	DAC 3
0	0	0	G	B	R
1	0	0	Y	Pb	Pr
1	1	0	CVBS	Luma	Chroma
1	1	1	CVBS	Chroma	Luma

¹ SD RGB出力を選択した場合は、サブアドレス0x86、ビット7を使ってカラー反転を指定できます。

表33. ED/HD出力設定

RGB/YPrPb Output Select (0x02, Bit 5)	ED/HD Color DAC Swap (0x35, Bit 3)	DAC 1	DAC 2	DAC 3
0	0	G	B	R
0	1	G	R	B
1	0	Y	Pb	Pr
1	1	Y	Pr	Pb

表34. ED (54MHz時) 出力設定

RGB/YPrPb Output Select (0x02, Bit 5)	ED/HD Color DAC Swap (0x35, Bit 3)	DAC 1	DAC 2	DAC 3
0	0	G	B	R
0	1	G	R	B
1	0	Y	Pb	Pr
1	1	Y	Pr	Pb

特長

出力オーバーサンプリング

ADV739xは、SD、ED、HDビデオ・データのオーバーサンプリングに対応した位相ロックループ（PLL）を内蔵しています。デフォルトでは、PLLはディスエーブルとなります。PLLはサブアドレス0x00、ビット1=0でイネーブルにできます。

表35は、ADV739xで対応するオーバーサンプリング・レートを示します。

ED/HD非標準タイミング・モード

サブアドレス0x30、ビット[7:3]=00001

ED/HD入力モード表に記載の規格に準拠しないED/HD入力データ（サブアドレス0x30、ビット[7:3]）は、ED/HD非標準タイミング・モードを使ってADV739xに接続できます。ED/HD非標準タイミング・モードをイネーブルにするには、サブアドレス0x30、ビット[7:3]を00001に設定します。

クロック信号はCLKINピンで入力します。エンコーダのアナログ出力で適正な水平／垂直同期パルスを生成するには、HSYNCとVSYNCを切り替える必要があります。図61は、生成できるさまざまな出力レベルを示しています。表36は、さまざまな出力レベルの生成に必要な遷移を示しています。

ED/HD非標準タイミング・モードでは、組込みEAV/SAVタイミング・モードは使用できません。

出力でブランキング・レベルが予想される場合は、適正なピクセルがエンコーダに入力されていることを確認します。

ED/HD非標準タイミング・モードでは、Macrovision（ADV7390/ADV7392のみ）とオーバーサンプリングは使用できません。このモードでは、PLLをディスエーブルにする必要があります（サブアドレス0x00、ビット1=1）。

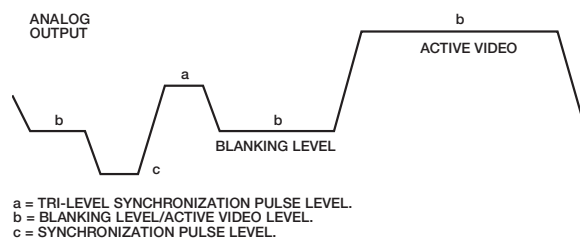


図61. ED/HD非標準タイミング・モードの出力レベル

表35. 出力オーバーサンプリング・モード／レート

Input Mode (0x01, Bits[6:4])	PLL and Oversampling Control (0x00, Bit 1)	SD/ED Oversample Rate Select (0x0D, Bit 3)	HD Oversample Rate Select (0x31, Bit 1)	Oversampling Mode and Rate
000	SD	1	x	SD (2x)
000	SD	0	1	SD (8x)
000	SD	0	0	SD (16x)
001/010	ED	1	x	ED (1x)
001/010	ED	0	1	ED (4x)
001/010	ED	0	0	ED (8x)
001/010	HD	1	x	HD (1x)
001/010	HD	0	1	HD (2x)
001/010	HD	0	0	HD (4x)
111	ED (at 54 MHz)	1	x	ED (@ 54 MHz) (1x)
111	ED (at 54 MHz)	0	1	ED (@ 54 MHz) (4x)
111	ED (at 54 MHz)	0	0	ED (@ 54 MHz) (8x)

表36. ED/HD非標準タイミング・モードの同期信号生成

Output Level Transition ¹	HSYNC	VSYNC
b → c	1 → 0	1 → 0 or 0 ²
c → a	0	0 → 1
a → b	0 → 1	1
c → b	0 → 1	0

¹ a=3レベルの同期パルス・レベル、b=ブランキング・レベル／アクティブ・ビデオ・レベル、c=同期パルス・レベル。図61を参照。

² VSYNC=1の場合は、0に遷移します。VSYNC=0の場合は、0のままとなります。3レベルの同期パルスの生成が不要な場合は、VSYNCを常に0にします。

ADV7390/ADV7391/ADV7392/ADV7393

ED/HDタイミング・リセット

サブアドレス0x34、ビット0

ED/HDタイミング・リセットを行うには、ED/HDタイミング・リセット制御ビット（サブアドレス0x34、ビット0）を1に設定します。この状態では、水平カウンタと垂直カウンタはリセットされたままです。このビットの値を0に戻すと、内部カウンタがカウント処理を再開します。このタイミング・リセットはED/HDカウンタのみに適用されます。

SDサブキャリア周波数ロック、サブキャリア・リセット、タイミング・リセット

サブアドレス0x84、ビット[2:1]

ADV739xは、SFL/MISOピンとSDモード・レジスタ4（サブアドレス0x84、ビット[2:1]）とともに、タイミング・リセット・モード、サブキャリア位相リセット・モード、またはSFLモードで使用できます。

- タイミング・リセット（TR）モード（サブアドレス0x84、ビット[2:1]=10）では、SFL/MISOピン上のローからハイへの遷移でタイミング・リセットを実行します。この状態では、水平カウンタと垂直カウンタはリセットされたままです。このピンを開放すると（ローレベルにする）、内部カウンタがカウント処理を再開し（フィールド1から開始）、サブキャリア位相がリセットされます。

ピンをハイレベルに維持する最小時間は1サイクルとします。そうしないと、このリセット信号が認識されないことがあります。タイミング・リセットはSDタイミング・カウンタにのみ適用されます。

- サブキャリア・リセット（SCR）モード（サブアドレス0x84、ビット[2:1]=01）では、SFL/MISOピン上のローからハイへの遷移により、サブキャリア位相リセットの後に続くフィールドで、サブキャリア位相を0にリセットできます。

このリセット信号は、最小1クロック・サイクルの間、ハイレベルに保持する必要があります。

フィールド・カウンタはリセットされないため、フィールド7（PAL）またはフィールド3（NTSC）にリセット信号を印加することを推奨します。位相のリセットは、次のフィールド、すなわちフィールド1で発生しますが、それは内部カウンタと正しく整合して行われます。サブアドレス0xBBのフィールド・カウント・レジスタを使って、アクティブ・フィールドの数を識別できます。

- サブキャリア周波数ロック（SFL）モード（サブアドレス0x84、ビット[2:1]=11）では、ADV739xを使用して外部ビデオ・ソースにロックできます。SFLモードでは、ADV739xはライン長変化を補償するためにサブキャリア周波数を自動的に変更します。たとえばADV739xは、SFLフォーマットのデジタル・データ・ストリームを生成するビデオ・デコーダADV7403に接続すると、ラインごとの補償サブキャリア周波数を自動的に変更します（図64を参照）。このデジタル・データ・ストリームは67ビット幅で、サブキャリアはビット0～21に含まれます。各ビットは2クロック・サイクル長です。

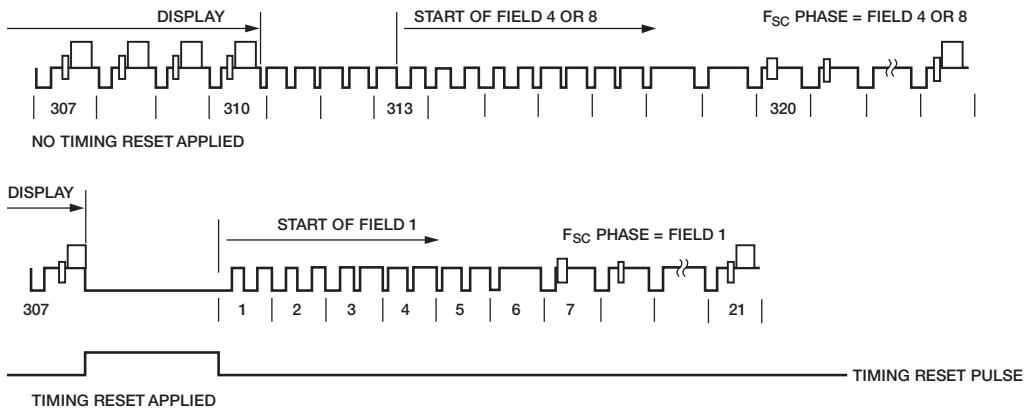


図62. SDタイミング・リセット・タイミング図（サブアドレス0x84、ビット[2:1]=10）

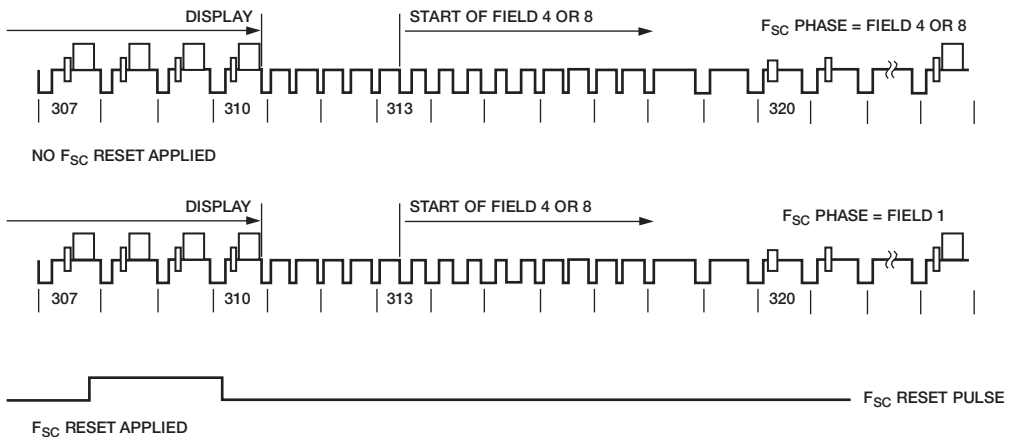
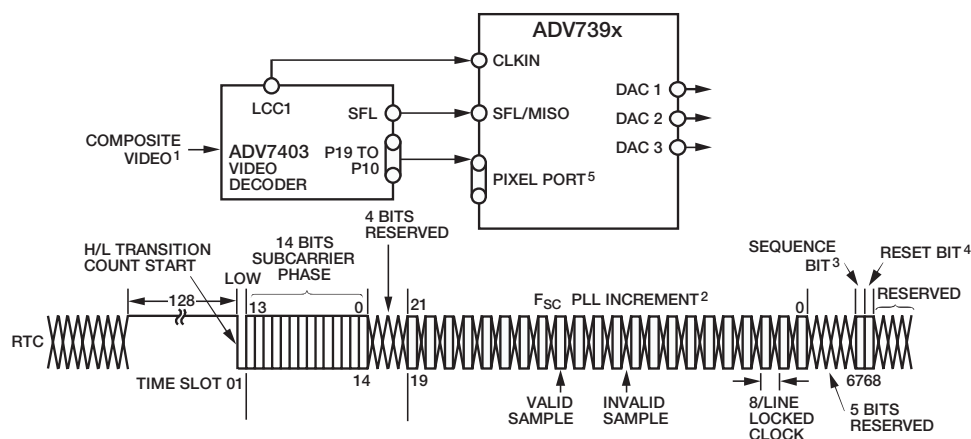


図63. SDサブキャリア位相リセット・タイミング図（サブアドレス0x84、ビット[2:1]=01）



- ¹FOR EXAMPLE, VCR OR CABLE.
- ²F_{SC} PLL INCREMENT IS 22 BITS LONG. VALUE LOADED INTO ADV73xx F_{SC} DDS REGISTER IS F_{SC} PLL INCREMENTS BITS 21:0 PLUS BITS 0:9 OF SUBCARRIER FREQUENCY REGISTERS.
- ³SEQUENCE BIT
PAL: 0 = LINE NORMAL, 1 = LINE INVERTED
NTSC: 0 = NO CHANGE
- ⁴RESET ADV739x DDS.
- ⁵REFER TO THE ADV7390/ADV7391 AND ADV7392/ADV7393 "INPUT CONFIGURATION" TABLES FOR PIXEL DATA PIN ASSIGNMENTS.

08234-064

図64. SDサブキャリア周波数ロックのタイミングと接続図 (サブアドレス0x84、ビット[2:1]=11)

SD VCR FF/RW同期

サブアドレス0x82、ビット5

エンコーダとデコーダを使用するDVDレコード・アプリケーションでは、VCR FF/RW同期制御ビットを非標準の入力ビデオ (早送りモードまたは巻戻しモード) に使用できます。

早送りモードでは、入力ビデオの新しいフィールドの先頭にある同期情報は、一般に正しいライン/フィールド数に達する前に出現します。巻戻しモードでは、この同期信号は一般にライン/フィールドの合計数に達した後で出現します。通常これは、出力ビデオがフィールド信号を壊したことを意味します。なぜなら入力ビデオによって1つの信号が生成され、内部ライン/フィールド・カウンタがフィールドの最後に到達したときに内部の信号が生成されるからです。

VCR FF/RW同期制御がイネーブルになると (サブアドレス0x82、ビット5)、ライン/フィールド・カウンタが入力VSYNC信号に従って更新されます。この更新は、アナログ出力信号が入力VSYNC信号と一致したときに実行されます。

この制御は、スレープ・モード0以外のすべてのスレープ・タイミング・モードで使用できます。

垂直ブランキング・インターバル

サブアドレス0x31、ビット4; サブアドレス0x83、ビット4

ADV739xは、SD、ED、およびHDモードで、垂直ブランキング・インターバル (VBI) データ (CGMS、WSS、VITSなど) を含む入力データを受信できます。

VBIがディスエーブルの場合は (ED/HDではサブアドレス0x31、ビット4、SDではサブアドレス0x83、ビット4)、VBIデータは出力には存在せず、VBI全体がブランクとなります。これらの制御ビットは、すべてのマスター/スレープ・タイミング・モードで有効です。

VBIデータは、SMPTE 293M (525p) 規格では各フレームのライン13~42に挿入でき、ITU-R BT.1358 (625p) 規格ではライン6~43に挿入できます。

VBIデータは、NTSCではライン10~20に、PALではライン7~22に出力できます。

SDタイミング・モード0 (スレープ・オプション) では、VBIがイネーブルの場合は、EAV/SAVコード内のブランキング・ビットが上書きされます。このタイミング・モードでもVBIを使用できます。

CGMSがイネーブルでVBIがディスエーブルの場合も、CGMSデータを出力に使用できます。

SDサブキャリア周波数レジスタ

サブアドレス0x8C~0x8F

サブキャリア周波数の設定には、4つの8ビットレジスタを使用します。これらのレジスタの値は、以下の式を使って計算します。

$$\text{サブキャリア周波数レジスタ} = \frac{1 \text{ビデオ・ライン内のサブキャリア同期数}}{1 \text{ビデオ・ライン内の27MHzクロック・サイクルの数}} \times 2^{32}$$

ここで、合計値は一番近い整数に四捨五入されます。

たとえば、NTSCモードの場合:

$$\text{サブキャリア・レジスタ値} = \left(\frac{227.5}{1716} \right) \times 2^{32} = 569408543$$

ここで、

サブキャリア・レジスタ値=569408543d=0_21F07C1F

SD F_{SC}レジスタ0: 0x1F

SD F_{SC}レジスタ1: 0x7C

SD F_{SC}レジスタ2: 0xF0

SD F_{SC}レジスタ3: 0x21

ADV7390/ADV7391/ADV7392/ADV7393

F_{sc}の設定

サブキャリア周波数レジスタの値は、前の例に示すように分割されて4つのF_{sc}レジスタに分けられます。4つのサブキャリア周波数レジスタは、サブキャリア周波数レジスタ0からサブキャリア周波数レジスタ3まで順番に書き込みする必要があります。サブキャリア周波数は、ADV739xが最後のサブキャリア周波数レジスタ・バイトを受信した後に更新されます。

代表的なF_{sc}値

表37は、サブキャリア周波数レジスタに書き込むべき値を示します (NTSCとPAL B/D/G/H/Iの場合)。

表37. 代表的なF_{sc}値

Subaddress	Description	NTSC	PAL B/D/G/H/I
0x8C	F _{sc} 0	0x1F	0xCB
0x8D	F _{sc} 1	0x7C	0x8A
0x8E	F _{sc} 2	0xF0	0x09
0x8F	F _{sc} 3	0x21	0x2A

SDノンインターレース・モード

サブアドレス0x88、ビット1

ADV739xはSDノンインターレース・モードに対応します。このモードを使って、NTSCおよびPALのフレーム・レートの2倍の速度 (それぞれ240p/59.94Hz、288p/50Hz) でプログレッシブ入力をADV739xに入力できます。SDノンインターレース・モードはサブアドレス0x88、ビット1を使用してイネーブルにできます。

27MHzのクロック信号はCLKINピンに入力します。組込みのEAV/SAVタイミング・コード、またはHSYNCおよびVSYNCピンに入力される水平/垂直外部同期信号は、入力ピクセル・データの同期をとるために使用します。

NTSCモードとPALモードで使用できるすべての入力設定、出力設定、および機能は、SDノンインターレース・モードで使用できます。

240p/59.94Hz入力の場合、ADV739xをNTSC動作に対応するように設定し、サブアドレス0x88、ビット1を1に設定します。

288p/50Hz入力の場合、ADV739xをPAL動作に対応するように設定し、サブアドレス0x88、ビット1を1に設定します。

SDスクエア・ピクセル・モード

サブアドレス0x82、ビット4

ADV739xは、スクエア・ピクセル・モードで使用できます (サブアドレス0x82、ビット4)。NTSC動作の場合は24.5454MHzのクロック入力が必要であり、PAL動作の場合は29.5MHzのクロック入力が必要です。内部タイミング・ロジックは、スクエア・ピクセル・モード動作に合わせて調整されます。

スクエア・ピクセル・モードでは、図65と図66に示すタイミング図が適用されます。

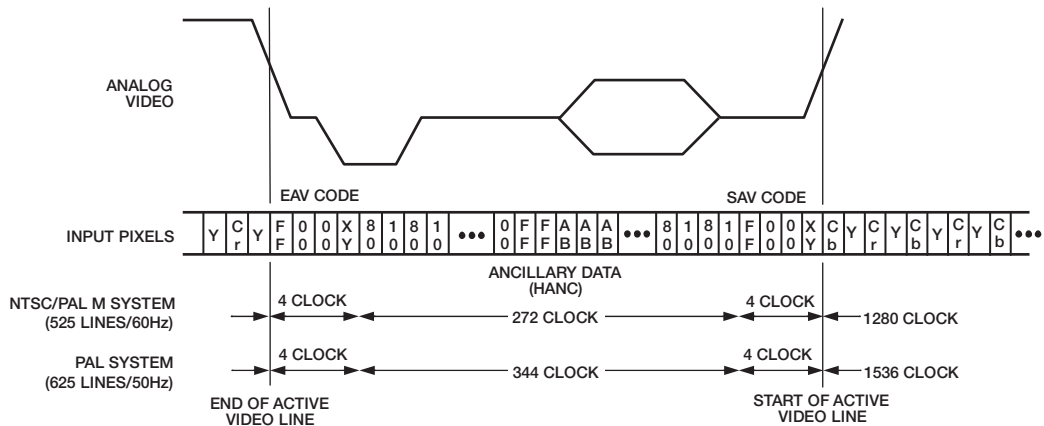


図65. スクエア・ピクセル・モードのEAV/SAV組込みタイミング

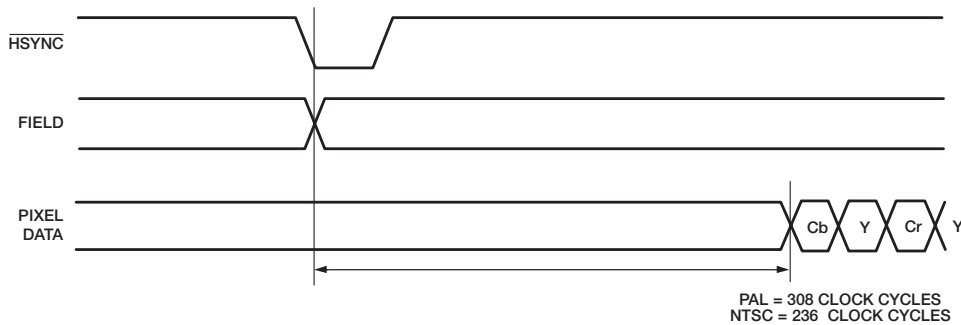


図66. スクエア・ピクセル・モードのアクティブ・ピクセル・タイミング

フィルタ

表38に、ADV739xで使用できる設定可能なフィルタの概要を示します。

表38. 選択可能なフィルタ

Filter	Subaddress
SD Luma LPF NTSC	0x80
SD Luma LPF PAL	0x80
SD Luma Notch NTSC	0x80
SD Luma Notch PAL	0x80
SD Luma SSAF	0x80
SD Luma CIF	0x80
SD Luma QCIF	0x80
SD Chroma 0.65 MHz	0x80
SD Chroma 1.0 MHz	0x80
SD Chroma 1.3 MHz	0x80
SD Chroma 2.0 MHz	0x80
SD Chroma 3.0 MHz	0x80
SD Chroma CIF	0x80
SD Chroma QCIF	0x80
SD PrPb SSAF	0x82
ED/HD Sinc Compensation Filter	0x33
ED/HD Chroma SSAF	0x33

SD内部フィルタ応答

サブアドレス0x80、ビット[7:2]；サブアドレス0x82、ビット0

Yフィルタは、2つのローパス応答、2つのノッチ応答、ゲインの増大/減衰がある場合とない場合の拡張 (SSAF) 応答、CIF 応答、QCIF 応答など、複数の周波数応答に対応します。PrPb フィルタは、6つのローパス応答、CIF 応答、QCIF 応答など、さまざまな周波数応答に対応します (図36、37を参照)。

SD輝度信号SSAFゲインがイネーブルの場合 (サブアドレス0x87、ビット4) は、-4~+4dBの範囲で13の応答の選択ができます。必要な応答を設定するにはサブアドレス0xA2を使用します。図33~35に周波数応答の特性を示します。

ADV739xには、表38に示す色信号フィルタのほかに、色差コンポーネント出力 (PrおよびPb) 用に特に設計されたSSAF フィルタがあります。このフィルタは、2.7MHzまでのカットオフ周波数と、3.8MHzで-40dBのゲインを特長とします (図67を参照)。このフィルタは、サブアドレス0x82、ビット0で制御できます。

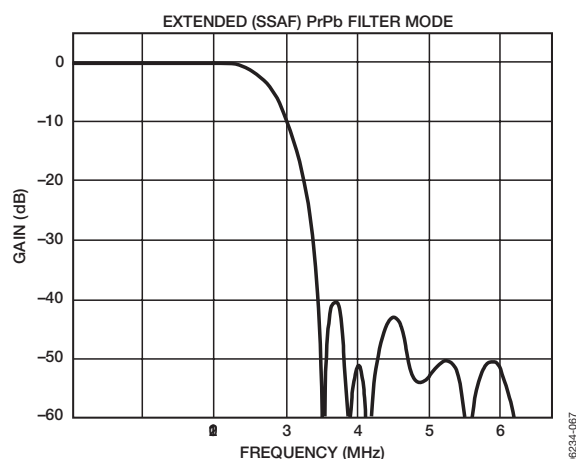


図67. PrPb SSAFフィルタ

このフィルタがディスエーブルの場合は、表39に示す色信号フィルタの1つを選択してCVBS信号や輝度信号/色信号に使用できます。

表39. 内部フィルタの仕様

Filter	Pass-Band Ripple (dB) ¹	3 dB Bandwidth (MHz) ²
Luma LPF NTSC	0.16	4.24
Luma LPF PAL	0.1	4.81
Luma Notch NTSC	0.09	2.3/4.9/6.6
Luma Notch PAL	0.1	3.1/5.6/6.4
Luma SSAF	0.04	6.45
Luma CIF	0.127	3.02
Luma QCIF	Monotonic	1.5
Chroma 0.65 MHz	Monotonic	0.65
Chroma 1.0 MHz	Monotonic	1
Chroma 1.3 MHz	0.09	1.395
Chroma 2.0 MHz	0.048	2.2
Chroma 3.0 MHz	Monotonic	3.2
Chroma CIF	Monotonic	0.65
Chroma QCIF	Monotonic	0.5

¹ 通過帯域リップルは通過帯域における0dB応答からの最大変動であり、dB単位で測定されます。通過帯域は、ローパス・フィルタでは0Hz~fc (Hz) の周波数限界を持ち、ノッチ・フィルタでは0Hz~f1 (Hz) およびf2 (Hz) ~無限大の周波数限界を持つと定義されます。ここで、fc、f1およびf2は-3dBポイントです。

² 3dB帯域幅は-3dBのカットオフ周波数。

ADV7390/ADV7391/ADV7392/ADV7393

ED/HD Sinc補償フィルタ応答

サブアドレス0x33、ビット3

ADV739xは、ED/HDモードでの動作時に、DAC1、DAC2、DAC3でのsincロールオフの影響を改善できるように設計されたフィルタを備えています。このフィルタはデフォルトではイネーブルにされています。これをディスエーブルにするには、サブアドレス0x33、ビット3を使用します。図68と図69に、このフィルタの利点を示します。

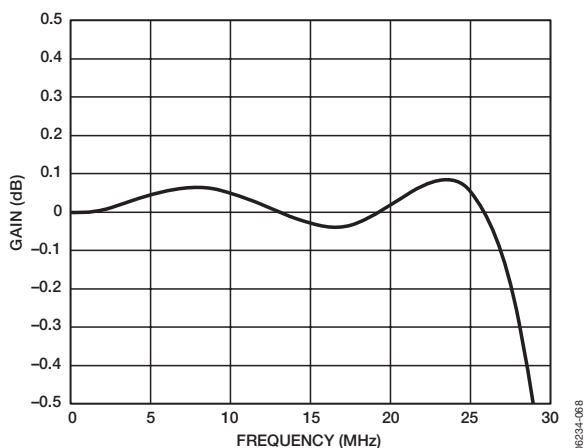


図68. ED/HD Sinc補償フィルタ・イネーブル

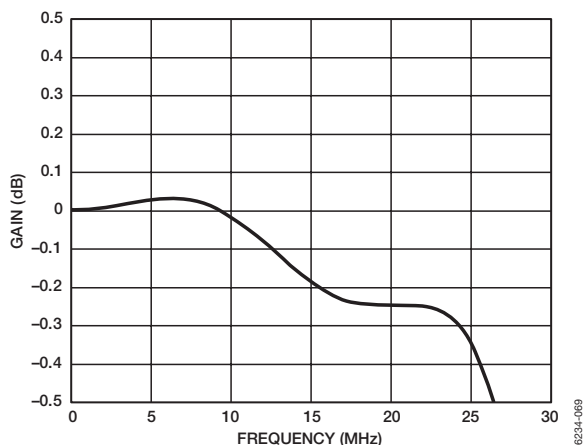


図69. ED/HD Sinc補償フィルタ・ディスエーブル

ED/HDテスト・パターン・カラー制御

サブアドレス0x36~0x38

サブアドレス0x36~0x38の3個の8ビット・レジスタは、内部ED/HDテスト・パターン・ジェネレータ（サブアドレス0x31、ビット2=1）の出力カラーの設定に使用します。これはクロス・ハッチ・パターンのラインであっても、同一色フィールドのテスト・パターンであってもかまいません。これらのレジスタは外部ピクセル・データ入力のカラー制御用には使えません。

白、黒、および飽和した原色と補色を得るために使用される輝度信号（Y）と色差（Cr、Cb）信号の値は、ITU-R BT.601-4規格に準拠します。

表40は、出力規格選択がEIA770.2/EIA770.3に設定された場合に（サブアドレス0x30、ビット[1:0]=00）、カラー・レジスタに設定できるサンプル・カラー値を示しています。

表40. 出力規格がEIA770.2/EIA770.3 ED/HDの場合のサンプル・カラー値

Sample Color	Y Value	Cr Value	Cb Value
White	235 (0xEB)	128 (0x80)	128 (0x80)
Black	16 (0x10)	128 (0x80)	128 (0x80)
Red	81 (0x51)	240 (0xF0)	90 (0x5A)
Green	145 (0x91)	34 (0x22)	54 (0x36)
Blue	41 (0x29)	110 (0x6E)	240 (0xF0)
Yellow	210 (0xD2)	146 (0x92)	16 (0x10)
Cyan	170 (0xAA)	16 (0x10)	166 (0xA6)
Magenta	106 (0x6A)	222 (0xDE)	202 (0xCA)

色空間変換マトリックス

サブアドレス0x03~0x09

内部色空間変換（CSC）マトリックスは、モード選択レジスタ（サブアドレス0x01、ビット[6:4]）に設定されている入力モードに基づいて、すべての色空間変換を自動的に実行します。表41と表42に、このマトリックスで使用できるオプションを示します。

ADV7392/ADV7393は、RGB入力からYPrPb出力へのSD色空間変換に対応します。しかし、RGB入力からYPrPb出力へのED/HD色空間変換には対応していません。

表41. SD色空間変換オプション

Input	Output ¹	YPrPb/RGB Out (Reg. 0x02, Bit 5)	RGB In/YCrCb In (Reg. 0x87, Bit 7)
YCrCb	YPrPb	1	0
YCrCb	RGB	0	0
RGB ²	YPrPb	1	1
RGB ²	RGB	0	1

¹ CVBS/YC出力はどのCSCの組合せでも使用できます。

² ADV7392/ADV7393（40ピン・デバイス）でのみ使用できます。

表42. ED/HD色空間変換オプション

Input	Output	YPrPb/RGB Out (Reg. 0x02, Bit 5)
YCrCb	YPrPb	1
YCrCb	RGB	0

ED/HD手動CSCマトリックス調整機能

ED/HD手動CSCマトリックス調整機能は、色空間変換に独自の係数処理を可能にします。この機能は、EDモードとHDモードでのみ使用できます。この機能をイネーブルにするには、サブアドレス0x02、ビット3を使用します。

CSCマトリックスは、選択された入力モード（EDまたはHD）と選択された出力色空間（表42を参照）に基づいて色空間変換を自動的に行うため、通常はこの調整機能をイネーブルにする必要はありません。したがって、この機能はデフォルトではディスエーブルになっています。

ADV7390/ADV7391/ADV7392/ADV7393

RGB出力が選択された場合は、ED/HD CSCマトリックス・スケラは以下の式を使用します。

$$R = GY \times Y + RV \times Pr$$

$$G = GY \times Y - (GU \times Pb) - (GV \times Pr)$$

$$B = GY \times Y + BU \times Pb$$

なお、減算はハードウェアで実行されます。

YPrPb出力が選択された場合は、以下の式が使用されます。

$$Y = GY \times Y$$

$$Pr = RV \times Pr$$

$$Pb = BU \times Pb$$

ここで、

GY =サブアドレス0x05、ビット[7:0]およびサブアドレス0x03、ビット[1:0]

GU =サブアドレス0x06、ビット[7:0]およびサブアドレス0x04、ビット[7:6]

GV =サブアドレス0x07、ビット[7:0]およびサブアドレス0x04、ビット[5:4]

BU =サブアドレス0x08、ビット[7:0]およびサブアドレス0x04、ビット[3:2]

RV =サブアドレス0x09、ビット[7:0]およびサブアドレス0x04、ビット[1:0]

CSCマトリックスは、パワーアップ時にデフォルト値（表43）が設定されます。

表43. ED/HD手動CSCマトリックスのデフォルト値

Subaddress	Default
0x03	0x03
0x04	0xF0
0x05	0x4E
0x06	0x0E
0x07	0x24
0x08	0x92
0x09	0x7C

ED/HD手動CSCマトリックス調整機能がイネーブルの場合、サブアドレス0x03~0x09のデフォルトの係数値はHD色空間にのみ有効です。カラー・コンポーネントは、1080iおよび720p規格（SMPTE 274M、SMPTE 296M）に従って変換されず。

$$R = Y + 1.575Pr$$

$$G = Y - 0.468Pr - 0.187Pb$$

$$B = Y + 1.855Pb$$

変換係数は、315を乗算してから、ED/HD CSCマトリックス・レジスタに書き込みます。これは、 $GY=0x13B$ 、 $GU=0x03B$ 、 $GV=0x093$ 、 $BU=0x248$ 、 $RV=0x1F0$ のデフォルト値に反映されます。

ED/HD手動CSCマトリックス調整機能がイネーブルのときに、別の入力規格（EDなど）を使用する場合は、 GY 、 GU 、 GV 、 BU 、 RV のスケール値をこの入力規格色空間に従って調整する必要があります。カラー・コンポーネント変換ではさまざまなスケール値が使用される可能性があることを考慮してください。

たとえば、SMPTE 293Mでは以下の変換式を使用します。

$$R = Y + 1.402Pr$$

$$G = Y - 0.714Pr - 0.344Pb$$

$$B = Y + 1.773Pb$$

プログラマブルなCSCマトリックスは、外部のED/HDピクセル・データ用に使用しますが、内部テスト・パターンがイネーブルのときは無効となります。

CSCマトリックスの設定

YCrCbからRGBへの色空間変換でED/HD CSCマトリックス係数のカスタム操作が必要な場合は、以下の手順を実行します。

1. ED/HD手動CSCマトリックス調整機能をイネーブルにします（サブアドレス0x02、ビット3）。
2. 出力をRGBに設定します（サブアドレス0x02、ビット5）。
3. Sync on PrPbをディセーブルにします（サブアドレス0x35、ビット2）。
4. Sync on RGBをイネーブルにします（オプション）（サブアドレス0x02、ビット4）。

GY 値は緑の信号出力レベルを、 BU 値は青の信号出力レベルを、 RV 値は赤の信号出力レベルを制御します。

SD輝度信号とカラーの制御

サブアドレス0x9C~0x9F

SD Yスケール、SD Cbスケール、SD Crスケールは3つの10ビット・コントロール・レジスタであり、SDのY、Cb、およびCrの出力レベルをスケールリングします。

これらのレジスタはそれぞれ、CbまたはCrレベルを初期値の0.0から2.0倍に、Yレベルを0.0から1.5倍にスケールリングするために必要な値を表します。これらの10ビットの値は、以下の式を使って計算されます。

$$Y, Cb, \text{ または } Cr \text{ スケール値} = \text{スケール係数} \times 512$$

たとえば、スケール係数=1.3の場合は、以下の値が得られます。

$$Y, Cb, \text{ または } Cr \text{ スケール値} = 1.3 \times 512 = 665.6$$

$$Y, Cb, \text{ または } Cr \text{ スケール値} = 666 \text{ (一番近い整数に四捨五入)}$$

$$Y, Cb, \text{ または } Cr \text{ スケール値} = 1010 \ 0110 \ 10b$$

サブアドレス0x9C、SDスケールLSBレジスタ=0x2A
 サブアドレス0x9D、SD Yスケール・レジスタ=0xA6
 サブアドレス0x9E、SD Cbスケール・レジスタ=0xA6
 サブアドレス0x9F、SD Crスケール・レジスタ=0xA6

なお、この機能は、すべてのインターレース出力信号、すなわちCVBS、YC、YPrPb、RGBに影響を及ぼします。

ADV7390/ADV7391/ADV7392/ADV7393

SD色相調整制御

サブアドレス0xA0

SD色相調整コントロール・レジスタ（サブアドレス0xA0）をイネーブルにして、SDコンポジット出力と色信号出力の色相を調整できます。この機能は、サブアドレス0x87、ビット2を使ってイネーブルにできます。

サブアドレス0xA0は、ビデオ・データの色相の変動、すなわちカラー・バースト期間のサブキャリアの位相を基準にしたアクティブ・ビデオ期間のサブキャリアの位相の変動に必要なビットを含んでいます。ADV739xは、0.17578125°をインクリメント単位とする±22.5°の範囲を調整できます。通常動作（ゼロ調整）では、このレジスタは0x80に設定されます。値0xFFと0x00は、それぞれ、NTSCモードで実行できる調整の上限値と下限値を表します。値0xFFと0x01は、それぞれ、PALモードで実行できる調整の上限値と下限値を表します。

色相調整値は、以下の式を使って計算されます。

$$\text{色相調整 (°)} = 0.17578125^\circ (HCR_d - 128)$$

ここで、 HCR_d は色相調整コントロール・レジスタ（10進数）です。

たとえば、色相を+4°調整するには、0x97を色相調整コントロール・レジスタに書き込みます。

$$\left(\frac{4}{0.17578125}\right) + 128 \doteq 151d = 0x97$$

この場合、合計値は最も近い整数に四捨五入されます。

色相を-4°調整するには、0x69を色相調整コントロール・レジスタに書き込みます。

$$\left(\frac{-4}{0.17578125}\right) + 128 \doteq 105d = 0x69$$

この場合、合計値は最も近い整数に四捨五入されます。

SDブライトネス検出

サブアドレス0xBA

ADV739xは、入力ビデオ・データの輝度レベルをモニターすることができます。SDブライトネス検出レジスタ（サブアドレス0xBA）は読出し専用レジスタです。

SDブライトネス制御

サブアドレス0xA1、ビット[6:0]

この機能がイネーブルの場合、SDブライトネス/WSSコントロール・レジスタ（サブアドレス0xA1）は、スケールされたYデータにプログラマブルなセットアップ・レベルを加算することによって、ブライトネスの制御に使用できます。この機能は、サブアドレス0x87、ビット3を使ってイネーブルにします。

ペDESTALありのNTSCでは、セットアップは0IREから22.5IREまで変動が可能です。また、ペDESTALなしのNTSC（図70を参照）とPALでは、セットアップは-7.5IREから+15IREまで設定変更が可能です。

SD明度コントロール・レジスタは8ビット・レジスタです。この8ビット・レジスタの下位7ビットで明度レベルを調整します。ブライトネスレベルは正の値または負の値となります。

たとえば、

ペDESTALありのNTSC信号に+20IREの明度レベルを加算するには、サブアドレス0xA1に0x28を書き込みます。

$$0 \times (\text{SD明度値}) =$$

$$0 \times (\text{IRE値} \times 2.015631) =$$

$$0 \times (20 \times 2.015631) = 0 \times (40.31262) \doteq 0x28$$

PAL信号に-7IREの明度レベルを加算するには、サブアドレス0xA1に0x72を書き込みます。

$$0 \times (\text{SD明度値}) =$$

$$0 \times (\text{IRE値} \times 2.075631) =$$

$$0 \times (7 \times 2.075631) = 0 \times (14.109417) \doteq 0001110b$$

$$0001110b \text{の2の補数} = 1110010b = 0x72$$

表44. ブライトネス制御の例¹

Setup Level (NTSC) with Pedestal	Setup Level (NTSC) Without Pedestal	Setup Level (PAL)	Brightness Control Value
22.5 IRE	15 IRE	15 IRE	0x1E
15 IRE	7.5 IRE	7.5 IRE	0x0F
7.5 IRE	0 IRE	0 IRE	0x00
0 IRE	-7.5 IRE	-7.5 IRE	0x71

¹ 0x3F~0x44の範囲内の値を指定すると、無効な出力信号になることがあります。

SD入力規格の自動検出

サブアドレス0x87、ビット5

ADV739xにはSD入力規格の自動検出機能があります。この機能をイネーブルにするには、サブアドレス0x87、ビット5を1に設定します。

この機能をイネーブルにすると、ADV739xはNTSCまたはPAL B/D/G/H/I入力ストリームを自動的に識別します。ADV739xは、識別した規格に対応する値でサブキャリア周波数レジスタを自動的に更新します。また、識別した規格を正しくエンコードできるように設定もできます。

SD規格ビット（サブアドレス0x80、ビット[1:0]）およびサブキャリア周波数レジスタは、識別した規格を反映させるための更新は行いません。すべてのレジスタは、デフォルト値かユーザ定義値を保持します。

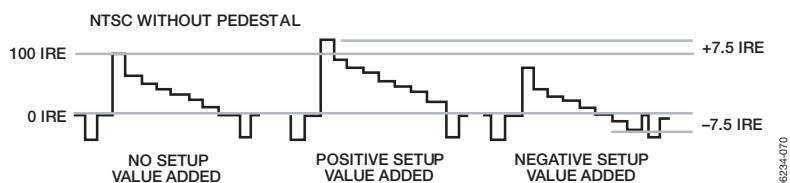


図70. ブライトネス制御値の例

ダブル・バッファリング

サブアドレス0x33、ビット7 (ED/HD)

サブアドレス0x88、ビット2 (SD)

ダブル・バッファ・レジスタは、フィールドごとに1回更新されます。ダブル・バッファリング方式の場合、レジスタ設定の変更は、アクティブ・ビデオ期間中は行わず、次のフィールドのアクティブ・ビデオ開始前に有効となるため、性能全体が向上します。

ダブル・バッファリングはサブアドレス0x33、ビット7を使用し、ED/HDガンマA／ガンマB曲線、ED/HD CGMSといったED/HDレジスタでアクティブにできます。

また、ダブル・バッファリングは、サブアドレス0x88、ビット2を使用し、SDレジスタ、すなわちSDガンマA／ガンマB曲線、SD Yスケール、SD Crスケール、SD Cbスケール、SDブライトネス、SDクローズド・キャプション、SD Macrovisionビット[5:0] (サブアドレス0xE0、ビット[5:0]) でアクティブにすることができます。

プログラマブルなDACゲイン・コントロール

サブアドレス0x0B

DAC出力信号のゲインは、絶対レベルを基準に増減することができます。これを図71に示します。

DAC1～DAC3は、レジスタ0x0Bで制御します。

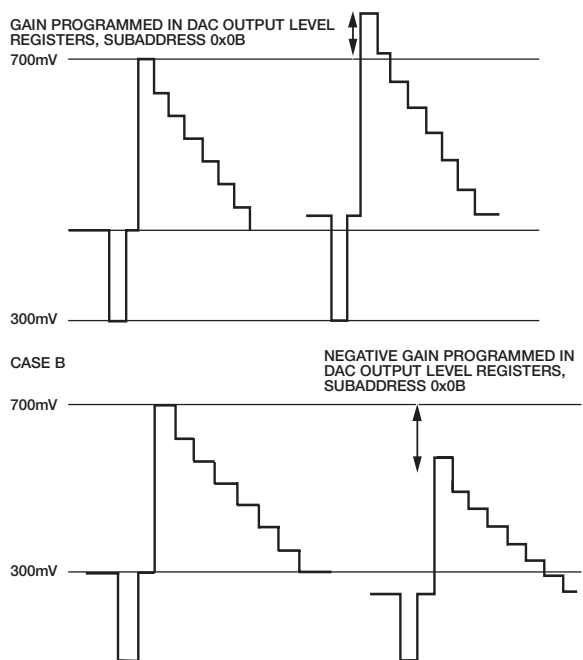


図71. プログラマブルなDACゲイン—正と負のゲイン

図71のケースAでは、ビデオ出力信号ゲインが増大します。同期信号の底の絶対レベルとブランキング・レベルは両方ともリファレンス・ビデオ出力信号と比較して増大します。信号の全体的なゲインは、リファレンス信号よりも増大します。

図71のケースBでは、ビデオ出力信号ゲインが低下します。同期信号の底の絶対レベルとブランキング・レベルは両方ともリファレンス・ビデオ出力信号と比較して減少します。信号の全体的なゲインは、リファレンス信号よりも減少します。

この機能の使用できる範囲は、DACの公称出力の±7.5%で仕様で規定されています。たとえば、DACの出力電流が4.33mAの場合、DACのゲイン・コントロール機能はこの出力電流を4.008 mA (−7.5%) から4.658 mA (+7.5%) まで変更できます。

コントロール・レジスタのリセット値は0x00です。すなわち、公称値のDAC電流が出力されます。表45は、DACの出力電流の変化を4.33 mA (公称値) の出力電流を基準に示しています。

表45. DACゲイン・コントロール

Subaddress 0x0B	DAC Current (mA)	% Gain	Note
0100 0000 (0x40)	4.658	7.5000%	
0011 1111 (0x3F)	4.653	7.3820%	
0011 1110 (0x3E)	4.648	7.3640%	
...	
...	
0000 0010 (0x02)	4.43	0.0360%	
0000 0001 (0x01)	4.38	0.0180%	
0000 0000 (0x00)	4.33	0.0000%	Reset value, nominal
1111 1111 (0xFF)	4.25	-0.0180%	
1111 1110 (0xFE)	4.23	-0.0360%	
...	
...	
1100 0010 (0xC2)	4.018	-7.3640%	
1100 0001 (0xC1)	4.013	-7.3820%	
1100 0000 (0xC0)	4.008	-7.5000%	

ガンマ補正

サブアドレス0x44～0x57 (ED/HD)

サブアドレス0xA6～0xB9 (SD)

一般にガンマ補正は、信号入力と (CRTで認識される) 出力輝度レベルの非直線的な関係を補償するために使用されます。これは、非直線処理が行われるケースにはすべて適用できます。

ガンマ補正は、次の関数を使用します。

$$Signal_{OUT} = (Signal_{IN})^\gamma$$

ここで、 γ = ガンマ補正係数

ガンマ補正は、SDおよびED/HDビデオに適用できます。どちらも20個の8ビット・レジスタがあります。これらはガンマ補正曲線AとBを設定するために使用します。

ED/HDガンマ補正は、サブアドレス0x35、ビット5を使ってイネーブルにします。ED/HDガンマ補正曲線Aはサブアドレス0x44～0x4Dで設定し、ED/HDガンマ補正曲線Bはサブアドレス0x4E～0x57で設定します。

ADV7390/ADV7391/ADV7392/ADV7393

SDガンマ補正は、サブアドレス0x88、ビット6を使ってイネーブルにします。SDガンマ補正曲線Aはサブアドレス0xA6~0xAFで設定し、SDガンマ補正曲線Bはサブアドレス0xB0~0xB9で設定します。

ガンマ補正は輝度信号データに対してのみ実行します。2つの補正曲線AとBのいずれか一方を選択できます。一度に使用できる曲線は1つだけです。ED/HDガンマ補正では、サブアドレス0x35、ビット4を使って曲線の選択を行い、SDガンマ補正では、サブアドレス0x88、ビット7を使って曲線の選択を行います。

ガンマ補正曲線の形状を調整するには、曲線の10箇所位置で曲線の特性を定義する必要があります。これらの位置での特性を変更することで、ガンマ補正曲線の形状を変えることができます。これらのポイント間では、線形補間によって中間値を生成します。全体で256ポイントの長さを持つ曲線を考えてみると、設定可能な10箇所位置は24、32、48、64、80、96、128、160、192、224の各ポイントとなります。位置0、16、240、255は固定されているので、変更できません。

曲線位置16~240の設定可能な位置の値とガンマ補正曲線の応答を計算すると、以下の値が得られます。

$$x_{DESIRED} = (x_{INPUT})^{\gamma}$$

ここで、

$x_{DESIRED}$ = 希望するガンマ補正出力

x_{INPUT} = リニア入力信号

γ = ガンマ補正係数

ガンマ補正レジスタを設定する場合は、以下の計算式を使って10個の設定可能な曲線値を計算します。

$$\gamma_n = \left(\frac{n-16}{240-16} \right)^{\gamma} \times (240-16) + 16$$

ここで、

γ_n = ガンマ補正レジスタに書き込まれるガンマ補正曲線のポイントnの値

n = 24、32、48、64、80、96、128、160、192、または224

γ = ガンマ補正係数

たとえば、設定可能なすべての曲線データ・ポイントに対して $\gamma=0.5$ を設定すると、以下の γ_n 値が得られます。

ここで、各式の計算値は最も近い整数に四捨五入されます。

$$\gamma_{24} = [(8/224)^{0.5} \times 224] + 16 = 58$$

$$\gamma_{32} = [(16/224)^{0.5} \times 224] + 16 = 76$$

$$\gamma_{48} = [(32/224)^{0.5} \times 224] + 16 = 101$$

$$\gamma_{64} = [(48/224)^{0.5} \times 224] + 16 = 120$$

$$\gamma_{80} = [(64/224)^{0.5} \times 224] + 16 = 136$$

$$\gamma_{96} = [(80/224)^{0.5} \times 224] + 16 = 150$$

$$\gamma_{128} = [(112/224)^{0.5} \times 224] + 16 = 174$$

$$\gamma_{160} = [(144/224)^{0.5} \times 224] + 16 = 195$$

$$\gamma_{192} = [(176/224)^{0.5} \times 224] + 16 = 214$$

$$\gamma_{224} = [(208/224)^{0.5} \times 224] + 16 = 232$$

図72と図73のガンマ曲線は単なる例であり、実際には16~240の範囲で任意のユーザ定義曲線を生成できます。

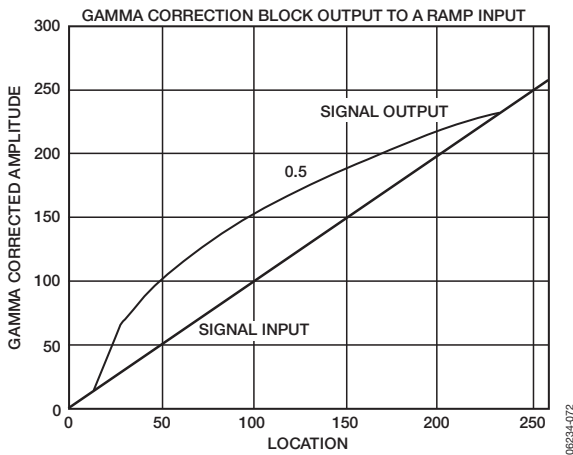


図72. ガンマ値0.5に対する信号入力（ランプ）と信号出力

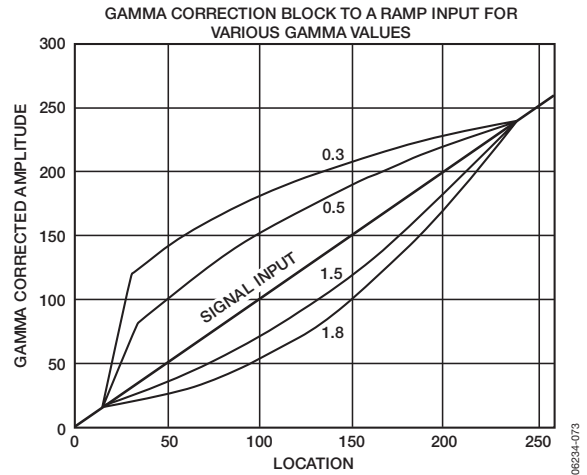


図73. 信号入力（ランプ）と選択可能な出力曲線

ED/HDシャープネス・フィルタおよびアダプティブ・フィルタ制御

サブアドレス0x40、サブアドレス0x58~0x5D

ADV739xには、使用できる3つのフィルタ・モードがあります。シャープネス・フィルタ・モードと2つのアダプティブ・フィルタ・モードです。

ED/HDシャープネス・フィルタ・モード

図74に示す周波数範囲でY信号を増幅または減衰するには、ED/HDシャープネス・フィルタをイネーブルにし（サブアドレス0x31、ビット7=1）、ED/HDアダプティブ・フィルタをディスエーブルにする（サブアドレス0x35、ビット7=0）必要があります。

256応答の中から1つを選択するには、該当するゲイン値（各フィルタごとに-8~+7の範囲）をサブアドレス0x40のED/HDシャープネス・フィルタ・ゲイン・レジスタに書き込みます。

ED/HDアダプティブ・フィルタ・モード

ED/HDアダプティブ・フィルタ・モードでは、以下のレジスタを使用します。

- ED/HDアダプティブ・フィルタ・スレッシュールドA
- ED/HDアダプティブ・フィルタ・スレッシュールドB
- ED/HDアダプティブ・フィルタ・スレッシュールドC
- ED/HDアダプティブ・フィルタ・ゲイン1
- ED/HDアダプティブ・フィルタ・ゲイン2
- ED/HDアダプティブ・フィルタ・ゲイン3
- ED/HDシャープネス・フィルタ・ゲイン・レジスタ

アダプティブ・フィルタ制御をアクティブにするには、ED/HDシャープネス・フィルタとED/HDアダプティブ・フィルタをイネーブルにする必要があります（それぞれサブアドレス0x31、ビット7=1とサブアドレス0x35、ビット7=1）。

入力信号の輝度の微分値（変化量）は、3つの設定可能なスレッシュールド値、すなわちED/HDアダプティブ・フィルタ・スレッシュールドA、スレッシュールドB、およびスレッシュールドC（サブアドレス0x5B、0x5C、および0x5D）と比較されます。推奨スレッシュールド範囲は16~235ですが、0~255の範囲であればどの値でも使用できます。

その後、ED/HDアダプティブ・フィルタ・ゲイン1/ゲイン2/ゲイン3レジスタ（サブアドレス0x58、0x59、0x5A）およびED/HDシャープネス・フィルタ・ゲイン・レジスタ（サブアドレス0x40）の設定値でエッジの変化量に応じてエッジのフィルタ特性とゲインを減衰させるとができます。

アダプティブ・フィルタ・モードは2つあります。モードを選択するには、ED/HDアダプティブ・フィルタ・モード制御（サブアドレス0x35、ビット6）を使用します。

- ED/HDアダプティブ・フィルタ・モード制御を0に設定すると、モードAが使用されます。この場合、フィルタB（LPF）がアダプティブ・フィルタ・ブロックで使用されます。また、ED/HDアダプティブ・フィルタ・ゲイン1/ゲイン2/ゲイン3レジスタおよびED/HDシャープネス・フィルタ・ゲイン・レジスタのゲインBの設定値のみが、必要に応じて適用されます。ゲインAの値は固定値なので変更できません。
- ED/HDアダプティブ・フィルタ・モード制御を1に設定すると、モードBが使用されます。このモードでは、カスケード接続されたフィルタAとフィルタBが使用されます。ED/HDアダプティブ・フィルタ・ゲイン1/ゲイン2/ゲイン3レジスタおよびED/HDシャープネス・フィルタ・ゲイン・レジスタのゲインAとゲインBの両方の設定値が、必要に応じてアクティブとなります。

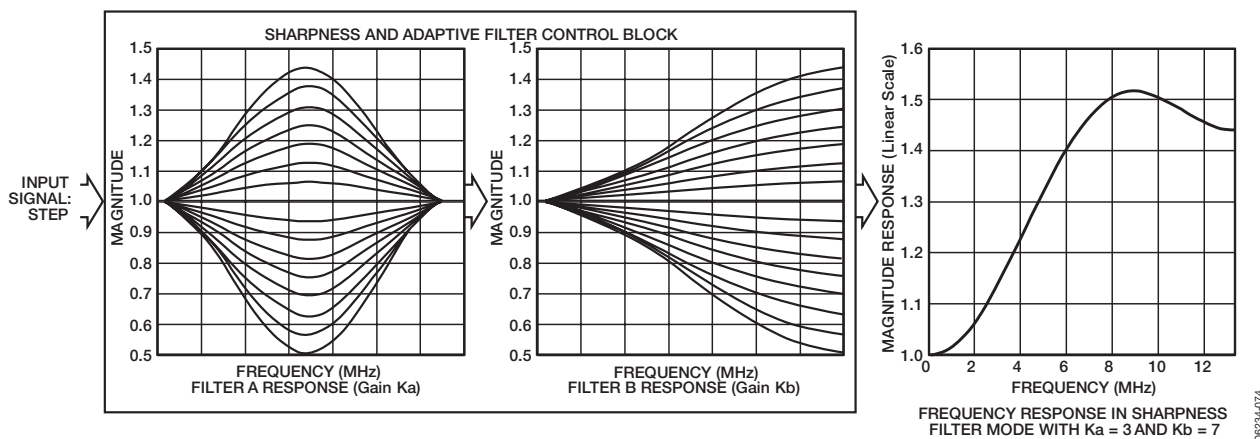


図74. ED/HDシャープネス/アダプティブ・フィルタ制御ブロック

ADV7390/ADV7391/ADV7392/ADV7393

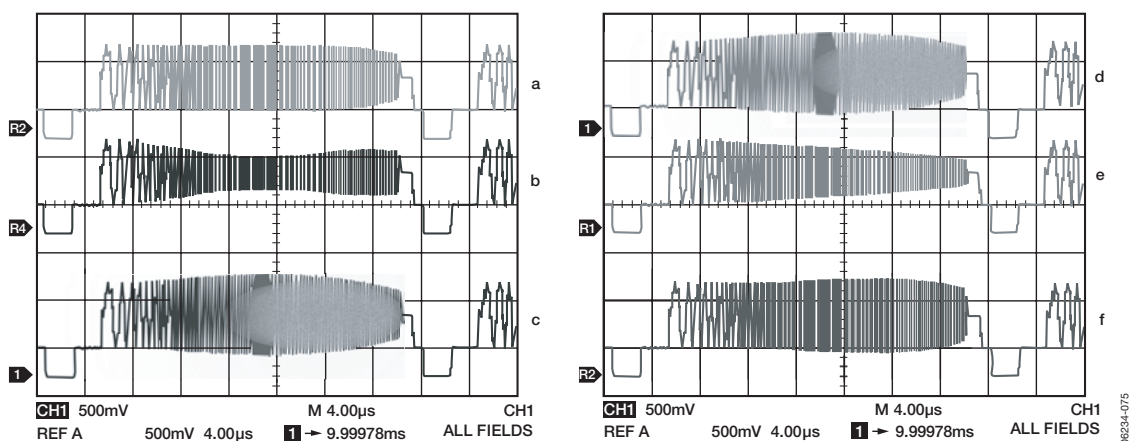


図75. ED/HDシャープネス・フィルタ・ゲイン値のゲイン設定の変更によるED/HDシャープネス・フィルタの制御

ED/HDシャープネス・フィルタおよびアダプティブ・フィルタの適用例

シャープネス・フィルタの適用

ED/HDシャープネス・フィルタで、Yビデオ出力信号の増幅/減衰を行うことができます。表46のレジスタ設定を使用すると、図75の結果が得られます。入力データは、外部信号発生器によって周波数特性が見れるようにビデオスイープ信号が生成されています。

表46. ED/HDシャープネス制御

Subaddress	Register Setting	Reference ¹
0x00	0xFC	
0x01	0x10	
0x02	0x20	
0x30	0x00	
0x31	0x81	
0x40	0x00	a
0x40	0x08	b
0x40	0x04	c
0x40	0x40	d
0x40	0x80	e
0x40	0x22	f

¹ 図75を参照してください。

アダプティブ・フィルタ制御の適用

表47のレジスタ設定を使用すると、図77の結果が得られます。ここでは、図76に示した入力信号Yのリングングが除去されています。入力データは、外部信号源によって生成されています。

表47. 図77のレジスタ設定

Subaddress	Register Setting
0x00	0xFC
0x01	0x38
0x02	0x20
0x30	0x00
0x31	0x81
0x35	0x80
0x40	0x00
0x58	0xAC
0x59	0x9A
0x5A	0x88
0x5B	0x28
0x5C	0x3F
0x5D	0x64

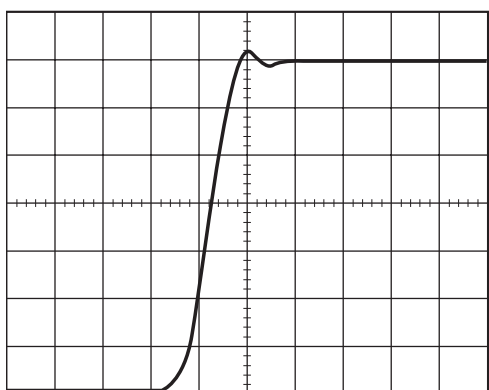


図76. ED/HDアダプティブ・フィルタへの入力信号

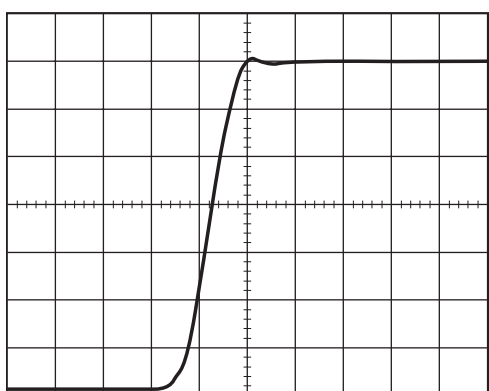


図77. ED/HDアダプティブ・フィルタからの出力信号 (モードA)

アダプティブ・フィルタ・モードをモードBに変えると (サブアドレス0x35、ビット6)、図78に示す出力が得られます。

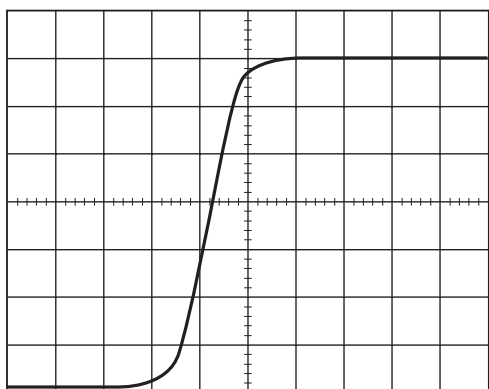


図78. ED/HDアダプティブ・フィルタからの出力信号 (モードB)

SDデジタル・ノイズ・リダクション

サブアドレス0xA3~0xA5

デジタル・ノイズ・リダクション (DNR) はYデータのみに適用されます。フィルタ・ブロックは、入力信号の高周波、低振幅の信号成分を抽出します (DNR入力セレクト)。フィルタ出力の絶対値は、設定可能なスレッシュホールド値と比較されます (DNRスレッシュホールド制御)。使用できるモードには、DNRモードとDNRシャープネス・モードがあります。

DNRモードでは、フィルタ出力の絶対値がスレッシュホールドより小さい場合、その出力はノイズとみなされます。このノイズ信号の設定量 (コアリング・ゲイン境界、コアリング・ゲイン・データ) が、元の信号から減算されます。一方、DNRシャープネス・モードでは、フィルタ出力の絶対値が設定可能なスレッシュホールドより小さい場合、前の場合と同様、その出力はノイズとみなされますが、そのレベルがスレッシュホールドを上回り有効な信号とみなされた信号の一部 (コアリング・ゲイン境界、コアリング・ゲイン・データ) を元の信号に加算し、フィルタ出力成分を増大させて、ビデオ画像を強調する目的で使用できます。

MPEGシステムでは、一般に8ピクセル×8ピクセル (MPEG2システム) または16ピクセル×16ピクセル (MPEG1システム) のブロック単位でビデオ情報が処理されます (ブロック・サイズ制御)。DNRは、このノイズを含むブロック境界領域にノイズ除去フィルタの適用ができます。一般に、ブロック境界領域は2ピクセルで構成されています。この領域は4ピクセル毎の境界として処理も行えます (境界領域)。

また、DNRブロック・オフセットを使って、変動するブロック位置またはYCrCbピクセル・タイミングの位置を調整できます。

デジタル・ノイズ・リダクション (DNR) レジスタには3個の8ビット・レジスタがあります。これらのレジスタで、DNR処理を制御できます。

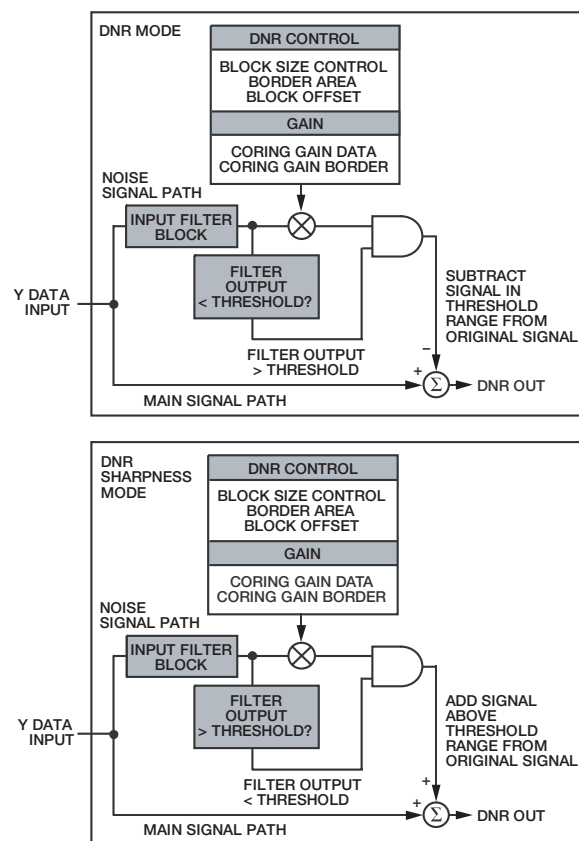


図79. SD DNRブロック図

ADV7390/ADV7391/ADV7392/ADV7393

コアリング・ゲイン境界—サブアドレス0xA3、ビット [3:0]

この4ビットは、境界領域に適用されるゲイン係数に割り当てられています。DNRモードでは、ゲイン値の範囲は0~1です(1/8のインクリメント)。この係数は、設定されたスレッシュールド範囲を下回るDNRフィルタ出力に適用されます。結果値は、元の信号から減算されます。

DNRシャープネス・モードでは、ゲイン値の範囲は0~0.5です(1/16のインクリメント)。この係数は、スレッシュールド範囲を上回るDNRフィルタ出力に適用されます。結果値は、元の信号に加算されます。

コアリング・ゲイン・データ—サブアドレス0xA3、ビット[7:4]

この4ビットは、MPEGピクセル・ブロック内の輝度信号データに適用するゲイン係数に割り当てられます。DNRモードでは、ゲイン値の範囲は0~1です(1/8のインクリメント)。この係数は、設定されたスレッシュールド範囲を下回るDNRフィルタ出力に適用されます。結果値は、元の信号から減算されます。

DNRシャープネス・モードの場合、ゲイン値の範囲は0~0.5です(1/16のインクリメント)。この係数は、スレッシュールド範囲を上回るDNRフィルタ出力に適用されます。結果値は、元の信号に加算されます。

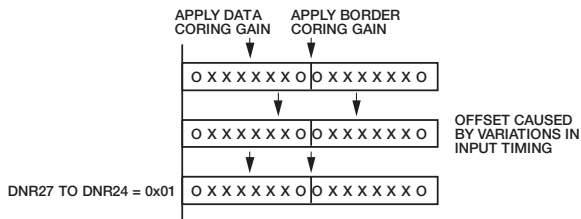


図80. SD DNRオフセット制御

DNRスレッシュールド—サブアドレス0xA4、ビット [5:0]

この6ビットを使って、0~63の範囲でスレッシュールド値を定義します。この範囲の値が絶対値です。

境界領域—サブアドレス0xA4、ビット6

このビットをロジック1に設定すると、4つのピクセルからなるブロック遷移領域を定義できます。このビットを0に設定すると、境界遷移は2つのピクセルで構成され、1つのピクセルは27MHzで2クロック・サイクルを表します。

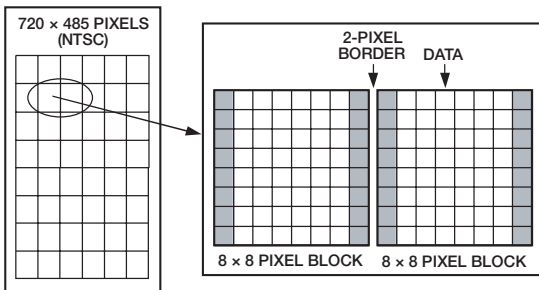


図81. SD DNR境界領域

ブロック・サイズ—サブアドレス0xA4、ビット7

このビットで、処理するデータ・ブロックのサイズを選択します。ブロック・サイズ制御機能をロジック1に設定すると、16ピクセル×16ピクセルのデータ・ブロックが定義され、ロジック0に設定すると8ピクセル×8ピクセルのデータ・ブロックが定義されます。この場合、1つのピクセルは27MHzで2クロック・サイクルを表します。

DNR入力選択—サブアドレス0xA5、ビット[2:0]

この3ビットは、入力Yデータに適用するフィルタの選択に割り当てられます。選択したフィルタの通過帯域内の信号はDNRで処理されます。図82に、この制御機能で選択できるフィルタ応答を示します。

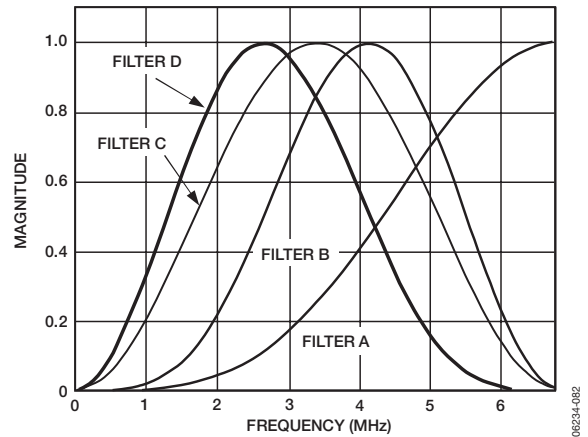


図82. SD DNR入力選択

DNRモード—サブアドレス0xA5、ビット4

このビットは、選択したDNRモードを制御します。ロジック0ではDNRモードを、ロジック1ではDNRシャープネス・モードを選択します。

DNR動作原理では、低振幅、高周波の信号を推定ノイズとして定義し、そのノイズを元の信号から減算します。

DNRモードでは、設定済みのスレッシュールドを下回る信号の一部(ノイズと想定される)を元の信号から減算できます。スレッシュールドは、DNRレジスタ1で設定します。

DNRシャープネス・モードがイネーブルのときは、設定済みのスレッシュールドを上回る信号の一部は有効なデータでノイズとはみなされないので、元の信号に加算することができます。この加算処理によって信号がブーストされます(拡張SSAFフィルタを使用する場合と似ています)。

ブロック・オフセット制御—サブアドレス0xA5、ビット[7:4]

この制御のための4ビットで、最大15ピクセルのデータ・ブロックのシフトが可能です。コアリング・ゲイン位置は固定されています。ブロック・オフセットによって、データは1ピクセル刻みでシフトされます。これにより、データの入力タイミングが変動しても、境界のコアリング・ゲイン係数を同じ位置で適用できます。

SDアクティブ・ビデオ・エッジ制御

サブアドレス0x82、ビット7

ADV739xは、アクティブ・ビデオの開始または終了時に高速立上がり／立下がり信号を制御して、リングングを最小限に抑えられます。

アクティブ・ビデオ・エッジ制御機能がイネーブルの場合は（サブアドレス0x82、ビット7=1）、輝度信号チャンネル上のアクティブ・ビデオの最初と最後のそれぞれ3ピクセルで変化するように傾斜を持たせられ、これらのピクセルでの急峻な最大変化をしないようにさせます。

アクティブ・ビデオの開始時には、最初の3ピクセルに1/8、1/2、7/8がそれぞれ乗算されます。アクティブ・ビデオの終了に近づくとき、最後の3ピクセルに7/8、1/2、1/8がそれぞれ乗算されます。他のすべてのアクティブ・ビデオ・ピクセルは未処理のまま通過します。

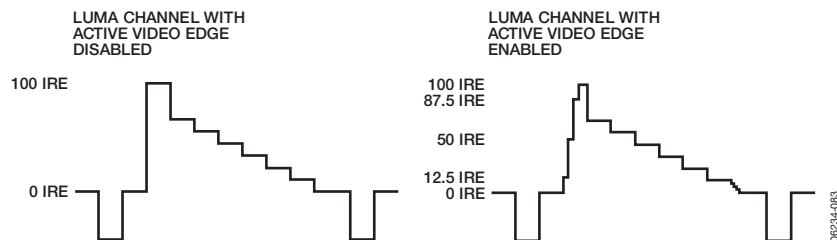


図83. アクティブ・ビデオ・エッジ機能の例

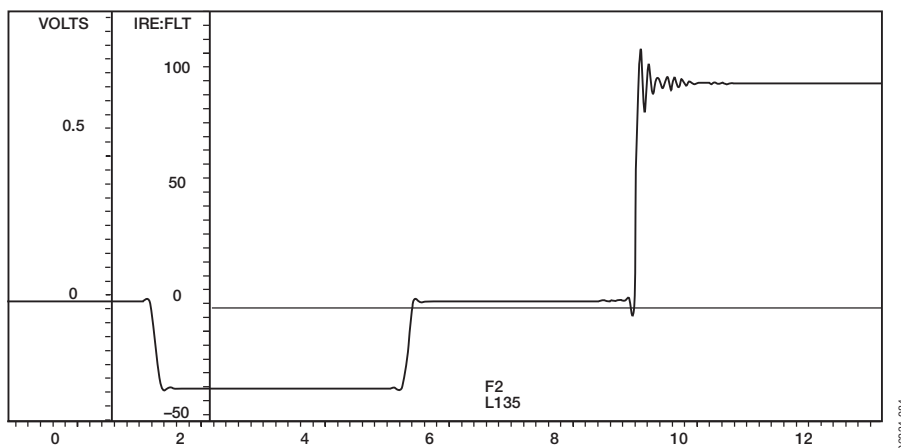


図84. サブアドレス0x82、ビット7=0の場合のビデオ出力の例

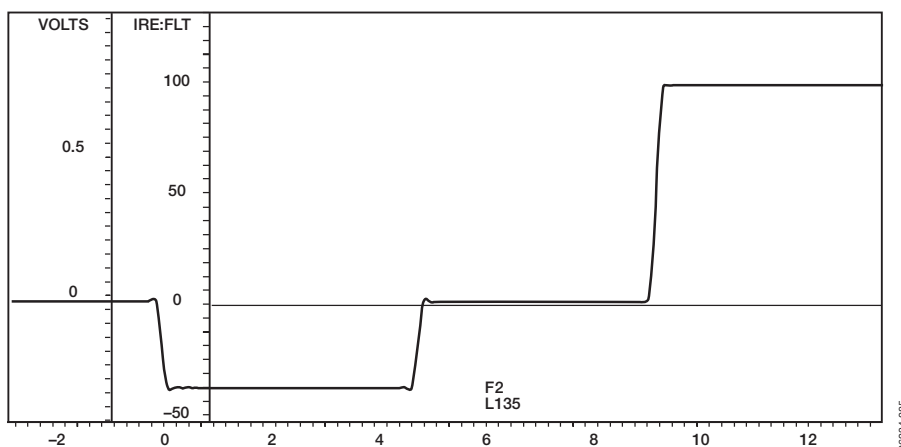


図85. サブアドレス0x82、ビット7=1の場合のビデオ出力の例

ADV7390/ADV7391/ADV7392/ADV7393

水平／垂直外部同期制御

ADV739xはタイミング同期をとるために、入力ピクセル・データに組み込まれたEAV/SAVタイム・コード、または $\overline{\text{HSYNC}}$ ピン/ $\overline{\text{VSYNC}}$ ピンに供給される外部同期信号を受信できます (表48を参照)。また、 $\overline{\text{HSYNC}}$ および $\overline{\text{VSYNC}}$ ピンに同期信号を出力することもできます (表49～51を参照)。

表48. タイミング同期信号入力オプション

Signal	Pin	Condition
SD $\overline{\text{HSYNC}}$ In	$\overline{\text{HSYNC}}$	SD Slave Timing Mode 1, Mode 2, or Mode 3 Selected (Subaddress 0x8A[2:0]). ¹
SD $\overline{\text{VSYNC}}/\overline{\text{FIELD}}$ In	$\overline{\text{VSYNC}}$	SD Slave Timing Mode 1, Mode 2, or Mode 3 Selected (Subaddress 0x8A[2:0]). ¹
ED/HD $\overline{\text{HSYNC}}$ In	$\overline{\text{HSYNC}}$	ED/HD Timing Synchronization Inputs Enabled (Subaddress 0x30, Bit 2 = 0).
ED/HD $\overline{\text{VSYNC}}/\overline{\text{FIELD}}$ In	$\overline{\text{VSYNC}}$	ED/HD Timing Synchronization Inputs Enabled (Subaddress 0x30, Bit 2 = 0).

¹ SDおよびED/HDタイミング同期出力をディセーブルにすることも必要です (サブアドレス0x02[7:6]=00)。

表49. タイミング同期信号出力オプション

Signal	Pin	Condition
SD $\overline{\text{HSYNC}}$ Out	$\overline{\text{HSYNC}}$	SD Timing Synchronization Outputs enabled (Subaddress 0x02, Bit 6 = 1). ¹
SD $\overline{\text{VSYNC}}/\overline{\text{FIELD}}$ Out	$\overline{\text{VSYNC}}$	SD Timing Synchronization Outputs enabled (Subaddress 0x02, Bit 6 = 1). ¹
ED/HD $\overline{\text{HSYNC}}$ Out	$\overline{\text{HSYNC}}$	ED/HD Timing Synchronization Outputs enabled (Subaddress 0x02, Bit 7 = 1). ²
ED/HD $\overline{\text{VSYNC}}/\overline{\text{FIELD}}$ Out	$\overline{\text{VSYNC}}$	ED/HD Timing Synchronization Outputs enabled (Subaddress 0x02, Bit 7 = 1). ²

¹ ED/HDタイミング同期出力をディセーブルにすることも必要です (サブアドレス0x02、ビット7=00)。

² ED/HDタイミング同期入力をディセーブルにする、すなわち組み込みEAV/SAVタイミング・コードをイネーブルにすることも必要です (サブアドレス0x03、ビット2=1)。

表50. $\overline{\text{HSYNC}}$ 出力制御¹

ED/HD Input Sync Format (0x30, Bit 2)	ED/HD $\overline{\text{HSYNC}}$ Control (0x34, Bit 1)	ED/HD Sync Output Enable (0x02, Bit 7)	SD Sync Output Enable (0x02, Bit 6)	Signal on $\overline{\text{HSYNC}}$ Pin	Duration
x	x	0	0	Tristate.	–
x	x	0	1	Pipelined SD $\overline{\text{HSYNC}}$.	As per $\overline{\text{HSYNC}}$ timing.
0	0	1	x	Pipelined ED/HD $\overline{\text{HSYNC}}$.	
1	0	1	x	Pipelined ED/HD $\overline{\text{HSYNC}}$ based on AV Code H bit.	Same as line blanking interval.
x	1	1	x	Pipelined ED/HD $\overline{\text{HSYNC}}$ based on horizontal counter.	Same as embedded $\overline{\text{HSYNC}}$.

¹ $\overline{\text{HSYNC}}$ 出力が存在するすべてのED/HD規格では、 $\overline{\text{HSYNC}}$ パルスの開始は出力ビデオの組み込み $\overline{\text{HSYNC}}$ の立下がりエッジと一致します。

表51. $\overline{\text{VSYNC}}$ 出力制御¹

ED/HD Input Sync Format (0x30, Bit 2)	ED/HD $\overline{\text{VSYNC}}$ Control (0x34, Bit 2)	ED/HD Sync Output Enable (0x02, Bit 7)	SD Sync Output Enable (0x02, Bit 6)	Video Standard	Signal on $\overline{\text{VSYNC}}$ Pin	Duration
x	x	0	0	x	Tristate.	–
x	x	0	1	Interlaced	Pipelined SD $\overline{\text{VSYNC}}/\overline{\text{Field}}$.	As per $\overline{\text{VSYNC}}$ or Field signal timing.
0	0	1	x	x	Pipelined ED/HD $\overline{\text{VSYNC}}$ or field signal.	
1	0	1	x	All HD interlaced standards	Pipelined Field signal based on AV Code F bit.	Field.
1	0	1	x	All ED/HD progressive standards	Pipelined $\overline{\text{VSYNC}}$ based on AV Code V bit.	Vertical blanking interval.
x	1	1	x	All ED/HD standards except 525p	Pipelined ED/HD $\overline{\text{VSYNC}}$ based on vertical counter.	Aligned with serration lines.
x	1	1	x	525p	Pipelined ED/HD $\overline{\text{VSYNC}}$ based on vertical counter.	Vertical blanking interval.

¹ $\overline{\text{VSYNC}}$ 出力が存在するすべてのED/HD規格では、 $\overline{\text{VSYNC}}$ パルスの開始は出力ビデオのEAV/SAV組み込み $\overline{\text{VSYNC}}$ の立下がりエッジに割付。

低消費電力モード

サブアドレス0x0D、ビット[2:0]

消費電力に厳しいアプリケーションでは、ADV739xはアナログ・デバイス独自の低消費電力モード動作に対応します。この低消費電力モードを利用するには、DACをフルドライブ・モード ($R_{SET}=510\Omega$, $R_L=37.5\Omega$) で使用する必要があります。低消費電力モードは、ロードライブ・モード ($R_{SET}=4.12k\Omega$, $R_L=300\Omega$) では使用できません。このモードは、サブアドレス0x0D、ビット[2:0]を使ってDACごとに個別にイネーブル/ディスエーブルにできます。デフォルトでは、すべてのDACで低消費電力モードはディスエーブルとなります。

低消費電力モードでは、DACの消費電流は画像データに依存します。代表的なビデオ・ストリームでは、消費電流を40%も低減できます。最高レベルのビデオ性能を必要とするアプリケーションの場合は、低消費電力モードをディスエーブルにしてください。

ケーブル検出

サブアドレス0x10、ビット[1:0]

ADV739xは、アナログ・デバイス独自のケーブル検出機能を備えています。

ケーブル検出機能は、フルドライブ・モードで動作するDAC1とDAC2で使用できます ($R_{SET}=510\Omega$, $R_L=37.5\Omega$ 、接続されたケーブルを想定)。この機能は、ロードライブ・モード ($R_{SET}=4.12k\Omega$, $R_L=300\Omega$) では使用できません。監視対象のDACは、サブアドレス0x00でONする必要があります。

ケーブル検出機能は、すべてのSD、ED、およびHDビデオ規格で使用できます。この機能は、すべての出力設定、すなわちCVBS、YC、YPrPb、およびRGB出力設定で使用可能です。

CVBS/YC出力設定の場合は、DAC1とDAC2の両方が監視されるため、CVBSとYCの輝度信号出力が監視対象となります。YPrPbおよびRGB出力設定の場合は、DAC1のみが監視されるため、輝度信号/緑色出力が監視対象となります。

ADV739xはフレームごとに1回、DAC1またはDAC2 (あるいはその両方) を監視し、サブアドレス0x10、ビット0、ビット1をそれぞれ更新します。1つのDACでケーブルが検出されると、当該ビットが0に設定されます。そうでない場合は、そのビットは1に設定されます。

DAC自動パワーダウン

サブアドレス0x10、ビット4

消費電力の厳しいアプリケーションでは、サブアドレス0x10、ビット4を使ってDAC自動パワーダウン機能をイネーブルにすることができます。この機能は、ケーブル検出機能がイネーブルの場合にのみ使用できます。

この機能がイネーブルの場合、ケーブル検出回路はDAC1またはDAC2 (あるいはその両方) をフレームごとに1回監視し、ケーブルが未接続の場合はDACの一部またはすべてを自動的にパワーダウンします。どのDACをパワーダウンするかは、選択した出力設定に依存します。

CVBS/YC出力設定の場合、DAC1が未接続であれば、DAC1だけがパワーダウンします。DAC2が未接続であれば、DAC2とDAC3がパワーダウンします。

YPrPbおよびRGB出力設定の場合、DAC1が未接続であれば、3つのDACがすべてパワーダウンします。この出力設定の場合、DAC2は監視されません。

DAC1またはDAC2 (あるいはその両方) は、フレームごとに1回監視されます。ケーブルが検出されると、フレームの継続時間にわたって、1つまたは複数の該当するDACがパワーアップ状態を維持します。ケーブルが検出されないと、1つまたは複数の該当するDACが次のフレームまでパワーダウンされ、処理が繰り返されます。

ピクセルおよび制御ポート・リードバック

サブアドレス0x13、サブアドレス0x14、サブアドレス0x16

ADV739xは、I²C/SPI MPUポートを介して、ほとんどのデジタル入力のリードバックに対応します。この機能は、デジタルデータ供給側デバイスとのボードレベルの接続性テストに役立ちます。

ピクセル・ポート (P[15:0]またはP[7:0])、 \overline{HSYNC} 、 \overline{VSYNC} 、およびSFL/MISOは、MPUポートを介してリードバックに使用できます。リードバック・レジスタは、サブアドレス0x13、サブアドレス0x14、およびサブアドレス0x16にあります。

この機能を使用するときは、入力ピンに供給されるレベルを記録するために、クロック信号をCLKINピンに入力してください。

この機能を使用するときは、SD入力モード (サブアドレス0x01、ビット[6:4]=000) を選択する必要があります。

リセットのメカニズム

サブアドレス0x17、ビット1

タイミング仕様に従って \overline{RESET} ピンがハイレベルからローレベルに遷移すると、ハードウェア・リセットが起動します。これによって、すべてのレジスタがデフォルト値にリセットされます。ハードウェア・リセット後は、MPUポートはI²C動作に対応した設定となります。デバイスが正常に動作するように、パワーアップ後にはハードウェア・リセットを行う必要があります。

ADV739xは、I²C/SPI MPUポートからアクセスできるソフトウェア・リセット機能も備えています。ソフトウェア・リセットを起動するには、サブアドレス0x17、ビット1に1を書き込みます。これによって、すべてのレジスタがデフォルト値にリセットされます。このビットはセルフクリアします。すなわち、このビットに1を書き込むと、その値は自動的に0に戻ります。

デバイスは、SPIモードで動作しているときにソフトウェア・リセットを行っても、PCモードには戻りません。PCモードへの移行は、 \overline{RESET} ピンまたはパワーダウンによってハードウェア・リセットが行われたときに発生します。

デバイスが正常に動作するように、パワーアップ後にハードウェア・リセットを行う必要があります。アプリケーションにハードウェア・リセット機能が必要ない場合は、 \overline{RESET} ピンをRCネットワークに接続して、パワーアップ後に必要なハードウェア・リセットを行うことができます。この場合は、パワーアップ後に、RCネットワークの時定数によって \overline{RESET} ピンが一定時間ローレベルになり、リセットが発生します。その後のリセットはすべてソフトウェアで実行できます。

ADV7390/ADV7391/ADV7392/ADV7393

PCボードのレイアウトとデザイン

DACの設定

ADV739xは3個のDACを備えています。これらはすべて、フルドライブ・モードで動作するように設定できます。フルドライブ・モードは、 37.5Ω の負荷 (R_L) に供給される34.7mAのフルスケール電流動作と定義されます。フルドライブはDAC動作の推奨モードです。

この3個のDACはすべて、ロードドライブ・モードで動作するように設定することもできます。ロードドライブ・モードは、 300Ω の負荷 (R_L) に供給される4.33mAのフルスケール電流動作と定義されます。

ADV739xは R_{SET} ピンを備えています。 R_{SET} ピンとAGND間に接続する抵抗はフルスケール出力電流を制御するためのもので、DAC1、DAC2、DAC3の出力電圧レベルを制御できます。フルドライブ動作では、 R_{SET} は 510Ω 、 R_L は 37.5Ω の値を使用します。ロードドライブ動作では、 R_{SET} は $4.12k\Omega$ 、 R_L は 300Ω の値を使用します。

R_{SET} ピンに接続する抵抗には1%の許容誤差のものを使用して下さい。

ADV739xは補償ピン (COMP) を備えています。COMPピンと V_{AA} ピンを2.2nFの補償コンデンサで接続してください。

ビデオ出力バッファとオプションの出力フィルタ

ロードドライブ・モード ($R_{SET}=4.12k\Omega$ 、 $R_L=300\Omega$) で動作するDACには出力バッファが必要です。アナログ・デバイスは、このようなアプリケーションに適した一連のオペアンプ商品 (AD8061など) を取り揃えています。ライン・ドライバ・バッファ回路については、関連するオペアンプのデータシートを参照してください。

ADV739xのDAC出力では、オプションの出力再構成 (不要イメージ除去用) ローパス・フィルタ (LPF) が必要な場合があります。フィルタ仕様は、アプリケーションにより異なります。16倍 (SD)、8倍 (ED)、または4倍 (HD) のオーバーサンプリング機能を使用すると、出力再構成フィルタが不要になります。

出力バッファと出力再構成フィルタを必要とするアプリケーションでは、ADA4430-1およびADA4411-3内蔵ビデオ・フィルタ/バッファをご検討ください。

表52. ADV739x出力レート

Input Mode (0x01, Bits[6:4])	Oversampling	Output Rate (MHz)	
SD	Off	27	(2x)
	On	108	(8x)
	On	216	(16x)
ED	Off	27	(1x)
	On	108	(4x)
	On	216	(8x)
HD	Off	74.25	(1x)
	On	148.5	(2x)
	On	297	(4x)

表53. 出力フィルタの条件

Application	Oversampling	Cutoff Frequency (MHz)	Attenuation -50 dB @ (MHz)
SD	2x	> 6.5	20.5
	8x	> 6.5	101.5
	16x	> 6.5	209.5
ED	1x	> 12.5	14.5
	4x	> 12.5	95.5
	8x	> 12.5	203.5
HD	1x	> 30	44.25
	2x	> 30	118.5
	4x	> 30	267

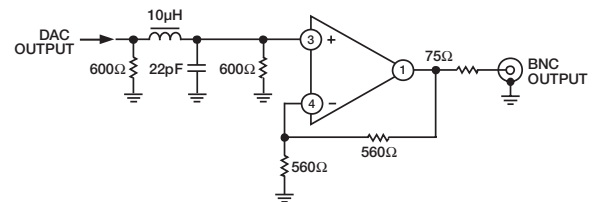


図86. 出力フィルタ例：SD、16×オーバーサンプリング

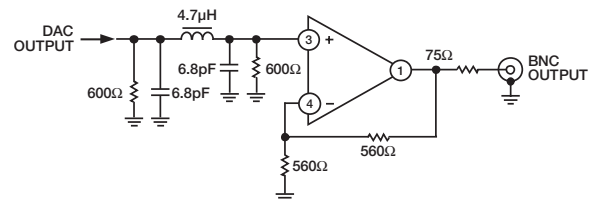


図87. 出力フィルタ例：ED、8×オーバーサンプリング

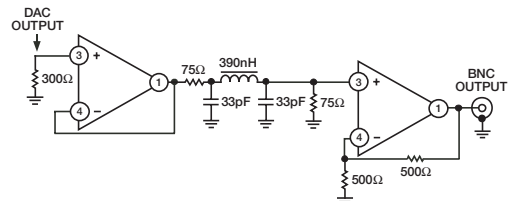


図88. 出力フィルタ例：HD、4×オーバーサンプリング

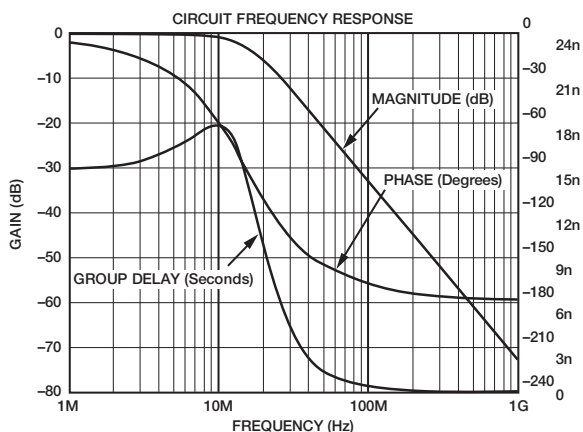


図89. 出力フィルタ・プロット：SD、16×オーバーサンプリング

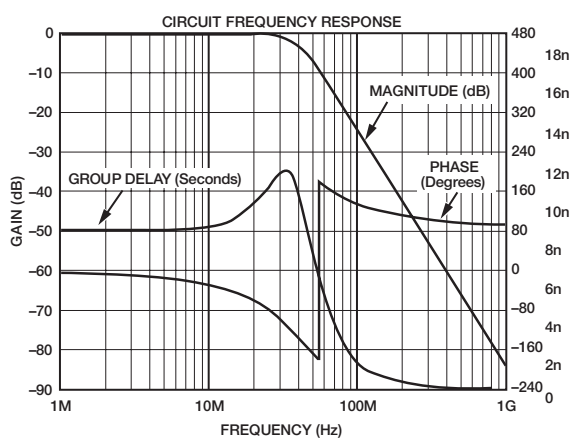


図90. 出力フィルタ・プロット：ED、8×オーバーサンプリング

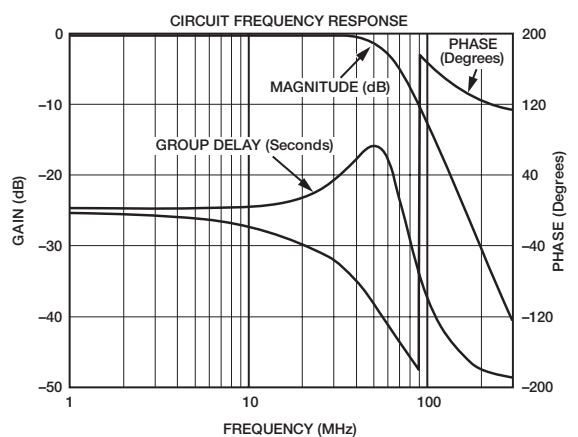


図91. 出力フィルタ・プロット：HD、4×オーバーサンプリング

PCボード (PCB) のレイアウト

ADV739xは、高精度アナログ回路と高速デジタル回路を内蔵する集積度の高い回路です。高速デジタル回路からアナログ回路への干渉を最小にするように設計されています。これと同じ設計とレイアウト技術をシステム・レベルの設計にも適用することが、最適な性能を達成するためには必要です。

デジタル入力をシールドし、適切な電源デカップリングを使用することで、ADV739xの電源プレーンとグラウンド・プレーン上のノイズを最小にするようレイアウトを最適化する必要があります。

グラウンド・プレーンと電源プレーンで信号パターン層とハンダ面層を分離する、4層のPCボードの使用を推奨します。

部品の配置

部品を配置するときは、クロック信号回路や高速デジタル回路などのノイズの多い回路を、アナログ回路から分離するように注意してください。

外付けのループ・フィルタ部品やCOMPピン/ R_{SET} ピンに接続する部品は、同じPCボード面でADV739xにできるだけ近づけて配置します。部品をADV739xの近くに配置するためにPCBにスルホールを追加することは推奨しません。

ADV739xは可能な限り出力コネクタの近くに配置し、ADC出力パターン長はできるだけ短くします。

DAC出力パターン上の終端抵抗は、同じPCボード面でADV739xにできるだけ近づけて配置します。この終端抵抗は、PCBグラウンド・プレーンに重ねるように配置します。

DAC出力に接続した外付けのフィルタとバッファ部品は、できるだけADV739xの近くに配置して、近傍回路からのノイズ・ピックアップや、パターン配線の容量が出力帯域幅に与える影響を最小限に抑えます。これは、DACをロードドライブ・モード ($R_{SET}=4.12k\Omega$, $R_L=300\Omega$) で使用するとき、特に重要です。

電源

電源ドメイン (V_{AA} , V_{DD} , $V_{DD_{IO}}$, PV_{DD}) ごとに個別の安定化電源を用意することを推奨します。最適な性能を得るには、スイッチ・モード・レギュレータではなくリニア・レギュレータを使用してください。スイッチ・モード・レギュレータの使用が避けられない場合は、リップルやノイズの観点から出力電圧の品質に注意してください。これは、特に V_{AA} や PV_{DD} について当てはまります。各電源は、フェライト・ビーズなどの適正なフィルタ・デバイスを経由して、システム電源に個別に一点接続します。

ADV7390/ADV7391/ADV7392/ADV7393

電源デカップリング

各電源ピンは、10nFおよび0.1 μ Fのセラミック・コンデンサでデカップリングすることを推奨します。V_{AA}、PV_{DD}、V_{DD_IO}の各ピンおよび両V_{DD}ピンは、個別にグラウンドにデカップリングします。デカップリング・コンデンサはできるだけADV739xの近くに配置します。また、コンデンサのリード線はできるだけ短くしてインダクタンスを最小限に抑えます。

10nFおよび0.1 μ Fのセラミック・コンデンサに加えて、V_{AA}電源に1 μ Fのタンタル・コンデンサを使用することを推奨します。

電源シーケンス

ADV739xは電源シーケンスのあらゆる組合せに適合し、任意のシーケンスが使用できます。

デジタル信号の相互接続

デジタル信号パターンは、アナログ出力およびその他のアナログ回路からできるだけ離す必要があります。また、デジタル信号パターンはV_{AA}またはPV_{DD}電源プレーンと重ならないようにする必要があります。

高いクロック・レートを使用しているため、ノイズの混入を最小限に抑えるには、ADV739xへのクロック・パターン配線は短くする必要があります。

デジタル入力用のすべてのプルアップ終端抵抗は、V_{DD_IO}電源に接続します。

未使用のデジタル入力はすべてグラウンドに接続します。

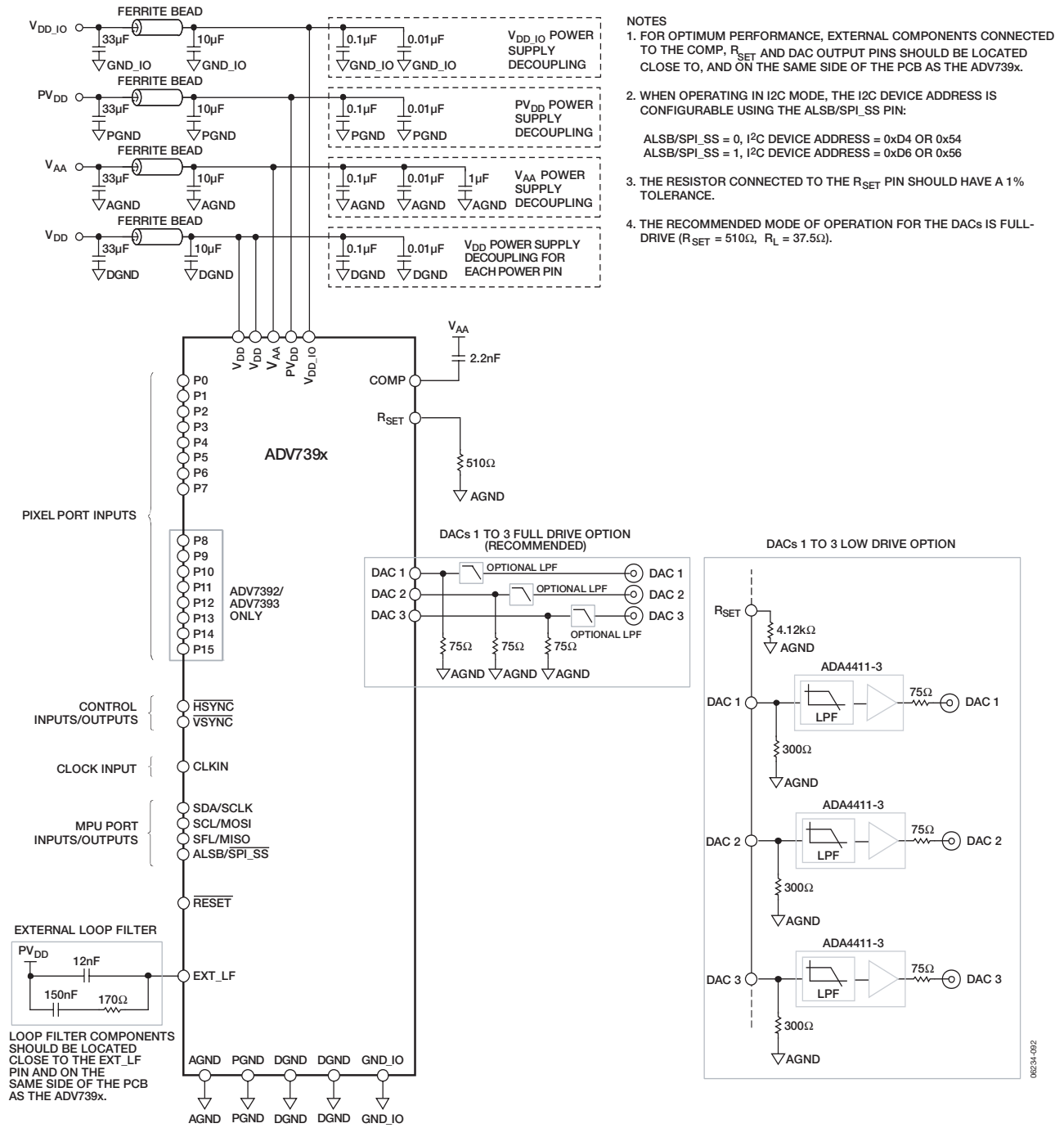
アナログ信号の相互接続

DAC出力パターンは、最適な性能を保証するために適切な措置を講じた伝送ライン（たとえばインピーダンス整合パターン）として扱います。DAC出力パターン長はできるだけ短くします。DAC出力パターン上の終端抵抗は、同じPCボード面でADV739xのできるだけ近くに配置します。

DAC出力間のクロストークを回避するには、DAC出力ピンに接続するパターン間のスペースはできるだけ大きくしてください。また、DAC出力パターン間にはグラウンド・パターンを追加することを推奨します。

ADV7390/ADV7391/ADV7392/ADV7393

代表的なアプリケーション回路



- NOTES
- FOR OPTIMUM PERFORMANCE, EXTERNAL COMPONENTS CONNECTED TO THE COMP, R_{SET} AND DAC OUTPUT PINS SHOULD BE LOCATED CLOSE TO, AND ON THE SAME SIDE OF THE PCB AS THE ADV739x.
 - WHEN OPERATING IN I2C MODE, THE I2C DEVICE ADDRESS IS CONFIGURABLE USING THE ALSB/SPI_SS PIN:
 ALSB/SPI_SS = 0, I²C DEVICE ADDRESS = 0xD4 OR 0x54
 ALSB/SPI_SS = 1, I²C DEVICE ADDRESS = 0xD6 OR 0x56
 - THE RESISTOR CONNECTED TO THE R_{SET} PIN SHOULD HAVE A 1% TOLERANCE.
 - THE RECOMMENDED MODE OF OPERATION FOR THE DACs IS FULL-DRIVE (R_{SET} = 510Ω, R_L = 37.5Ω).

図92. ADV739xの代表的なアプリケーション回路

付録1—コピー・ジェネレーション・マネジメント・システム

SD CGMS

サブアドレス0x99~0x9B

ADV739xは、EIAJ CPR-1204およびARIB TR-B15規格に準拠したコピー・ジェネレーション・マネジメント・システム (CGMS) に対応します。CGMSデータは、奇数フィールドのライン20と偶数フィールドのライン283に送信されます。CGMSデータが奇数フィールドに出力されるか、偶数フィールドに出力されるか、あるいはその両方に出力されるかは、サブアドレス0x99、ビット[6:5]で制御します。

SD CGMSデータを送信できるのは、ADV739xをNTSCモードに設定した場合のみです。CGMSデータは20ビット長で、CGMSビットと同じ振幅と継続時間を持つリファレンス・パルスの後ろに続きます (図93を参照)。

ED CGMS

サブアドレス0x41~0x43

サブアドレス0x5E~0x6E

525p

ADV739xは、EIAJ CPR-1204-1に従って525pモードでCGMSに対応します。

ED CGMSをイネーブルにすると (サブアドレス0x32、ビット6=1)、525p CGMSデータがライン41に挿入されます。525pのCGMSデータ・レジスタは、サブアドレス0x41、0x42、0x43にあります。

ADV739xは、CEA-805-Aに従って525pモードのCGMSタイプBパケットにも対応します。

ED CGMSタイプBをイネーブルにすると (サブアドレス0x5E、ビット0=1)、525pのCGMSタイプBデータがライン40に挿入されます。525p CGMSタイプBデータ・レジスタは、サブアドレス0x5E~0x6Eにあります。

625p

ADV739xは、IEC 62375 (2004) に従って625pモードでCGMSに対応します。

ED CGMSをイネーブルにすると (サブアドレス0x32、ビット6=1)、625p CGMSデータがライン43に挿入されます。625pのCGMSデータ・レジスタは、サブアドレス0x42および0x43にあります。

HD CGMS

サブアドレス0x41~0x43

サブアドレス0x5E~0x6E

ADV739xは、EIAJ CPR-1204-2に従ってHDモード (720pおよび1080i) でCGMSに対応します。

HD CGMSをイネーブルにすると (サブアドレス0x32、ビット6=1)、720p CGMSデータが輝度信号垂直ブランキング・インターバルのライン24に印加されます。

HD CGMSをイネーブルにすると (サブアドレス0x32、ビット6=1)、1080i CGMSデータが輝度信号垂直ブランキング・インターバルのライン19とライン582に印加されます。

HD CGMSデータ・レジスタは、サブアドレス0x41、0x42、および0x43にあります。

ADV739xは、CEA-805-Aに従って、HDモード (720pおよび1080i) のCGMSタイプBパケットにも対応します。

HD CGMSタイプBをイネーブルにすると (サブアドレス0x5E、ビット0=1)、720p CGMSデータが輝度信号垂直ブランキング・インターバルのライン23に印加されます。

HD CGMSタイプBをイネーブルにすると (サブアドレス0x5E、ビット0=1)、1080i CGMSデータが輝度信号垂直ブランキング・インターバルのライン18とライン581に印加されます。

HD CGMSタイプBデータ・レジスタは、サブアドレス0x5E~0x6Eにあります。

CGMS CRC機能

SD CGMS CRC (サブアドレス0x99、ビット4) または ED/HD CGMS CRC (サブアドレス0x32、ビット7) をイネーブルにした場合、6ビットCRCチェック・シーケンスを構成するCGMSデータの上位6ビット (C19~C14) がADV739x上で自動的に計算されます。この計算は、CGMSデータ・レジスタ内のデータの低位14ビット (C13~C0) に基づいて行われます。計算結果は、残りの14ビットとともに出力され、完全な20ビットのCGMSデータを形成します。CRCシーケンスの計算は、初期値=111111の多項式 x^6+x+1 に基づきます。

SD CGMS CRCまたはED/HD CGMS CRCがディスエーブルの場合は、全20ビット (C19~C0) がCGMSレジスタから直接出力されます (この場合、CRCは手作業で計算する必要があります)。

ED/HD CGMSタイプB CRC (サブアドレス0x5E、ビット1) がイネーブルの場合は、6ビットのCRCチェック・シーケンスを構成するCGMSタイプBデータの上位6ビット (P122~P127) がADV739x上で自動的に計算されます。この計算は、CGMSタイプBデータ・レジスタ内のデータの低位128ビット (H0~H5およびP0~P121) に基づいて行われます。計算結果は、残りの128ビットとともに出力され、完全な134ビットのCGMSタイプBデータを形成します。CRCシーケンスの計算は、初期値=111111の多項式 x^6+x+1 に基づきます。

ED/HD CGMSタイプB CRCがディスエーブルの場合は、全134ビット (H0~H5およびP0~P127) がCGMSタイプBレジスタから直接出力されます (この場合、CRCは手作業で計算する必要があります)。

ADV7390/ADV7391/ADV7392/ADV7393

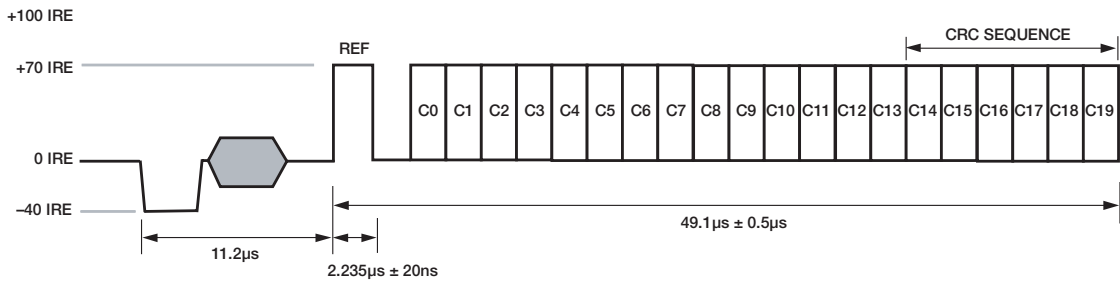


图93. 标准解像度CGMS波形

06234-083

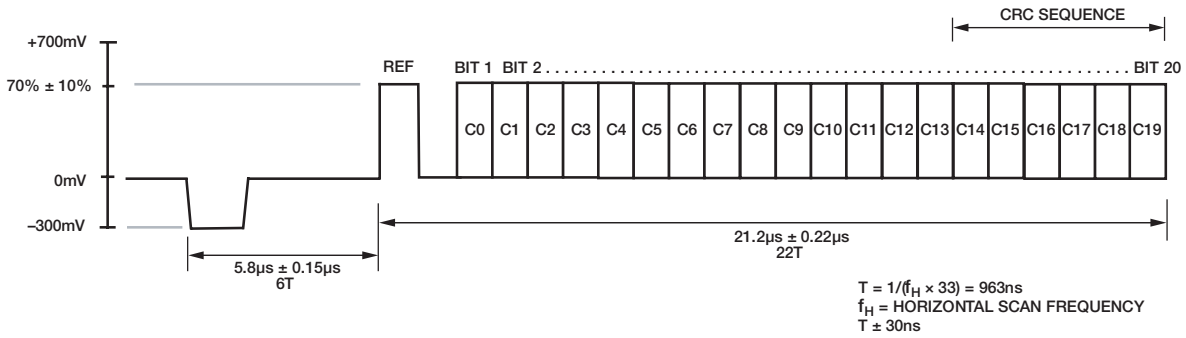


图94. 扩展解像度 (525p) CGMS波形

06234-094

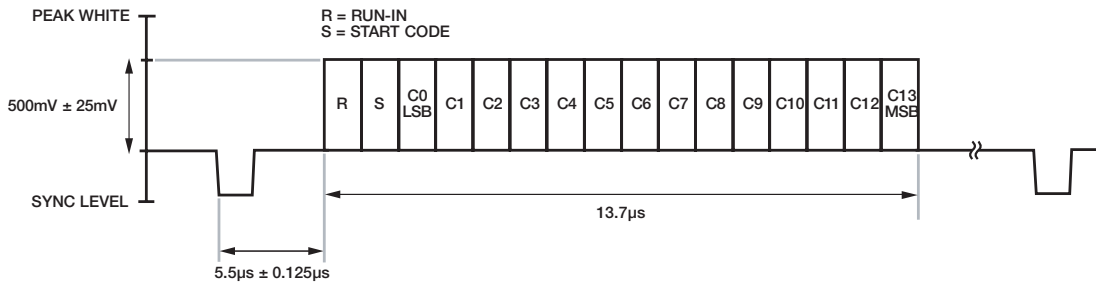


图95. 扩展解像度 (625p) CGMS波形

06234-095

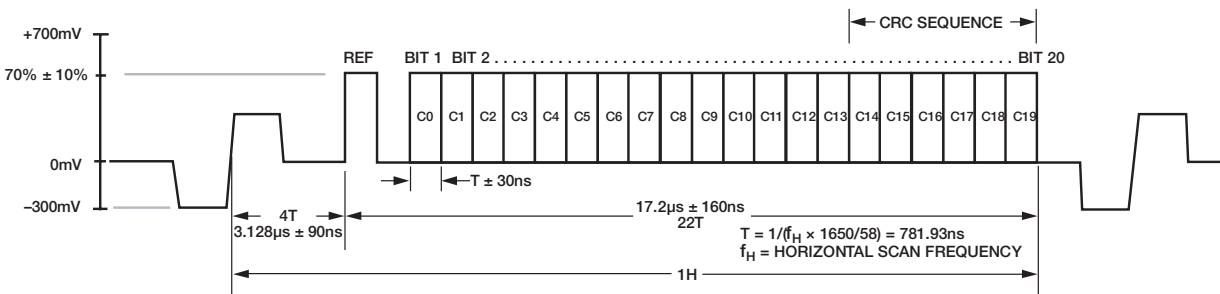


图96. 高精細解像度 (720p) CGMS波形

06234-096

ADV7390/ADV7391/ADV7392/ADV7393

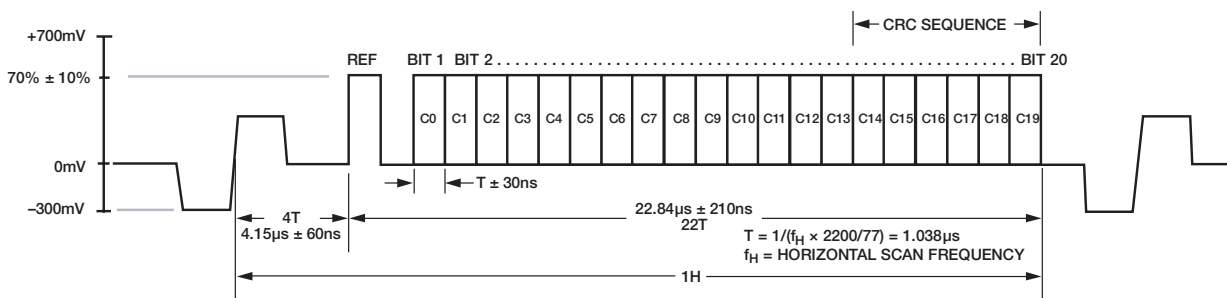
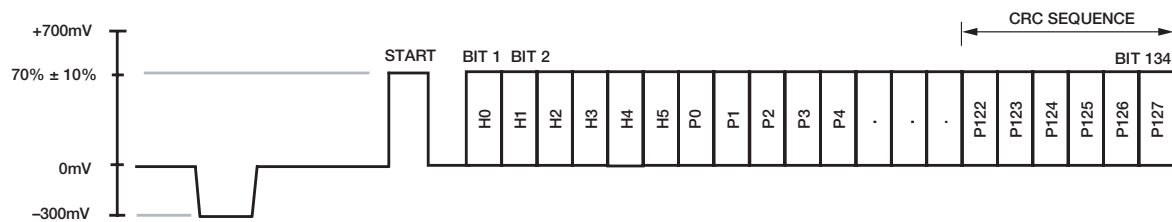


図97. 高精細解像度 (1080i) CGMS波形

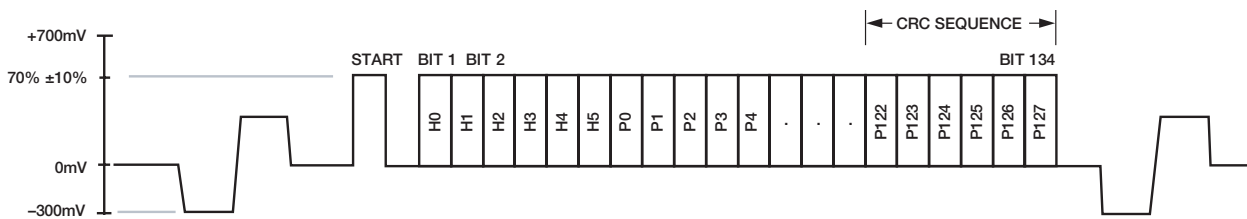
06234-097



NOTES
1. PLEASE REFER TO THE CEA-805-A SPECIFICATION FOR TIMING INFORMATION.

図98. 拡張解像度 (525p) CGMSタイプB波形

06234-098



NOTES
1. PLEASE REFER TO THE CEA-805-A SPECIFICATION FOR TIMING INFORMATION.

図99. 高精細解像度 (720pおよび1080i) CGMSタイプB波形

06234-099

付録2—SDワイド・スクリーン・シグナリング

サブアドレス0x99、0x9A、0x9B

ADV739xは、ETSI 300 294規格に準拠したワイド・スクリーン・シグナリング (WSS) に対応します。WSSデータは、ライン23で送信されます。WSSデータを送信できるのは、ADV739xをPALモードに設定した場合のみです。WSSデータは14ビット長であり、各ビットの機能を表54に示します。WSSデータは、ランイン・シーケンスとスタート・コードの後

ろに続きます (図100)。ライン23の後ろの部分 ($\overline{\text{HSYNC}}$ の立下がりエッジから42.5 μs) は、ビデオの挿入に使用できます。ライン23でのWSSデータ送信をイネーブルにするには、サブアドレス0x99、ビット7を使用します。ライン23のWSS部分は、サブアドレス0xA1、ビット7を使ってブランクにできます。

表54. WSSビットの機能

Bit Description	Bit Number														Setting
	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Aspect Ratio, Format, Position											1	0	0	0	4:3, full format, N/A
											0	0	0	1	14:9, letterbox, center
											0	0	1	0	14:9, letterbox, top
											1	0	1	1	16:9, letterbox, center
											0	1	0	0	16:9, letterbox, top
											1	1	0	1	>16:9, letterbox, center
											1	1	1	0	14:9, full format, center
Mode										0					Camera mode
										1					Film mode
Color Encoding									0						Normal PAL
									1						Motion Adaptive ColorPlus
Helper Signals								0							Not present
								1							Present
Reserved						0									
Teletext Subtitles						0									No
						1									Yes
Open Subtitles				0	0										No
				0	1										Subtitles in active image area
				1	0										Subtitles out of active image area
				1	1										Reserved
Surround Sound			0												No
			1												Yes
Copyright		0													No copyright asserted or unknown
		1													Copyright asserted
Copy Protection	0														Copying not restricted
	1														Copying restricted

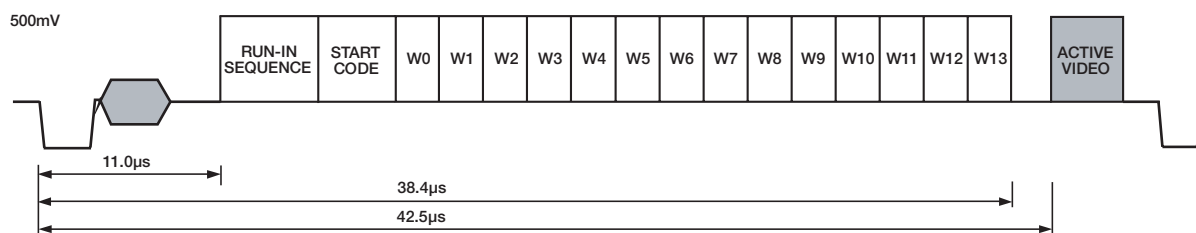


図100. WSSの波形図

付録3—SDクローズド・キャプション

サブアドレス0x91~0x94

ADV739xは、カラー送信用の標準テレビ同期波形に準拠したクローズド・キャプションに対応します。クローズド・キャプションは、イネーブル状態のときに奇数フィールドのライン21と偶数フィールドのライン284のVブランクのアクティブ・ライン間で送信されます。サブアドレス0x83、ビット[6:5]でイネーブルにすることができます。

クローズド・キャプションは、キャプション・データに周波数ロックおよび位相ロックした7サイクルの正弦波バーストで構成されています。クロック・ランイン信号の後、2データビットの間、ブランキング・レベルが維持され、その後ロジック1のスタート・ビットが続きます。スタート・ビットの後には16ビットのデータが続きます。これらは、2個の8ビット・バイト（7ビットのデータ、1ビットの奇数パリティ）で構成されます。これらのバイトのデータは、SDクローズド・キャプション・レジスタ（サブアドレス0x93~0x94）に格納されます。

ADV739xは拡張クローズド・キャプション動作にも対応しています。この機能は偶数フィールドでアクティブになり、ライン284上にエンコードされています。この動作のデータはSDクローズド・キャプション・レジスタ（サブアドレス0x91~0x92）に格納されます。

ADV739xは、ライン21とライン284上でクローズド・キャプションに対応するためのクロック・ランイン信号とタイミングを自動生成します。

クローズド・キャプションがイネーブルの場合、ライン21とライン284上のすべてのピクセル入力データは無視されます。

ライン21とライン284に対するクローズド・キャプション情報は、FCC Code of Federal Regulations (CFR) Title 47 Section 15.119およびEIA-608により規定されています。

ADV739xはシングル・バッファリング方式を採用しています。これは、クローズド・キャプション・バッファの深さが1バイトであり、深さ2バイトの他のバッファリング・システムとは異なり、クローズド・キャプション・データの出力でフレーム遅延が発生しないことを意味します。データは、ライン21とライン284に出力される1ライン前にロードする必要があります。この方式の代表的な実施例には、VSYNCを使ってマイクロプロセッサに割り込み、各フィールドで新しいデータ（2バイト）をロードする方法があります。送信時に新しいデータを必要としない場合は、両データ・レジスタにゼロを挿入します。これは、ゼロ設定と呼ばれています。また、制御コードをロードすることも重要です。すべての制御コードはダブル・バイトでライン21に配置します。そうしないと、TVはこれを認識しません。「Hello World」のような奇数文字数のメッセージの場合は、末尾にブランク文字を追加して、キャプションの最後の2バイト制御コードが同じフィールドに配置されるようにする必要があります。

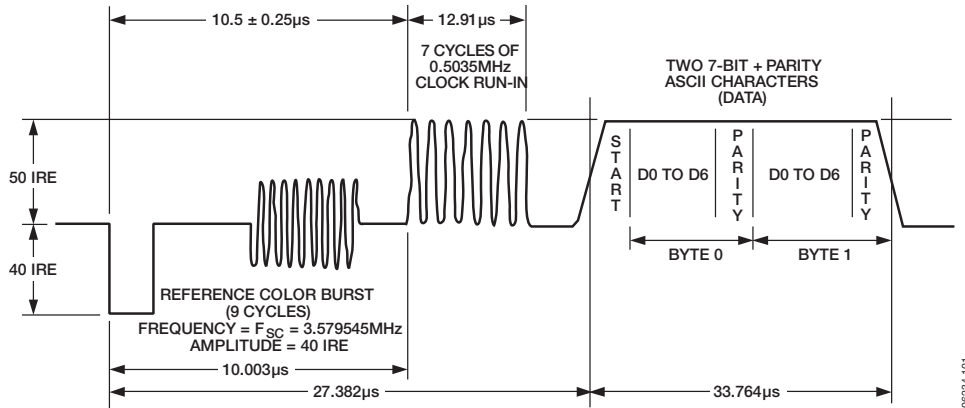


図101. SDクローズド・キャプション波形 (NTSC)

付録4—内部テスト・パターンの生成

SDテスト・パターン

ADV739xは、SDカラー・バー/ブラック・バーのテスト・パターンを生成できます。

表55のレジスタ設定によってSD NTSC 75%カラー・バー・テスト・パターンを生成します。他のレジスタはすべてノーマル/デフォルトとして設定します。コンポーネントYPrPb出力は、DAC1~DAC3で使用できます。サブキャリア周波数レジスタはパワーアップ時にNTSCの値になります（デフォルト）。

表55. SD NTSCカラー・バー・テスト・パターン・レジスタへの書き込み

Subaddress	Setting
0x00	0x1C
0x82	0xC9
0x84	0x40

CVBSおよびSビデオ（Y/C）出力の場合は、サブアドレス0x82に0xC9ではなく0xCBを書き込みます。

コンポーネントRGB出力（YPrPb出力ではなく）の場合は、サブアドレス0x02、ビット5に0を書き込みます。

SD NTSCブラック・バー・テスト・パターンを生成するには、表55と同じ設定を使用し、サブアドレス0x02に0x24を追加で書き込みます。

PAL出力のテスト・パターンの場合には、同じ設定を使用しますが、サブアドレス0x80は0x11に設定し、サブキャリア周波数（F_{sc}）レジスタは表56に示すように設定します。

表56. PAL F_{sc}レジスタへの書き込み

Subaddress	Description	Setting
0x8C	F _{sc} 0	0xCB
0x8D	F _{sc} 1	0x8A
0x8E	F _{sc} 2	0x09
0x8F	F _{sc} 3	0x2A

F_{sc}レジスタを設定するには、F_{sc}0、F_{sc}1、F_{sc}2、F_{sc}3の順に値を書き込む必要があります。F_{sc}への全設定値は、F_{sc}3への書き込みが完了した後に有効になります。

ED/HDテスト・パターン

ADV739xは、ED/HDカラー・バー、ブラック・バー、ハッチの各テスト・パターンを生成できます。

表57のレジスタ設定を使用してED 525pハッチ・テスト・パターンを生成します。他のレジスタはすべてノーマル/デフォルトとして設定します。コンポーネントYPrPb出力は、DAC1~DAC3で使用できます。コンポーネントRGB出力（YPrPb出力ではなく）の場合は、サブアドレス0x02、ビット5に0を書き込みます。

表57. ED 525pハッチ・テスト・パターン・レジスタへの書き込み

Subaddress	Setting
0x00	0x1C
0x01	0x10
0x31	0x05

ED 525pブラック・バー・テスト・パターンを生成するには、表57と同じ設定を使用して、サブアドレス0x02に0x24を追加で書き込みます。

ED 525pフラット・フィールド・テスト・パターンを生成するには、表57と同じ設定を使用しますが、サブアドレス0x31には0x0Dを書き込みます。

ハッチ/フラット・フィールド・テスト・パターンのY、Cr、Cbレベルは、それぞれサブアドレス0x36、0x37、0x38で設定できます。

525p以外のED/HD規格の場合は、表57（およびその後のコメント）と同じ設定を使用しますが、サブアドレス0x30、ビット[7:3]は適正値を設定します。

付録5—SDタイミング

モード0 (CCIR-656) —スレーブ・オプション (サブアドレス0x8A=XXXXX000)

ADV739xは、ピクセル・データに組み込まれたSAV (start of active video) およびEAV (end of active video) タイム・コードによって同期制御されます。タイミング情報はすべて、4バイトの同期パターンを使って送信されます。同期パターンは、アクティブ・ピクチャおよびリトレースの間に、各ラインの直前直後に送信されます。 $\overline{\text{VSYNC}}$ および $\overline{\text{HSYNC}}$ ピンを使わない場合は、両方のピンをハイレベルに固定してこのモードを使用します。

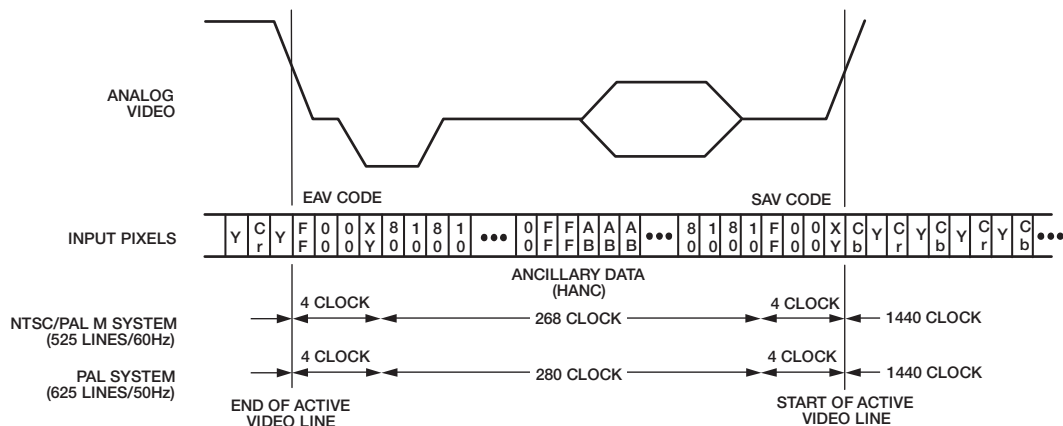


図102. SDタイミング・モード0、スレーブ・オプション

モード0 (CCIR-656) —マスター・オプション (サブアドレス0x8A=XXXXX001)

ADV739xは、CCIR-656規格のSAVおよびEAVタイム・コードに必要なH信号とF信号を生成します。Hビットは $\overline{\text{HSYNC}}$ ピンに、Fビットは $\overline{\text{VSYNC}}$ ピンにそれぞれ出力されます。

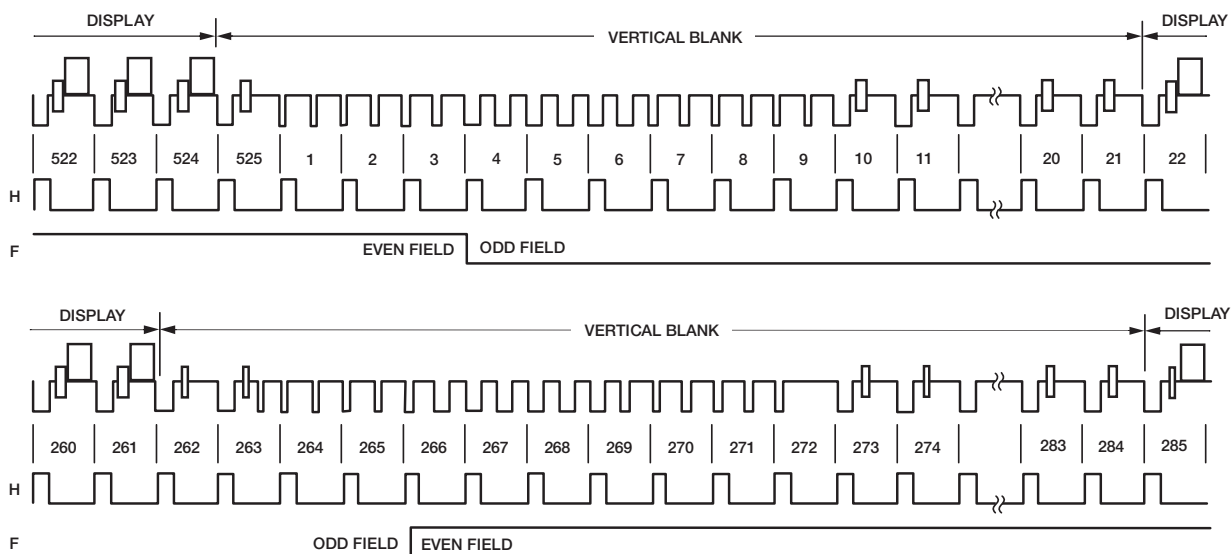


図103. SDタイミング・モード0、マスター・オプション、NTSC

ADV7390/ADV7391/ADV7392/ADV7393

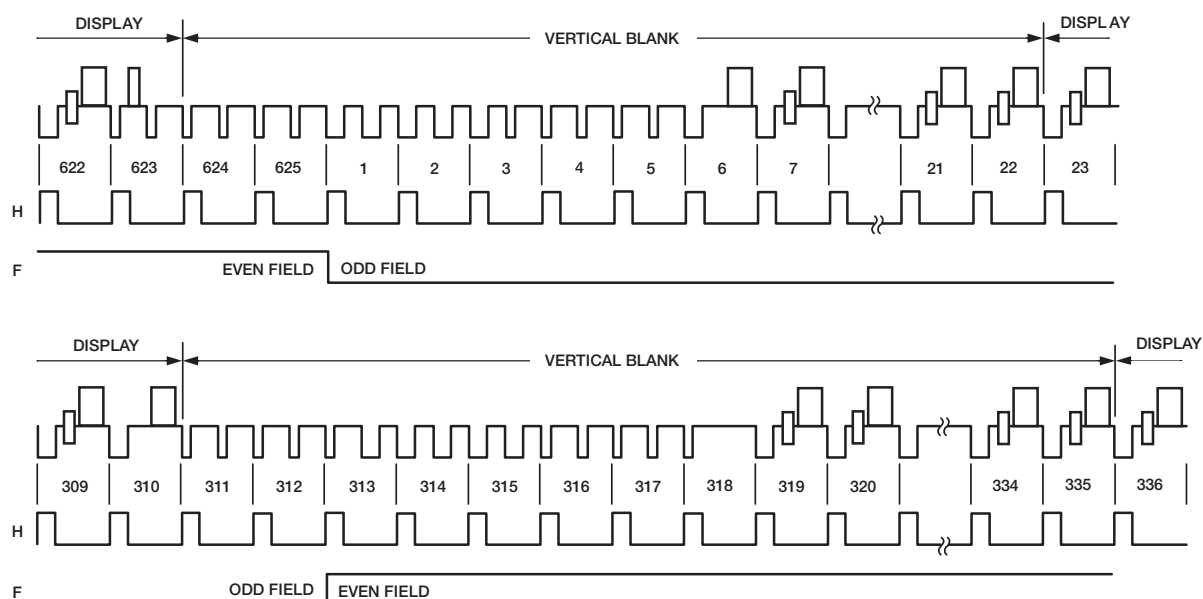


図104. SDタイミング・モード0、マスター・オプション、PAL

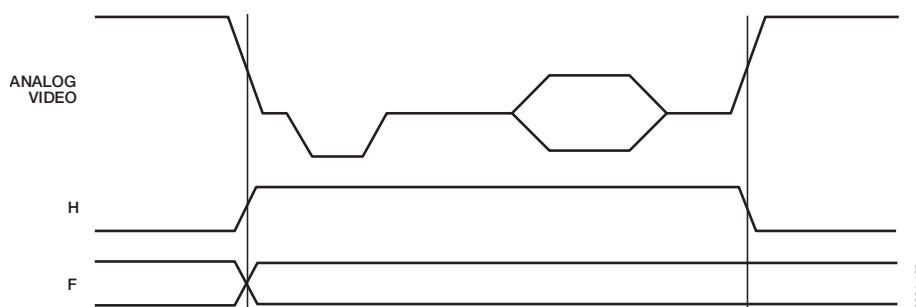


図105. SDタイミング・モード0、マスター・オプション、データ遷移

モード1—スレーブ・オプション (サブアドレス0x8A=XXXXX010)

このモードでは、ADV739xは水平同期信号と奇数/偶数フィールド信号を入力します。 $\overline{\text{HSYNC}}$ がローレベルのときにフィールド入力の変化は、新しいフレームすなわち垂直リトレースを表します。ADV739xはCCIR-624に従い通常ブランクの全ラインを自動的にブランクにします。 $\overline{\text{HSYNC}}$ とFIELDはそれぞれ、 $\overline{\text{HSYNC}}$ ピンとVSYNCピンに入力します。

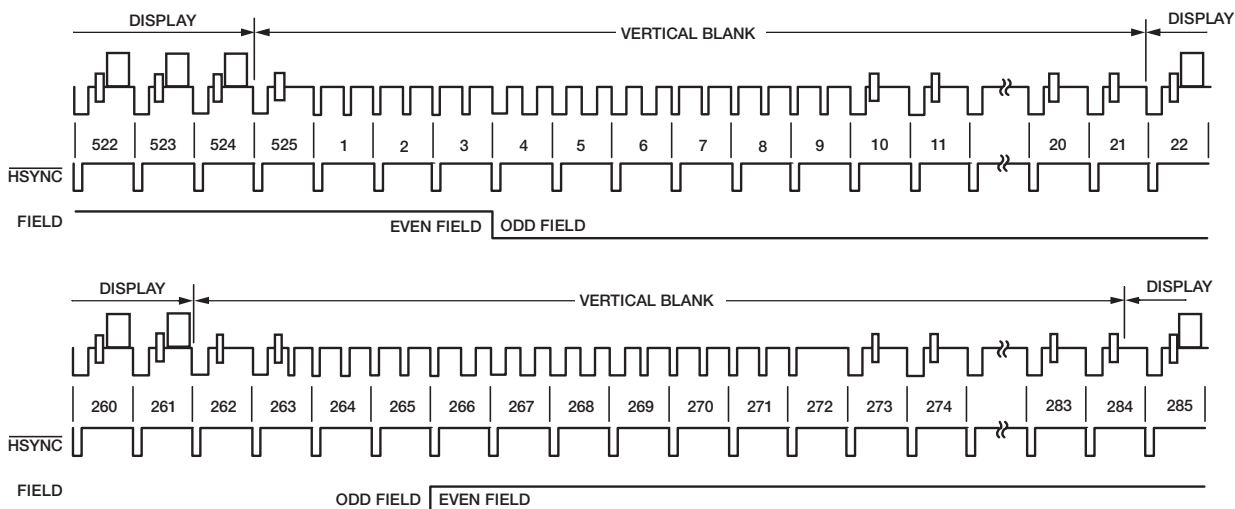


図106. SDタイミング・モード0、スレーブ・オプション、NTSC

ADV7390/ADV7391/ADV7392/ADV7393

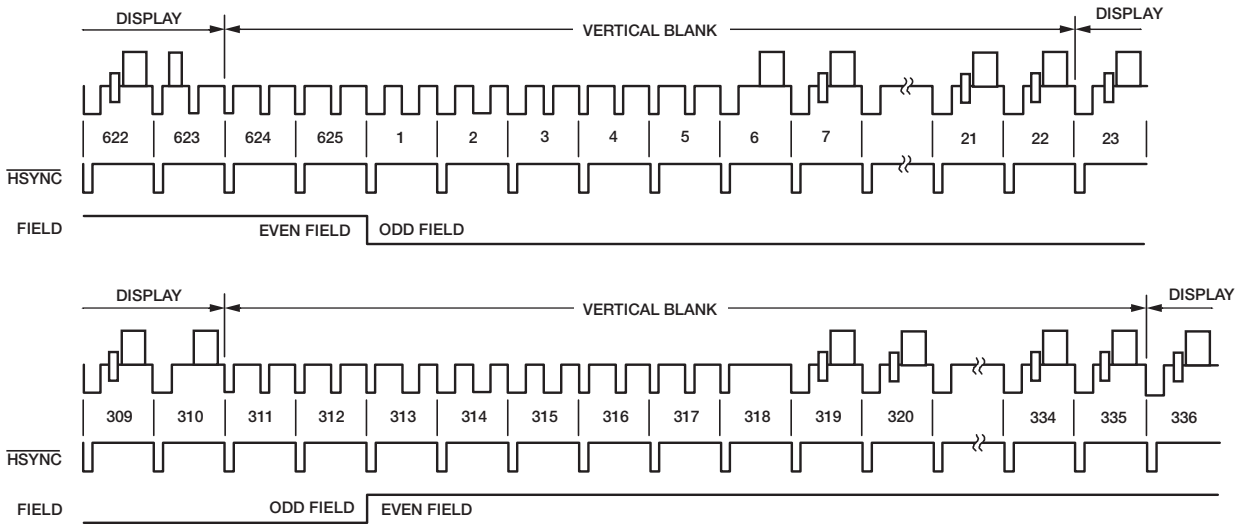


図107. SDタイミング・モード1、スレーブ・オプション、PAL

モード1—マスター・オプション (サブアドレス0x8A=XXXXX011)

このモードでは、ADV739xは水平同期信号と奇数/偶数フィールド信号を生成できます。 $\overline{\text{HSYNC}}$ がローレベルのときのフィールド入力の変化は、新しいフレームすなわち垂直リトレースを表します。ADV739xはCCIR-624に従い通常ブランクの全ラインを自動的にブランクにします。 $\overline{\text{HSYNC}}$ とFIELDはそれぞれ、 $\overline{\text{HSYNC}}$ ピンとVSYNCピンに出力されます。

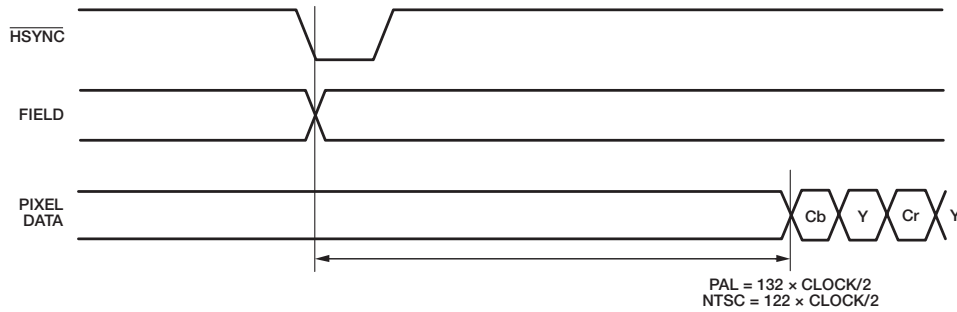


図108. SDタイミング・モード1、奇数から偶数へのフィールド遷移 (マスター/スレーブ)

モード2—スレーブ・オプション (サブアドレス0x8A=XXXXX100)

このモードでは、ADV739xは水平同期信号と垂直同期信号を入力します。 $\overline{\text{HSYNC}}$ 入力とVSYNC入力で同時にローレベルへの変化が発生すると、奇数フィールドの開始を意味します。 $\overline{\text{HSYNC}}$ が高レベルのときのVSYNCのローレベルへの変化は、偶数フィールドの開始を意味します。ADV739xはCCIR-624に従い通常ブランクの全ラインを自動的にブランクにします。 $\overline{\text{HSYNC}}$ とVSYNCはそれぞれ、 $\overline{\text{HSYNC}}$ ピンとVSYNCピンに入力します。

ADV7390/ADV7391/ADV7392/ADV7393

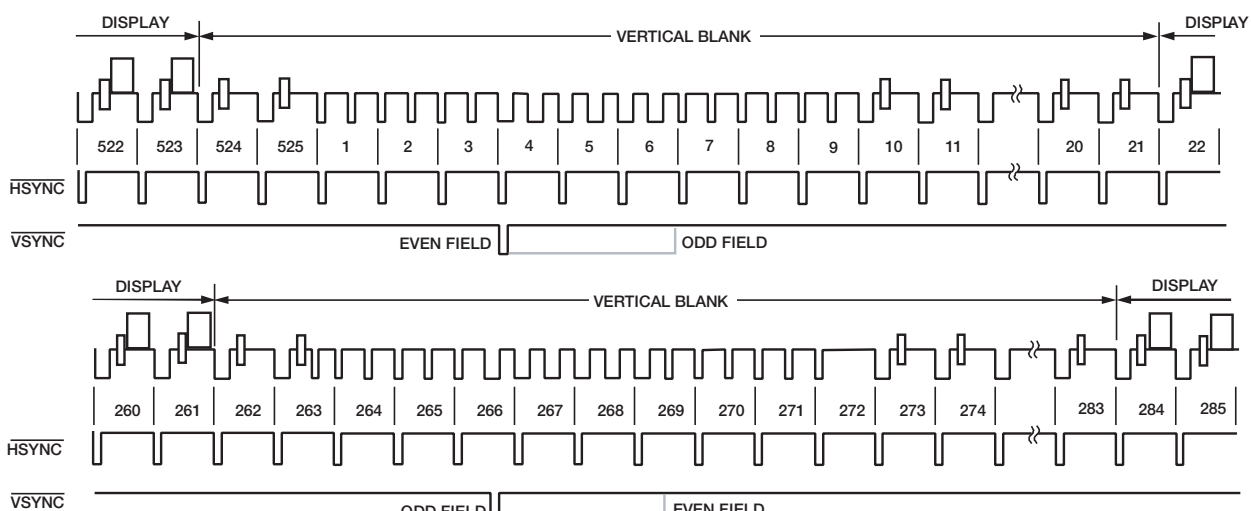


図109. SDタイミング・モード2、スレプ・オプション、NTSC

06234-109

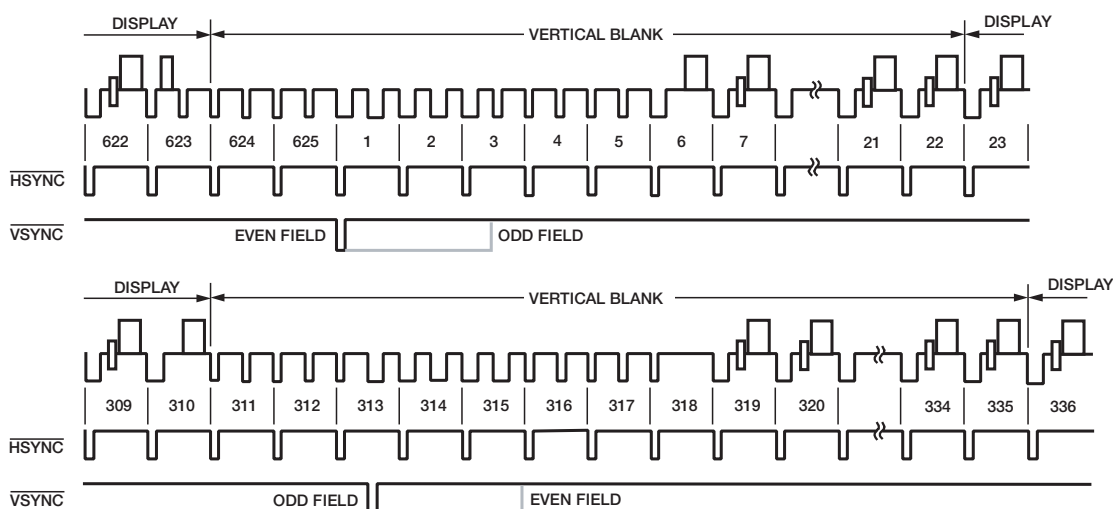


図110. SDタイミング・モード2、スレプ・オプション、PAL

06234-110

モード2—マスター・オプション (サブアドレス0x8A=XXXXX101)

このモードでは、ADV739xは水平同期信号と垂直同期信号を生成できます。 $\overline{\text{HSYNC}}$ 入力と $\overline{\text{VSYNC}}$ 入力と同時にローレベル遷移が発生すると、奇数フィールドの開始を意味します。

$\overline{\text{HSYNC}}$ がハイレベルのときの $\overline{\text{VSYNC}}$ のローレベルへの変化は、偶数フィールドの開始を意味します。ADV739xはCCIR-624に従い通常ブランクの全ラインを自動的にブランクにします。 $\overline{\text{HSYNC}}$ と $\overline{\text{VSYNC}}$ はそれぞれ、 $\overline{\text{HSYNC}}$ ピンと $\overline{\text{VSYNC}}$ ピンに出力されます。

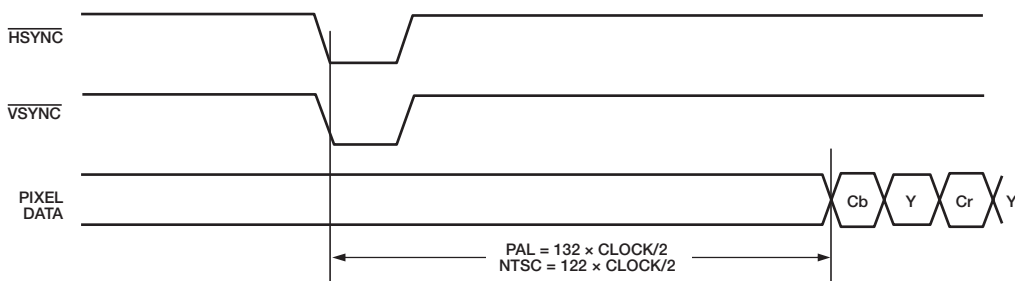


図111. SDタイミング・モード2、偶数から奇数へのフィールド遷移 (マスター/スレプ)

06234-111

ADV7390/ADV7391/ADV7392/ADV7393

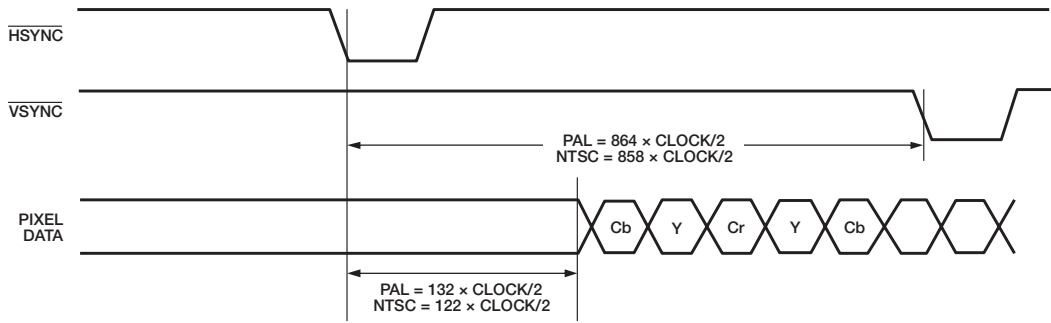


図112. SDタイミング・モード2、奇数から偶数へのフィールド遷移（マスター/スレーブ）

モード3—マスター/スレーブ・オプション（サブアドレス0x8A=XXXXX110またはXXXXX111）

このモードでは、ADV739xは水平同期信号と奇数/偶数フィールド信号を入力あるいは出力します。 $\overline{\text{HSYNC}}$ がハイレベルのときのフィールド入力の変化は、新しいフレームすなわち垂直リトレースを表します。ADV739xはCCIR-624に従い通常ブランクの全ラインを自動的にブランクにします。 $\overline{\text{HSYNC}}$ と $\overline{\text{VSYNC}}$ は、それぞれ $\overline{\text{HSYNC}}$ ピンと $\overline{\text{VSYNC}}$ ピンで、マスター・モードでは出力、スレーブ・モードでは入力します。

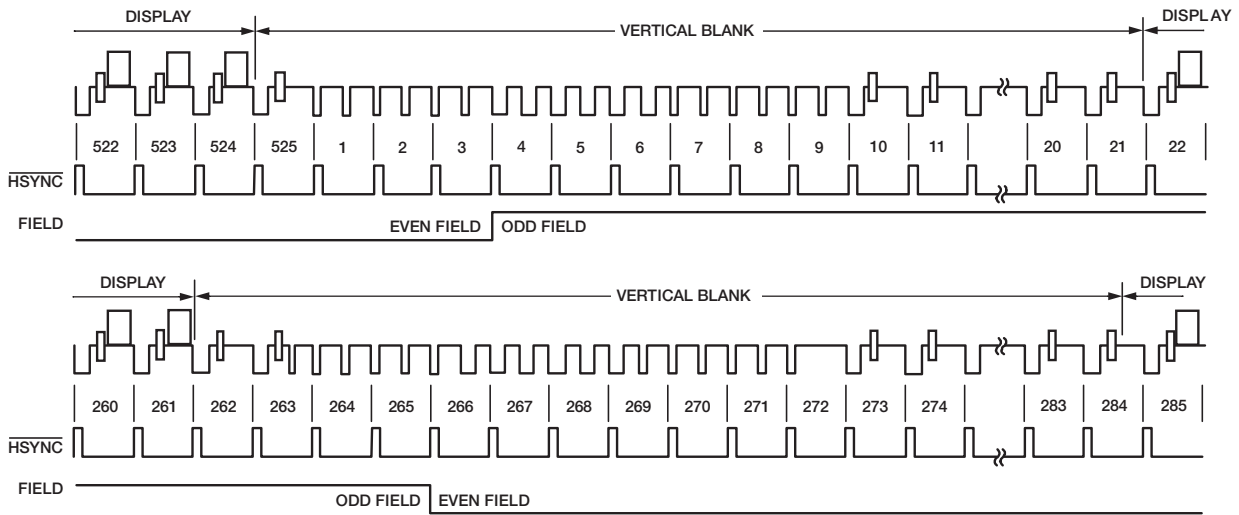


図113. SDタイミング・モード3、NTSC

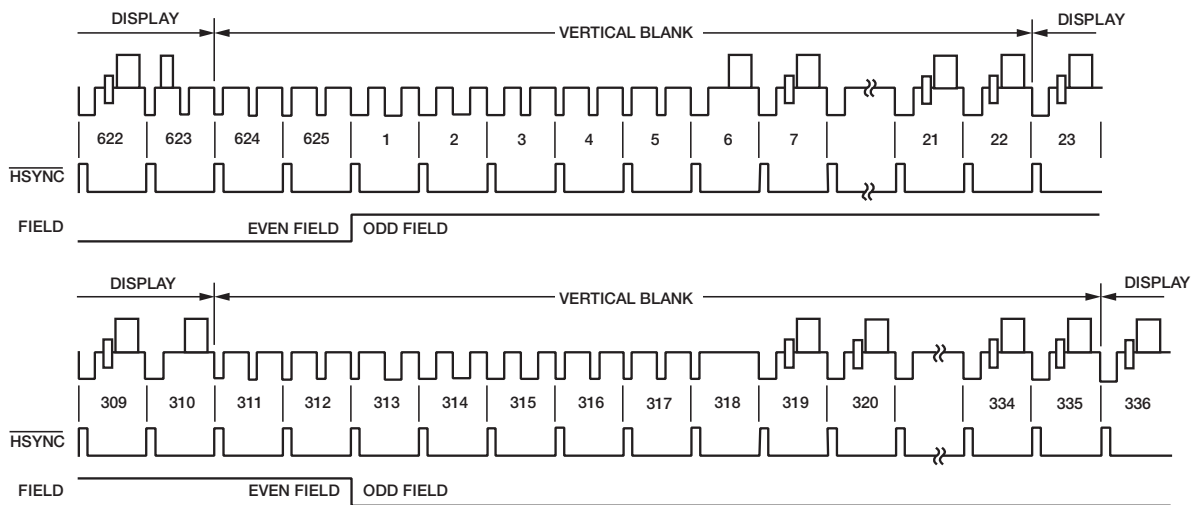


図114. SDタイミング・モード3、PAL

付録6—HDタイミング

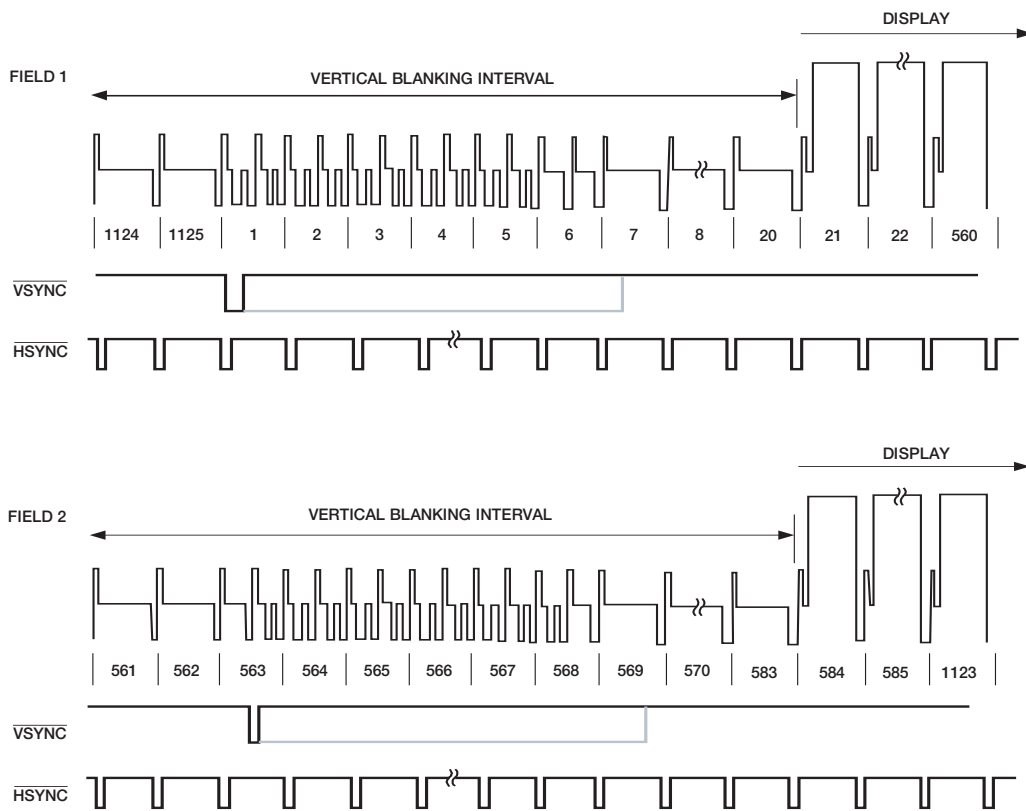


図115. 1080i HSYNC/VSYNCの入カタイミング

06034-115

付録7—ビデオ出力レベル

SD YPrPb出力レベル—SMPTE/EBU N10

パターン：100%カラー・バー

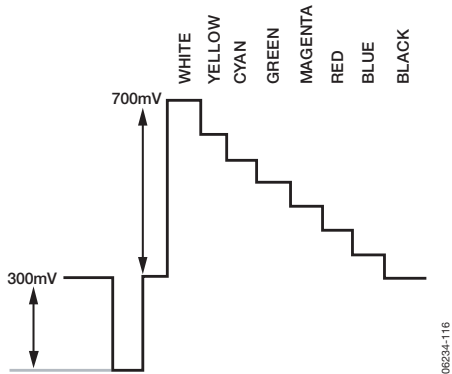


図116. Yレベル—NTSC

06234-116

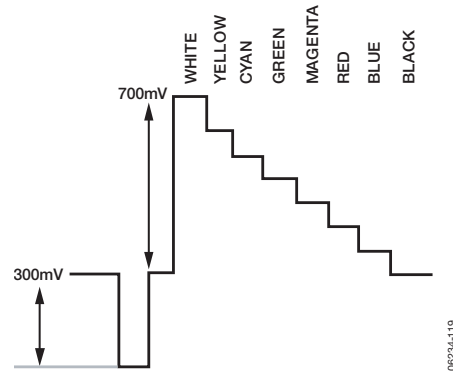


図119. Yレベル—PAL

06234-119

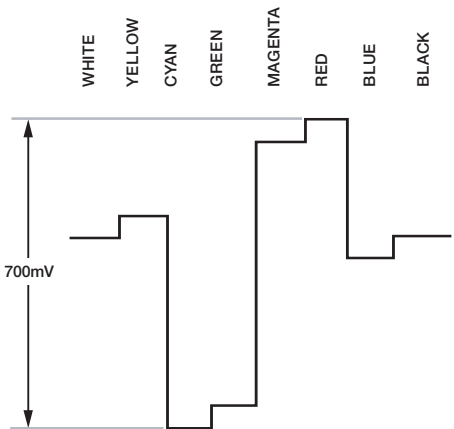


図117. Prレベル—NTSC

06234-117

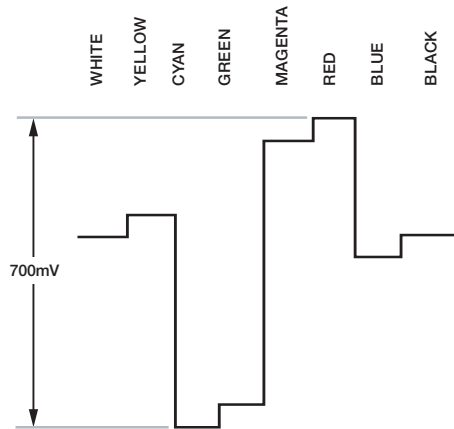


図120. Prレベル—PAL

06234-120

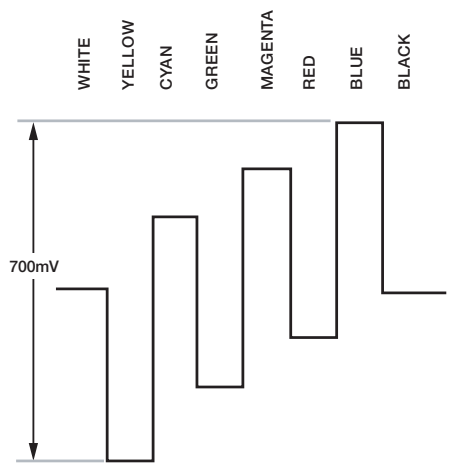


図118. Pbレベル—NTSC

06234-118

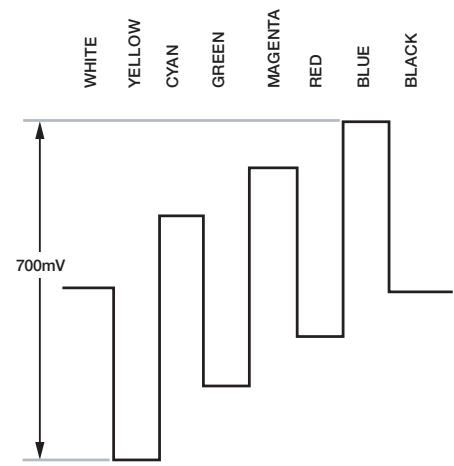
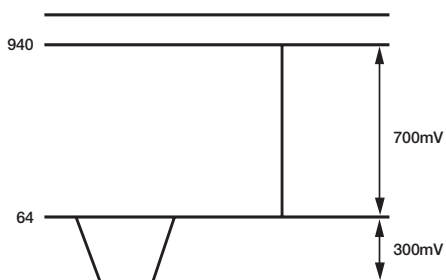


図121. Pbレベル—PAL

06234-121

ED/HD YPrPb出力レベル

INPUT CODE EIA-770.2, STANDARD FOR Y OUTPUT VOLTAGE



 EIA-770.2, STANDARD FOR Pr/Pb OUTPUT VOLTAGE

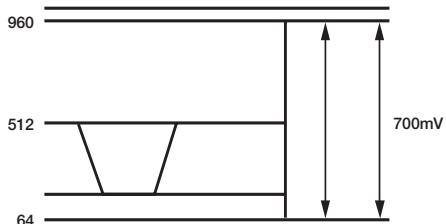
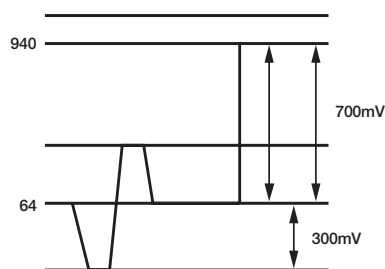


図122. EIA-770.2規格の出力信号 (525P/625P)

06234-122

INPUT CODE EIA-770.3, STANDARD FOR Y OUTPUT VOLTAGE



 EIA-770.3, STANDARD FOR Pr/Pb OUTPUT VOLTAGE

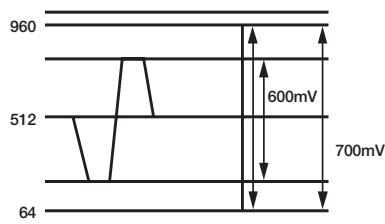
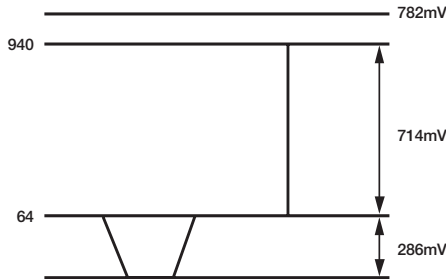


図124. EIA-770.3規格の出力信号 (1080i/720P)

06234-124

INPUT CODE EIA-770.1, STANDARD FOR Y OUTPUT VOLTAGE



 EIA-770.1, STANDARD FOR Pr/Pb OUTPUT VOLTAGE

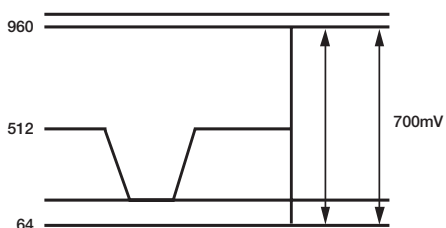
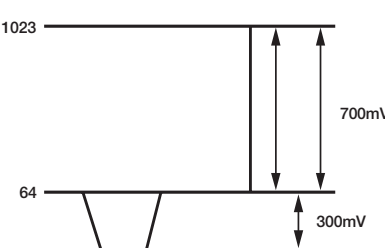


図123. EIA-770.1規格の出力信号 (525P/625P)

06234-123

INPUT CODE Y-OUTPUT LEVELS FOR FULL INPUT SELECTION OUTPUT VOLTAGE



INPUT CODE Pr/Pb-OUTPUT LEVELS FOR FULL INPUT SELECTION OUTPUT VOLTAGE

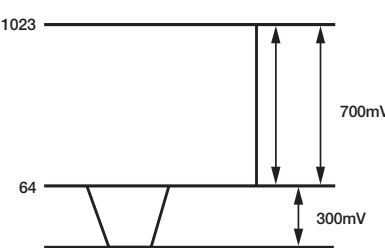


図125. フル入力選択用の出力レベル

06234-125

ADV7390/ADV7391/ADV7392/ADV7393

SD/ED/HD RGB出力レベル

パターン：100%/75%カラー・バー

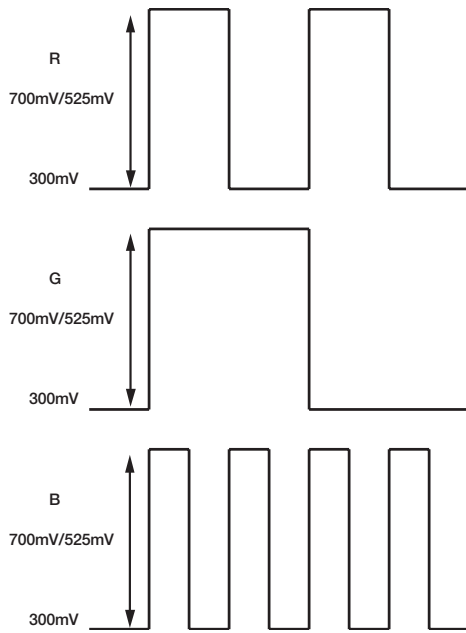


図126. SD/ED RGB出力レベル—RGB同期ディスエーブル

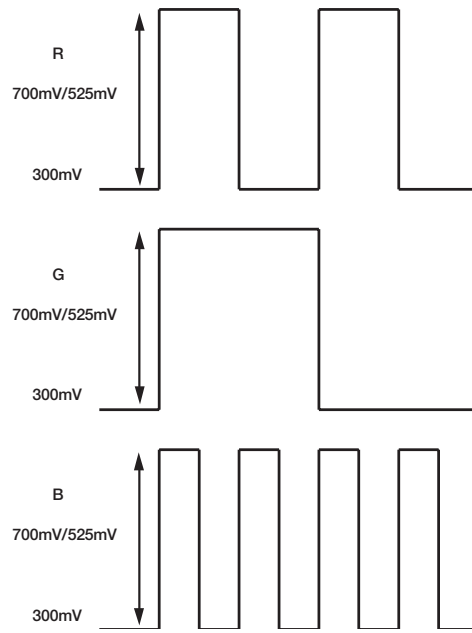


図128. HD RGB出力レベル—RGB同期ディスエーブル

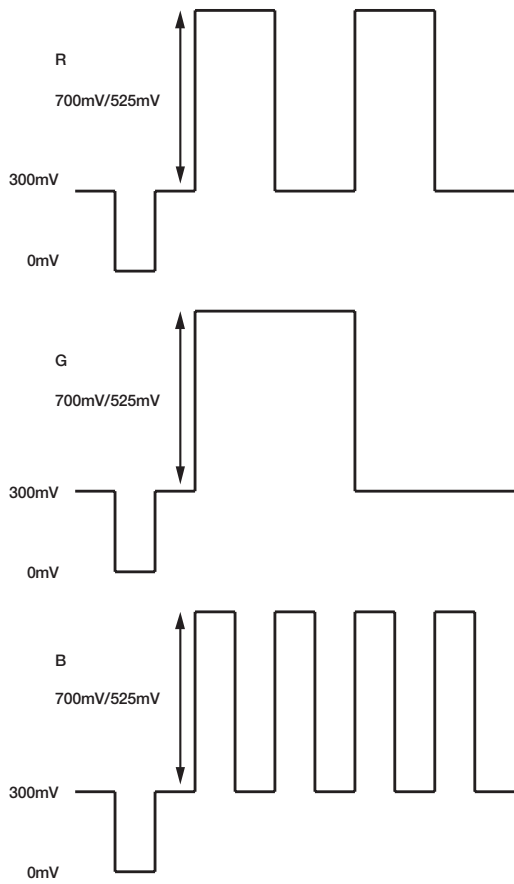


図127. SD/ED RGB出力レベル—RGB同期イネーブル

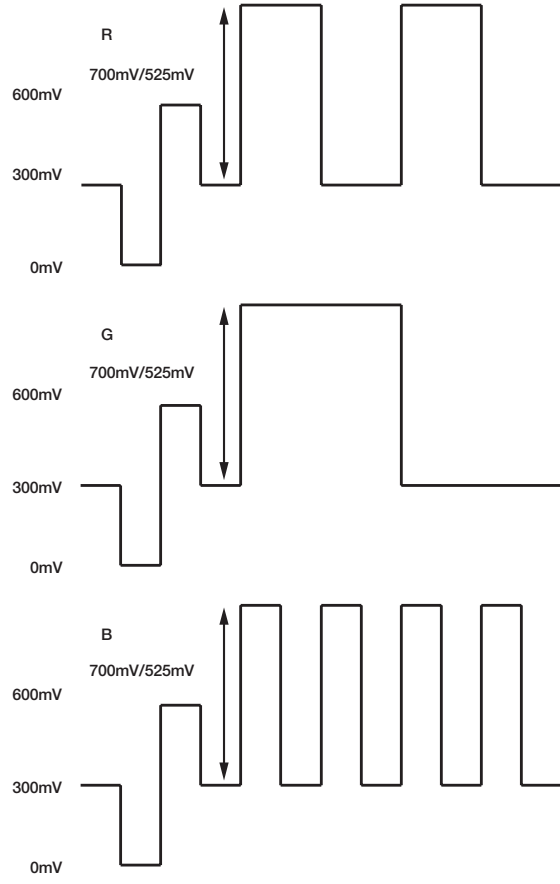
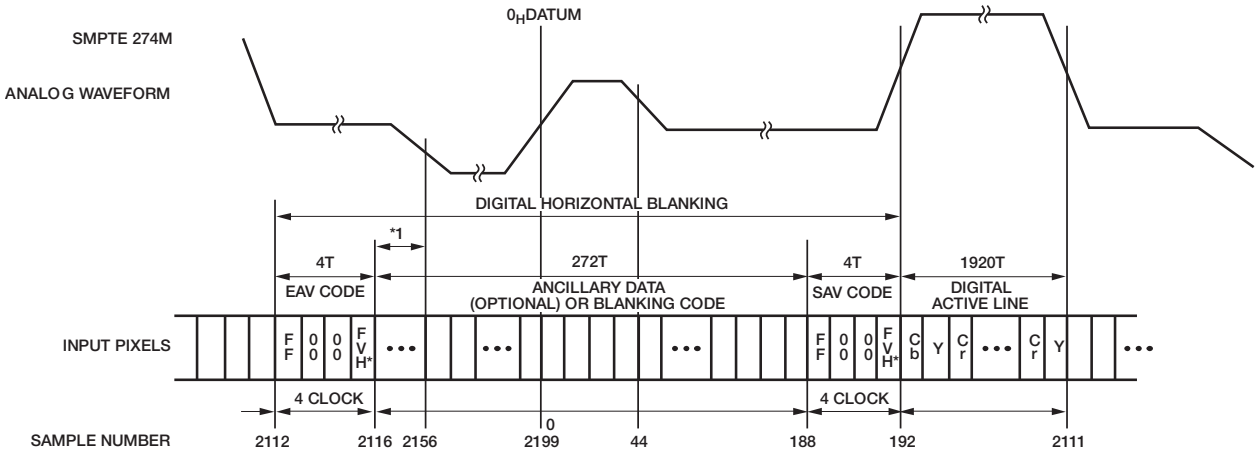


図129. HD RGB出力レベル—RGB同期イネーブル

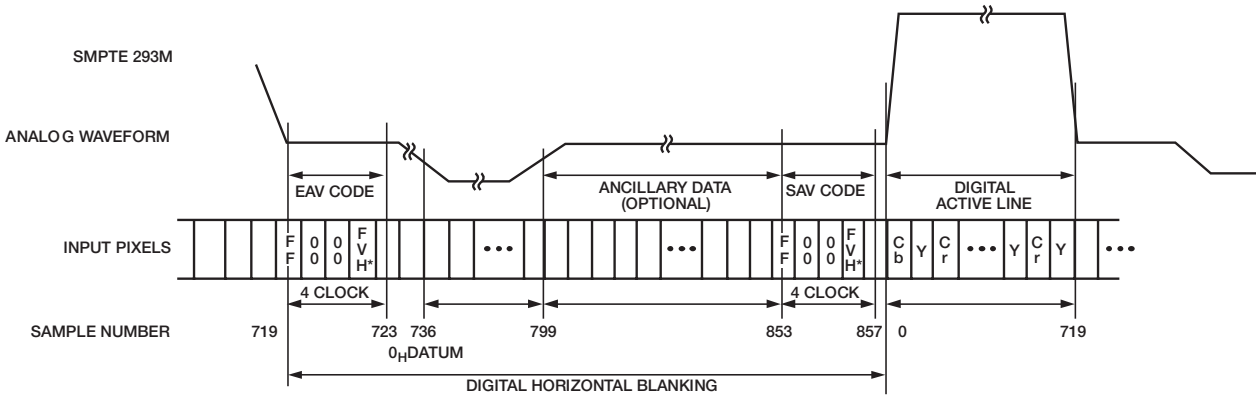
付録8—ビデオ規格



FVH* = FVH AND PARITY BITS
 SAV/EAV: LINE 1-562: F = 0
 SAV/EAV: LINE 563-1125: F = 1
 SAV/EAV: LINE 1-20; 561-583; 1124-1125: V = 1
 SAV/EAV: LINE 21-560; 584-1123: V = 0

FOR A FRAME RATE OF 30Hz: 40 SAMPLES
 FOR A FRAME RATE OF 25Hz: 480 SAMPLES

図136. EAV/SAV入カデータ・タイミング図 (SMPTE 274M)



FVH* = FVH AND PARITY BITS
 SAV: LINE 43-525 = 200H
 SAV: LINE 1-42 = 2AC
 EAV: LINE 43-525 = 274H
 EAV: LINE 1-42 = 2D8

図137. EAV/SAV入カデータ・タイミング図 (SMPTE 293M)

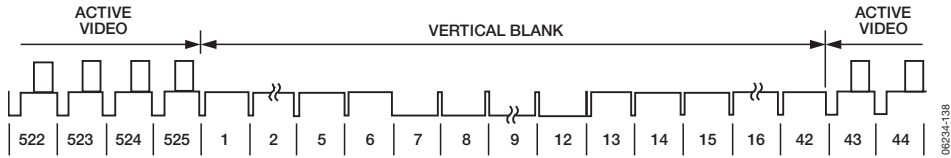


図138. SMPTE 293M (525p)

ADV7390/ADV7391/ADV7392/ADV7393

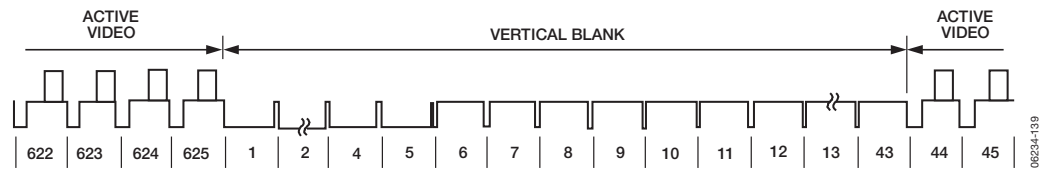


图139. ITU-R BT.1358 (625p)

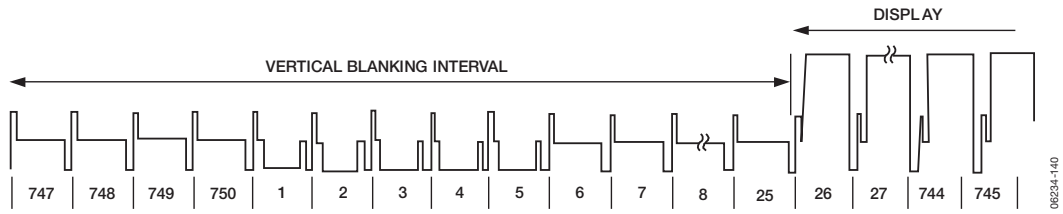


图140. SMPTE 296M (720p)

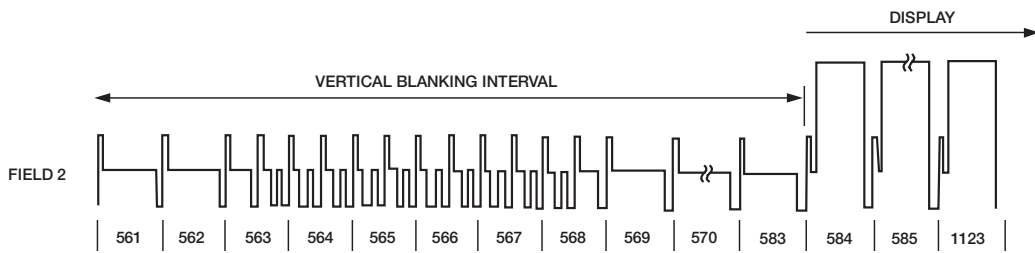
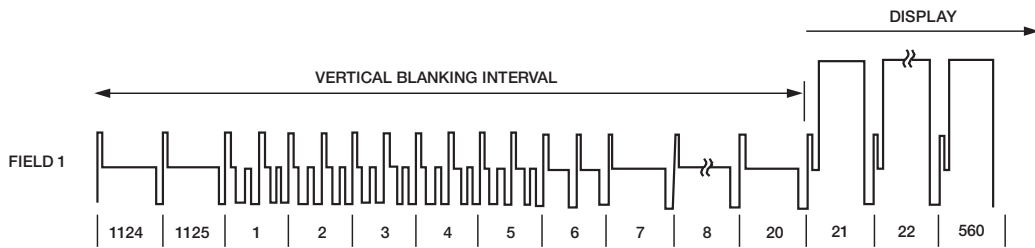


图141. SMPTE 274M (1080i)

ADV7390/ADV7391/ADV7392/ADV7393

付録9—設定記述

以下のページに記載した記述を使って、ADV739xの基本動作を設定できます。一部の機能は、デフォルトによりイネーブルになっています。他の機能も必要に応じてイネーブルにすることができます。表58に、SDモード動作に使用できる記述を示します。表89と表106には、それぞれEDモード動作とHDモード動作に使用できる記述を示します。

規格の定義

表58. SD設定記述

Input Format	Input Data Width	Synchronization Format	Input Color Space	Output Color Space	Table Number
525i (NTSC)	8-Bit SDR	EAV/SAV	YCrCb	YPrPb	Table 59
525i (NTSC)	8-Bit SDR	EAV/SAV	YCrCb	CVBS/Y-C (S-Video)	Table 60
525i (NTSC)	8-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	YPrPb	Table 61
525i (NTSC)	8-Bit SDR	EAV/SAV	YCrCb	RGB	Table 62
525i (NTSC)	8-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	RGB	Table 63
525i (NTSC)	10-Bit SDR	EAV/SAV	YCrCb	YPrPb	Table 64
525i (NTSC)	10-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	YPrPb	Table 65
525i (NTSC)	10-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	CVBS/ Y-C (S-Video)	Table 66
525i (NTSC)	10-Bit SDR	EAV/SAV	YCrCb	RGB	Table 67
525i (NTSC)	10-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	RGB	Table 68
525i (NTSC)	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	YPrPb	Table 69
525i (NTSC)	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	RGB	Table 70
525i (NTSC)	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	RGB	YPrPb	Table 71
525i (NTSC)	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	RGB	CVBS/ Y-C (S-Video)	Table 72
525i (NTSC)	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	RGB	RGB	Table 73
625i (PAL)	8-Bit SDR	EAV/SAV	YCrCb	YPrPb	Table 74
625i (PAL)	8-Bit SDR	EAV/SAV	YCrCb	CVBS/Y-C (S-Video)	Table 75
625i (PAL)	8-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	YPrPb	Table 76
625i (PAL)	8-Bit SDR	EAV/SAV	YCrCb	RGB	Table 77
625i (PAL)	8-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	RGB	Table 78
625i (PAL)	10-Bit SDR	EAV/SAV	YCrCb	YPrPb	Table 79
625i (PAL)	10-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	YPrPb	Table 80
625i (PAL)	10-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	CVBS/Y-C (S-Video)	Table 81
625i (PAL)	10-Bit SDR	EAV/SAV	YCrCb	RGB	Table 82
625i (PAL)	10-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	RGB	Table 83
625i (PAL)	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	YPrPb	Table 84
625i (PAL)	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	RGB	Table 85
625i (PAL)	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	RGB	YPrPb	Table 86
625i (PAL)	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	RGB	CVBS/Y-C (S-Video)	Table 87
625i (PAL)	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	RGB	RGB	Table 88

表59. 8ビット525i YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。

表60. 8ビット525i YCrCb入力 (EAV/SAV)、CVBS/YC出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xCB	ピクセル・データ有効。CVBS/S-Video出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。

ADV7390/ADV7391/ADV7392/ADV7393

表61. 8ビット525i YCrCb入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x8A	0x0C	タイミング・モード2 (スレーブ)。 HSYNC/VSYNC同期。

表62. 8ビット525i YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。

表63. 8ビット525i YCrCb入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x8A	0x0C	タイミング・モード2 (スレーブ)。 HSYNC/VSYNC同期。

表64. 10ビット525i YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x10	10ビット入力イネーブル

表65. 10ビット525i YCrCb入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x10	10ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレーブ)。 HSYNC/VSYNC同期。

表66. 10ビット525i YCrCb入力、CVBS/YC出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xCB	ピクセル・データ有効。CVBS/S-Video出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x10	10ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレーブ)。 HSYNC/VSYNC同期。

ADV7390/ADV7391/ADV7392/ADV7393

表67. 10ビット525i YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x10	10ビット入力イネーブル

表68. 10ビット525i YCrCb入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x10	10ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。 HSYNC/VSYNC同期。

表69. 16ビット525i YCrCb入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x08	16ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。 HSYNC/VSYNC同期。

表70. 16ビット525i YCrCb入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x08	16ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。 HSYNC/VSYNC同期。

表71. 16ビット525i RGB入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x87	0x80	RGB入力イネーブル
0x88	0x08	16ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。 HSYNC/VSYNC同期。

表72. 16ビット525i RGB入力、CVBS/YC出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xCB	ピクセル・データ有効。CVBS/Sビデオ出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x87	0x80	RGB入力イネーブル
0x88	0x08	16ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。 HSYNC/VSYNC同期。

ADV7390/ADV7391/ADV7392/ADV7393

表73. 16ビット525i RGB入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x10	NTSC規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC9	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x87	0x80	RGB入力イネーブル
0x88	0x08	16ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレーブ)。 HSYNC/VSYNC同期。

表74. 8ビット625i YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表75. 8ビット625i YCrCb入力 (EAV/SAV)、CVBS/YC出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC3	ピクセル・データ有効。CVBS/Sビデオ出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表76. 8ビット625i YCrCb入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x8A	0x0C	タイミング・モード2 (スレーブ)。 HSYNC/VSYNC同期。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表77. 8ビット625i YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表78. 8ビット625i YCrCb入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x8A	0x0C	タイミング・モード2 (スレーブ)。 HSYNC/VSYNC同期。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

ADV7390/ADV7391/ADV7392/ADV7393

表79. 10ビット625i YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x10	10ビット入力イネーブル

表80. 10ビット625i YCrCb入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x10	10ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。HSYNC/VSYNC同期。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表81. 10ビット625i YCrCb入力、CVBS/YC出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC3	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。
0x88	0x10	10ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。HSYNC/VSYNC同期。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表82. 10ビット625i YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x10	10ビット入力イネーブル
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表83. 10ビット625i YCrCb入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x10	10ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。HSYNC/VSYNC同期。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表84. 16ビット625i YCrCb入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (16×)。
0x01	0x00	SD入力モード
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x08	16ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。HSYNC/VSYNC同期。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

ADV7390/ADV7391/ADV7392/ADV7393

表85. 16ビット625i YCrCb入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル(16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x88	0x08	16ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。HSYNC/VSYNC同期。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表86. 16ビット625i RGB入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル(16×)。
0x01	0x00	SD入力モード
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x87	0x80	RGB入力イネーブル
0x88	0x08	16ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。HSYNC/VSYNC同期。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表87. 16ビット625i RGB入力、CVBS/YC出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル(16×)。
0x01	0x00	SD入力モード
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC3	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。
0x87	0x80	RGB入力イネーブル
0x88	0x08	16ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。HSYNC/VSYNC同期。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

表88. 16ビット625i RGB入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル(16×)。
0x01	0x00	SD入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x80	0x11	PAL規格。SSAF輝度信号フィルタ・イネーブル。1.3MHz色信号フィルタ・イネーブル。
0x82	0xC1	ピクセル・データ有効。YPrPb出力。SSAF PrPbフィルタ・イネーブル。アクティブ・ビデオ・エッジ制御イネーブル。ペダスタル・イネーブル。
0x87	0x80	RGB入力イネーブル
0x88	0x08	16ビット入力イネーブル
0x8A	0x0C	タイミング・モード2 (スレープ)。HSYNC/VSYNC同期。
0x8C	0xCB	PAL F _{sc} 値
0x8D	0x8A	PAL F _{sc} 値
0x8E	0x09	PAL F _{sc} 値
0x8F	0x2A	PAL F _{sc} 値

ADV7390/ADV7391/ADV7392/ADV7393

拡張解像度

表89. ED設定スクリプト

Input Format	Input Data Width	Synchronization Format	Input Color Space	Output Color Space	Table Number
525p	8-Bit DDR	EAV/SAV	YCrCb	YPrPb	Table 98
525p	8-Bit DDR	EAV/SAV	YCrCb	RGB	Table 100
525p	10-Bit DDR	EAV/SAV	YCrCb	YPrPb	Table 99
525p	10-Bit DDR	EAV/SAV	YCrCb	RGB	Table 101
525p	16-Bit SDR	EAV/SAV	YCrCb	YPrPb	Table 90
525p	16-Bit SDR	HSYNC/VSYNC	YCrCb	YPrPb	Table 91
525p	16-Bit SDR	EAV/SAV	YCrCb	RGB	Table 92
525p	16-Bit SDR	HSYNC/VSYNC	YCrCb	RGB	Table 93
625p	8-Bit DDR	EAV/SAV	YCrCb	YPrPb	Table 102
625p	8-Bit DDR	EAV/SAV	YCrCb	RGB	Table 104
625p	10-Bit DDR	EAV/SAV	YCrCb	YPrPb	Table 103
625p	10-Bit DDR	EAV/SAV	YCrCb	RGB	Table 105
625p	16-Bit SDR	EAV/SAV	YCrCb	YPrPb	Table 94
625p	16-Bit SDR	HSYNC/VSYNC	YCrCb	YPrPb	Table 95
625p	16-Bit SDR	EAV/SAV	YCrCb	RGB	Table 96
625p	16-Bit SDR	HSYNC/VSYNC	YCrCb	RGB	Table 97

表90. 16ビット525p YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x10	ED-SDR入力モード
0x30	0x04	525p@59.94Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表91. 16ビット525p YCrCb入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x10	ED-SDR入力モード
0x30	0x00	525p@59.94Hz。HSYNC/VSYNC同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表92. 16ビット525p YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x10	ED-SDR入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x04	525p@59.94Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表93. 16ビット525p YCrCb入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x10	ED-SDR入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x00	525p@59.94Hz。HSYNC/VSYNC同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表94. 16ビット625p YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x10	ED-SDR入力モード
0x30	0x1C	625p@50Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表95. 16ビット625p YCrCb入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x10	ED-SDR入力モード
0x30	0x18	625p@50Hz。HSYNC/VSYNC同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

ADV7390/ADV7391/ADV7392/ADV7393

表96. 16ビット625p YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x10	ED-SDR入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x1C	625p@50Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表97. 16ビット625p YCrCb入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x10	ED-SDR入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x18	625p@50Hz。HSYNC/VSYNC同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表98. 8ビット525p YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x20	ED-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x30	0x04	525p@59.94Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表99. 10ビット525p YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x20	ED-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x30	0x04	525p@59.94Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効
0x33	0x6C	10ビット入力イネーブル

表100. 8ビット525p YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x20	ED-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x04	525p@59.94Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表101. 10ビット525p YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x20	ED-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x04	525p@59.94Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効
0x33	0x6C	10ビット入力イネーブル

表102. 8ビット625p YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x20	ED-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x30	0x1C	625p@50Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表103. 10ビット625p YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x20	ED-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x30	0x1C	625p@50Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効
0x33	0x6C	10ビット入力イネーブル

ADV7390/ADV7391/ADV7392/ADV7393

表104. 8ビット625p YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x20	ED-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x1C	625p@50Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効

表105. 10ビット625p YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (8×)。
0x01	0x20	ED-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x1C	625p@50Hz。EAV/SAV同期。EIA-770.2出力レベル。
0x31	0x01	ピクセル・データ有効
0x33	0x6C	10ビット入力イネーブル

高解像度

表106. HD設定スクリプト

Input Format	Input Data Width	Synchronization Format	Input Color Space	Output Color Space	Table Number
720p	8-Bit DDR	EAV/SAV	YCrCb	YPrPb	Table 115
720p	8-Bit DDR	EAV/SAV	YCrCb	RGB	Table 117
720p	10-Bit DDR	EAV/SAV	YCrCb	YPrPb	Table 116
720p	10-Bit DDR	EAV/SAV	YCrCb	RGB	Table 118
720p	16-Bit SDR	EAV/SAV	YCrCb	YPrPb	Table 107
720p	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	YPrPb	Table 108
720p	16-Bit SDR	EAV/SAV	YCrCb	RGB	Table 109
720p	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	RGB	Table 110
1080i	8-Bit DDR	EAV/SAV	YCrCb	YPrPb	Table 119
1080i	8-Bit DDR	EAV/SAV	YCrCb	RGB	Table 121
1080i	10-Bit DDR	EAV/SAV	YCrCb	YPrPb	Table 120
1080i	10-Bit DDR	EAV/SAV	YCrCb	RGB	Table 122
1080i	16-Bit SDR	EAV/SAV	YCrCb	YPrPb	Table 111
1080i	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	YPrPb	Table 112
1080i	16-Bit SDR	EAV/SAV	YCrCb	RGB	Table 113
1080i	16-Bit SDR	$\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$	YCrCb	RGB	Table 114

ADV7390/ADV7391/ADV7392/ADV7393

表107. 16ビット720p YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x10	HD-SDR入力モード
0x30	0x2C	720p@60Hz/59.94Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表108. 16ビット720p YCrCb入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x10	HD-SDR入力モード
0x30	0x28	720p@60Hz/59.94Hz。HSYNC/VSYNC同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表109. 16ビット720p YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x10	HD-SDR入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x2C	720p@60Hz/59.94Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表110. 16ビット720p YCrCb入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x10	HD-SDR入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x28	720p@60Hz/59.94Hz。HSYNC/VSYNC同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表111. 16ビット1080i YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x10	HD-SDR入力モード
0x30	0x6C	1080i@30Hz/29.97Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表112. 16ビット1080i YCrCb入力、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x10	HD-SDR入力モード
0x30	0x18	1080i@30Hz/29.97Hz。HSYNC/VSYNC同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表113. 16ビット1080i YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x10	HD-SDR入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x6C	1080i@30Hz/29.97Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表114. 16ビット1080i YCrCb入力、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x10	HD-SDR入力モード
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x18	1080i@30Hz/29.97Hz。HSYNC/VSYNC同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表115. 8ビット720p YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x20	HD-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x30	0x2C	720p@60Hz/59.94Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表116. 10ビット720p YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x20	HD-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x30	0x2C	720p@60Hz/59.94Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。
0x33	0x6C	10ビット入力イネーブル

ADV7390/ADV7391/ADV7392/ADV7393

表117. 8ビット720p YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x20	HD-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x2C	720p@60Hz/59.94Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表118. 10ビット720p YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x20	HD-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x2C	720p@60Hz/59.94Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。
0x33	0x6C	10ビット入力イネーブル

表119. 8ビット1080i YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x20	HD-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x30	0x6C	1080i@30Hz/29.97Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表120. 10ビット1080i YCrCb入力 (EAV/SAV)、YPrPb出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x20	HD-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x30	0x6C	1080i@30Hz/29.97Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。
0x33	0x6C	10ビット入力イネーブル

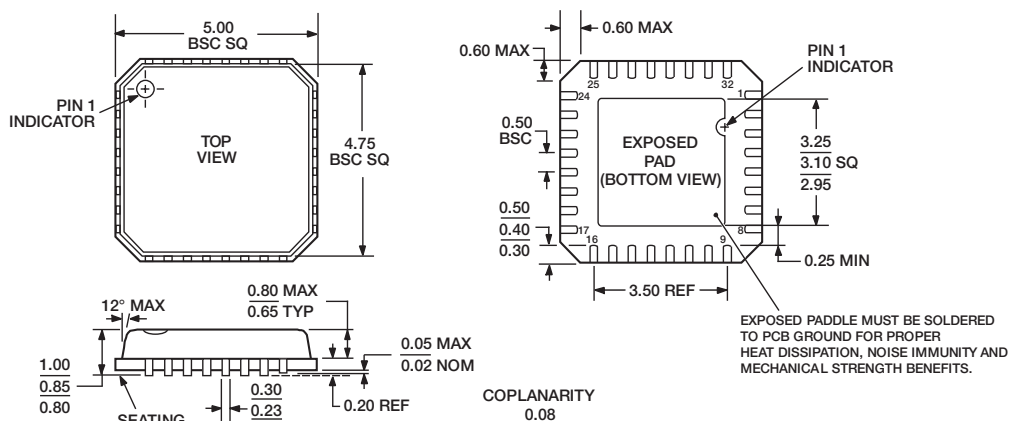
表121. 8ビット1080i YCrCb入力 (EAV/SAV)、RGB出力

サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x20	HD-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x6C	1080i@30Hz/29.97Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。

表122. 10ビット1080i YCrCb入力 (EAV/SAV)、RGB出力

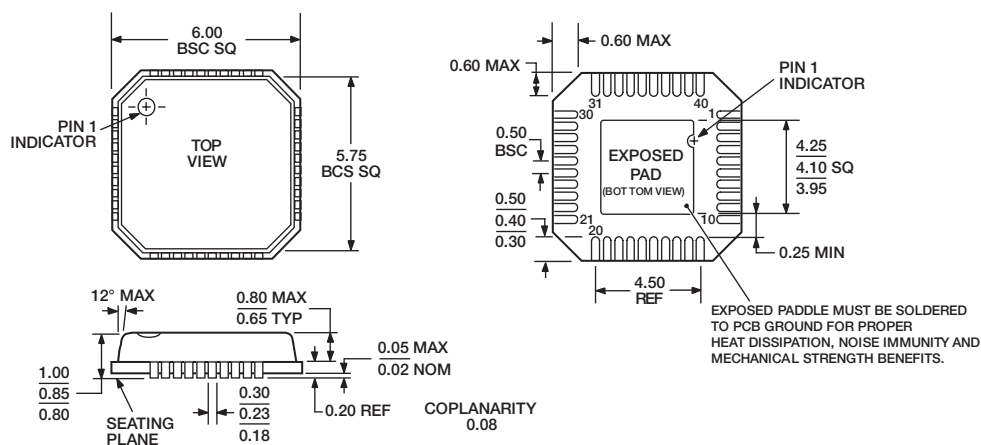
サブアドレス	設定	説明
0x17	0x02	ソフトウェア・リセット
0x00	0x1C	全DACイネーブル。PLLイネーブル (4×)。
0x01	0x20	HD-DDR入力モード。CLKINの立下がりエッジで輝度信号データをクロック入力。
0x02	0x10	RGB出力イネーブル。RGB出力同期イネーブル。
0x30	0x6C	1080i@30Hz/29.97Hz。EAV/SAV同期。EIA-770.3出力レベル。
0x31	0x01	ピクセル・データ有効。4×オーバーサンプリング。
0x33	0x6C	10ビット入力イネーブル

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

図142. 32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
5mm×5mmボディ、極薄クワッド
(CP32-2)
寸法単位：mm



COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-2

図143. 40ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
(CP-40)
寸法単位：mm

ADV7390/ADV7391/ADV7392/ADV7393

オーダー・ガイド

Model	Temperature Range	Macrovision ¹ Anti-Taping	Package Description	Package Option
ADV7390BCPZ ²	-40°C to +85°C	Yes	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
ADV7390BCPZ-REEL ²	-40°C to +85°C	Yes	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
ADV7391BCPZ ²	-40°C to +85°C	No	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
ADV7391BCPZ-REEL ²	-40°C to +85°C	No	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
ADV7392BCPZ ²	-40°C to +85°C	Yes	40-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-40
ADV7392BCPZ-REEL ²	-40°C to +85°C	Yes	40-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-40
ADV7393BCPZ ²	-40°C to +85°C	No	40-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-40
ADV7393BCPZ-REEL ²	-40°C to +85°C	No	40-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-40
EVAL-ADV739xFEZ ^{2,3}		N/A	ADV739x Evaluation Platform Front-End Board	
EVAL-ADV7390EBZ ²		Yes	ADV7390 Evaluation Board	
EVAL-ADV7391EBZ ²		No	ADV7391 Evaluation Board	
EVAL-ADV7392EBZ ²		Yes	ADV7392 Evaluation Board	
EVAL-ADV7393EBZ ²		No	ADV7393 Evaluation Board	

¹ Macrovision対応のICでは、購入者は、Macrovision Rev 7.1.LI準拠のビデオを出力できるICの承認されたライセンス（正規の購入者）である必要があります。

² Z=鉛フリー製品

³ ADV739x評価用ボードのいずれか一つと組み合わせて使用。このフロントエンド・ボードは、アナログ・デバイゼスのデコーダおよびXilinx Spartan-3 FPGAを備えています。

D06234-0-10/06(0)-J

アナログ・デバイゼス社またはその二次ライセンスを受けた関連会社からライセンスの対象となるFCコンポーネントを購入した場合、購入者にはこれらのコンポーネントをFCシステムで使用するフィリップス社のFCの特許権に基づくライセンスが許諾されます。ただし、フィリップス社が規定するFC規格仕様に準拠したシステムが必要です。