

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2009年5月1日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2009年5月1日

製品名：ADV7180

対象となるデータシートのリビジョン(Rev)：Rev.0, Rev.B, Rev.C

訂正箇所：page-26 Table 29 BRI Function / page-82 Register 表 0x0A

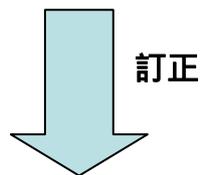
誤記載 (page-26)

Table 29. BRI Function

BRI[7:0]	Description
0x00 (default)	Offset of the luma channel = 0IRE
0x7F	Offset of the luma channel = +100IRE
0x80	Offset of the luma channel = -100IRE

誤記載 (page-82)

0x0A	Brightness	BRI[7:0]; this register controls the brightness of the video signal	0 0 0 0 0 0 0 0	0x00 = 0IRE 0x7F = +100IRE 0x80 = -100IRE
------	------------	---	-----------------	---



訂正

正しい記載 (page-26)

Table 29. BRI Function

BRI[7:0]	Description
0x00 (default)	Offset of the luma channel = 0IRE
0x7F	Offset of the luma channel = +30IRE
0x80	Offset of the luma channel = -30IRE

正しい記載 (page-82)

0x0A	Brightness	BRI[7:0]; this register controls the brightness of the video signal	0 0 0 0 0 0 0 0	0x00 = 0IRE 0x7F = +30IRE 0x80 = -30IRE
------	------------	---	-----------------	---

特長

- 世界標準のNTSC/PAL/SECAMカラー復調に対応
- 10ビットのA/Dコンバータを1個内蔵、CVBSに4倍のオーバーサンプリング、Y/Cモードに2倍のオーバーサンプリング、YPrPbに2倍のオーバーサンプリング（各チャンネル）
- アンチエイリアシング・フィルタ内蔵の3個のビデオ入力チャンネル
- CVBS（コンポジット・ビデオ）、Y/C（Sビデオ）、YPrPb（コンポーネント）ビデオで入力対応
- 5ライン長のアダプティブ・コム・フィルタ（くし形フィルタ）およびCTI/DNRビデオ・エンハンスメント
- アダプティブ・デジタル・ライン長トラッキング（ADLLT™）、信号処理、拡張FIFOマネジメントでミニTBC機能
- アダプティブ・ピーク・ホワイト・モードを備えたAGCを内蔵
- Macrovision®コピー保護検出
- NTSC/PAL/SECAMの自動識別
- 8ビットITU-R BT.656 YCrCb 4:2:2出力およびHS、VS、FIELD¹
- 1.0Vのアナログ信号入力範囲
- 4個の汎用出力（GPO）²
- テレテキスト対応のフル機能VBIデータ・スライサ（WST）
- パワーダウン・モードおよび超低スリープ・モード電流
- 2線式シリアルMPUインターフェース（I²C®互換）
- アナログ電源：1.8V、PLL電源：1.8V、デジタル電源：1.8V、IO電源：3.3V
- 温度グレード：-40～+85°C
- 2種類のパッケージ：
 - 40ピン、6mm×6mm、鉛フリーのLFCSP
 - 64ピン、10mm×10mm、鉛フリーのLQFP

概要

ADV7180は、世界的な標準であるNTSC、PAL、SECAM互換の標準アナログ・ベースバンド・テレビ信号を自動的に検出し、8ビットのITU-R BT.656インターフェース標準と互換性のある4:2:2コンポーネント・ビデオ・データに変換します。

ADV7180のシンプルなデジタル出力インターフェースは、MPEGエンコーダ、コーデック、モバイル・ビデオ・プロセッサ、アナログ・デバイセズのデジタル・ビデオ・エンコーダ（ADV7179などの製品）など、さまざまなデバイスにグルーレスに接続します。外部のHS、VS、FIELD信号は、必要な場合、LCDコントローラその他のビデオASIC用のタイミング・リファレンスとして使用できます。

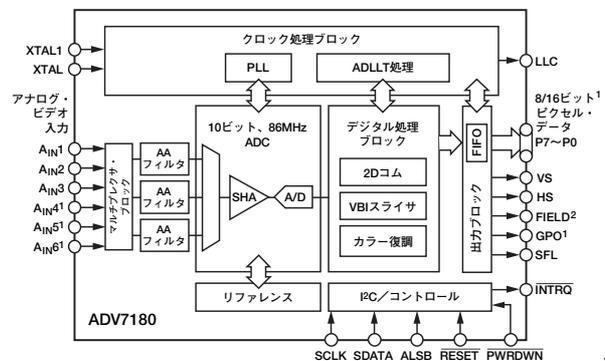
10ビットの高精度A/D変換機能は、消費者向けアプリケーションに対応した業務用品質のビデオ性能を提供し、真の8ビット・データ分解能を実現します。3チャンネルのアナログ・ビデオ入力は、標準のコンポジット信号、Sビデオ信号、またはコンポーネント・ビデオ信号を取り込めるため、さまざまな消費者向けビデオ・ソースに対応することができます。

¹ ADV7180 LFCSP-40はVS/FIELD出力用に1本のピンを使用
² ADV7180 LQFP-64でのみ使用可能

アプリケーション

- デジタル・ビデオ・カメラおよびPDA
- デジタルTV用の低価格SDTV PIPデコーダ
- ビデオの安全性に対応したマルチチャンネルDVR
- AVレシーバおよびビデオ・トランスコーディング
- PCI/USBベースのビデオ・キャプチャおよびTVチューナ・カード
- パーソナル・メディア・プレーヤおよびレコーダ
- スマートフォン/マルチメディア・ハンドセット
- 車載用インフォテインメント機器
- リアビュー・カメラ/車両安全システム

機能ブロック図



164ピン・パッケージでのみ使用可
 240ピン・パッケージはVS/FIELD用に1本のピンを使用

図1

AGC（自動ゲイン・コントロール）回路とクランプ再生回路が内蔵されているため、最大1.0Vの振幅をもつビデオ信号の入力が可能になります。また、これらの回路をバイパスしてマニュアル設定することもできます。

ライン・ロック・クロック出力により、±5%のライン長変化があっても、出力データレート、タイミング信号、出力クロック信号を同期化、非同期化、またはラインにロックすることができます。出力制御信号は、多くのアプリケーションでグルーレスなインターフェース接続を実現します。ADV7180は、2線式のシリアル双方向ポート（I²C互換）で設定します。

ADV7180は1.8V CMOSプロセスで製造されています。モノリシックCMOS構造を採用しているため、低消費電力でより多くの機能を実現しています。鉛フリーの40ピン・チップスケール・パッケージ（LFCSP）は、スペースに制約のある携帯アプリケーションに最適です。ADV7181Bとピン互換の64ピンLQFPパッケージでも提供しています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
 © 2006-2007 Analog Devices, Inc. All rights reserved.

ADV7180

目次

特長	1	SD色信号パス	22
アプリケーション	1	同期処理	23
機能ブロック図	1	VBIデータの再生	23
概要	1	全体的なセットアップ	23
改訂履歴	3	カラー制御	25
はじめに	4	クランプ動作	27
アナログ・フロントエンド	4	輝度信号フィルタ	28
標準ビデオ信号処理プロセッサ (SDP)	4	色信号フィルタ	31
ADV7181Bとの比較	5	ゲイン動作	32
機能ブロック図	6	カラー・トランジェント・インブループメント (CTI)	36
仕様	7	デジタル・ノイズ・リダクション (DNR) と	
電気的特性	7	輝度信号ピーキング・フィルタ	37
ビデオ仕様	8	コムフィルタ (くし形フィルタ)	38
タイミング仕様	9	IFフィルタ補償	40
アナログ仕様	9	AVコードの挿入と制御	41
熱仕様	10	同期出力信号	43
タイミング図	10	同期処理	50
絶対最大定格	11	VBIデータ・デコード	50
ESDに関する注意	11	FC読出しレジスタ	59
ピン配置と機能の説明	12	ピクセル・ポートの設定	72
40ピンLFCSP	12	GPO制御	73
64ピンLQFP	13	MPUポートの説明	74
アナログ・フロントエンド	15	レジスタのアクセス	75
入力設定	16	レジスタの設定	75
INSEL[3:0] (入力選択)、アドレス0x00 [3:0]	16	FCシーケンサ	75
アナログ入力マルチプレクシング	17	FCレジスタ・マップ	76
アンチエイリアシング (折返し誤差防止) フィルタ	18	FCのプログラミング例	104
グローバル・コントロール・レジスタ	19	ADV7180 LQFP-64	104
パワー・セーブ・モード	19	ADV7180 LFCSP-40	105
リセット制御	19	PCボード・レイアウトの推奨事項	106
グローバル・ピンの制御	19	アナログ・インターフェース入力	106
グローバル・ステータス・レジスタ	21	電源のデカップリング	106
識別	21	PLL	106
STATUS 1	21	VREFNとVREFP	106
自動検出結果	21	デジタル出力 (データとクロックの両方)	106
STATUS 2	21	デジタル入力	106
STATUS 3	21	代表的な回路接続	107
ビデオ・プロセッサ	22	外形寸法	109
SD輝度信号パス	22	オーダー・ガイド	109

改訂履歷**2/07—Rev. A to Rev. B**

Changes to SFL_INV, Subcarrier Frequency Lock	
Inversion Section	24
Changes to Table 103, Register 0x41	90
Updated Outline Dimensions	111

11/06—Rev. 0 to Rev. A

Changes to Table 10 and Table 11	16
Changes to Table 30	28
Changes to Gain Operation Section	33
Changes to Table 43	35
Changes to Table 97	72
Changes to Table 99	73
Changes to Table 103	80
Changes to Figure 54	110

1/06—Revision 0: Initial Version

はじめに

ADV7180は多機能なシングル・チップのマルチフォーマット・ビデオ・デコーダで、コンポジット、Sビデオ、コンポーネント・ビデオ形式のPAL、NTSC、SECAM標準を自動的に検出し、デジタルITU-R BT.656フォーマットに変換します。

ADV7180のシンプルなデジタル出力インターフェースは、MPEGエンコーダ、コーデック、モバイル・ビデオ・プロセッサ、アナログ・デバイスのデジタル・ビデオ・エンコーダ（ADV7179などの製品）など、さまざまなデバイスにグレースに接続します。外部のHS、VS、FIELD信号は、(ITU-R BT.656インターフェース標準に対応していない) LCDコントローラその他のビデオASIC用のタイミング・リファレンスとして使用できます。

アナログ・フロントエンド

ADV7180のアナログ・フロントエンドは1個の高速10ビットA/Dコンバータ（ADC）を備えており、アナログ・ビデオ信号をデジタル化してSDP（標準ビデオ信号処理プロセッサ）に供給できます。アナログ・フロントエンドでは、ミックスド・シグナル・アプリケーションで高性能を実現するために、ADCの入力で差動チャンネルを採用しています。

このフロントエンドは、複数のコンポジット・ビデオ信号をADV7180に入力できる3チャンネルの入力マルチプレクサも備えています。ADCの前には電流クランプが配置されているため、ビデオ信号は必ずコンバータの入力範囲内に収まるようになっています。入力信号がADCの許容範囲内に収まるようにするには、各アナログ入力チャンネルの前に抵抗分圧ネットワークが必要となります（図24を参照）。ビデオ信号微調クランピングは、ADV7180に内蔵されているデジタル微調クランピング機能を用いてダウストリームで実行されます。

表1に3つのADCクロック・レートを示します。クロック・レートは、処理されるビデオ入力フォーマット（INSEL[3:0]）によって決まります。これらのクロック・レートは、CVBSモードの場合にチャンネル当たり4倍のオーバーサンプリングを保証し、Y/CモードとYPrPbモードの場合はチャンネル当たり2倍のオーバーサンプリングを保証します。

表1. ADCクロック・レート

入力フォーマット	ADCクロック・レート ¹	チャンネル当たりのオーバーサンプリング・レート
CVBS	57.27MHz	4倍
Y/C (Sビデオ) ²	86MHz	2倍
YPrPb	86MHz	2倍

¹ XTALピンとXTAL1ピンの間に配置された28.6363MHz水晶発振器に基づく値。

² Y/C (Sビデオ) モード時の強制書込みについては、表103のINSEL[3:0]を参照。

標準ビデオ信号処理プロセッサ (SDP)

ADV7180は、コンポジット、Sビデオ、コンポーネントなどのフォーマットを持つさまざまなベースバンド・ビデオ信号をデコーディングできます。ビデオ・プロセッサ対応のビデオ標準としては、PAL B/D/I/G/H、PAL60、PAL M、PAL N、PAL Nc、NTSC M/J、NTSC 4.43、SECAM B/D/G/K/Lなどがあります。ADV7180はビデオ標準を自動的に検出して処理できます。

ADV7180は5ライン、スーパーアダプティブの2Dコムフィルタ（くし形フィルタ）を内蔵しており、コンポジット・ビデオ信号をデコーディングする際に色信号と輝度信号を高精度に分離できます。このフィルタは、きわめて適合性に優れているため、ユーザが手を加えることなく、ビデオ標準と信号品質に応じて自動的に処理モードを調節します。ADV7180では、明度、コントラスト、彩度、色相などのユーザによる制御も行えます。

ADV7180は、VCRなどの信号源から出力されるビデオ・ライン長の変化をトラッキングする、特許取得済みのアダプティブ・デジタル・ライン長トラッキング（ADLLT）アルゴリズムを採用しています。このADLLT機能を使って、VCRなどの低品質のビデオ信号源や、ノイズの多いチューナ出力、VCDプレーヤ、ビデオ・カメラなどのビデオ信号源をトラックし、デコードできます。ADV7180はCTI（カラー・トランジェント・インッパルプメント）プロセッサを内蔵しており、色信号遷移のエッジをシャープにすることで、際立った垂直遷移を実現しています。

ビデオ・プロセッサは、クローズド・キャプション（CCAP）、ワイド・スクリーン・シグナリング（WSS）、コピー・ジェネレーション・マネジメント・システム（CGMS）、EDTV、Gemstar® 1×/2×、拡張データ・サービス（XDS）などのさまざまなVBIデータ・サービスを処理できます。ADV7180は、プログラム・デリバリ・コントロール（PDC）やビデオ・プログラミング・サービス（VPS）と共に、世界標準テレテキスト（WST）のテレテキスト・データ・スライス機能も提供しています。データは、8ビット・ビデオ出力ポートを介して補助データ・パケット（ANC）として送信されます。ADV7180は、Macrovisionの認定を取得しており、検出回路はType I、II、IIIの保護レベルを識別し、報告することができます。また、デコーダは、すべてのMacrovision信号入力に十分に対応できます。

ADV7181Bとの比較

ADV7181Bと比較すると、ADV7180 LQFP-64には次のような特長が追加されています。

- VCRや微弱信号源のチューナをロックするアーキテクチャを改善
- 3個のアンチエイリアシング・フィルタを内蔵
- 4個の汎用出力（GPO）
- 1.8Vのアナログ電源電圧
- 40ピンLFCSPを選択可
- INSEL[3:0]使用時の未使用チャンネルの自動パワーダウン

ADV7181Bとのピン互換性

ADV7180 LQFP-64は、ADV7181Bとピン互換性があります。

ADV7181BからADV7180に移行するためのマニュアル（移行に必要なソフトウェアの変更を記載）は要望に応じて提供します。詳細はアナログ・デバイセズのフィールド・エンジニアにお問い合わせください。

ADV7180は、ADV7181Bとは異なるADCリファレンス・デカップリング回路（図2）を内蔵しています。

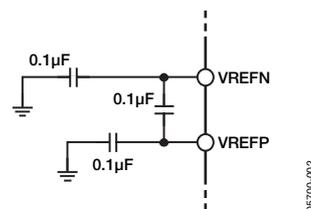


図2. ADV7180のADCリファレンス・デカップリング回路

機能ブロック図

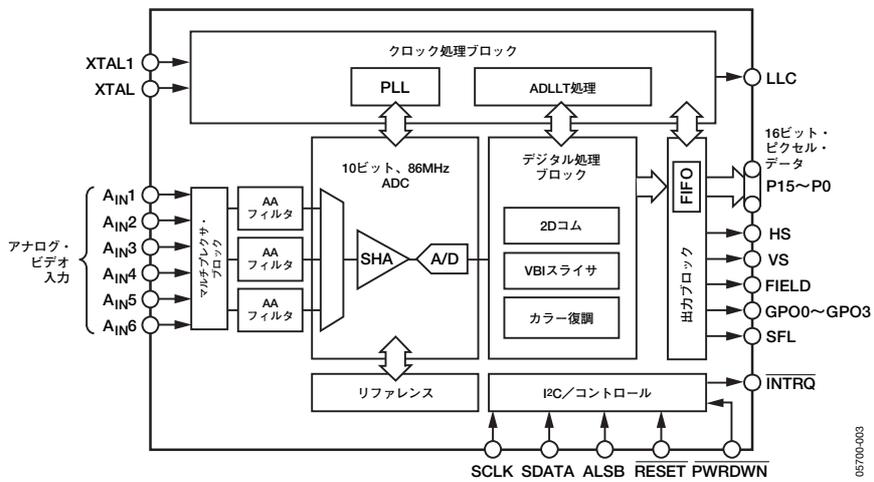


図3. 機能ブロック図 (64ピンLQFP)

05700-003

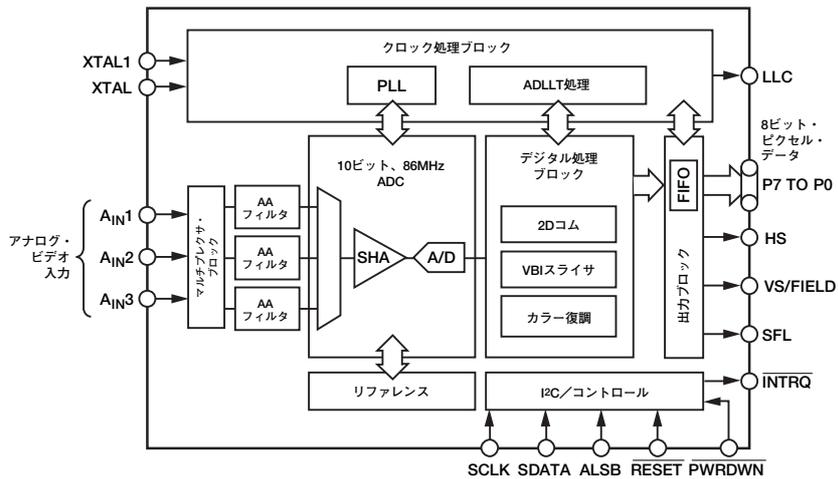


図4. 機能ブロック図 (40ピンLFCSP)

05700-004

仕様

温度範囲：T_{MIN}～T_{MAX}、-40～+85℃。この範囲でmin/max仕様を保証。

電気的特性

A_{VDD}=1.71～1.89V、D_{VDD}=1.65～2.0V、D_{VDDIO}=3.0～3.6V、P_{VDD}=1.65～2.0V（特に指定のない限り、動作温度範囲）

表2

パラメータ	記号	テスト条件	Min	Typ	Max	単位
静的性能						
分解能（各ADC）	N				10	ビット
積分非直線性	INL	CVBSモードでのBSL		2		LSB
微分非直線性	DNL	CVBSモード		-0.6/+0.6		LSB
デジタル入力						
ハイレベル入力電圧	V _{IH}		2			V
ローレベル入力電圧	V _{IL}				0.8	V
水晶発振器入力	V _{XIH}		1.2			V
水晶発振器入力	V _{XIL}				0.4	V
入力電流	I _{IN}		-10		+10	μA
入力容量	C _{IN}				10	pF
デジタル出力						
ハイレベル出力電圧	V _{OH}	I _{SOURCE} =0.4mA	2.4			V
ローレベル出力電圧	V _{OL}	I _{SINK} =3.2mA			0.4	V
高インピーダンス・リーク電流	I _{LEAK}				10	μA
出力容量	C _{OUT}				20	pF
電源条件¹						
デジタル電源	D _{VDD}		1.65	1.8	2	V
デジタルI/O電源	D _{VDDIO}		3.0	3.3	3.6	V
PLL電源	P _{VDD}		1.65	1.8	2.0	V
アナログ電源	A _{VDD}		1.71	1.8	1.89	V
デジタル電源電流	I _{DVDD}			77		mA
デジタルI/O電源電流	I _{DVDDIO}			3		mA
PLL電源電流	I _{PVDD}			12		mA
アナログ電源電流	I _{AVDD}	CVBS入力		33		mA
		Y/C入力		59		mA
		YPrPb入力		77		mA
パワーダウン電流	I _{DVDD}			6		μA
	I _{DVDDIO}			0.1		μA
	I _{PVDD}			1		μA
	I _{AVDD}			1		μA
パワーダウン・モード時の総消費電力 ²				15		μW
パワーアップ時間	t _{PWRUP}			20		ms

¹ 特性評価により保証

² ADV7180クロック入力

ADV7180

ビデオ仕様

特性評価により保証。A_{VDD}=1.71~1.89V、D_{VDD}=1.65~2.0V、D_{VDDIO}=3.0~3.6V、P_{VDD}=1.65~2.0V（特に指定のない限り、動作温度範囲）

表3

パラメータ	記号	テスト条件	Min	Typ	Max	単位
非直線性仕様						
微分位相	DP	CVBS入力、変調5ステップ [NTSC]		0.6		°
微分ゲイン	DG	CVBS入力、変調5ステップ [NTSC]		0.5		%
輝度信号非直線性	LNL	CVBS入力、5ステップ [NTSC]		2.0		%
ノイズ仕様						
S/N比（重みなし）		輝度信号ランプ		57.1		dB
		輝度信号平坦フィールド		58		dB
アナログ・フロントエンド・クロストーク				60		dB
ロック時間仕様						
水平ロック範囲			-5		+5	%
垂直ロック範囲			40		70	Hz
F _{sc} サブキャリア・ロック範囲				±1.3		kHz
カラー・ロックイン時間				60		ライン
Sync長範囲			20		200	%
カラー・バースト範囲			5		200	%
垂直ロック時間				2		フィールド
自動検出切替え速度				100		ライン
色信号-輝度信号遅延	CVBS			2.9		ns
	Y/C			5.6		ns
	YPrPb			-3.0		ns
輝度信号仕様						
輝度信号明度精度		CVBS、1V入力		1		%
輝度信号コントラスト精度		CVBS、1V入力		1		%

タイミング仕様

特性評価により保証。A_{VDD}=1.71~1.89V、D_{VDD}=1.65~2.0V、D_{VDDIO}=3.0~3.6V、P_{VDD}=1.65~2.0V（特に指定のない限り、動作温度範囲）

表4

パラメータ	記号	テスト条件	Min	Typ	Max	単位
システム・クロックおよび水晶発振器 公称周波数				28.6363		MHz
周波数安定性					±50	ppm
I ² Cポート						
SCLK周波数					400	kHz
SCLKのハイレベル最小パルス幅	t ₁		0.6			μs
SCLKのローレベル最小パルス幅	t ₂		1.3			μs
ホールド時間（スタート状態）	t ₃		0.6			μs
セットアップ時間（スタート状態）	t ₄		0.6			μs
SDAのセットアップ時間	t ₅		100			ns
SCLKとSDAの立上がり時間	t ₆				300	ns
SCLKとSDAの立下がり時間	t ₇				300	ns
ストップ状態のセットアップ時間	t ₈			0.6		μs
リセット機能						
リセット・パルス幅			5			ms
クロック出力						
LLC1マーク/スペース比	t ₉ :t ₁₀		45:55		55:45	%デューティ サイクル
データ出力とコントロール信号出力						
データ出力の遷移時間	t ₁₁	立下がりエッジから 有効データの開始まで (t _{ACCESS} =t ₁₀ -t ₁₁)			3.6	ns
データ出力の遷移時間	t ₁₂	有効データの終わりから 立下がりエッジまで (t _{HOLD} =t ₉ +t ₁₂)			2.4	ns

アナログ仕様

特性評価により保証。A_{VDD}=1.71~1.89V、D_{VDD}=1.65~2.0V、D_{VDDIO}=3.0~3.6V、P_{VDD}=1.65~2.0V（特に指定のない限り、動作温度範囲）

表5

パラメータ	テスト条件	Min	Typ	Max	単位
クランプ回路					
外付けのクランプ・コンデンサ			0.1		μF
入力インピーダンス	クランプ・オフ時		10		MΩ
クランプ流出大電流			0.4		mA
クランプ流入大電流			0.4		mA
クランプ流出小電流			10		μA
クランプ流入小電流			10		μA

ADV7180

熱仕様

表6

パラメータ	記号	テスト条件	Min	Typ	Max	単位
熱特性						
接合部／周囲間熱抵抗 (自然空冷)	θ_{JA}	全面グラウンド・プレーンを持つ 4層PCボード、40ピンLFCSP		30		°C/W
接合部／ケース間熱抵抗	θ_{JC}	全面グラウンド・プレーンを持つ 4層PCボード、40ピンLFCSP		3		°C/W
接合部／周囲間熱抵抗 (自然空冷)	θ_{JA}	全面グラウンド・プレーンを持つ 4層PCボード、64ピンLQFP		47		°C/W
接合部／ケース間熱抵抗	θ_{JC}	全面グラウンド・プレーンを持つ 4層PCボード、64ピンLQFP		11.1		°C/W

タイミング図

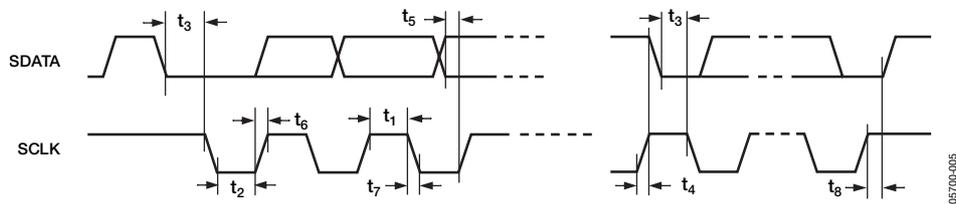


図5. I²Cのタイミング

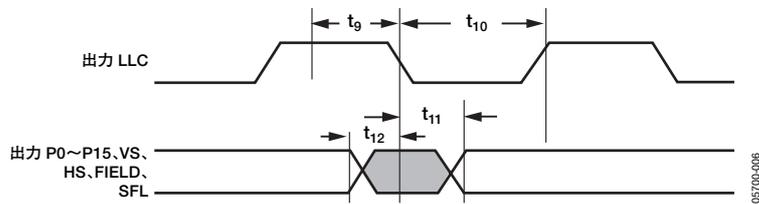


図6. ピクセル・ポートとコントロール信号のタイミング

絶対最大定格

表7

パラメータ	定格値
AGNDに対する A_{VDD}	2.2V
DGNDに対する D_{VDD}	2.2V
AGNDに対する P_{VDD}	2.2V
DGNDに対する D_{VDDIO}	4V
A_{VDD} に対する D_{VDDIO}	-0.3~+2V
D_{VDD} に対する P_{VDD}	-0.3~+0.9V
P_{VDD} に対する D_{VDDIO}	-0.3~+2V
D_{VDD} に対する D_{VDDIO}	-0.3~+2V
P_{VDD} に対する A_{VDD}	-0.3~+0.3V
D_{VDD} に対する A_{VDD}	-0.3~+0.9V
デジタル入力電圧	DGND-0.3V~ $D_{VDDIO}+0.3V$
デジタル出力電圧	DGND-0.3V~ $D_{VDDIO}+0.3V$
AGNDに対するアナログ入力	AGND-0.3V~ $A_{VDD}+0.3V$
最大ジャンクション温度 ($T_j \text{ max}$)	125°C
保存温度範囲	-65~+150°C
赤外線リフロー・ハンダ処理 (20秒)	260°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

本デバイスは高性能の集積回路です。ESD定格は2kV未満で、ESDの影響を受けやすくなっています。したがって、デバイスの取扱い時や組立て時には、適切な予防措置を講じてください。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ADV7180

ピン配置と機能の説明

40ピンLFCSP

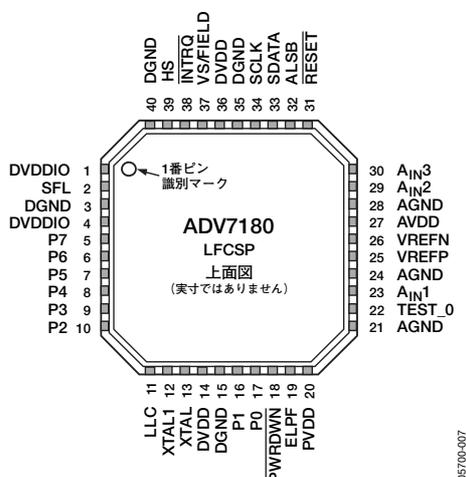


図7. 40ピンLFCSPのピン配置

表8. ADV7180 LFCSP-40のピン機能の説明

ピン番号	記号	タイプ	機能
3、15、35、40	DGND	G	デジタル電源用グラウンド
21、24、28	AGND	G	アナログ電源用グラウンド
1、4	DVDDIO	P	デジタルI/O電源電圧 (3.3V)
14、36	DVDD	P	デジタル電源電圧 (1.8V)
27	AVDD	P	アナログ電源電圧 (1.8V)
20	PVDD	P	PLL電源電圧 (1.8V)
23、29、30	A _{IN} 1~A _{IN} 3	I	アナログ・ビデオ入力チャンネル
5~10、16、17	P7~P2、P1、P0	O	ビデオ・ピクセル出力ポート
39	HS	O	水平同期出力信号
38	INTRQ	O	割込み要求出力。入力ビデオ上に一定の信号が検出されると、割込みが発生します (表104を参照)。
37	VS/FIELD	O	垂直同期出力信号/フィールド同期出力信号
33	SDATA	I/O	FCポートのシリアル・データ入力/出力ピン
34	SCLK	I	FCポートのシリアル・クロック入力 (最大クロック・レート: 400kHz)
32	ALSB	I	ADV7180のFCアドレスを選択します。ALSBをローレベルに設定すると、書き込みアドレスとして0x40が選択され、ALSBをハイレベルに設定すると、0x42が選択されます。
31	RESET	I	アクティブ・ローレベルのシステム・リセット入力。ADV7180の回路をリセットするには、RESETに最小幅5msのローレベル・パルスを入力する必要があります。
11	LLC	O	出力ピクセル・データに対するライン・ロック出力クロック。公称27MHzですが、ビデオ・ライン長に応じて上下に変動します。
13	XTAL	I	28.6363MHzの水晶発振器の入力ピン。外付けの1.8V、28.6363MHzのクロック発振器からオーバドライブできます。水晶発振器モードでは、基本波水晶発振器を使う必要があります。
12	XTAL1	O	このピンは28.6363MHzの水晶発振器に接続します。ADV7180のクロックとして外付け1.8V、28.6363MHzのクロック発振器を使用する場合は、開放のままにします。水晶発振器モードでは、基本波水晶発振器を使う必要があります。
18	PWRDWN	I	このピンにロジック・ローレベルを入力すると、ADV7180はパワーダウン・モードになります。
19	ELPF	I	推奨の外部ループ・フィルタは、このELPFピンに接続する必要があります (図53参照)。
2	SFL	O	サブキャリア周波数ロック。このピンにはシリアル出力ストリームが含まれています。このデコーダをアナログ・デバイセズの任意のデジタル・ビデオ・エンコーダに接続するときは、これを使用してサブキャリア周波数をロックします。
26	VREFN	O	内部電圧リファレンス出力。推奨出力回路については、図53を参照してください。
25	VREFP	O	内部電圧リファレンス出力。推奨出力回路については、図53を参照してください。
22	TEST_0	I	このピンは、DGNDに接続します。

64ピンLQFP

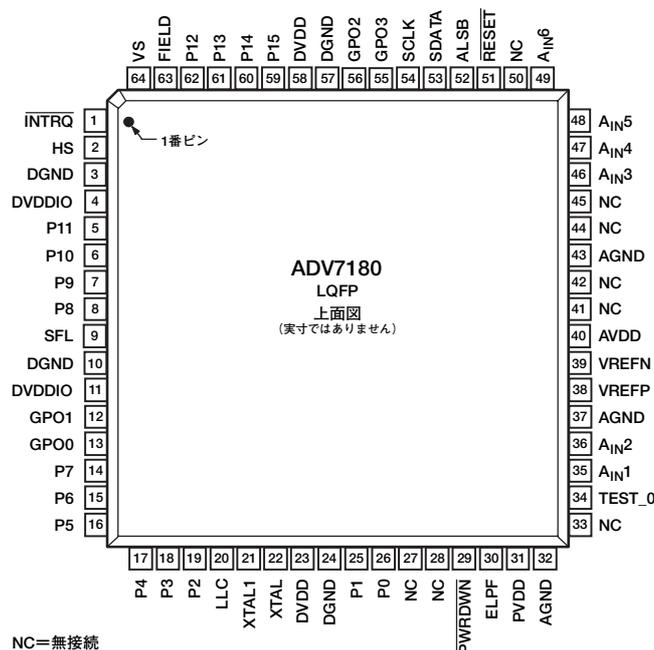


図8. 64ピンLQFPのピン配置

表9. ADV7180 LQFP-64のピン機能の説明

ピン番号	記号	タイプ	機能
3、10、24、57	DGND	G	デジタル・グラウンド
32、37、43	AGND	G	アナログ・グラウンド
4、11	DVDDIO	P	デジタルI/O電源電圧 (3.3V)
23、58	DVDD	P	デジタル電源電圧 (1.8V)
40	AVDD	P	アナログ電源電圧 (1.8V)
31	PVDD	P	PLL電源電圧 (1.8V)
38	VREFP	O	内部電圧リファレンス出力。推奨出力回路については、図54を参照してください。
39	VREFN	O	内部電圧リファレンス出力。推奨出力回路については、図54を参照してください。
35、36、46～49	A _{IN} 1～A _{IN} 6	I	アナログ・ビデオ入力チャンネル
27、28、33、41、42、44、45、50	NC		無接続ピン。これらのピンは内部的に接続されていません。
5～8、14～19、25、26、59～62	P11～P8、P7～P2、P1、P0、P15～P12	O	ビデオ・ピクセル出力ポート。8ビット/16ビット・モードの出力構成については表96を参照してください。
2	HS	O	水平同期出力信号
64	VS	O	垂直同期出力信号
63	FIELD	O	フィールド同期出力信号
1	INTRQ	O	割込み要求出力。入力ビデオ上に一定の信号が検出されると、割込みが発生します (表104を参照)。
53	SDATA	I/O	ICポートのシリアル・データ入力/出力ピン
54	SCLK	I	ICポートのシリアル・クロック入力 (最大クロック・レート: 400kHz)
52	ALSB	I	ADV7180のICアドレスを選択します。ALSBをローレベルに設定すると、書込みアドレスとして0x40が選択され、ALSBをハイレベルに設定すると、0x42が選択されます。
29	PWRDWN	I	このピンにロジック・ローレベルを入力すると、ADV7180はパワーダウン・モードになります。
30	ELPF	I	推奨の外部ループ・フィルタは、このELPFピンに接続する必要があります (図54参照)。
51	RESET	I	アクティブ・ローレベルのシステム・リセット入力。ADV7180の回路をリセットするには、RESETに最小幅5msのローレベル・パルスを入力する必要があります。

ADV7180

ピン番号	記号	タイプ	機能
9	SFL	O	サブキャリア周波数ロック。このピンにはシリアル出力ストリームが含まれています。このデコーダをアナログ・デバイセズの任意のデジタル・ビデオ・エンコーダに接続するときは、これを使用してサブキャリア周波数をロックします。
20	LLC	O	ADV7180の出力ピクセル・データに対するライン・ロック出力クロック。公称27MHzですが、ビデオ・ライン長に応じて上下に変動します。
21	XTAL1	O	このピンは28.6363MHzの水晶発振器に接続します。ADV7180のクロックとして外付け1.8V、28.6363MHzのクロック発振器を使用する場合は、開放のままにします。水晶発振器モードでは、基本波水晶発振器を使う必要があります。
22	XTAL	I	28.6363MHzの水晶発振器の入力ピン。外付けの1.8V、28.6363MHzのクロック発振器からオーバドライブできます。水晶発振器モードでは、基本波水晶発振器を使う必要があります。
12、13、55、56	GPO0~GPO3	O	汎用出力。これらのピンをFC経由で設定して外付けのデバイスを制御します。
34	TEST_0	I	このピンは、DGNDに接続します。

アナログ・フロントエンド

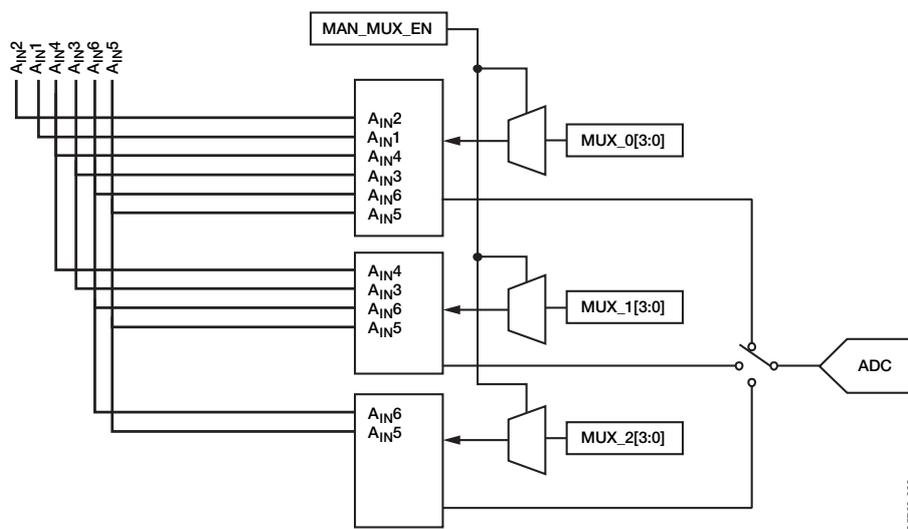


図9. 内部ピンの接続 (LQFP-64)

05700-009

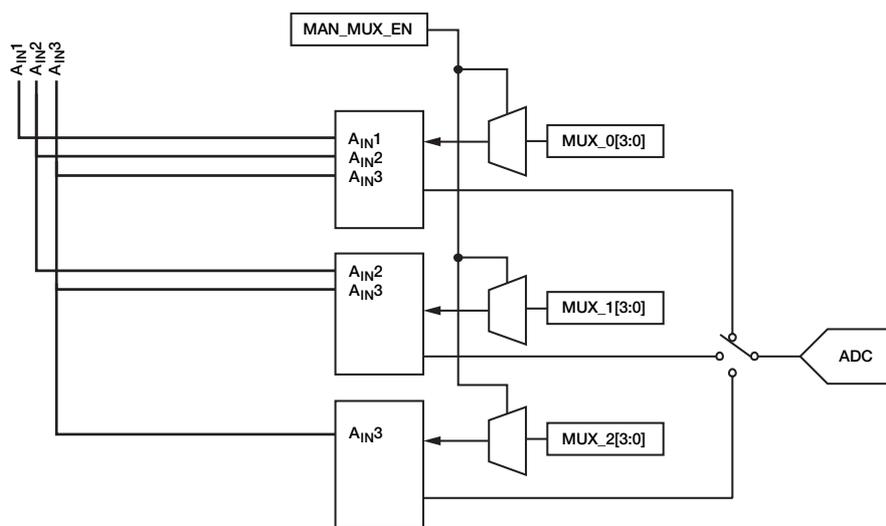


図10. 内部ピンの接続 (LFCSP-40)

05700-010

ADV7180

入力設定

入力ビデオを適正にデコードするためのADV7180の設定には、次の2つの主要ステップがあります。

1. INSEL[3:0]でルーティングとフォーマット・デコーディング (CVBS、Y/C、YPrPb) を設定します。ADV7180 LQFP-64の場合は表10、ADV7180 LFCSP-40の場合は表11を参照してください。
2. INSEL[3:0]を使用する場合に入力条件が満たされないときは、アナログ入力マルチプレクシングをマニュアルで設定して、ビデオ信号をアナログ入力ピンからADCへと適正にルーティングします。デジタル・データをデコードするSDPブロックに対しては、CVBS、Y/C、またはYPrPbフォーマットを処理するように設定します。これはINSEL[3:0]で行います。

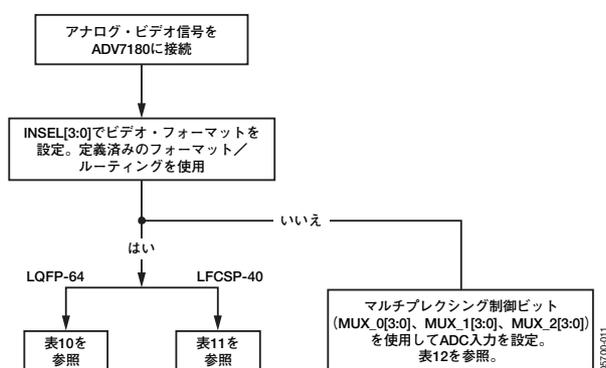


図11. 信号ルーティング・オプション

INSEL[3:0] (入力選択)、 アドレス0x00 [3:0]

INSELビットで入力フォーマットを選択できます。また、コンポジット (CVBS)、Sビデオ (Y/C)、コンポーネント (YPrPb) の各フォーマットを処理するようにSDPコアを設定することもできます。

INSEL[3:0]は、マニュアル・マルチプレクシング設定を必要としない定義済みのアナログ入力ルーティング方式を採用しています (表10、表11を参照)。このため、ユーザはINSEL[3:0]のみを使用して各種のビデオ信号をデコーダにルーティングし、選択することができます。本製品の新たなメリットとしては、たとえば、CVBS入力を選択した場合に残りのチャンネルがパワーダウンします。

表10. ADV7180 LQFP-64 INSEL[3:0]

INSEL[3:0]	ビデオ・フォーマット	アナログ入力
0000	コンポジット	CVBS→A _{IN} 1
0001	コンポジット	CVBS→A _{IN} 2
0010	コンポジット	CVBS→A _{IN} 3
0011	コンポジット	CVBS→A _{IN} 4
0100	コンポジット	CVBS→A _{IN} 5
0101	コンポジット	CVBS→A _{IN} 6
0110	Y/C (Sビデオ)	Y→A _{IN} 1 C→A _{IN} 4
0111	Y/C (Sビデオ)	Y→A _{IN} 2 C→A _{IN} 5
1000	Y/C (Sビデオ)	Y→A _{IN} 3 C→A _{IN} 6
1001	YPrPb	Y→A _{IN} 1 Pb→A _{IN} 4 Pr→A _{IN} 5
1010	YPrPb	Y→A _{IN} 2 Pr→A _{IN} 6 Pb→A _{IN} 3
1011~1111	未使用	未使用

表11. ADV7180 LFCSP-40 INSEL[3:0]

INSEL[3:0]	ビデオ・フォーマット	アナログ入力
0000	コンポジット	CVBS→A _{IN} 1
0001~0010	未使用	未使用
0011	コンポジット	CVBS→A _{IN} 2
0100	コンポジット	CVBS→A _{IN} 3
0101	未使用	未使用
0110	Y/C (Sビデオ)	Y→A _{IN} 1 C→A _{IN} 2
0111~1000	未使用	未使用
1001	YPrPb	Y→A _{IN} 1 Pr→A _{IN} 3 Pb→A _{IN} 2
1010~1111	未使用	未使用

アナログ入力マルチプレクシング

ADV7180はアナログ・マルチプレクシング部を内蔵しているため、複数のビデオ信号源をデコーダに接続できます。図9と図10に、ADV7180の入力マルチプレクシングの全体的な構造を示します。

ADV7180BSTZ（64ピンLQFP）では最大6個のCVBS入力を、またADV7180BCPZ（40ピンLFCSP）では最大3個のCVBS入力を接続し、デコードすることができます。「ピン配置と機能の説明」にも示したように、これらのアナログ入力ピンは互いに近接した位置に配置されています。このため、PCボードのレイアウトは注意深く設計する必要があります（たとえば、物理的に近接するパターン上の全信号間でのグラウンド・シールド）。未使用のアナログ入力ピンは、AGNDに接続してシールドとして使うことを強く推奨します。

MAN_MUX_EN（マニュアル入力マルチプレクシング・イネーブル）、アドレス0xC4 [7]

ADV7180のアナログ・マルチプレクシング部を設定する場合は、ADCで処理するアナログ入力のA_{IN1}～A_{IN6}（ADV7180BSTZ）またはA_{IN1}～A_{IN3}（ADV7180BCPZ）を選択する必要があります。MAN_MUX_ENを1に設定して以下のマルチプレクシング・ブロックをイネーブルにします。

- MUX_0[3:0]（ADCマルチプレクサ設定）、アドレス0xC3[3:0]
- MUX_1[3:0]（ADCマルチプレクサ設定）、アドレス0xC3[7:4]
- MUX_2[3:0]（ADCマルチプレクサ設定）、アドレス0xC4[3:0]

3つのマルチプレクシング部は、信号バスSW_0/1/2[3:0]で制御できます。表12に、使用する制御ワードを示します。

タイミング情報（HS、VS）を含む入力信号は、MUX_0で処理する必要があります。たとえば、Y/C入力設定では、MUX0をYチャンネルに接続し、MUX1をCチャンネルに接続します。CVBS入力などのビデオ信号を処理する際に使用しないマルチプレクサがある場合は、アイドル状態のマルチプレクサと関連チャンネル・クランプおよびバッファをパワーダウンします（表103のレジスタ0x3Aの説明を参照）。

表12. ADCのマニュアル・マルチプレクシング設定（MAN_MUX_ENを1に設定）

MUX_0[3:0]	ADCの接続先		MUX_1[3:0]	ADCの接続先		MUX_2[3:0]	ADCの接続先	
	LQFP-64	LFCSP-40		LQFP-64	LFCSP-40		LQFP-64	LFCSP-40
000	無接続	無接続	000	無接続	無接続	000	無接続	無接続
001	A _{IN1}	A _{IN1}	001	無接続	無接続	001	無接続	無接続
010	A _{IN2}	無接続	010	無接続	無接続	010	A _{IN2}	無接続
011	A _{IN3}	無接続	011	A _{IN3}	無接続	011	無接続	無接続
100	A _{IN4}	A _{IN2}	100	A _{IN4}	A _{IN2}	100	無接続	無接続
101	A _{IN5}	A _{IN3}	101	A _{IN5}	A _{IN3}	101	A _{IN5}	A _{IN3}
110	A _{IN6}	無接続	110	A _{IN6}	無接続	110	A _{IN6}	無接続
111	無接続	無接続	111	無接続	無接続	111	無接続	無接続

注記：

- CVBSは、MUX_0でのみ処理できます。
- Y/CはそれぞれMUX_0、MUX_1でのみ処理できます。
- YPrPbはそれぞれMUX_0、MUX_1、MUX_2でのみ処理できます。

ADV7180

アンチエイリアシング（折返し誤差防止） フィルタ

ADV7180は、各チャンネル（3個）にアンチエイリアシング・フィルタを内蔵しています。これらのチャンネルはマルチプレクスされてADCに接続されます（図12を参照）。フィルタは最大10MHzの標準画質ビデオ用に設計されています。図13と図14に、フィルタの振幅特性と位相特性を示します。

デフォルトではアンチエイリアシング・フィルタがイネーブルになり、INSEL[3:0]の選択によって特定時間にパワーアップされるフィルタが決まります。たとえば、CVBSモードが選択されていると、残りの入力チャンネルのフィルタ回路は電力節約のためにパワーダウンします。しかし、アンチエイリアシング・フィルタはAA_FILT_MAN_OVRコントロールを使ってディスエーブルまたはバイパスすることができます。

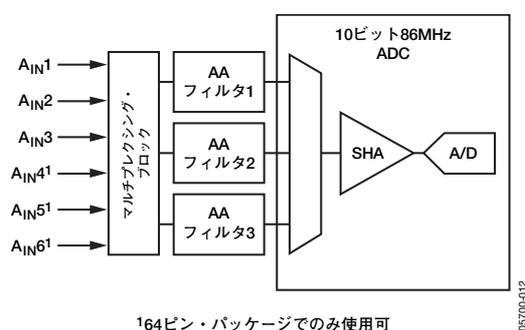


図12. アンチエイリアシング・フィルタの構成

AA_FILT_MAN_OVR（アンチエイリアシング・フィルタ・モード上書き）、アドレス0xF3 [3]

この機能を使って、INSEL[3:0]によって自動的に選択されるアンチエイリアシング・フィルタのオン/オフ設定を上書きできます。

AA_FILT_EN（アンチエイリアシング・フィルタ・イネーブル）、アドレス0xF3 [2:0]

ADCにマルチプレクスされる3つの入力チャンネルに対して個別にアンチエイリアシング・フィルタをイネーブルまたはディスエーブルにすることができます。ディスエーブルにすると、アナログ信号はAAフィルタをバイパスし、ADCに直接送信されます。

AA_FILT_EN、アドレス0xF3 [0]

AA_FILT_EN[0]が0の場合、AAフィルタ1がバイパスされます。

AA_FILT_EN[0]が1の場合、AAフィルタ1がイネーブルになります。

AA_FILT_EN、アドレス0xF3 [1]

AA_FILT_EN[1]が0の場合、AAフィルタ2がバイパスされます。

AA_FILT_EN[1]が1の場合、AAフィルタ2がイネーブルになります。

AA_FILT_EN、アドレス0xF3 [2]

AA_FILT_EN[2]が0の場合、AAフィルタ3がバイパスされます。

AA_FILT_EN[2]が1の場合、AAフィルタ3がイネーブルになります。

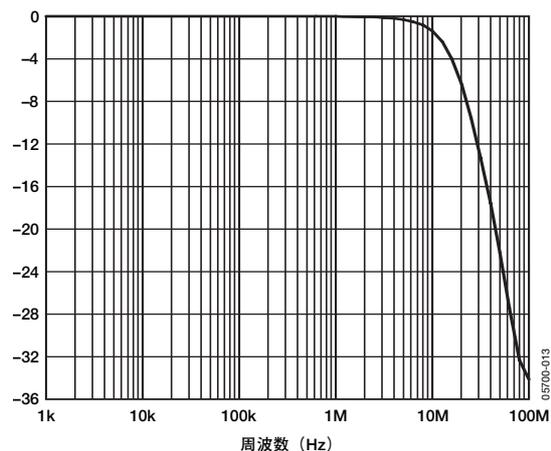


図13. アンチエイリアシング・フィルタの振幅応答

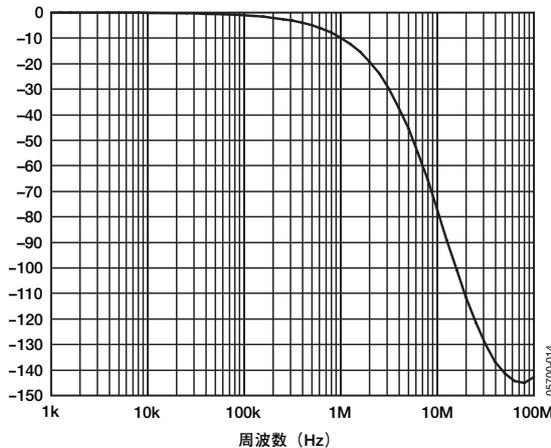


図14. アンチエイリアシング・フィルタの位相応答

グローバル・コントロール・レジスタ

ここに記載するレジスタ制御ビットはチップ全体に影響を与えます。

パワー・セーブ・モード

パワーダウン

PDBP、アドレス0x0F [2]

ADV7180のデジタル電源をシャットダウンするには、ピン(PWRDWN)を使用する方法とIC(PWRDWN、下記参照)を使用する方法があります。PDBPはこの2つの方法の優先順位を制御します。デフォルトではピン(PWRDWN)が優先されます。この機能により、IC書込みを行わなくてもデフォルトでADV7180をパワーダウンできます。

PDBDが0(デフォルト)のとき、デジタル電源はPWRDWNピンにより制御されます(PWRDWNビットは無視されます)。

PDBDが1のとき、PWRDWNビット、0x0F [5]が優先されます(ピンが無視されます)。

PWRDWN、アドレス0x0F [5]

PDBDが1のときにPWRDWNビットをセットすると、ADV7180のチップ全体がパワーダウン・モードになります。パワーダウンでは、チップのデジタル部へのクロック入力が停止されるため、動作がフリーズします。パワーダウン時にICビットが失われることはありません。PWRDWNビットはアナログ・ブロックにも影響を与え、それらを低電流モードに切り替えます。ICインターフェース自体は影響を受けず、パワーダウン・モードでも動作を続けます。

PWRDWNビットが0に設定された場合(IC経由)、またはデバイス全体がリセットされた場合(RESETピン使用)、ADV7180はパワーダウン状態から抜け出します。

なお、PWRDWNビットでADV7180をパワーダウンさせるには、PDBPを1に設定する必要があります。

PWRDWNが0(デフォルト)のとき、チップは動作状態です。PWRDWNが1のとき、ADV7180はチップ全体がパワーダウンします。

リセット制御

RESET(チップ・リセット)、アドレス0x0F [7]

このビットをセットすると、ADV7180のRESETピンを制御するのと同じ作用をもたらす、ADV7180チップ全体がリセットされます。すべてのICレジスタはデフォルト値/パワーアップ値にリセットされます。ただし、レジスタ・ビットにはリセット値が指定されていないものもあります。これらのビットは直前に書き込まれた値を保持しており、レジスタの表ではリセット値をxで表示しています(表103、表104)。リセット・シーケンス後、デバイスは直ちにビデオ信号の受信を開始します。

RESETビットをセットした後(またはRESETピンでリセットを開始した後)、デバイスはプライマリ動作モードに関してデフォルトの動作モードに戻ります。すべてのICビットにデフォルト値がロードされるため、このビットはクリアされません。

ソフトウェア・リセットの実行には約2msを要します。しかし、IC書込みは5ms待ってから行うことを推奨します。

チップ・リセットを実行すると、ICマスター・コントローラは9番目のクロック・サイクルでノー・アクノレッジ状態を受信します。「MPUポートの説明」を参照してください。

RESETが0(デフォルト値)のとき、通常動作になります。

RESETが1のとき、リセット・シーケンスを開始します

グローバル・ピンの制御

スリーステート出力ドライバ

TOD、アドレス0x03 [6]

このビットは、ADV7180の出力ドライバをスリーステートにすることができます。

TODビットをセットすると、P15~P0(ADV7180 LFCSP-40の場合はP7~P0)、HS、VS、FIELD(ADV7180 LFCSP-40の場合はVS/FIELDピン)、SFLの各ピンはスリーステートになります。

タイミング・ピン(HS、VS、FIELD)は、TIM_OEビットで強制的にアクティブにできます。スリーステート制御の詳細は「スリーステートLLCドライバ」と「タイミング信号出力イネーブル」の項を参照してください。

個々の駆動強度の制御は、DR_STR_XXビットを使って行います。

TODが0(デフォルト値)のとき、出力ドライバはイネーブルになります。

TODが1のとき、出力ドライバはスリーステートになります。

スリーステートLLCドライバ

TRI_LLC、アドレス0x1D [7]

このビットにより、ADV7180のLLC1ピンの出力ドライバがスリーステートになります。スリーステート制御の詳細は「スリーステート出力ドライバ」と「タイミング信号出力イネーブル」の項を参照してください。

個々の駆動強度の制御は、DR_STR_XXビットを使って行います。

TRI_LLCが0(デフォルト値)のとき、LLCピン・ドライバはDR_STR_C[1:0]の設定に従って動作します(ピン・イネーブル時)。

TRI_LLCが1のとき、LLCピン・ドライバはスリーステートになります。

タイミング信号出力イネーブル

TIM_OE、アドレス0x04 [3]

TIM_OEビットは、TODビットに対する追加ビットとみなすことができます。ハイレベルに設定すると、TODビットがセットされている場合でも、HS、VS、FIELDの出力ドライバは強制的にアクティブ状態（すなわち駆動状態）になります。ローレベルに設定されると、TODビットに応じて、HS、VS、FIELDの各ピンはスリーステートになります。デコーダをタイミング・ジェネレータとしてのみ使用する場合には、この機能が便利です。受信信号からタイミング信号だけを抽出する場合や、デバイスがフリーラン・モードになり、別のチップが会社のロゴなどを出力できるようになった場合などがこれにあたります。

スリーステート制御の詳細は「スリーステート出力ドライバ」と「スリーステートLLCドライバ」の項を参照してください。

個々の駆動強度の制御は、DR_STR_XXビットを使って行います。

TIM_OEが0（デフォルト値）のとき、HS、VS、FIELDはTODビットに応じてスリーステートになります。

TIM_OEが1のとき、HS、VS、FIELDは常時アクティブになります。

駆動強度選択（データ）

DR_STR[1:0]、アドレス0xF4 [5:4]

出力ドライバの駆動強度は、EMCとクロストークのために調節したほうがよい場合があります。DR_STR[1:0]ビットで、P[15:0]出力ドライバを調節します。

スリーステート制御の詳細は「駆動強度選択（クロック）」と「駆動強度選択（同期）」の項を参照してください。

表13. DR_STRの機能

DR_STR[1:0]	説明
00	駆動強度：低（1×）
01（デフォルト値）	駆動強度：中低（2×）
10	駆動強度：中高（3×）
11	駆動強度：高（4×）

駆動強度選択（クロック）

DR_STR_C[1:0]、アドレス0xF4 [3:2]

DR_STR_C[1:0]ビットにより、クロック信号出力ドライバ（LLCピン）の強度を選択できます。詳細は「駆動強度選択（同期）」と「駆動強度選択（データ）」の項を参照してください。

表14. DR_STR_Cの機能

DR_STR_C[1:0]	説明
00	駆動強度：低（1×）
01（デフォルト値）	駆動強度：中低（2×）
10	駆動強度：中高（3×）
11	駆動強度：高（4×）

駆動強度選択（同期）

DR_STR_S[1:0]、アドレス0xF4 [1:0]

DR_STR_S[1:0]ビットにより、HS、VS、FIELDを駆動する同期信号の強度を選択します。詳細は「駆動強度選択（データ）」を参照してください。

表15. DR_STR_Sの機能

DR_STR_S[1:0]	説明
00	駆動強度：低（1×）
01（デフォルト値）	駆動強度：中低（2×）
10	駆動強度：中高（3×）
11	駆動強度：高（4×）

イネーブル・サブキャリア周波数ロック・ピン

EN_SFL_PIN、アドレス0x04 [1]

EN_SFL_PINビットは、デコーダの後ろにエンコーダを接続（または、エンコーダの後ろにデコーダを接続）する場合に、ADV7180コアからエンコーダに対するサブキャリア・ロック情報（GenLockともいう）の出力をイネーブルにします。

EN_SFL_PINが0（デフォルト値）のとき、サブキャリア周波数ロック出力はディスエーブルになります。

EN_SFL_PINが1のとき、サブキャリア周波数ロック情報はSFLピンで提供されます。

極性LLCピン

PCLK、アドレス0x37 [0]

PCLKビットにより、ADV7180のLLCピンから出力されるクロックの極性を反転できます。

LLCクロック出力の極性は、後段チップのセットアップ時間およびホールド時間に合わせて変更を必要とする場合があります。

PCLKが0のとき、LLC出力極性は反転します。

PCLKが1（デフォルト値）のとき、LLC出力極性は（「タイミング仕様」を参照）通常のままです。

グローバル・ステータス・レジスタ

ビデオ・デコーダの情報を提供するレジスタは4個あります。IDENTレジスタは、ADV7180のリビジョン・コードを識別します。他の3個のレジスタにはADV7180からのステータス・ビットが格納されます。

識別

IDENT[7:0]、アドレス0x11 [7:0]

このレジスタはADV7180のリビジョンを識別します。0x18はADV7180の識別番号を表します。

STATUS 1

STATUS_1[7:0]、アドレス0x10 [7:0]

この読出し専用レジスタは、ADV7180の内部ステータスの情報を提供します。

タイミング情報については、「CIL[2:0] (カウント・イントゥ・ロック)、アドレス0x51 [2:0]」および「COL[2:0] (カウント・アウト・オブ・ロック)、アドレス0x51 [5:3]」の項を参照してください。

ステータス・レジスタ0とステータス・レジスタ1は、FSCLEビットの設定に応じて、水平タイミング情報のみをベースにするか、水平タイミングとカラー・サブキャリアのロック・ステータスをベースにします。「FSCLE (F_{sc}ロック・イネーブル)、アドレス0x51 [7]」を参照してください。

自動検出結果

AD_RESULT[2:0]、アドレス0x10 [6:4]

AD_RESULT[2:0]ビットは、ADV7180の自動検出ブロックの結果を報告します。自動検出ブロックのイネーブルについては「全体的なセットアップ」を、設定方法については「SDモードの自動検出」を参照してください。

表16. AD_RESULTの機能

AD_RESULT[2:0]	説明
000	NTSM M/J
001	NTSC 4.43
010	PAL M
011	PAL 60
100	PAL B/G/H/I/D
101	SECAM
110	PALコンビネーションN
111	SECAM 525

表17. STATUS 1の機能

STATUS_1 [7:0]	ビット名	説明
0	IN_LOCK	ロック中 (現在)
1	LOST_LOCK	ロック喪失 (このレジスタの最後の読出し以降)
2	FSC_LOCK	F _{sc} ロック中 (現在)
3	FOLLOW_PW	ピーク・ホワイト・アルゴリズムを考慮したAGC
4	AD_RESULT[0]	自動検出結果
5	AD_RESULT[1]	自動検出結果
6	AD_RESULT[2]	自動検出結果
7	COL_KILL	カラーキルがアクティブ

STATUS 2

STATUS_2[7:0]、アドレス0x12 [7:0]

表18. STATUS 2の機能

STATUS_2 [7:0]	ビット名	説明
0	MVCS DET	Macrovisionカラー・ストライブを検出
1	MVCS T3	Macrovisionカラー・ストライブ保護。Type 3 (ハイレベルの場合)とType 2 (ローレベルの場合)に準拠
2	MV PS DET	Macrovision疑似同期パルスを検出
3	MV AGC DET	Macrovision AGCパルスを検出
4	LL NSTD	ライン長が非標準
5	FSC NSTD	F _{sc} 周波数が非標準
6	予備	
7	予備	

STATUS 3

STATUS_3[7:0]、アドレス0x13 [7:0]

表19. STATUS 3の機能

STATUS_3 [7:0]	ビット名	説明
0	INST_HLOCK	水平ロック表示 (瞬時)
1	GEMD	Gemstarデータ検出
2	SD_OP_50Hz	出力に現れる50Hzか60Hzのフラグ
3	予備	
4	FREE_RUN_ACT	ADV7180はブルー・スクリーンを出力 (「DEF_VAL_EN (デフォルト値のイネーブル)、アドレス0x0C [0]」を参照)
5	STD FLD LEN	フィールド長が現在選択中のビデオ標準に一致
6	INTERLACED	インターレース・ビデオを検出 (フィールド・シーケンスを検出)
7	PAL_SW_LOCK	スウィングング・バーストの確実なシーケンスを検出

ビデオ・プロセッサ

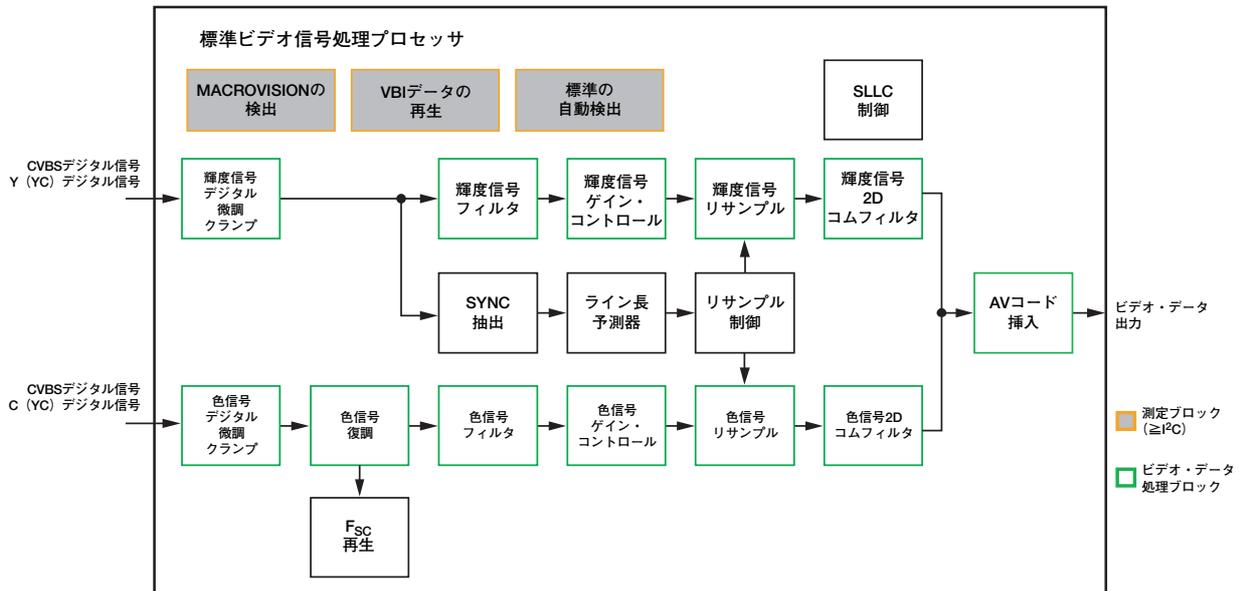


図15. ビデオ・プロセッサのブロック図

ADV7180のビデオ・プロセッサのブロック図を図15に示します。ADV7180は、CVBS、Y/C、YPrPbの各フォーマットの標準画質ビデオを処理できます。ブロックは輝度信号パスと色信号パスに分割できます。入力ビデオがコンポジット・タイプ (CVBS) の場合、CVBS入力は両方の処理パスに渡されます。

SD輝度信号パス

入力信号は次のブロックで処理されます。

- 輝度信号デジタル微調クランプ
このブロックは高精度アルゴリズムを使用して、ビデオ信号をクランプします。
- 輝度信号フィルタ
このブロックには、固定応答を持つ輝度信号デシメーション・フィルタ (YAA) と、選択可能な応答を持つ複数のシェイピング・フィルタ (YSH) が含まれています。
- 輝度信号ゲイン・コントロール
自動ゲイン・コントロール (AGC) は、水平同期パルスの深さに基づくゲイン、ピーク・ホワイト・モード、固定マニュアル・ゲインなど、さまざまなモードで動作できます。
- 輝度信号リサンプリング
ライン長誤差やダイナミック・ライン長変化を修正するため、データをデジタル的にリサンプリングします。
- 輝度信号2Dコム
2次元コムフィルタによりY/C分離を行います。
- AVコード挿入
この時点で、デコードされた輝度信号 (Y) と色信号 (Cb、Cr) 値が統合されます。AVコード (ITU-R BT.656準拠) を挿入できます。

SD色信号パス

入力信号は次のブロックで処理されます。

- 色信号デジタル微調クランプ
このブロックは高精度アルゴリズムを使用して、ビデオ信号をクランプします。
- 色信号復調
このブロックは、カラー・サブキャリア (F_{SC}) 再生ユニットを使用し、任意の色信号変調方式でカラー・サブキャリアを再発生します。次に、PALとNTSCに対してはAM復調を、SECAMに対してはFM復調を行います。
- 色信号フィルタ
このブロックには、固定応答を持つ色信号デシメーション・フィルタ (CAA) と、選択可能な応答を持つ複数のシェイピング・フィルタ (CSH) が含まれています。
- 色信号ゲイン・コントロール
自動ゲイン・コントロール (AGC) は、カラー・サブキャリアの振幅に基づくゲイン、輝度信号の水平同期パルスの深さに基づくゲイン、または固定マニュアル・ゲインなど、さまざまなモードで動作できます。
- 色信号リサンプリング
色信号データは輝度信号データと位置がぴったり合うように、デジタル的にリサンプリングされます。リサンプリングは、受信ビデオ信号のスタティック・ライン長誤差とダイナミック・ライン長誤差を修正するために行われます。
- 色信号2Dコム
2次元5ラインのスーパーアダプティブ・コムフィルタは、入力信号がCVBSの場合に高品質のY/C分離を行います。

- AVコード挿入
この時点で、復調された色信号 (CrとCb) と輝度信号 (Y) 値が統合されます。AVコード (ITU-R BT.656準拠) を挿入できます。

同期処理

ADV7180は、アナログ入力ビデオ信号に埋めこまれた同期信号を取り出します。現在、外部HS/VS入力には対応していません。同期抽出機能は、不完全なビデオ信号源 (たとえば、ヘッド切替えのビデオカセット・レコーダ) にも対応できるように最適化されています。使用している実際のアルゴリズムでは、スレッシュホールド交差に基づく粗い検出と、それに続くアダプティブ・インターポレーション・アルゴリズムを使用した密な検出を採用しています。原同期情報は、ライン長計測および予測ブロックに送られます。このブロックの出力はデジタル・リサンプリング・ブロックに入力され、ADV7180が確実に1ライン当たり720個のアクティブ・ピクセルを出力するようにします。

また、ADV7180の同期処理部には、デジタル化されたアナログ・ビデオから原同期情報を取り出し、そのフィルタリングおよびコンデショニングを行う、2つの特別なポストプロセッシング・ブロックが含まれています。

- VSYNCプロセッサ
このブロックは、検出されたVSYNCをさらにフィルタリングして垂直ロック機能を改善します。
- HSYNCプロセッサ
HSYNCプロセッサは、ノイズで壊れた入力HSYNCをフィルタリングするように設計されているため、タイム・ベースは安定していてもS/N比が悪いビデオ信号の性能をさらに改善します。

VBIデータの再生

ADV7180は、入力ビデオから次の情報を取り出します。

- ワイド・スクリーン・シグナリング (WSS)
- コピー・ジェネレーション・マネジメント・システム (CGMS)
- クローズド・キャプション (CCAP)
- Macrovision保護の有無
- EDTVデータ
- Gemstar互換データのスライシング
- テレテキスト
- VITC/VPS

また、ADV7180は受信するビデオ標準について、自動的に次の検出を行います。

- カラー・サブキャリア周波数
- フィールド・レート
- ライン・レート

さらに、ADV7180はPAL B/G/H/I/D、PAL M/N、PALコンピネーションN、NTSC M、NTSC J、SECAM 50Hz/60Hz、NTSC4.43、PAL60に対応するように構成できます。

全体的なセットアップ

ビデオ標準の選択

VID_SEL[3:0]レジスタにより、デジタル・コアを特定のビデオ標準用に強制的に設定できます。通常、この機能は必要ありません。VID_SEL[3:0]ビットは、デフォルトでPAL、NTSC、SECAM、およびこれらの派生に対応する自動検出モードに設定されています。自動検出システムについては、次の項を参照してください。

SDモードの自動検出

ADV7180の自動検出システムを制御するため、サポートしているビデオ標準ごとに個別のイネーブル・ビットが用意されています。該当するビットを0に設定すると、その標準の自動検出が停止され、代わりにシステムはイネーブルになっている標準の中で最も近いものを選択します。自動検出結果は、ステータス・レジスタから読み出すことができます。詳細は「グローバル・ステータス・レジスタ」を参照してください。

VID_SEL[3:0]、アドレス0x00 [7:4]

表20. VID_SELの機能

VID_SEL[3:0]	説明
0000 (デフォルト値)	自動検出 (PAL B/G/H/I/D) <-> NTSC J (ペDESTALなし)、SECAM
0001	自動検出 (PAL B/G/H/I/D) <-> NTSC M (ペDESTALあり)、SECAM
0010	自動検出 (PAL N) (ペDESTALあり) <-> NTSC J (ペDESTALなし)、SECAM
0011	自動検出 (PAL N) (ペDESTALあり) <-> NTSC M (ペDESTALあり)、SECAM
0100	NTSC J (1)
0101	NTSC M (1)
0110	PAL 60
0111	NTSC 4.43 (1)
1000	PAL B/G/H/I/D
1001	PAL N = PAL B/G/H/I/D (ペDESTALあり)
1010	PAL M (ペDESTALなし)
1011	PAL M
1100	PALコンピネーションN
1101	PALコンピネーションN (ペDESTALあり)
1110	SECAM
1111	SECAM (ペDESTALあり)

AD_SEC525_EN (SECAM 525ライン・ビデオの自動検出イネーブル)、アドレス0x07 [7]

AD_SEC525_ENを0 (デフォルト値) に設定すると、SECAM型FM変調カラー・コンポーネントを持つ525ライン・システムの自動検出がディスエーブルになります。

AD_SEC525_ENを1に設定すると、この検出がイネーブルになります。

ADV7180

AD_SECAM_EN (SECAMの自動検出イネーブル)、
アドレス0x07 [6]

AD_SECAM_ENを0 (デフォルト値) に設定すると、SECAMの自動検出がディスエーブルになります。

AD_SECAM_ENを1に設定すると、この検出がイネーブルになります。

AD_N443_EN (NTSC 4.43の自動検出イネーブル)、
アドレス0x07 [5]

AD_N443_ENを0に設定すると、カラー・サブキャリア4.43MHzのNTSCシステムの自動検出がディスエーブルになります。

AD_N443_ENを1 (デフォルト値) に設定すると、この検出がイネーブルになります。

AD_P60_EN (PAL60の自動検出イネーブル)、
アドレス0x07 [4]

AD_P60_ENを0に設定すると、フィールド・レート60HzのPALシステムの自動検出がディスエーブルになります。

AD_P60_ENを1 (デフォルト値) に設定すると、この検出がイネーブルになります。

AD_PALN_EN (PAL Nの自動検出イネーブル)、
アドレス0x07 [3]

AD_PALN_ENを0 (デフォルト値) に設定すると、PAL N標準の検出がディスエーブルになります。

AD_PALN_ENを1に設定すると、この検出がイネーブルになります。

AD_PALM_EN (PAL Mの自動検出イネーブル)、
アドレス0x07 [2]

AD_PALM_ENを0 (デフォルト値) に設定すると、PAL Mの自動検出がディスエーブルになります。

AD_PALM_ENを1に設定すると、この検出がイネーブルになります。

AD_NTSC_EN (NTSCの自動検出イネーブル)、
アドレス0x07 [1]

AD_NTSC_ENを0 (デフォルト値) に設定すると、標準NTSCの検出がディスエーブルになります。

AD_NTSC_ENを1に設定すると、この検出がイネーブルになります。

AD_PAL_EN (PALの自動検出イネーブル)、
アドレス0x07 [0]

AD_PAL_ENを0 (デフォルト値) に設定すると、標準PALの検出がディスエーブルになります。

AD_PAL_ENを1に設定すると、この検出がイネーブルになります。

SFL_INV (サブキャリア周波数ロックの反転)

このビットは、SFL (GenLock Telegram) データ・ストリーム内のPALスイッチ・ビットの動作を制御します。ビデオ・エンコーダとの互換性の問題を解消するためにあり、次の2つの問題を解消します。

1. PALスイッチ・ビットはPALでのみ意味を持ちます。エンコーダによっては (アナログ・デバイセズのエンコーダも含む)、NTSCでのこのビットの状態を見るものもあります。
2. アナログ・デバイセズのエンコーダADV717x~ADV719xで設計上の変更がありました。旧バージョンではSFL (GenLock Telegram) ビットをそのまま使用しましたが、新バージョンでは使用する前にビットを反転します。これは、反転によってSFL (GenLock Telegram) 転送の1ライン遅延を補償するためです。

結果として、ADV717xおよびADV73xxエンコーダでは、NTSCを動作させるためにSFL (GenLock Telegram) 内のPALスイッチ・ビットを0にする必要があります。またADV7190/ADV7191/ADV7192/ADV7194エンコーダでは、NTSCで動作するためにSFL内のPALスイッチ・ビットを1にする必要があります。PALスイッチ・ビットの状態が正しくないと、180°の位相シフトが発生します。

デコーダとエンコーダを隣り合わせて接続するシステム (SFLを使用) では、使用する特定のエンコーダに合わせてこのビットを設定する必要があります。

SFL_INV (サブキャリア周波数ロックの反転)、
アドレス0x41 [6]

SFL_INVを0 (デフォルト) に設定すると、デバイスはADV717x/ADV73xxビデオ・エンコーダとSFL互換になります。

SFL_INVを1に設定すると、デバイスはADV7190/ADV7191/ADV7192/ADV7194ビデオ・エンコーダとSFL互換になります。

ロック関連の制御

ロック情報は、STATUS 1レジスタのビット[1:0]に表示されます。「STATUS_1[7:0]、アドレス0x10 [7:0]」を参照してください。図16に、ロック・ステータス情報の発生方法を変更する際に使用可能な信号フローと制御の概要を示します。

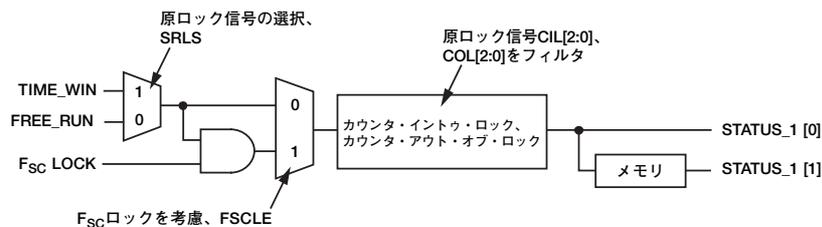


図16. ロック関連の信号パス

SRLS（原ロック信号の選択）、アドレス0x51 [6]
SRLSビットにより、次の2つの信号源のどちらでロック・ステータス（STATUS 1レジスタのビット[1:0]）を決定するのを選択します（図16を参照）。

- TIME_WIN信号は、受信ビデオの水平同期パルスのライン毎の評価に基づきます。非常に速く応答します。
- FREE_RUN信号は複数のフィールドについて受信ビデオの特性を評価し、垂直同期情報も考慮します。

SRLSを0（デフォルト値）に設定すると、FREE_RUN信号が選択されます。

SRLSを1に設定すると、TIME_WIN信号が選択されます。

FSCLE（F_{SC}ロック・イネーブル）、アドレス0x51 [7]
全体のロック・ステータスが決定されて、STATUS 1レジスタのビット[1:0]に表示される際に、カラー・サブキャリア・ループのステータスを考慮するか否かをFSCLEビットで選択できます。信頼性の高いHLOCKステータス・ビットを発生させるために、YPrPbコンポーネント・モードのときにこのビットを0に設定する必要があります。

FSCLEを0（デフォルト値）に設定すると、全体ロック・ステータスが水平同期ロックのみに依存します。

FSCLEを1に設定すると、全体ロック・ステータスが水平同期ロックとF_{SC}ロックに依存します。

CIL[2:0]（カウント・イントゥ・ロック）、アドレス0x51 [2:0]
CIL[2:0]は、システムがロック状態に切り替わる前のロック引込み状態の連続するライン数を決定し、これをSTATUS 0 [1:0]に報告します。ビデオ・ライン数で表します。

表21. CILの機能

CIL[2:0]	ビデオ・ライン数
000	1
001	2
010	5
011	10
100（デフォルト値）	100
101	500
110	1000
111	100,000

COL[2:0]（カウント・アウト・オブ・ロック）、アドレス0x51 [5:3]
COL[2:0]は、システムがアンロック状態に切り替わる前のアウト・オブ・ロック状態の連続するライン数を決定し、これをSTATUS 0 [1:0]に報告します。ビデオ・ライン数で表します。

表22. COLの機能

COL[2:0]	ビデオ・ライン数
000	1
001	2
010	5
011	10
100（デフォルト値）	100
101	500
110	1000
111	100,000

カラー制御

これらのレジスタにより、ビデオ喪失時のアクティブ・データの制御など、画像表示を制御できます。カラー制御は、他の制御とは無関係に行われます。たとえば、明度制御はピクチャ・クランピングの制御から独立していますが、両制御はともに信号のDCレベルに影響を与えます。

CON[7:0]（コントラスト調節）、アドレス0x08 [7:0]
このレジスタでピクチャのコントラストを調節できます。

表23. CONの機能

CON[7:0]	説明
0x80（デフォルト値）	輝度信号チャンネルのゲイン=1
0x00	輝度信号チャンネルのゲイン=0
0xFF	輝度信号チャンネルのゲイン=2

SD_SAT_Cb[7:0]（CbチャンネルのSD彩度）、アドレス0xE3 [7:0]
このレジスタにより、Cbチャンネルのみのゲインを制御できます。ピクチャの彩度を調整できます。

表24. SD_SAT_Cbの機能

SD_SAT_Cb[7:0]	説明
0x80（デフォルト値）	Cbチャンネルのゲイン=0dB
0x00	Cbチャンネルのゲイン=-42dB
0xFF	Cbチャンネルのゲイン=+6dB

ADV7180

SD_SAT_Cr[7:0] (CrチャンネルのSD彩度)、アドレス0xE4 [7:0]
このレジスタにより、Crチャンネルのみのゲインを制御できます。ピクチャの彩度を調整できます。

表25. SD_SAT_Crの機能

SD_SAT_Cr[7:0]	説明
0x80 (デフォルト値)	Crチャンネルのゲイン=0dB
0x00	Crチャンネルのゲイン=-42dB
0xFF	Crチャンネルのゲイン=+6dB

SD_OFF_Cb[7:0] (CbチャンネルのSDオフセット)、アドレス0xE1 [7:0]
このレジスタにより、Cbチャンネルのデータに限りオフセットを選択し、ピクチャの色相を調整できます。HUE[7:0]レジスタと重複する機能があります。

表26. SD_OFF_Cbの機能

SD_OFF_Cb[7:0]	説明
0x80 (デフォルト値)	Cbチャンネルに0Vのオフセットを印加
0x00	Cbチャンネルに-312mVのオフセットを印加
0xFF	Cbチャンネルに+312mVのオフセットを印加

SD_OFF_Cr[7:0] (CrチャンネルのSDオフセット)、アドレス0xE2 [7:0]
このレジスタにより、Crチャンネルのデータに限りオフセットを選択し、ピクチャの色相を調整できます。HUE[7:0]レジスタと重複する機能があります。

表27. SD_OFF_Crの機能

SD_OFF_Cr[7:0]	説明
0x80 (デフォルト値)	Crチャンネルに0Vのオフセットを印加
0x00	Crチャンネルに-312mVのオフセットを印加
0xFF	Crチャンネルに+312mVのオフセットを印加

BRI[7:0] (明度調節)、アドレス0x0A [7:0]
このレジスタにより、ビデオ信号の明度を制御します。ピクチャの明度を調節できます。

表28. BRIの機能

BRI[7:0]	説明
0x00 (デフォルト値)	輝度信号チャンネルのオフセット=0IRE
0x7F	輝度信号チャンネルのオフセット=+100IRE
0x80	輝度信号チャンネルのオフセット=-100IRE

HUE[7:0] (色相調節)、アドレス0x0B [7:0]
このレジスタは、色相調整値を格納します。ピクチャの色相を調整できます。

HUE[7:0]は±90°の範囲を持ち、0x00は0°の調整に該当します。HUE[7:0]の分解能は1ビット=0.7°です。

色相調整値は、AMカラー復調ブロックに渡されます。したがって、AM変調されたキャリア形式 (CVBSまたは、PALもしくはNTSCのY/C) で色信号情報を持つビデオ信号に対してのみ使用されます。SECAMに対しては無効で、コンポーネント・ビデオ入力 (YPrPb) に対しては機能しません。

表29. HUEの機能

HUE[7:0]	説明 (ピクチャの色相の調整)
0x00 (デフォルト値)	色信号の位相=0°
0x7F	色信号の位相=-90°
0x80	色信号の位相=+90°

DEF_Y[5:0] (デフォルト値Y)、アドレス0x0C [7:2]
ADV7180が入力ビデオ信号のロックを失った場合、または入力信号がない場合、DEF_Y[5:0]レジスタで、出力するデフォルトの輝度信号値を指定できます。この値は次の条件下で使用します。

- DEF_VAL_AUTO_ENビットがハイレベルに設定され、かつADV7180が入力ビデオ信号のロックを失った場合。これは自動モードとなっています。
- ビデオ・デコーダのロック状態とは無関係にDEF_VAL_ENビットがセットされた場合。これは設定時に使用すると便利な強制モードです。

DEF_Y[5:0]値は、出力ビデオの上位6ビットを指定します。残りの下位ビットには0が設定されます。たとえば、8ビット・モードでは、出力はY[7:0]={DEF_Y[5:0], 0, 0}となります。

DEF_Y[5:0]のデフォルト値は0x0D (ブルー) で、Yに対応します。

0x0Cレジスタのデフォルト値は0x36です。

DEF_C[7:0] (デフォルト値C)、アドレス0x0D [7:0]
DEF_C[7:0]レジスタは、DEF_Y[5:0]値を補足します。次の場合に、このレジスタは出力するCr値とCb値の上位4ビットを指定します。

- DEF_VAL_AUTO_ENビットがハイレベルに設定され、かつADV7180が入力ビデオ信号にロックできない場合 (自動モード)
- DEF_VAL_ENビットがハイレベルに設定されている場合 (強制出力)

ADV7180の色信号側に最終的に出力されるデータは、Cr[7:0]={DEF_C[7:4], 0, 0, 0, 0}, Cb[7:0]={DEF_C[3:0], 0, 0, 0, 0}になります。

DEF_C[7:0]のデフォルト値は0x7C (ブルー) で、CrとCbに対応します。

DEF_VAL_EN (デフォルト値のイネーブル)、アドレス0x0C [0]
このビットは、Y、Cr、Cbに対してデフォルト値の使用を強制します。詳細は「DEF_Y[5:0] (デフォルト値Y)、アドレス0x0C [7:2]」と「DEF_C[7:0] (デフォルト値C)、アドレス0x0D [7:0]」の説明を参照してください。また、デコーダはこのモードで安定した27MHzクロック、HS、VSも出力します。

DEF_VAL_ENを0（デフォルト値）に設定すると、デコーダがフリーラン・モードのとき、ユーザ設定のY、Cr、Cb値で決定されるカラー・スクリーンを出力します。フリーラン・モードのオン/オフは、DEF_VAL_AUTO_ENビットで行います。

DEF_VAL_ENを1に設定すると、ユーザ設定のY、Cr、Cb値で決定されるカラー・スクリーンを強制出力します。デコーダがロックされていても、ピクチャ・データが上書きされます。

DEF_VAL_AUTO_EN（デフォルト値の自動イネーブル）、アドレス0x0C [1]

このビットにより、ADV7180がビデオ信号にロックできない場合に、Y、Cr、Cbのデフォルト値を自動的に使用できるようにします。

DEF_VAL_AUTO_ENを0に設定すると、フリーラン・モードがディスエーブルになります。デコーダがアンロックの場合、ノイズを出力します。

DEF_VAL_AUTO_ENを1（デフォルト値）に設定すると、フリーラン・モードがイネーブルになります。デコーダがロックを失った場合に、ユーザ設定のY、Cr、Cb値により設定されるカラー・スクリーンが表示されます。

クランプ動作

入力ビデオはACカップリングでADV7180に入力されます。そのため、DC値を再生する必要があります。この処理はビデオのクランピングと呼ばれます。ここでは、ADV7180のクランピングの全体的な処理について説明し、その動作を設定するさまざまな方法を紹介いたします。

ADV7180では、クランピングには、電流源とデジタル処理ブロックの組み合わせを使用しています（図17）。図のアナログ処理チャンネルは、IC内部の3箇所で使用されています。CVBS信号に対しては1信号チャンネルのみ必要ですが、Y/C（S-VHS）形式の信号に対しては独立した2チャンネルが必要であり、コンポーネント信号（YPrPb）に対しては独立した3チャンネルが必要です。

クランピング機能は、次の2つの部分に分割できます。

- ADCの前で行うクランピング（アナログ領域）：電流源
- ADCの後で行うクランピング（デジタル領域）：デジタル処理ブロック

入力信号がADCの入力電圧範囲1.0V以内にある場合にのみ、ADCは入力信号をデジタル化できます。入力信号は、DCレベルが過大か過小の場合、ADC範囲の上限または下限にクリップされてしまいます。

アナログ・クランピング回路の主な機能は、A/D変換を可能にするために、ビデオ信号が有効なADC入力ウィンドウ内に留まるようにすることです。ビデオ信号がADCの範囲内に収まる限り、アナログ領域において極端に高い精度で入力信号をクランプする必要はありません。

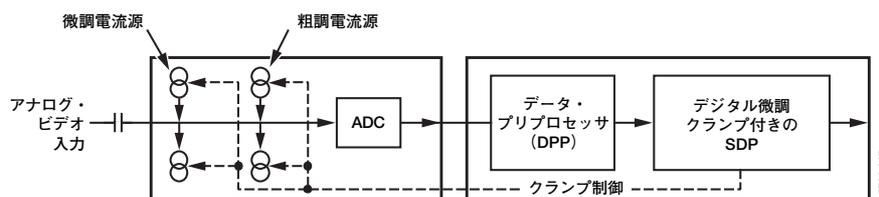


図17. クランピングの概要

デジタル化した後、デジタル微調クランプ・ブロックが残りのDCレベルの変動を補正します。入力ビデオ信号のDCレベルは、送信されるピクチャの明度を直接基準とするため、高精度に微調クランプを行うことが重要です。そうしなければ、明度の変動が発生します。さらに、DCレベルの動的変動は、ほとんどの場合好ましくないノイズになるため、防止する必要があります。

クランピング方式では、2つの動作が必要となります。すなわち、新たに接続された未知のDCレベルのビデオ信号を受信すること、それに通常動作時にDCレベルを維持することが必要となります。

未知のビデオ信号の高速な入力に対しては、大電流クランプが使用されます。このポイントでのビデオ信号の振幅は公称値を仮定しています。粗調電流クランプと微調電流クランプのパラメータ制御は、デコーダが自動的に実行します。

標準画質ビデオ信号は大きなノイズを持っていることがあります。特に、地上放送で送信されてチューナで復調されるCVBS信号は、一般に非常に大きなレベルのノイズを持っています（>100mV）。このタイプのビデオ信号には、電圧クランプは適しません。代わりに、ADV7180では4個の電流源セットを採用し、ビデオ信号が通過する高インピーダンス・ノードに、この4個の電流源から粗調電流（>0.5mA）と微調電流（<0.1mA）を流しています（図17参照）

以下に、ADV7180のクランプ・ブロックの動作を変更する際に使用できるFC信号について説明します。

CCLLEN（電流クランプ・イネーブル）、アドレス0x14 [4]

電流クランプ・イネーブル・ビットにより、アナログ・フロントエンドの電流源をすべてまとめてオフにすることができます。この機能は、受信アナログ・ビデオ信号を外部でクランプする場合に便利です。

CCLLENが0のとき、電流源はオフになります。

CCLLENが1（デフォルト値）のとき、電流源はイネーブルになります。

DCT[1:0] (デジタル・クランプ・タイミング)、
アドレス0x15 [6:5]

クランプ・タイミング・レジスタは、デジタル微調クランプ回路の時定数を決定します。デジタル微調クランプはアクティブ・ラインの残留DCレベル誤差を直ちに補正することになっているため、迅速に応答できることが重要です。デジタル微調クランプの時定数は、アナログ・ブロックの時定数よりはるかに高速でなければなりません。

デジタル微調クランプの時定数は、デフォルトで接続中の入力信号に合わせて動作させながら調整します。

表30. DCTの機能

DCT[1:0]	説明
00 (デフォルト値)	低速 (TC=1秒)
01	中速 (TC=0.5秒)
10	高速 (TC=0.1秒)
11	入力ビデオ・パラメータに応じてADV7180が決定

DCFE (デジタル・クランプ・フリーズ・イネーブル)、
アドレス0x15 [4]

このレジスタ・ビットにより、デジタル・クランプ・ループをいつでもフリーズできます。これは、ユーザ独自のクランピング機能を使いたい場合に使用します。該当するレジスタ・ビットでアナログ・クランピング用電流源をディスエーブルにし、デジタル・クランプ・ループが安定するまで待った後、DCFEビットを使ってフリーズさせます。

DCFEが0 (デフォルト値) のとき、デジタル・クランプが動作します。

DCFEが1のとき、デジタル・クランプ・ループがフリーズします。

輝度信号フィルタ

デジタル微調クランプ・ブロックから出力されるデータは、次の3セットのフィルタを使って処理されます。このポイントでのデータ・フォーマットは、CVBS入力フォーマットの場合はCVBSで、Y/CおよびYPrPb入力フォーマットの場合のみ輝度信号です。

- 輝度信号アンチエイリアス・フィルタ (YAA)
ADV7180のビデオ受信レートは27MHzです。(4倍オーバーサンプリングのビデオの場合、ADCは57.27MHzでサンプリングを行い、最初のデシメーションをDPPフィルタ内で行います。このため、ADV7180に入力されるデータレートは常に27MHzになります。) ITU-R BT.601はサンプリング周波数13.5MHzを勧告しています。輝度信号アンチエイリアス・フィルタは、輝度信号を通過させると同時に、帯域外成分を減衰させる高品質なリニア位相のローパス・フィルタを使用して、オーバーサンプリングしたビデオをデシメーションします。輝度信号アンチエイリアス・フィルタ (YAA) は固定の応答を持っています。

- 輝度信号シェイピング・フィルタ (YSH)
このシェイピング・フィルタ・ブロックはプログラマブルなローパス・フィルタで、多様な応答を持っています。このフィルタを使用し、輝度ビデオ信号の帯域幅を選択的に減少させることができます (たとえば、スケーリングの前に必要)。高周波数ノイズを含むビデオ信号源に対しては、輝度信号の帯域幅を低減すると画質が改善されることがあります。ビデオ信号をローパス・フィルタ処理すると、後段のビデオ圧縮段での効果が大きくなります。

ADV7180では、シェイピング・フィルタの応答として、高品質コンポジット、コンポーネント、S-VHS型の信号源に適する応答と、非標準CVBS信号に適する応答の2種類を選択できます。

また、YSHフィルタ応答にはPAL用とNTSC用のノッチも含まれています。ただし、Y/C分離にはコムフィルタの使用を推奨します。

- デジタル・リサンプリング・フィルタ
このブロックでビデオ信号のダイナミック・リサンプリングを行い、ビデオ・ラインのタイム・ベースなどのパラメータを変更できます。基本的には、リサンプリングはローパス・フィルタのセットで構成されます。実際の応答はシステムが選択するため、ユーザの介入は不要です。

図19～22に、すべてのフィルタを通過させた全体応答を示します。特に指定のない限り、フィルタは代表的な広帯域モードに設定されています。

Yシェイピング・フィルタ

CVBSフォーマットの入力信号に対して、輝度信号シェイピング・フィルタはコンポジット信号から色信号成分を除去するのに重要な役割を果たします。Y/C分離ではクロストークの削減と同時に、可能な限り帯域幅 (輝度信号成分は特に) を広く維持することが必要です。高品質なY/C分離は、ADV7180の内蔵コムフィルタを使用することで実現できます。ただし、コムフィルタは、輝度信号成分 (ビデオ・ライン・レートの倍数) とカラー・サブキャリア (F_{sc}) との間の周波数関係に依存しています。高品質のCVBS信号ではこの関係はよく知られており、コムフィルタ・アルゴリズムを使用して輝度信号と色信号を高い精度で分離できます。

非標準ビデオ信号の場合は、周波数関係が乱れるため、コムフィルタはシェイピング・フィルタ・ブロックの助けを借りなければ、すべてのクロストーク・ノイズを最適な方法で除去できなくなります。

自動モードが用意されているため、ADV7180では入力ビデオ信号の品質を評価し、信号品質とビデオ標準に基づいてフィルタ応答を選択できます。YFSM、WYSFMOVR、WYSFMを使用し、自動判定の一部または全部をマニュアルで上書きできます。

輝度信号シェイピング・フィルタには、次の3個のコントロール・レジスタがあります。

- **YSFM[4:0]**レジスタでは、シェイピング・フィルタ・モード（全ビデオ信号に適用）をマニュアルで選択するか、自動選択をイネーブ（ビデオ品質とビデオ標準に依存）にします。
- **WYSFMOVR**レジスタでは、WYSFMの判定をマニュアルで上書きできます。
- **WYSFM[4:0]**レジスタでは、高品質のコンポジット（CVBS）、コンポーネント（YPrPb）、S-VHS（Y/C）の各入力信号に対して別のシェイピング・フィルタ・モードを選択できます。

自動モードでは、システムはYPrPb信号源とY/C信号源（これらはコムフィルタ処理が不要）の輝度信号成分に対してはもちろん、高品質CVBS信号源（適正なコムフィルタ処理が可能）に対して、最大限の帯域幅を維持します。通常品質の信号に対して、システムはノイズを削減するためにコムフィルタ動作を補完するアナログ・デバイス独自のシェイピング・フィルタ応答から適切にフィルタを選択します。

コントロール・ロジックのフローチャートを図18に示します。

YSFM[4:0]（Yシェイピング・フィルタ・モード）、アドレス0x17 [4:0]

Yシェイピング・フィルタ・モード・ビットにより、広範なオプションからローパス・フィルタとノッチ・フィルタを選択できます。自動モードに切り替えると、他のレジスタ選択（たとえば、検出されたビデオ標準）や入力ビデオ自体から取り出した属性（たとえば、品質、タイム・ベースの安定性）に基づいてフィルタが選択されます。自動選択は、入力されたビデオに対して常に最大限可能な帯域幅を与えます。

- **YSFM**設定でフィルタが指定されている場合（すなわち、**YSFM**が00000または00001以外の値に設定されている場合）、選択されたフィルタは品質とは無関係に全ビデオに適用されます。
- 自動選択モードでは、通常品質ビデオ信号に対してノッチ・フィルタのみが使用されます。その他のビデオ信号には、広帯域フィルタが使用されます。

WYSFMOVR（広帯域Yシェイピング・フィルタ上書き）、アドレス0x18 [7]

WYSFMOVRビットをセットすると、高品質ビデオ信号に対して**WYSFM[4:0]**を設定できます。詳細は「Yシェイピング・フィルタ」の輝度信号シェイピング・フィルタの一般的な説明と図18のフローチャートを参照してください。

WYSFMOVRが0のとき、高品質ビデオ信号に対するシェイピング・フィルタが自動的に選択されます。

WYSFMOVRを1（デフォルト値）に設定すると、**WYSFM[4:0]**でマニュアル上書きが可能となります。

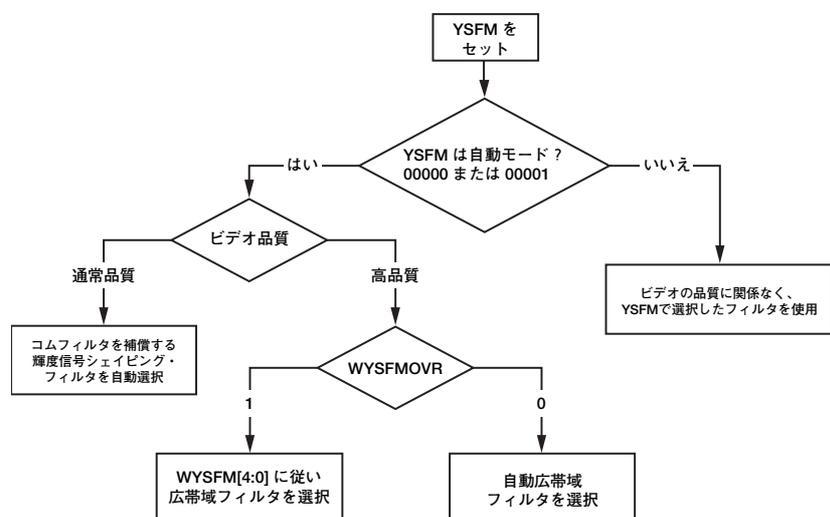


図18. YFSMとWYSFMの制御フローチャート

06700-018

ADV7180

表31. YSFMの機能

YSFM[4:0]	説明
0'0000	広いノッチ応答 (PAL/NTSC/SECAM) を含む自動選択
0'0001 (デフォルト値)	狭いノッチ応答 (PAL/NTSC/SECAM) を含む自動選択
0'0010	SVHS 1
0'0011	SVHS 2
0'0100	SVHS 3
0'0101	SVHS 4
0'0110	SVHS 5
0'0111	SVHS 6
0'1000	SVHS 7
0'1001	SVHS 8
0'1010	SVHS 9
0'1011	SVHS 10
0'1100	SVHS 11
0'1101	SVHS 12
0'1110	SVHS 13
0'1111	SVHS 14
1'0000	SVHS 15
1'0001	SVHS 16
1'0010	SVHS 17
1'0011	SVHS 18 (CCIR 601)
1'0100	PAL NN1
1'0101	PAL NN2
1'0110	PAL NN3
1'0111	PAL WN1
1'1000	PAL WN2
1'1001	NTSC NN1
1'1010	NTSC NN2
1'1011	NTSC NN3
1'1100	NTSC WN1
1'1101	NTSC WN2
1'1110	NTSC WN3
1'1111	予備

WYSFM[4:0] (広帯域Yシェイピング・フィルタ・モード)、アドレス0x18 [4:0]
WYSFM[4:0]ビットにより、高品質ビデオ信号 (たとえば、安定したタイム・ベースを持つCVBS、YPrPb輝度信号成分、Y/C輝度信号成分) に対してシェイピング・フィルタをマニュアルで選択できます。WYSFMOVRビットを1に設定している場合にのみ、WYSFMビットがアクティブになります。「Yシェイピング・フィルタ」のシェイピング・フィルタ設定の一般的な説明を参照してください。

表32. WYSFMの機能

WYSFM[4:0]	説明
0'0000	使用不可
0'0001	使用不可
0'0010	SVHS 1
0'0011	SVHS 2
0'0100	SVHS 3
0'0101	SVHS 4
0'0110	SVHS 5
0'0111	SVHS 6
0'1000	SVHS 7
0'1001	SVHS 8
0'1010	SVHS 9
0'1011	SVHS 10
0'1100	SVHS 11
0'1101	SVHS 12
0'1110	SVHS 13
0'1111	SVHS 14
1'0000	SVHS 15
1'0001	SVHS 16
1'0010	SVHS 17
1'0011 (デフォルト値)	SVHS 18 (CCIR 601)
1'0100~1'1111	使用不可

図19のフィルタ・プロットは、S-VHS1 (最小幅) ~S-VHS18 (最大幅) のシェイピング・フィルタ設定を示しています。図21はPALノッチ・フィルタの応答を示しています。図22はNTSC互換のノッチ・フィルタの応答を示しています。

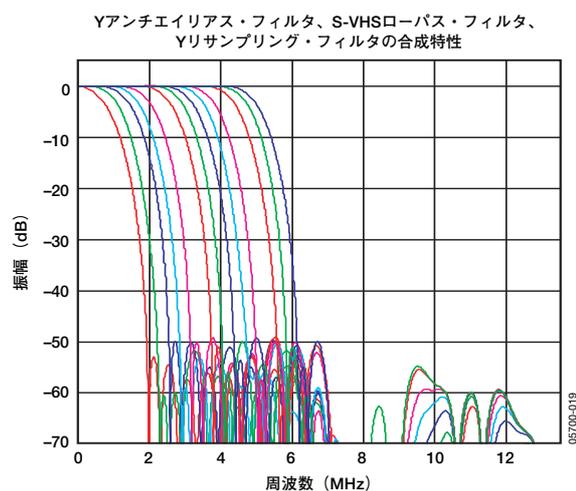


図19. Y S-VHSの合成応答

色信号フィルタ

デジタル微調クランプ・ブロックから出力されるデータは、次の3セットのフィルタで処理されます。このポイントでのデータ・フォーマットはCVBS入力の場合はCVBSで、Y/C、またはYPrPb入力フォーマットのU/Vインターリーブの場合のみ色信号です。

- 色信号アンチエイリアス・フィルタ (CAA)
ADV7180はCVBSを4倍で、色信号/YPrPbを2倍でオーバーサンプルします。デシメーション・フィルタ (CAA) を使用し、アクティブ・ビデオ帯域を維持し、帯域外成分を除去します。CAAフィルタは固定応答です。

Yアンチエイリアス・フィルタ、CCIRモード・シェイピング・フィルタ、Yリサンプリング・フィルタの合成特性

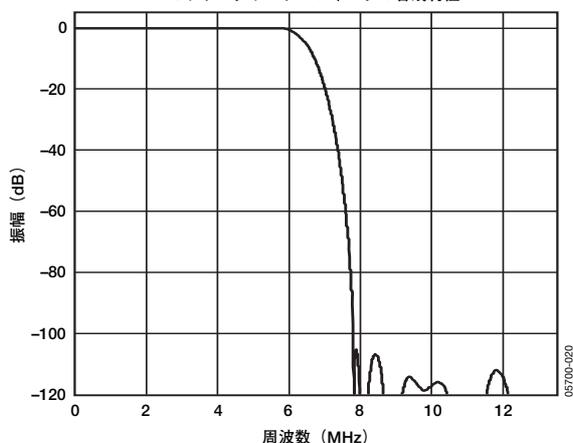


図20. Y S-VHS 18最広帯域フィルタ (CCIR 601準拠)

Yアンチエイリアス・フィルタ、PALノッチ・フィルタ、Yリサンプリング・フィルタの合成特性

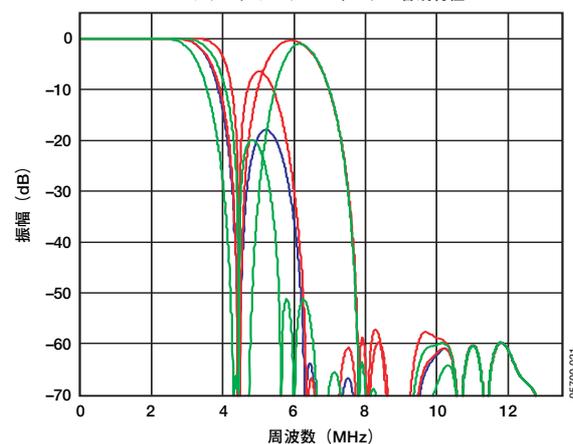


図21. Y S-VHS 18最広帯域フィルタ (CCIR 601準拠)

- 色信号シェイピング・フィルタ (CSH)
シェイピング・フィルタ・ブロック (CSH) は、多様なローパス応答を実行するように設定できます。スケーリングまたは圧縮用に色信号の帯域幅を選択的に削減する際に使用できます。
- デジタル・リサンプリング・フィルタ
このブロックを使用しビデオ信号のダイナミック・リサンプリングを行い、ビデオ・ラインのタイム・ベースなどのパラメータを変更できます。リサンプリングは基本的にローパス・フィルタで構成されます。実際の応答はシステムが選択するため、ユーザの介入は不要です。

図23のプロットは、すべてのフィルタを通過させた全体応答を示します。

Yアンチエイリアス・フィルタ、NTSCノッチ・フィルタ、Yリサンプリング・フィルタの合成特性

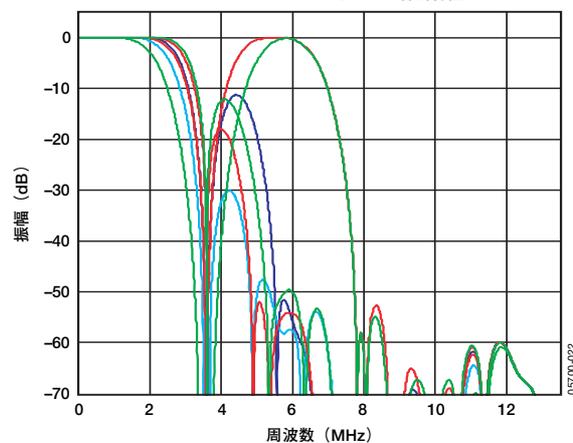


図22. Y S-VHS 18最広帯域フィルタ (CCIR 601準拠)

Cアンチエイリアス・フィルタ、Cシェイピング・フィルタ、Cリサンプリング・フィルタの合成特性

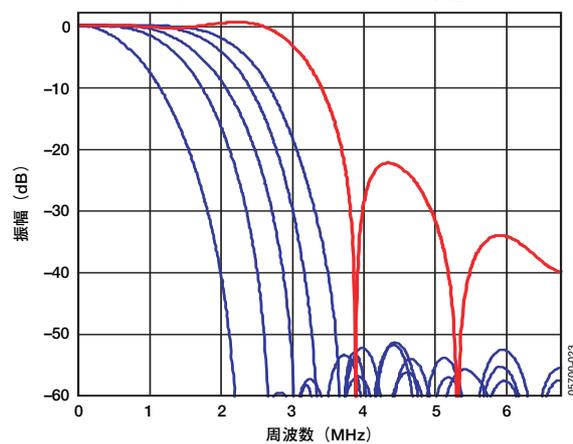


図23. 色信号シェイピング・フィルタ応答

ADV7180

CSFM[2:0] (Cシェイピング・フィルタ・モード)、
アドレス0x17 [7:5]

Cシェイピング・フィルタ・モード・ビットを使用すると、色信号用に広範なローパス・フィルタから選択することができます。自動モードに切り替えると、ビデオ標準/フォーマットとユーザの選択に基づいて最も広いフィルタが選択されます (表33の000と001の設定を参照)。

表33. CSFMの機能

CSFM[2:0]	説明
000 (デフォルト値)	1.5MHz帯域幅を自動選択
001	2.17MHz帯域幅を自動選択
010	SH1
011	SH2
100	SH3
101	SH4
110	SH5
111	広帯域モード

図23に、SH1 (最小幅) ~SH5 (最大幅) の応答と広帯域モードの応答 (赤) を示します。

ゲイン動作

ADV7180内のゲイン・コントロールは、純粋にデジタル的に実行されます。入力ADCは10ビットで、1.0Vのアナログ電圧範囲に対応します。ゲイン補正はデジタル化の後にデジタル乗算の形で実行されます。

ADCの前でPGA (プログラマブル・ゲイン・アンプ) を使う一般的な方法に対して、このアーキテクチャにはいくつかの利点があります。たとえば、ゲインは電源、温度、プロセスの変動にまったく依存しません。

図25に示すように、ADV7180はビデオ信号がADCの入力範囲内にある限りデコードできます。ビデオ信号は入力信号の振幅とDCレベルの2つの成分から構成されています。DCレベルはクランピング回路で設定されます (「クランプ動作」を参照)。

アナログ・ビデオ信号の振幅が大きすぎると、クリッピングが発生し、ノイズとして見えるようになります。ADCのアナログ入力範囲はクランプ・レベルとともに、対応するビデオ信号の最大振幅を決定します。

図24は、入力ビデオ信号をADCの許容電圧範囲0~1V内に収める必要がある代表的な分圧ネットワークを示しています。この回路は、ADV7180のすべてのアナログ入力の前に配置します。

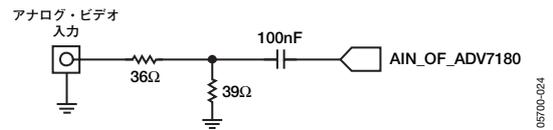


図24. 入力分圧ネットワーク

対応する入力ビデオ信号の最小振幅は、ADV7180の水平タイミングと垂直タイミングを再現する能力と、カラー・バースト (存在する場合) にロックする能力によって決まります。

輝度信号データと色信号データにはそれぞれ1個ずつゲイン・コントロール・ユニットがあります。どちらも互いに独立して動作します。ただし、色信号ユニットは輝度信号パスからゲイン値を取ることもできます。

複数のAGCモードを表34に示します。

表34. AGCモード

入力ビデオ・タイプ	輝度信号ゲイン	色信号ゲイン
Any	マニュアル・ゲイン輝度信号	マニュアル・ゲイン色信号
CVBS	水平同期の深さに依存	カラー・バーストの振幅に依存。輝度信号パスから取得
	ピーク・ホワイト	カラー・バーストの振幅に依存。輝度信号パスから取得
Y/C	水平同期の深さに依存	カラー・バーストの振幅に依存。輝度信号パスから取得
	ピーク・ホワイト	カラー・バーストの振幅に依存
YPrPb	水平同期の深さに依存	輝度信号パスから取得

自動ゲイン・コントロール・ループは、フリーズさせることができます。この機能は、ループに更新をフリーズさせます。ループのフリーズが解除されるか、またはゲイン動作モードが変更されるまで、フリーズ時点でAGCが決定したゲインがアクティブのままになります。

すべてのモードでアクティブ中のゲインを読み出せます。「輝度信号ゲイン」および「色信号ゲイン」の項で扱った2つのマニュアル・ゲイン・レジスタ、すなわちLG[11:0] (輝度信号ゲイン) レジスタおよびCG[11:0] (色信号ゲイン) レジスタの説明を参照してください。

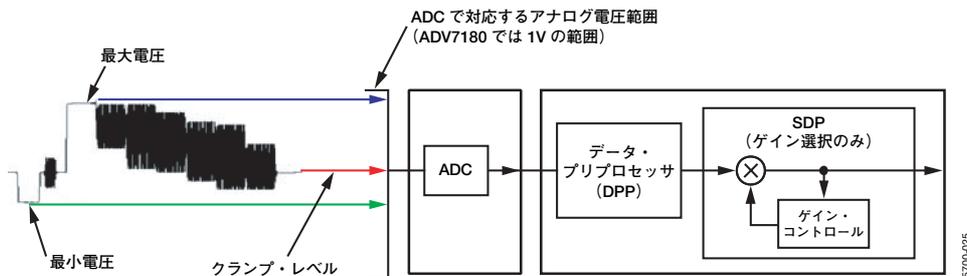


図25. ゲイン・コントロールの概要

輝度信号ゲイン

LAGC[2:0] (輝度信号自動ゲイン・コントロール)、
アドレス0x2C [6:4]

輝度信号自動ゲイン・コントロール・モード・ビットは、輝度信号バスでのゲイン・コントロールの動作モードを選択します。

ピーク・ホワイト・ゲイン・コントロールをカスタマイズする内部パラメータ (アナログ・デバイス独自のアルゴリズム) があります。詳細は弊社のFAE (フィールド・アプリケーション・エンジニア) または販売代理店にお問い合わせください。

表35. LAGCの機能

LAGC[2:0]	説明
000	マニュアル固定ゲイン (LMG[11:0]を使用)
001	予備
010 (デフォルト値)	AGC (ブランク・レベルから同期タイプ)、ピークホワイト・アルゴリズムが有効
011	予備
100	AGC (ブランク・レベルから同期タイプ)、ピークホワイト・アルゴリズムが無効
101	予備
110	予備
111	ゲイン・フリーズ

LAGT[1:0] (輝度信号自動ゲイン・タイミング)、アドレス0x2F [7:6]

輝度信号自動ゲイン・タイミング・レジスタを使用し、輝度信号自動ゲイン・コントロールのトラッキング速度を変更できます。このレジスタは、LAGC[2:0]レジスタが001、010、011、100に設定されている場合のみ (自動ゲイン・コントロール・モード) 有効です。

ピーク・ホワイトAGCがイネーブルでアクティブの場合 (STATUS_1[7:0]、アドレス0x10 [7:0]を参照)、実際のゲイン更新速度はピーク・ホワイトAGCループによって決定されるため、このLAGT設定は無効になります。デバイスがピーク・ホワイトAGCから抜け出ると、直ちにLAGTゲインが有効になります。

ピークホワイト・アルゴリズムの更新速度は、内部パラメータを使ってカスタマイズできます。詳細はアナログ・デバイセズのフィールド・エンジニアにお問い合わせください。

表36. LAGTの機能

LAGT[1:0]	説明
00	低速 (TC=2秒)
01	中速 (TC=1秒)
10	高速 (TC=0.2秒)
11 (デフォルト値)	アダプティブ

LG[11:0] (輝度信号ゲイン)、アドレス0x2F [3:0]、
アドレス0x30 [7:0]

LMG[11:0] (輝度信号マニュアル・ゲイン)、
アドレス0x2F [3:0]、アドレス0x30 [7:0]

輝度信号ゲイン[11:0]レジスタには次の2つの機能があります。これらのレジスタすべてに書き込みを行って、必要なマニュアル輝度信号ゲインを設定できます。LAGC[2:0]モードがマニュアル固定ゲインに切り替えられると、このゲインがアクティブになります。式1は必要なゲインの計算方法を示しています。

読出しを行うと、このレジスタは現在のゲイン値を返します。LAGC[2:0]ビットの設定に応じて、次のどちらかの値になります。

- 輝度信号マニュアル・ゲイン値 (LAGC[2:0]を輝度信号マニュアル・ゲイン・モードに設定)
- 輝度信号自動ゲイン値 (LAGC[2:0]をいずれかの自動モードに設定)

表37. LG/LMGの機能

LG[11:0]/LMG[11:0]	読出し/書き込み	説明
LMG[11:0]=X	書き込み	輝度信号バスに対するマニュアル・ゲイン
LG[11:0]	読出し	実際に使用されているゲイン

$$\begin{aligned} \text{輝度信号ゲイン (525i)} &= \frac{(1024 < LMG[11:0] \leq 4095)}{1410} \\ &\approx 0.72 \dots 2.9 \end{aligned}$$

$$\begin{aligned} \text{輝度信号ゲイン (NTSC)} &= \frac{(1024 < LMG[11:0] \leq 4095)}{1470} \\ &\approx 0.7 \dots 2.78 \end{aligned}$$

$$\begin{aligned} \text{輝度信号ゲイン (PAL/625i)} &= \frac{(1024 < LMG[11:0] \leq 4095)}{1535} \\ &\approx 0.66 \dots 2.66 \end{aligned}$$

(1)

たとえば、525i入力に対し、ADV7180を希望するゲイン=0.89でマニュアル固定ゲイン・モードに設定します。

- 式1を用いてゲインを変換します。
 $0.89 \times 1410 = 1254.9$
- 整数値に丸めます。
 $= 1255d$
- 16進に変換します。
 $1255d = 0x04E7$
- 2個のレジスタに分けて、書き込みます。
輝度ゲイン・コントロール1 [3:0]=0x4
輝度ゲイン・コントロール2 [7:0]=0xE7
- マニュアル固定ゲイン・モードをイネーブルにします。
LAGC[2:0]を000に設定

ADV7180

BETACAM (Betacamレベルのイネーブル)、アドレス0x01 [5] YPrPbデータがADV7180を経由して接続される場合、表40に示すように自動ゲイン・コントロール・モードは複数のビデオ入力レベルを対象とすることができます。入力モードがYPrPb (コンポーネント) の場合のみ、BETACAMビットは有効となります。BETACAMビットはAGC動作の目標値を設定します。

以下の項を参照してください。

- コンポーネント・ビデオ (YPrPb) をADV7180経由で接続する方法については、「MAN_MUX_EN (マニュアル入力マルチプレクシング・イネーブル)、アドレス0xC4 [7]」。
- さまざまな標準 (たとえば、ペダスタルの有無) の選択については、「ビデオ標準の選択」。

自動ゲイン・コントロール (AGC) アルゴリズムは、BETACAMビットの設定に基づいてレベルを調節します (表38)

PW_UPD (ピーク・ホワイト更新)、アドレス0x2B [0]

ピーク・ホワイトと平均ビデオ・アルゴリズムは、アクティブ・ビデオの計測値に基づいてゲインを決定します。PW_UPDビットはゲイン変化レートを決定します。ピーク・ホワイト・モードまたは平均ビデオ・モードを最初に有効にするには、LAGC[2:0]を該当するモードに設定する必要があります。詳細は「LAGC[2:0] (輝度信号自動ゲイン・コントロール)、アドレス0x2C [6:4]」を参照してください。

PW_UPDを0に設定すると、ビデオ・ライン毎にゲインが更新されます。

PW_UPDを1 (デフォルト値) に設定すると、フィールド毎にゲインが更新されます。

色信号ゲイン

CAGC[1:0] (色信号自動ゲイン・コントロール)、アドレス0x2C [1:0]

カラー自動ゲイン・コントロール・モードのこの2ビットは、色信号バスでの自動ゲイン・コントロールの基本動作モードを選択します。

表38. BETACAMの機能

BETACAM	説明
0 (デフォルト値)	入力フォーマットとしてYPrPbの選択を想定 PAL (ペダスタルあり) を選択すると、MIIを選択 PAL (ペダスタルなし) を選択すると、SMPTEを選択 NTSC (ペダスタルあり) を選択すると、MIIを選択 NTSC (ペダスタルなし) を選択すると、SMPTEを選択
1	入力フォーマットとしてYPrPbの選択を想定 PAL (ペダスタルあり) を選択すると、BETACAMを選択 PAL (ペダスタルなし) を選択すると、BETACAM派生を選択 NTSC (ペダスタルあり) を選択すると、BETACAMを選択 NTSC (ペダスタルなし) を選択すると、BETACAM派生を選択

表39. CAGCの機能

CAGC[1:0]	説明
00	マニュアル固定ゲイン (CMG[11:0]を使用)
01	色信号に対して輝度信号ゲインを使用
10 (デフォルト値)	自動ゲイン (カラー・バーストに基づく)
11	色信号ゲインをフリーズ

表40. Betacamレベル

名前	Betacam (mV)	Betacam派生 (mV)	SMPTE (mV)	MII (mV)
Y	0~714 (7.5%ペダスタルを含む)	0~714	0~700	0~700 (7.5%ペダスタルを含む)
PbとPr	-467~+467	-505~+505	-350~+350	-324~+324
同期の深さ	286	286	300	300

CAGT[1:0] (色信号自動ゲイン・タイミング)、アドレス0x2D [7:6]
色信号自動ゲイン・タイミング・レジスタを使用し、色信号自動ゲイン・コントロールのトラッキング速度を変更できます。CAGC[1:0]レジスタが10に設定されている場合にのみ (自動ゲイン)、このレジスタは有効となります

表41. CAGTの機能

CAGT[1:0]	説明
00	低速 (TC=2秒)
01	中速 (TC=1秒)
10	高速 (TC=0.2秒)
11 (デフォルト値)	アダプティブ

CG[11:0] (色信号ゲイン)、アドレス0x2D [3:0]、アドレス0x2E [7:0]

CMG[11:0] (色信号マニュアル・ゲイン)、アドレス0x2D [3:0]、アドレス0x2E [7:0]

色信号ゲイン[11:0]レジスタには次の2つの機能があります。書込みを行うと、必要なマニュアル色信号ゲインを設定できます。CAGC[1:0]モードがマニュアル固定ゲインに切り替えられると、このゲインがアクティブになります。希望するゲインの計算方法については、式2を参照してください。

読出しを行うと、このレジスタは現在のゲイン値を返します。CAGC[1:0]ビットの設定に応じて、次のいずれかの値になります。

- 色信号マニュアル・ゲイン値 (CAGC[1:0]を色信号マニュアル・ゲイン・モードに設定)
- 色信号自動ゲイン値 (CAGC[1:0]をいずれかの自動モードに設定)

表42. CG/CMGの機能

CG[11:0]/CMG[11:0]	読出し／書込み	説明
CMG[11:0]	書込み	色信号バスに対するマニュアル・ゲイン
CG[11:0]	読出し	現在のゲイン

$$\text{色信号ゲイン} \doteq \frac{(0 < CG \leq 4095)}{650} \doteq 0 \dots 6.29 \quad (2)$$

たとえば、自動ゲイン・ループをフリーズさせ、CG[11:0]レジスタを読み出すと、0x47Aの値が得られます。

- 読出し値を10進数に変換します。
0x47A=1146d
- 式2を用いて読出し値を変換します。
1146/1024=1.12

CKE (カラーキル・イネーブル)、アドレス0x2B [6]
カラーキル・イネーブル・ビットを使用し、オプションのカラーキル機能をオンまたはオフに切り替えることができます。

QAMベースのビデオ標準 (PALとNTSC) とFMベースのシステム (SECAM) の場合は、CKILLTHR[2:0]ビットによりカラーキル判定のスレッシュホールドを選択できます。

カラーキルがイネーブルになり、かつ連続する128のビデオ・ラインの間、入力ビデオ信号のカラー・キャリアがスレッシュホールドを下回る場合、カラー処理はオフに切り替えられます (白黒出力になります)。カラー処理をオンに戻すには、スレッシュホールドを超えるカラー・バーストを持つラインがさらに128連続する必要があります。

カラーキル・オプションは、変調された色信号を持つ入力信号に対してのみ有効です。コンポーネント入力 (YPbPb) に対しては、カラーキル機能はありません。

CKEを0に設定すると、カラーキルがディスエーブルになります。

CKEを1 (デフォルト値) に設定すると、カラーキルがイネーブルになります。

CKILLTHR[2:0] (カラーキル・スレッシュホールド)、アドレス0x3D [6:4]

CKILLTHR[2:0]ビットを使用し、カラーキル機能のスレッシュホールドを選択できます。このスレッシュホールドは、QAMベースのビデオ標準 (NTSCとPAL) またはFM変調されたビデオ標準 (SECAM) に対してのみ適用されます。

カラーキル機能をイネーブルにするには、必ずCKEビットをセットします。000、001、010、011に設定すると、ADV7180内の色信号復調は通常品質入力ビデオ信号に対して十分に機能しません。

表43. CKILLTHRの機能

CKILLTHR[2:0]	説明	
	SECAM	NTSC、PAL
000	カラーキルなし	0.5%未満でキル
001	5%未満でキル	1.5%未満でキル
010	7%未満でキル	2.5%未満でキル
011 (デフォルト値)	8%未満でキル	4.0%未満でキル
100	9.5%未満でキル	8.5%未満でキル
101	15%未満でキル	16.0%未満でキル
110	32%未満でキル	32.0%未満でキル
111	アナログ・デバイス用の予備。 選択不可。	

カラー・トランジェント・インプルーブメント (CTI)

色信号に割り当てられる信号帯域幅は一般に、輝度信号の帯域幅よりはるかに狭くなっています。人間の視覚は輝度に比べ色への反応が鈍いため、以前は、このように色信号を与えられた帯域内で用いることは有効な方法でした。

しかし、帯域幅が不均等であると、シャープなカラー遷移にノイズが現れるようになります。2本のカラー・バーの境界で、輝度信号と色信号の両成分が同時に変化します (図26)。輝度信号成分は帯域幅が広いいため、その遷移は一般に色信号成分の遷移よりシャープです。最悪の場合、カラー・エッジは数ピクセルにわたってぼやけてしまいます。

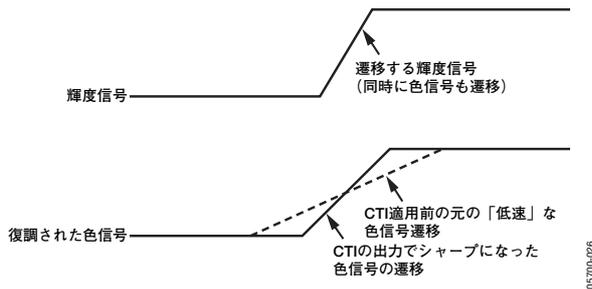


図26. CTI輝度信号/色信号の遷移

CTIブロックは入力ビデオ・データを調べ、色信号の遷移を検出します。さらに、失われたカラー帯域幅を回復するために、色信号エッジを「シャープにする」ように設定できます。ただし、CTIブロックは、ノイズも一緒に強調しないように一定のスレッシュホールドを超えるエッジに対してのみ動作します。また、エッジのリングングや不要な彩度歪みまたは色相歪みが発生しないように注意することも必要です。

CTIは、おもに色信号の帯域幅制限の影響が大きい信号に対して必要です。このタイプの信号に対しては、CTI_ENを使ってCTIブロックをイネーブルすることを強く推奨します。

CTI_EN (カラー・トランジェント・インプルーブメント・イネーブル)、アドレス0x4D [0]

CTI_ENを0に設定すると、CTIブロックがディスエーブルになります。

CTI_ENを1 (デフォルト値) に設定すると、CTIブロックがイネーブルになります。

CTI_AB_EN (カラー・トランジェント・インプルーブメント・アルファ・ブレンド・イネーブル)、アドレス0x4D [1]

CTI_AB_ENビットは、CTIブロック内のアルファ・ブレンド機能をイネーブルにします。1に設定すると、アルファ・ブレンダがトランジェント改善後の色信号を元信号とミックスします。アルファ・ブレンド機能のシャープさはCTI_AB[1:0]ビットを使って設定できます。

アルファ・ブレンダをアクティブにする場合、CTI_ENビットでCTIブロックをイネーブルにする必要があります。

CTI_AB_ENを0に設定すると、CTIアルファ・ブレンダがディスエーブルになります。

CTI_AB_ENを1 (デフォルト値) に設定すると、CTIアルファ・ブレンド・ミックス機能がイネーブルになります。

CTI_AB[1:0] (カラー・トランジェント・インプルーブメント・アルファ・ブレンド)、アドレス0x4D [3:2]

CTI_AB[1:0]は、シャープ化した色信号を元信号とミックスするアルファ・ブレンド回路の動作を制御します。したがって、出力データでのCTIの視覚的效果を制御することになります。

CTI_AB[1:0]を有効にするには、CTI_ENビットでCTIブロックをイネーブルにし、さらにCTI_AB_ENでアルファ・ブレンダをオンにする必要があります。

シャープさをミックスすることにより、画像に対するCTI効果は最大になりますが、小振幅、高周波の色信号ノイズの視覚効果も大きくなります。

表44. CTI_ABの機能

CTI_AB[1:0]	説明
00	シャープ化した色信号と元の色信号をミックスして、シャープさを最大化
01	シャープさをミックス
10	スムーズさをミックス
11 (デフォルト値)	最もスムーズなアルファ・ブレンド機能

CTI_C_TH[7:0] (CTI色信号スレッシュホールド)、アドレス0x4E [7:0]

CTI_C_TH[7:0]値は符号なしの8ビット数値で、CTIブロックによるシャープ化において色信号遷移の振幅ステップの大きさを指定します。このレジスタに小さい値を設定すると、CTIブロックは小さいエッジでもシャープさを増大します。CTI_C_TH[7:0]値を大きくすると、CTIブロックは大きい遷移のみを改善します。

CTI_C_TH[7:0]のデフォルト値は0x08で、CTI前の色信号エッジに対するスレッシュホールドを表します。

デジタル・ノイズ・リダクション (DNR) と輝度信号ピーキング・フィルタ

デジタル・ノイズ・リダクションは「小さい振幅の高周波信号はノイズの可能性が高く、これを除去すると画質が改善される」という仮定に基づいています。図27に示すように、ADV7180には、DNR1ブロック（輝度信号ピーキング・フィルタの前）と、DNR2ブロック（輝度信号ピーキング・フィルタの後）の2つのDNRブロックがあります。

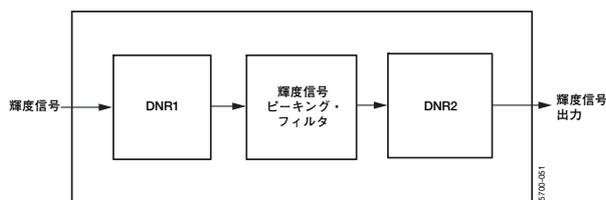


図27. DNRおよびピーキング・ブロック図

DNR_EN（デジタル・ノイズ・リダクション・イネーブル）、アドレス0x4D [5]

DNR_ENビットは、DNRブロックをイネーブルにするか、またはバイパスを指定します。

表45. DNR_ENの機能

設定	説明
0	DNRをバイパス（ディスエーブル）
1（デフォルト値）	輝度信号データのデジタル・ノイズ・リダクションをイネーブル

DNR_TH[7:0]（DNRノイズ・スレッシュヨールド）、アドレス0x50 [7:0]

DNR1ブロックは、輝度信号ピーキング・ブロックの前に配置します。DNR_TH[7:0]値は符号なしの8ビット数値で、ノイズとみなされて輝度信号データから除去される最大エッジを決定する際に使われます。DNR_TH[7:0]の値を大きくすると、DNRブロックは大きな遷移でもノイズとみなし、除去します。そのため、ビデオ・データに対する効果はより顕著になります。値を小さくすると、小さい遷移だけがノイズとみなされて除去されます。

表46. DNR_TH[7:0]の機能

設定	説明
0x08（デフォルト値）	ノイズとみなされる輝度信号の最大エッジに対するスレッシュヨールド

PEAKING_GAIN[7:0]（輝度信号ピーキング・ゲイン）、アドレス0xFB [7:0]

このフィルタはマニュアルでイネーブルにできます。これを使用して3MHzを中心とするYスペクトルの中間領域を増幅または減衰することができます。ピーキング・フィルタは、画質を改善できるように、3MHz周辺の周波数成分を含む画像のディテールの詳細な定義を示します。このレジスタのデフォルト値を使用すると、輝度信号データはそのままフィルタを通過します。小さな値を指定すると信号は減衰され、大きな値を指定すると輝度信号は増幅されます。図28はフィルタ応答のプロットを示しています。

表47. PEAKING_GAIN[7:0]の機能

設定	説明
0x40（デフォルト値）	0dB応答

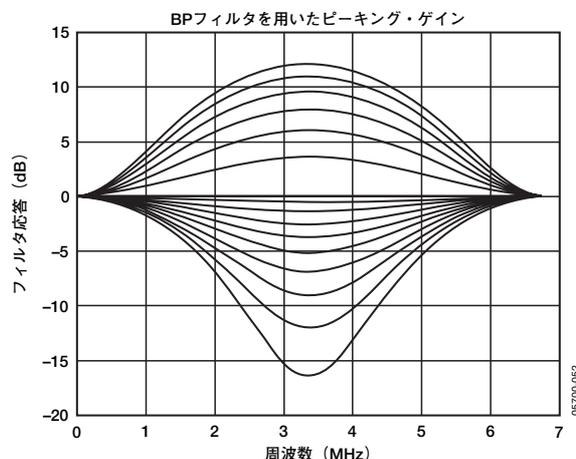


図28. ピーキング・フィルタ応答

DNR_TH2[7:0]（DNRノイズ・スレッシュヨールド2）、アドレス0xFC [7:0]

DNR2ブロックは輝度信号ピーキング・ブロックの後に配置されるため、増幅された輝度信号に対して作用します。DNR1ブロックと同じように動作しますが、このブロックには独立したスレッシュヨールド制御レジスタDNR_TH2[7:0]があります。この値は符号なしの8ビット数値であり、ノイズとみなされて輝度信号データから除去される最大エッジを決定する際に使われます。DNR_TH2[7:0]の値を大きくすると、DNRブロックは大きな遷移でもノイズとみなし、除去します。そのため、ビデオ・データに対する効果はより顕著になります。値を小さくすると、小さい遷移だけがノイズとみなされて除去されます。

表48. DNR_TH2[7:0]の機能

設定	説明
0x40（デフォルト値）	ノイズとみなされる輝度信号の最大エッジに対するスレッシュヨールド

ADV7180

コムフィルタ（くし形フィルタ）

ADV7180のコムフィルタは、すべてのタイプ、標準、品質レベルのビデオを自動的に処理するように大幅に改善されています。NTSC設定レジスタとPAL設定レジスタを使用し、どちらのビデオ標準を検出するか（自動検出）または選択するか（マニュアル設定）に応じて、コムフィルタの動作をカスタマイズできます。ここに記載したビットのほかに、内部用のコントロール・ビット（アナログ・デバイセズ独自のアルゴリズムに基づく）もあります。詳細はアナログ・デバイセズのフィールド・エンジニアにお問い合わせください。

NTSCコムフィルタの設定

NTSC-M/J CVBS入力に使用します。

NSFSEL[1:0]（スプリット・フィルタ選択NTSC）、アドレス0x19 [3:2]

NSFSEL[1:0]コントロールは、信号の全帯域幅のうちどの程度の幅をコムフィルタに入力するかを選択します。狭帯域スプリット・フィルタを選択すると、斜めの線に対する性能が改善されますが、最終出力画像にドット・クロール（垂直方向の色信号の流れ）が多く残ります。広帯域スプリット・フィルタを選択すると、逆の結果になります。

表49. NSFSELの機能

NSFSEL[1:0]	説明
00（デフォルト値）	狭帯域
01	中帯域
10	中帯域
11	広帯域

CTAPSN[1:0]（色信号コムタップNTSC）、アドレス0x38 [7:6]

表50. CTAPSNの機能

CTAPSN[1:0]	説明
00	使用不可
01	NTSC色信号コムが3ライン（3タップ）を2ライン（2タップ）に適應させる
10（デフォルト値）	NTSC色信号コムが5ライン（5タップ）を3ライン（3タップ）に適應させる
11	NTSC色信号コムが5ライン（5タップ）を4ライン（4タップ）に適應させる

CCMN[2:0]（色信号コムモードNTSC）、アドレス0x38 [5:3]

表51. CCMNの機能

CCMN[2:0]	説明	設定
0xx（デフォルト値）	アダプティブ・コムモード	CTAPSN=01に対してアダプティブ3ライン色信号コム CTAPSN=10に対してアダプティブ4ライン色信号コム CTAPSN=11に対してアダプティブ5ライン色信号コム
100	色信号コムをディスエーブル	
101	固定色信号コム（ライン・メモリの最上ライン）	CTAPSN=01に対して固定2ライン色信号コム CTAPSN=10に対して固定3ライン色信号コム CTAPSN=11に対して固定4ライン色信号コム
110	固定色信号コム（ライン・メモリの全ライン）	CTAPSN=01に対して固定3ライン色信号コム CTAPSN=10に対して固定4ライン色信号コム CTAPSN=11に対して固定5ライン色信号コム
111	固定色信号コム（ライン・メモリの最下ライン）	CTAPSN=01に対して固定2ライン色信号コム CTAPSN=10に対して固定3ライン色信号コム CTAPSN=11に対して固定4ライン色信号コム

YCMN[2:0] (輝度信号コムモードNTSC)、アドレス0x38 [2:0]

表52. YCMNの機能

YCMN[2:0]	説明	設定
0xx (デフォルト値)	アダプティブ・コムモード	アダプティブ3ライン (3タップ) 輝度信号コム
100	輝度信号コムをディスエーブル	ローパス/ノッチ・フィルタを使用。「Yシェイピング・フィルタ」を参照。
101	固定輝度信号コム (ライン・メモリの最上ライン)	固定2ライン (2タップ) 輝度信号コム
110	固定輝度信号コム (ライン・メモリの全ライン)	固定3ライン (3タップ) 輝度信号コム
111	固定輝度信号コム (ライン・メモリの最下ライン)	固定2ライン (2タップ) 輝度信号コム

PALコムフィルタの設定

PAL B/G/H/I/D、PAL M、PALコンビネーションN、PAL 60、NTSC4.43CVBS入力に使用します。

PSFSEL[1:0] (スプリット・フィルタ選択PAL)、アドレス0x19 [1:0]

PSFSEL[1:0]コントロールは、信号の全帯域幅のうちどの程度の幅をコムに入力するかを選択します。広帯域スプリット・フィルタを選択すると、ドット・クロールは除去されますが、斜めの線が不完全に見えます。狭帯域幅スプリット・フィルタを選択すると、逆の結果になります。

表53. PSFSELの機能

PSFSEL[1:0]	説明
00	狭帯域
01 (デフォルト値)	中帯域
10	広帯域
11	最広帯域

CTAPSP[1:0] (色信号コムタップPAL)、アドレス0x39 [7:6]

表54. CTAPSPの機能

CTAPSP[1:0]	説明
00	使用不可
01	PAL色信号コムが5ライン (3タップ) を3ライン (2タップ) に適応させる。輝度信号のみの混入を相殺。
10	PAL色信号コムが5ライン (5タップ) を3ライン (3タップ) に適応させる。輝度信号の混入を相殺し、色相誤差を少し改善。
11 (デフォルト値)	PAL色信号コムが5ライン (5タップ) を4ライン (4タップ) に適応させる。輝度信号の混入を相殺し、色相誤差を改善。

CCMP[2:0] (色信号コムモードPAL)、アドレス0x39 [5:3]

表55. CCMPの機能

CCMP[2:0]	説明	設定
0xx (デフォルト値)	アダプティブ・コムモード	CTAPSP=01に対してアダプティブ3ライン色信号コム CTAPSP=10に対してアダプティブ4ライン色信号コム CTAPSP=11に対してアダプティブ5ライン色信号コム
100	色信号コムをディスエーブル	
101	固定色信号コム (ライン・メモリの最上ライン)	CTAPSP=01に対して固定2ライン色信号コム CTAPSP=10に対して固定3ライン色信号コム CTAPSP=11に対して固定4ライン色信号コム
110	固定色信号コム (ライン・メモリの全ライン)	CTAPSP=01に対して固定3ライン色信号コム CTAPSP=10に対して固定4ライン色信号コム CTAPSP=11に対して固定5ライン色信号コム
111	固定色信号コム (ライン・メモリの最下ライン)	CTAPSP=01に対して固定2ライン色信号コム CTAPSP=10に対して固定3ライン色信号コム CTAPSP=11に対して固定4ライン色信号コム

YCMP[2:0] (輝度信号コムモードPAL)、アドレス0x39 [2:0]

表56. YCMPの機能

YCMP[2:0]	説明	設定
0xx (デフォルト値)	アダプティブ・コムモード	アダプティブ5ライン (3タップ) 輝度信号コム
100	輝度信号コムをディスエーブル	ローパス/ノッチ・フィルタを使用。「Yシェイピング・フィルタ」を参照。
101	固定輝度信号コム (ライン・メモリの最上ライン)	固定3ライン (2タップ) 輝度信号コム
110	固定輝度信号コム (ライン・メモリの全ライン)	固定5ライン (3タップ) 輝度信号コム
111	固定輝度信号コム (ライン・メモリの最下ライン)	固定3ライン (2タップ) 輝度信号コム

IFフィルタ補償

IFFILTSEL[2:0] (IFフィルタ選択)、アドレス0xF8 [2:0] IFFILTSEL[2:0]レジスタを使用し、チューナ出力のときと同じように、コンポジット入力におけるSAWフィルタの特性を補償できます。図29および図30に、NTSCおよびPALのIFフィルタ補償を示します。

この機能のオプションは以下のとおりです。

- バイパス・モード
- NTSC—3つのフィルタ特性から構成
- PAL—3つのフィルタ特性から構成

プログラミングの詳細は表103を参照してください。

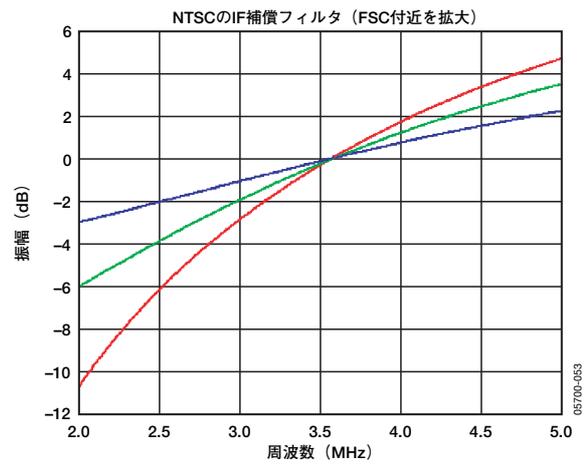


図29. NTSC IFフィルタ補償

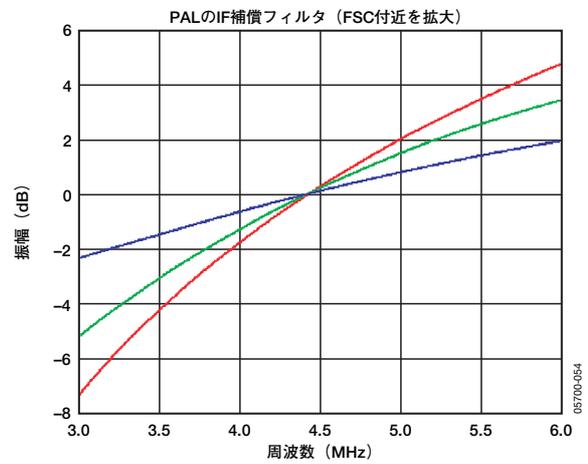


図30. PAL IFフィルタ補償

AVコードの挿入と制御

ここでは、次の項目に影響を与えるI²Cベースの制御について説明します。

- AVコードのデータ・ストリームへの挿入
- 垂直ブランク・インターバル (VBI) でのデータ・ブランキング
- 出力データ・ストリームの許容データ値の範囲
- 輝度信号と色信号との相対遅延

デコードされたVBIデータの一部が、水平ブランク・インターバルで挿入されることに注意してください。詳細は「Gemstarデータ再生」を参照してください。

BT.656-4 (ITU-R BT.656-4イネーブル)、アドレス0x04 [7] ITUはITU-R BT.656標準のリビジョン3とリビジョン4の間で、NTSCのSAV EAVコード内におけるVビットのトグル位置を変更しました。ITU-R BT.656-4標準ビットを使用し、前の標準または新しい標準に準拠する出力モードを選択できます。詳細はITU (国際電気通信連合) のWebサイトを参照してください。

標準の変更はNTSCのみに影響があり、PALには影響しません。

ITU-R BT.656-4が0 (デフォルト値) のとき、ITU-R BT.656-3仕様が使用されます。ライン10とライン273のEAVでVビットがローレベルになります。

ITU-R BT.656-4が1のとき、ITU-R BT.656-4仕様で使用されます。ライン20とライン283のEAVでVビットがローレベルになります。

SD_DUP_AV (複製AVコード) アドレス0x03 [0] 出力インターフェース幅に応じて、輝度信号バスから色信号バスへAVコードを複製することが必要になります。

8ビット幅の出力インターフェース (Cb/Y/Cr/Yインターリーブ・データ) では、AVコードはFF/00/00/AVとして定義され、AVがH/V/Fの情報を格納する送信ワードになります。

この出力インターフェース・モードでは、Cb=FF、Y=00、Cr=00、Y=AVの割当てが行われます。

YとCr/Cbが別々のデータ・バスで送られる16ビット出力インターフェース (ADV7180 LQFP-64のみ) では、AVコードは全16ビットを使用します。SD_DUP_AVビットは、両方のバスでAVコードを複製できるため、YバスとCr/CbバスにAVシーケンス全体を乗せることができます (図31を参照)。

SD_DUP_AVが0 (デフォルト) のとき、AVコードは (8ビット・インターリーブ・データ出力に合わせて) シングルとなります。

SD_DUP_AVが1のとき、AVコードは (16ビット・インターフェース用に) 複製されます。

VBI_EN (垂直ブランキング・インターバル・データ・イネーブル)、アドレス0x03 [7]

VBIイネーブル・ビットを使用すると、インターキャスト・データやクロズド・キャプション・データなどのデータがフィルタリングの影響をなるべく受けない状態で、デコーダの輝度信号チャンネルを通過できます。ライン1~21のすべてのデータが通過して出力ポートに現れます。ADV7180は輝度信号データをブランクにせず、自動的に輝度信号データ・バス上のすべてのフィルタを、その最も広い帯域幅へ切り替えます。アクティブ・ビデオに対しては、YSHとYPKに対するフィルタ設定が使用されます。

色信号バスについては、「BL_C_VBI (VBI内の色ブランク)、アドレス0x04 [2]」を参照してください。

VBI_ENが0 (デフォルト値) のとき、すべてのビデオ・ラインはフィルタリング/スケーリングされます。

VBI_ENが1のとき、アクティブ・ビデオ領域のみフィルタリング/スケーリングされます。

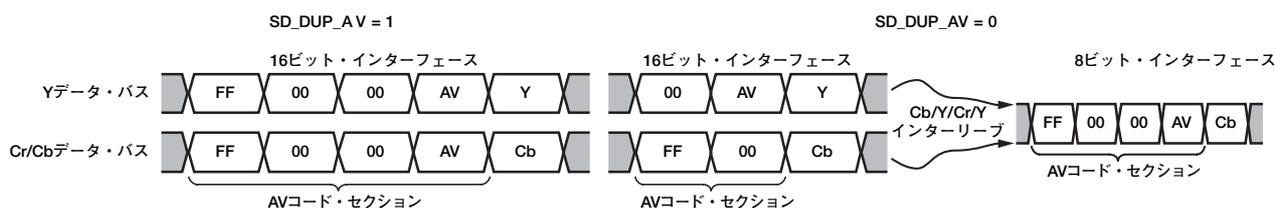


図31. AVコード複製の制御 (ADV7180 LQFP-64のみ)

05700-027

ADV7180

BL_C_VBI (VBI内の色ブランク)、アドレス0x04 [2]

BL_C_VBIをハイレベルに設定すると、すべてのVBIラインのCr値とCb値がブランクになります。これは、VBI内のすべてのデータをカラーとしてデコードせずにCrとCbを使って出力するために行います。その結果、VBIラインをデコーダに送信して歪みなしでエンコーダ経由で再出力できるようになります。このブランキングがないと、誤ってデコードされたカラーがビデオ・エンコーダでエンコードされてしまうため、VBIラインに歪みが生じます。

BL_C_VBIを0に設定すると、VBI内でカラーをデコードして出力します。

BL_C_VBIを1 (デフォルト値) に設定すると、VBI内でCr値とCb値をブランクにします。

RANGE (範囲の選択)、アドレス0x04 [0]

AVコード (ITU-R BT.656、以前のCCIR-656に準拠) は、値0xFFと値0x00で構成される固定ヘッダです。この2つの値は使用されているため、アクティブ・ビデオには使用できません。さらに、ITUはビデオの公称範囲を輝度信号に対して値16~235に、色信号に対して値16~240に制限することも規定しています。

RANGEビットは、ADV7180の出力値の範囲を推奨範囲に制限できます。どのような場合でも、予備の値の255d (0xFF) と00d (0x00) は、AVコード・ヘッダに含まれていない限り、出力ピンには出力されないようになっています。

表57. RANGEの機能

RANGE	説明	
0	$16 \leq Y \leq 235$	$16 \leq C/P \leq 240$
1 (デフォルト値)	$1 \leq Y \leq 254$	$1 \leq C/P \leq 254$

AUTO_PDC_EN (自動設定遅延制御)、アドレス0x27 [6]

AUTO_PDC_EN機能をイネーブルにすると、全動作モードで色信号データと輝度信号データの遅延が一致するように、LTA[1:0]とCTA[2:0]を自動的に設定する機能がADV7180内で起動されます。これが設定されていると、マニュアル・レジスタLTA[1:0]とCTA[2:0]は使用されません。自動モードがディスエーブルになると (AUTO_PDC_ENビットに0を設定)、LTA[1:0]レジスタとCTA[2:0]レジスタに書き込まれた値がアクティブになります。

AUTO_PDC_ENが0のとき、ADV7180は輝度信号サンプルと色信号サンプルの遅延にLTA[1:0]値とCTA[2:0]値を使用します。「LTA[1:0] (輝度信号タイミング調節)、アドレス0x27 [1:0]」と「CTA[2:0] (色信号タイミング調節)、アドレス0x27 [5:3]」を参照してください。

AUTO_PDC_ENが1 (デフォルト値) のとき、ADV7180は自動的にLTA値とCTA値を決定し、輝度信号と色信号を出力で一致させます。

LTA[1:0] (輝度信号タイミング調節)、アドレス0x27 [1:0]

輝度信号タイミング調節レジスタを使用し、色信号サンプルと輝度信号サンプルとの間のタイミング差を指定できます。

なお、機能的にCTA[2:0]レジスタと重複するところがあります。マニュアル設定については、次のデフォルト値を使用してください。

- CVBS入力LTA[1:0]=00

- YC入力LTA[1:0]=01

- YPrPb入力LTA[1:0]=01

表58. LTAの機能

LTA[1:0]	説明
00 (デフォルト値)	遅延なし
01	輝度信号を1クロック (37ns) 遅延
10	輝度信号を2クロック (74ns) 前進
11	輝度信号を1クロック (37ns) 前進

CTA[2:0] (色信号タイミング調節)、アドレス0x27 [5:3]

色信号タイミング調節レジスタを使用し、色信号サンプルと輝度信号サンプルとの間のタイミング差を指定できます。このレジスタは、輝度信号バスと色信号バスとの間での外部フィルタのグループ遅延差を補償し、ビデオ・ダウンストリーム処理中のさまざまな値のパイプライン遅延を可能にします。この機能は、LTA[1:0]レジスタの説明と合わせて読み直してください。

色信号の遅延/前進は色信号のピクセル・ステップでのみ可能です。色信号の1ピクセル・ステップは輝度信号の2ピクセルに該当します。プログラマブルな遅延は復調後に行われますが、ここでは輝度信号ピクセル・ステップでの遅延はできなくなります。

マニュアル設定については、次のデフォルト値を使用してください。

- CVBS入力CTA[2:0]=011

- Y/C入力CTA[2:0]=101

- YPrPb入力CTA[2:0]=110

表59. CTAの機能

CTA[2:0]	説明
000	未使用
001	色信号+2色信号ピクセル (前進)
010	色信号+1色信号ピクセル (前進)
011 (デフォルト値)	遅延なし
100	色信号-1色信号ピクセル (遅延)
101	色信号-2色信号ピクセル (遅延)
110	色信号-3色信号ピクセル (遅延)
111	未使用

同期出力信号

HSの設定

次の制御機能を使用し、HS出力ピンのみ動作を設定できます。

- HSB[10:0]によりHS信号の開始を設定
- HSE[10:0]によりHS信号の終了を設定
- PHSによりHSの極性を設定

HS開始レジスタ (HSB) とHS終了レジスタ (HSE) を使用し、ビデオ・ライン内でHS出力 (ピン) の位置を自由に設定することができます。HSB[10:0]とHSE[10:0]の値は、HSの立下がりエッジからのピクセル数で表します。両方の値を使えば、HS出力信号の位置と長さの両方を設定できます。

HSB[10:0] (HS開始)、アドレス0x34 [6:4]、アドレス0x35 [7:0]

このエッジの位置は、バイナリ値をHSB[10:0]に書き込むことで制御します。この値は、EAVコードFF,00,00,XYの直後に0にリセットされる内部カウンタに対して、エッジをオフセットします (図32)。HSBは00000000010bに設定されます。これはカウント[0]からLLC1クロックで2サイクルの位置です。

HSB[10:0]のデフォルト値は0x002で、HSパルスがHSの立下がりエッジから2ピクセル後に開始されることを表します。

HSE[10:0] (HS終了)、アドレス0x34 [2:0]、アドレス0x36 [7:0]

このエッジの位置は、バイナリ値をHSE[10:0]に書き込むことで制御します。この値は、EAVコードFF,00,00,XYの直後に0にリセットされる内部カウンタに対して、エッジをオフセットします (図32)。HSEは00000000000bに設定されます。これはカウント[0]からLLC1クロックで0サイクルの位置です。

HSE[10:0]のデフォルト値は000で、HSパルスがHSの立下がりエッジから0ピクセル後に終わることを表します。

例

- HSをアクティブ・ビデオ側に20LLC1分シフトさせるときは、HSBとHSEの両方に20LLC1を加算します。すなわち、HSB[10:0]=[00000010110]、HSE[10:0]=[00000010100]。
- HSをアクティブ・ビデオの反対側に20LLC1分シフトさせるときは、HSBとHSEの両方に1696LLC1を加算します (NTSCの場合)。すなわち、HSB[10:0]=[110101000010]、HSE[10:0]=[110101000000]。1696は、NTSCのピクセル合計数=1716から求めた値です。
- アクティブ・ビデオと反対側に20LLC1分移動するとき、1716から20を減算して、その値のバイナリ値をHSB[10:0]とHSE[10:0]の両方に加算します。

PHS (極性HS)、アドレス0x37 [7]

HSピンの極性は、PHSビットを使って反転できます。

PHSが0 (デフォルト値) のとき、HSはアクティブ・ハイになります。

PHSが1のとき、HSはアクティブ・ローになります。

表60. HSのタイミング・パラメータ (図32を参照)

標準	特性				
	HS開始調節 (HSB[10:0]) (デフォルト)	HS終了調節 (HSE[10:0]) (デフォルト)	HSからアクティブ・ビデオまで (LLC1 クロック・サイクル数) (図32のC) (デフォルト)	アクティブ・ビデオの1ライン当たりのサンプル数 (図32のD)	合計LLC1 クロック・サイクル数 (図32のE)
NTSC	00000000010b	00000000000b	272	720Y+720C=1440	1716
NTSC平方ピクセル	00000000010b	00000000000b	276	640Y+640C=1280	1560
PAL	00000000010b	00000000000b	284	720Y+720C=1440	1728

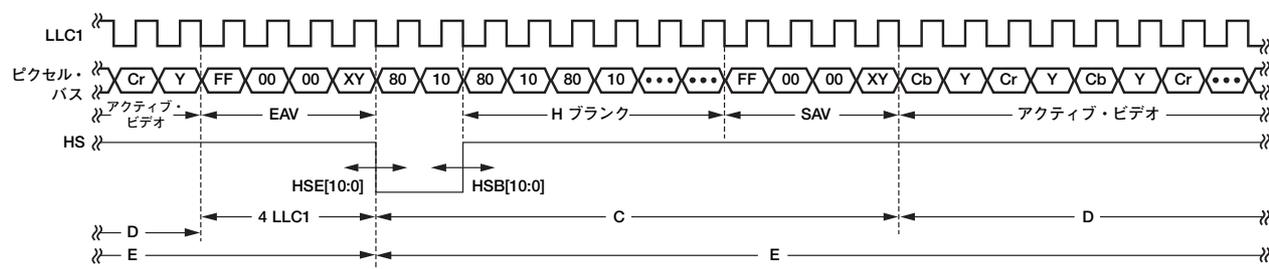


図32. HSタイミング

05700-028

ADV7180

VSとFIELDの設定

次の制御機能により、VS出力ピンとFIELD出力ピンの動作を設定し、埋込みAVコードを生成できます。

ADV7180 LQFP-64はVSピンとFIELDピンを別々に備えています。ADV7180 LFCSP-40はこの2つのピンはありませんが、37番ピン (VS/FIELD) でVS、FIELDのいずれかを出力できます。

VSYNC/FIELD SELECT、アドレス0x58 [0]

この機能は、ADV7180 LFCSP-40 (ADV7180BCPZ) でのみ使用できます。このビットの極性でVS/FIELDピンに現れる信号が決まります。

このビットが0 (デフォルト値) のとき、FIELD信号が出力されます。

このビットが1のとき、VSYNC信号が出力されます。

ADV7180 LQFP-64 (ADV7180BSTZ) には、専用のVSYNCピンとFIELDピンがあります。

NEWAVMODEにより以下のADVエンコーダ互換信号を設定：

- PVS、PF
- HVSTIM
- VSBHO、VSBHE
- VSEHO、VSEHE

NTSCの制御：

- NVBEGDELO、NVBEGDELE、NVBEGSIGN、NVBEG[4:0]
- NVENDDELO、NVENDDELE、NVENDSIGN、NVEND[4:0]
- NFTOGDELO、NFTOGDELE、NFTOGSIGN、NFTOG[4:0]

PALの制御：

- PVBEGDELO、PVBEGDELE、PVBEGSIGN、PVBEG[4:0]
- PVENDDELO、PVENDDELE、PVENDSIGN、PVEND[4:0]
- PFTOGDELO、PFTOGDELE、PFTOGSIGN、PFTOG[4:0]

NEWAVMODE (新AVモード)、アドレス0x31 [4]

NEWAVMODEが0のとき、アナログ・デバイセズのエンコーダに適合するEAV/SAVコードが発生します。調整はできません。

NEWAVMODEが1 (デフォルト値) のとき、0x34~0x37と0xE5~0xEAの各レジスタを使用して、VSYNC、FIELD、AVコードのマニュアル位置設定をイネーブルにできます。デフォルトのレジスタ設定はCCIR656に準拠します。NTSCについては図33を、PALについては図38を参照してください。推奨するマニュアル・ユーザ設定については、NTSC関連の表61と図34を、PAL関連の表62と図39を参照してください。

HVSTIM (水平VSタイミング)、アドレス0x31 [3]

HVSTIMビットを使用し、VS信号をビデオ・ライン内でアサートする位置を選択できます。HSがローレベルのときに、VSをローレベルにするように要求するインターフェース回路もあります。

HVSTIMが0 (デフォルト値) のとき、ラインの開始はHSEを基準とします。

HVSTIMが1のとき、ラインの開始はHSBを基準とします。

VSBHO (VS開始水平位置、奇数)、アドレス0x32 [7]

VSBHOビットとVSBHEビットは、VSピン (AVコード内のビットではない) がアクティブになるライン内の位置を選択します。エンコーダによっては、HSがハイレベル/ローレベルのときに、VSピンの状態変更だけを要求するものもあります。

VSBHOが0 (デフォルト値) のとき、ビデオ・ラインの途中でVSピンがハイレベルになります (奇数フィールド)。

VSBHOが1のとき、ラインの開始点でVSピンが状態を変えます (奇数フィールド)。

VSBHE (VS開始水平位置、偶数)、アドレス0x32 [6]

VSBHOビットとVSBHEビットは、VSピン (AVコード内のビットではない) がアクティブになるライン内の位置を選択します。エンコーダによっては、HSがハイレベル/ローレベルのときに、VSピンの状態変更だけを要求するものもあります。

VSBHEが0 (デフォルト値) のとき、ビデオ・ラインの途中でVSピンがハイレベルになります (偶数フィールド)。

VSBHEが1のとき、ラインの開始点でVSピンが状態を変えます (偶数フィールド)。

VSEHO (VS終了水平位置、奇数)、アドレス0x33 [7]

VSEHOビットとVSEHEビットは、VSピン (AVコード内のビットではない) がアクティブになるライン内の位置を選択します。エンコーダによっては、HSがハイレベル/ローレベルのときに、VSピンの状態変更だけを要求するものもあります。

VSEHOが0 (デフォルト値) のとき、ビデオ・ラインの途中でVSピンがローレベル (非アクティブ) になります (奇数フィールド)。

VSEHOが1のとき、ラインの開始点でVSピンが状態を変えます (奇数フィールド)。

VSEHE (VS終了水平位置、偶数)、アドレス0x33 [6]

VSEHOビットとVSEHEビットは、VSピン (AVコード内のビットではない) がアクティブになるライン内の位置を選択します。エンコーダによっては、HSがハイレベル/ローレベルのときに、VSピンの状態変更だけを要求するものもあります。

VSEHEが0 (デフォルト値) のとき、ビデオ・ラインの途中でVSピンがローレベル (非アクティブ) になります (偶数フィールド)。

VSEHEが1のとき、ラインの開始点でVSピンが状態を変えます (偶数フィールド)。

PVS (極性VS)、アドレス0x37 [5]

VSピンの極性は、PVSビットを使って反転できます。

PVSが0 (デフォルト値) のとき、VSはアクティブ・ハイになります。

PVSが1のとき、VSはアクティブ・ローになります。

PF (極性FIELD)、アドレス0x37 [3]

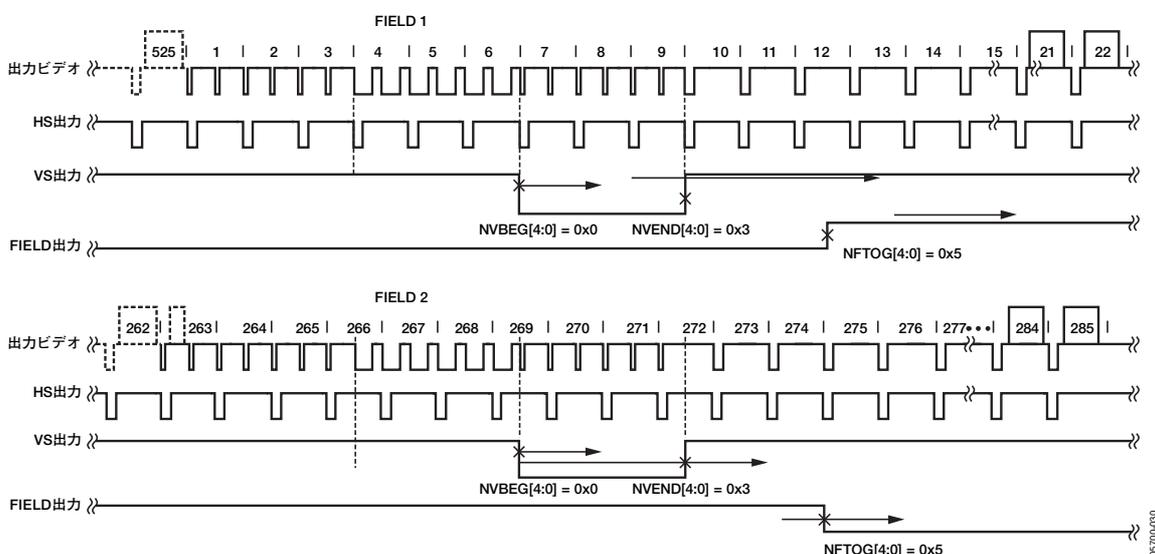
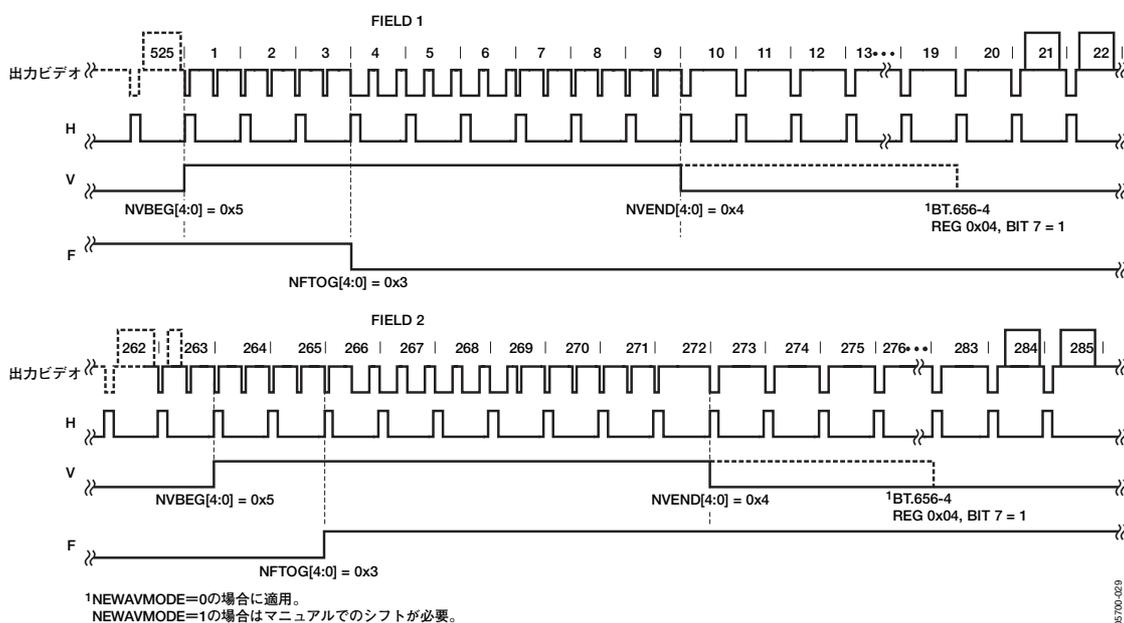
FIELDピンの極性は、PFビットを使って反転できます。

PFが0 (デフォルト値) のとき、FIELDはアクティブ・ハイになります。

PFが1のとき、FIELDはアクティブ・ローになります。

表61. NTSCに対する推奨ユーザ設定 (図34を参照)

レジスタ	レジスタ名	書込み
0x31	VS/FIELDコントロール1	0x1A
0x32	VS/FIELDコントロール2	0x81
0x33	VS/FIELDコントロール3	0x84
0x34	HS位置コントロール1	0x00
0x35	HS位置コントロール2	0x00
0x36	HS位置コントロール3	0x7D
0x37	極性	0xA1
0xE5	NTSV Vビット開始	0x41
0xE6	NTSC Vビット終了	0x84
0xE7	NTSC Vビット・トグル	0x06



ADV7180

NVBEGDELO (NTSC VSYNC開始の遅延、奇数フィールド)、アドレス0xE5 [7]

NVBEGDELOが0 (デフォルト値) のとき、遅延はありません。

NVBEGDELOを1に設定すると、奇数フィールドでVSYNCがハイレベルになるのを、NVBEGに対して1ライン遅らせます。

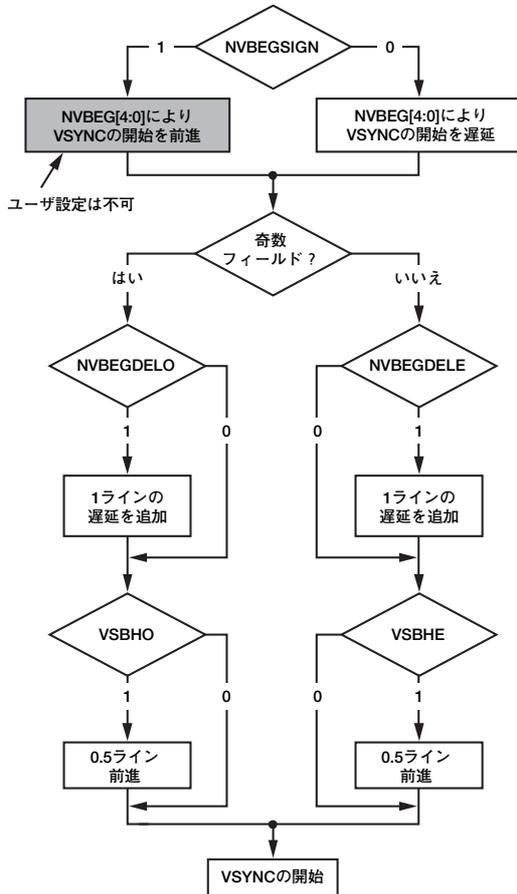


図35. NTSC VSYNCの開始

NVBEGDELE (NTSC VSYNC開始の遅延、偶数フィールド)、アドレス0xE5 [6]

NVBEGDELEが0 (デフォルト値) のとき、遅延はありません。

NVBEGDELEを1に設定すると、偶数フィールドでVSYNCがハイレベルになるのを、NVBEGに対して1ライン遅らせます。

NVBEGSIGN (NTSC VSYNC開始サイン)、アドレス0xE5 [5]

NVBEGSIGNを0に設定すると、VSYNCの開始を遅らせます。ユーザによるマニュアル設定です。

NVBEGSIGNを1 (デフォルト値) に設定すると、VSYNCの開始を前進させます。ユーザ設定は推奨できません。

NVBEG[4:0] (NTSC VSYNC開始)、アドレス0xE5 [4:0]

NVBEGのデフォルト値は00101で、NTSC VSYNCの開始位置を表します。

すべてのNTSC/PAL VSYNCタイミング制御で、AVコード内のVビットとVSピン上のVSYNCの両方が変更されます。

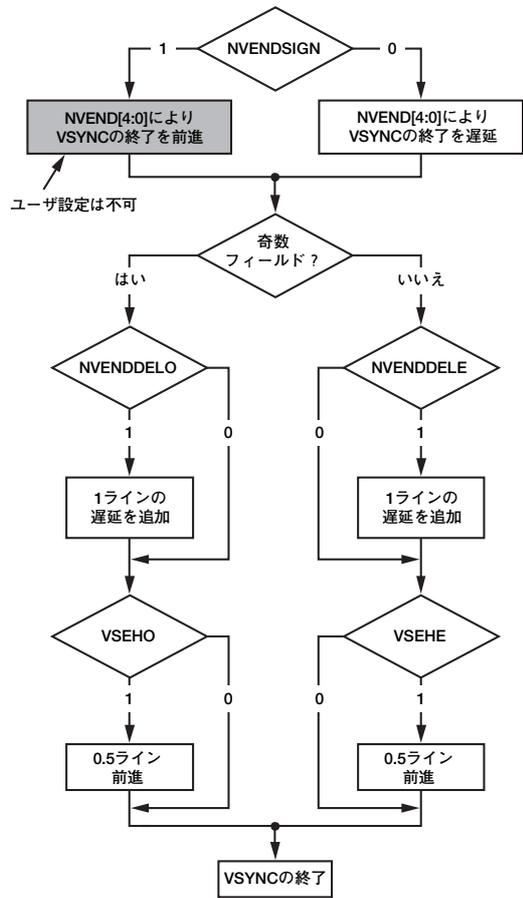


図36. NTSC VSYNCの終了

NVENDDDELO (NTSC VSYNC終了遅延、奇数フィールド)、アドレス0xE6 [7]

NVENDDDELOが0 (デフォルト値) のとき、遅延はありません。

NVENDDDELOを1に設定すると、奇数フィールドでVSYNCがローレベルになるのを、NVENDに対して1ライン遅らせます。

NVENDDDELE (NTSC VSYNC終了遅延、偶数フィールド)、アドレス0xE6 [6]

NVENDDDELEが0 (デフォルト値) のとき、遅延はありません。

NVENDDDELEを1に設定すると、偶数フィールドでVSYNCがローレベルになるのを、NVENDに対して1ライン遅らせます。

NVENDSIGN (NTSC VSYNC終了サイン)、アドレス0xE6 [5]

NVENDSIGNを0 (デフォルト値) に設定すると、VSYNCの終了を遅らせます。ユーザによるマニュアル設定です。

NVENDSIGNを1に設定すると、VSYNCの終了を前進させます。ユーザ設定は推奨できません。

NVEND[4:0] (NTSC VSYNC終了)、アドレス0xE6 [4:0]
 NVENDのデフォルト値は00100で、NTSC VSYNCの終了位置を表します。

すべてのNTSC/PAL VSYNCタイミング制御で、AVコード内のVビットとVSピン上のVSYNCの両方が変更されます。

NFTOGDELO (NTSCフィールド・トグル遅延、奇数フィールド)、アドレス0xE7 [7]

NFTOGDELOが0 (デフォルト値) のとき、遅延はありません。

NFTOGDELOを1に設定すると、奇数フィールドでフィールド・トグル/遷移を、NFTOGに対して1ライン遅らせます。

NFTOGDELE (NTSCフィールド・トグル遅延、偶数フィールド)、アドレス0xE7 [6]

NFTOGDELEを0に設定すると、遅延はありません。

NFTOGDELEを1 (デフォルト値) に設定すると、偶数フィールドでフィールド・トグル/遷移を、NFTOGに対して1ライン遅らせます。

NFTOGSIGN (NTSCフィールド・トグル・サイン)、アドレス0xE7 [5]

NFTOGSIGNを0に設定すると、フィールド遷移を遅らせます。ユーザによるマニュアル設定です。

NFTOGSIGNを1 (デフォルト値) に設定すると、フィールド遷移を前進させます。ユーザ設定は推奨できません。

NFTOG[4:0] (NTSCフィールド・トグル)、アドレス0xE7 [4:0]

NFTOGのデフォルト値は00011で、NTSCフィールド・トグル位置を表します。

すべてのNTSC/PALフィールド・タイミング制御で、AVコード内のFビットとFIELD/DEピン上のフィールド信号の両方が変更されます。

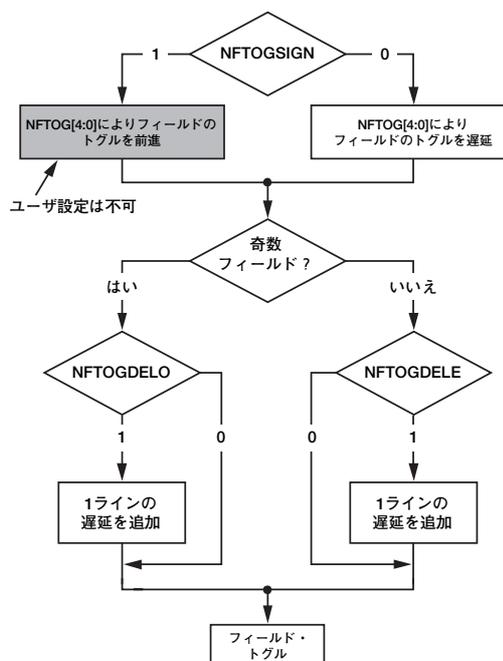


図37. NTSCフィールド・トグル

05700-033

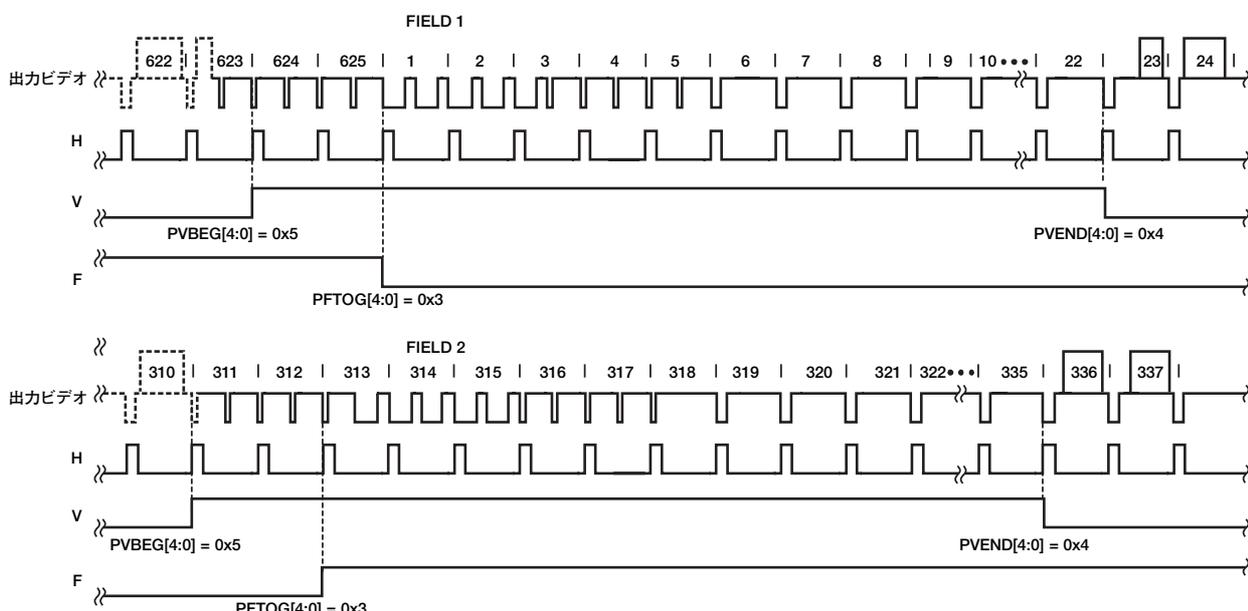


図38. PAL遅延 (ITU-R BT.656。H、V、Fの極性はデータに埋め込まれています)

05700-034

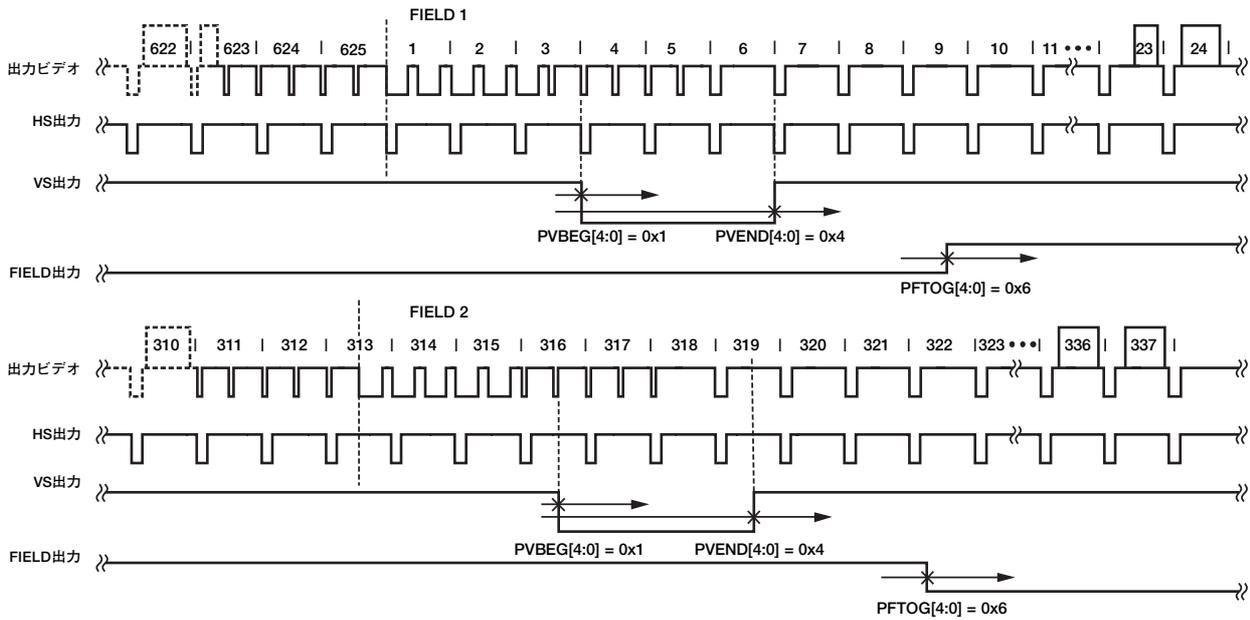


図39. 表62のレジスタ書き込みを使用したPALの代表的なVS/FIELD位置

表62. PALに対するユーザ設定

レジスタ	レジスタ名	書き込み
0x31	VS/FIELDコントロール1	0x1A
0x32	VS/FIELDコントロール2	0x81
0x33	VS/FIELDコントロール3	0x84
0x34	HS位置コントロール1	0x00
0x35	HS位置コントロール2	0x00
0x36	HS位置コントロール3	0x7D
0x37	極性	0xA1
0xE8	PAL Vビット開始	0x41
0xE9	PAL Vビット終了	0x84
0xEA	PAL Fビット・トグル	0x06

PVBEGDELO (PAL VSYNC開始遅延、奇数フィールド)、アドレス0xE8 [7]

PVBEGDELOが0 (デフォルト値) のとき、遅延はありません。

PVBEGDELOを1に設定すると、奇数フィールドでVSYNCがハイレベルになるのを、PVBEGに対して1ライン遅らせます。

PVBEGDELE (PAL VSYNC開始遅延、偶数フィールド)、アドレス0xE8 [6]

PVBEGDELEが0のとき、遅延はありません。

PVBEGDELEを1 (デフォルト値) に設定すると、偶数フィールドでVSYNCがハイレベルになるのを、PVBEGに対して1ライン遅らせます。

PVBEGSIGN (PAL VSYNC開始サイン)、アドレス0xE8 [5]

PVBEGSIGNを0に設定すると、VSYNCの開始を遅らせます。ユーザによるマニュアル設定です。

PVBEGSIGNを1 (デフォルト値) に設定すると、VSYNCの開始を前進させます。ユーザ設定は推奨できません。

PVBEG[4:0] (PAL VSYNC開始)、アドレス0xE8 [4:0]

PVBEGのデフォルト値は00101で、PAL VSYNCの開始位置を表します。すべてのNTSC/PAL VSYNCタイミング制御で、AVコード内のVビットとVSピン上のVSYNCの両方が変更されます。

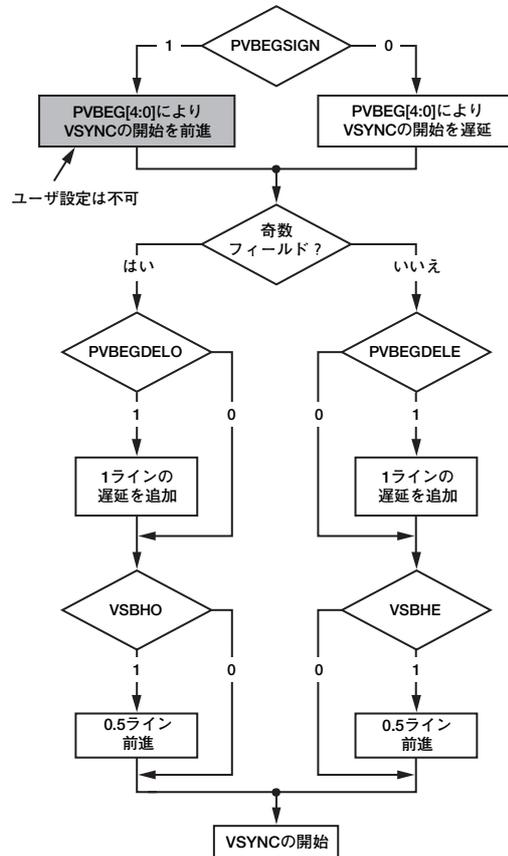


図40. PAL VSYNCの開始

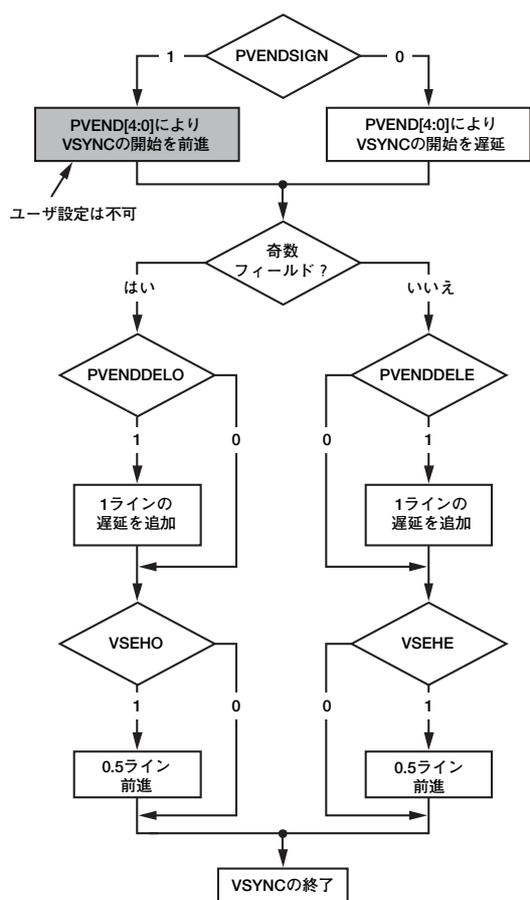


図41. PAL VSYNCの終了

05700-037

PVENDDELO (PAL VSYNC終了遅延、奇数フィールド)、アドレス0xE9 [7]
 PVENDDELOが0 (デフォルト値) のとき、遅延はありません。

PVENDDELOを1に設定すると、奇数フィールドでVSYNCがローレベルになるのを、PVENDに対して1ライン遅らせます。

PVENDDELE (PAL VSYNC終了遅延、偶数フィールド)、アドレス0xE9 [6]
 PVENDDELEが0 (デフォルト値) のとき、遅延はありません。

PVENDDELEを1に設定すると、偶数フィールドでVSYNCがローレベルになるのを、PVENDに対して1ライン遅らせます。

PVENDSIGN (PAL VSYNC終了サイン)、アドレス0xE9 [5]
 PVENDSIGNを0 (デフォルト値) に設定すると、VSYNCの終了を遅らせます。ユーザによるマニュアル設定です。

PVENDSIGNを1に設定すると、VSYNCの終了を前進させます。ユーザ設定は推奨できません。

PVEND[4:0] (PAL VSYNC終了)、アドレス0xE9 [4:0]
 PVENDのデフォルト値は10100で、PAL VSYNCの終了位置を表します。すべてのNTSC/PAL VSYNCタイミング制御で、AVコード内のVビットとVSピン上のVSYNCの両方が変更されます。

PFTOGDELO (PALフィールド・トグル遅延、奇数フィールド)、アドレス0xEA [7]
 PFTOGDELOが0 (デフォルト値) のとき、遅延はありません。

PFTOGDELOを1に設定すると、奇数フィールドでフィールド・トグル/遷移を、PFTOGに対して1ライン遅らせます。

PFTOGDELE (PALフィールド・トグル遅延、偶数フィールド)、アドレス0xEA [6]
 PFTOGDELEが0のとき、遅延はありません。

PFTOGDELEを1 (デフォルト値) に設定すると、偶数フィールドでフィールド・トグル/遷移を、PFTOGに対して1ライン遅らせます。

PFTOGSIGN (PALフィールド・トグル・サイン)、アドレス0xEA [5]
 PFTOGSIGNを0に設定すると、フィールド遷移を遅らせます。ユーザによるマニュアル設定です。

PFTOGSIGNを1 (デフォルト値) に設定すると、フィールド遷移を前進させます。ユーザ設定は推奨できません。

PFTOG (PALフィールド・トグル)、アドレス0xEA [4:0]
 PFTOGのデフォルト値は00011で、PALフィールド・トグル位置を表します。

すべてのNTSC/PALフィールド・タイミング制御で、AVコード内のFビットとFIELD/DEピン上のフィールド信号の両方が変更されます。

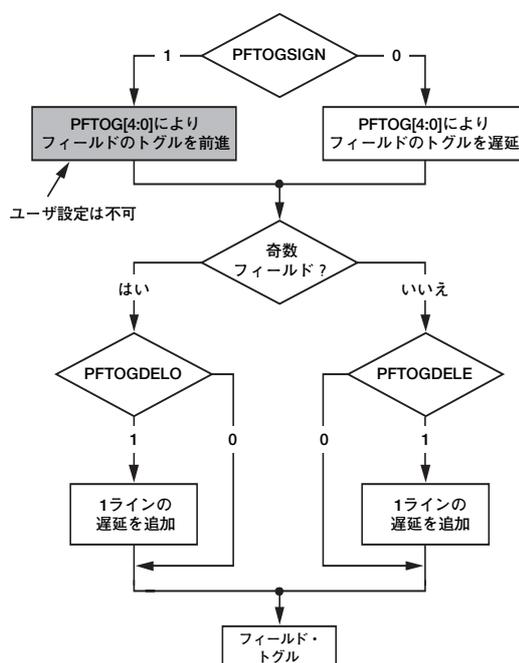


図42. PALフィールド・トグル

05700-038

ADV7180

同期処理

ADV7180には2つの追加同期処理ブロックがあり、デジタル入力ビデオから取り出された原同期情報の後処理を行います。このブロックは、必要に応じて次の2つのICビットを用いてディスエーブルにできます。

ENHSPLL (HSYNCプロセッサのイネーブル)、
アドレス0x01 [6]

HSYNCプロセッサは、ノイズで壊れた入力HSYNCをフィルタ処理するためのもので、タイム・ベースは安定していてもS/N比が悪いビデオ信号の性能を改善します。

ENHSPLLを0に設定すると、HSYNCプロセッサがディスエーブルになります。

ENHSPLLを1 (デフォルト値) に設定すると、HSYNCプロセッサがイネーブルになります。

ENVSPROC (VSYNCプロセッサのイネーブル)、
アドレス0x01 [3]

このブロックでは、検出されたVSYNCの垂直ロック機能を改善するために追加のフィルタ機能を提供します。

ENVSPROCを0に設定すると、VSYNCプロセッサがディスエーブルになります。

ENVSPROCを1 (デフォルト値) に設定すると、VSYNCプロセッサがイネーブルになります。

VBIデータ・デコード

ADV7180には、VBIデータ・プロセッサ (VDP)、VBIシステム2という2つのVBIデータ・スライサがあります。

VDPは低帯域幅標準と高帯域幅標準 (テレテキストなど) の両方をスライスでき、VBIシステム2は低データレートのVBI標準のみをスライスできます。

VDPはSDビデオ上の複数のVBIデータ標準をスライスできます。このプロセッサは、入力のCVBSおよびY/CまたはYUVデータ上のVBIデータをデコードします。デコード結果は、出力の656データ・ストリームにおける補助データとして使用できます。CC/WSS/CGMSのような低データレートのVBI標準の場合は、デコードされたデータ・バイトをICレジスタから読み出すことができます。

表63と表64に、VDPでデコードできるVBIデータ標準を示します。

表63. PAL

機能	標準
テレテキスト・システムA、C、D	ITU-R BT.653
テレテキスト・システムB/WST	ITU-R BT.653
ビデオ・プログラミング・システム (VPS)	ETSI EN 300 231 V 1.3.1
垂直期間タイム・コード (VITC)	—
ワイド・スクリーン・シグナリング (WSS)	ITU-R BT.1119-1/ ETSI EN.300294
クローズド・キャプション (CCAP)	—

表64. NTSC

機能	標準
テレテキスト・システムB、D	ITU-R BT.653
テレテキスト・システムC/NABTS	ITU-R BT.653/ EIA-516
垂直期間タイム・コード (VITC)	—
コピー・ジェネレーション・ マネジメント・システム (CGMS)	EIA-J CPR-1204/ IEC 61880
Gemstar	—
クローズド・キャプション (CCAP)	EIA-608

表65には、入力ビデオの特定のラインでデコードされるデフォルトのVBIデータ (標準) を示しています。デフォルト値はマニュアルで変更できるため、任意のラインの任意のVBIデータをデコードできます。マニュアル設定の詳細は表66を参照してください。

VDPデフォルト設定

VDPは、ライン毎にさまざまなVBIデータ標準をデコードできます。表65には、VBIの各ラインでサポートされるデフォルトの標準を示しています。

VDPマニュアル設定

MAN_LINE_PGM (VBI標準のマニュアル・ライン設定のイネーブル)、アドレス0x64 [7]、ユーザ・サブマップ

マニュアル・ライン設定によりライン単位で各種標準をデコードできるように、VDPを設定することができます。このためには、MAN_LINE_PGMビットを設定する必要があり、すべてのライン設定レジスタVBI_DATA_Px_Nyに書き込む必要があります (表104のレジスタ0x64~0x77を参照)。

0 (デフォルト値)—表65に示すように、VDPはライン対応のデフォルト標準をデコードします。

1—デコードするVBI標準をマニュアルで設定します。

VBI_DATA_Px_Ny[3:0] (PALの場合ラインX、NTSCの場合ラインYでデコードするVBI標準)、アドレス0x64~0x77、ユーザ・サブマップ

ユーザ・サブマップのレジスタ0x64~0x77には関連の4ビット・クラスタがあります。これら4ビットのライン設定レジスタVBI_DATA_Px_Nyでは、ラインX (PALモード) またはラインY (NTSCモード) でデコードするVBIデータ標準を指定します。VBI_DATA_Px_Nyでデコードされる各種VBI標準については、表66を参照してください。X値かY値かは、ADV7180の現在のモードがPALかNTSCかで決まります。

表65. PALラインとNTSCラインのデフォルト標準

PAL—625/50				NTSC—525/60			
ライン番号	デコードするデフォルト VBIデータ	ライン番号	デコードするデフォルト VBIデータ	ライン番号	デコードするデフォルト VBIデータ	ライン番号	デコードするデフォルト VBIデータ
6	WST	318	VPS	23	Gemstar_1×	—	—
7	WST	319	WST	24	Gemstar_1×	286	Gemstar_1×
8	WST	320	WST	25	Gemstar_1×	287	Gemstar_1×
9	WST	321	WST	—	—	288	Gemstar_1×
10	WST	322	WST	—	—	—	—
11	WST	323	WST	—	—	—	—
12	WST	324	WST	10	NABTS	272	NABTS
13	WST	325	WST	11	NABTS	273	NABTS
14	WST	326	WST	12	NABTS	274	NABTS
15	WST	327	WST	13	NABTS	275	NABTS
16	VPS	328	WST	14	VITC	276	NABTS
17	—	329	VPS	15	NABTS	277	VITC
18	—	330	—	16	VITC	278	NABTS
19	VITC	331	—	17	NABTS	279	VITC
20	WST	332	VITC	18	NABTS	280	NABTS
21	WST	333	WST	19	NABTS	281	NABTS
22	CCAP	334	WST	20	CGMS	282	NABTS
23	WSS	335	CCAP	21	CCAP	283	CGMS
24+全奇数フィールド	WST	336	WST	22+全奇数フィールド	NABTS	284	CCAP
		337+全偶数フィールド	WST			285+全偶数フィールド	NABTS

表66. マニュアル設定するVBIデータ標準

VBI_DATA_Px_Ny	625/50—PAL	525/60—NTSC
0000	VDPをディスエーブル	VDPをディスエーブル
0001	VDP_TTXT_TYPEで指定する テレテキスト・システム	VDP_TTXT_TYPEで指定する テレテキスト・システム
0010	VPS — ETSI EN 300 231 V 1.3.1	予備
0011	VITC	VITC
0100	WSS ITU-R BT.1119-1/ETSI.EN.300294	CGMS EIA-J CPR-1204/IEC 61880
0101	予備	Gemstar 1倍
0110	予備	Gemstar 2倍
0111	CCAP	CCAP EIA-608
1000~1111	予備	予備

ADV7180

表67. ラインPx (PAL) とラインNy (NTSC) でデコードするVBIデータ標準

信号名	レジスタの位置	アドレス (10進数)	アドレス (16進数)
VBI_DATA_P6_N23	VDP_LINE_00F[7:4]	101	0x65
VBI_DATA_P7_N24	VDP_LINE_010[7:4]	102	0x66
VBI_DATA_P8_N25	VDP_LINE_011[7:4]	103	0x67
VBI_DATA_P9	VDP_LINE_012[7:4]	104	0x68
VBI_DATA_P10	VDP_LINE_013[7:4]	105	0x69
VBI_DATA_P11	VDP_LINE_014[7:4]	106	0x6A
VBI_DATA_P12_N10	VDP_LINE_015[7:4]	107	0x6B
VBI_DATA_P13_N11	VDP_LINE_016[7:4]	108	0x6C
VBI_DATA_P14_N12	VDP_LINE_017[7:4]	109	0x6D
VBI_DATA_P15_N13	VDP_LINE_018[7:4]	110	0x6E
VBI_DATA_P16_N14	VDP_LINE_019[7:4]	111	0x6F
VBI_DATA_P17_N15	VDP_LINE_01A[7:4]	112	0x70
VBI_DATA_P18_N16	VDP_LINE_01B[7:4]	113	0x71
VBI_DATA_P19_N17	VDP_LINE_01C[7:4]	114	0x72
VBI_DATA_P20_N18	VDP_LINE_01D[7:4]	115	0x73
VBI_DATA_P21_N19	VDP_LINE_01E[7:4]	116	0x74
VBI_DATA_P22_N20	VDP_LINE_01F[7:4]	117	0x75
VBI_DATA_P23_N21	VDP_LINE_020[7:4]	118	0x76
VBI_DATA_P24_N22	VDP_LINE_021[7:4]	119	0x77
VBI_DATA_P318	VDP_LINE_00E[3:0]	100	0x64
VBI_DATA_P319_N286	VDP_LINE_00F[3:0]	101	0x65
VBI_DATA_P320_N287	VDP_LINE_010[3:0]	102	0x66
VBI_DATA_P321_N288	VDP_LINE_011[3:0]	103	0x67
VBI_DATA_P322	VDP_LINE_012[3:0]	104	0x68
VBI_DATA_P323	VDP_LINE_013[3:0]	105	0x69
VBI_DATA_P324_N272	VDP_LINE_014[3:0]	106	0x6A
VBI_DATA_P325_N273	VDP_LINE_015[3:0]	107	0x6B
VBI_DATA_P326_N274	VDP_LINE_016[3:0]	108	0x6C
VBI_DATA_P327_N275	VDP_LINE_017[3:0]	109	0x6D
VBI_DATA_P328_N276	VDP_LINE_018[3:0]	110	0x6E
VBI_DATA_P329_N277	VDP_LINE_019[3:0]	111	0x6F
VBI_DATA_P330_N278	VDP_LINE_01A[3:0]	112	0x70
VBI_DATA_P331_N279	VDP_LINE_01B[3:0]	113	0x71
VBI_DATA_P332_N280	VDP_LINE_01C[3:0]	114	0x72
VBI_DATA_P333_N281	VDP_LINE_01D[3:0]	115	0x73
VBI_DATA_P334_N282	VDP_LINE_01E[3:0]	116	0x74
VBI_DATA_P335_N283	VDP_LINE_01F[3:0]	117	0x75
VBI_DATA_P336_N284	VDP_LINE_020[3:0]	118	0x76
VBI_DATA_P337_N285	VDP_LINE_021[3:0]	119	0x77

任意の標準の全フィールド検出 (VBIライン以外のライン) は、VBI_DATA_P24_N22[3:0]レジスタとVBI_DATA_P337_N285[3:0]レジスタへの書込みでイネーブルにすることもできます。VBI_DATA_P24_N22[3:0]でテレテキスト標準を設定すると、テレテキストが全奇数フィールドでデコードオフ (decoded off) となります。対応する偶数フィールドのレジスタはVBI_DATA_P337_N285[3:0]です。

テレテキスト・システムを識別する場合、VDPはテレテキストがビデオ・チャンネルに存在するものとし、また全テレテキスト・ラインが1つの標準システムに準拠しているものと仮定します。したがって、VBI_DATA_Px_Nyレジスタを使用したライン設定では、ライン内のデータがテレテキストであるかどうかを指定します。実際の標準は、VDP_TTXT_TYPE_MANビットで指定します。VDP_TTXT_TYPE_MANビットを設定するには、VDP_TTXT_TYPE_MAN_ENABLEビットを1に設定する必要があります。

VDP_TTXX_TYPE_MAN_ENABLE (テレテキスト・タイプのマニュアル選択のイネーブル)、アドレス0x60 [2]、ユーザ・サブマップ

0 (デフォルト値)—テレテキスト・タイプの手動設定がディセーブルになります。

1—テレテキスト・タイプの手動設定がイネーブルになります。

VDP_TTXX_TYPE_MAN[1:0] (テレテキスト・タイプの指定)、アドレス0x60 [1:0]、ユーザ・サブマップ

デコードするテレテキスト・タイプをこれらのビットで指定します。この指定は、VDP_TTXX_TYPE_MAN_ENABLEが1に設定されている場合にのみ有効です。

表68. VDP_TTXX_TYPE_MANの機能

VDP_TTXX_TYPE_MAN[1:0]	625/50 (PAL)	525/60 (NTSC)
00 (デフォルト値)	Teletext-ITU-BT. 653-625/50-A	予備
01	Teletext-ITU-BT. 653-625/50-B (WST)	Teletext-ITU-BT. 653-525/60-B
10	Teletext-ITU-BT. 653-625/50-C	Teletext-ITU-BT. 653-525/60-Cまたは EIA516 (NABTS)
11	Teletext-ITU-BT. 653-625/50-D	Teletext-ITU-BT. 653-525/60-D

VDP補助データ出力

VBIデータ標準の場合は、PCを使ってデータを高速データレートで読み出すことはできません (テレテキストの場合など)。これに代わる方法としては、デジタル出力CCIR656ストリームのライン・プランキングにパケットのスライス・データを配置します。これは、VDPモジュールでスライスされる標準すべてに使用できます。

特定のラインでデータがスライスされていると、それに対応する補助データ・パケットが、出力時に発生する次のEAVコードの直後に配置されます (複数のラインからスライスされたデータはバッファされずにバースト出力される)。コムフィルタで垂直遅延が発生するため、パケットが配置されるラインの番号は、データがスライスされるラインの番号とは異なります。

656補助ストリームに対するVDPデコード結果の挿入は、ADF_ENABLEビットを使ってイネーブルまたはディセーブルにすることができます。

ADF_ENABLE (656ストリームの補助データ出力をイネーブル)、アドレス0x62 [7]、ユーザ・サブマップ

0 (デフォルト値)—補助656ストリームへのVBIデコード・データの挿入をディセーブルにします。

1—補助656ストリームへのVBIデコード・データの挿入をイネーブルにします。

次の項で説明するように、ADF_DID[4:0]ビットとADF_SDID[5:0]ビットをそれぞれ設定してデータ識別ワード (DID) とセカンダリ・データ識別ワード (SDID) を選択できます。

ADF_DID[4:0] (補助データのユーザ指定データ識別ワード)、アドレス0x62 [4:0]、ユーザ・サブマップ

このビットを設定して、VDPデコード・データを含む補助データ・ストリームへのデータ識別ワードの挿入を選択します。

ADF_DID[4:0]のデフォルト値は10101です。

ADF_SDID[5:0] (補助データのユーザ指定セカンダリ・データ識別ワード)、アドレス0x63 [5:0]、ユーザ・サブマップ

これらのビットを設定して、VDPデコード・データを含む補助データ・ストリームへのセカンダリ・データ識別ワードの挿入を選択します。

ADF_SDID[5:0]のデフォルト値は101010です。

DUPLICATE_ADF (YバスおよびCバスにおける補助データの複製/拡散のイネーブル)、アドレス0x63 [7]、ユーザ・サブマップ

YバスおよびCバス上で補助データを複製するか、データ・パケットを2つのチャンネル間で拡散させるかをこのビットで指定します。

0 (デフォルト値)—YおよびCデータ・ストリーム上で補助データ・パケットを拡散させます。

1—YおよびCデータ・ストリーム上で補助データ・パケットを複製します。

ADF_MODE[1:0] (補助データ出力モードの指定)、アドレス0x62 [6:5]、ユーザ・サブマップ

これらのビットを設定して、補助データ出力モードをバイト・モードにするかニブル・モードにするか指定します。

表69

ADF_MODE[1:0]	説明
00 (デフォルト値)	ニブル・モード
01	バイト・モード。コード制限なし
10	バイト・モード。ただし、0x00および0xFFは禁止 (0x00は0x01に置換、0xFFは0xFEに置換)
11	予備

ADV7180

補助データ・パケット・シーケンスについては、表70と表71の説明を参照してください。ニブル出力モードは、補助ストリーム出力カインープル時の補助ストリーム出力のデフォルト・モードです。このフォーマットはITU-R BT.1364に準拠しています。

表70と表71では、以下の略号を使用しています。

- EP—ビットB8～B2の偶数パリティ。この場合は、ビットB8～B2内に偶数個の1が存在するように（これにはパリティ・ビットD8も含む）パリティ・ビットのEPを設定します。
- CS—チェックサム・ワード。CSワードは、DID、SDID、DCからユーザ・データワード（UDW）までの補助データ・パケットの完全性の信頼度を上げるためのものです。CSワードは10ビットから構成され、9ビットをチェックサムの計算に、またB9をB8の反転ロジックとして使用します。B8～B0のチェックサム値は、パケット内のDID、SDID、DC、全UDWの下位9ビットの合計の下位9ビットに相当します。チェックサム・カウント・サイクルを開始する前に、すべてのチェックサム・ビットとキャリー・ビットを0に設定する必要があります。チェックサム・カウント・サイクルによって生じたキャリーはすべて無視されます。

- \overline{EP} —MSBのB9は、EPの反転ロジックです。これによって、制限コード0x00と0xFFが発生しないようにします。
- ライン番号[9:0]—補助データ・パケットのすぐ前のラインのライン番号。ライン番号は、ITU-R BT.470のナンバリング・システムを用いています。ライン番号は、625ライン・システムでは1～625を割り当て、525ライン・システムでは1～263を割り当てます。コムフィルタでは垂直遅延が発生するため、パケットが出力されるラインの番号は、VBIデータがスライスされるラインの番号とは異なります。
- データ・カウント—標準の補助ストリームにおけるUDWの値を指定します。ユーザ・データワードの合計数はデータ・カウントの4倍となります。パディング・ワードを使用すれば、UDWの総数の4分割が可能となります。

表70. ニブル出力形式の補助データ

バイト	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	説明	
0	0	0	0	0	0	0	0	0	0	0	補助データ・プリアンブル	
1	1	1	1	1	1	1	1	1	1	1		
2	1	1	1	1	1	1	1	1	1	1		
3	\overline{EP}	EP	0	FC_DID6_2[4:0]				0	0	DID (データ識別ワード)		
4	\overline{EP}	EP	FC_SDID7_2[5:0]				0	0	SDID (セカンダリ・データ識別ワード)			
5	\overline{EP}	EP	0	DC[4:0]				0	0	データ・カウント		
6	\overline{EP}	EP	padding[1:0]		VBI_DATA_STD[3:0]			0	0	ID0 (ユーザ・データワード1)		
7	\overline{EP}	EP	0	Line_number[9:5]				0	0	ID1 (ユーザ・データワード2)		
8	\overline{EP}	EP	Even_Field	Line_number[4:0]				0	0	ID2 (ユーザ・データワード3)		
9	\overline{EP}	EP	0	0	0	0	VDP_TTXX_TYPE[1:0]		0	0	ID3 (ユーザ・データワード4)	
10	\overline{EP}	EP	0	0	VBI_WORD_1[7:4]				0	0	ID4 (ユーザ・データワード5)	
11	\overline{EP}	EP	0	0	VBI_WORD_1[3:0]				0	0	ID5 (ユーザ・データワード6)	
12	\overline{EP}	EP	0	0	VBI_WORD_2[7:4]				0	0	ID6 (ユーザ・データワード7)	
13	\overline{EP}	EP	0	0	VBI_WORD_2[3:0]				0	0	ID7 (ユーザ・データワード8)	
14	\overline{EP}	EP	0	0	VBI_WORD_3[7:4]				0	0	ID8 (ユーザ・データワード9)	
.	パッド0x200。このパディング・ワードの有無は、補助データの種類によって異なります。ユーザ・データワードxx。	
.		
.		
n-3	1	0	0	0	0	0	0	0	0	0		
n-2	1	0	0	0	0	0	0	0	0	0		
n-1	$\overline{B8}$	Checksum							0	0	CS (チェックサム・ワード)	

表71. バイト出力形式の補助データ¹

バイト	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	説明	
0	0	0	0	0	0	0	0	0	0	0	補助データ・プリアンブル	
1	1	1	1	1	1	1	1	1	1	1		
2	1	1	1	1	1	1	1	1	1	1		
3	\overline{EP}	EP	0	FC_DID6_2[4:0]				0	0	DID (データ識別ワード)		
4	\overline{EP}	EP	FC_SDID7_2[5:0]				0	0	SDID (セカンダリ・データ識別ワード)			
5	\overline{EP}	EP	0	DC[4:0]				0	0	データ・カウント		
6	\overline{EP}	EP	padding[1:0]		VBI_DATA_STD[3:0]			0	0	ID0 (ユーザ・データワード1)		
7	\overline{EP}	EP	0	Line_number[9:5]				0	0	ID1 (ユーザ・データワード2)		
8	\overline{EP}	EP	Even_Field	Line_number[4:0]			0	0	ID2 (ユーザ・データワード3)			
9	\overline{EP}	EP	0	0	0	0	VDP_TTXX_TYPE[1:0]	0	0	ID3 (ユーザ・データワード4)		
10	VBI_WORD_1[7:0]							0	0	ID4 (ユーザ・データワード5)		
11	VBI_WORD_2[7:0]							0	0	ID5 (ユーザ・データワード6)		
12	VBI_WORD_3[7:0]							0	0	ID6 (ユーザ・データワード7)		
13	VBI_WORD_4[7:0]							0	0	ID7 (ユーザ・データワード8)		
14	VBI_WORD_5[7:0]							0	0	ID8 (ユーザ・データワード9)		
.	パッド0x200。このパディング・ワードの有無は、補助データの種類によって異なります。ユーザ・データワードxx。	
.		
.		
n-3	1	0	0	0	0	0	0	0	0	0		
n-2	1	0	0	0	0	0	0	0	0	0		
n-1	$\overline{B8}$	Checksum							0	0	CS (チェックサム・ワード)	

¹ このモードはITU-R BT.1364に完全に準拠しているわけではありません。

補助データ・ストリームのVBIワードの構造

各VBIデータ標準はクロック・ランイン (CRI)、フレーミング・コード (FC)、複数のデータ・バイト (n) に分割されています。補助ストリーム内のこのデータ・パケットは、FCとデータ・バイトのみを含みます。表72に、補助データ・ストリーム内のVBI_WORD_xのフォーマットを示します。

表72. 補助データ・ストリーム内のVBIデータワードの構造

補助データ・バイト番号	バイトの種類	説明
VBI_WORD_1	FC0	フレーミング・コード[23:16]
VBI_WORD_2	FC1	フレーミング・コード[15:8]
VBI_WORD_3	FC2	フレーミング・コード[7:0]
VBI_WORD_4	DB1	最初のデータ・バイト
...
VBI_WORD_N+3	DBn	最後 (n番目) のデータ・バイト

VDPフレーミング・コード

実際のフレーミング・コードの長さは、VBIデータ標準に依存します。一様性を保つために、補助データ・ストリームで報告されるフレーミング・コードの長さは常に24ビットです。フレーミング・コードの長さが短い標準の場合は、エクストラLSBビットが0に設定されます。フレーミング・コードの有効な長さは、ID0 (UDW1) のVBI_DATA_STDビットからデコードできます。フレーミング・コードは必ず逆の送信順序で報告されます。

表73に、VDPでサポートされているVBIデータ標準のフレーミング・コードとその有効な長さを示します。

例

テレテキスト (B-WST) の場合、フレーミング・コード・バイトは11100100 (0xE4) で、ビットは送信順に示されます。ニブル・モードでデータを転送する場合、VBI_WORD_1=0x27、VBI_WORD_2=0x00、VBI_WORD_3=0x00は以下のように補助データ・ストリームのUDWに変換されます。

UDW5 [5:2]=0010

UDW6 [5:2]=0111

UDW7 [5:2]=0000 (未定義ビットは0に設定)

UDW8 [5:2]=0000 (未定義ビットは0に設定)

UDW9 [5:2]=0000 (未定義ビットは0に設定)

UDW10 [5:2]=0000 (未定義ビットは0に設定)

バイト・モード時:

UDW5 [9:2]=0010_0111

UDW6 [9:2]=0000_0000 (未定義ビットは0に設定)

UDW7 [9:2]=0000_0000 (未定義ビットは0に設定)

ADV7180

データ・バイト

VBI_WORD_4～VBI_WORD_N+3は、送信順にVDPでデコードされたデータワードを含んでいます。バイト内のビットの位置は、送信順とは逆になります。

表78に示すように、たとえば、クローズド・キャプションには2つのユーザ・データ・バイトがあります。

補助データ・ストリームには、次のデータ・バイトがあります。

VBI_WORD_4=バイト1 [7:0]

VBI_WORD_5=バイト2 [7:0]

表74に、各VBIデータ標準のVBI_WORDの数と補助データ・ストリーム内のUDWの総数を示します。

表73. 各VBI標準のフレーミング・コード・シーケンス

VBI標準	ビット長	エラーフリーのフレーミング・コード・ビット (送信順)	VDPで報告されるエラーフリーのフレーミング・コード・ビット (逆送信順)
TTXT_SYSTEM_A (PAL)	8	11100111	11100111
TTXT_SYSTEM_B (PAL)	8	11100100	00100111
TTXT_SYSTEM_B (NTSC)	8	11100100	00100111
TTXT_SYSTEM_C (PALおよびNTSC)	8	11100111	11100111
TTXT_SYSTEM_D (PALおよびNTSC)	8	11100101	10100111
VPS (PAL)	16	10001010100011001	1001100101010001
VITC (NTSCおよびPAL)	1	0	0
WSS (PAL)	24	000111100011110000011111	111110000011110001111000
GEMSTAR_1×(NTSC)	3	001	100
GEMSTAR_2×(NTSC)	11	1001_1011_101	101_1101_1001
CCAP (NTSCおよびPAL)	3	001	100
CGMS (NTSC)	1	0	0

表74. 各VBI標準のユーザ・データワードの総数¹

VBI標準	ADFモード	フレーミング・コードUDW	VBIデータワード	パディング・ワード数	UDWの総数
TTXT_SYSTEM_A (PAL)	00 (ニブル・モード)	6	74	0	84
	01,10 (バイト・モード)	3	37	0	44
TTXT_SYSTEM_B (PAL)	00 (ニブル・モード)	6	84	2	96
	01,10 (バイト・モード)	3	42	3	52
TTXT_SYSTEM_B (NTSC)	00 (ニブル・モード)	6	68	2	80
	01,10 (バイト・モード)	3	34	3	44
TTXT_SYSTEM_C (PALおよびNTSC)	00 (ニブル・モード)	6	66	0	76
	01,10 (バイト・モード)	3	33	2	42
TTXT_SYSTEM_D (PALおよびNTSC)	00 (ニブル・モード)	6	68	2	80
	01,10 (バイト・モード)	3	34	3	44
VPS (PAL)	00 (ニブル・モード)	6	26	0	36
	01,10 (バイト・モード)	3	13	0	20
VITC (NTSCおよびPAL)	00 (ニブル・モード)	6	18	0	28
	01,10 (バイト・モード)	3	9	0	16
WSS (PAL)	00 (ニブル・モード)	6	4	2	16
	01,10 (バイト・モード)	3	2	3	12
GEMSTAR_1×(NTSC)	00 (ニブル・モード)	6	4	2	16
	01,10 (バイト・モード)	3	2	3	12
GEMSTAR_2×(NTSC)	00 (ニブル・モード)	6	8	2	20
	01,10 (バイト・モード)	3	4	1	12
CCAP (NTSCおよびPAL)	00 (ニブル・モード)	6	4	2	16
	01,10 (バイト・モード)	3	2	3	12
CGMS (NTSC)	00 (ニブル・モード)	6	6	0	16
	01,10 (バイト・モード)	3	3+3	2	12

¹ 最初の4つのUDWは常にIDとなります。

ICインターフェース

CCAP、CGMS、WSS、Gemstar、VPS、PDC/UTC、VITCについては、専用のIC読み出しレジスタを使用できます。テレテキストは高速データレート標準なので、データ取出しは補助データ・パケットでのみサポートされます。これらのレジスタとアクセス手順を以下に詳しく説明します。

IC読み出しレジスタのユーザ・インターフェース

VDPは、有効なVBIデータ標準をすべてリアルタイムでデコードします。ICアクセス速度はデコード・レートよりかなり遅いため、レジスタへのアクセス時に次のラインからデータが更新される場合があります。これを避けるため、VDPはすべてのIC読み出しレジスタに付随する自己クリア・ビット（CLEAR）とステータス・ビット（AVAILABLE）を持っています。

IC読み出しレジスタをクリアするには、CLEARビットをハイレベルに設定します。この設定でAVAILABLEビットをローレベルにリセットし、関連する読み出しレジスタのデータが無効であることを示します。VDPが当該VBIデータの次のラインをデコードし終わると、そのデータがIC読み出しレジスタに書き込まれ、AVAILABLEビットがハイレベルになって有効なデータが使用可能であることを示します。

後続のラインにこのVBIデータが存在するとVDPはそれをデコードしますが、そのデータによる読み出しレジスタの更新は、CLEARビットが再度ハイレベルになるまで行われません。ただし、このデータは656補助データ・パケットにより使用可能となります。

CLEARビットとAVAILABLEビットは、VDP_CLEAR (0x78、ユーザ・サブマップ、書き込み専用) とVDP_STATUS (0x78、ユーザ・サブマップ、読み出し専用) レジスタに含まれます。

IC読み出し手順例

デコーダから1パケット（ライン）のPDCデータを読み出す場合は、以下の手順を実行します。

1. PDCデータがICレジスタに反映されるように、IC_GS_VPS_PDC_UTC[1:0] (0x9C、ユーザ・サブマップ) に10を書き込みます。
2. ICレジスタの更新をイネーブルにするために、GS_PDC_VPS_UTC_CLEARビット (0x78、ユーザ・サブマップ) をハイレベルにします。
3. ハイレベルになるGS_PDC_VPS_UTC_AVLビット (0x78、ユーザ・サブマップ) をポーリングして、PDCパケットが使用できることを確認します。
4. PDC ICレジスタからデータ・バイトを読み出します。ステップ1~3を繰り返して別のデータライン（データ・パケット）を読み出します。

CCAP、CGMS、またはWSSデータには専用のレジスタがあるため、これらのパケットを読み出すにはステップ1~3のみが必要です。

VDP—コンテンツ・ベースのデータの更新

WSS、CGMS、Gemstar、PDC、UTC、VPSのような標準については、送信信号の情報コンテンツは多くのラインで変わることはないため、コンテンツの変更や消失が生じたときのみシステムが通知するように設定できます。必要な標準に対しては、GS_VPS_PDC_UTC_CB_CHANGEビットとWSS_CGMS_CB_CHANGEビットを使ってコンテンツ・ベースの更新をイネーブルにする必要があります。したがって、AVAILABLEビットは、コンテンツが変更された場合にのみその標準が使用可能であることを示します。

コンテンツ・ベースの更新は、データ消失が生じたラインにも適用されます。そのため、VPS、Gemstar、CGMS、WSSなどの標準については、設定されている次の4ラインでデータがまったく受信されないと、VDP_STATUSレジスタの対応するAVAILABLEビットがハイレベルに設定され、その標準のICレジスタの内容が0に設定されます。しばらくして有効なラインがデコードされたときにデコード結果がICレジスタで使用可能となり、AVAILABLEステータス・ビットがハイレベルに設定されるように、対応するCLEARビットをハイレベルにする必要があります。

コンテンツ・ベースの更新がイネーブルであれば、次の場合にAVAILABLEビットがハイレベルに設定されます（CLEARビットはセットされているものとします）。

- データ内容が変更された場合
- データをデコードしているときに、データのない4ラインが検出された場合
- データはいっさいデコードされずに、新しいデータのデコードが開始されている場合

GS_VPS_PDC_UTC_CB_CHANGE

(Gemstar/VPS/PDC/UTCのコンテンツ・ベースの更新をイネーブル)、アドレス0x9C [5]、ユーザ・サブマップ 0—コンテンツ・ベースの更新をディスエーブルにします。

1 (デフォルト値)—コンテンツ・ベースの更新をイネーブルにします。

WSS_CGMS_CB_CHANGE (WSS/CGMSのコンテンツ・ベースの更新をイネーブル)、アドレス0x9C [4]、ユーザ・サブマップ

0—コンテンツ・ベースの更新をディスエーブルにします。

1 (デフォルト値)—コンテンツ・ベースの更新をイネーブルにします。

VDP—VDP ICレジスタの割込みベースの読み出し

VDPステータス・ビットには割込み要求コントローラにリンクされるものもありますが、これについてはユーザがAVAILABLEステータス・ビットをポーリングする必要はありません。ICレジスタで使用可能な有効データに対して、INTRQピンで割込み要求をトリガするようにビデオ・デコーダを設定することができます。この機能は次のデータ・タイプで使用できます。

- CGMSまたはWSS：スライス・データが使用可能となるたびに割込み要求をトリガするか、スライス・データが変更されたときのみ割込み要求をトリガします。これは、WSS_CGMS_CB_CHANGEビットを使って選択します。

- Gemstar、PDC、VPS、UTC：スライス・データが使用可能となるたびに割込み要求をトリガするか、スライス・データが変更されたときのみ割込み要求をトリガします。これは、GS_VPS_PDC_UTC_CB_CHANGEビットを使って選択します。

CCAP標準の場合、VDP ICデータ・レジスタの割込みベースの読出しは以下の手順で行います。

1. CCAP割込みマスク・ビット (0x50 ビット0、ユーザ・サブマップ=1) のマスクを解除します。ビデオ信号の入力で、CCAPデータが発生します。VDPはCCAPデータをスライスして、それをVDP読出しレジスタに書き込みます。
2. VDP CCAP AVAILABLEビットがハイレベルになり、VDPモジュールが割込みコントローラに割込み要求を促す信号を送ります (この場合はCCAP)。
3. ユーザは割込みステータス・ビット (ユーザ・サブマップ) を読み出して、新しいCCAPデータが使用可能か確認します (0x4E ビット0、ユーザ・サブマップ=1)。
4. 割込みICスペースのCCAP割込みクリアビット (0x4F ビット0、ユーザ・サブマップ=1) (すなわち、セルフ・クリア・ビット) に1を書き込みます。これによってINTRQピンで割込みがクリアされますが、VDP IC領域への影響はありません。
5. VDP IC領域からCCAPデータを読み出します。
6. VDP_STATUS[0]レジスタのCC_CLEARビット (0x78 ビット0、ユーザ・サブマップ=1) をセットして、CCAPデータが読み出されたことを示します (すなわち、次にCCAPが検出されたらVDP CCAPを更新できる)。
7. ステップ2に戻ります。

割込みマスク・レジスタの詳細

以下のビットを使って、VDP VBIデータ・スライサからの信号で割込みマスクを設定します。

VDP_CCAPD_MSKB、アドレス0x50 [0]、ユーザ・サブマップ0 (デフォルト値)—VDP_CCAPD_Q信号で割込みをディスエーブルにします。

1—VDP_CCAPD_Q信号で割込みをイネーブルにします。

VDP_CGMS_WSS_CHNGD_MSKB、アドレス0x50 [2]、ユーザ・サブマップ0 (デフォルト値)—VDP_CGMS_WSS_CHNGD_Q信号で割込みをディスエーブルにします。

1—VDP_CGMS_WSS_CHNGD_Q信号で割込みをイネーブルにします。

VDP_GS_VPS_PDC_UTC_CHNG_MSKB、アドレス0x50 [4]、ユーザ・サブマップ0 (デフォルト値)—VDP_GS_VPS_PDC_UTC_CHNG_Q信号で割込みをディスエーブルにします。

1—VDP_GS_VPS_PDC_UTC_CHNG_Q信号で割込みをイネーブルにします。

VDP_VITC_MSKB、アドレス0x50 [6]、ユーザ・サブマップ0 (デフォルト値)—VDP_VITC_Q信号で割込みをディスエーブルにします。

1—VDP_VITC_Q信号で割込みをイネーブルにします。

割込みステータス・レジスタの詳細

以下の読出し専用ビットは、ステータス・ビットが最後にクリアまたはマスク解除された後のVDPモジュールからのデータ検出情報を保持します。

VDP_CCAPD_Q、アドレス0x4E [0]、ユーザ・サブマップ0 (デフォルト値)—CCAPデータは検出されていません。

1—CCAPデータは検出されています。

VDP_CGMS_WSS_CHNGD_Q、アドレス0x4E [2]、ユーザ・サブマップ0 (デフォルト値)—CGMSまたはWSSデータは検出されていません。

1—CGMまたはWSSデータは検出されています。

VDP_GS_VPS_PDC_UTC_CHNG_Q、アドレス0x4E [4]、ユーザ・サブマップ0 (デフォルト値)—Gemstar、PDC、UTC、またはVPSデータは検出されていません。

1—Gemstar、PDC、UTC、またはVPSデータは検出されています。

VDP_VITC_Q、アドレス0x4E [6]、ユーザ・サブマップ、読出し専用

0 (デフォルト値)—VITCデータは検出されていません。

1—VITCデータは検出されています。

割込みステータス・クリア・レジスタの詳細

これらの書込み専用ビットは1に設定された後に自動的にリセットされるため (自己クリア)、0を書き込む必要はありません。

VDP_CCAPD_CLR、アドレス0x4F [0]、ユーザ・サブマップ1—VDP_CCAP_Qビットをクリアします。

VDP_CGMS_WSS_CHNGD_CLR、アドレス0x4F [2]、ユーザ・サブマップ1—VDP_CGMS_WSS_CHNGD_Qビットをクリアします。

VDP_GS_VPS_PDC_UTC_CHNG_CLR、アドレス0x4F [4]、ユーザ・サブマップ1—VDP_GS_VPS_PDC_UTC_CHNG_Qビットをクリアします。

VDP_VITC_CLR、アドレス0x4F [6]、ユーザ・サブマップ1—VDP_VITC_Qビットをクリアします。

I²C読み出しレジスタ

テレテキスト

テレテキストは高速データレート標準なので、デコードされるバイトは補助データとしてのみ使用できます。ただし、VDPがテレテキストを検出したか確認できるように、I²CでTTXT_AVLビットを提供しています。TTXT_AVLビットはプレーンなステータス・ビットであり、「I²Cインターフェース」で示したプロトコルを使用しません。

TTXT_AVL (テレテキスト検出ステータス)、アドレス0x78 [7]、ユーザ・サブマップ、読み出し専用

0—テレテキストは検出されませんでした。

1—テレテキストが検出されました。

WSTパケットのデコーディング

WSTの場合にのみ、VDPはテレテキスト・パケットのマガジンと生のアドレスをデコードし、さらにそのパケットの8×4ハミング・コード・ワードをデコードします。この機能は、WST_PKT_DECODE_DISABLEビット (ビット3、レジスタ0x60、ユーザ・サブマップ) でディスエーブルにすることができます。この機能はWSTのみに有効です。

WST_PKT_DECODE_DISABLE (WSTのバイトのハミング・デコーディングをディスエーブル)、アドレス0x60 [3]、ユーザ・サブマップ

0—WSTパケットのハミング・デコーディングをイネーブルにします。

1 (デフォルト値)—WSTパケットのハミング・デコーディングをディスエーブルにします。

ハミングコード化したバイトの場合、以下に示すように、ハミング・デコーダからハミング解除ニブルがエラー情報と共に出力されます。

- 入力ハミング・コード・バイト：{D3, P3, D2, P2, D1, P1, D0, P0} (ビットはデコード順)
- 出力ハミング解除バイト：{E1, E0, 0, 0, D3', D2', D1', D0'} (Di'—訂正済みビット、Ei—エラー情報)

表75. ハミング解除 (Dehammed) 出力バイトのエラー・ビット

E[1:0]	エラー情報	ニブル単位の出力データ・ビット
00	エラー未検出	問題なし
01	P4エラー	問題なし
10	ダブル・エラー	不良
11	シングル・エラーを検出し、修正	問題なし

デコードされるWSTパケットについては、表76の説明を参照してください。

表76. WSTパケットの説明

パケット	バイト	説明
ヘッダ・パケット (X/00)	1番目 2番目 3番目 4番目 5～10番目 11～42番目	マガジン番号—ハミング解除バイト4 行番号—ハミング解除バイト5 ページ番号—ハミング解除バイト6 ページ番号—ハミング解除バイト7 制御バイト—ハミング解除バイト8～バイト13 原データ・バイト
テキスト・パケット (X/01～X/25)	1番目 2番目 3～42番目	マガジン番号—ハミング解除バイト4 行番号—ハミング解除バイト5 原データ・バイト
8/30 (フォーマット1) パケット デザイン・コード=0000または0001 UTC	1番目 2番目 3番目 4～10番目 11～23番目 24～42番目	マガジン番号—ハミング解除バイト4 行番号—ハミング解除バイト5 デザイン・コード—ハミング解除バイト6 ハミング解除初期テレテキスト・ページ、バイト7～バイト12 UTCバイト—ハミング解除バイト13～バイト25 原ステータス・バイト
8/30 (フォーマット2) パケット デザイン・コード=0010または0011 PDC	1番目 2番目 3番目 4～10番目 11～23番目 24～42番目	マガジン番号—ハミング解除バイト4 行番号—ハミング解除バイト5 デザイン・コード—ハミング解除バイト6 ハミング解除初期テレテキスト・ページ、バイト7～バイト12 PDCバイト—ハミング解除バイト13～バイト25 原ステータス・バイト
X/26、X/27、X/28、X/29、X/30、X/31 ¹	1番目 2番目 3番目 4～42番目	マガジン番号—ハミング解除バイト4 行番号—ハミング解除バイト5 デザイン・コード—ハミング解除バイト6 原データ・バイト

¹ X/26、X/28、X/29の場合、これ以上のデコードを行う場合に24×18ハミング・デコーディングを必要とします (現在は対応していません)。

ADV7180

CGMSおよびWSS

データ・パケットCGMSおよびWSSは、さまざまなビデオ標準に対して同じ種類の情報を運びます。WSSはPAL対応で、CGMSはNTSC対応なので、CGMSとWSSの読出しレジスタは共用されます。WSSは2相コーディングされます。VDPは2相デコーディングを行ってCGMS/WSS読出しPCレジスタに生のWSSビット（14ビット）を生成し、CGMS_WSS__AVLビットを設定します。

CGMS_WSS_CLEAR（CGMS/WSSクリア）、アドレス0x78 [2]、ユーザ・サブマップ、書込み専用、自己クリア
1—CGMS/WSS読出しレジスタを再初期設定します。

CGMS_WSS_AVL（CGMS/WSS使用可）、アドレス0x78 [2]、ユーザ・サブマップ、読出し専用
0—CGMS/WSSは検出されませんでした。

1—CGMS/WSSが検出されました。

CGMS_WSS_DATA_0[3:0]、アドレス0x7D [3:0]

CGMS_WSS_DATA_1[7:0]、アドレス0x7E [7:0]

CGMS_WSS_DATA_2[7:0]、アドレス0x7F [7:0]

ユーザ・サブマップ、読出し専用

これらのビットは、デコードされたCGMSデータまたはWSSデータを保持します。

IC経由のWSSおよびCGMSのビット・マップについては、図43と図44を参照してください。

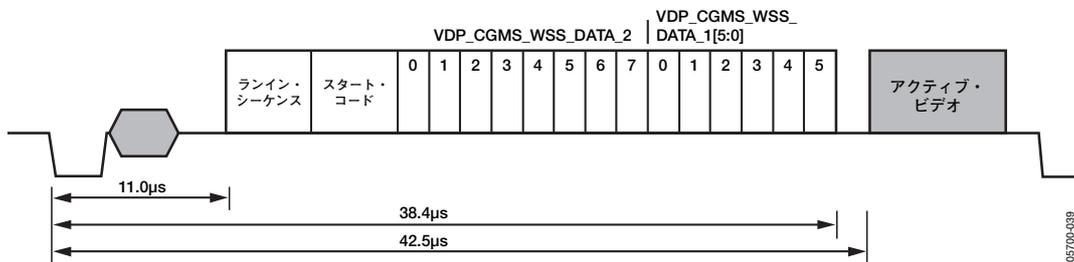


図43. WSS波形

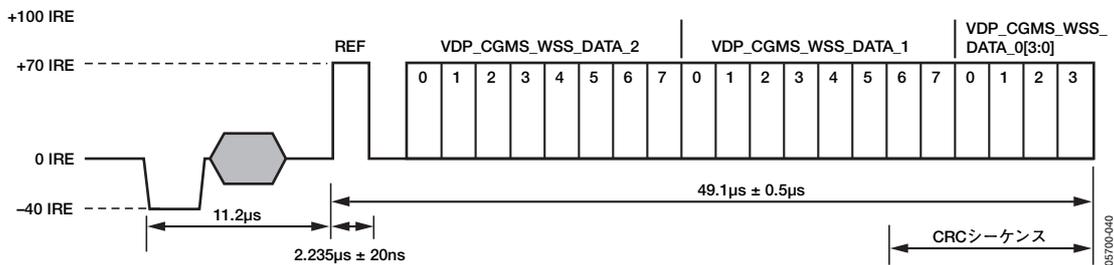


図44. CGMS波形

表77. CGMS読出しレジスタ¹

信号名	レジスタ位置	アドレス（ユーザ・サブマップ）	
CGMS_WSS_DATA_0[3:0]	VDP_CGMS_WSS_DATA_0[3:0]	125	0x7D
CGMS_WSS_DATA_1[7:0]	VDP_CGMS_WSS_DATA_1[7:0]	126	0x7E
CGMS_WSS_DATA_2[7:0]	VDP_CGMS_WSS_DATA_2[7:0]	127	0x7F

¹ レジスタは読出しレジスタです。デフォルト値は適用されません。

CCAP

デコードされたクロズド・キャプション・データ (2バイト) をICレジスタで使用できます。デコードされたCCAPデータのフィールド情報は、CC_EVEN_FIELDビット (レジスタ0x78) から得ることができます。

CC_CLEAR (クロズド・キャプション・クリア)、アドレス0x78 [0]、ユーザ・サブマップ、書込み専用、セルフクリア
1—CCAP読出しレジスタを再初期設定します。

CC_AVL (クロズド・キャプション使用可) アドレス0x78 [0]、ユーザ・サブマップ、読出し専用

0—クロズド・キャプションは検出されませんでした。

1—クロズド・キャプションが検出されました。

CC_EVEN_FIELD、アドレス0x78 [1]、ユーザ・サブマップ、読出し専用

CCAPデータがデコードされたフィールドを識別します。

0—奇数フィールドでクロズド・キャプションが検出されました。

1—偶数フィールドでクロズド・キャプションが検出されました。

VDP_CCAP_DATA_0、アドレス0x79 [7:0]、ユーザ・サブマップ、読出し専用

CCAPデータのデコード・バイト1

VDP_CCAP_DATA_1、アドレス0x7A [7:0]、ユーザ・サブマップ、読出し専用

CCAPデータのデコード・バイト2

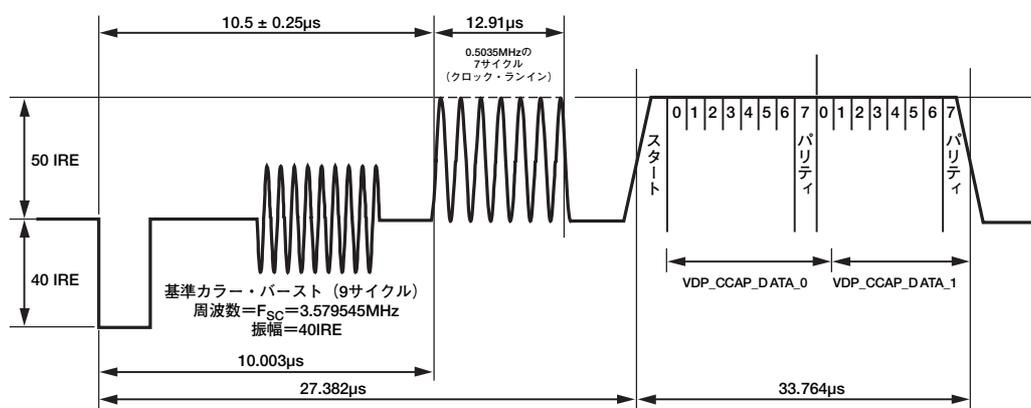


図45. CCAP波形とデコードされたデータとの相互関係

78. CCAP読出しレジスタ¹

信号名	レジスタ位置	アドレス (ユーザ・サブマップ)	
CCAP_BYTE_1[7:0]	VDP_CCAP_DATA_0[7:0]	121	0x79
CCAP_BYTE_2[7:0]	VDP_CCAP_DATA_1[7:0]	122	0x7A

¹ レジスタは読出しレジスタです。デフォルト値は適用されません。

ADV7180

VITC

VITCは、各データ・バイト間に一連の10個の同期信号が埋め込まれています。VDPはこれらの同期信号をデータ・ストリームから取り去り、データ・バイトだけを出力します。処理されたVITCは、レジスタVDP_VITC_DATA_0~VDP_VITC_DATA_8（レジスタ0x92~レジスタ0x9A、ユーザ・サブマップ）で使用できます。

VITCの末尾にはCRCバイトがあります。各データ・バイト間の同期信号は、このCRC計算にも使用されます。これらの同期信号は出力されないため、CRCは内部的に計算されます。この計算済みのCRCは、VITC_CALC_CRCレジスタ（レジスタ0x9B、ユーザ・サブマップ）内で使用可能となります。VDPがVITCラインのデコーディングを終えると、VITC_DATAレジスタとVITC_CALC_CRCレジスタが更新され、VITC_AVLビットが設定されます。

VITC_CLEAR（VITCクリア）、アドレス0x78 [6]、ユーザ・サブマップ、書込み専用、セルフクリア

1—VITC読出しレジスタを再初期設定します。

VITC_AVL（VITC使用可）、アドレス0x78 [6]、ユーザ・サブマップ

0—VITCデータは検出されませんでした。

1—VITCが検出されました。

VITC読出しレジスタ

PC経由のVITCのビット・マップについては、図46を参照してください。

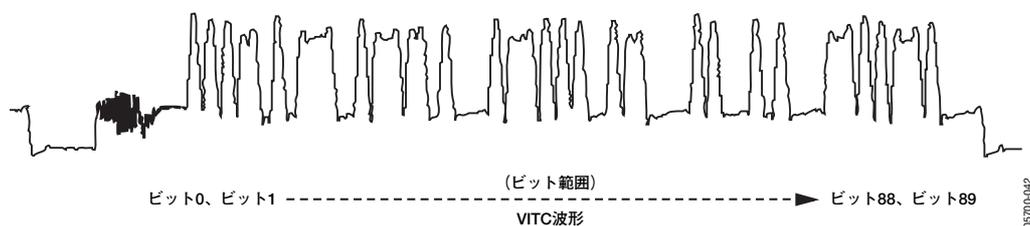


図46. VITC波形とデコードされたデータとの相互関係

表79. VITC読出しレジスタ¹

信号名	レジスタ位置	アドレス（ユーザ・サブマップ）	
VITC_DATA_0[7:0]	VDP_VITC_DATA_0[7:0] (VITCビット[9:2])	146	0x92
VITC_DATA_1[7:0]	VDP_VITC_DATA_1[7:0] (VITCビット[19:12])	147	0x93
VITC_DATA_2[7:0]	VDP_VITC_DATA_2[7:0] (VITCビット[29:22])	148	0x94
VITC_DATA_3[7:0]	VDP_VITC_DATA_3[7:0] (VITCビット[39:32])	149	0x95
VITC_DATA_4[7:0]	VDP_VITC_DATA_4[7:0] (VITCビット[49:42])	150	0x96
VITC_DATA_5[7:0]	VDP_VITC_DATA_5[7:0] (VITCビット[59:52])	151	0x97
VITC_DATA_6[7:0]	VDP_VITC_DATA_6[7:0] (VITCビット[69:62])	152	0x98
VITC_DATA_7[7:0]	VDP_VITC_DATA_7[7:0] (VITCビット[79:72])	153	0x99
VITC_DATA_8[7:0]	VDP_VITC_DATA_8[7:0] (VITCビット[89:82])	154	0x9A
VITC_CALC_CRC[7:0]	VDP_VITC_CALC_CRC[7:0]	155	0x9B

¹ レジスタは読出しレジスタです。デフォルト値は適用されません。

VPS/PDC/UTC/GEMSTAR

VPS、PDC、UTC用の読出しレジスタは共用されます。Gemstarは高速データレート標準であり、補助ストリームを介してのみ使用できます。ただし、評価を行うために、PDC、UTC、VPSと同じレジスタ・スペースを共有するICレジスタを介して任意のラインのGemstarを使用できます。したがって、ICを介して一度に読み取れるのはVPS、PDC、UTC、またはGemstarのみです。

ICレジスタで使用可能とするデータを指定するには、IC_GS_VPS_PDC_UTC[1:0] (レジスタ・アドレス0x9C、ユーザ・サブマップ) を設定する必要があります。

IC_GS_VPS_PDC_UTC[1:0] (VDP)、アドレス0x9C [6:5]、ユーザ・サブマップ

IC読出しに使用できるビデオ標準を指定します。

GS_PDC_VPS_UTC_CLEAR (GS/PDC/VPS/UTCクリア)、アドレス0x78 [4]、ユーザ・サブマップ、書込み専用、セルフクリア

1—GS/PDC/VPS/UTCデータ読出しレジスタを再初期設定します。

GS_PDC_VPS_UTC_AVL (GS/PDC/VPS/UTC使用可)、アドレス0x78 [4]、ユーザ・サブマップ、読出し専用

0—GS、PDC、VPS、UTCデータの1つが検出されませんでした。

1—GS、PDC、VPS、UTCデータの1つが検出されました。

VDP_GS_VPS_PDC_UTC (読出しレジスタ)、アドレス0x84~0x87

表81を参照してください。

VPS

VPSデータ・ビットは、VDPによって2相デコーディングされます。デコードされたデータは、補助ストリームとIC読出しレジスタの両方で使用可能となります。VPSがデコードしたデータは、VDP_GS_VPS_PDC_UTC_0~VDP_VPS_PDC_UTC_12レジスタ (アドレス0x84~アドレス0x90、ユーザ・サブマップ) で使用可能になります。表80に示したように、IC_GS_VPS_PDC_UTCが01に設定された場合は、GS_VPS_PDC_UTC_AVLビットが設定されます。

GEMSTAR

Gemstarデコード・データは補助ストリームで使用可能となり、評価用として任意のラインのGemstarもICレジスタで使用可能となります。ICレジスタによりGemstar結果を読み出すには、表80に示したようにIC_GS_VPS_PDC_UTCを00に設定する必要があります。

表80. IC_GS_VPS_PDC_UTC[1:0]の機能

IC_GS_VPS_PDC_UTC[1:0]	説明
00 (デフォルト値)	Gemstar 1倍/2倍
01	VPS
10	PDC
11	UTC

VDPはGemstar標準 (Gemstar 1倍またはGemstar 2倍) の自動検出に対応しており、デコーディングを行います。自動検出モードを有効にするには、AUTO_DETECT_GS_TYPE ICビット (レジスタ0x61、ユーザ・サブマップ) を設定する必要があります。また、ライン・プログラミングによって特定ラインのGemstar 2倍データをデコードするようにデコーダを設定します。デコードするGemstarのタイプは、GS_DATA_TYPEビット (レジスタ0x78、ユーザ・サブマップ) で決めることができます。

AUTO_DETECT_GS_TYPE、アドレス0x61 [4]、ユーザ・サブマップ

0 (デフォルト値)—Gemstarタイプの自動検出をディセーブルにします。

1—Gemstarタイプの自動検出をイネーブルにします。

GS_DATA_TYPE、アドレス0x78 [5]、ユーザ・サブマップ、読出し専用

デコードするGemstarデータのタイプを指定します。

0—Gemstar 1倍モードが検出されました。0x84から2データ・バイトを読み出します。

1—Gemstar 2倍モードが検出されました。0x84から4データ・バイトを読み出します。

ICレジスタで使用できるGemstarデータは、Gemstarのデコーディングが行われた任意のラインの入力ビデオから得られます。特定ビデオ・ラインのGemstarデータを読み出すには、マニュアル設定を行い (表66と表67を参照)、必要なラインに対してのみGemstarをデコーディングできるようにします。

PDC/UTC

PDCとUTCは、テレテキスト・パケット8/30フォーマット2 (マガジン8、行30、設計コード2または3) とパケット8/30フォーマット1 (マガジン8、行30、設計コード0または1) で送信されるデータです。したがって、PDCまたはUTCデータがIC経由で読み出される場合は、VDPが該当するテレテキスト標準 (WSTまたはPALシステムB) をデコードする必要があります。テレテキスト・デコード・パケットは全部、補助データ・ストリームで出力されます。ユーザはマガジン番号、行番号、および設計コードを探して、データをPDCまたはUTCとして、あるいはそれ以外のものとして指定できます。

PDC/UTCパケットが指定されると、バイト0~バイト12がGS_VPS_PDC_UTC_0~VPS_PDC_UTC_12レジスタに反映され、GS_VPS_PDC_UTC_AVLビットが設定されます。パケット・データ全体が補助データ・フォーマットでも使用可能となります。

ICレジスタで使用可能なデータは、WST_PKT_DECODE_DISABLEビット (ビット3、サブアドレス0x60、ユーザ・サブマップ) の状態によって異なります。

ADV7180

表81. GS/VPS/PDC/UTC読出しレジスタ¹

信号名	レジスタ位置	10進値のアドレス (ユーザ・サブマップ)	16進値のアドレス (ユーザ・サブマップ)
GS_VPS_PDC_UTC_BYTE_0[7:0]	VDP_GS_VPS_PDC_UTC_0[7:0]	132d	0x84
GS_VPS_PDC_UTC_BYTE_1[7:0]	VDP_GS_VPS_PDC_UTC_1[7:0]	133d	0x85
GS_VPS_PDC_UTC_BYTE_2[7:0]	VDP_GS_VPS_PDC_UTC_2[7:0]	134d	0x86
GS_VPS_PDC_UTC_BYTE_3[7:0]	VDP_GS_VPS_PDC_UTC_3[7:0]	135d	0x87
VPS_PDC_UTC_BYTE_4[7:0]	VDP_VPS_PDC_UTC_4[7:0]	136d	0x88
VPS_PDC_UTC_BYTE_5[7:0]	VDP_VPS_PDC_UTC_5[7:0]	137d	0x89
VPS_PDC_UTC_BYTE_6[7:0]	VDP_VPS_PDC_UTC_6[7:0]	138d	0x8A
VPS_PDC_UTC_BYTE_7[7:0]	VDP_VPS_PDC_UTC_7[7:0]	139d	0x8B
VPS_PDC_UTC_BYTE_8[7:0]	VDP_VPS_PDC_UTC_8[7:0]	140d	0x8C
VPS_PDC_UTC_BYTE_9[7:0]	VDP_VPS_PDC_UTC_9[7:0]	141d	0x8D
VPS_PDC_UTC_BYTE_10[7:0]	VDP_VPS_PDC_UTC_10[7:0]	142d	0x8E
VPS_PDC_UTC_BYTE_11[7:0]	VDP_VPS_PDC_UTC_11[7:0]	143d	0x8F
VPS_PDC_UTC_BYTE_12[7:0]	VDP_VPS_PDC_UTC_12[7:0]	144d	0x90

¹ デフォルト値は読出しレジスタに適用されません。

VBIシステム2

VBIシステム2というVBIデータ・スライサ（オプション）を使用することができます。このデータ・スライサは、Gemstarおよびクロズド・キャプションVBI信号をデコードする場合にのみ使用します。

このシステムを使用した場合、Gemstarデータは補助データ・ストリームでのみ使用可能となります。ある特定モードでは、1ラインのデータをICを介して読み出せます。VBIシステム2データ・スライサによるIC読出しについては、販売代理店かアナログ・デバイスズのフィールド・アプリケーション・エンジニアに尋ねてください。

Gemstarデータの再生

Gemstar互換データ再生ブロック（GSCD）は、1倍データ送信と2倍データ送信に対応しています。さらに、クロズド・キャプション・デコーダとしても機能できます。Gemstar互換データ送信はNTSCでのみ発生します。クロズド・キャプション・データはPALとNTSCの両方でデコードできます。

ブロックはICを使って次の方法で設定します。

- GDECEL[15:0]は、偶数フィールド上の選択されたビデオ・ラインでデータ再生をイネーブル/ディスエーブルにできます。
- GDECOL[15:0]は、奇数フィールドの選択されたラインでデータ再生をイネーブルにします。
- GDECADは、データをビデオ・データ・ストリーム内に埋め込む方法を設定します。

再生されたデータはIC経由では入手できませんが、ITU-R BT.656互換データ・ストリームの水平ランキング区間に挿入されます。このデータ・フォーマットは、ITUの勧告「ITU-R BT.1364」に準拠しています。詳細はITUのウェブサイト参照してください。図47を参照。

GDE_SEL_OLD_ADF、アドレス0x4C [3]、ユーザ・サブマップADV7180には、VDPデータ・スライサとVBIシステム2データ・スライサで使用できる新しい補助データ出力ブロックがあります。この新しい補助データ・フォーマットを使って、GDE_SEL_OLD_ADFを0（デフォルト値）に設定します。このビットがローレベルに設定されている場合、補助データ・ストリームのデータ・フォーマットについては表70と表71を参照してください。

従来の補助データ・フォーマット（ADV7183Bと後方互換）を使用する場合は、GDE_SEL_OLD_ADFを1に設定します。ここに示す補助データ・フォーマットは、ADV7183B互換の補助データ・フォーマットを指しています。

0（デフォルト値）—VDPおよびVBIシステム2で使用する新しい補助データ・システムをイネーブルにします。

1—VBIシステム2でのみ使用する新しい補助データ・システムをイネーブルにします（ADV7183B互換）。

データ・パケットのフォーマットは、次の基準に依存します。

- 送信は1倍、または2倍
- データ出力は8ビットまたは4ビット・フォーマット（ビットの説明を参照）
- データはクロズド・キャプション（CCAP）、またはGemstar互換

対応するイネーブル・ビットがセットされており（GDECEL[15:0]およびGDECOL[15:0]の説明を参照）、かつデコーダがデータの存在を検出した場合に、データ・パケットが出力されます。データがデコードされなかったビデオ・ラインに対しては、対応するライン・イネーブル・ビットがセットされていても、データ・パケットは出力されません。

各データ・パケットは、前のラインのEAVコードの直後から開始されます。データ・パケットの全体構造を示す図47と表82を参照してください。

パケットの内容は次のとおりです。

- 固定プリアンブル・シーケンス：0x00、0xFF、0xFF
- データ識別ワード（DID）：GemstarまたはCCAPデータ・パケットを表すDID値は0x140（10ビット値）
- セカンダリ・データ識別ワード（SDID）：このワードには、データの取出し元になったビデオ・ライン、Gemstar送信が1倍か2倍かのフォーマット種別、偶数フィールドまたは奇数フィールドのどちらから取り出したかについての情報が含まれています。

- データ・カウント・バイト：後続のユーザ・データワード数を表します。
- ユーザ・データ・セクション
- パケットのユーザ・データワード・セクションの長さが4バイトの倍数になるようにするためのオプションのパディング・バイト（ITU-R BT.1364の規定）
- チェックサム・バイト

表82に、ADV7180が8ビット・フォーマットで出力する際の一般的なデータ・パケット内の値を示します。

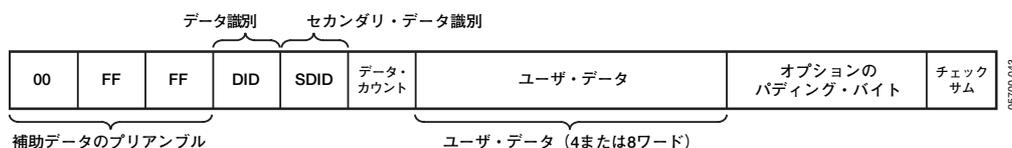


図47. GemstarおよびCCAPの埋込みデータ・パケット（一般形式）

表82. 一般的なデータ出力パケット

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	\overline{EP}	EP	EF	2X	line[3:0]				0	0	SDID
5	\overline{EP}	EP	0	0	0	0	DC[1]	DC[0]	0	0	データ・カウント（DC）
6	\overline{EP}	EP	0	0	word1[7:4]				0	0	ユーザ・データワード
7	\overline{EP}	EP	0	0	word1[3:0]				0	0	ユーザ・データワード
8	\overline{EP}	EP	0	0	word2[7:4]				0	0	ユーザ・データワード
9	\overline{EP}	EP	0	0	word2[3:0]				0	0	ユーザ・データワード
10	\overline{EP}	EP	0	0	word3[7:4]				0	0	ユーザ・データワード
11	\overline{EP}	EP	0	0	word3[3:0]				0	0	ユーザ・データワード
12	\overline{EP}	EP	0	0	word4[7:4]				0	0	ユーザ・データワード
13	\overline{EP}	EP	0	0	word4[3:0]				0	0	ユーザ・データワード
14	$\overline{CS[8]}$	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	0	0	チェックサム

表83. データ・バイトの割当て

	ビデオ・ラインから 取り出された 原情報のバイト数	GDECAD	ユーザ・データワード (パディングを含む)	パディング・ バイト数	DC[1:0]
2倍	4	0	8	0	10
1	4	1	4	0	01
0	2	0	4	0	01
0	2	1	4	2	01

Gemstarビット名

- **DID**：データ識別値は0x140（10ビット値）。8ビット・システムの場合、下位2ビットが重要な情報を運ばないように注意が必要です。
- **EP**と**EP**：EPビットは、データワードD[8:0]に偶数パリティを適用するときにセットします。偶数パリティは、D[8:0]ビット内に常に偶数個の1が存在することを意味します。これにはEPビットも含まれます。EPは、EPの反転ロジックを表し、D[9]に出力されます。EPは、予備のコード00とFFが発生しないように出力されます。
- **EF**：偶数フィールドの識別。EF=1は、偶数フィールドのビデオ・ラインからデータが再生されたことを示します。
- **2X**：このビットは、スライスされたデータがGemstar 1倍フォーマットか2倍フォーマットかを表します。ハイレベルは2倍フォーマットを示します。2Xビットは、ビデオ・ラインから取り出された原情報が2バイトか4バイトかを示します。GDECADビットの状態は、バイトをそのまま送信するか（すなわち、2バイトを2バイトとして送信）、ニブルに分割するか（すなわち、2バイトを4つの半バイトで送信）を表します。その後、必要に応じてパディング・バイトが追加されます。
- **line[3:0]**：Gemstarデータが取り出された可能性のある16本のソース・ビデオ・ラインの各々に対して、個別のコードを提供します。表92と表93を参照してください。

- **DC[1:0]**：データ・カウント値。4分割されたパケット内のUDW数。どのパケット内のUDW数も4の整数倍である必要があります。ITU-R BT.1364に準拠して最後にパディングが必要となる場合があります。表83を参照。
- **CS[8:2]**：チェックサムは、補助データ・パケットの完全性を判断するためのものです。DIDのD[8:2]、SDID、データ・カウント・バイト、すべてのUDWを加算し、加算時のオーバーフローを無視して計算されます。チェックサムの計算に使われるすべてのデータ・バイトは下位2ビットが0に設定されるため、CS[1:0]ビットも常に0となります。
- **CS[8]**：CS[8]の反転ロジックを表します。値CS[8]は、予備の値0x00と0xFFが発生させないように、データ・パケットのチェックサムに含まれています。

表84～表89に、可能なデータ・パッケージの概要を示します。

Gemstar 2倍フォーマット、半バイト出力モード

CDECADを0に設定すると、半バイト出力モードが選択されます。CDECADを1に設定すると、フルバイト出力モードが選択されます。「GDECAD（Gemstarデコード補助データ・フォーマット）、アドレス0x4C [0]」を参照してください。

Gemstar 1倍フォーマット

CDECADを0に設定すると、半バイト出力モードが選択されます。CDECADを1に設定すると、フルバイト出力モードが選択されます。「GDECAD（Gemstarデコード補助データ・フォーマット）、アドレス0x4C [0]」を参照してください。

表84. Gemstar 2倍データ、半バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンプル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンプル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンプル
3	0	1	0	1	0	0	0	0	0	0	DID
4	EP	EP	EF	1	line[3:0]				0	0	SDID
5	EP	EP	0	0	0	0	1	0	0	0	データ・カウント (DC)
6	EP	EP	0	0	Gemstar word1[7:4]				0	0	ユーザ・データワード
7	EP	EP	0	0	Gemstar word1[3:0]				0	0	ユーザ・データワード
8	EP	EP	0	0	Gemstar word2[7:4]				0	0	ユーザ・データワード
9	EP	EP	0	0	Gemstar word2[3:0]				0	0	ユーザ・データワード
10	EP	EP	0	0	Gemstar word3[7:4]				0	0	ユーザ・データワード
11	EP	EP	0	0	Gemstar word3[3:0]				0	0	ユーザ・データワード
12	EP	EP	0	0	Gemstar word4[7:4]				0	0	ユーザ・データワード
13	EP	EP	0	0	Gemstar word4[3:0]				0	0	ユーザ・データワード
14	CS[8]	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表85. Gemstar 2倍データ、フルバイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	\overline{EP}	EP	EF	1	line[3:0]				0	0	SDID
5	\overline{EP}	EP	0	0	0	0	0	1	0	0	データ・カウント (DC)
6	Gemstar word1[7:0]								0	0	ユーザ・データワード
7	Gemstar word2[7:0]								0	0	ユーザ・データワード
8	Gemstar word3[7:0]								0	0	ユーザ・データワード
9	Gemstar word4[7:0]								0	0	ユーザ・データワード
10	$\overline{CS[8]}$	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表86. Gemstar 1倍データ、半バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	\overline{EP}	EP	EF	0	line[3:0]				0	0	SDID
5	\overline{EP}	EP	0	0	0	0	0	1	0	0	データ・カウント (DC)
6	\overline{EP}	EP	0	0	Gemstar word1[7:4]				0	0	ユーザ・データワード
7	\overline{EP}	EP	0	0	Gemstar word1[3:0]				0	0	ユーザ・データワード
8	\overline{EP}	EP	0	0	Gemstar word2[7:4]				0	0	ユーザ・データワード
9	\overline{EP}	EP	0	0	Gemstar word2[3:0]				0	0	ユーザ・データワード
10	$\overline{CS[8]}$	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表87. Gemstar 1倍データ、フルバイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	\overline{EP}	EP	EF	0	line[3:0]				0	0	SDID
5	\overline{EP}	EP	0	0	0	0	0	1	0	0	データ・カウント (DC)
6	Gemstar word1[7:0]								0	0	ユーザ・データワード
7	Gemstar word2[7:0]								0	0	ユーザ・データワード
8	1	0	0	0	0	0	0	0	0	0	UDWパディング0x200
9	1	0	0	0	0	0	0	0	0	0	UDWパディング0x200
10	$\overline{CS[8]}$	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

ADV7180

表88. NTSC CCAPデータ、半バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	\overline{EP}	EP	EF	0	1	0	1	1	0	0	SDID
5	\overline{EP}	EP	0	0	0	0	0	1	0	0	データ・カウント (DC)
6	\overline{EP}	EP	0	0	CCAP word1[7:4]				0	0	ユーザ・データワード
7	\overline{EP}	EP	0	0	CCAP word1[3:0]				0	0	ユーザ・データワード
8	\overline{EP}	EP	0	0	CCAP word2[7:4]				0	0	ユーザ・データワード
9	\overline{EP}	EP	0	0	CCAP word2[3:0]				0	0	ユーザ・データワード
10	$\overline{CS[8]}$	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表89. NTSC CCAPデータ、フルバイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	\overline{EP}	EP	EF	0	1	0	1	1	0	0	SDID
5	\overline{EP}	EP	0	0	0	0	0	1	0	0	データ・カウント (DC)
6	CCAP word1[7:0]								0	0	ユーザ・データワード
7	CCAP word2[7:0]								0	0	ユーザ・データワード
8	1	0	0	0	0	0	0	0	0	0	UDWパディング0x200
9	1	0	0	0	0	0	0	0	0	0	UDWパディング0x200
10	$\overline{CS[8]}$	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表90. PAL CCAPデータ、半バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	\overline{EP}	EP	EF	0	1	0	1	0	0	0	SDID
5	\overline{EP}	EP	0	0	0	0	0	1	0	0	データ・カウント (DC)
6	\overline{EP}	EP	0	0	CCAP word1[7:4]				0	0	ユーザ・データワード
7	\overline{EP}	EP	0	0	CCAP word1[3:0]				0	0	ユーザ・データワード
8	\overline{EP}	EP	0	0	CCAP word2[7:4]				0	0	ユーザ・データワード
9	\overline{EP}	EP	0	0	CCAP word2[3:0]				0	0	ユーザ・データワード
10	$\overline{CS[8]}$	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表91. PAL CCAPデータ、フルバイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	\overline{EP}	EP	EF	0	1	0	1	0	0	0	SDID
5	\overline{EP}	EP	0	0	0	0	0	1	0	0	データ・カウント (DC)
6	CCAP word1[7:0]								0	0	ユーザ・データワード
7	CCAP word2[7:0]								0	0	ユーザ・データワード
8	1	0	0	0	0	0	0	0	0	0	UDWバディング0x200
9	1	0	0	0	0	0	0	0	0	0	UDWバディング0x200
10	$\overline{CS[8]}$	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

NTSC CCAPデータ

CDECADを0に設定すると、半バイト出力モードが選択されます。CDECADを1に設定すると、フルバイト・モードがイネーブルになります。「GDECAD (Gemstarデコード補助データ・フォーマット)、アドレス0x4C [0]」を参照してください。表88と表89に、データ・パケット・フォーマットを示します。出力データ・ストリームには、クローズド・キャプション・データのみ埋め込みできます。

NTSCクローズド・キャプション・データは、偶数および奇数フィールドの21番目のラインでスライスされます。対応するイネーブル・ビットはハイレベルに設定する必要があります。「GDECAD (Gemstarデコード補助データ・フォーマット)、アドレス0x4C [0]」および「GDECOL[15:0] (Gemstarデコード奇数ライン)、アドレス0x4A [7:0]、アドレス0x4B [7:0]」の各項を参照してください。

PAL CCAPデータ

CDECADを0に設定すると、半バイト出力モードが選択されます。CDECADを1に設定すると、フルバイト出力モードが選択されます。「GDECAD (Gemstarデコード補助データ・フォーマット)、アドレス0x4C [0]」を参照してください。表90と表91に、データ・パケットのバイトの一覧を示します。

出力データ・ストリームには、クローズド・キャプション・データのみ埋め込みできます。PALクローズド・キャプション・データは、22番目と335番目のラインでスライスされます。

対応するイネーブル・ビットをセットする必要があります。

「GDECOL[15:0] (Gemstarデコード偶数ライン)、アドレス0x48 [7:0]、アドレス0x49 [7:0]」および「GDECOL[15:0] (Gemstarデコード奇数ライン)、アドレス0x4A [7:0]、アドレス0x4B [7:0]」の各項を参照してください。

GDECOL[15:0] (Gemstarデコード偶数ライン)、アドレス0x48 [7:0]、アドレス0x49 [7:0]

GDECOL[15:0]の16ビットは、16個の別々のライン・デコード・イネーブル信号の集まりとして解釈されます。各ビットは、偶数フィールド内のビデオ・ラインに対応します。このビットを1に設定すると、該当するライン上で、デコーダ・ブロックがGemstarまたはクローズド・キャプション互換データを検索できるようになります。このビットを0に設定すると、デコーダはデータの取出しを行いません。表92と表93を参照。

NTSC (ライン284) 上でクローズド・キャプション・データ・サービスを取り出すときは、GDECOL[11]を必ず1に設定します。

PAL (ライン335) 上でクローズド・キャプション・データ・サービスを取り出すときは、GDECOL[14]を必ず1に設定します。

GDECOL[15:0]のデフォルト値は0x0000です。この設定のとき、デコーダは偶数フィールドのすべてのライン上でGemstarまたはCCAPデータのデコードを行いません。VBIデータの可能性のあるラインでのみ、Gemstarをスライスできるようにします。

ADV7180

表92. NTSCライン・イネーブル・ビットと対応するライン番号

line[3:0]	ライン番号 (ITU-R BT.470)	イネーブル・ ビット	コメント
0	10	GDECOL[0]	Gemstar
1	11	GDECOL[1]	Gemstar
2	12	GDECOL[2]	Gemstar
3	13	GDECOL[3]	Gemstar
4	14	GDECOL[4]	Gemstar
5	15	GDECOL[5]	Gemstar
6	16	GDECOL[6]	Gemstar
7	17	GDECOL[7]	Gemstar
8	18	GDECOL[8]	Gemstar
9	19	GDECOL[9]	Gemstar
10	20	GDECOL[10]	Gemstar
11	21	GDECOL[11]	Gemstarまたは クローズド・ キャプション
12	22	GDECOL[12]	Gemstar
13	23	GDECOL[13]	Gemstar
14	24	GDECOL[14]	Gemstar
15	25	GDECOL[15]	Gemstar
0	273 (10)	GDECEL[0]	Gemstar
1	274 (11)	GDECEL[1]	Gemstar
2	275 (12)	GDECEL[2]	Gemstar
3	276 (13)	GDECEL[3]	Gemstar
4	277 (14)	GDECEL[4]	Gemstar
5	278 (15)	GDECEL[5]	Gemstar
6	279 (16)	GDECEL[6]	Gemstar
7	280 (17)	GDECEL[7]	Gemstar
8	281 (18)	GDECEL[8]	Gemstar
9	282 (19)	GDECEL[9]	Gemstar
10	283 (20)	GDECEL[10]	Gemstar
11	284 (21)	GDECEL[11]	Gemstarまたは クローズド・ キャプション
12	285 (22)	GDECEL[12]	Gemstar
13	286 (23)	GDECEL[13]	Gemstar
14	287 (24)	GDECEL[14]	Gemstar
15	288 (25)	GDECEL[15]	Gemstar

GDECOL[15:0] (Gemstarデコーディング奇数ライン)、
アドレス0x4A [7:0]、アドレス0x4B [7:0]

GDECOL[15:0]の16ビットは16個の別々のライン・デコード・イネーブル信号の集合として解釈されます。表92と表93を参照。

NTSC (ライン21) 上でクローズド・キャプション・データ・サービスを取り出すときは、GDECOL[11]を必ず1に設定します。

PAL (ライン22) 上でクローズド・キャプション・データ・サービスを取り出すときは、GDECOL[14]を必ず1に設定します。

GDECOL[15:0]のデフォルト値は0x0000です。この設定のときは、奇数フィールドのすべてのライン上でGemstarまたはCCAPデータのデコードを行いません。VBIデータの可能性があるラインでのみ、Gemstarをスライスできるようにします。

GDECAD (Gemstarデコード補助データ・フォーマット)、
アドレス0x4C [0]

Gemstar互換送信またはクローズド・キャプション送信からのデコードされたデータが、対応するビデオ・ラインの水平ランキング区間に挿入されます。取り出されたデータ・バイトの値が0x00または0xFFの場合、問題が発生することがあります。ITU-R BT.656互換データ・ストリームでは、これらの値は予備で、固定プリアンプルを構成するためにのみ使われます。GDECADビットを使用し、次の2つの方法でデータを水平ランキング区間に挿入できます。

- 予備値0x00と0xFFが発生した場合でも、すべてのデータをそのままデータ・ストリームに挿入する。これは、出力データ・フォーマット仕様「ITU-R BT.1364」に違反するおそれがあります。
- すべてのデータをニブルに分割し、2倍のサイクル数の間にわたって、半バイトを4ビット・フォーマットで挿入する。

0 (デフォルト値)—データを半バイトに分割して挿入します。

1—データをそのまま8ビット・フォーマットでデータ・ストリームに出力します。

表93. PALライン・イネーブル・ビットと対応するライン番号

line[3:0]	ライン番号 (ITU-R BT.470)	イネーブル・ ビット	コメント
12	8	GDECOL[0]	無効
13	9	GDECOL[1]	無効
14	10	GDECOL[2]	無効
15	11	GDECOL[3]	無効
0	12	GDECOL[4]	無効
1	13	GDECOL[5]	無効
2	14	GDECOL[6]	無効
3	15	GDECOL[7]	無効
4	16	GDECOL[8]	無効
5	17	GDECOL[9]	無効
6	18	GDECOL[10]	無効
7	19	GDECOL[11]	無効
8	20	GDECOL[12]	無効
9	21	GDECOL[13]	無効
10	22	GDECOL[14]	クローズド・ キャプション
11	23	GDECOL[15]	無効
12	321 (8)	GDECEL[0]	無効
13	322 (9)	GDECEL[1]	無効
14	323 (10)	GDECEL[2]	無効
15	324 (11)	GDECEL[3]	無効
0	325 (12)	GDECEL[4]	無効
1	326 (13)	GDECEL[5]	無効
2	327 (14)	GDECEL[6]	無効
3	328 (15)	GDECEL[7]	無効
4	329 (16)	GDECEL[8]	無効
5	330 (17)	GDECEL[9]	無効
6	331 (18)	GDECEL[10]	無効
7	332 (19)	GDECEL[11]	無効
8	333 (20)	GDECEL[12]	無効
9	334 (21)	GDECEL[13]	無効
10	335 (22)	GDECEL[14]	クローズド・ キャプション
11	336 (23)	GDECEL[15]	無効

レターボックスの検出

入力ビデオ信号は別のアスペクト比に準拠することがあります(16:9のワイド・スクリーンまたは4:3の標準)。ワイド・スクリーン・フォーマットの送信では、ビデオ信号と一緒にデジタル・シーケンス(WSS)が送信されます。WSSシーケンスが用意されている場合、ビデオのアスペクト比はWSSに含まれるデジタル的にデコードされたビットから求められます。

WSSシーケンスがない場合は、レターボックスの検出を使用し、ワイド・スクリーン信号を探します。この検出アルゴリズムでは、フィールドの開始と終了でラインのアクティブ・ビデオの内容を調べます。ブラックのラインが検出されたら、表示中のピクチャがワイド・スクリーン・フォーマットであることを表します。

ビデオ1ライン分のアクティブ・ビデオの内容(輝度信号振幅)が加算されます。ラインの終了で、加算値がスレッシュホールドと比較され、特定のラインがブラックであるか否かの判定が行われます。必要なスレッシュホールド値は入力信号のタイプに依存しますが、LB_TH[4:0]で制御できます。

フィールド開始での検出

ADV7180は、フィールドの先頭でビデオのブラック・ラインが少なくとも6ライン連続することを想定しています。これらのラインが検出されると、レジスタLB_LCT[7:0]が実際に検出したブラック・ライン数を報告してきます。デフォルトでは、ADV7180はアクティブ・ビデオの開始に同期してこれらのブラック・ラインを探し始めます(たとえば、最終VBIビデオ・ラインの直後)。LB_SL[3:0]を使用し、ラインごとにフレームの先頭からレターボックスの検出を開始するように設定できます。検出ウィンドウは、フィールドの中央で閉じます。

フィールド終了での検出

ADV7180は、実際に検出したライン数をLB_LCB[7:0]で報告する前に、フィールドの下部にブラック・ビデオのラインが少なくとも6ライン連続することを想定しています。レターボックス検出(フィールドの終了)の動作ウィンドウは、アクティブ・フィールドの中央で開きます。終了はLB_EL[3:0]で設定できます。

中央部での検出

下部のブラック・ボックス内にサブタイトルを含むワイド・スクリーン・ビデオ送信もあります。ADV7180が、少なくとも2個のブラック・ライン、複数の非ブラック・ビデオ(たとえば、サブタイトル)、下部ブラック・ブロックの残りの部分を順次検出した場合、LB_LCM[7:0]で中央のライン数を報告します。サブタイトルが見つからない場合は、LB_LCM[7:0]はLB_LCB[7:0]と同じ値を報告します。

ライン・カウント・パラメータの報告には2フィールド分の遅延があります。

「レターボックスの検出完了」ビットはありません。LB_LCT[7:0]レジスタ値とLB_LCB[7:0]レジスタ値を読み出し、ソフトウェアでレターボックス型ビデオの存在について判断する必要があります。

LB_LCT[7:0] (レターボックス・ライン・カウント上部)、アドレス0x9B [7:0]
LB_LCM[7:0] (レターボックス・ライン・カウント中央)、アドレス0x9C [7:0]
LB_LCB[7:0] (レターボックス・ライン・カウント下部)、アドレス0x9D [7:0]

表94. LB_LCxアクセス情報

信号名	アドレス
LB_LCT[7:0]	0x9B
LB_LCM[7:0]	0x9C
LB_LCB[7:0]	0x9D

LB_TH[4:0] (レターボックス・スレッシュホールド・コントロール)、アドレス0xDC [4:0]

表95. LB_THの機能

LB_TH[4:0]	説明
01100 (デフォルト値)	ブラック・ライン検出のデフォルトのスレッシュホールド
01101~10000	スレッシュホールドを増加(非ブラック・ラインを識別するまでに大きなアクティブ・ビデオ内容が必要)
00000~01011	スレッシュホールドを減少(小さいノイズ・レベルでも、非ブラック・ラインを検出できる)

LB_SL[3:0] (レターボックス開始ライン)、アドレス0xDD [7:4]

LB_SL[3:0]ビットはデフォルトで0100に設定してあります。NTSC信号では、このウィンドウはライン23~286です。

このビットを0101に変更すると、検出ウィンドウはライン24で開き、ライン287で閉じます。

LB_EL[3:0] (レターボックス終了ライン)、アドレス0xDD [3:0]

LB_EL[3:0]ビットはデフォルトで1101に設定してあります。これは、レターボックスの検出ウィンドウがビデオの最終アクティブ・ビデオ・ラインで閉じるということです。NTSC信号では、このウィンドウはライン262~525です。

このビットを1100に変更すると、検出ウィンドウはライン261で開き、ライン254で閉じます。

ADV7180

ピクセル・ポートの設定

ADV7180は非常に柔軟なピクセル・ポートを持っており、下流のICに対応したさまざまなフォーマットに設定できます。表96、表97、表98に、各動作モードのときのADV7180のピンに割り当てられているさまざまな機能をまとめています。

コンポーネントの順序（たとえば、Cr対Cb、チャンネルA/B/C）は変更可能です。「SWPC（ピクセルCr/Cbのスワップ）、アドレス0x27 [7]」を参照してください。表96に、Cr/Cbコンポーネントのデフォルト位置を示します。

OF_SEL[3:0]（出力フォーマット選択）、アドレス0x03 [5:2] ADV7180のピクセル・ポートを設定するモードは、OF_SEL[3:0]で制御できます。詳細は表98を参照。

LLC1ピンのデフォルトのLLC周波数出力は約27MHzです。公称データレート13.5MHz（0001, 0010）で動作するモードでは、LLC1ピンのクロック周波数は高いほうのレート27MHzに維持されます。LLC1ピンに公称の13.5MHzのクロックを出力させることについては、「LLC_PAD_SEL[2:0]（LLC1出力選択）、アドレス0x8F [6:4]」を参照してください。

SWPC（ピクセルCr/Cbのスワップ）、アドレス0x27 [7] このビットにより、CrサンプルとCbサンプルをスワップできます。

SWPCが0（デフォルト値）のとき、スワップはできません。

SWPCが1のとき、Cr値とCb値をスワップできます。

LLC_PAD_SEL[2:0]（LLC1出力選択）、アドレス0x8F [6:4] 次のPC書き込みを行うと、LLC1（公称27MHz）またはLLC2（公称13.5MHz）をLLC1ピンの出力として選択できます。

LLC2信号は、LLC2互換の広いバス（16ビット）出力モードに便利です。詳細は「OF_SEL[3:0]（出力フォーマット選択）、アドレス0x03 [5:2]」を参照してください。データ・バス上のLLC2信号とデータは同期しています。デフォルトで、LLC1/LLC2の立上がりエッジはYデータに一致しています。データ・バス上にCデータがある場合、立下がりエッジが発生します。クロックの極性、したがってクロック・エッジとY/Cの対応は、極性LLCピンを使って変更できます。

LLC_PAD_SELが000（デフォルト値）のとき、LLC1ピンに公称27MHz LLCを出力します。

LLC_PAD_SELが101のとき、LLC1ピンに公称13.5MHz LLCを出力します。

表96. ADV7180 LQFP-64 : P15~P0入出力ピンの対応

フォーマットとモード	データ・ポート・ピンP[15:0]														
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
ビデオ出力、8ビット、4:2:2	YCrCb[7:0]出力							CrCb[7:0]出力							
ビデオ出力、16ビット、4:2:2	Y[7:0]出力							CrCb[7:0]出力							

表97. ADV7180 LFCSP-40 : P7~P0入出力ピンの対応

フォーマットとモード	データ・ポート・ピンP[7:0]							
	7	6	5	4	3	2	1	0
ビデオ出力、8ビット、4:2:2	YCrCb[7:0]出力							

表98. ADV7180の標準画質ピクセル・ポート・モード

OF_SEL[3:0]	フォーマット	ADV7180 LQFP-64 P[15:0]		ADV7180 LFCSP-40
		P[15:8]	P[7:0]	P[7:0]
0000~0001	予備	予備、使用不可		
0010	16ビット@LLC2 4:2:2	Y[7:0]	CrCb[7:0]	無効
0011（デフォルト値）	8ビット@LLC1 4:2:2（デフォルト値）	YCrCb[7:0]	スリーステート	YCrCb[7:0]
0100~1111	予備	予備、使用不可		

GPO制御

ADV7180 LQFP-64には、4つの汎用出力（GPO）があります。これらの出力は、ADV7180 LQFP-64のI²Cポート経由でシステムの他のデバイスを制御できます。

ADV7180 LFCSP-40には、GPOピンはありません。

GPOイネーブル（汎用出力イネーブル）アドレス0x59[4]
GPO_Enableを0に設定すると、4つのGPOピンがすべてスリープ状態になります。

GPO_Enableを1に設定すると、4つのGPOピンがすべて駆動状態になります。各GPOからの極性出力はGPO[3:0]で制御します。

GPO[3:0]（汎用出力）、アドレス0x59 [3:0]
4つのGPOポートは、GPO[3:0]を使って個別に制御できます。

GPOピンをアクティブにするには、GPO_Enableを1に設定する必要があります。

GPO[0]
GPO[0]を0に設定すると、GPO0ピン（13番ピン）からロジック・レベル0が出力されます。

GPO[0]を1に設定すると、GPO0ピンからロジック・レベル1が出力されます。

GPO[1]
GPO[1]を0に設定すると、GPO1ピン（12番ピン）からロジック・レベル0が出力されます。

GPO[1]を1に設定すると、GPO1ピンからロジック・レベル1が出力されます。

GPO[2]
GPO[2]を0に設定すると、GPO2ピン（56番ピン）からロジック・レベル0が出力されます。

GPO[2]を1に設定すると、GPO2ピンからロジック・レベル1が出力されます。

GPO[3]
GPO[3]を0に設定すると、GPO3ピン（55番ピン）からロジック・レベル0が出力されます。

GPO[3]を1に設定すると、GPO3ピンからロジック・レベル1が出力されます。

表99. 汎用出力の真理値表

GPO_Enable	GPO[3:0]	GPO3	GPO2	GPO1	GPO0
0	XXXX	Z	Z	Z	Z
1	0000	0	0	0	0
1	0001	0	0	0	1
1	0010	0	0	1	0
1	0011	0	0	1	1
1	0100	0	1	0	0
1	0101	0	1	0	1
1	0110	0	1	1	0
1	0111	0	1	1	1
1	1000	1	0	0	0
1	1001	1	0	0	1
1	1010	1	0	1	0
1	1011	1	0	1	1
1	1100	1	1	0	0
1	1101	1	1	0	1
1	1110	1	1	1	0
1	1111	1	1	1	1

MPUポートの説明

ADV7180は、2線式（I²C互換）シリアル・インターフェースをサポートしています。シリアル・データ（SDA）およびシリアル・クロック（SCLK）の2つの入力、ADV7180とシステムのI²Cマスター・コントローラとの間で情報を転送します。各スレーブ・デバイスは、独自のアドレスで識別されます。ADV7180のI²Cポートにより、デコーダのセットアップと設定が可能になり、取り込んだVBIデータが読み出せるようになります。ADV7180には、ALSBピンのロジック・レベルに応じて、読出しと書込みの両動作に4つのスレーブ・アドレスがあります。表100に、これらの4つの固有のアドレスを示します。ADV7180のALSBピンは、スレーブ・アドレスのビット1を制御します。ALSBを変えることにより、同じスレーブ・アドレスでも競合することなく、1つのアプリケーション内で2つのADV7180を制御することができます。LSB（ビット0）は、読出し動作または書込み動作を指定します。ロジック1が読出し動作に、ロジック0が書込み動作に対応します。

表100. ADV7180のI²Cアドレス

ALSB	R/W	スレーブ・アドレス
0	0	0x40
0	1	0x41
1	0	0x42
1	1	0x43

バス上のデバイスを制御するには、特定のプロトコルに従う必要があります。まず、マスターがスタート状態を確立してデータ転送を開始します。スタート状態とは、SCLKがハイレベルの間に、SDAがハイレベルからローレベルに遷移することです。これは、アドレス/データ・ストリームが後ろに続くことを示します。すべてのスレーブはスタート状態に応答し、次の8ビット（7ビット・アドレス+R/Wビット）をシフトします。各ビットは、MSBからLSBの順に転送されます。送信されたアドレスを認識したスレーブは、9番目のクロック・パルスの際に、データラインをローレベルにプルダウンして応答します。これはアクノレッジ・ビットと呼ばれています。この時点で、バス上の他のすべてのデバイスがバスから離脱し、アイドル状態を維持します。アイドル状態では、デバイスはSDAラインとSCLKラインを監視し、スタート状態と正しいアドレスの受信を待ちます。R/Wビットによりデータの転送方向が指定されます。先頭バイトのLSBがロジック0なら、マスターがスレーブに情報を書き込むことを意味します。先頭バイトのLSBがロジック1なら、マスターがスレーブから情報を読み出すことを意味します。

ADV7180はバス上の標準スレーブ・デバイスとして機能します。SDAピン上のデータは8ビット長で、7ビット・アドレスとR/Wビットからなります。ADV7180は内部レジスタにアクセスできるように、249のサブアドレスを持っています。このため、先頭バイトをデバイス・アドレスとして、2番目のバイトをサブアドレスの先頭として解釈します。サブアドレスの自動インクリメント機能により、サブアドレスの先頭からデータの書込みまたは読出しが可能になっています。データ転送は常にストップ状態によって終了します。すべてのレジスタを更新することなく、固有のサブアドレス・レジスタに1つずつアクセスすることもできます。

ストップ状態とスタート状態は、データ転送のどの段階でも検出できます。通常読出し動作と書込み動作でこれらの状態が検出されると、直ちにアイドル状態になります。SCLKがハイレベルの間は、1ビットのスタート状態か、1ビットのストップ状態、または1ビットのストップ状態プラス1ビットのスタート状態のみ発行できます。無効なサブアドレスが発行されると、ADV7180はアクノレッジを発行せず、アイドル状態に戻ります。

自動インクリメント・モードで最高サブアドレスを超えると、次の動作が生じます。

- 読出しモードでは、マスター・デバイスがノー・アクノレッジを発行するまで、引き続き最高サブアドレス・レジスタの値が出力されます。ノー・アクノレッジは読出しの終了を意味します。ノー・アクノレッジの状態では、9番目のパルスでSDAラインがローレベルになりません。
- 書込みモードでは、無効バイトのデータがサブアドレス・レジスタにロードされず、ADV7180からノー・アクノレッジが発行されて、デバイスはアイドル状態に戻ります。

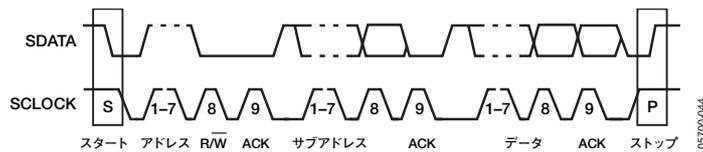


図48. バス・データの転送

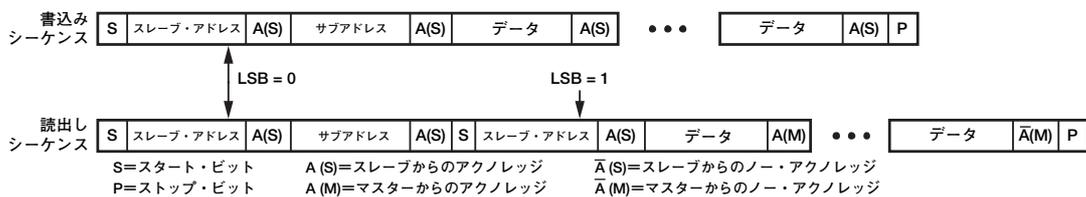


図49. 読出しシーケンスと書込みシーケンス

レジスタのアクセス

MPUは、書込み専用のサブアドレス・レジスタを除くADV7180のすべてのレジスタに対して、書込みまたは読出しを行うことができます。サブアドレス・レジスタは、次の読出しまたは書込み動作でアクセスするレジスタを指定します。デバイスとのバス経由のすべての通信は、サブアドレス・レジスタに対するアクセスで開始されます。それから、ターゲット・アドレスに対して読出し／書込み動作が実行され、その後、バス上でストップ・コマンドが実行されるまで次のアドレスにインクリメントされます。

レジスタの設定

以下に、各レジスタの設定について説明します。コミュニケーション・レジスタは8ビット幅の書込み専用レジスタです。バス上のデバイスにアクセスした後に、読出し／書込み動作が選択されると、サブアドレスが設定されます。サブアドレス・レジスタは、動作の対象となるレジスタを指定します。表101に、コントロール・ポートに対するサブアドレス・レジスタの制御の下で行われる動作の一覧を示します。

SUB_USR_EN、アドレス0x0E [5]

レジスタ・マップをレジスタの0x40で分割します。

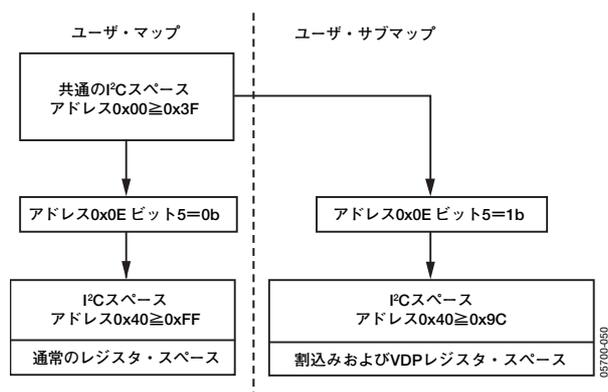


図50. レジスタのアクセス—ユーザー・マップとユーザー・サブマップ

レジスタ・セレクト (SR7~SR0)

これらのビットで必要とされる開始アドレスを指定します。

I²Cシーケンサ

I²Cシーケンサは、パラメータが8ビットを超えたために、2つ以上のI²Cレジスタ（たとえば、HSB[11:0]）に分配される場合に使用します。

このようなパラメータが2回以上のI²C書込み動作によって変更されると、最初のI²Cが動作を終了してから最後のI²Cが動作を完了するまでの間、パラメータは無効な値を保持します。つまり、パラメータの先頭ビットはすでに新しい値を保持していますが、パラメータの残りのビットはまだ古い値を保持することになります。

この問題を避けるため、I²Cシーケンサはパラメータのすでに更新されたビットをローカル・メモリに保持しておき、最後のレジスタ書込み動作が完了した後にパラメータの全ビットを同時に更新します。

I²Cシーケンサの正しい動作は、次の条件に依存します。

- 問題のパラメータに対するすべてのI²Cレジスタは、アドレスの昇順に書込みを行う（たとえば、HSB[10:0]の場合、先にアドレス0x34に書き込み、その後0x35に書き込む）。
- そのシーケンスでの2回（または、それ以上）のI²C書込みの間には、他のI²C動作が発生しない（たとえば、HSB[10:0]の場合、先にアドレス0x34に書き込み、その直後に0x35に書き込む）。

ADV7180

I²Cレジスタ・マップ

表101. メイン・レジスタ・マップの詳細

アドレス		レジスタ名	RW	7	6	5	4	3	2	1	0	リセット値	(16進)
10進	16進												
0	00	Input Control	RW	VID_SEL[3]	VID_SEL[2]	VID_SEL[1]	VID_SEL[0]	INSEL[3]	INSEL[2]	INSEL[1]	INSEL[0]	00000000	00
1	01	Video Selection	RW		ENHSPLL	BETACAM		ENVSPROC				11001000	C8
3	03	Output Control	RW	VBI_EN	TOD	OF_SEL[3]	OF_SEL[2]	OF_SEL[1]	OF_SEL[0]		SD_DUP_AV	00001100	0C
4	04	Extended Output Control	RW	BT.656-4				TIM_OE	BL_C_VBI	EN_SFL_PIN	RANGE	01xx0101	45
5	05	Reserved											
6	06	Reserved											
7	07	Autodetect Enable	RW	AD_SEC525_EN	AD_SECAM_EN	AD_N443_EN	AD_P60_EN	AD_PALM_EN	AD_PALM_EN	AD_NTSC_EN	AD_PAL_EN	01111111	7F
8	08	Contrast	RW	CON[7]	CON[6]	CON[5]	CON[4]	CON[3]	CON[2]	CON[1]	CON[0]	10000000	80
9	09	Reserved											
10	0A	Brightness	RW	BRI[7]	BRI[6]	BRI[5]	BRI[4]	BRI[3]	BRI[2]	BRI[1]	BRI[0]	00000000	00
11	0B	Hue	RW	HUE[7]	HUE[6]	HUE[5]	HUE[4]	HUE[3]	HUE[2]	HUE[1]	HUE[0]	00000000	00
12	0C	Default Value Y	RW	DEF_Y[5]	DEF_Y[4]	DEF_Y[3]	DEF_Y[2]	DEF_Y[1]	DEF_Y[0]	DEF_VAL_AUTO_EN	DEF_VAL_EN	00110110	36
13	0D	Default Value C	RW	DEF_C[7]	DEF_C[6]	DEF_C[5]	DEF_C[4]	DEF_C[3]	DEF_C[2]	DEF_C[1]	DEF_C[0]	01111100	7C
14	0E	ADI Control 1				SUB_USR_EN						00000000	00
15	0F	Power Management	RW	RESET		PWRDWN			PDBP			00000000	00
16	10	Status 1	R	COL_KILL	AD_RESULT[2]	AD_RESULT[1]	AD_RESULT[0]	FOLLOW_PW	FSC_LOCK	LOST_LOCK	IN_LOCK	—	—
17	11	IDENT	R	IDENT[7]	IDENT[6]	IDENT[5]	IDENT[4]	IDENT[3]	IDENT[2]	IDENT[1]	IDENT[0]	00011011	1B
18	12	Status 2	R			FSC_NSTD	LL_NSTD	MV_AGC_DET	MV_PS_DET	MVCS_T3	MVCS_DET	—	—
19	13	Status 3	R	PAL_SW_LOCK	INTERLACED	STD_FLD_LEN	FREE_RUN_ACT	CVBS	SD_OP_50Hz	GEMD	INST_HLOCK	—	—
20	14	Analog Clamp Control	RW				CCLN					00010010	12
21	15	Digital Clamp Control	RW		DCT[1]	DCT[0]						0000xxxx	00
22	16	Reserved											
23	17	Shaping Filter Control 1	RW	CSFM[2]	CSFM[1]	CSFM[0]	YSFM[4]	YSFM[3]	YSFM[2]	YSFM[1]	YSFM[0]	00000001	01
24	18	Shaping Filter Control 2	RW	WYSFMOVR			WYSFM[4]	WYSFM[3]	WYSFM[2]	WYSFM[1]	WYSFM[0]	10010011	93
25	19	Comb Filter Control	RW					NSFSEL[1]	NSFSEL[0]	PSFSEL[1]	PSFSEL[0]	11110001	F1
29	1D	ADI Control 2	RW	TRI_LLC	EN28XTAL							01000xxx	40
39	27	Pixel Delay Control	RW	SWPC	AUTO_PDC_EN	CTA[2]	CTA[1]	CTA[0]		LTA[1]	LTA[0]	01011000	58
43	2B	Misc Gain Control	RW		CKE						PW_UPD	11100001	E1
44	2C	AGC Mode Control	RW		LAGC[2]	LAGC[1]	LAGC[0]			CAGC[1]	CAGC[0]	10101110	AE
45	2D	Chroma Gain Control 1	W	CAGT[1]	CAGT[0]			CMG[11]	CMG[10]	CMG[9]	CMG[8]	11101010	F4
46	2E	Chroma Gain Control 2	W	CMG[7]	CMG[6]	CMG[5]	CMG[4]	CMG[3]	CMG[2]	CMG[1]	CMG[0]	00000000	00
47	2F	Luma Gain Control 1	W	LAGT[1]	LAGT[0]			LMG[11]	LMG[10]	LMG[9]	LMG[8]	1111xxxx	F0
48	30	Luma Gain Control 2	W	LMG.7	LMG[6]	LMG[5]	LMG[4]	LMG[3]	LMG[2]	LMG[1]	LMG[0]	xxxxxxx	00
49	31	VSYNC Field Control 1	RW				NEWAYMODE	HVSTIM				00010010	12
50	32	VSYNC Field Control 2	RW	VSBO	VSBE							01000001	41
51	33	VSYNC Field Control 3	RW	VSEHO	VSEHE							10000100	84
52	34	HSYNC Position Control 1	RW		HSB[10]	HSB[9]	HSB[8]		HSE[10]	HSE[9]	HSE[8]	00000000	00
53	35	HSYNC Position Control 2	RW	HSB.7	HSB[6]	HSB[5]	HSB[4]	HSB[3]	HSB[2]	HSB[1]	HSB[0]	00000010	02
54	36	HSYNC Position Control 3	RW	HSE.7	HSE[6]	HSE[5]	HSE[4]	HSE[3]	HSE[2]	HSE[1]	HSE[0]	00000000	00
55	37	Polarity	RW	PHS		PVS		PF			PCLK	00000001	01
56	38	NTSC Comb Control	RW	CTAPSN[1]	CTAPSN[0]	CCMN[2]	CCMN[1]	CCMN[0]	YCMN[2]	YCMN[1]	YCMN[0]	10000000	80
57	39	PAL Comb Control	RW	CTAPSP[1]	CTAPSP[0]	CCMP[2]	CCMP[1]	CCMP[0]	YCMP[2]	YCMP[1]	YCMP[0]	11000000	C0
58	3A	ADC Control	RW					MUX_0_PD	MUX_1_PD	MUX_2_PD	MUX_PDN Override	00010000	10
61	3D	Manual Window Control	RW		CKILLTHR[2]	CKILLTHR[1]	CKILLTHR[0]					01110010	B2
65	41	Resample Control	RW		SFL_INV							00000001	01
72	48	Gemstar Control 1	RW	GDECEL[15]	GDECEL[14]	GDECEL[13]	GDECEL[12]	GDECEL[11]	GDECEL[10]	GDECEL[9]	GDECEL[8]	00000000	00
73	49	Gemstar Control 2	RW	GDECEL[7]	GDECEL[6]	GDECEL[5]	GDECEL[4]	GDECEL[3]	GDECEL[2]	GDECEL[1]	GDECEL[0]	00000000	00
74	4A	Gemstar Control 3	RW	GDECOL[15]	GDECOL[14]	GDECOL[13]	GDECOL[12]	GDECOL[11]	GDECOL[10]	GDECOL[9]	GDECOL[8]	00000000	00
75	4B	Gemstar Control 4	RW	GDECOL[7]	GDECOL[6]	GDECOL[5]	GDECOL[4]	GDECOL[3]	GDECOL[2]	GDECOL[1]	GDECOL[0]	00000000	00
76	4C	Gemstar Control 5	RW								GDECAD	xxxx0000	00
77	4D	CTI DNR Control 1	RW			DNR_EN		CTI_AB.1	CTI_AB.0	CTI_AB_EN	CTI_EN	11101111	EF
78	4E	CTI DNR Control 2	RW	CTI_C_TH[7]	CTI_C_TH[6]	CTI_C_TH[5]	CTI_C_TH[4]	CTI_C_TH[3]	CTI_C_TH[2]	CTI_C_TH[1]	CTI_C_TH[0]	00001000	08
80	50	CTI DNR Control 4	RW	DNR_TH[7]	DNR_TH[6]	DNR_TH[5]	DNR_TH[4]	DNR_TH[3]	DNR_TH[2]	DNR_TH[1]	DNR_TH[0]	00001000	08
81	51	Lock Count	RW	FSCLE	SRLS	COL[2]	COL[1]	COL[0]	CIL[2]	CIL[1]	CIL[0]	00100100	24
88	58	VS/FIELD Pin Control ¹	RW						ADC sampling control		VS/FIELD	00000000	00
89	59	General-Purpose O/P ²	RW				GPO_Enable	GPO[3]	GPO[2]	GPO[1]	GPO[0]	00000000	00
143	8F	Free-Run Line Length 1	W		LLC_PAD_SEL_MAN	LLC_PAD_SEL[1]	LLC_PAD_SEL[0]					00000000	00
144	90	VBI INFO	R							CCAPD			
153	99	CCAP 1	R	CCAP1[7]	CCAP1[6]	CCAP1[5]	CCAP1[4]	CCAP1[3]	CCAP1[2]	CCAP1[1]	CCAP1[0]	—	—

アドレス		レジスタ名	RW	7	6	5	4	3	2	1	0	リセット値	(16進)
10進	16進												
154	9A	CCAP 2	R	CCAP2[7]	CCAP2[6]	CCAP2[5]	CCAP2[4]	CCAP2[3]	CCAP2[2]	CCAP2[1]	CCAP2[0]	—	—
155	9B	Letterbox 1	R	LB_LCT[7]	LB_LCT[6]	LB_LCT[5]	LB_LCT[4]	LB_LCT[3]	LB_LCT[2]	LB_LCT[1]	LB_LCT[0]	—	—
156	9C	Letterbox 2	R	LB_LCM[7]	LB_LCM[6]	LB_LCM[5]	LB_LCM[4]	LB_LCM[3]	LB_LCM[2]	LB_LCM[1]	LB_LCM[0]	—	—
157	9D	Letterbox 3	R	LB_LCB[7]	LB_LCB[6]	LB_LCB[5]	LB_LCB[4]	LB_LCB[3]	LB_LCB[2]	LB_LCB[1]	LB_LCB[0]	—	—
178	B2	CRC	W						CRC_ENABLE			00011100	1C
195	C3	ADC Switch 1	RW	MUX1[3]	MUX1[2]	MUX1[1]	MUX1[0]	MUX0[3]	MUX0[2]	MUX0[1]	MUX0[0]	xxxxxxx	00
196	C4	ADC Switch 2	RW	MAN_MUX_EN				MUX2[3]	MUX2[2]	MUX2[1]	MUX2[0]	0xxxxxx	00
220	DC	Letterbox Control 1	RW				LB_TH[4]	LB_TH[3]	LB_TH[2]	LB_TH[1]	LB_TH[0]	10101100	AC
221	DD	Letterbox Control 2	RW	LB_SL[3]	LB_SL[2]	LB_SL[1]	LB_SL[0]	LB_EL[3]	LB_EL[2]	LB_EL[1]	LB_EL[0]	01001100	4C
222	DE	ST Noise Readback 1	R					ST_NOISE_VLD	ST_NOISE[10]	ST_NOISE[9]	ST_NOISE[8]	—	—
223	DF	ST Noise Readback 2	R	ST_NOISE[7]	ST_NOISE[6]	ST_NOISE[5]	ST_NOISE[4]	ST_NOISE[3]	ST_NOISE[2]	ST_NOISE[1]	ST_NOISE[0]	—	—
224	E0	Reserved											
225	E1	SD Offset Cb	RW	SD_OFF_CB[7]	SD_OFF_CB[6]	SD_OFF_CB[5]	SD_OFF_CB[4]	SD_OFF_CB[3]	SD_OFF_CB[2]	SD_OFF_CB[1]	SD_OFF_CB[0]	10000000	80
226	E2	SD Offset Cr	RW	SD_OFF_CR[7]	SD_OFF_CR[6]	SD_OFF_CR[5]	SD_OFF_CR[4]	SD_OFF_CR[3]	SD_OFF_CR[2]	SD_OFF_CR[1]	SD_OFF_CR[0]	10000000	80
227	E3	SD Saturation Cb	RW	SD_SAT_CB[7]	SD_SAT_CB[6]	SD_SAT_CB[5]	SD_SAT_CB[4]	SD_SAT_CB[3]	SD_SAT_CB[2]	SD_SAT_CB[1]	SD_SAT_CB[0]	10000000	80
228	E4	SD Saturation Cr	RW	SD_SAT_CR[7]	SD_SAT_CR[6]	SD_SAT_CR[5]	SD_SAT_CR[4]	SD_SAT_CR[3]	SD_SAT_CR[2]	SD_SAT_CR[1]	SD_SAT_CR[0]	10000000	80
229	E5	NTSC V Bit Begin	RW	NVBEGDELO	NVBEGDELE	NVBEGSIGN	NVBEG[4]	NVBEG[3]	NVBEG[2]	NVBEG[1]	NVBEG[0]	00100101	25
230	E6	NTSC V Bit End	RW	NVNDDELO	NVNDDELE	NVNDSIGN	NVND[4]	NVND[3]	NVND[2]	NVND[1]	NVND[0]	00000100	04
231	E7	NTSC F Bit Toggle	RW	NFTOGDELO	NFTOGDELE	NFTOGSIGN	NFTOG[4]	NFTOG[3]	NFTOG[2]	NFTOG[1]	NFTOG[0]	01100011	63
232	E8	PAL V Bit Begin	RW	PVBEGDELO	PVBEGDELE	PVBEGSIGN	PVBEG[4]	PVBEG[3]	PVBEG[2]	PVBEG[1]	PVBEG[0]	01100101	65
233	E9	PAL V Bit End	RW	PVNDDELO	PVNDDELE	PVNDSIGN	PVND[4]	PVND[3]	PVND[2]	PVND[1]	PVND[0]	00010100	14
234	EA	PAL F Bit Toggle	RW	PFTOGDELO	PFTOGDELE	PFTOGSIGN	PFTOG[4]	PFTOG[3]	PFTOG[2]	PFTOG[1]	PFTOG[0]	01100011	63
235	EB	Vblank Control 1	RW	NVBIOLCM[1]	NVBIOLCM[0]	NVBIELCM[1]	NVBIELCM[0]	PVBIOLCM.1	PVBIOLCM.0	PVBIELCM.1	PVBIELCM.0	01010101	55
236	EC	Vblank Control 2	RW	NVBIOCCM[1]	NVBIOCCM[0]	NVBIECCM[1]	NVBIECCM[0]	PVBIOCCM.1	PVBIOCCM.0	PVBIECCM.1	PVBIECCM.0	01010101	55
243	F3	AFE_CONTROL 1	RW					AA_FILT_MAN_OVR	AA_FILT_EN[2]	AA_FILT_EN[1]	AA_FILT_EN[0]	00000000	00
244	F4	Drive Strength	RW			DR_STR[1]	DR_STR[0]	DR_STR_C[1]	DR_STR_C[0]	DR_STR_S[1]	DR_STR_S[0]	xx010101	15
248	F8	IF Comp Control	RW						IFFILTSEL[2]	IFFILTSEL[1]	IFFILTSEL[0]	00000000	00
249	F9	VS Mode Control	RW					VS_COAST_MODE[1]	VS_COAST_MODE[0]	EXTEND_VS_MIN_FREQ	EXTEND_VS_MAX_FREQ	00000011	03
251	FB	Peaking Control	RW	PEAKING_GAIN[7]	PEAKING_GAIN[6]	PEAKING_GAIN[5]	PEAKING_GAIN[4]	PEAKING_GAIN[3]	PEAKING_GAIN[2]	PEAKING_GAIN[1]	PEAKING_GAIN[0]	01000000	40
252	FC	Coring Threshold	RW	DNR_TH2[7]	DNR_TH2[6]	DNR_TH2[5]	DNR_TH2[4]	DNR_TH2[3]	DNR_TH2[2]	DNR_TH2[1]	DNR_TH2[0]	00000100	04

¹ VSまたはフィールドは1本のピン (37番ピン) で共用されるので、これはADV7180 BCPZ (40ピン) 専用の機能です。

² これはADV7180 BSTZ (64番ピン) 専用の機能です。

ADV7180

表102. 割り込みシステム・レジスタ・マップの詳細1

アドレス		レジスタ名	RW	7	6	5	4	3	2	1	0	リセット値	(16進)
10進	16進												
64	40	Interrupt Config. 1	RW	INTRQ_DUR_SEL[1]	INTRQ_DUR_SEL[0]	MV_INTRQ_SEL[1]	MV_INTRQ_SEL[0]		MPU_STIM_INTRQ	INTRQ_OP_SEL[1]	INTRQ_OP_SEL[0]	0001x000	10
66	42	Interrupt Status 1	R		MV_PS_CS_Q	SD_FR_CHNG_Q				SD_UNLOCK_Q	SD_LOCK_Q	—	—
67	43	Interrupt Clear 1	W		MV_PS_CS_CLR	SD_FR_CHNG_CLR				SD_UNLOCK_CLR	SD_LOCK_CLR	x0000000	00
68	44	Interrupt Mask 1	RW		MV_PS_CS_MSKB	SD_FR_CHNG_MSKB				SD_UNLOCK_MSKB	SD_LOCK_MSKB	x0000000	00
69	45	Raw Status 1	R	MPU_STIM_INTRQ			EVEN_FIELD				CCAPD	—	—
70	46	Interrupt Status 2	R	MPU_STIM_INTRQ_Q			SD_FIELD_CHNGD_Q			GEMD_Q	CCAPD_Q	—	—
71	47	Interrupt Clear 2	W	MPU_STIM_INTRQ_CLR			SD_FIELD_CHNGD_CLR			GEMD_CLR	CCAPD_CLR	0xx00000	00
72	48	Interrupt Mask 2	RW	MPU_STIM_INTRQ_MSKB			SD_FIELD_CHNGD_MSKB			GEMD_MSKB	CCAPD_MSKB	0xx00000	00
73	49	Raw Status 2	R				SCM_LOCK		SD_H_LOCK	SD_V_LOCK	SD_OP_50Hz	—	—
74	4A	Interrupt Status 3	R		PAL_SW_LK_CHNG_Q	SCM_LOCK_CHNG_Q	SD_AD_CHNG_Q	SD_H_LOCK_CHNG_Q	SD_V_LOCK_CHNG_Q	SD_OP_CHNG_Q		—	—
75	4B	Interrupt Clear 3	W		PAL_SW_LK_CHNG_CLR	SCM_LOCK_CHNG_CLR	SD_AD_CHNG_CLR	SD_H_LOCK_CHNG_CLR	SD_V_LOCK_CHNG_CLR	SD_OP_CHNG_CLR		xx000000	00
76	4C	Interrupt Mask 3	RW		PAL_SW_LK_CHNG_MSKB	SCM_LOCK_CHNG_MSKB	SD_AD_CHNG_MSKB	SD_H_LOCK_CHNG_MSKB	SD_V_LOCK_CHNG_MSKB	SD_OP_CHNG_MSKB		xx000000	00
78	4E	Interrupt Status 4	R		VDP_VITC_Q		VDP_GS_VPS_PDC_UTC_CHNG_Q		VDP_CGMS_WSS_CHNGD_Q		VDP_CCAPD_Q	—	—
79	4F	Interrupt Clear 4	W		VDP_VITC_CLR		VDP_GS_VPS_PDC_UTC_CHNG_CLR		VDP_CGMS_WSS_CHNGD_CLR		VDP_CCAPD_CLR	00x0x0x0	00
80	50	Interrupt Mask 4	RW		VDP_VITC_MSKB		VDP_GS_VPS_PDC_UTC_CHNG_MSKB		VDP_CGMS_WSS_CHNGD_MSKB		VDP_CCAPD_MSKB	00x0x0x0	00
96	60	VDP_Config_1	RW					WST_PKT_DECODE_DISABLE	VDP_TTXT_TYPE_MAN_ENABLE	VDP_TTXT_TYPE_MAN[1]	VDP_TTXT_TYPE_MAN[0]	10001000	88
97	61	VDP_Config_2	RW				AUTO_DETECT_GS_TYPE					0001xx00	10
98	62	VDP_ADF_Config_1	RW	ADF_ENABLE	ADF_MODE[1]	ADF_MODE[0]	ADF_DID[4]	ADF_DID[3]	ADF_DID[2]	ADF_DID[1]	ADF_DID[0]	00010101	15
99	63	VDP_ADF_Config_2	RW	DUPLICATE_ADF		ADF_SDID[5]	ADF_SDID[4]	ADF_SDID[3]	ADF_SDID[2]	ADF_SDID[1]	ADF_SDID[0]	0x101010	2A
100	64	VDP_LINE_00E	RW	MAN_LINE_PGM				VBI_DATA_P318[3]	VBI_DATA_P318[2]	VBI_DATA_P318[1]	VBI_DATA_P318[0]	0xxx0000	00
101	65	VDP_LINE_00F	RW	VBI_DATA_P6_N23[3]	VBI_DATA_P6_N23[2]	VBI_DATA_P6_N23[1]	VBI_DATA_P6_N23[0]	VBI_DATA_P319_N286[3]	VBI_DATA_P319_N286[2]	VBI_DATA_P319_N286[1]	VBI_DATA_P319_N286[0]	00000000	00
102	66	VDP_LINE_010	RW	VBI_DATA_P7_N24[3]	VBI_DATA_P7_N24[2]	VBI_DATA_P7_N24[1]	VBI_DATA_P7_N24[0]	VBI_DATA_P320_N287[3]	VBI_DATA_P320_N287[2]	VBI_DATA_P320_N287[1]	VBI_DATA_P320_N287[0]	00000000	00
103	67	VDP_LINE_011	RW	VBI_DATA_P8_N25[3]	VBI_DATA_P8_N25[2]	VBI_DATA_P8_N25[1]	VBI_DATA_P8_N25[0]	VBI_DATA_P321_N288[3]	VBI_DATA_P321_N288[2]	VBI_DATA_P321_N288[1]	VBI_DATA_P321_N288[0]	00000000	00
104	68	VDP_LINE_012	RW	VBI_DATA_P9[3]	VBI_DATA_P9[2]	VBI_DATA_P9[1]	VBI_DATA_P9[0]	VBI_DATA_P322[3]	VBI_DATA_P322[2]	VBI_DATA_P322[1]	VBI_DATA_P322[0]	00000000	00
105	69	VDP_LINE_013	RW	VBI_DATA_P10[3]	VBI_DATA_P10[2]	VBI_DATA_P10[1]	VBI_DATA_P10[0]	VBI_DATA_P323[3]	VBI_DATA_P323[2]	VBI_DATA_P323[1]	VBI_DATA_P323[0]	00000000	00
106	6A	VDP_LINE_014	RW	VBI_DATA_P11[3]	VBI_DATA_P11[2]	VBI_DATA_P11[1]	VBI_DATA_P11[0]	VBI_DATA_P324_N272[3]	VBI_DATA_P324_N272[2]	VBI_DATA_P324_N272[1]	VBI_DATA_P324_N272[0]	00000000	00
107	6B	VDP_LINE_015	RW	VBI_DATA_P12_N10[3]	VBI_DATA_P12_N10[2]	VBI_DATA_P12_N10[1]	VBI_DATA_P12_N10[0]	VBI_DATA_P325_N273[3]	VBI_DATA_P325_N273[2]	VBI_DATA_P325_N273[1]	VBI_DATA_P325_N273[0]	00000000	00
108	6C	VDP_LINE_016	RW	VBI_DATA_P13_N11[3]	VBI_DATA_P13_N11[2]	VBI_DATA_P13_N11[1]	VBI_DATA_P13_N11[0]	VBI_DATA_P326_N274[3]	VBI_DATA_P326_N274[2]	VBI_DATA_P326_N274[1]	VBI_DATA_P326_N274[0]	00000000	00
109	6D	VDP_LINE_017	RW	VBI_DATA_P14_N12[3]	VBI_DATA_P14_N12[2]	VBI_DATA_P14_N12[1]	VBI_DATA_P14_N12[0]	VBI_DATA_P327_N275[3]	VBI_DATA_P327_N275[2]	VBI_DATA_P327_N275[1]	VBI_DATA_P327_N275[0]	00000000	00
110	6E	VDP_LINE_018	RW	VBI_DATA_P15_N13[3]	VBI_DATA_P15_N13[2]	VBI_DATA_P15_N13[1]	VBI_DATA_P15_N13[0]	VBI_DATA_P328_N276[3]	VBI_DATA_P328_N276[2]	VBI_DATA_P328_N276[1]	VBI_DATA_P328_N276[0]	00000000	00
111	6F	VDP_LINE_019	RW	VBI_DATA_P16_N14[3]	VBI_DATA_P16_N14[2]	VBI_DATA_P16_N14[1]	VBI_DATA_P16_N14[0]	VBI_DATA_P329_N277[3]	VBI_DATA_P329_N277[2]	VBI_DATA_P329_N277[1]	VBI_DATA_P329_N277[0]	00000000	00
112	70	VDP_LINE_01A	RW	VBI_DATA_P17_N15[3]	VBI_DATA_P17_N15[2]	VBI_DATA_P17_N15[1]	VBI_DATA_P17_N15[0]	VBI_DATA_P330_N278[3]	VBI_DATA_P330_N278[2]	VBI_DATA_P330_N278[1]	VBI_DATA_P330_N278[0]	00000000	00
113	71	VDP_LINE_01B	RW	VBI_DATA_P18_N16[3]	VBI_DATA_P18_N16[2]	VBI_DATA_P18_N16[1]	VBI_DATA_P18_N16[0]	VBI_DATA_P331_N279[3]	VBI_DATA_P331_N279[2]	VBI_DATA_P331_N279[1]	VBI_DATA_P331_N279[0]	00000000	00
114	72	VDP_LINE_01C	RW	VBI_DATA_P19_N17[3]	VBI_DATA_P19_N17[2]	VBI_DATA_P19_N17[1]	VBI_DATA_P19_N17[0]	VBI_DATA_P332_N280[3]	VBI_DATA_P332_N280[2]	VBI_DATA_P332_N280[1]	VBI_DATA_P332_N280[0]	00000000	00
115	73	VDP_LINE_01D	RW	VBI_DATA_P20_N18[3]	VBI_DATA_P20_N18[2]	VBI_DATA_P20_N18[1]	VBI_DATA_P20_N18[0]	VBI_DATA_P333_N281[3]	VBI_DATA_P333_N281[2]	VBI_DATA_P333_N281[1]	VBI_DATA_P333_N281[0]	00000000	00
116	74	VDP_LINE_01E	RW	VBI_DATA_P21_N19[3]	VBI_DATA_P21_N19[2]	VBI_DATA_P21_N19[1]	VBI_DATA_P21_N19[0]	VBI_DATA_P334_N282[3]	VBI_DATA_P334_N282[2]	VBI_DATA_P334_N282[1]	VBI_DATA_P334_N282[0]	00000000	00
117	75	VDP_LINE_01F	RW	VBI_DATA_P22_N20[3]	VBI_DATA_P22_N20[2]	VBI_DATA_P22_N20[1]	VBI_DATA_P22_N20[0]	VBI_DATA_P335_N283[3]	VBI_DATA_P335_N283[2]	VBI_DATA_P335_N283[1]	VBI_DATA_P335_N283[0]	00000000	00

アドレス		レジスタ名	RW	7	6	5	4	3	2	1	0	リセット値	(16進)
10進	16進												
118	76	VDP_LINE_020	RW	VBI_DATA_P23_N21[3]	VBI_DATA_P23_N21[2]	VBI_DATA_P23_N21[1]	VBI_DATA_P23_N21[0]	VBI_DATA_P336_N284[3]	VBI_DATA_P336_N284[2]	VBI_DATA_P336_N284[1]	VBI_DATA_P336_N284[0]	00000000	00
119	77	VDP_LINE_021	RW	VBI_DATA_P24_N22[3]	VBI_DATA_P24_N22[2]	VBI_DATA_P24_N22[1]	VBI_DATA_P24_N22[0]	VBI_DATA_P337_N285[3]	VBI_DATA_P337_N285[2]	VBI_DATA_P337_N285[1]	VBI_DATA_P337_N285[0]	00000000	00
120	78	VDP_STATUS_CLEAR	W		VITC_CLEAR		GS_PDC_VPS_UTC_CLEAR		CGMS_WSS_CLEAR		CC_CLEAR	00000000	00
120	78	VDP_STATUS	R	TTXT_AVL	VITC_AVL	GS_DATA_TYPE	GS_PDC_VPS_UTC_AVL		CGMS_WSS_AVL	CC_EVEN_FIELD	CC_AVL	—	—
121	79	VDP_CCAP_DATA_0	R	CCAP_BYTE_1[7]	CCAP_BYTE_1[6]	CCAP_BYTE_1[5]	CCAP_BYTE_1[4]	CCAP_BYTE_1[3]	CCAP_BYTE_1[2]	CCAP_BYTE_1[1]	CCAP_BYTE_1[0]	—	—
122	7A	VDP_CCAP_DATA_1	R	CCAP_BYTE_2[7]	CCAP_BYTE_2[6]	CCAP_BYTE_2[5]	CCAP_BYTE_2[4]	CCAP_BYTE_2[3]	CCAP_BYTE_2[2]	CCAP_BYTE_2[1]	CCAP_BYTE_2[0]	—	—
125	7D	VDP_CGMS_WSS_DATA_0	R					CGMS_CRC[5]	CGMS_CRC[4]	CGMS_CRC[3]	CGMS_CRC[2]	—	—
126	7E	VDP_CGMS_WSS_DATA_1	R	CGMS_CRC[1]	CGMS_CRC[0]	CGMS_WSS[13]	CGMS_WSS[12]	CGMS_WSS[11]	CGMS_WSS[10]	CGMS_WSS[9]	CGMS_WSS[8]	—	—
127	7F	VDP_CGMS_WSS_DATA_2	R	CGMS_WSS[7]	CGMS_WSS[6]	CGMS_WSS[5]	CGMS_WSS[4]	CGMS_WSS[3]	CGMS_WSS[2]	CGMS_WSS[1]	CGMS_WSS[0]	—	—
132	84	VDP_GS_VPS_PDC_UTC_0	R	GS_VPS_PDC_UTC_BYTE_0[7]	GS_VPS_PDC_UTC_BYTE_0[6]	GS_VPS_PDC_UTC_BYTE_0[5]	GS_VPS_PDC_UTC_BYTE_0[4]	GS_VPS_PDC_UTC_BYTE_0[3]	GS_VPS_PDC_UTC_BYTE_0[2]	GS_VPS_PDC_UTC_BYTE_0[1]	GS_VPS_PDC_UTC_BYTE_0[0]	—	—
133	85	VDP_GS_VPS_PDC_UTC_1	R	GS_VPS_PDC_UTC_BYTE_1[7]	GS_VPS_PDC_UTC_BYTE_1[6]	GS_VPS_PDC_UTC_BYTE_1[5]	GS_VPS_PDC_UTC_BYTE_1[4]	GS_VPS_PDC_UTC_BYTE_1[3]	GS_VPS_PDC_UTC_BYTE_1[2]	GS_VPS_PDC_UTC_BYTE_1[1]	GS_VPS_PDC_UTC_BYTE_1[0]	—	—
134	86	VDP_GS_VPS_PDC_UTC_2	R	GS_VPS_PDC_UTC_BYTE_2[7]	GS_VPS_PDC_UTC_BYTE_2[6]	GS_VPS_PDC_UTC_BYTE_2[5]	GS_VPS_PDC_UTC_BYTE_2[4]	GS_VPS_PDC_UTC_BYTE_2[3]	GS_VPS_PDC_UTC_BYTE_2[2]	GS_VPS_PDC_UTC_BYTE_2[1]	GS_VPS_PDC_UTC_BYTE_2[0]	—	—
135	87	VDP_GS_VPS_PDC_UTC_3	R	GS_VPS_PDC_UTC_BYTE_3[7]	GS_VPS_PDC_UTC_BYTE_3[6]	GS_VPS_PDC_UTC_BYTE_3[5]	GS_VPS_PDC_UTC_BYTE_3[4]	GS_VPS_PDC_UTC_BYTE_3[3]	GS_VPS_PDC_UTC_BYTE_3[2]	GS_VPS_PDC_UTC_BYTE_3[1]	GS_VPS_PDC_UTC_BYTE_3[0]	—	—
136	88	VDP_VPS_PDC_UTC_4	R	VPS_PDC_UTC_BYTE_4[7]	VPS_PDC_UTC_BYTE_4[6]	VPS_PDC_UTC_BYTE_4[5]	VPS_PDC_UTC_BYTE_4[4]	VPS_PDC_UTC_BYTE_4[3]	VPS_PDC_UTC_BYTE_4[2]	VPS_PDC_UTC_BYTE_4[1]	VPS_PDC_UTC_BYTE_4[0]	—	—
137	89	VDP_VPS_PDC_UTC_5	R	VPS_PDC_UTC_BYTE_5[7]	VPS_PDC_UTC_BYTE_5[6]	VPS_PDC_UTC_BYTE_5[5]	VPS_PDC_UTC_BYTE_5[4]	VPS_PDC_UTC_BYTE_5[3]	VPS_PDC_UTC_BYTE_5[2]	VPS_PDC_UTC_BYTE_5[1]	VPS_PDC_UTC_BYTE_5[0]	—	—
138	8A	VDP_VPS_PDC_UTC_6	R	VPS_PDC_UTC_BYTE_6[7]	VPS_PDC_UTC_BYTE_6[6]	VPS_PDC_UTC_BYTE_6[5]	VPS_PDC_UTC_BYTE_6[4]	VPS_PDC_UTC_BYTE_6[3]	VPS_PDC_UTC_BYTE_6[2]	VPS_PDC_UTC_BYTE_6[1]	VPS_PDC_UTC_BYTE_6[0]	—	—
139	8B	VDP_VPS_PDC_UTC_7	R	VPS_PDC_UTC_BYTE_7[7]	VPS_PDC_UTC_BYTE_7[6]	VPS_PDC_UTC_BYTE_7[5]	VPS_PDC_UTC_BYTE_7[4]	VPS_PDC_UTC_BYTE_7[3]	VPS_PDC_UTC_BYTE_7[2]	VPS_PDC_UTC_BYTE_7[1]	VPS_PDC_UTC_BYTE_7[0]	—	—
140	8C	VDP_VPS_PDC_UTC_8	R	VPS_PDC_UTC_BYTE_8[7]	VPS_PDC_UTC_BYTE_8[6]	VPS_PDC_UTC_BYTE_8[5]	VPS_PDC_UTC_BYTE_8[4]	VPS_PDC_UTC_BYTE_8[3]	VPS_PDC_UTC_BYTE_8[2]	VPS_PDC_UTC_BYTE_8[1]	VPS_PDC_UTC_BYTE_8[0]	—	—
141	8D	VDP_VPS_PDC_UTC_9	R	VPS_PDC_UTC_BYTE_9[7]	VPS_PDC_UTC_BYTE_9[6]	VPS_PDC_UTC_BYTE_9[5]	VPS_PDC_UTC_BYTE_9[4]	VPS_PDC_UTC_BYTE_9[3]	VPS_PDC_UTC_BYTE_9[2]	VPS_PDC_UTC_BYTE_9[1]	VPS_PDC_UTC_BYTE_9[0]	—	—
142	8E	VDP_VPS_PDC_UTC_10	R	VPS_PDC_UTC_BYTE_10[7]	VPS_PDC_UTC_BYTE_10[6]	VPS_PDC_UTC_BYTE_10[5]	VPS_PDC_UTC_BYTE_10[4]	VPS_PDC_UTC_BYTE_10[3]	VPS_PDC_UTC_BYTE_10[2]	VPS_PDC_UTC_BYTE_10[1]	VPS_PDC_UTC_BYTE_10[0]	—	—
143	8F	VDP_VPS_PDC_UTC_11	R	VPS_PDC_UTC_BYTE_11[7]	VPS_PDC_UTC_BYTE_11[6]	VPS_PDC_UTC_BYTE_11[5]	VPS_PDC_UTC_BYTE_11[4]	VPS_PDC_UTC_BYTE_11[3]	VPS_PDC_UTC_BYTE_11[2]	VPS_PDC_UTC_BYTE_11[1]	VPS_PDC_UTC_BYTE_11[0]	—	—
144	90	VDP_VPS_PDC_UTC_12	R	VPS_PDC_UTC_BYTE_12[7]	VPS_PDC_UTC_BYTE_12[6]	VPS_PDC_UTC_BYTE_12[5]	VPS_PDC_UTC_BYTE_12[4]	VPS_PDC_UTC_BYTE_12[3]	VPS_PDC_UTC_BYTE_12[2]	VPS_PDC_UTC_BYTE_12[1]	VPS_PDC_UTC_BYTE_12[0]	—	—
146	92	VDP_VITC_DATA_0	R	VITC_DATA_0[7]	VITC_DATA_0[6]	VITC_DATA_0[5]	VITC_DATA_0[4]	VITC_DATA_0[3]	VITC_DATA_0[2]	VITC_DATA_0[1]	VITC_DATA_0[0]	—	—
147	93	VDP_VITC_DATA_1	R	VITC_DATA_1[7]	VITC_DATA_1[6]	VITC_DATA_1[5]	VITC_DATA_1[4]	VITC_DATA_1[3]	VITC_DATA_1[2]	VITC_DATA_1[1]	VITC_DATA_1[0]	—	—
148	94	VDP_VITC_DATA_2	R	VITC_DATA_2[7]	VITC_DATA_2[6]	VITC_DATA_2[5]	VITC_DATA_2[4]	VITC_DATA_2[3]	VITC_DATA_2[2]	VITC_DATA_2[1]	VITC_DATA_2[0]	—	—
149	95	VDP_VITC_DATA_3	R	VITC_DATA_3[7]	VITC_DATA_3[6]	VITC_DATA_3[5]	VITC_DATA_3[4]	VITC_DATA_3[3]	VITC_DATA_3[2]	VITC_DATA_3[1]	VITC_DATA_3[0]	—	—
150	96	VDP_VITC_DATA_4	R	VITC_DATA_4[7]	VITC_DATA_4[6]	VITC_DATA_4[5]	VITC_DATA_4[4]	VITC_DATA_4[3]	VITC_DATA_4[2]	VITC_DATA_4[1]	VITC_DATA_4[0]	—	—
151	97	VDP_VITC_DATA_5	R	VITC_DATA_5[7]	VITC_DATA_5[6]	VITC_DATA_5[5]	VITC_DATA_5[4]	VITC_DATA_5[3]	VITC_DATA_5[2]	VITC_DATA_5[1]	VITC_DATA_5[0]	—	—
152	98	VDP_VITC_DATA_6	R	VITC_DATA_6[7]	VITC_DATA_6[6]	VITC_DATA_6[5]	VITC_DATA_6[4]	VITC_DATA_6[3]	VITC_DATA_6[2]	VITC_DATA_6[1]	VITC_DATA_6[0]	—	—
153	99	VDP_VITC_DATA_7	R	VITC_DATA_7[7]	VITC_DATA_7[6]	VITC_DATA_7[5]	VITC_DATA_7[4]	VITC_DATA_7[3]	VITC_DATA_7[2]	VITC_DATA_7[1]	VITC_DATA_7[0]	—	—
154	9A	VDP_VITC_DATA_8	R	VITC_DATA_8[7]	VITC_DATA_8[6]	VITC_DATA_8[5]	VITC_DATA_8[4]	VITC_DATA_8[3]	VITC_DATA_8[2]	VITC_DATA_8[1]	VITC_DATA_8[0]	—	—
155	9B	VDP_VITC_CALC_CRC	R	VITC_CRC[7]	VITC_CRC[6]	VITC_CRC[5]	VITC_CRC[4]	VITC_CRC[3]	VITC_CRC[2]	VITC_CRC[1]	VITC_CRC[0]	—	—
156	9C	VDP_OUTPUT_SEL	RW	FC_GS_VPS_PDC_UTC[1]	FC_GS_VPS_PDC_UTC[0]	GS_VPS_PDC_UTC_CB_CHANGE	WSS_CGMS_CB_CHANGE					00110000	30

1 表102のレジスタにアクセスするには、レジスタ・アドレス0x0EのSUB_USR_ENを1に設定する必要があります。

ADV7180

表103. レジスタ・マップの説明 (通常動作)

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)							コメント		注	
			7	6	5	4	3	2	1	0	LQFP-64		LFCSP-40
0x00	入力コントロール	INSEL [3:0] INSELビットにより、入力チャンネルと入力フォーマットを選択 配線の詳細は、表8と表9を参照					0	0	0	0	コンボジット	コンボジット	Y/Cの場合は強制書込みが必要 (Sビデオ・モード) Reg 0x58=0x04 (ビットの説明は「レジスタ0x58」を参照)
							0	0	0	1	コンボジット	予備	
							0	0	1	0	コンボジット	予備	
							0	0	1	1	コンボジット	コンボジット	
							0	1	0	0	コンボジット	コンボジット	
							0	1	0	1	コンボジット	予備	
							0	1	1	0	Sビデオ	Sビデオ	
							0	1	1	1	Sビデオ	予備	
							1	0	0	0	Sビデオ	予備	
							1	0	0	1	YPrPb	YPrPb	
							1	0	1	0	YPrPb	予備	
							1	0	1	1	予備	予備	
							1	1	0	0	予備	予備	
							1	1	0	1	予備	予備	
							1	1	1	0	予備	予備	
						1	1	1	1	予備	予備		
				VID_SEL [3:0] VID_SELビットにより、入力ビデオ標準を選択	0	0	0	0				自動検出PAL (B/G/H/I/D)、NTSC (ベダスタルなし)、SECAM	
					0	0	0	1				自動検出PAL (B/G/H/I/D)、NTSC M (ベダスタルあり)、SECAM	
					0	0	1	0				自動検出PAL N、NTSC M (ベダスタルなし)、SECAM	
					0	0	1	1				自動検出PAL N、NTSC M (ベダスタルあり)、SECAM	
					0	1	0	0				NTSC J	
					0	1	0	1				NTSC M	
					0	1	1	0				PAL 60	
					0	1	1	1				NTSC 4.43	
					1	0	0	0				PAL B/G/H/I/D	
					1	0	0	1				PAL N (B/G/H/I/D、ベダスタルなし)	
					1	0	1	0				PAL M (ベダスタルなし)	
		1	0		1	1				PAL M			
		1	1	0	0				PALコンビネーションN				
		1	1	0	1				PALコンビネーションN (ベダスタルあり)				
		1	1	1	0				SECAM				
		1	1	1	1				SECAM (ベダスタルあり)				
0x01	ビデオ選択	予備						0	0	0	デフォルト設定		
		ENVSPROC					0				VSYNCプロセッサをディセーブル		
							1				VSYNCプロセッサをイネーブル		
		予備			0						デフォルト設定		
		BETACAM			0						標準ビデオ入力		
					1						Betacam入力イネーブル		
		ENHSPLL		0							HSYNCプロセッサをディセーブル		
		1							HSYNCプロセッサをイネーブル				
	予備	1								デフォルト設定			

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)								コメント		注	
			7	6	5	4	3	2	1	0	LQFP-64	LFCSP-40		
0x03	出力コントロール	SD_DUP_AV AVコードを輝度信号から色信号バスへ複製									0	8ビット・インターリーブ・データ出力用のAVコード		
												1	複製されたAVコード (16ビット・インターフェース用)	
		予備									0	デフォルト設定		
		OF_SEL [3:0] 出力フォーマットを選択			0	0	0	0				予備		
					0	0	0	1				予備		
					0	0	1	0				16ビット@LLC1 4:2:2	ADV7180 LQFP-64専用のオプション	
					0	0	1	1				8ビット@LLC1 4:2:2 ITU-R BT.656		
					0	1	0	0				未使用		
					0	1	0	1				未使用		
					0	1	1	1				未使用		
					1	0	0	0				未使用		
					1	0	0	1				未使用		
					1	0	1	1				未使用		
					1	1	0	0				未使用		
					1	1	1	0				未使用		
				1	1	1	1				未使用			
				TOD (スリーステート出力ドライバ) このビットにより、P[19:0]、HS、VS、FIELD、SFLの各出力ドライバをスリーステートへ		0							出力ピンをイネーブル	
				1							ドライバをスリーステート			
		VBI_EN 最小のフィルタリング効果でVBIデータ (ライン1~21) を通過		0							全ラインをフィルタ処理およびスケール処理			
					1						アクティブ・ビデオ領域のみをフィルタ処理			
0x04	拡張出力コントロール	RANGE 出力値の範囲を選択。ITU-R BT.656準拠、または範囲内で設定可能									0	16<Y<235、16<C<240	ITU-R BT.656	
												1	1<Y<254、1<C<254	拡張範囲
		EN_SFL_PIN									0	SFL出力をディスエーブル	SFL出力によりエンコーダとデコーダへの直接接続をイネーブル	
											1	SFLピンにSFL情報を出力		
		BL_C_VBI VBI時に色信号をブランク。セットされると、VBI領域内のデータが、歪みを受けずにデコーダを通過可能									0	カラーをデコードして出力	VBI中	
											1	CrとCbをブランク		
		TIM_OE タイミング信号出力イネーブル									0	HS、VS、Fをスリーステート	TODから制御	
											1	HS、VS、Fを強制的にアクティブに		
		予備			X	X								
		予備			1									
BT.656-4 ITU-R BT.656-3/4準拠の出力モードを選択可能			0								ITU-R BT.656-3準拠			
				1								ITU-R BT.656-4準拠		
0x05	予備													
0x06	予備													

ADV7180

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)								コメント		注	
			7	6	5	4	3	2	1	0	LQFP-64	LFCSP-40		
0x07	自動検出 イネーブル	AD_PAL_EN、PAL B/G/I/H 自動検出イネーブル									0	デイスエーブル		
											1	イネーブル		
		AD_NTSC_EN、NTSC 自動検出イネーブル									0	デイスエーブル		
											1	イネーブル		
		AD_PALM_EN、PAL M 自動検出イネーブル									0	デイスエーブル		
											1	イネーブル		
		AD_PALM_EN、PAL N 自動検出イネーブル								0		デイスエーブル		
										1		イネーブル		
		AD_P60_EN、PAL 60 自動検出イネーブル					0					デイスエーブル		
							1					イネーブル		
AD_N443_EN、NTSC 4.43 自動検出イネーブル				0						デイスエーブル				
				1						イネーブル				
AD_SECAM_EN、SECAM 自動検出イネーブル				0						デイスエーブル				
				1						イネーブル				
AD_SEC525_EN、SECAM 525 自動検出イネーブル				0						デイスエーブル				
				1						イネーブル				
0x08	コントラスト・ レジスタ	CON[7:0] コントラスト調節。 コントラストを制御	1	0	0	0	0	0	0	0	輝度信号ゲイン=1		0x00ゲイン=0、 0x80ゲイン=1、 0xFFゲイン=2	
0x09	予備	予備	1	0	0	0	0	0	0	0				
0x0A	明度レジスタ	BRI[7:0] このレジスタはビデオ信号の 明度を制御	0	0	0	0	0	0	0	0			0x00=0IRE、 0x7F=+100IRE、 0x80=-100IRE	
0x0B	色相レジスタ	HUE[7:0] このレジスタは色相調整値を 格納	0	0	0	0	0	0	0	0			色相範囲=-90°~ +90°	
0x0C	デフォルト値Y	DEF_VAL_EN デフォルト値イネーブル									0	DEF_VAL_AUTO_EN 依存のフリーラン・モード		
											1	フリーラン・モードを強制実行して ブルー・スクリーンを出力		
		DEF_VAL_AUTO_EN デフォルト値									0	フリーラン・モードをデイスエーブル	ロックが外れたと き、フリーラン・ モードをイネーブ ルにして、安定し たタイミング、ク ロック、セット・ カラーを出力	
									1	自動フリーラン・モード (ブルー・スクリーン)をイネーブル				
DEF_Y[5:0] デフォルト値Y。このレジス タはYのデフォルト値を保持			0	0	1	1	0	1			Y[7:0]={DEF_Y[5:0], 0, 0}	フリーラン・モー ドでのデフォルト のY値出力		
0x0D	デフォルト値C	DEF_C[7:0] デフォルト値C。CrとCbのデ フォルト値はこのレジスタで 定義	0	1	1	1	1	1	0	0	Cr[7:0]=DEF_C[7:4], 0, 0, 0, 0} Cb[7:0]=DEF_C[3:0], 0, 0, 0, 0}	フリーラン・モー ドでのデフォルト のCb/Cr値出力。 デフォルト値に よりブルー・スク リーンを出力		
0x0E	ADIコントロール	予備				0	0	0	0	0	デフォルト設定			
		SUB_USR_EN 割込み/VDPレジスタ・マッ プへのアクセスが可能			0						メイン・レジスタ・スペースにアクセス	図50を参照		
				1							割込み/VDPレジスタ・スペースに アクセス			
予備		0	0							デフォルト設定				

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)							コメント		注		
			7	6	5	4	3	2	1	0	LQFP-64		LFCSP-40	
0x0F	電源管理	予備								0	0	デフォルト設定		
		PDBP パワーダウン優先順位ビットは、PWRDWNビットまたはピン制御を選択							1			チップのパワーダウンをピンで制御 ビットを優先 (ピンを無視)		
		予備				0	0					デフォルト設定		
		PWRDWN パワーダウンでデコーダがフル・パワーダウン・モードに移行			0								システム動作中 パワーダウン中	PDBP、0x0Fビット2を参照
		予備			0								デフォルト設定	
		RESET チップ・リセットは、すべてのFCビットにデフォルト値をロード	0										通常動作 リセット・シーケンスを開始	リセットの実行時間は約2ms。このビットは自己クリア
0x10	ステータス・レジスタ1 (読出し専用)	IN_LOCK									X	1=ロック中 (現在)	デコーダの内部ステータス情報を提供	
		LOST_LOCK									X	1=ロック外れ (直前の読出し後)		
		FSC_LOCK							X			1=F _{sc} ロック中 (現在)		
		FOLLOW_PW					X					1=ピーク・ホワイต์ AGCモードがアクティブ		
		AD_RESULT[2:0] 入力ビデオ信号の規格を自動検出		0	0	0							NTSM M/J	検出された標準
				0	0	1							NTSC 4.43	
				0	1	0							PAL M	
				0	1	1							PAL 60	
				1	0	0							PAL B/G/H/I/D	
				1	0	1							SECAM	
				1	1	0							PALコンベネーションN	
			1	1	1							SECAM 525		
		COL_KILL	X										1=クロック・キルがアクティブ	カラーキル
0x11	IDENT (読出し専用)	IDENT[7:0] デバイスのリビジョン識別情報を提供	0	0	0	1	1	0	1	1		パワーアップ値=0x1B		
0x12	ステータス・レジスタ2 (読出し専用)	MVCS DET									X	MVカラー・ストライブを検出	1=検出あり	
		MVCS T3									X	MVカラー・ストライブのタイプ	0=タイプ2 1=タイプ3	
		MV PS DET							X			MV疑似同期を検出	1=検出あり	
		MV AGC DET					X					MV AGCパルスを検出	1=検出あり	
		LL NSTD				X						非標準ライン長	1=検出あり	
		FSC NSTD			X							F _{sc} 周波数が非標準	1=検出あり	
		予備	X	X										
0x13	ステータス・レジスタ3 (読出し専用)	INST_HLOCK									X	1=水平ロック完了	フィルタなし	
		GEMD								X		1=Gemstarデータを検出		
		SD_OP_50Hz							0			SD 60Hzを検出	SDフィールド・レート検出	
									1			SD 50Hzを検出		
		CVBS							0			Y/C信号検出	CVBSおよびY/Cの自動検出結果	
									1			CVBS信号検出		
		FREE_RUN_ACT				X						1=フリーラン・モードがアクティブ	ブルー・スクリーン出力	
		STD FLD LEN			X							1=フィールド長が標準	正常なフィールド長を検出	
		INTERLACED		X								1=インターレース・ビデオを検出	フィールド・シーケンスを検出	
PAL_SW_LOCK	X									1=スウィング・バーストを検出	安定したスウィング・バースト・シーケンス			
0x14	アナログ・クランプ・コントロール	予備					0	0	1	0	デフォルト設定			
		CCLN (電流クランプ・イネーブル) アナログ・フロントエンドの電流源をオフ				0					電流源をオフ			
					1						電流源をイネーブル			
予備	0	0	0							デフォルト設定				

ADV7180

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)								コメント		注	
			7	6	5	4	3	2	1	0	LQFP-64	LFCSF-40		
0x15	デジタル・クランプ・コントロール1	予備					X	X	X	X			デフォルト設定	
		デジタル・クランプ・フリーズ (DCFE)				0							デジタル・クランプをオン	
						1							デジタル・クランプをオフ	
		DCT[1:0]		0	0								低速 (TC=1秒)	
		デジタル・クランプ・タイミングは、デジタル微調クランプ回路の時定数を決定		0	1								中速 (TC=0.5秒)	
				1	0								高速 (TC=0.1秒)	
				1	1								ビデオに基づくTC	
0x17	シェイピング・フィルタ・コントロール	YSFM[4:0]				0	0	0	0	0			通常品質の信号源に対しては自動で広いノッチを、高品質入力に対してはコム付きの広帯域フィルタを使用	デコーダはCVBS品質に応じて最適なYシェイピング・フィルタを選択
		CVBS専用モード時にYシェイピング・フィルタ・モードを選択				0	0	0	0	1			通常品質の信号源に対しては自動で狭いノッチを、高品質入力に対してはコム付きの広帯域フィルタを使用	
		広範囲なローパス・フィルタとノッチ・フィルタを選択				0	0	0	1	0			SVHS 1	
		いずれかの自動モードを選択した場合、CVBSビデオ信号源の品質（優劣）に応じて、デコーダが最適なYフィルタを選択				0	0	0	1	1			SVHS 2	
						0	0	1	0	0			SVHS 3	
						0	0	1	0	1			SVHS 4	
						0	0	1	1	0			SVHS 5	
						0	0	1	1	1			SVHS 6	
						0	1	0	0	0			SVHS 7	
						0	1	0	0	1			SVHS 8	
						0	1	0	1	0			SVHS 9	
						0	1	0	1	1			SVHS 10	
						0	1	1	0	0			SVHS 11	
						0	1	1	0	1			SVHS 12	
						0	1	1	1	0			SVHS 13	
						0	1	1	1	1			SVHS 14	
						1	0	0	0	0			SVHS 15	
						1	0	0	0	1			SVHS 16	
						1	0	0	1	0			SVHS 17	
						1	0	0	1	1			SVHS 18 (CCIR601)	
						1	0	1	0	0			PAL NN1	
						1	0	1	0	1			PAL NN2	
						1	0	1	1	0			PAL NN3	
						1	0	1	1	1			PAL WN1	
						1	1	0	0	0			PAL WN2	
						1	1	0	0	1			NTSC NN1	
						1	1	0	1	0			NTSC NN2	
						1	1	0	1	1			NTSC NN3	
						1	1	1	0	0			NTSC WN1	
						1	1	1	0	1			NTSC WN2	
						1	1	1	1	0			NTSC WN3	
						1	1	1	1	1			予備	
				CSFM[2:0]	0	0	0							
		Cシェイピング・フィルタ・モードにより、広範囲なオフショからローパス色信号フィルタを選択可能。いずれかの自動モードを選択すると、デコーダはCVBSビデオ信号源の品質（優劣）に応じて最適なCフィルタを選択。マニュアル設定では、CVBSビデオのすべての標準と高品質に対応したCフィルタを選択	0	0	1							2.17MHzを自動選択		
			0	1	0							SH1		
			0	1	1							SH2		
			1	0	0							SH3		
			1	0	1							SH4		
			1	1	0							SH5		
			1	1	1							広帯域モード		

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)							コメント		注		
			7	6	5	4	3	2	1	0	LQFP-64		LFCSP-40	
0x18	シェイピング・フィルタ・コントロール2	WYSFM[4:0] 広帯域Yシェイピング・フィルタ・モードにより、Y/C、YPrPb、B/Wの各入力信号のYコンポーネントに対して使うシェイピング・フィルタを選択。高品質の入力CVBS信号が検出された場合にも使用。他のすべての入力に対しては、Yシェイピング・フィルタの選択はWYSFM[4:0]により制御				0	0	0	0	0	予備。使用不可			
						0	0	0	0	1	予備。使用不可			
						0	0	0	1	0	SVHS 1			
						0	0	0	1	1	SVHS 2			
						0	0	1	0	0	SVHS 3			
						0	0	1	0	1	SVHS 4			
						0	0	1	1	0	SVHS 5			
						0	0	1	1	1	SVHS 6			
						0	1	0	0	0	SVHS 7			
						0	1	0	0	1	SVHS 8			
						0	1	0	1	0	SVHS 9			
						0	1	0	1	1	SVHS 10			
						0	1	1	0	0	SVHS 11			
						0	1	1	0	1	SVHS 12			
						0	1	1	1	0	SVHS 13			
						0	1	1	1	1	SVHS 14			
						1	0	0	0	0	SVHS 15			
						1	0	0	0	1	SVHS 16			
						1	0	0	1	0	SVHS 17			
						1	0	0	1	1	SVHS 18 (CCIR 601)			
						1	0	1	0	0	予備。使用不可			
						—	—	—	—	—	予備。使用不可			
						1	1	1	1	1	予備。使用不可			
		予備		0	0				デフォルト設定					
		WYSFMOVR 自動WYSFMフィルタの使用をイネーブル	0						最適フィルタを自動選択					
			1						WYSFM[4:0]を使用してフィルタをマニュアル選択					
0x19	コム・フィルタ・コントロール	PSFSEL[1:0] コムフィルタに入力される信号帯域幅を制御 (PAL)							0	0	狭帯域			
										0	1	中帯域		
											1	0	広帯域	
											1	1	最広帯域	
		NSFSEL[1:0] コムフィルタに入力される信号帯域幅を制御 (NTSC)					0	0				狭帯域		
								0	1			中帯域		
								1	0			中帯域		
								1	1			広帯域		
		予備	1	1	1	1				デフォルト設定				
0x1D	ADIコントロール2	予備			0	0	0	X	X	X	デフォルト設定			
		EN28XTAL		0							27MHz水晶発振器を使用			
				1							28MHz水晶発振器を使用			
		TRI_LLC		0							LLCピンがアクティブ			
				1							LLCピンがスリーステート			

ADV7180

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)								コメント		注	
			7	6	5	4	3	2	1	0	LQFP-64	LFCS-40		
0x27	ピクセル遅延 コントロール	LTA[1:0] 輝度信号タイミング調整により、色信号サンプルと輝度信号サンプルとの間のタイミング差を指定							0	0	遅延なし		CVBSモード LTA[1:0]=00b Sビデオ・モード LTA[1:0]=01b YPrPbモード LTA[1:0]=01b	
									1	0	輝度信号を1クロック遅延 (37ns)			
									1	0	輝度信号を2クロック前進 (74ns)			
									1	1	輝度信号を1クロック前進 (37ns)			
		予備							0		0に設定			
		CTA[2:0] 色信号タイミング調整により、輝度信号サンプルと色信号サンプルとの間のタイミング差を指定			0	0	0					無効な設定		CVBSモード CTA[2:0]=011b Sビデオ・モード CTA[2:0]=101b YPrPbモード CTA[2:0]=110b
					0	0	1					色信号+2ピクセル (前進)		
					0	1	0					色信号+1ピクセル (前進)		
					0	1	1					遅延なし		
					1	0	0					色信号-1ピクセル (遅延)		
					1	0	1					色信号-2ピクセル (遅延)		
					1	1	0					色信号-3ピクセル (遅延)		
		AUTO_PDC_EN すべての動作モードで輝度信号と色信号が出力で揃うように、LTA/CTA値を自動的に設定	0								輝度信号/色信号の遅延には、LTA[1:0]とCTA[2:0]の値を使用			
			1								LTA値とCTA値は自動的に決定			
SWPC CrサンプルとCbサンプルの スワップが可能	0								スワップなし		「SWAP_CR_CB_WB、アドレス0x89」を参照			
	1								CrとCbの出力サンプルをスワップ					
0x2B	その他のゲイン・ コントロール	PW_UPD ピーク・ホワイト更新がゲインのレートを決定							0	ビデオ・ラインごとに1回更新		ピーク・ホワイトをイネーブルにする必要あり。LAGC[2:0]を参照		
									1	フィールドごとに1回更新				
		予備		1	0	0	0	0		デフォルト設定				
		CKE カラーキル・イネーブルにより、カラーキル機能をオン/オフに切替え	0								カラーキルをディスエーブル		SECAMカラーキルに対しては、スレッシュホールドを8%に設定。CKILLTHR[2:0]を参照	
			1								カラーキルをイネーブル			
予備	1								デフォルト設定					
0x2C	AGCモード・ コントロール	CAGC[1:0] 色信号自動ゲイン・コントロールは、色信号パス内のAGCの基本動作モードを選択							0	0	マニュアル固定ゲイン		CMG[11:0]を使用	
									0	1	色信号に対して輝度信号ゲインを使用			
									1	0	自動ゲイン			カラー・バーストに基づく
									1	1	色信号ゲインをフリーズ			
		予備					1	1		1に設定				
		LAGC[2:0] 輝度信号自動ゲイン・コントロールは、輝度信号パス内のゲイン・コントロールの動作モードを選択		0	0	0					マニュアル固定ゲイン		LMG[11:0]を使用	
				0	0	1					予備			
				0	1	0					ピークホワイト・アルゴリズムをオン			ブランク・レベル ~同期タイプ
				0	1	1					予備			
				1	0	0					ピークホワイト・アルゴリズムをオフ			ブランク・レベル ~同期タイプ
				1	0	1					予備			
	1		1	0					予備					
予備	1	1	1					ゲインをフリーズ						
予備	1							1に設定						
0x2D	色信号ゲイン・ コントロール1	CMG[11:8]/CG[11:8] マニュアル・モードでは、色信号ゲイン・コントロールにより、マニュアルに必要な色信号ゲインを設定。自動モードでは、現在のゲイン値の読出しが可能						0	1	0	0		CAGC[1:0]の設定は、CMG[11:0]の動作モードを決定	
									1	1		1に設定		
		CAGT[1:0] 色信号自動ゲイン・タイミングにより、色信号AGCトラッキング速度を調整	0	0						低速 (TC=2秒)		CAGC[1:0]が自動ゲイン (10) に設定されている場合にのみ有効		
			0	1						中速 (TC=1秒)				
			1	0						高速 (TC=0.2秒)				
予備	1	1						アダプティブ						
0x2E	色信号ゲイン・ コントロール2	CMG[7:0]/CG[7:0] 色信号マニュアル・ゲインの下位8ビット。説明についてはCMG[11:8]/CG[11:8]を参照	0	0	0	0	0	0	0	0	CMG[11:0]=750d、NTSCではゲイン=1。 CMG[11:0]=741d、PALではゲイン=1	Min値0d (G=1/1000) Max値3750d (ゲイン=5)		

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)								コメント		注
			7	6	5	4	3	2	1	0	LQFP-64	LFCSP-40	
0x2F	輝度信号ゲイン・コントロール1	LMG[11:8]/LG[11:8] マニュアル・モードでは、輝度信号・ゲイン・コントロールにより、マニュアルで必要な信号ゲインを設定。自動モードでは、使用された実際のゲイン値の読み出しが可能					X	X	X	X	LAGC[1:0]の設定は、LMG[11:0]の動作モードを決定		
		予備			1	1					1に設定		
		LAGT[1:0]	0	0							低速 (TC=2秒)	LAGC[1:0]が自動ゲイン (001、010、011、100) に設定されている場合にのみ有効	
		輝度信号自動ゲイン・タイミングにより、輝度信号AGCトラッキング速度を調整	0	1							中速 (TC=1秒)		
			1	0							高速 (TC=0.2秒)		
	1	1								アダプティブ			
0x30	輝度信号ゲイン・コントロール2	LMG[7:0]/LG[7:0] 輝度信号マニュアル・ゲインの下部8ビット。説明についてはLMG[11:8]/LG[11:8]を参照	X	X	X	X	X	X	X	LMG[11:0]=1600d、NTSCではゲイン=1 LMG[11:0]=1630d、PALではゲイン=1		Min値 NTSC 2048 (G=0.5) PAL 2048 (G=0.5) Max値 NTSC 4095 (G=2) PAL=4095 (G=2)	
0x31	VS/FIELD コントロール1	予備						0	1	0	デフォルト値に設定		
		HVSTIM					0				HSEを基準としてラインを開始	HSE=HSYNC終了	
		VS信号をアサートするビデオ・ライン上の位置を選択					1				HSBを基準としてラインを開始	HSB=HSYNC開始	
		NEWAVMODE EAV/SAVモードを設定				0					アナログ・デバイセズのエンコーダに適合するEAV/SAVコードを発生		
					1						0x32、0x33、0xE5~0xEAの各レジスタから制御されるマニュアルVS/FIELD位置		
	予備	0	0	0						デフォルト値に設定			
0x32	VS/FIELD コントロール2	予備			0	0	0	0	0	0	1	デフォルト値に設定	NEWAVMODE ビットはハイレベルに設定
		VSBHE		0								ラインの中央でVSがハイレベル (偶数フィールド)	
				1								ラインの開始点でVSが状態を変更 (偶数フィールド)	
		VSBHO	0									ラインの中央でVSがハイレベル (奇数フィールド)	
			1									ラインの開始点でVSが状態を変更 (奇数フィールド)	
0x33	VS/FIELD コントロール3	予備			0	0	0	0	1	0	0	デフォルト値に設定	NEWAVMODE ビットはハイレベルに設定
		VSEHE		0								ラインの中央でVSがローレベル (偶数フィールド)	
				1								ラインの開始点でVSが状態を変更 (偶数フィールド)	
		VSEHO	0									ラインの中央でVSがローレベル (奇数フィールド)	
			1									ラインの開始点でVSが状態を変更 (奇数フィールド)	
0x34	HS位置 コントロール1	HSE[10:8] HS終了ビットにより、ビデオ・ライン内でHS出力の位置を設定							0	0	0	HS出力は、HSYNCの立下がりエッジからHSE[10:0]ピクセル後に終了	HSBとHSEにより、出力HSYNCの位置と長さの設定が可能
		予備					0					0に設定	
		HSB[10:8] HS開始ビットにより、ビデオ・ライン内でHS出力の位置を設定		0	0	0						HS出力は、HSYNCの立下がりエッジからHSB[10:0]ピクセル後に開始	
		予備	0									0に設定	
0x35	HS位置 コントロール2	HSB[7:0] 上記参照。HSB[10:0]とHSE[10:0]により、HS出力信号の位置と長さを設定	0	0	0	0	0	0	0	1	0		
0x36	HS位置 コントロール3	HSB[7:0] 上記参照	0	0	0	0	0	0	0	0	0		

ADV7180

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)							コメント		注	
			7	6	5	4	3	2	1	0	LQFP-64		LFCS-40
0x37	極性	PCLK LLC1の極性を設定									0	極性反転	
											1	タイミング図による通常の極性	
		予備							0	0		0に設定	
		PF FIELDの極性を設定					0					アクティブ・ハイ	
							1					アクティブ・ロー	
		予備			0							0に設定	
		PVS VSの極性を設定			0							アクティブ・ハイ	
					1							アクティブ・ロー	
0x38	NTSCコム・ コントロール	YCMN[2:0] 輝度信号コムモード (NTSC)							0	0	0	アダプティブ3ライン、3タップ輝度信号	
									1	0	0	ローパス・ノッチを使用	
									1	0	1	固定輝度信号コム (2ライン)	メモリの最上部ライン
									1	1	0	固定輝度信号コム (3ライン)	メモリのすべてのライン
									1	1	1	固定輝度信号コム (2ライン)	メモリの最下部ライン
		CCMN[2:0] 色信号コムモード (NTSC)			0	0	0					CTAPSN=01に対して3ライン・アダプティブ CTAPSN=10に対して4ライン・アダプティブ CTAPSN=11に対して5ライン・アダプティブ	
					1	0	0					色信号コムをディスエーブル	
					1	0	1					CTAPSN=01に対して固定2ライン CTAPSN=10に対して固定3ライン CTAPSN=11に対して固定4ライン	メモリの最上部 ライン
CTAPSN[1:0] 色信号コムタップ (NTSC)	0	0							3ラインを2ラインへ				
	0	1							未使用				
	1	0							5ラインを3ラインへ				
	1	1							5ラインを4ラインへ				
0x39	PALコム・ コントロール	YCMP[2:0] 輝度信号コムモード (PAL)							0	0	0	アダプティブ5ライン、3タップ輝度信号コム	
									1	0	0	ローパス・ノッチを使用	
									1	1	0	固定輝度信号コム	メモリの最上部ライン
									1	1	0	固定輝度信号コム (5ライン)	メモリのすべてのライン
									1	1	1	固定輝度信号コム (3ライン)	メモリの最下部ライン
		CCMP[2:0] 色信号コムモード (PAL)			0	0	0					CTAPSN=01に対して3ライン・アダプティブ CTAPSN=10に対して4ライン・アダプティブ CTAPSN=11に対して5ライン・アダプティブ	
					1	0	0					色信号コムをディスエーブル	
					1	0	1					CTAPSN=01に対して固定2ライン CTAPSN=10に対して固定3ライン CTAPSN=11に対して固定4ライン	メモリの最上部 ライン
					1	1	0					CTAPSN=01に対して固定3ライン CTAPSN=10に対して固定4ライン CTAPSN=11に対して固定5ライン	メモリのすべての ライン
					1	1	1					CTAPSN=01に対して固定2ライン CTAPSN=10に対して固定3ライン CTAPSN=11に対して固定4ライン	メモリの最下部 ライン
			CTAPSP[1:0] 色信号コムタップ (PAL)	0	0							5ラインを2ラインへ (2タップ)	
				0	1							未使用	
		1		0							5ラインを3ラインへ (3タップ)		
		1		1							5ラインを4ラインへ (4タップ)		

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)								コメント		注			
			7	6	5	4	3	2	1	0	LQFP-64	LFCSF-40				
0x3A	ADCコントロール	MUX_PDNオーバーライド MUXパワーダウンオーバー ライド										0	LQFP-64	LFCSF-40	マルチプレクサと 関連チャンネル回 路のパワーダウン 制御なし	
		INSEL[3:0]を使用すると、 未使用のチャンネルが自動的 にパワーダウンされます										1			MUX_0/1/2と関連 チャンネル回路の パワーダウンが可能	
		PWRDWN_MUX_2 MUX_2および関連のチャ ンネル・クランプとバッファの パワーダウンをイネーブル										0			通常動作中のMUX_2と関連チャンネル	
												1			MUX_2と関連チャンネルの動作を パワーダウン	MUX_PDN オーバーライド=1
		PWRDWN_MUX_1 MUX_1および関連のチャ ンネル・クランプとバッファの パワーダウンをイネーブル										0			通常動作中のMUX_1と関連チャンネル	
												1			MUX_1と関連チャンネルの動作を パワーダウン	MUX_PDN オーバーライド=1
		PWRDWN_MUX_0 MUX_0および関連のチャ ンネル・クランプとバッファの パワーダウンをイネーブル										0			通常動作中のMUX_0と関連チャンネルを パワーダウン	
												1			MUX_0と関連チャンネルの動作を パワーダウン	MUX_PDN オーバーライド=1
予備										0			デフォルトとして設定			
0x3D	マニュアル・ ウィンドウ・ コントロール	予備									0	0	1	0	デフォルトとして設定	
		CKILLTHR[2:0]			0	0	0								0.5%でキル	CKE=1に設定する と、カラーキル機能 がイネーブルになり ますが、 CKILLTHR[2:0]を 有効にするには必ず CKEをイネーブル にすることが必要
					0	0	1								1.5%でキル	
					0	1	0								2.5%でキル	
					0	1	1								4%でキル	
					1	0	0								8.5%でキル	
					1	0	1								16%でキル	
					1	1	0								32%でキル	
予備												1	デフォルトとして設定			
0x41	リサンプル・ コントロール	予備			0	0	0	0	0	0	0	0	1	デフォルトとして設定		
		SFL_INV PALスイッチ・ビットの動作 を制御			0									SFLはADV717x/ADV73xxエンコーダと 互換		
					1									SFLは ADV7190/ADV7191/AD7192/ADV7194 エンコーダと互換		
予備			0										デフォルトとして設定			
0x48	Gemstar コントロール1	GDECEL[15:8] コメントを参照	0	0	0	0	0	0	0	0	0	0	0	GDECEL[15:0] 16個の別々のイネーブル・ビットで、 デコーダがGemstar互換データを探す、 ビデオ・ライン（偶数フィールド・ ライン10~25）を選択	LSB=ライン10 MSB=ライン25 デフォルト=偶数 フィールドのライン (10~25)において Gemstar互換データの チェックなし	
0x49	Gemstar コントロール2	GDECEL[7:0]	0	0	0	0	0	0	0	0	0	0	0	GDECEL[15:0] 16個の別々のイネーブル・ビットで、 デコーダがGemstar互換データを探す、 ビデオ・ライン（奇数フィールド・ ライン10~25）を選択	LSB=ライン10 MSB=ライン25 デフォルト=奇数 フィールドのライン (10~25)において Gemstar互換データの チェックなし	
0x4A	Gemstar コントロール3	GDECOL[15:8] コメントを参照	0	0	0	0	0	0	0	0	0	0	0	GDECOL[15:0] 16個の別々のイネーブル・ビットで、 デコーダがGemstar互換データを探す、 ビデオ・ライン（奇数フィールド・ ライン10~25）を選択	LSB=ライン10 MSB=ライン25 デフォルト=偶数 フィールドのライン (10~25)において Gemstar互換データの チェックなし	
0x4B	Gemstar コントロール4	GDECOL[7:0]	0	0	0	0	0	0	0	0	0	0	0	GDECOL[15:0] 16個の別々のイネーブル・ビットで、 デコーダがGemstar互換データを探す、 ビデオ・ライン（奇数フィールド・ ライン10~25）を選択	LSB=ライン10 MSB=ライン25 デフォルト=偶数 フィールドのライン (10~25)において Gemstar互換データの チェックなし	
0x4C	Gemstar コントロール5	GDECAD デコードされたGemstarデー タを水平ランキング区間に 挿入する方法を制御											0	データを半バイトに分割	00/FFコードの発生 の回避	
													1	8ビット・フォーマットそのまま出力		
		予備	X	X	X	X	X	X	X	X	X	X	X		未定義	

ADV7180

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)							コメント		注	
			7	6	5	4	3	2	1	0	LQFP-64		LFCSP-40
0x4D	CTI DNR コントロール1	CTI_EN									0	CTIをディスエーブル	
		CTIをイネーブル									1	CTIをイネーブル	
		CTI_AB_EN									0	CTIアルファ・ブレンダをディスエーブル	
		トランジェントを改善した色 信号と元信号をミックスする 機能をイネーブル									1	CTIアルファ・ブレンダをイネーブル	
		CTI_AB[1:0]					0	0				最もシャープなミキシング	
		アルファ・ブレンダ回路の動 作を制御					0	1				シャープなミキシング	
							1	0				スムーズ	
							1	1				最もスムーズ	
予備				0						デフォルト設定			
DNR_EN			0							DNRブロックをバイパス			
DNRブロックをイネーブル またはバイパス			1							DNRブロックをイネーブル			
予備			1	1						デフォルト設定			
0x4E	CTI DNR コントロール2	CTI_C_TH[7:0] CTIブロックで振幅ステップ をシャープ化する際のその度 合いを指定	0	0	0	0	1	0	0	0	A/V入力に対しては0x04を設定、 チューナ入力に対しては0x0Aを設定		
0x50	CTI DNR コントロール4	DNR_TH[7:0] ノイズとみなされブランクに される最大エッジを指定	0	0	0	0	1	0	0	0			
0x51	ロック・カウント	CIL[2:0] (カウント・ イントゥ・ロック) ロック状態に入ったことを確 認するためにシステムがロッ ク状態を維持しなければなら ないライン数を指定						0	0	0	ビデオの1ライン		
								0	0	1	ビデオの2ライン		
								0	1	0	ビデオの5ライン		
								0	1	1	ビデオの10ライン		
								1	0	0	ビデオの100ライン		
								1	0	1	ビデオの500ライン		
								1	1	0	ビデオの1,000ライン		
								1	1	1	ビデオの100,000ライン		
		COL[2:0] (カウント・ アウト・オブ・ロック) 非ロック状態になったことを 確認するためにシステムが非 ロック状態を維持しなければ ならないライン数を指定			0	0	0	ビデオの1ライン					
					0	0	1	ビデオの2ライン					
					0	1	0	ビデオの5ライン					
					0	1	1	ビデオの10ライン					
					1	0	0	ビデオの100ライン					
					1	0	1	ビデオの500ライン					
		SRLS (原ロック信号選択) ロック状態の指定を選択		0	垂直情報で全フィールド								
				1	ラインごとに決定								
			FSCLE	0	水平ロックのみでロック状態を設定								
			F _{sc} ロック・イネーブル	1	水平ロックとサブキャリア・ロックで ロック状態を設定								
0x58	VSYNC/FIELD ピン制御	VS/FIELD								0	FIELD	LFCSP-40のピン37	
		VSYNCまたはFIELD出力。 ADV7180 LFCSP-40のみ									1		VSYNC
		予備									0	デフォルト設定	
		ADCサンプリング制御						0	ADCサンプリング制御				
								1	Y/Cモードのみ		強制書込み		
予備		0	0	0	0	0	デフォルト設定						

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)							コメント		注				
			7	6	5	4	3	2	1	0	LQFP-64		LFCSF-40			
0x59	汎用出力	GPO[3:0] ADV7180 LQFP-64のみ								0	GPO0、13番ピンに0を出力	これらのビットを有効にするには GPO_Enableを1に 設定することが必要				
										1	GPO0、13番ピンに1を出力					
										0	GPO1、12番ピンに0を出力					
										1	GPO1、12番ピンに1を出力					
										0	GPO2、56番ピンに0を出力					
										1	GPO2、56番ピンに1を出力					
										0	GPO3、55番ピンに0を出力					
										1	GPO3、55番ピンに1を出力					
			GPO_Enable				0						GPO[3:0]スリーステート			
					1					GPO[3:0]イネーブル						
	予備		0	0	0											
0x8F	フリーラン・ ライン長1	予備						0	0	0	0	デフォルト設定	16ビット4:2:2出力 の場合、 OF_SEL[3:0]=0010			
		LLC_PAD_SEL[2:0] LLC1ピンに対するクロックの マニュアル選択をイネーブル		0	0	0						LLC1ピン出力にLLC1（公称27MHz） を選択				
			1	0	1							LLC1ピン出力にLLC2（公称13.5MHz） を選択				
		予備	0									デフォルト設定				
0x99	CCAP1 (読出し専用)	CCAP1[7:0] クロズド・キャプション・ データ・レジスタ	X	X	X	X	X	X	X	X	CCAP1[7]はバイト0のパリティ・ビット を格納					
0x9A	CCAP2 (読出し専用)	CCAP2[7:0] クロズド・キャプション・ データ・レジスタ	X	X	X	X	X	X	X	X	CCAP2[7]はバイト0のパリティ・ビット を格納					
0x9B	レターボックス1 (読出し専用)	LB_LCT[7:0] レターボックス・データ・レ ジスタ	X	X	X	X	X	X	X	X	アクティブ・ビデオの最上部で検出 されたブラック・ライン数を報告	この機能は、各フィー ルドの始めと終わり でアクティブ・ビデオ を調べます。ビデオに CGMSシーケンスまた はWSSシーケンスがな い場合でも、フォー マット検出をイネーブ ルにします				
0x9C	レターボックス2 (読出し専用)	LB_LCM[7:0] レターボックス・データ・レ ジスタ	X	X	X	X	X	X	X	X	サブタイトルが検出された場合、 アクティブ・ビデオの下半分で検出 されたブラック・ラインの数を報告					
0x9D	レターボックス3 (読出し専用)	LB_LCB[7:0] レターボックス・データ・レ ジスタ	X	X	X	X	X	X	X	X	アクティブ・ビデオの最下部で検出 されたブラック・ラインの数を報告					
0xB2	CRCイネーブル (書込み専用)	予備								0	0	デフォルト設定				
		CRC_ENABLE CGMSDを有効にするため CGMSパケットからデコード されたCRCチェックサムをイ ネーブル								0			CRCチェックをオフ			
										1			チェックサムが有効なときCGMSDは ハイレベル			
	予備		0	0	0	1	1					デフォルト設定				
0xC3	ADCスイッチ1	MUX_0[3:0] MUX0に対するマニュアル・ マルチプレクシング制御 どの入力をADCに接続して 処理するかをこの設定で制御							0	0	0	無接続	無接続	MAN_MUX_EN=1		
										0	0	1	A _{IN} 1		A _{IN} 1	
											0	1	0		A _{IN} 2	無接続
											0	1	1		A _{IN} 3	無接続
											1	0	0		A _{IN} 4	A _{IN} 2
											1	0	1		A _{IN} 5	A _{IN} 3
											1	1	0		A _{IN} 6	無接続
											1	1	1		無接続	無接続
			予備							0						
		MUX_1[3:0] MUX1に対するマニュアル・ マルチプレクシング制御 どの入力をADCに接続して 処理するかをこの設定で制御		0	0	0							無接続	無接続	MAN_MUX_EN=1	
				0	0	1							無接続	無接続		
				0	1	0							無接続	無接続		
				0	1	1							A _{IN} 3	無接続		
				1	0	0							A _{IN} 4	A _{IN} 2		
	1		0	1							A _{IN} 5	A _{IN} 3				
	1	1	0							A _{IN} 6	無接続					
	1	1	1								無接続	無接続				
	予備		0													

ADV7180

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)							コメント		注		
			7	6	5	4	3	2	1	0	LQFP-64		LFCSP-40	
0xC4	ADCスイッチ2	MUX_2[3:0]						0	0	0	無接続	無接続	MAN_MUX_EN=1	
		MUX2に対するマニュアル・マルチプレクシング制御						0	0	1	無接続	無接続		
		どの入力をADCに接続して処理するかをこの設定で制御						0	1	0	A _R 2	無接続		
								0	1	1	無接続	無接続		
								1	0	0	無接続	無接続		
								1	0	1	A _R 5	A _R 3		
								1	1	0	A _R 6	無接続		
								1	1	1	無接続	無接続		
	予備		0	0	0	0								
	MAN_MUX_EN		0								ディスエーブル	マニュアル・マルチプレクシングを行うには、このビットを1に設定します。		
	入力信号マルチプレクシングのマニュアル設定をイネーブル		1								イネーブル			
0xDC	レターボックス・コントロール1	LB_TH[4:0]					0	1	1	0	0	ブラック・ライン検出用のデフォルトのスレッシュホールド		
		ラインがブラックか判定するためのスレッシュホールド値の設定										デフォルト設定		
0xDD	レターボックス・コントロール2	LB_EL[3:0]						1	1	0	0	LB検出は、フィールド内のアクティブ・ビデオの最終ライン (1100b : 262/525) で終了		
		LB検出 (フィールドの終了)用の動作ウィンドウの最終ラインを設定										レターボックス検出は、アクティブ・ビデオの最初のライン (0100b : 23/286NTSC) で開始		
0xDE	ST_Noise読出し1 (読出し専用)	ST_NOISE[10:0]												
		ノイズ測定						X	X	X				
		ST_NOISE[10:8]						X			値が1のとき、ST_Noise[10:0]は有効			
0xDF	ST_Noise読出し2 (読出し専用)	ST_NOISE[7:0]	X	X	X	X	X	X	X	X				
0xE0		予備	0	0	0	1	0	1	0	0				
0xE1	SDオフセットCb	SD_OFF_CB[7:0]	1	0	0	0	0	0	0	0				
		Cbチャンネルに対するオフセットを選択して色相を調整												
0xE2	SDオフセットCr	SD_OFF_CR[7:0]	1	0	0	0	0	0	0	0				
		Crチャンネルに対するオフセットを選択して色相を調整												
0xE3	SD彩度Cb	SD_SAT_CB[7:0]	1	0	0	0	0	0	0	0		色信号ゲイン=0dB		
		Cbチャンネルのゲインを変えて彩度を調整												
0xE4	SD彩度Cr	SD_SAT_CR[7:0]	1	0	0	0	0	0	0	0		色信号ゲイン=0dB		
		Crチャンネルのゲインを変えて彩度を調整												
0xE5	NTSC Vビット開始	NVBEG[4:0]					0	0	1	0	1	NTSCデフォルト (ITU-R BT.656)		
		Vをハイレベルに設定するためのI _{COUNT} ロールオーバー後のライン数										マニュアル設定の場合、ローレベルに設定		
		NVBEGSIGN			0						ユーザ設定には不適當			
		NVBEGDELE		0							遅延なし			
		Vビットがハイレベルになるのを、NVBEGに対して1ラインだけ遅延 (偶数フィールド)		1							さらに1ライン遅延			
NVBEGDELO		0							遅延なし					
Vビットがハイレベルになるのを、NVBEGに対して1ラインだけ遅延 (奇数フィールド)		1							さらに1ライン遅延					

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)							コメント		注		
			7	6	5	4	3	2	1	0	LQFP-64		LFCSP-40	
0xE6	NTSC Vビット 終了	NVEND[4:0] Vをローレベルに設定するためのI _{COUNT} ロールオーバー後のライン数				0	0	1	0	0	NTSCデフォルト (ITU-R BT.656)			
		NVENDSIGN			0						マニュアル設定の場合、ローレベルに設定			
				1								ユーザ設定には不適当		
		NVENDDELE Vビットがローレベルになるのを、NVENDに対して1ラインだけ遅延 (偶数フィールド)		0								遅延なし		
		1								さらに1ライン遅延				
		NVENDDELO Vビットがローレベルになるのを、NVENDに対して1ラインだけ遅延 (奇数フィールド)	0								遅延なし			
		1								さらに1ライン遅延				
0xE7	NTSC Fビット・ トグル	NFTOG[4:0] F信号をトグルするためのI _{COUNT} ロールオーバー後のライン数				0	0	0	1	1	NTSCデフォルト			
		NFTOGSIGN			0						マニュアル設定の場合、ローレベルに設定			
				1								ユーザ設定には不適切		
		NFTOGDELE Fの遷移をNFTOGに対して1ラインだけ遅延 (偶数フィールド)		0								遅延なし		
		1								さらに1ライン遅延				
		NFTOGDELO Fの遷移をNFTOGに対して1ラインだけ遅延 (奇数フィールド)	0								遅延なし			
		1								さらに1ライン遅延				
0xE8	PAL Vビット 開始	PVBEG[4:0] Vをハイレベルに設定するためのI _{COUNT} ロールオーバー後のライン数				0	0	1	0	1	PALデフォルト (ITU-R BT.656)			
		PVBEGSIGN			0						マニュアル設定の場合、ローレベルに設定			
				1								ユーザ設定には不適切		
		PVBEGDELE Vビットがハイレベルになるのを、PVBEGに対して1ラインだけ遅延 (偶数フィールド)		0								遅延なし		
		1								さらに1ライン遅延				
		PVBEGDELO Vビットがハイレベルになるのを、PVBEGに対して1ラインだけ遅延 (奇数フィールド)	0								遅延なし			
		1								さらに1ライン遅延				
0xE9	PAL Vビット修了	PVEND[4:0] Vをローレベルに設定するためのI _{COUNT} ロールオーバー後のライン数				1	0	1	0	0	PALデフォルト (ITU-R BT.656)			
		PVENDSIGN			0						マニュアル設定の場合、ローレベルに設定			
				1								ユーザ設定には不適切		
		PVENDDELE Vビットがローレベルになるのを、PVENDに対して1ラインだけ遅延 (偶数フィールド)		0								遅延なし		
		1								さらに1ライン遅延				
		PVENDDELO Vビットがローレベルになるのを、PVENDに対して1ラインだけ遅延 (奇数フィールド)	0								遅延なし			
		1								さらに1ライン遅延				
0xEA	PAL Fビット・ トグル	PFTOG[4:0] F信号をトグルするためのI _{COUNT} ロールオーバー後のライン数				0	0	0	1	1	PALデフォルト (ITU-R BT.656)			
		PFTOGSIGN			0						マニュアル設定の場合、ローレベルに設定			
				1								ユーザ設定には不適切		
		PFTOGDELE Fの遷移をPFTOGに対して1ラインだけ遅延 (偶数フィールド)		0								遅延なし		
		1								さらに1ライン遅延				
		PFTOGDELO Fの遷移をPFTOGに対して1ラインだけ遅延 (奇数フィールド)	0								遅延なし			
		1								さらに1ライン遅延				

ADV7180

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)								コメント		注		
			7	6	5	4	3	2	1	0	LQFP-64	LFCSP-40			
0xEB	Vブランク・コントロール1	PVBIELCM[1:0] PAL VBI偶数フィールド・ライン制御								0	0	VBIは1ライン早く終了 (ライン335)	PALの偶数フィールドでVBI後に最初にアクティブとなる (コムフィルタ処理される) ラインの位置を制御		
										0	1	ITU-R BT.470に準拠 (ライン336)			
										1	0	VBIは1ライン遅く終了 (ライン337)			
										1	1	VBIは2ライン遅く終了 (ライン338)			
		PVBIOLCM[1:0] PAL VBI奇数フィールド・ライン制御					0	0						VBIは1ライン早く終了 (ライン22)	PALの奇数フィールドでVBI後に最初にアクティブとなる (コムフィルタ処理される) ラインの位置を制御
							0	1						ITU-R BT.470に準拠 (ライン23)	
							1	0						VBIは1ライン遅く終了 (ライン24)	
							1	1						VBIは2ライン遅く終了 (ライン25)	
		NVBIELCM[1:0] NTSC VBI偶数フィールド・ライン制御			0	0								VBIは1ライン早く終了 (ライン282)	NTSCの偶数フィールドでVBI後に最初にアクティブとなる (コムフィルタ処理される) ラインの位置を制御
					0	1								ITU-R BT.470に準拠 (ライン283)	
					1	0								VBIは1ライン遅く終了 (ライン284)	
					1	1								VBIは2ライン遅く終了 (ライン285)	
		PVBIOLCM[1:0] NTSC VBI奇数フィールド・ライン制御		0	0									VBIは1ライン早く終了 (ライン20)	NTSCの奇数フィールドでVBI後に最初にアクティブとなる (コムフィルタ処理される) ラインの位置を制御
				0	1									ITU-R BT.470に準拠 (ライン21)	
				1	0									VBIは1ライン遅く終了 (ライン22)	
				1	1									VBIは2ライン遅く終了 (ライン23)	
0xEC	Vブランク・コントロール2	PVBIIECCM[1:0] PAL VBI偶数フィールド・ライン制御								0	0	カラー出力開始ライン335	PALの偶数フィールドでカラーを出力する最初のラインの位置を制御		
										0	1	ITU-R BT.470準拠のカラー出力開始ライン336			
										1	0	カラー出力開始ライン337			
										1	1	カラー出力開始ライン338			
		PVBIIOCCM[1:0] PAL VBI奇数フィールド・ライン制御					0	0						カラー出力開始ライン22	PALの奇数フィールドでカラーを出力する最初のラインの位置を制御
							0	1						ITU-R BT.470準拠のカラー出力開始ライン23	
							1	0						カラー出力開始ライン24	
							1	1						カラー出力開始ライン25	
		NVBIIECCM[1:0] NTSC VBI偶数フィールド・ライン制御			0	0								カラー出力開始ライン282	NTSCの偶数フィールドでカラーを出力する最初のラインの位置を制御
					0	1								ITU-R BT.470準拠のカラー出力開始ライン283	
					1	0								VBIは1ライン遅く終了 (ライン284)	
					1	1								カラー出力開始ライン285	
		NVBIIOCCM[1:0] NTSC VBI奇数フィールド・ライン制御		0	0									カラー出力開始ライン20	NTSCの奇数フィールドでカラーを出力する最初のラインの位置を制御
				0	1									ITU-R BT.470準拠のカラー出力開始ライン21	
				1	0									カラー出力開始ライン22	
				1	1									カラー出力開始ライン23	
0xF3	AFEコントロール1	AA_FILT_EN[2:0] アンチエイリアス・フィルタをイネーブル								0	アンチエイリアス・フィルタ1をデイスエーブル	INSEL[3:0]で定義した設定を変更するには、AA_FILT_MAN_OVRをイネーブルにする必要あり			
										1	アンチエイリアス・フィルタ1をイネーブル				
										0	アンチエイリアス・フィルタ2をデイスエーブル				
										1	アンチエイリアス・フィルタ2をイネーブル				
									0		アンチエイリアス・フィルタ3をデイスエーブル				
									1		アンチエイリアス・フィルタ3をイネーブル				
		AA_FILT_MAN_OVR アンチエイリアス・フィルタの上書き					0				上書きをデイスエーブル				
							1				上書きをイネーブル				
予備		0	0	0	0										

サブアドレス	レジスタ	ビットの説明	ビット (グレーの部分はデフォルトの状態)							コメント		注		
			7	6	5	4	3	2	1	0	LQFP-64		LFCS-40	
0xF4	駆動強度	DR_STR_S[1:0] 同期出力信号の駆動強度を選択							0	0	駆動強度：低 (1×)			
									0	1	駆動強度：中低 (2×)			
									1	0	駆動強度：中高 (3×)			
									1	1	駆動強度：高 (4×)			
		DR_STR_C[1:0] クロック出力信号の駆動強度を選択					0	0			駆動強度：低 (1×)			
							0	1			駆動強度：中低 (2×)			
							1	0			駆動強度：中高 (3×)			
							1	1			駆動強度：高 (4×)			
		DR_STR[1:0] データ出力信号の駆動強度を選択。EMCまたはクロストークのために増減可能			0	0					駆動強度：低 (1×)			
					0	1					駆動強度：中低 (2×)			
					1	0					駆動強度：中高 (3×)			
					1	1					駆動強度：高 (4×)			
予備		X	X											
0xF8	IF補償 コントロール	IFFILTSEL[2:0] PALとNTSCのIFフィルタ選択						0	0	0	バイパス・モード		0dB	
												2MHz	5MHz	NTSCフィルタ
									0	0	1	-3dB	-2dB	
									0	1	0	-6dB	+3.5dB	
									0	1	1	-10dB	+5dB	
									1	0	0	予備		
												3MHz	6MHz	PALフィルタ
									1	0	1	-2dB	+2dB	
								1	1	0	-5dB	+3dB		
								1	1	1	-7dB	+5dB		
		予備		0	0	0	0	0						
		0xF9	VSモード・ コントロール	EXTEND_VS_MAX_FREQ								0	最大同期周波数を66.25Hzに制限 (475ライン/フレーム)	
										1	最大同期周波数を70.09Hzに制限 (449ライン/フレーム)			
EXTEND_VS_MIN_FREQ										0	最大同期周波数を42.75Hzに制限 (731ライン/フレーム)			
										1	最大同期周波数を39.51Hzに制限 (791ライン/フレーム)			
VS_COAST_MODE[1:0]							0	0			自動COASTモード	この値で出力 COAST周波数を 設定		
							0	1			50Hz COASTモード			
							1	0			60Hz COASTモード			
予備										1	1	予備		
0xFB	ピーキング・ コントロール	PEAKING_GAIN[7:0]	0	1	0	0	0	0	0	0	ビデオ信号の高周波部分のゲインを増減			
0xFC	コアリング・ スレッシュホールド2	DNR_TH2[7:0]	0	0	0	0	0	1	0	0	ノイズとみなされる (そのため、 ブランクにされる) 最大エッジを指定			

ADV7180

表104. レジスタ・マップの説明（割込み動作）

ユーザ・サブマップ			ビット (グレーの部分はデフォルトの状態)								コメント	注		
アドレス	レジスタ	ビットの説明	7	6	5	4	3	2	1	0				
0x40	割込み設定1	INTRQ_OP_SEL[1:0] 割込み駆動レベル選択							0	0	オープン・ドレイン			
										0	1		アクティブのとき、ローレベルに駆動	
										1	0		アクティブのとき、ハイレベルに駆動	
										1	1		予備	
		MPU_STIM_INTRQ[1:0] マニュアル割込み設定モード								0			マニュアル割込みモードがディスエーブル	
										1			マニュアル割込みモードがイネーブル	
		予備						X					未使用	
		MV_INTRQ_SEL[1:0] Macrovision割込み選択				0	0							予備
						0	1							疑似同期のみ
						1	0							カラー・ストライブのみ
						1	1							疑似同期またはカラー・ストライブ
		INTRQ_DUR_SEL[1:0] 割込み期間選択		0	0									3クロック期間
				0	1									15クロック期間
				1	0									63クロック期間
	1		1								クリアされるまでアクティブ			
0x42	割込みステータス1 (読出し専用)	SD_LOCK_Q								0	変更なし	これらのビットは 0x43レジスタでク リア、または0x44 レジスタでマスク 可能		
										1	SD入力により、デコーダがアンロック 状態からロック状態へ			
		SD_UNLOCK_Q								0	変更なし			
										1	SD入力により、デコーダがロック状態 からアンロック状態へ			
		予備							X					
		予備					X							
		予備				X								
		SD_FR_CHNG_Q			0									変更なし
					1									フリーラン状態の変更を表す
		MV_PS_CS_Q		0										変更なし
	1										疑似同期/カラー・ストライブを検出。 選択については「レジスタ0x40、 MV_INTRQ_SEL[1:0]」を参照			
予備	X													
0x43	割込みクリア1 (書込み専用)	SD_LOCK_CLR								0	クリアせず			
										1	SD_LOCK_Qビットをクリア			
		SD_UNLOCK_CLR								0	クリアせず			
										1	SD_UNLOCK_Qビットをクリア			
		予備							0		未使用			
		予備						0			未使用			
		予備				0					未使用			
		SD_FR_CHNG_CLR			0								クリアせず	
					1								SD_FR_CHNG_Qビットをクリア	
		MV_PS_CS_CLR		0									クリアせず	
	1									MV_PS_CS_Qビットをクリア				
予備	X									クリアせず				
0x44	割込みマスク1 (読出し/書込み)	SD_LOCK_MSK								0	SD_LOCK_Qビットをマスク			
										1	SD_LOCK_Qビットをマスクせず			
		SD_UNLOCK_MSK								0	SD_UNLOCK_Qビットをマスク			
										1	SD_UNLOCK_Qビットをマスクせず			
		予備							0		未使用			
		予備						0			未使用			
		予備				0					未使用			
		SD_FR_CHNG_MSK			0								SD_FR_CHNG_Qビットをマスク	
					1								SD_FR_CHNG_Qビットをマスクせず	
		MV_PS_CS_MSK		0									MV_PS_CS_Qビットをマスク	
	1									MV_PS_CS_Qビットをマスクせず				
予備	X									未使用				

ユーザ・サブマップ			ビット (グレーの部分はデフォルトの状態)								コメント	注	
アドレス	レジスタ	ビットの説明	7	6	5	4	3	2	1	0			
0x45	原ステータス2 (読出し専用)	CCAPD								0	CCAPDデータ未検出—VBIシステム2	これらのビットはステータス専用ビットで、クリアとマスクが不能。クリアまたはマスクするにはレジスタ0x46を使用	
										1	CCAPDデータ検出—VBIシステム2		
		予備					X	X	X				
		EVEN_FIELD				0							現在のSDフィールド番号は奇数値
					1								
	予備		X	X									
	MPU_STIM_INTRQ	0									MPU_STIM_INT=0		
		1									MPU_STIM_INT=1		
0x46	割込みステータス2 (読出し専用)	CCAPD_Q								0	入力ビデオ信号にクローズド・キャプションの検出なし—VBIシステム2	これらのビットは、0x47レジスタでクリア、または0x48レジスタでマスク可能。 CCAP、Gemstar、CGMS、およびWSSデータの場合、0x46レジスタの割込みは、モード1のデータ・スライサを使用	
										1	入力ビデオ信号にクローズド・キャプションの検出あり—VBIシステム2		
		GEMD_Q								0	入力ビデオ信号にGemstarデータの検出なし—VBIシステム2		
										1	入力ビデオ信号にGemstarデータの検出あり—VBIシステム2		
		予備					X	X					
		SD_FIELD_CHNGD_Q				0							SD信号による奇数フィールドから偶数フィールドへの変更（または逆の変更）なし
					1								SD信号による奇数フィールドから偶数フィールドへの変更（または逆の変更）あり
		予備			X								未使用
		予備		X									未使用
		MPU_STIM_INTRQ_Q	0										マニュアル割込みの設定なし
	1									マニュアル割込みの設定あり			
0x47	割込みクリア2 (書込み専用)	CCAPD_CLR								0	クリアせず—VBIシステム2	CCAP、Gemstar、CGMS、およびWSSデータの場合、0x46レジスタの割込みは、モード1のデータ・スライサを使用	
										1	CCAPD_Qビットをクリア—VBIシステム2		
		GEMD_CLR								0	クリアせず		
										1	GEMD_Qビットをクリア		
		予備					0	0					
		SD_FIELD_CHNGD_CLR				0							クリアせず
					1								SD_FIELD_CHNGD_Qビットをクリア
		予備			X								未使用
予備		X								未使用			
MPU_STIM_INTRQ_CLR	0									クリアせず			
	1									MPU_STIM_INTRQ_Qビットをクリア			
0x48	割込みマスク2 (読出し/書込み)	CCAPD_MSK								0	CCAPD_Qビットをマスク—VBIシステム2	CCAP、Gemstar、CGMS、およびWSSデータの場合、0x46レジスタの割込みは、モード1のデータ・スライサを使用	
										1	CCAPD_Qビットをマスクせず—VBIシステム2		
		GEMD_MSK								0	GEMD_Qビットをマスク—VBIシステム2		
										1	GEMD_Qビットをマスクせず—VBIシステム2		
		予備					0	0					未使用
		SD_FIELD_CHNGD_MSK				0							SD_FIELD_CHNGD_Qビットをマスク
					1								SD_FIELD_CHNGD_Qビットをマスクせず
予備		0	0							未使用			
MPU_STIM_INTRQ_MSK	0									MPU_STIM_INTRQ_Qビットをマスク			
	1									MPU_STIM_INTRQ_Qビットをマスクせず			
0x49	原ステータス3 (読出し専用)	SD_OP_50Hz								0	60HzのSD信号出力	これらのビットはステータス専用ビットで、クリアとマスクが不能。クリアまたはマスクするにはレジスタ0x4Aを使用	
										1	50HzのSD信号出力		
		SD_V_LOCK								0	SD垂直同期ロックが確立されず		
										1	SD垂直同期ロックが確立		
		SD_H_LOCK						0			SD水平同期ロックが確立されず		
								1			SD水平同期ロックが確立		
		予備					X				未使用		
		SCM_LOCK				0					SECAMロックが確立されず		
			1						SECAMロックが確立				
予備			X						未使用				
予備		X							未使用				
予備	X								未使用				

ADV7180

ユーザ・サブマップ		ビット (グレーの部分はデフォルトの状態)								コメント	注		
アドレス	レジスタ	ビットの説明	7	6	5	4	3	2	1			0	
0x4A	割込みステータス3 (読出し専用)	SD_OP_CHNG_Q 60/50HzのSDフレーム・レート を出力								0	出力でSD信号標準変更の検出なし	これらのビットは、 レジスタ0x4Bでク リア、または0x4C でマスク可能	
										1	出力でSD信号標準変更の検出あり		
		SD_V_LOCK_CHNG_Q									0		SD垂直同期ロック・ステータスに 変更なし
											1		SD垂直同期ロック・ステータスに 変更あり
		SD_H_LOCK_CHNG_Q								0	SD水平同期ロック・ステータスに 変更なし		
										1	SD水平同期ロック・ステータスに 変更あり		
		SD_AD_CHNG_Q SD自動検出の変更							0		ステータス・レジスタ1の AD_RESULT[2:0]ビットに変更なし		
									1		ステータス・レジスタ1の AD_RESULT[2:0]ビットに変更あり		
		SCM_LOCK_CHNG_Q SECAMロック						0			SECAMロック・ステータスに変更なし		
								1			SECAMロック・ステータスに変更あり		
PAL_SW_LK_CHNG_Q				0					PAL振幅バースト・ロック・ステータス に変更なし				
				1					PAL振幅バースト・ロック・ステータス に変更あり				
予備			X						未使用				
予備		X							未使用				
0x4B	割込みクリア3 (書込み専用)	SD_OP_CHNG_CLR								0	クリアせず		
										1	SD_OP_CHNG_Qビットをクリア		
		SD_V_LOCK_CHNG_CLR								0	クリアせず		
										1	SD_V_LOCK_CHNG_Qビットをクリア		
		SD_H_LOCK_CHNG_CLR							0	クリアせず			
									1	SD_H_LOCK_CHNG_Qビットをクリア			
		SD_AD_CHNG_CLR							0	クリアせず			
									1	SD_AD_CHNG_Qビットをクリア			
		SCM_LOCK_CHNG_CLR					0			クリアせず			
							1			SCM_LOCK_CHNG_Qビットをクリア			
PAL_SW_LK_CHNG_CLR				0				クリアせず					
				1				PAL_SW_LK_CHNG_Qビットをクリア					
予備			X					未使用					
予備		X						未使用					
0x4C	割込みマスク3 (読出し/書込み)	SD_OP_CHNG_MSK								0	SD_OP_CHNG_Qビットをマスク		
										1	SD_OP_CHNG_Qビットをマスクせず		
		SD_V_LOCK_CHNG_MSK								0	SD_V_LOCK_CHNG_Qビットをマスク		
										1	SD_V_LOCK_CHNG_Qビットをマスクせず		
		SD_H_LOCK_CHNG_MSK								0	SD_H_LOCK_CHNG_Qビットをマスク		
										1	SD_H_LOCK_CHNG_Qビットをマスクせず		
		SD_AD_CHNG_MSK								0	SD_AD_CHNG_Qビットをマスク		
										1	SD_AD_CHNG_Qビットをマスクせず		
		SCM_LOCK_CHNG_MSK								0	SCM_LOCK_CHNG_Qビットをマスク		
										1	SCM_LOCK_CHNG_Qビットをマスクせず		
PAL_SW_LK_CHNG_MSK								0	PAL_SW_LK_CHNG_Qビットをマスク				
								1	PAL_SW_LK_CHNG_Qビットをマスクせず				
予備			X					未使用					
予備		X						未使用					

ユーザ・サブマップ			ビット (グレーの部分はデフォルトの状態)								コメント	注	
アドレス	レジスタ	ビットの説明	7	6	5	4	3	2	1	0			
0x4E	割込みステータス4	VDP_CCAPD_Q								0	クローズド・キャプションの検出なし	これらのビットは0x4Fレジスタでクリア、または0x50レジスタでマスク可能。 CCAP、Gemstar、CGMS、WSS、VPS、PDC、UTC、VITCデータの場合、0x4Eレジスタの割込みは、VDPのデータ・スライサを使用	
										1	クローズド・キャプションの検出あり		
		予備								X			
		VDP_CGMS_WSS_CHNGD_Q									0		CGMS/WSSデータの変更なし/使用不可
		検出データの変更のために、または内容に関係なくデータが検出されたときのために、割込みが発行されるか否かについては、ユーザ・サブマップの0x9Cのビット4を参照									1		CGMS/WSSデータの変更あり/使用可
		予備							X				
		VDP_GS_VPS_PDC_UTC_CHNG_Q					0						Gemstar/PDC/VPS/UTCデータの変更なし/使用可
		検出データの変更のために、または内容に関係なくデータが検出されたときのために、割込みが発行されるか否かについては、ユーザ・サブマップの0x9Cのビット5を参照					1						Gemstar/PDC/VPS/UTCデータの変更あり/使用可
予備				X									
VDP_VITC_Q		0								VDPでVITCデータを使用不可			
		1								VDPでVITCデータを使用可			
予備		X											
0x4F	割込みクリア4 (書込み専用)	VDP_CCAPD_CLR								0	クリアせず	CCAP、Gemstar、CGMS、WSS、VPS、PDC、UTC、VITCデータの場合、0x4Eレジスタの割込みは、VDPのデータ・スライサを使用	
										1	VDP_CCAPD_Qビットをクリア		
		予備								0			
		VDP_CGMS_WSS_CHNGD_CLR								0	クリアせず		
										1	VDP_CGMS_WSS_CHNGD_Qビットをクリア		
		予備							0				
		VDP_GS_VPS_PDC_UTC_CHNG_CLR				0					クリアせず		
						1					VDP_GS_VPS_PDC_UTC_CHNG_Qビットをクリア		
予備			0										
VDP_VITC_CLR		0							クリアせず				
		1							VDP_VITC_Qビットをクリア				
予備		0											
0x50	割込みマスク4	VDP_CCAPD_MSKB								0	VDP_CCAPD_Qビットをマスク	CCAP、Gemstar、CGMS、WSS、VPS、PDC、UTC、VITCデータの場合、0x4Eレジスタの割込みは、VDPのデータ・スライサを使用	
										1	VDP_CCAPD_Qビットをマスクせず		
		予備								0			
		VDP_CGMS_WSS_CHNGD_MSKB								0	VDP_CGMS_WSS_CHNGD_Qビットをマスク		
										1	VDP_CGMS_WSS_CHNGD_Qビットをマスクせず		
		予備							0				
		VDP_GS_VPS_PDC_UTC_CHNG_MSKB				0					VDP_GS_VPS_PDC_UTC_CHNG_Qビットをマスク		
						1					VDP_GS_VPS_PDC_UTC_CHNG_Qビットをマスクせず		
予備			0										
VDP_VITC_MSKB		0							VDP_VITC_Qビットをマスク				
		1							VDP_VITC_Qビットをマスクせず				
予備		0											
0x60	VDP_Config_1	VDP_TTXX_TYPE_MAN [1:0]								0	0	PAL : Teletext-ITU-BT.653-625/50-A NTSC : 予備	
										0	1	PAL : Teletext-ITU-BT.653-625/50-B (WST) NTSC : Teletext-ITU-BT.653-525/60-B	
											1	0	PAL : Teletext-ITU-BT.653-625/50-C NTSC : Teletext-ITU-BT.653-525/60-C またはEIA516 (NABTS)
											1	1	PAL : Teletext-ITU-BT.653-625/50-D NTSC : Teletext-ITU-BT.653-525/60-D
		VDP_TTXX_TYPE_MAN_ENABLE									0		テレテキスト・タイプのユーザ設定をディセーブル
											1		テレテキスト・タイプのユーザ設定をイネーブル
		WST_PKT_DECODE_DISABLE									0		WSTパケットのハミング復号をイネーブル
											1		WSTパケットのハミング復号をディセーブル
予備		1	0	0	0								

ADV7180

ユーザ・サブマップ			ビット (グレーの部分はデフォルトの状態)								コメント	注
アドレス	レジスタ	ビットの説明	7	6	5	4	3	2	1	0		
0x61	VDP_Config_2	予備					X	X	0	0		
		AUTO_DETECT_GS_TYPE				0					Gemstarタイプの自動検出をディスエーブル	
		予備				1					Gemstarタイプの自動検出をイネーブル	
0x62	VDP_ADF_Config_1	ADF_DID[4:0]				1	0	1	0	1	VDPデコード済みデータを含む補助データ・ストリームで送信するユーザ指定のDID	
		ADF_MODE[1:0]		0	0						ニブル・モード	
				0	1						バイト・モード、コード制限なし	
				1	0						バイト・モード、0x00と0xFFを禁止	
				1	1						予備	
ADF_ENABLE	0								656補助ストリームに対するVBIデコード済みデータの挿入をディスエーブル			
	1								656補助ストリームに対するVBIデコード済みデータの挿入をイネーブル			
0x63	VDP_ADF_Config_2	ADF_SDID[5:0]			1	0	1	0	1	0	VDPデコード済みデータを含む補助データ・ストリームで送信するユーザ指定のSDID	
		予備		X								
		DUPLICATE_ADF	0								補助データ・パケットをYデータ・ストリームとCデータ・ストリームに分散	
	1									補助データ・パケットをYデータ・ストリームとCデータ・ストリームに複製		
0x64	VDP_LINE_00E	VBI_DATA_P318[3:0]					0	0	0	0	ライン318からデコードするVBI標準を設定 (PAL)。NTSC—なし	
		予備		0	0	0						
		MAN_LINE_PGM	0								表65に示したラインでデフォルト標準をデコード	
	1									各ラインでデコードするVBI標準をマニュアル設定 (表66を参照)	1に設定した場合、VBI_DATA_Px_N yビットすべてを任意に設定可能	
0x65	VDP_LINE_00F	VBI_DATA_P319_N286[3:0]					0	0	0	0	ライン319 (PAL)、ライン286 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするにはMAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P6_N23[3:0]	0	0	0	0					ライン6 (PAL)、ライン23 (NTSC) からデコードするVBI標準を設定	
0x66	VDP_LINE_010	VBI_DATA_P320_N287[3:0]					0	0	0	0	ライン320 (PAL)、ライン287 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするにはMAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P7_N24[3:0]	0	0	0	0					ライン7 (PAL)、ライン24 (NTSC) からデコードするVBI標準を設定	
0x67	VDP_LINE_011	VBI_DATA_P321_N288[3:0]					0	0	0	0	ライン321 (PAL)、ライン288 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするにはMAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P8_N25[3:0]	0	0	0	0					ライン8 (PAL)、ライン25 (NTSC) からデコードするVBI標準を設定	
0x68	VDP_LINE_012	VBI_DATA_P322[3:0]					0	0	0	0	ライン322からデコードするVBI標準を設定 (PAL)。NTSC—なし	これらのビットを有効にするにはMAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P9[3:0]	0	0	0	0					ライン9からデコードするVBI標準を設定 (PAL)。NTSC—なし	
0x69	VDP_LINE_013	VBI_DATA_P323[3:0]					0	0	0	0	ライン323からデコードするVBI標準を設定 (PAL)。NTSC—なし	これらのビットを有効にするにはMAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P10[3:0]	0	0	0	0					ライン10からデコードするVBI標準を設定 (PAL)。NTSC—なし	
0x6A	VDP_LINE_014	VBI_DATA_P324_N272[3:0]					0	0	0	0	ライン324 (PAL)、ライン272 (NTSC) からデコードするVBI標準を設定。NTSC—なし	これらのビットを有効にするにはMAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P11[3:0]	0	0	0	0					ライン11からデコードするVBI標準を設定 (PAL)。NTSC—なし	
0x6B	VDP_LINE_015	VBI_DATA_P325_N273[3:0]					0	0	0	0	ライン325 (PAL)、ライン273 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするにはMAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P12_N10[3:0]	0	0	0	0					ライン12 (PAL)、ライン10 (NTSC) からデコードするVBI標準を設定	
0x6C	VDP_LINE_016	VBI_DATA_P326_N274[3:0]					0	0	0	0	ライン326 (PAL)、ライン274 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするにはMAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P13_N11[3:0]	0	0	0	0					ライン13 (PAL)、ライン11 (NTSC) からデコードするVBI標準を設定	
0x6D	VDP_LINE_017	VBI_DATA_P327_N275[3:0]					0	0	0	0	ライン327 (PAL)、ライン275 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするにはMAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P14_N12[3:0]	0	0	0	0					ライン14 (PAL)、ライン12 (NTSC) からデコードするVBI標準を設定	

ユーザ・サブマップ			ビット (グレーの部分はデフォルトの状態)								コメント	注
アドレス	レジスタ	ビットの説明	7	6	5	4	3	2	1	0		
0x6E	VDP_LINE_018	VBI_DATA_P328_N276[3:0]					0	0	0	0	ライン328 (PAL)、ライン276 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするには MAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P15_N13[3:0]	0	0	0	0					ライン15 (PAL)、ライン13 (NTSC) からデコードするVBI標準を設定	
0x6F	VDP_LINE_019	VBI_DATA_P329_N277[3:0]					0	0	0	0	ライン329 (PAL)、ライン277 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするには MAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P16_N14[3:0]	0	0	0	0					ライン16 (PAL)、ライン14 (NTSC) からデコードするVBI標準を設定	
0x70	VDP_LINE_01A	VBI_DATA_P330_N278[3:0]					0	0	0	0	ライン330 (PAL)、ライン278 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするには MAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P17_N15[3:0]	0	0	0	0					ライン17 (PAL)、ライン15 (NTSC) からデコードするVBI標準を設定	
0x71	VDP_LINE_01B	VBI_DATA_P331_N279[3:0]					0	0	0	0	ライン331 (PAL)、ライン279 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするには MAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P18_N16[3:0]	0	0	0	0					ライン18 (PAL)、ライン16 (NTSC) からデコードするVBI標準を設定	
0x72	VDP_LINE_01C	VBI_DATA_P332_N280[3:0]					0	0	0	0	ライン332 (PAL)、ライン280 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするには MAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P19_N17[3:0]	0	0	0	0					ライン19 (PAL)、ライン17 (NTSC) からデコードするVBI標準を設定	
0x73	VDP_LINE_01D	VBI_DATA_P333_N281[3:0]					0	0	0	0	ライン333 (PAL)、ライン281 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするには MAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P20_N18[3:0]	0	0	0	0					ライン20 (PAL)、ライン18 (NTSC) からデコードするVBI標準を設定	
0x74	VDP_LINE_01E	VBI_DATA_P334_N282[3:0]					0	0	0	0	ライン334 (PAL)、ライン282 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするには MAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P21_N19[3:0]	0	0	0	0					ライン21 (PAL)、ライン19 (NTSC) からデコードするVBI標準を設定	
0x75	VDP_LINE_01F	VBI_DATA_P335_N283[3:0]					0	0	0	0	ライン335 (PAL)、ライン283 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするには MAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P22_N20[3:0]	0	0	0	0					ライン22 (PAL)、ライン20 (NTSC) からデコードするVBI標準を設定	
0x76	VDP_LINE_020	VBI_DATA_P336_N284[3:0]					0	0	0	0	ライン336 (PAL)、ライン284 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするには MAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P23_N21[3:0]	0	0	0	0					ライン23 (PAL)、ライン21 (NTSC) からデコードするVBI標準を設定	
0x77	VDP_LINE_021	VBI_DATA_P337_N285[3:0]					0	0	0	0	ライン337 (PAL)、ライン285 (NTSC) からデコードするVBI標準を設定	これらのビットを有効にするには MAN_LINE_PGMを1に設定することが必要
		VBI_DATA_P24_N22[3:0]	0	0	0	0					ライン24 (PAL)、ライン22 (NTSC) からデコードするVBI標準を設定	

ADV7180

ユーザ・サブマップ			ビット (グレーの部分はデフォルトの状態)								コメント	注	
アドレス	レジスタ	ビットの説明	7	6	5	4	3	2	1	0			
0x78	VDP_STATUS (読出し専用)	CC_AVL								0	クローズド・キャプションの検出なし	CC_CLEARで CC_AVLビットを リセット	
											1		クローズド・キャプションの検出あり
		CC_EVEN_FIELD									0	クローズド・キャプションを 奇数フィールドから検出	
											1	クローズド・キャプションを 偶数フィールドから検出	
		CGMS_WSS_AVL									0	CGMS/WSSの検出なし	CGMS_WSS_CLEAR でCGMS_WSS_AVL ビットをリセット
											1	CGMS/WSSの検出あり	
		予備								0			
		GS_PDC_VPS_UTC_AVL				0						VPSの検出なし	GS_PDC_VPS_UTC_­ CLEARで GS_PDC_VPS_UTC_­ AVLビットをリセット
						1						VPSの検出あり	
		GS_DATA_TYPE			0							Gemstar_1×を検出	
				1							Gemstar_2×を検出		
	VITC_AVL		0								VITCの検出なし	VITC_CLEARで VITC_AVLビット をリセット	
			1								VITCの検出あり		
	TTXT_AVL		0								テレテキストの検出なし		
			1								テレテキストの検出あり		
	VDP_STATUS_CLEAR (書込み専用)	CC_CLEAR									0	CCAPレジスタの再初期設定なし	自己クリアビット
												1	
		予備									0		
		CGMS_WSS_CLEAR									0	CGMS/WSSレジスタの再初期設定なし	自己クリアビット
												1	
予備									0				
GS_PDC_VPS_UTC_CLEAR					0						GS/PDC/VPS/UTCレジスタの 再初期設定なし	自己クリアビット	
					1						GS/PDC/VPS/UTC読出しレジスタを 再初期設定		
予備				0									
VITC_CLEAR			0								VITCレジスタの再初期設定なし	自己クリアビット	
		1								VITC読出しレジスタを再初期設定			
予備		0											
0x79	VDP_CCAP_DATA_0 (読出し専用)	CCAP_BYTE_1[7:0]	X	X	X	X	X	X	X	X	CCAPのデコード済みバイト1		
0x7A	VDP_CCAP_DATA_1 (読出し専用)	CCAP_BYTE_2[7:0]	X	X	X	X	X	X	X	X	CCAPのデコード済みバイト2		
0x7D	VDP_CGMS_WSS_­ DATA_0 (読出し専用)	CGMS_CRC[5:2]					X	X	X	X	CGMSのデコード済みCRCシーケンス		
		予備	0	0	0	0							
0x7E	VDP_CGMS_WSS_­ DATA_1 (読出し専用)	CGMS_WSS[13:8]			X	X	X	X	X	X	デコード済みのCGMS/WSSデータ		
		CGMS_CRC[1:0]	X	X							CGMSのデコード済みCRCシーケンス		
0x7F	VDP_CGMS_WSS_­ DATA_2 (読出し専用)	CGMS_WSS[7:0]	X	X	X	X	X	X	X	X	デコード済みのCGMS/WSSデータ		
0x84	VDP_GS_VPS_PDC_­ UTC_0 (読出し専用)	GS_VPS_PDC_UTC_­ BYTE_0[7:0]	X	X	X	X	X	X	X	X	デコード済みのGemstar/VPS/PDC/UTC データ		
0x85	VDP_GS_VPS_PDC_­ UTC_1 (読出し専用)	GS_VPS_PDC_UTC_­ BYTE_1[7:0]	X	X	X	X	X	X	X	X	デコード済みのGemstar/VPS/PDC/UTC データ		
0x86	VDP_GS_VPS_PDC_­ UTC_2 (読出し専用)	GS_VPS_PDC_UTC_­ BYTE_2[7:0]	X	X	X	X	X	X	X	X	デコード済みのGemstar/VPS/PDC/UTC データ		
0x87	VDP_GS_VPS_PDC_­ UTC_3 (読出し専用)	GS_VPS_PDC_UTC_­ BYTE_3[7:0]	X	X	X	X	X	X	X	X	デコード済みのGemstar/VPS/PDC/UTC データ		
0x88	VDP_VPS_PDC_UTC_4 (読出し専用)	VPS_PDC_UTC_BYTE_4[7:0]	X	X	X	X	X	X	X	X	デコード済みのVPS/PDC/UTCデータ		
0x89	VDP_VPS_PDC_UTC_5 (読出し専用)	VPS_PDC_UTC_BYTE_5[7:0]	X	X	X	X	X	X	X	X	デコード済みのVPS/PDC/UTCデータ		
0x8A	VDP_VPS_PDC_UTC_6 (読出し専用)	VPS_PDC_UTC_BYTE_6[7:0]	X	X	X	X	X	X	X	X	デコード済みのVPS/PDC/UTCデータ		

ユーザ・サブマップ			ビット (グレーの部分はデフォルトの状態)								コメント	注
アドレス	レジスタ	ビットの説明	7	6	5	4	3	2	1	0		
0x8B	VDP_VPS_PDC_UTC_7 (読出し専用)	VPS_PDC_UTC_BYTE_7[7:0]	X	X	X	X	X	X	X	X	デコード済みのVPS/PDC/UTCデータ	
0x8C	VDP_VPS_PDC_UTC_8 (読出し専用)	VPS_PDC_UTC_BYTE_8[7:0]	X	X	X	X	X	X	X	X	デコード済みのVPS/PDC/UTCデータ	
0x8D	VDP_VPS_PDC_UTC_9 (読出し専用)	VPS_PDC_UTC_BYTE_9[7:0]	X	X	X	X	X	X	X	X	デコード済みのVPS/PDC/UTCデータ	
0x8E	VDP_VPS_PDC_UTC_10 (読出し専用)	VPS_PDC_UTC_BYTE_10[7:0]	X	X	X	X	X	X	X	X	デコード済みのVPS/PDC/UTCデータ	
0x8F	VDP_VPS_PDC_UTC_11 (読出し専用)	VPS_PDC_UTC_BYTE_11[7:0]	X	X	X	X	X	X	X	X	デコード済みのVPS/PDC/UTCデータ	
0x90	VDP_VPS_PDC_UTC_12 (読出し専用)	VPS_PDC_UTC_BYTE_12[7:0]	X	X	X	X	X	X	X	X	デコード済みのVPS/PDC/UTCデータ	
0x92	VDP_VITC_DATA_0 (読出し専用)	VITC_DATA_0[7:0]	X	X	X	X	X	X	X	X	デコード済みのVITCデータ	
0x93	VDP_VITC_DATA_1 (読出し専用)	VITC_DATA_1[7:0]	X	X	X	X	X	X	X	X	デコード済みのVITCデータ	
0x94	VDP_VITC_DATA_2 (読出し専用)	VITC_DATA_2[7:0]	X	X	X	X	X	X	X	X	デコード済みのVITCデータ	
0x95	VDP_VITC_DATA_3 (読出し専用)	VITC_DATA_3[7:0]	X	X	X	X	X	X	X	X	デコード済みのVITCデータ	
0x96	VDP_VITC_DATA_4 (読出し専用)	VITC_DATA_4[7:0]	X	X	X	X	X	X	X	X	デコード済みのVITCデータ	
0x97	VDP_VITC_DATA_5 (読出し専用)	VITC_DATA_5[7:0]	X	X	X	X	X	X	X	X	デコード済みのVITCデータ	
0x98	VDP_VITC_DATA_6 (読出し専用)	VITC_DATA_6[7:0]	X	X	X	X	X	X	X	X	デコード済みのVITCデータ	
0x99	VDP_VITC_DATA_7 (読出し専用)	VITC_DATA_7[7:0]	X	X	X	X	X	X	X	X	デコード済みのVITCデータ	
0x9A	VDP_VITC_DATA_8 (読出し専用)	VITC_DATA_8[7:0]	X	X	X	X	X	X	X	X	デコード済みのVITCデータ	
0x9B	VDP_VITC_CALC_CRC (読出し専用)	VITC_CRC[7:0]	X	X	X	X	X	X	X	X	デコード済みのVITC CRCデータ	
0x9C	VDP_OUTPUT_SEL	予備					0	0	0	0		
		WSS_CGMS_CB_CHANGE				0					CGMSおよびWSSデータの内容ベースの更新をディスエーブル	AVAILABLEは、内容が変更されたときだけデータが使用可能であることを示すビット
						1					CGMSおよびWSSデータの内容ベースの更新をイネーブル	
		GS_VPS_PDC_UTC_CB_CHANGE			0						Gemstar、VPS、PDC、UTCデータの内容ベースの更新をディスエーブル	
					1						Gemstar、VPS、PDC、UTCデータの内容ベースの更新をイネーブル	
		FC_GS_VPS_PDC_UTC[1:0]	0	0							Gemstar_1×/Gemstar_2×	デコード予定の標準
			0	1							VPS	
		1	0							PDC		
		1	1							UTC		

ADV7180

I²Cのプログラミング例

ADV7180 LQFP-64

モード1：CVBS入力 (A_{IN2}上のコンポジット・ビデオ)

4:2:2、ITU-R BT.656、8ビット出力のP15～P8自動検出によって、すべての規格はサポートされています。

表105. モード1：CVBS入力

レジスタ・アドレス (16進)	レジスタ値 (16進)	注
00	01	INSEL=A _{IN2} 上のCVBS入力
04	57	SFLをイネーブル
17	41	SH1を選択
31	02	ADVビデオ・エンコーダに適用するようにNEWAV_MODE、SAV/EAVをクリア
3D	A2	MWEイネーブル・マニュアル・ウィンドウ、カラーキル・スレッシュホールドを2に設定
3E	6A	BLMの最適化
3F	A0	BGBの最適化
0E	80	隠しスペース
55	81	ADC設定
0E	00	ユーザ・スペース

モード2：Sビデオ入力 (A_{IN3}上のYとA_{IN6}上のC)

ITU-R BT.656、8ビット出力のP15～P8自動検出によって、すべての規格はサポートされています。

表106. モード2：Sビデオ入力

レジスタ・アドレス (16進)	レジスタ値 (16進)	注
00	08	INSEL=Y/C、Y=A _{IN3} 、C=A _{IN6}
04	57	SFLをイネーブル
31	02	ADVビデオ・エンコーダに適用するようにNEWAV_MODE、SAV/EAVをクリア
3D	A2	MWEイネーブル・マニュアル・ウィンドウ、カラーキル・スレッシュホールドを2に設定
3E	6A	BLMの最適化
3F	A0	BGBの最適化
58	04	強制書込み。これは適正な動作のために必須
0E	80	隠しスペース
55	81	ADC設定
0E	00	ユーザ・スペース

モード3：525i/625i YPrPb入力 (A_{IN1}上のY、A_{IN4}上のPr、A_{IN5}上のPb)

ITU-R BT.656、8ビット出力のP15～P8自動検出によって、すべての規格はサポートされています。

表107. モード3：YPrPb入力

レジスタ・アドレス (16進)	レジスタ値 (16進)	注
00	09	INSEL=YPrPb、Y=A _{IN1} 、Pr=A _{IN4} 、Pb=A _{IN5}
31	02	ADVビデオ・エンコーダに適用するようにNEWAV_MODE、SAV/EAVをクリア
3D	A2	MWEイネーブル・マニュアル・ウィンドウ
3E	6A	BLMの最適化
3F	A0	アナログ・デバイセズ推奨
0E	80	隠しスペース
55	81	ADC設定
0E	00	ユーザ・スペース

ADV7180 LFCSP-40

モード1：CVBS入力 (A_{IN1} 上のコンポジット・ビデオ)

4:2:2、ITU-R BT.656、8ビット出力のP0～P7自動検出によって、すべての規格はサポートされています。

表108. モード1：CVBS入力

レジスタ・アドレス (16進)	レジスタ値 (16進)	注
00	00	INSEL= A_{IN1} 上のCVBS入力
04	57	SFLをイネーブル
17	41	SH1を選択
31	02	ADVビデオ・エンコーダに適用するようにNEWAV_MODE、SAV/EAVをクリア
3D	A2	MWEイネーブル・マニュアル・ウィンドウ、カラーキル・スレッシュホールドを2に設定
3E	6A	BLMの最適化
3F	A0	BGBの最適化
0E	80	隠しスペース
55	81	ADC設定
0E	00	ユーザ・スペース

モード2：Sビデオ入力 (A_{IN1} 上のYと A_{IN2} 上のC)

ITU-R BT.656、8ビット出力のP0～P7自動検出によって、すべての規格はサポートされています。

表109. モード2：Sビデオ入力

レジスタ・アドレス (16進)	レジスタ値 (16進)	注
00	06	INSEL=Y/C、Y= A_{IN1} 、C= A_{IN2}
04	57	SFLをイネーブル
31	02	ADVビデオ・エンコーダに適用するようにNEWAV_MODE、SAV/EAVをクリア
3D	A2	MWEイネーブル・マニュアル・ウィンドウ、カラーキル・スレッシュホールドを2に設定
3E	6A	BLMの最適化
3F	A0	BGBの最適化
58	04	強制書込み。これは適正な動作のために必須
0E	80	隠しスペース
55	81	ADC設定
0E	00	ユーザ・スペース

モード3：525i/625i YPrPb入力 (A_{IN1} 上のY、 A_{IN2} 上のPb、 A_{IN3} 上のPr)

ITU-R BT.656、8ビット出力のP0～P7自動検出によって、すべての規格はサポートされています。

表110. モード3：YPrPb入力

レジスタ・アドレス (16進)	レジスタ値 (16進)	注
00	09	INSEL=YPrPb、Y= A_{IN1} 、Pb= A_{IN2} 、Pr= A_{IN3}
31	02	ADVビデオ・エンコーダに適用するようにNEWAV_MODE、SAV/EAVをクリア
3D	A2	MWEイネーブル・マニュアル・ウィンドウ
3E	6A	BLMの最適化
3F	A0	アナログ・デバイセズ推奨
0E	80	隠しスペース
55	81	ADC設定
0E	00	ユーザ・スペース

PCボード・レイアウトの推奨事項

ADV7180は高精度の高速ミックスド・シグナル・デバイスです。デバイスの性能を最大限まで引き出すには、優れたPCボードのレイアウトが重要となります。以下に、ADV7180を使用したボード設計について説明します。

アナログ・インターフェース入力

PCボード上で入力を配線するときは、細心の注意が必要です。パターン長は最小にし、可能な限り75Ωのパターン・インピーダンスを使用してください。75Ω以外のパターン・インピーダンスを使用すると、反射の発生するおそれが大きくなります。

電源のデカップリング

各電源ピンに0.1μFと10nFのコンデンサを接続し、デカップリングすることを推奨します。基本的には、各電源ピンから約0.5cm以内にデカップリング・コンデンサを配置するようにします。また、ADV7180の実装面とは反対側のPCボード面にコンデンサを配置すると、ビアによる抵抗がバス内に加わるため、このようなコンデンサの配置は避けてください。デカップリング・コンデンサは、電源プレーンと電源ピンの間に配置します。電流は、電源プレーンからコンデンサを経由して電源ピンへ流れるようにします。コンデンサと電源ピンの間には電源接続を設けないでください。100nFコンデンサ・パッドの下から電源プレーンへビアを配置することは一般に、最適な方法です（図51参照）。

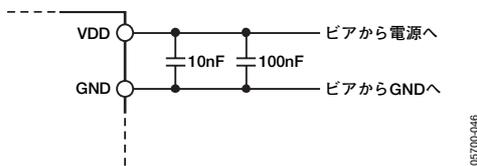


図51. 推奨の電源デカップリング

P_{VDD} を低ノイズで安定した状態に保つことが重要です。レギュレーション、フィルタリング、デカップリングには特別な注意を払う必要があります。各アナログ回路グループ（ A_{VDD} 、 D_{VDD} 、 D_{VDDIO} 、 P_{VDD} ）には個別の安定化電源を使用することが強く望まれます。

グラフィック・コントローラによっては、アクティブ時（アクティブ・ピクチャ区間）とアイドル時（水平および垂直の同期区間）で、消費電力が大幅に異なるものがあります。このため、アナログ電源レギュレータに加えられる電圧に大きな変化が発生し、ひいては安定化されたアナログ供給電源に変動が生じることがあります。この影響はアナログ電源の安定化により、または少なくとも P_{VDD} だけでも別のクリーンな電源（たとえば、12V電源）を使うことで緩和されます。

さらに、ボード全体に1枚のグラウンド・プレーンを使用すること推奨します。このグラウンド・プレーンは、PCボードのアナログ部とデジタル部の間に分離スペースを置く必要がありません（図52）。

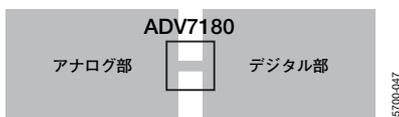


図52. PCボードのグラウンド・レイアウト

経験的に、グラウンド・プレーンは1枚にしたほうが、ノイズ性能が同等もしくは改善されることがわかっています。複数のグラウンド・プレーンを使用すると、各グラウンド・プレーンが小さくなり、グラウンド・ループが長くなるため、悪影響が出るおそれがあります。

場合によっては、グラウンド・プレーンを別々に使用せざるをえない場合があります。こういうときは、ADV7180の下に1枚のグラウンド・プレーンを配置することを推奨します。分割の場所はADV7180の下にする必要があります。この場合、電流ループが長くなってしまいうため（電流は最小抵抗のパスを通ります）、部品の適正な配置が重要となります。電流ループの一例は、電源プレーン→ADV7180→デジタル出力パターン→デジタル・データ・レシーバ→デジタル・グラウンド・プレーン→アナログ・グラウンド・プレーンとなります。

PLL

PLLループ・フィルタ部品は可能な限りELPFピンの近くに配置します。また、PCボード上のADV7180と同じ側に配置します。これらの部品の近くにはデジタル・パターンや高周波パターンを配置しないようにしてください。データシートの推奨値を、許容偏差10%以下で使います。

VREFNとVREFP

これらのピンに関連する回路は、PCボード上の同じ側でADV7180のできるだけ近くに配置してください。

デジタル出力（データとクロックの両方）

デジタル出力が駆動しなければならないパターン長を最小にしてください。パターンを長くすると容量が増え、必要な電流も増えるため、内部デジタル・ノイズが大きくなります。パターンを短くすると、反射のおそれも小さくなります。

30~50Ωの直列抵抗を接続すると、反射、EMI、ADV7180内部の電流スパイクを低減できます。直列抵抗を使う場合は、できるだけADV7180ピンの近くに配置します。ただし、抵抗を近くに配置するために、ビアの追加や出力パターンを長くすることは避けてください。

可能であれば、各デジタル出力の駆動容量を15pF未満に制限してください。これは、パターンを短くし、出力を1個のデバイスだけに接続することで容易に実現できます。出力の容量が大きくなると、ADV7180内部で過渡電流が増大し、電源のデジタル・ノイズが大きくなります。

ADV7180 LFCSP-40は、LFCSPパッケージの底部に金属製の露出パドルを備えています。適正な熱性能を引き出し、ノイズ性能や機械的な強度を上げるために、露出パドルをPCボードのグラウンドにハンダ付けする必要があります。

デジタル入力

ADV7180のデジタル入力は3.3V信号で動作するように設計されているため、5V信号に耐えることはできません。デコーダに5Vロジック信号を入力する場合は、追加部品が必要です。

代表的な回路接続

図53と図54に、ADV7180 LQFP-64ビデオ・デコーダとADV7180 LFCSP-40ビデオ・デコーダの接続例を示します。ADV7180の評価用ボードの詳細な回路図については、アナログ・デバイセズのFAE（フィールド・アプリケーション・エンジニア）または最寄りの販売代理店に問い合わせてください。

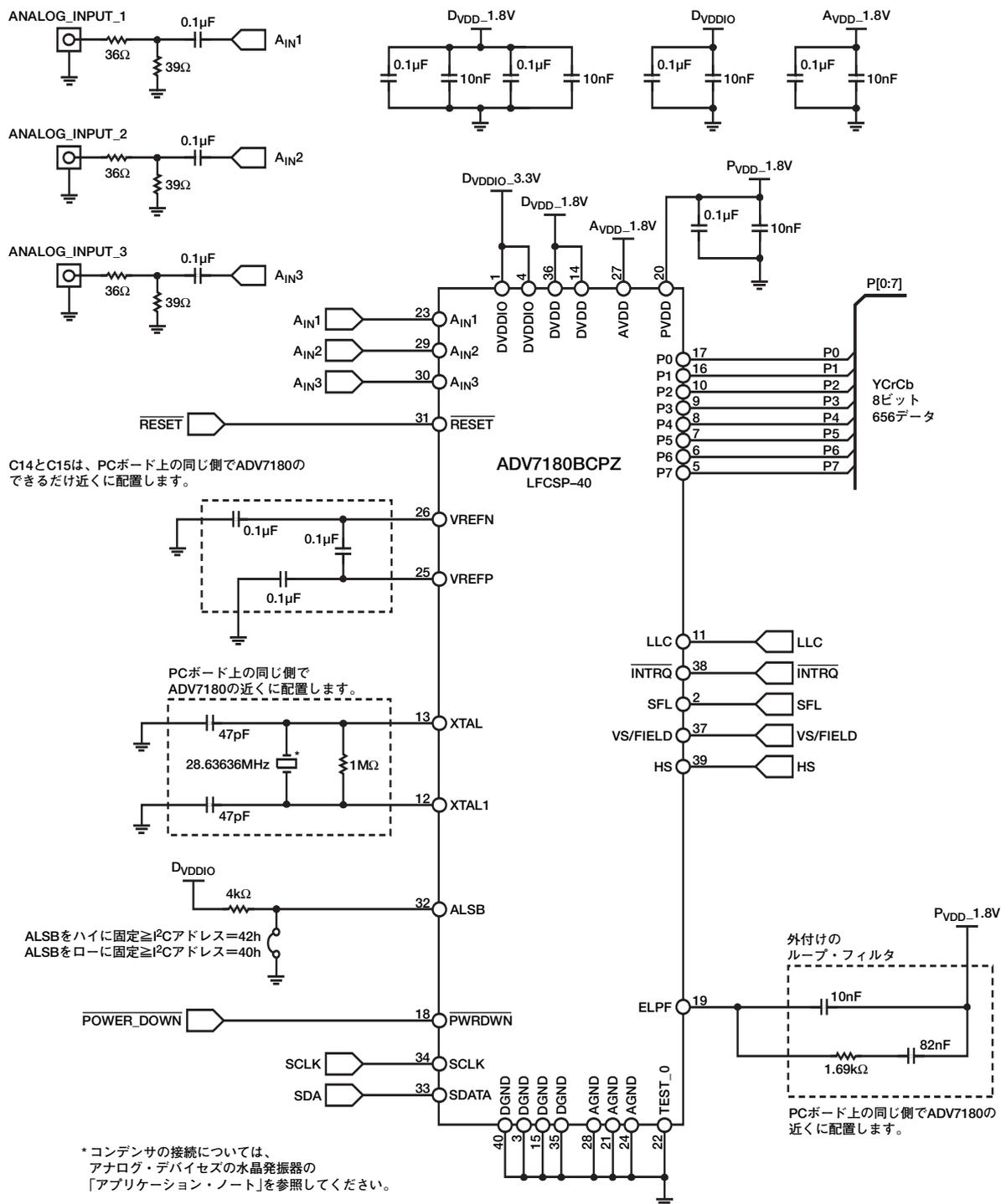


図53. ADV7180 LFCSP-40の代表的な接続図

05700-048

ADV7180

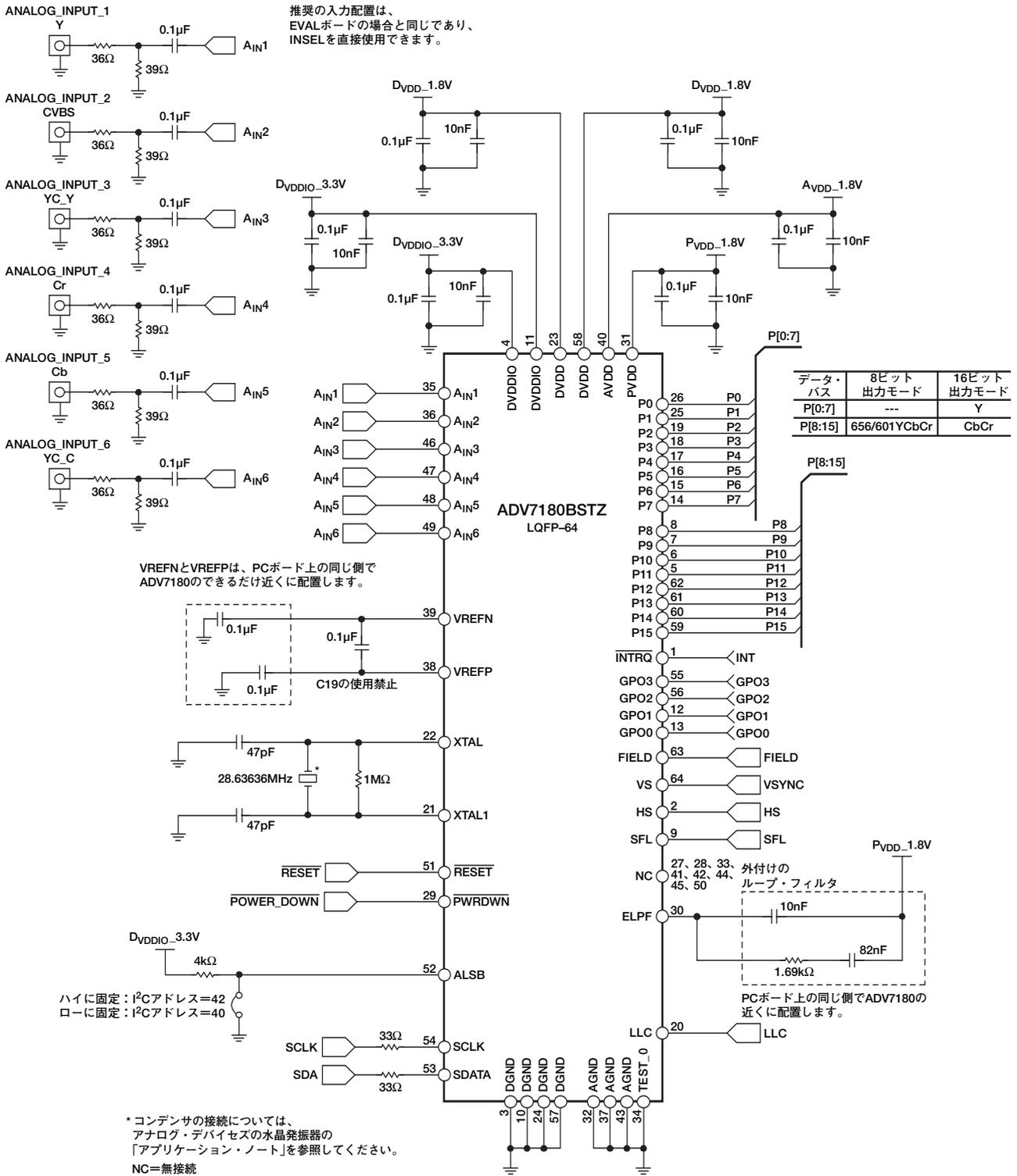
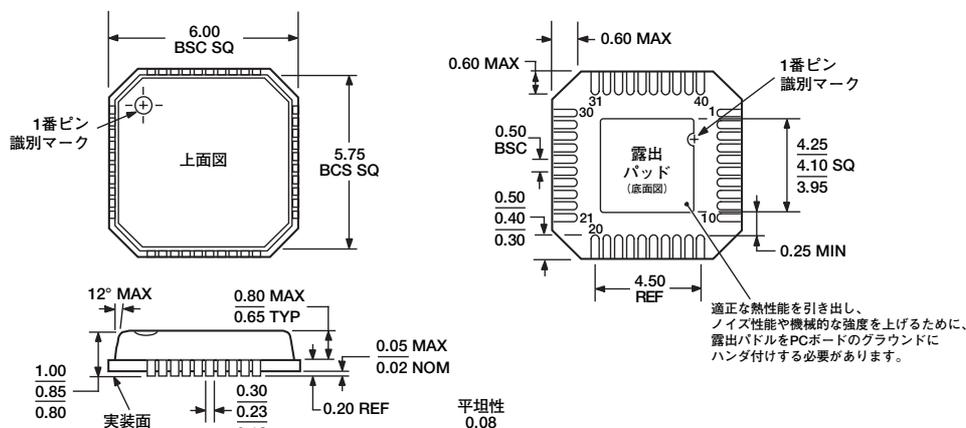


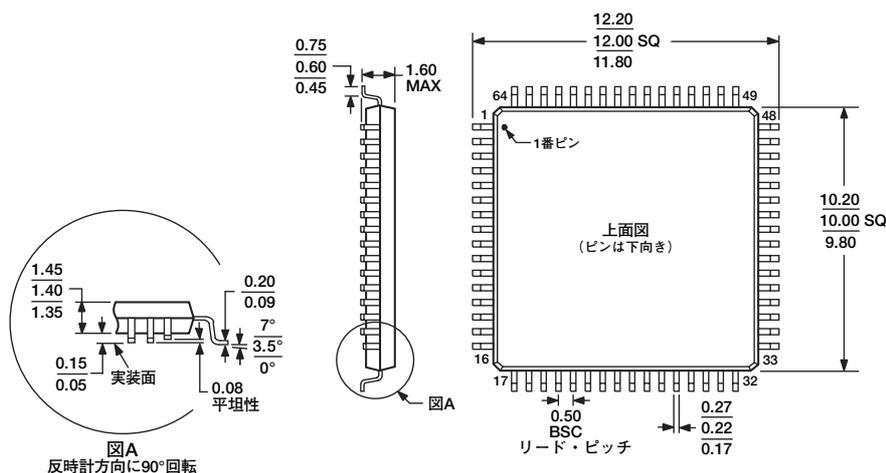
図54. ADV7180 LQFP-64の代表的な接続図

外形寸法



JEDEC標準MO-220-VJJD-2に準拠

図55. 40ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
6mm×6mmボディ、極薄クワッド
(CP-40-1)
寸法単位：mm



JEDEC標準MO-026-BCDに準拠

図56. 64ピン薄型クワッド・フラット・パッケージ [LQFP]
10mm×10mmボディ
(ST-64-2)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
ADV7180BCPZ ¹	-40~+85°C	40ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-40-1
ADV7180BSTZ ¹	-40~+85°C	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
EVAL-ADV7180LQEB		LQFPの評価用ボード	
EVAL-ADV7180LFEB		LFCSPの評価用ボード	

¹ Z=鉛フリー製品

注：ADV7180は鉛フリーの環境配慮製品で、最新の材料と製造プロセスを用いて製造されています。各デバイスのピンのコーティングは純度100%のSn電気メッキです。デバイスは鉛フリー・アプリケーションに適しており、最高255°C (±5°C) の表面実装ハンダ処理に耐えられます。

さらに、本製品は従来型のSnPbハンダ処理製品と下位互換性があります。したがって、電気メッキされたSnコーティングはSn/Pbハンダペーストを用いて従来型リフロー温度220~235°Cでハンダ付けできます。