

ADuM3400/ADuM3401/ADuM3402

特長

IEC 61000-4-x規格によるシステム・レベルESD性能を強化
低消費電力動作

5V動作

- チャンネルあたり最大1.4mA (@0~2Mbps)
- チャンネルあたり最大4.3mA (@10Mbps)
- チャンネルあたり最大34mA (@90Mbps)

3V動作

- チャンネルあたり最大0.9mA (@0~2Mbps)
- チャンネルあたり最大2.4mA (@10Mbps)
- チャンネルあたり最大20mA (@90Mbps)

双方向通信

3V/5Vレベル変換

高温動作：105°C

高速データレート：DC~90Mbps (NRZ)

高精度のタイミング特性

パルス幅歪み：最大2ns

チャンネル間マッチング：最大2ns

高コモン・モード過渡耐圧：>25kV/μs

出力イネーブル機能

16ピン、ワイドボディ、鉛フリーのSOICパッケージ

適用規格

UL認定：UL 1577に準拠し1時間で2500Vrms

CSA部品承認通達#5A

VDE適合性認定

DIN EN 60747-5-2 (VDE 0884 Part 2)：2003-01

DIN EN 60950 (VDE 0805)：2001-12、EN 60950：2000

V_{IORM}=560Vピーク

アプリケーション

汎用マルチチャンネル絶縁

SPI®互換インターフェース/データ・コンバータの絶縁

RS-232/RS-422/RS-485トランシーバの絶縁

工業用フィールド・バス絶縁

概要

ADuM340x¹は、アナログ・デバイセズの*iCoupler*®技術をベースにした4チャンネルのデジタル・アイソレータです。高速CMOS技術とモノリシックの空心トランス技術を組み合わせることで、フォトカプラ・デバイスなどの代替製品としてはるかに優れた性能を提供します。

*iCoupler*デバイスには、フォトカプラに通常ともなう設計上の問題点がありません。一般にフォトカプラの場合、不確実な電流伝達比、非直線的な伝達関数、温度の影響や寿命の懸念といった問題が生じますが、*iCoupler*のシンプルなデジタル・インターフェースや安定した性能特性によりこうした問題はなくなります。*iCoupler*製品の場合、外付けドライバやその他のディスクリット部品も必要ありません。また、消費電力は、同等の信号データレート動作時でフォトカプラの1/6~1/10になります。

ADuM340xアイソレータには、さまざまな構成やデータレートが可能な3つの独立したチャンネルがあります（「オーダー・ガイド」を参照）。いずれのモデルも、2.7~5.5Vの電源（各サイド）で動作し、低電圧システムに対応するとともに絶縁バリア間で電圧レベルを変換することもできます。ADuM340xアイソレータには、入力ロジックの遷移がないときやパワーアップ/パワーダウン中のDC精度を保証する特許取得のリフレッシュ機能があります。

ADuM140xアイソレータに比較すると、ADuM340xアイソレータには回路やレイアウトにさまざまな変更が加えられており、システム・レベルのIEC 61000-4-xテスト（ESD、バースト、サージ）に関連する性能が強化されています。しかし、ADuM140xまたはADuM340x製品のいずれもテスト対象となった正確な性能特性は、システムの設計とレイアウトに大きく依存します。詳細については、アプリケーション・ノートの「AN-793：ESD/Latch-Up Considerations with *iCoupler* Isolation Products」を参照してください。

¹ 米国特許番号5,952,849および6,873,065で保護されています。その他の特許は申請中です。

機能ブロック図

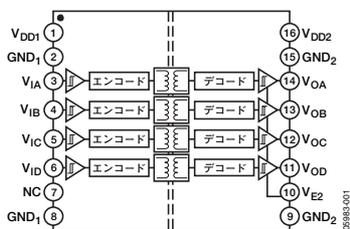


図1. ADuM3400の機能ブロック図

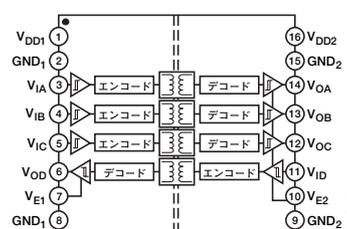


図2. ADuM3401の機能ブロック図

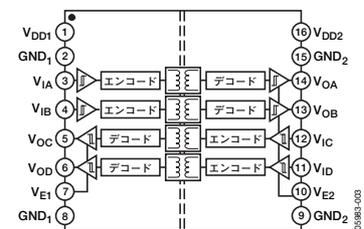


図3. ADuM3402の機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。© 2006 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

ADuM3400/ADuM3401/ADuM3402

目次

特長	1	推奨動作条件.....	13
アプリケーション	1	絶対最大定格	14
概要	1	ESDに関する注意.....	14
機能ブロック図	1	ピン配置と機能の説明.....	15
改訂履歴	2	代表的な性能特性.....	18
仕様	3	アプリケーション情報.....	20
電気的特性—5V動作時	3	PCボードのレイアウト	20
電気的特性—3V動作時	6	システム・レベルのESDの注意点と強化.....	20
電気的特性—5V/3V動作時または3V/5V動作時.....	8	伝播遅延に関連するパラメータ.....	20
パッケージ特性.....	12	DC精度と磁界耐性.....	20
適用規格.....	12	消費電力.....	22
絶縁および安全性に関する仕様.....	12	外形寸法	23
DIN EN 60747-5-2 (VDE 0884 Part 2) 絶縁特性	13	オーダー・ガイド.....	23

改訂履歴

3/06—Revision 0: Initial Version

仕様

電気的特性—5V動作時¹

4.5V ≤ V_{DD1} ≤ 5.5V、4.5V ≤ V_{DD2} ≤ 5.5V。特に指定のない限り、推奨動作範囲のすべてにわたり、最小値/最大値の仕様を適用。すべての代表値は、T_A = +25°C、V_{DD1} = V_{DD2} = 5Vで規定。

表1

パラメータ	記号	Min	Typ	Max	単位	テスト条件
DC仕様						
チャンネルあたりの入力電源電流（無負荷時）	I _{DD1(Q)}		0.57	0.83	mA	
チャンネルあたりの出力電源電流（無負荷時）	I _{DDO(Q)}		0.29	0.35	mA	
ADuM3400の合計電源電流（4チャンネル） ²						
DC～2Mbps時						
V _{DD1} 電源電流	I _{DD1(Q)}		2.9	3.5	mA	DC～1MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(Q)}		1.2	1.9	mA	DC～1MHzのロジック信号周波数
10Mbps時（BRWおよびCRWグレードのみ）						
V _{DD1} 電源電流	I _{DD1(10)}		9.0	11.6	mA	5MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(10)}		3.0	5.5	mA	5MHzのロジック信号周波数
90Mbps時（CRWグレードのみ）						
V _{DD1} 電源電流	I _{DD1(90)}		72	100	mA	45MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(90)}		19	36	mA	45MHzのロジック信号周波数
ADuM3401の合計電源電流（4チャンネル） ²						
DC～2Mbps時						
V _{DD1} 電源電流	I _{DD1(Q)}		2.5	3.2	mA	DC～1MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(Q)}		1.6	2.4	mA	DC～1MHzのロジック信号周波数
10Mbps時（BRWおよびCRWグレードのみ）						
V _{DD1} 電源電流	I _{DD1(10)}		7.4	10.6	mA	5MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(10)}		4.4	6.5	mA	5MHzのロジック信号周波数
90Mbps時（CRWグレードのみ）						
V _{DD1} 電源電流	I _{DD1(90)}		59	82	mA	45MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(90)}		32	46	mA	45MHzのロジック信号周波数
ADuM3402の合計電源電流（4チャンネル） ²						
DC～2Mbps時						
V _{DD1} またはV _{DD2} 電源電流	I _{DD1(Q)} 、I _{DD2(Q)}		2.0	2.8	mA	DC～1MHzのロジック信号周波数
10Mbps時（BRWおよびCRWグレードのみ）						
V _{DD1} またはV _{DD2} 電源電流	I _{DD1(10)} 、I _{DD2(10)}		6.0	7.5	mA	5MHzのロジック信号周波数
90Mbps時（CRWグレードのみ）						
V _{DD1} またはV _{DD2} 電源電流	I _{DD1(90)} 、I _{DD2(90)}		51	62	mA	45MHzのロジック信号周波数
全モデル共通						
入力電流	I _{IA} 、I _{IB} 、I _{IC} 、 I _{ID} 、I _{E1} 、I _{E2}	-10	+0.01	+10	μA	0 ≤ V _{IA} 、V _{IB} 、V _{IC} 、V _{ID} ≤ V _{DD1} または V _{DD2} 、0 ≤ V _{E1} 、V _{E2} ≤ V _{DD1} または V _{DD2}
ロジック・ハイレベル入力スレッシュヨールド	V _{IH} 、V _{EH}	2.0			V	
ロジック・ローレベル入力スレッシュヨールド	V _{IL} 、V _{EL}			0.8	V	
ロジック・ハイレベル出力電圧	V _{OAH} 、V _{OBH} 、 V _{OCH} 、V _{ODH}	V _{DD1} 、V _{DD2} -0.1 V _{DD1} 、V _{DD2} -0.4	5.0 4.8		V	I _{Ox} = -20μA、V _{Ix} = V _{IxH} I _{Ox} = -4 mA、V _{Ix} = V _{IxH}
ロジック・ローレベル出力電圧	V _{OAL} 、V _{OBL} 、 V _{OCL} 、V _{ODL}		0.0 0.04 0.2	0.1 0.1 0.4	V	I _{Ox} = 20μA、V _{Ix} = V _{IxL} I _{Ox} = 400μA、V _{Ix} = V _{IxL} I _{Ox} = 4 mA、V _{Ix} = V _{IxL}

ADuM3400/ADuM3401/ADuM3402

パラメータ	記号	Min	Typ	Max	単位	テスト条件
スイッチング仕様						
ADuM340xARW						
最小パルス幅 ³	PW			1000	ns	$C_L = 15\text{pF}$, CMOS信号レベル
最大データレート ⁴		1			Mbps	$C_L = 15\text{pF}$, CMOS信号レベル
伝播遅延 ⁵	t_{PHL} , t_{PLH}	50	65	100	ns	$C_L = 15\text{pF}$, CMOS信号レベル
パルス幅歪み ($t_{\text{PLH}} - t_{\text{PHL}}$) ⁵	PWD			40	ns	$C_L = 15\text{pF}$, CMOS信号レベル
伝播遅延スキュー ⁶	t_{PSK}			50	ns	$C_L = 15\text{pF}$, CMOS信号レベル
チャンネル間マッチング ⁷	t_{PSKCDOD}			50	ns	$C_L = 15\text{pF}$, CMOS信号レベル
ADuM340xBRW						
最小パルス幅 ³	PW			100	ns	$C_L = 15\text{pF}$, CMOS信号レベル
最大データレート ⁴		10			Mbps	$C_L = 15\text{pF}$, CMOS信号レベル
伝播遅延 ⁵	t_{PHL} , t_{PLH}	20	32	50	ns	$C_L = 15\text{pF}$, CMOS信号レベル
パルス幅歪み ($t_{\text{PLH}} - t_{\text{PHL}}$) ⁵	PWD			3	ns	$C_L = 15\text{pF}$, CMOS信号レベル
温度変化に伴う変動			5		ps/°C	$C_L = 15\text{pF}$, CMOS信号レベル
伝播遅延スキュー ⁶	t_{PSK}			15	ns	$C_L = 15\text{pF}$, CMOS信号レベル
チャンネル間マッチング、同一方向チャンネル ⁷	t_{PSKCD}			3	ns	$C_L = 15\text{pF}$, CMOS信号レベル
チャンネル間マッチング、反対方向チャンネル ⁷	t_{PSKOD}			6	ns	$C_L = 15\text{pF}$, CMOS信号レベル
ADuM340xCRW						
最小パルス幅 ³	PW		8.3	11.1	ns	$C_L = 15\text{pF}$, CMOS信号レベル
最大データレート ⁴		90	120		Mbps	$C_L = 15\text{pF}$, CMOS信号レベル
伝播遅延 ⁵	t_{PHL} , t_{PLH}	18	27	32	ns	$C_L = 15\text{pF}$, CMOS信号レベル
パルス幅歪み ($t_{\text{PLH}} - t_{\text{PHL}}$) ⁵	PWD		0.5	2	ns	$C_L = 15\text{pF}$, CMOS信号レベル
温度変化に伴う変動			3		ps/°C	$C_L = 15\text{pF}$, CMOS信号レベル
伝播遅延スキュー ⁶	t_{PSK}			10	ns	$C_L = 15\text{pF}$, CMOS信号レベル
チャンネル間マッチング、同一方向チャンネル ⁷	t_{PSKCD}			2	ns	$C_L = 15\text{pF}$, CMOS信号レベル
チャンネル間マッチング、反対方向チャンネル ⁷	t_{PSKOD}			5	ns	$C_L = 15\text{pF}$, CMOS信号レベル
全モデル共通						
出力ディスエーブル伝播遅延 (ハイ/ローレベルからハイ・インピーダンスまで)	t_{PHZ} , t_{PLH}		6	8	ns	$C_L = 15\text{pF}$, CMOS信号レベル
出力イネーブル伝播遅延 (ハイ・インピーダンスからハイ/ローレベルまで)	t_{PZH} , t_{PZL}		6	8	ns	$C_L = 15\text{pF}$, CMOS信号レベル
出力立ち上がり/立下がり時間 (10~90%)	$t_{\text{R}}/t_{\text{F}}$		2.5		ns	$C_L = 15\text{pF}$, CMOS信号レベル
ロジック・ハイレベル出力のコモン・モード過渡耐圧 ⁸	$ ICM_{\text{H}} $	25	35		kV/ μs	$V_{\text{R}} = V_{\text{DD1}}/V_{\text{DD2}}$, $V_{\text{CM}} = 1000\text{V}$, 過渡電圧振幅=800V
ロジック・ローレベル出力のコモン・モード過渡耐圧 ⁸	$ ICM_{\text{L}} $	25	35		kV/ μs	$V_{\text{R}} = 0\text{V}$, $V_{\text{CM}} = 1000\text{V}$, 過渡電圧振幅=800V
リフレッシュ・レート	f_{r}		1.2		Mbps	
チャンネルあたりの入力ダイナミック電源電流 ⁹	$I_{\text{DDI(D)}}$		0.20		mA/Mbps	
チャンネルあたりの出力ダイナミック電源電流 ⁹	$I_{\text{DDO(D)}}$		0.05		mA/Mbps	

ADuM3400/ADuM3401/ADuM3402

- ¹ すべての電圧は、それぞれのグラウンドを基準とします。
- ² 4チャンネルすべての電源電流は、同一データレート動作時の合計です。出力電源電流の値は、出力負荷がないときの値です。所定のデータレートで動作する個々のチャンネルに関連する電源電流は、「消費電力」の説明に従って計算できます。無負荷時と負荷がある時のデータレートに対するチャンネルあたりの電源電流については、図8~10を参照してください。ADuM3400/ADuM3401/ADuM3402のさまざまなチャンネル構成についてのデータレートに対する V_{DD1} と V_{DD2} の合計電源電流については、図11~15を参照してください。
- ³ 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅です。
- ⁴ 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。
- ⁵ 伝播遅延 t_{PHL} は、 V_{IX} 信号の立下がりエッジの50%レベルから V_{OX} 信号の立下がりエッジの50%レベルまでの測定値です。伝播遅延 t_{PLH} は、 V_{IX} 信号の立上がりエッジの50%レベルから V_{OX} 信号の立上がりエッジの50%レベルまでの測定値です。
- ⁶ t_{PSK} は、推奨動作条件の範囲内で同一の動作温度、電源電圧、出力負荷を適用した場合に各ユニット間で測定される t_{PHL} または t_{PLH} の最悪時の差です。
- ⁷ 同一方向チャンネル間マッチングは、絶縁バリアの同じ側に信号が入力された場合の任意の2チャンネル間における伝播遅延の差の絶対値です。反対方向チャンネル間マッチングは、絶縁バリアの反対側に信号が入力された場合の任意の2チャンネル間における伝播遅延の差の絶対値です。
- ⁸ CM_H は、 $V_O > 0.8 V_{DD2}$ を維持するときの可能なコモン・モード電圧の最大スループートです。 CM_L は、 $V_O < 0.8$ を維持するときの可能なコモン・モード電圧の最大スループートです。コモン・モード電圧のスループートは、コモン・モード電圧の立上がりと立下がり両方のエッジに適用されます。過渡電圧振幅は、コモン・モード電圧が変化する範囲です。
- ⁹ ダイナミック電源電流は、信号データレートを1Mbps増加させるのに必要な電源電流の増分です。無負荷時と負荷があるときのチャンネルあたりの電源電流については、図8~10を参照してください。所定のデータレートにおけるチャンネルあたりの電源電流を計算する方法については、「消費電力」を参照してください。

ADuM3400/ADuM3401/ADuM3402

電気的特性—3V動作時¹

2.7V ≤ V_{DD1} ≤ 3.6V, 2.7V ≤ V_{DD2} ≤ 3.6V。特に指定のない限り、推奨動作範囲のすべてにわたり、最小値/最大値の仕様を適用。すべての代表値は、T_A = +25°C、V_{DD1} = V_{DD2} = 3.0Vで規定。

表2

パラメータ	記号	Min	Typ	Max	単位	テスト条件
DC仕様						
チャンネルあたりの入力電源電流 (無負荷時)	I _{DD1(Q)}		0.31	0.49	mA	
チャンネルあたりの出力電源電流 (無負荷時)	I _{DD0(Q)}		0.19	0.27	mA	
ADuM3400の合計電源電流 (4チャンネル)²						
DC~2Mbps時						
V _{DD1} 電源電流	I _{DD1(Q)}		1.6	2.1	mA	DC~1MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(Q)}		0.7	1.2	mA	DC~1MHzのロジック信号周波数
10Mbps時 (BRWおよびCRWグレードのみ)						
V _{DD1} 電源電流	I _{DD1(10)}		4.8	7.1	mA	5MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(10)}		1.8	2.3	mA	5MHzのロジック信号周波数
90Mbps時 (CRWグレードのみ)						
V _{DD1} 電源電流	I _{DD1(90)}		37	54	mA	45MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(90)}		11	15	mA	45MHzのロジック信号周波数
ADuM3401の合計電源電流 (4チャンネル)²						
DC~2Mbps時						
V _{DD1} 電源電流	I _{DD1(Q)}		1.4	1.9	mA	DC~1MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(Q)}		0.9	1.5	mA	DC~1MHzのロジック信号周波数
10Mbps時 (BRWおよびCRWグレードのみ)						
V _{DD1} 電源電流	I _{DD1(10)}		4.1	5.6	mA	5MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(10)}		2.5	3.3	mA	5MHzのロジック信号周波数
90Mbps時 (CRWグレードのみ)						
V _{DD1} 電源電流	I _{DD1(90)}		31	44	mA	45MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(90)}		71	24	mA	45MHzのロジック信号周波数
ADuM3402の合計電源電流 (4チャンネル)²						
DC~2Mbps時						
V _{DD1} またはV _{DD2} 電源電流	I _{DD1(Q)} 、I _{DD2(Q)}		1.2	1.7	mA	DC~1MHzのロジック信号周波数
10Mbps時 (BRWおよびCRWグレードのみ)						
V _{DD1} またはV _{DD2} 電源電流	I _{DD1(10)} 、I _{DD2(10)}		3.3	4.4	mA	5MHzのロジック信号周波数
90Mbps時 (CRWグレードのみ)						
V _{DD1} またはV _{DD2} 電源電流	I _{DD1(90)} 、I _{DD2(90)}		24	39	mA	45MHzのロジック信号周波数
全モデル共通						
入力電流	I _{IA} 、I _{IB} 、I _{IC} 、 I _{ID} 、I _{E1} 、I _{E2}	-10	+0.01	+10	μA	0 ≤ V _{IA} 、V _{IB} 、V _{IC} 、V _{ID} ≤ V _{DD1} または V _{DD2} 、0 ≤ V _{E1} 、V _{E2} ≤ V _{DD1} または V _{DD2}
ロジック・ハイレベル入力スレッシュヨールド	V _{IH} 、V _{EH}	1.6			V	
ロジック・ローレベル入力スレッシュヨールド	V _{IL} 、V _{EL}			0.4	V	
ロジック・ハイレベル出力電圧	V _{OAH} 、V _{OBH} 、 V _{OCH} 、V _{ODH}	V _{DD1} 、V _{DD2} -0.1 V _{DD1} 、V _{DD2} -0.4	3.0 2.8		V	I _{Ox} = -20μA、V _{Ix} = V _{IxH} I _{Ox} = -4 mA、V _{Ix} = V _{IxH}
ロジック・ローレベル出力電圧	V _{OAL} 、V _{OBL} 、 V _{OCL} 、V _{ODL}		0.0 0.04 0.2	0.1 0.1 0.4	V	I _{Ox} = 20μA、V _{Ix} = V _{IxL} I _{Ox} = 400μA、V _{Ix} = V _{IxL} I _{Ox} = 4 mA、V _{Ix} = V _{IxL}
スイッチング仕様						
ADuM340xARW						
最小パルス幅 ³	PW			1000	ns	C _L = 15pF、CMOS信号レベル
最大データレート ⁴		1			Mbps	C _L = 15pF、CMOS信号レベル
伝播遅延 ⁵	t _{PHL} 、t _{PLH}	50	75	100	ns	C _L = 15pF、CMOS信号レベル
パルス幅歪み (t _{PLH} - t _{PHL}) ⁵	PWD			40	ns	C _L = 15pF、CMOS信号レベル
伝播遅延スキュー ⁶	t _{PSK}			50	ns	C _L = 15pF、CMOS信号レベル
チャンネル間マッチング ⁷	t _{PSKCDOD}			50	ns	C _L = 15pF、CMOS信号レベル

ADuM3400/ADuM3401/ADuM3402

パラメータ	記号	Min	Typ	Max	単位	テスト条件
ADuM340xBRW						
最小パルス幅 ³	PW			100	ns	C _L = 15pF, CMOS信号レベル
最大データレート ⁴		10			Mbps	C _L = 15pF, CMOS信号レベル
伝播遅延 ⁵	t _{PHL} , t _{PLH}	20	38	50	ns	C _L = 15pF, CMOS信号レベル
パルス幅歪み (t _{PLH} - t _{PHL}) ⁵	PWD			3	ns	C _L = 15pF, CMOS信号レベル
温度変化に伴う変動			5		ps/°C	C _L = 15pF, CMOS信号レベル
伝播遅延スキュー ⁶	t _{PSK}			22	ns	C _L = 15pF, CMOS信号レベル
チャンネル間マッチング、同一方向チャンネル ⁷	t _{PSKCD}			3	ns	C _L = 15pF, CMOS信号レベル
チャンネル間マッチング、反対方向チャンネル ⁷	t _{PSKOD}			6	ns	C _L = 15pF, CMOS信号レベル
ADuM340xCRW						
最小パルス幅 ³	PW		8.3	11.1	ns	C _L = 15pF, CMOS信号レベル
最大データレート ⁴		90	120		Mbps	C _L = 15pF, CMOS信号レベル
伝播遅延 ⁵	t _{PHL} , t _{PLH}	20	34	45	ns	C _L = 15pF, CMOS信号レベル
パルス幅歪み (t _{PLH} - t _{PHL}) ⁵	PWD		0.5	2	ns	C _L = 15pF, CMOS信号レベル
温度変化に伴う変動			3		ps/°C	C _L = 15pF, CMOS信号レベル
伝播遅延スキュー ⁶	t _{PSK}			16	ns	C _L = 15pF, CMOS信号レベル
チャンネル間マッチング、同一方向チャンネル ⁷	t _{PSKCD}			2	ns	C _L = 15pF, CMOS信号レベル
チャンネル間マッチング、反対方向チャンネル ⁷	t _{PSKOD}			5	ns	C _L = 15pF, CMOS信号レベル
全モデル共通						
出力ディスエーブル伝播遅延 (ハイ/ローレベルからハイ・インピーダンスまで)	t _{PZH} , t _{PZH}		6	8	ns	C _L = 15pF, CMOS信号レベル
出力イナーブル伝播遅延 (ハイ・インピーダンスからハイ/ローレベルまで)	t _{PZH} , t _{PZL}		6	8	ns	C _L = 15pF, CMOS信号レベル
出力立上がり/立下がり時間 (10~90%)	t _R /t _F		3		ns	C _L = 15pF, CMOS信号レベル
ロジック・ハイレベル出力のコモン・モード過渡耐圧 ⁸	ICM _{HI}	25	35		kV/μs	V _{IX} = V _{DD1} /V _{DD2} , V _{CM} = 1000V, 過渡電圧振幅 = 800V
ロジック・ローレベル出力のコモン・モード過渡耐圧 ⁸	ICM _{LI}	25	35		kV/μs	V _{IX} = 0V, V _{CM} = 1000V, 過渡電圧振幅 = 800V
リフレッシュ・レート	f _r		1.1		Mbps	
チャンネルあたりの入力ダイナミック電源電流 ⁹	I _{DDH(D)}		0.10		mA/Mbps	
チャンネルあたりの出力ダイナミック電源電流 ⁹	I _{DDO(D)}		0.03		mA/Mbps	

¹ すべての電圧は、それぞれのグラウンドを基準とします。

² 4チャンネルすべての電源電流は、同一データレート動作時の合計です。出力電源電流の値は、出力負荷がないときの値です。所定のデータレートで動作する個々のチャンネルに関連する電源電流は、「消費電力」の説明に従って計算できます。無負荷時と負荷がある時のデータレートに対するチャンネルあたりの電源電流については、図8~10を参照してください。ADuM3400/ADuM3401/ADuM3402のさまざまなチャンネル構成についてのデータレートに対するV_{DD1}とV_{DD2}の合計電源電流については、図11~15を参照してください。

³ 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅です。

⁴ 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

⁵ 伝播遅延t_{PHL}は、V_{IX}信号の立下がりエッジの50%レベルからV_{OX}信号の立下がりエッジの50%レベルまでの測定値です。伝播遅延t_{PLH}は、V_{IX}信号の立上がりエッジの50%レベルからV_{OX}信号の立上がりエッジの50%レベルまでの測定値です。

⁶ t_{PSK}は、推奨動作条件の範囲内で同一の動作温度、電源電圧、出力負荷を適用した場合に各ユニット間で測定されるt_{PHL}またはt_{PLH}の最悪時の差です。

⁷ 同一方向チャンネル間マッチングは、絶縁バリアの同じ側に信号が入力された場合の任意の2チャンネル間における伝播遅延の差の絶対値です。反対方向チャンネル間マッチングは、絶縁バリアの反対側に信号が入力された場合の任意の2チャンネル間における伝播遅延の差の絶対値です。

⁸ CM_{HI}は、V_O > 0.8 V_{DD2}を維持するときの可能なコモン・モード電圧の最大スルーレートです。CM_{LI}は、V_O < 0.8 V_{DD2}を維持するときの可能なコモン・モード電圧の最大スルーレートです。CM_{HI}は、V_O < 0.8 V_{DD2}を維持するときの可能なコモン・モード電圧の最大スルーレートです。CM_{LI}は、V_O > 0.8 V_{DD2}を維持するときの可能なコモン・モード電圧の最大スルーレートです。過渡電圧振幅は、コモン・モード電圧が変化する範囲です。

⁹ ダイナミック電源電流は、信号データレートを1Mbps増加させるのに必要な電源電流の増分です。無負荷時と負荷があるときのチャンネルあたりの電源電流については、図8~10を参照してください。所定のデータレートにおけるチャンネルあたりの電源電流を計算する方法については、「消費電力」を参照してください。

ADuM3400/ADuM3401/ADuM3402

電気的特性—5V/3V動作時または3V/5V動作時¹

5V/3V動作：4.5V ≤ V_{DD1} ≤ 5.5V、2.7V ≤ V_{DD2} ≤ 3.6V。3V/5V動作：2.7V ≤ V_{DD1} ≤ 3.6V、4.5V ≤ V_{DD2} ≤ 5.5V。特に指定のない限り、推奨動作範囲のすべてにわたり、最小値/最大値の仕様を適用。すべての代表値はT_A = +25°Cで規定。V_{DD1} = 3.0V、V_{DD2} = 5VまたはV_{DD1} = 5V、V_{DD2} = 3.0V。

表3

パラメータ	記号	Min	Typ	Max	単位	テスト条件
DC仕様						
チャンネルあたりの入力電源電流（無負荷時）	I _{DD1(Q)}					
5V/3V動作時			0.57	0.83	mA	
3V/5V動作時			0.31	0.49	mA	
チャンネルあたりの出力電源電流（無負荷時）	I _{DDO(Q)}					
5V/3V動作時			0.29	0.27	mA	
3V/5V動作時			0.19	0.35	mA	
ADuM3400の合計電源電流（4チャンネル）²						
DC～2Mbps時						
V _{DD1} 電源電流	I _{DD1(Q)}					
5V/3V動作時			2.9	3.5	mA	DC～1MHzのロジック信号周波数
3V/5V動作時			1.6	2.1	mA	DC～1MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(Q)}					
5V/3V動作時			0.7	1.2	mA	DC～1MHzのロジック信号周波数
3V/5V動作時			1.2	1.9	mA	DC～1MHzのロジック信号周波数
10Mbps時（BRWおよびCRWグレードのみ）						
V _{DD1} 電源電流	I _{DD1(10)}					
5V/3V動作時			9.0	11.6	mA	5MHzのロジック信号周波数
3V/5V動作時			4.8	7.1	mA	5MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(10)}					
5V/3V動作時			1.8	2.3	mA	5MHzのロジック信号周波数
3V/5V動作時			3.0	5.5	mA	5MHzのロジック信号周波数
90Mbps時（CRWグレードのみ）						
V _{DD1} 電源電流	I _{DD1(90)}					
5V/3V動作時			72	100	mA	45MHzのロジック信号周波数
3V/5V動作時			37	54	mA	45MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(90)}					
5V/3V動作時			11	15	mA	45MHzのロジック信号周波数
3V/5V動作時			19	36	mA	45MHzのロジック信号周波数
ADuM3401の合計電源電流（4チャンネル）²						
DC～2Mbps時						
V _{DD1} 電源電流	I _{DD1(Q)}					
5V/3V動作時			2.5	3.2	mA	DC～1MHzのロジック信号周波数
3V/5V動作時			1.4	1.9	mA	DC～1MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(Q)}					
5V/3V動作時			0.9	1.5	mA	DC～1MHzのロジック信号周波数
3V/5V動作時			1.6	2.4	mA	DC～1MHzのロジック信号周波数
10Mbps時（BRWおよびCRWグレードのみ）						
V _{DD1} 電源電流	I _{DD1(10)}					
5V/3V動作時			7.4	10.6	mA	5MHzのロジック信号周波数
3V/5V動作時			4.1	5.6	mA	5MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(10)}					
5V/3V動作時			2.5	3.3	mA	5MHzのロジック信号周波数
3V/5V動作時			4.4	6.5	mA	5MHzのロジック信号周波数

ADuM3400/ADuM3401/ADuM3402

パラメータ	記号	Min	Typ	Max	単位	テスト条件
90Mbps時 (CRWグレードのみ)						
V _{DD1} 電源電流	I _{DD1(90)}					
5V/3V動作時			59	82	mA	45MHzのロジック信号周波数
3V/5V動作時			31	44	mA	45MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(90)}					
5V/3V動作時			17	24	mA	45MHzのロジック信号周波数
3V/5V動作時			32	46	mA	45MHzのロジック信号周波数
ADuM3402の合計電源電流 (4チャンネル)²						
DC~2Mbps時						
V _{DD1} 電源電流	I _{DD1(Q)}					
5V/3V動作時			2.0	2.8	mA	DC~1MHzのロジック信号周波数
3V/5V動作時			1.2	1.7	mA	DC~1MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(Q)}					
5V/3V動作時			1.2	1.7	mA	DC~1MHzのロジック信号周波数
3V/5V動作時			2.0	2.8	mA	DC~1MHzのロジック信号周波数
10Mbps時 (BRWおよびCRWグレードのみ)						
V _{DD1} 電源電流	I _{DD1(10)}					
5V/3V動作時			6.0	7.5	mA	5MHzのロジック信号周波数
3V/5V動作時			3.3	4.4	mA	5MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(10)}					
5V/3V動作時			3.3	4.4	mA	5MHzのロジック信号周波数
3V/5V動作時			6.0	7.5	mA	5MHzのロジック信号周波数
90Mbps時 (CRWグレードのみ)						
V _{DD1} 電源電流	I _{DD1(90)}					
5V/3V動作時			46	62	mA	45MHzのロジック信号周波数
3V/5V動作時			24	39	mA	45MHzのロジック信号周波数
V _{DD2} 電源電流	I _{DD2(90)}					
5V/3V動作時			24	39	mA	45MHzのロジック信号周波数
3V/5V動作時			46	62	mA	45MHzのロジック信号周波数
全モデル共通						
入力電流	I _{IA} 、I _{IB} 、I _{IC} 、 I _{ID} 、I _{E1} 、I _{E2}	-10	+0.01	+10	μA	0 ≤ V _{IA} 、V _{IB} 、V _{IC} 、V _{ID} ≤ V _{DD1} または V _{DD2} 、0 ≤ V _{E1} 、V _{E2} ≤ V _{DD1} または V _{DD2}
ロジック・ハイレベル入力スレッシュヨールド	V _{IH} 、V _{IH}					
5V/3V動作時			2.0		V	
3V/5V動作時			1.6		V	
ロジック・ローレベル入力スレッシュヨールド	V _{IL} 、V _{EL}					
5V/3V動作時					0.8	V
3V/5V動作時				0.4	V	
ロジック・ハイレベル出力電圧	V _{OAH} 、V _{OBH} 、 V _{OCH} 、V _{ODH}	V _{DD1} 、V _{DD2} -0.1	V _{DD1} 、V _{DD2}		V	I _{Ox} = -20μA、V _{Ix} = V _{IxH}
		V _{DD1} 、V _{DD2} -0.4	V _{DD1} 、V _{DD2} -0.2		V	I _{Ox} = -4mA、V _{Ix} = V _{IxH}
ロジック・ローレベル出力電圧	V _{OAL} 、V _{OBL} 、 V _{OCL} 、V _{ODL}		0.0	0.1	V	I _{Ox} = 20μA、V _{Ix} = V _{IxL}
			0.04	0.1	V	I _{Ox} = 400μA、V _{Ix} = V _{IxL}
			0.2	0.4	V	I _{Ox} = 4mA、V _{Ix} = V _{IxL}
スイッチング仕様						
ADuM340xARW						
最小パルス幅 ³	PW			1000	ns	C _L = 15pF、CMOS信号レベル
最大データレート ⁴		1			Mbps	C _L = 15pF、CMOS信号レベル
伝播遅延 ⁵	t _{PHL} 、t _{PLH}	50	70	100	ns	C _L = 15pF、CMOS信号レベル
パルス幅歪み (t _{PLH} - t _{PHL}) ⁵	PWD			40	ns	C _L = 15pF、CMOS信号レベル
伝播遅延スキュー ⁶	t _{PSK}			50	ns	C _L = 15pF、CMOS信号レベル
チャンネル間マッチング ⁷	t _{PSKCDOD}			50	ns	C _L = 15pF、CMOS信号レベル

ADuM3400/ADuM3401/ADuM3402

パラメータ	記号	Min	Typ	Max	単位	テスト条件
ADuM340xBRW						
最小パルス幅 ³	PW			100	ns	C _L = 15pF, CMOS信号レベル
最大データレート ⁴		10			Mbps	C _L = 15pF, CMOS信号レベル
伝播遅延 ⁵	t _{PHL} , t _{PLH}	15	35	50	ns	C _L = 15pF, CMOS信号レベル
パルス幅歪み (t _{PLH} - t _{PHL}) ⁵	PWD			3	ns	C _L = 15pF, CMOS信号レベル
温度変化に伴う変動			5		ps/°C	C _L = 15pF, CMOS信号レベル
伝播遅延スキュー ⁶	t _{PSK}			22	ns	C _L = 15pF, CMOS信号レベル
チャンネル間マッチング、同一方向チャンネル ⁷	t _{PSKCD}			3	ns	C _L = 15pF, CMOS信号レベル
チャンネル間マッチング、反対方向チャンネル ⁷	t _{PSKOD}			6	ns	C _L = 15pF, CMOS信号レベル
ADuM340xCRW						
最小パルス幅 ³	PW		8.3	11.1	ns	C _L = 15pF, CMOS信号レベル
最大データレート ⁴		90	120		Mbps	C _L = 15pF, CMOS信号レベル
伝播遅延 ⁵	t _{PHL} , t _{PLH}	20	30	40	ns	C _L = 15pF, CMOS信号レベル
パルス幅歪み (t _{PLH} - t _{PHL}) ⁵	PWD		0.5	2	ns	C _L = 15pF, CMOS信号レベル
温度変化に伴う変動			3		ps/°C	C _L = 15pF, CMOS信号レベル
伝播遅延スキュー ⁶	t _{PSK}			14	ns	C _L = 15pF, CMOS信号レベル
チャンネル間マッチング、同一方向チャンネル ⁷	t _{PSKCD}			2	ns	C _L = 15pF, CMOS信号レベル
チャンネル間マッチング、反対方向チャンネル ⁷	t _{PSKOD}			5	ns	C _L = 15pF, CMOS信号レベル
全モデル共通						
出力ディスエーブル伝播遅延 (ハイ/ローレベルからハイ・インピーダンスまで)	t _{PHZ} , t _{PLH}		6	8	ns	C _L = 15pF, CMOS信号レベル
出力イナーブル伝播遅延 (ハイ・インピーダンスからハイ/ローレベルまで)	t _{PZH} , t _{PZL}		6	8	ns	C _L = 15pF, CMOS信号レベル
出力立上がり/立下がり時間 (10~90%)	t _R /t _F					C _L = 15pF, CMOS信号レベル
5V/3V動作時			3.0		ns	
3V/5V動作時			2.5		ns	
ロジック・ハイレベル出力のコモン・モード過渡耐圧 ⁸	ICM _H	25	35		kV/μs	V _{IK} = V _{DD1} /V _{DD2} , V _{CM} = 1000V、 過渡電圧振幅 = 800V
ロジック・ローレベル出力のコモン・モード過渡耐圧 ⁸	ICM _L	25	35		kV/μs	V _{IK} = 0V, V _{CM} = 1000V、 過渡電圧振幅 = 800V
リフレッシュ・レート	f _r					
5V/3V動作時			1.2		Mbps	
3V/5V動作時			1.1		Mbps	
チャンネルあたりの入力ダイナミック電源電流 ⁹	I _{DDH(D)}					
5V/3V動作時			0.20		mA/Mbps	
3V/5V動作時			0.10		mA/Mbps	
チャンネルあたりの出力ダイナミック電源電流 ⁹	I _{DDO(D)}					
5V/3V動作時			0.03		mA/Mbps	
3V/5V動作時			0.05		mA/Mbps	

ADuM3400/ADuM3401/ADuM3402

- ¹ すべての電圧は、それぞれのグラウンドを基準とします。
- ² 4チャンネルすべての電源電流は、同一のデータレートでの動作時の合計です。出力電源電流の値は、負荷がないときの値です。所定のデータレートで動作する個々のチャンネルに関する電源電流は、「消費電力」で説明するように計算できます。無負荷時と負荷がある時のデータレートに対するチャンネルあたりの電源電流については、図8～10を参照してください。ADuM3400/ADuM3401/ADuM3402のさまざまなチャンネル構成についてのデータレートに対する V_{DD1} と V_{DD2} の合計電源電流については、図11～15を参照してください。
- ³ 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅です。
- ⁴ 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。
- ⁵ 伝播遅延 t_{PHL} は、 V_{IN} 信号の立下がりエッジの50%レベルから V_{OX} 信号の立下がりエッジの50%レベルまでの測定値です。伝播遅延 t_{PLH} は、 V_{IN} 信号の立上がりエッジの50%レベルから V_{OX} 信号の立上がりエッジの50%レベルまでの測定値です。
- ⁶ t_{PSK} は、推奨動作条件の範囲内で同一の動作温度、電源電圧、出力負荷を適用した場合に各ユニット間で測定される t_{PHL} または t_{PLH} の最悪時の差です。
- ⁷ 同一方向チャンネル間マッチングは、絶縁バリアの同じ側に信号が入力された場合の任意の2チャンネル間における伝播遅延の差の絶対値です。反対方向チャンネル間マッチングは、絶縁バリアの反対側に信号が入力された場合の任意の2チャンネル間における伝播遅延の差の絶対値です。
- ⁸ CM_H は、 $V_O > 0.8 V_{DD2}$ を維持するときの可能なコモン・モード電圧の最大スループートです。 CM_L は、 $V_O < 0.8$ を維持するときの可能なコモン・モード電圧の最大スループートです。コモン・モード電圧のスループートは、コモン・モード電圧の立上がりと立下がり両方のエッジに適用されます。過渡電圧振幅は、コモン・モード電圧が変化する範囲です。
- ⁹ ダイナミック電源電流は、信号データレートを1Mbps増加させるのに必要な電源電流の増分です。無負荷時と負荷があるときのチャンネルあたりの電源電流については、図8～10を参照してください。所定のデータレートにおけるチャンネルあたりの電源電流を計算する方法については、「消費電力」を参照してください。

ADuM3400/ADuM3401/ADuM3402

パッケージ特性

表4

パラメータ	記号	Min	Typ	Max	単位	テスト条件
抵抗値 (入出力間) ¹	R_{LO}		10 ¹²		Ω	f = 1MHz パッケージ下側中央に熱電対を配置
容量 (入出力間) ¹	C_{LO}		2.2		pF	
入力容量 ²	C_I		4.0		pF	
ICジャンクションとケース間の熱抵抗値 (サイド1)	θ_{JCI}		33		°C/W	
ICジャンクションとケース間の熱抵抗値 (サイド2)	θ_{JCO}		28		°C/W	

¹ デバイスは2端子を想定。1番、2番、3番、4番、5番、6番、7番、8番の各ピンを短絡し、9番、10番、11番、12番、13番、14番、15番、16番の各ピンを短絡します。

² 入力容量は、任意の入力データ・ピンからグラウンドまでの容量です。

適用規格

ADuM340xは、表5に示す規格団体の認定を取得しています。

表5

UL ¹	CSA	VDE ²
1577部品認定プログラムによる認証 ¹	CSA部品承認通達#5Aの認定	DIN EN 60747-5-2 (VDE 0884 Part 2) : 2003-01による認定 ²
2500Vrms絶縁耐圧での二重/強化絶縁	400Vrmsの最大動作電圧によるCSA 60950-1-03およびIEC 60950-1に準拠した強化絶縁	560Vピークによる基本絶縁 以下の規格に準拠 DIN EN 60747-5-2 (VDE 0884 Part 2) : 2003-01、DIN EN 60950 (VDE 0805) : 2001-12 ; EN 60950 : 2000 560Vピークによる強化絶縁
File E214100	File 205078	File 2471900-4880-0001

¹ 各ADuM340xは、UL 1577規格に準拠し、1秒間に3000Vrms以上の絶縁テスト電圧を印加する絶縁耐圧テスト (リーク電流検出制限値=5 μ A) によって実証済み。

² 各ADuM340xは、DIN EN 60747-5-2規格に準拠し、1秒間に1050Vピーク以上の絶縁テスト電圧を印加する絶縁耐圧テスト (部分放電検出制限値=5pC) によって実証済み。部品上の「*」のマークは、DIN EN 60747-5-2規格の認定品であることを示しています。

絶縁および安全性に関連する仕様

表6

パラメータ	記号	規定値	単位	条件
誘電体定格絶縁電圧		2500	Vrms	1分間継続
最小外部空間距離 (クリアランス)	L (I01)	7.7 (min)	mm	入力ピンから出力ピンまでの空間最短距離を測定
最小外部沿面距離 (クリーパー)	L (I02)	8.1 (min)	mm	入力ピンから出力ピンまでのボディ表面に沿う最短パスを測定
最小内部空間距離 (内部クリアランス)		0.017 (min)	mm	絶縁体を通過する絶縁距離
耐トラッキング性 (比較トラッキング指数)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
絶縁グループ		IIIa		材料グループ (DIN VDE 0110、1/89、Table 1)

DIN EN 60747-5-2 (VDE 0884 Part 2) 絶縁特性

表7

説明	記号	特性	単位
DIN VDE 0110規格による絶縁分類		I-IV	
定格メイン電圧 $\leq 150V_{rms}$ の場合		I-III	
定格メイン電圧 $\leq 300V_{rms}$ の場合		I-II	
定格メイン電圧 $\leq 400V_{rms}$ の場合		40/105/21	
環境による分類		2	
汚染度 (DIN VDE 0110、Table 1)			
最大動作絶縁電圧	V_{IORM}	560	Vピーク
入出力間テスト電圧、メソッドb1	V_{PR}	1050	Vピーク
$V_{IORM} \times 1.875 = V_{PR}$ 、100%の出荷テスト、 $t_m = 1$ 秒、部分放電 $< 5pC$			
入出力間テスト電圧、メソッドa	V_{PR}	896	Vピーク
環境テスト・サブグループ1の実施後			
$V_{IORM} \times 1.6 = V_{PR}$ 、 $t_m = 60$ 秒、部分放電 $< 5pC$			
入力/安全性テスト・サブグループ2/3の実施後		672	Vピーク
$V_{IORM} \times 1.2 = V_{PR}$ 、 $t_m = 60$ 秒、部分放電 $< 5pC$			
最大許容過電圧 (過渡過電圧、 $t_{TR} = 10$ 秒)	V_{TR}	4000	Vピーク
安全限界値 (障害発生時の最大許容値、図4も参照)			
ケース温度	T_S	150	°C
サイド1電流	I_{S1}	265	mA
サイド2電流	I_{S2}	335	mA
絶縁抵抗値 (T_S 、 $V_{IO} = 500V$ 時)	R_S	$> 10^9$	Ω

アイソレータは、安全性限界値の範囲内にある場合のみ、基本的な電氣的絶縁に適しています。安全性データは、保護回路を使用して遵守してください。パッケージの「*」マークは、DIN EN 60747-5-2規格の認定品であることを示しています。

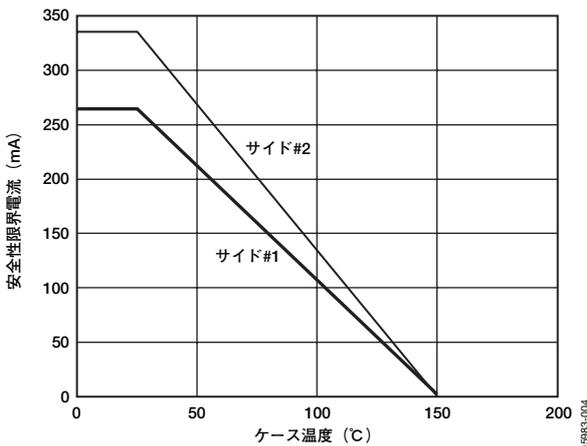


図4. 温度ディレーティング・カーブ
(DIN EN 60747-5-2規格によるケース温度の変化にともなう安全性限界値の変動)

推奨動作条件

表8

パラメータ	記号	Min	Max	単位
動作温度	T_A	-40	+105	°C
電源電圧 ¹	V_{DD1} 、 V_{DD2}	2.7	5.5	V
入力信号の立上がり／ 立下がり時間			1.0	ms

¹ すべての電圧は、それぞれのグラウンドを基準とします。外部磁界耐性については、「DC精度と磁界耐性」を参照してください。

ADuM3400/ADuM3401/ADuM3402

絶対最大定格

特に指定のない限り、周囲温度=25℃。

表9

パラメータ	記号	Min	Max	単位
保存温度	T_{ST}	-65	+150	℃
動作時周囲温度	T_A	-40	+105	℃
電源電圧 ¹	V_{DD1} 、 V_{DD2}	-0.5	+7.0	V
入力電圧 ^{1,2}	V_{IA} 、 V_{IB} 、 V_{IC} 、 V_{ID} 、 V_{E1} 、 V_{E2}	-0.5	$V_{DD1}+0.5$	V
出力電圧 ^{1,2}	V_{OA} 、 V_{OB} 、 V_{OC} 、 V_{OD}	-0.5	$V_{DD0}+0.5$	V
各ピンの平均出力電流 ³				
サイド1	I_{O1}	-18	+18	mA
サイド2	I_{O2}	-22	+22	mA
コモン・モード過渡電圧 ⁴	CM_H 、 CM_L	-100	+100	kV/μs

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD1} と V_{DD0} は、それぞれ所定の各チャンネルの入力側と出力側の電源電圧です。「PCボードのレイアウト」を参照してください。

³ さまざまな温度における電流の最大定格については、図4を参照してください。

⁴ 絶縁バリア間で発生するコモン・モード過渡電圧です。コモン・モード過渡電圧が絶対最大定格を超えると、ラッチアップまたは回復不能の損傷が発生するおそれがあります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



表10. 真理値表（正のロジック）

V_{IX} 入力 ¹	V_{EX} 入力 ²	V_{DD1} の状態 ¹	V_{DD0} の状態 ¹	V_{OX} 出力 ¹	注記
H	HまたはNC	電源オン	電源オン	H	
L	HまたはNC	電源オン	電源オン	L	
X	L	電源オン	電源オン	Z	
X	HまたはNC	電源オフ	電源オン	H	出力は V_{DD1} 電源復帰から1μs以内に入力状態に戻ります。
X	L	電源オフ	電源オン	Z	
X	X	電源オン	電源オフ	不定	V_{EX} の状態がHまたはNCの場合、出力は V_{DD0} 電源復帰から1μs以内に入力状態に戻ります。 V_{EX} の状態がLの場合は、出力は V_{DD0} 電源復帰から8ns以内にハイ・インピーダンス状態に戻ります。

¹ V_{IX} と V_{OX} は、それぞれ所定のチャンネル（A、B、C、D）の入力信号と出力信号です。 V_{EX} は、 V_{OX} 出力と同じサイドの出力イネーブル信号です。 V_{DD1} と V_{DD0} は、それぞれ所定のチャンネルの入力側と出力側の電源電圧です。

² ノイズの多い環境では、 V_{EX} をハイレベルまたはローレベルの外部ロジックに接続することを推奨します。

ピン配置と機能の説明

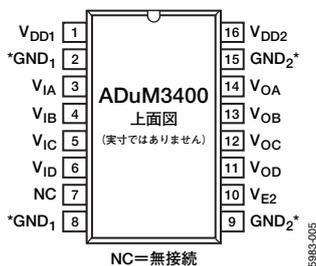


図5. ADuM3400のピン配置

* 2番ピンと8番ピンを内部で接続し、ともにGND₁に接続することを推奨します。9番ピンと15番ピンを内部で接続し、ともにGND₂に接続することを推奨します。ノイズの多い環境では、出力イネーブル・ピン（ADuM3401/ADuM3402では7番ピン、他のモデルでは10番ピン）をハイレベルまたはローレベルの外部ロジックに接続することを推奨します。

表11. ADuM3400のピン機能の説明

ピン番号	記号	機能
1	V _{DD1}	アイソレータのサイド1の電源電圧 (2.7~5.5V)
2, 8	GND ₁	グラウンド1。アイソレータのサイド1のグラウンド基準
3	V _{IA}	Aチャンネルのロジック入力
4	V _{IB}	Bチャンネルのロジック入力
5	V _{IC}	Cチャンネルのロジック入力
6	V _{ID}	Dチャンネルのロジック入力
7	NC	無接続
9, 15	GND ₂	グラウンド2。アイソレータのサイド2のグラウンド基準
10	V _{E2}	出力イネーブル2。アクティブ・ハイレベルのロジック入力。V _{E2} がハイレベルまたは開放のときに、V _{OA} 、V _{OB} 、V _{OC} 、V _{OD} の各出力がイネーブルになります。V _{E2} がローレベルのとき、V _{OA} 、V _{OB} 、V _{OC} 、V _{OD} の各出力はディスエーブルになります。ノイズの多い環境では、V _{E2} をハイレベルまたはローレベルの外部ロジックに接続することを推奨します。
11	V _{OD}	Dチャンネルのロジック出力
12	V _{OC}	Cチャンネルのロジック出力
13	V _{OB}	Bチャンネルのロジック出力
14	V _{OA}	Aチャンネルのロジック出力
16	V _{DD2}	アイソレータのサイド2の電源電圧 (2.7~5.5V)

ADuM3400/ADuM3401/ADuM3402



図6. ADuM3401のピン配置

* 2番ピンと8番ピンを内部で接続し、ともにGND₁に接続することを推奨します。9番ピンと15番ピンを内部で接続し、ともにGND₂に接続することを推奨します。ノイズの多い環境では、出力イネーブル・ピン（ADuM3401/ADuM3402では7番ピン、他のモデルでは10番ピン）をハイレベルまたはローレベルの外部ロジックに接続することを推奨します。

表12. ADuM3401のピン機能の説明

ピン番号	記号	機能
1	V _{DD1}	アイソレータのサイド1の電源電圧 (2.7~5.5V)
2、8	GND ₁	グラウンド1。アイソレータのサイド1のグラウンド基準
3	V _{IA}	Aチャンネルのロジック入力
4	V _{IB}	Bチャンネルのロジック入力
5	V _{IC}	Cチャンネルのロジック入力
6	V _{OD}	Dチャンネルのロジック出力
7	V _{E1}	出力イネーブル1。アクティブ・ハイレベルのロジック入力。V _{E1} がハイレベルまたは開放のときに、V _{OD} の出力がイネーブルになります。V _{E1} がローレベルのとき、V _{OD} の出力はディスエーブルになります。ノイズの多い環境では、V _{E1} をハイレベルまたはローレベルの外部ロジックに接続することを推奨します。
9、15	GND ₂	グラウンド2。アイソレータのサイド2のグラウンド基準
10	V _{E2}	出力イネーブル2。アクティブ・ハイレベルのロジック入力。V _{E2} がハイレベルまたは開放のときに、V _{OA} 、V _{OB} 、V _{OC} の各出力がイネーブルになります。V _{E2} がローレベルのとき、V _{OA} 、V _{OB} 、V _{OC} の各出力はディスエーブルになります。ノイズの多い環境では、V _{E2} をハイレベルまたはローレベルの外部ロジックに接続することを推奨します。
11	V _{ID}	Dチャンネルのロジック入力
12	V _{OC}	Cチャンネルのロジック出力
13	V _{OB}	Bチャンネルのロジック出力
14	V _{OA}	Aチャンネルのロジック出力
16	V _{DD2}	アイソレータのサイド2の電源電圧 (2.7~5.5V)

ADuM3400/ADuM3401/ADuM3402



図7. ADuM3402のピン配置

* 2番ピンと8番ピンを内部で接続し、ともにGND₁に接続することを推奨します。9番ピンと15番ピンを内部で接続し、ともにGND₂に接続することを推奨します。ノイズの多い環境では、出力イネーブル・ピン（ADuM3401/ADuM3402では7番ピン、他のモデルでは10番ピン）をハイレベルまたはローレベルの外部ロジックに接続することを推奨します。

表13. ADuM3402のピン機能の説明

ピン番号	記号	機能
1	V _{DD1}	アイソレータのサイド1の電源電圧 (2.7~5.5V)
2, 8	GND ₁	グラウンド1。アイソレータのサイド1のグラウンド基準
3	V _{IA}	Aチャンネルのロジック入力
4	V _{IB}	Bチャンネルのロジック入力
5	V _{OC}	Cチャンネルのロジック出力
6	V _{OD}	Dチャンネルのロジック出力
7	V _{E1}	出力イネーブル1。アクティブ・ハイレベルのロジック入力。V _{E1} がハイレベルまたは開放のときに、V _{OC} とV _{OD} の出力がイネーブルになります。V _{E1} がローレベルのとき、V _{OC} とV _{OD} の出力はディスエーブルになります。ノイズの多い環境では、V _{E1} をハイレベルまたはローレベルの外部ロジックに接続することを推奨します。
9, 15	GND ₂	グラウンド2。アイソレータのサイド2のグラウンド基準
10	V _{E2}	出力イネーブル2。アクティブ・ハイレベルのロジック入力。V _{E2} がハイレベルまたは開放のときに、V _{OA} とV _{OB} の各出力がイネーブルになります。V _{E2} がローレベルのとき、V _{OA} とV _{OB} の各出力はディスエーブルになります。ノイズの多い環境では、V _{E2} をハイレベルまたはローレベルの外部ロジックに接続することを推奨します。
11	V _{ID}	Dチャンネルのロジック入力
12	V _{IC}	Cチャンネルのロジック入力
13	V _{OB}	Bチャンネルのロジック出力
14	V _{OA}	Aチャンネルのロジック出力
16	V _{DD2}	アイソレータのサイド2の電源電圧 (2.7~5.5V)

代表的な性能特性

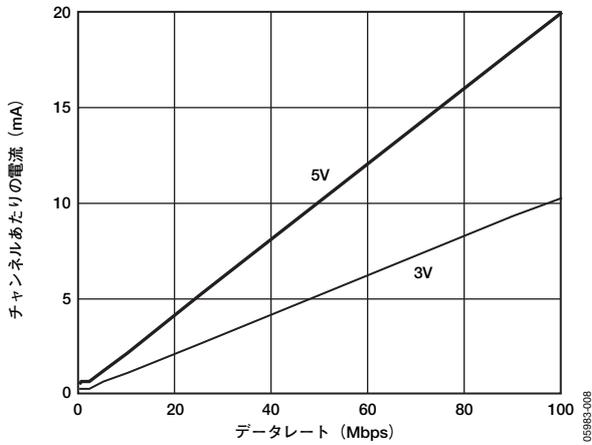


図8. データレート 対 チャンネルあたりの代表的な入力電源電流 (無負荷時)

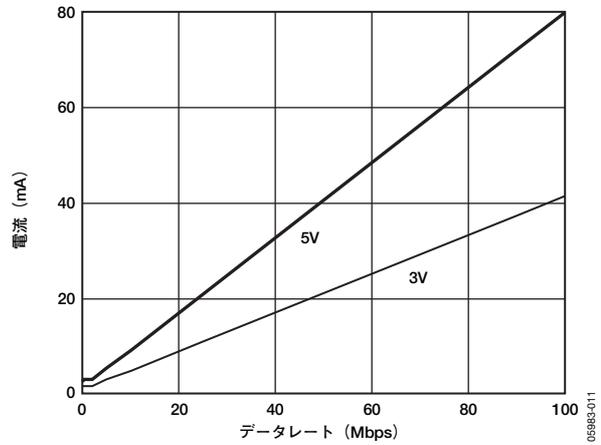


図11. データレート 対 ADuM3400の V_{DD1} 代表的な電源電流 (5V/3V動作時)

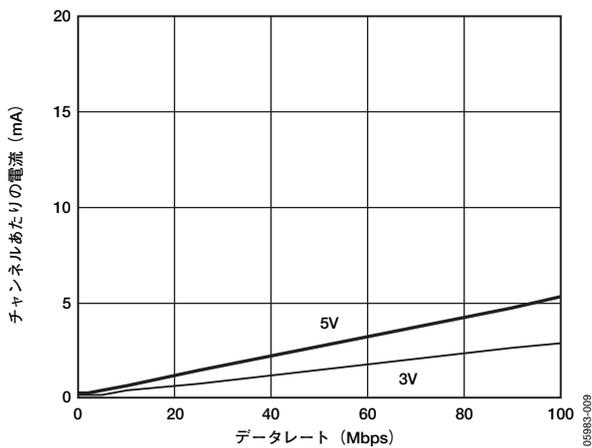


図9. データレート 対 チャンネルあたりの代表的な出力電源電流 (無負荷時)

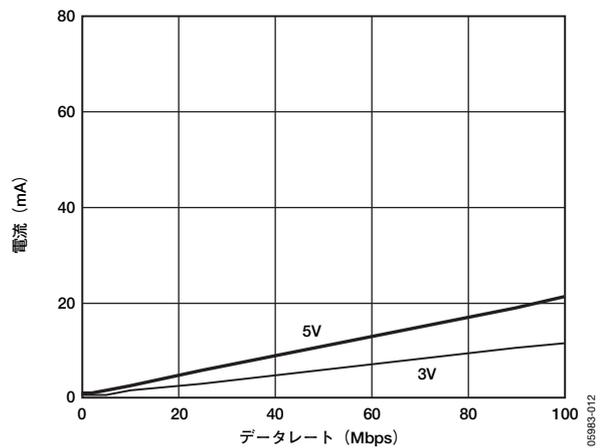


図12. データレート 対 ADuM3400の V_{DD2} 代表的な電源電流 (5V/3V動作時)

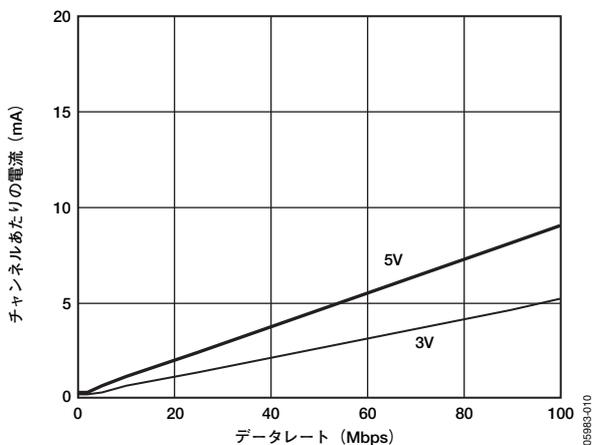


図10. データレート 対 チャンネルあたりの代表的な出力電源電流 (15pFの出力負荷時)

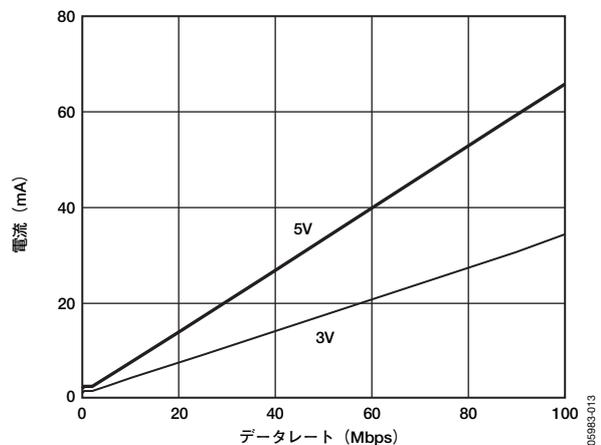


図13. データレート 対 ADuM3401の V_{DD1} 代表的な電源電流 (5V/3V動作時)

ADuM3400/ADuM3401/ADuM3402

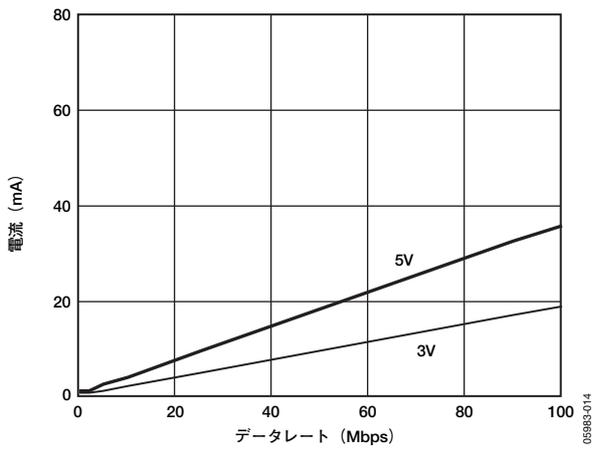


図14. データレート 対 ADuM3401の V_{DD2} 代表的な電源電流 (5V/3V動作時)

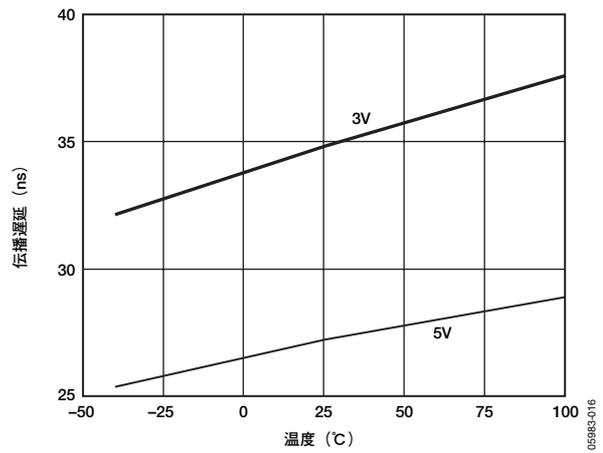


図16. 伝播遅延の温度特性 (Cグレード)

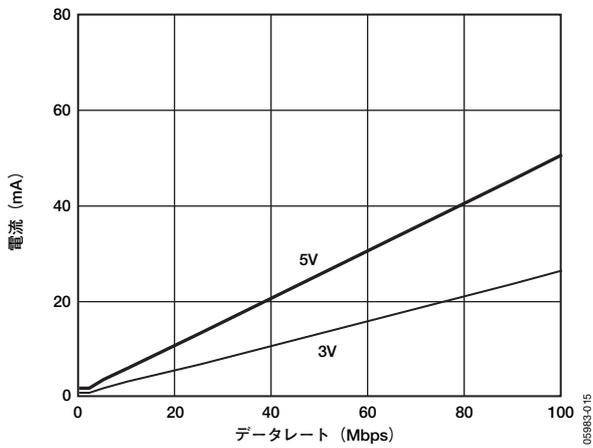


図15. データレート 対 ADuM3402の V_{DD1} または V_{DD2} 代表的な電源電流 (5V/3V動作時)

アプリケーション情報

PCボードのレイアウト

ADuM340xデジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路が不要です。入出力電源ピンで電源のバイパス処理を行うことを特に推奨します(図17を参照)。一番よい方法は、 V_{DD1} では1番ピンと2番ピンとの間、 V_{DD2} では15番ピンと16番ピンとの間にバイパス用コンデンサを接続することです。コンデンサの容量は、0.01~0.1 μ Fにしてください。コンデンサの両端から入力電源ピンまでの配線距離は合計20mm以内にします。パッケージの近くで両サイドのグラウンド・ペアが接続されていない場合は、1番ピンと8番ピンとの間と9番ピンと16番ピンとの間のバイパスも検討してください。

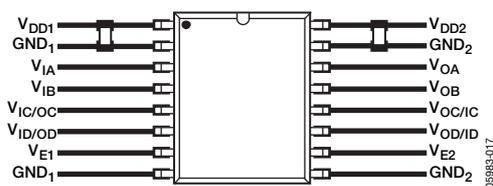


図17. PCボードの推奨レイアウト

高いコモン・モード過渡電圧が発生しそうなアプリケーションでは、絶縁バリアを超えたボードのカップリングがなるべく起こらないように注意してください。また、カップリングが生じる場合は、その影響が部品側のすべてのピンに均等に及ぶようなレイアウト設計にしてください。この配慮を怠ると、デバイスの絶対最大定格値を超える電圧差がピン間で生じ、ラッチアップや回復不能な損傷に至ることがあります。

システム・レベルのESDの注意点と強化

システム・レベルのESD信頼性(IEC 61000-4-x規格によるものなど)は、アプリケーションによって大きく異なるシステム設計に大きく左右されます。ESD信頼性がシステム設計によって大きく左右されないようにするために、ADuM340xには多くの強化対策が備わっています。以下のような強化が行われています。

- すべての入出力インターフェースにESD保護セルを追加
- 幅の広い形状を使用し、ビアと信号ラインを平行に配置することで、重要な金属パターン配線の抵抗を低減
- PMOSデバイスとNMOSデバイス間のガードおよび絶縁技術により、CMOSデバイスに固有のSCRの影響を最小化
- 金属パターン配線のコーナーを45°にすることで、電界密度が高くなる領域を排除
- 各電源ピンとそれぞれのグラウンドとの間に大きいESDクランプを使用することで、電源ピンの過電圧を防止

ADuM340xはシステム・レベルでのESD信頼性を高めますが、信頼性の高いシステム・レベルの設計に代わるものではありません。ボードのレイアウトとシステム・レベルの設計に関する詳細な推奨事項については、アプリケーション・ノートの「AN-793: ESD/Latch-Up Considerations with iCoupler Isolation Products」を参照してください。

伝播遅延に関連するパラメータ

伝播遅延は、ロジック信号がデバイス内部を伝播する時間を示すパラメータです。ロジック・ローレベル出力までの伝播遅延は、ロジック・ハイレベルまでの伝播遅延と異なることがあります。

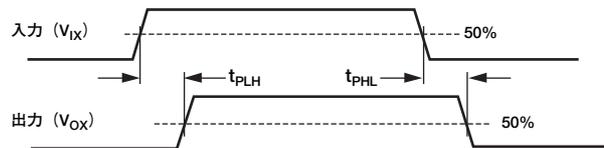


図18. 伝播遅延パラメータ

パルス幅歪みはこの2つの伝播遅延の差の最大値を表しており、これによって入力信号のタイミング精度がわかります。

チャンネル間マッチングは、1個のADuM340xデバイスにおけるチャンネル間の伝播遅延の最大差のことです。

伝播遅延スキューは、同一条件で動作する複数のADuM340xデバイス間における伝播遅延の最大差のことです。

DC精度と磁界耐性

アイソレータの入力でロジックが正または負に遷移すると、短いパルス(約1ns)がトランスからデコーダに伝わります。デコーダはハイレベルでもローレベルでも安定しているため、これらのパルスによって設定またはリセットされて、入力ロジックの遷移を示します。入力で2 μ s以上ロジックが遷移しないと、出力のDC精度を確保するため、入力が正しい状態であることを示すリフレッシュ・パルスが周期的に送出されます。デコーダが約5 μ s以上の間、内部パルスをまったく受信しないと、入力側が電源オフまたは非動作状態であるとみなされて、ウォッチドッグ・タイマ回路によってアイソレータの出力が強制的にデフォルト状態(表10を参照)になります。

ADuM340xの磁界耐性の限界は、トランスの受信側コイルの誘導電圧が大きくなりデコーダを誤設定またはリセットするような状態が発生するときの条件です。以下の解析では、このような状態が生じる条件を定義します。ADuM340xは3V動作が最も感度の高い動作モードであるため、この動作モードの条件を調べます。

トランスの出力パルスの振幅は、1.0Vよりも大きくなります。デコーダのセンシング・スレッシュホールドは約0.5Vであり、誘導電圧に対して0.5Vのマージンを確保できます。受信側コイルで生じた誘導電圧は、以下の式で求めます。

$$V = (-d\beta/dt) \sum \Pi r_n^2 \quad (n=1, 2, \dots, N)$$

ここで、

β = 磁束密度 (ガウス)

N = 受信側コイルの巻き数

r_n = 受信側コイルの巻き数 n 回目の半径 (cm)

ADuM340xの受信側コイルの形状が決まっており、誘導電圧がデコーダの0.5Vマージンの最大50%という条件がある場合、算出した磁界の最大許容値は図19のようになります。

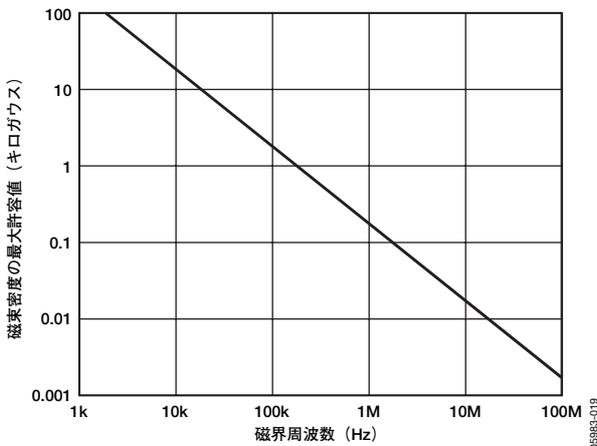


図19. 外部磁束密度の最大許容値

たとえば、磁界周波数が1MHz、磁界の最大許容値が0.2キロガウスの場合、受信側コイルには0.25Vの誘導電圧が生じます。これはセンシング・スレッシュホールドの約50%に相当するため、誤って出力遷移が生じることはありません。同様に、このような事象がパルスの送信中に発生した（しかもパルスが最悪時の極性の）場合は、受信パルスが1.0V超から0.75Vに低下しますが、それでもデコーダの0.5Vのセンシング・スレッシュホールドを大きく上回っています。

前述の磁束密度の値は、ADuM340xのトランスから所定の距離にある特定の電流の大きさに相当します。図20に、選択した距離について周波数にもなって変化する電流の最大許容値を示します。この図でわかるように、ADuM340xは非常に優れた耐性を備えており、かなり近い距離に高周波で動作する大電流がある場合のみ影響を受けます。上述の1MHzの例では、ADuM340xから5mmの距離に0.5kAの電流を配置しなければ、デバイスの動作に影響を与えることはありません。

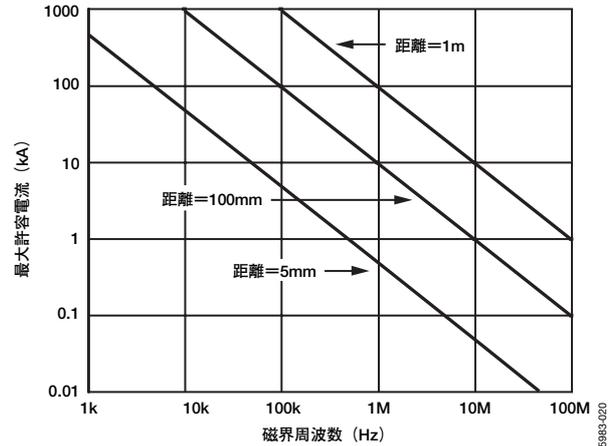


図20. 電流とADuM340xとの距離を変化させたときの最大許容電流

強い磁界と高周波が重なると、PCボードのパターン配線によるループのために大きな誤差電圧が誘導され、後段の回路のスレッシュホールドがトリガされる可能性があります。これを防止するために、パターン配線のレイアウトには十分に注意してください。

ADuM3400/ADuM3401/ADuM3402

消費電力

ADuM340xアイソレータの各チャンネルの電源電流は、電源電圧、チャンネルのデータレート、出力負荷の関数になります。

各入力チャンネルについて、以下の式で電源電流を求めることができます。

$$I_{DDI} = I_{DDI(Q)} \quad f \leq 0.5f_r$$

$$I_{DDI} = I_{DDI(D)} \times (2f - f_r) + I_{DDI(Q)} \quad f > 0.5f_r$$

各出力チャンネルについて、以下の式で電源電流を求めることができます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5f_r$$

ここで、

$I_{DDI(D)}$ 、 $I_{DDO(D)}$ = チャンネルあたりの入力および出力のダイナミック電源電流 (mA/Mbps)

C_L = 出力負荷容量 (pF)

V_{DDO} = 出力電源電圧 (V)

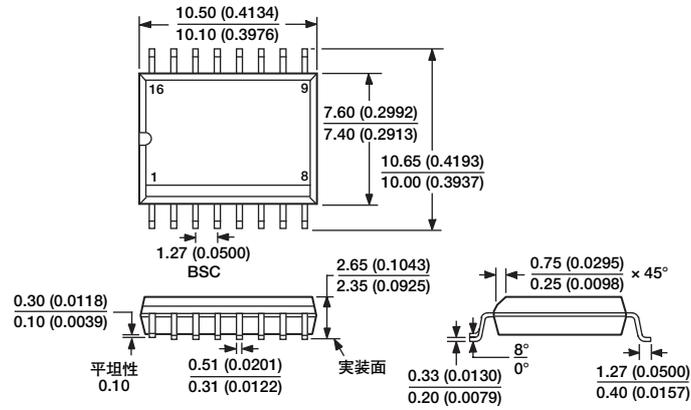
f = 入力ロジック信号周波数 (MHz、Mbps単位の入力データレートの1/2に相当)

f_r = 入力段のリフレッシュ・レート (Mbps)

$I_{DDI(Q)}$ 、 $I_{DDO(Q)}$ = 規定された入力および出力の無負荷時電源電流 (mA)

I_{DD1} と I_{DD2} の電源電流の合計を計算するには、 V_{DD1} と V_{DD2} に対応する入力および出力チャンネルの電源電流を計算し、その値を合計します。図8に、データレートにともなって変化するチャンネルあたりの入力電源電流を示します。図9と図10には、それぞれ無負荷時出力と15pFの負荷出力時のデータレートにともなって変化するチャンネルあたりの出力電源電流を示しています。図11～15には、ADuM3400/ADuM3401/ADuM3402のさまざまなチャンネル構成でのデータレートにともなって変化する V_{DD1} と V_{DD2} の合計電源電流を示しています。

外形寸法



JEDEC規格MS-013-AAに準拠
 管理寸法はミリメートルの単位で表記しています。
 カッコ内に示すインチ単位の寸法は、ミリメートル値に基づく概数で、
 参考のためにのみ記載しています。設計ではこの値を使用しないでください。

図21. 16ピン標準スモール・アウトライン・パッケージ [SOIC_W]
 ワイドボディ (RW-16)
 寸法単位：mm (インチ)

オーダー・ガイド

モデル名	温度範囲 (°C)	入力数 (V _{DD1} サイド)	入力数 (V _{DD2} サイド)	最大データ レート (Mbps)	5V動作での 最大伝播遅延 (ns)	最大パルス 幅歪み (ns)	パッケージ・ オプション ¹
ADuM3400ARWZ ^{2,3}	-40 ~ +105	4	0	1	100	40	RW-16
ADuM3400BRWZ ^{2,3}	-40 ~ +105	4	0	10	50	3	RW-16
ADuM3400CRWZ ^{2,3}	-40 ~ +105	4	0	90	32	2	RW-16
ADuM3401ARWZ ^{2,3}	-40 ~ +105	3	1	1	100	40	RW-16
ADuM3401BRWZ ^{2,3}	-40 ~ +105	3	1	10	50	3	RW-16
ADuM3401CRWZ ^{2,3}	-40 ~ +105	3	1	90	32	2	RW-16
ADuM3402ARWZ ^{2,3}	-40 ~ +105	2	2	1	100	40	RW-16
ADuM3402BRWZ ^{2,3}	-40 ~ +105	2	2	10	50	3	RW-16
ADuM3402CRWZ ^{2,3}	-40 ~ +105	2	2	90	32	2	RW-16

¹ RW-16=16ピン・ワイドボディSOIC

² テープ&リールも提供しています。末尾に「-RL」が付いている場合、直径13インチ (1,000個入り) のテープ&リールのオプションになります。

³ Z=鉛フリー製品