

### 概要

高性能オーディオ処理用に最適化された高性能 32 ビット/40 ビット浮動小数点プロセッサ

SIMD (Single-instruction, multiple-data)演算アーキテクチャを採用

内蔵メモリー—5 M ビットの内蔵 SRAM、4 M ビットのマスク・プログラム可能な内蔵 ROM

最大動作周波数: 450 MHz

車載アプリケーション用に認定済み、詳細については、[ページ70](#)の車載製品を参照してください。

すべての他の SHARC ファミリー・メンバーとコード互換

ADSP-21469 プロセッサは、デジタル・アプリケーション・インターフェース、DTCP (digital transmission content protection protocol)、シリアル・ポート、高精度クロック・ジェネレータ、S/PDIF トランシーバ、非同期サンプル・レート・コンバータ、入力データ・ポートなどの独自のオーディオ中心のペリフェラルを内蔵しています。

オーダー情報については、[ページ70](#)のオーダー・ガイドを参照してください。

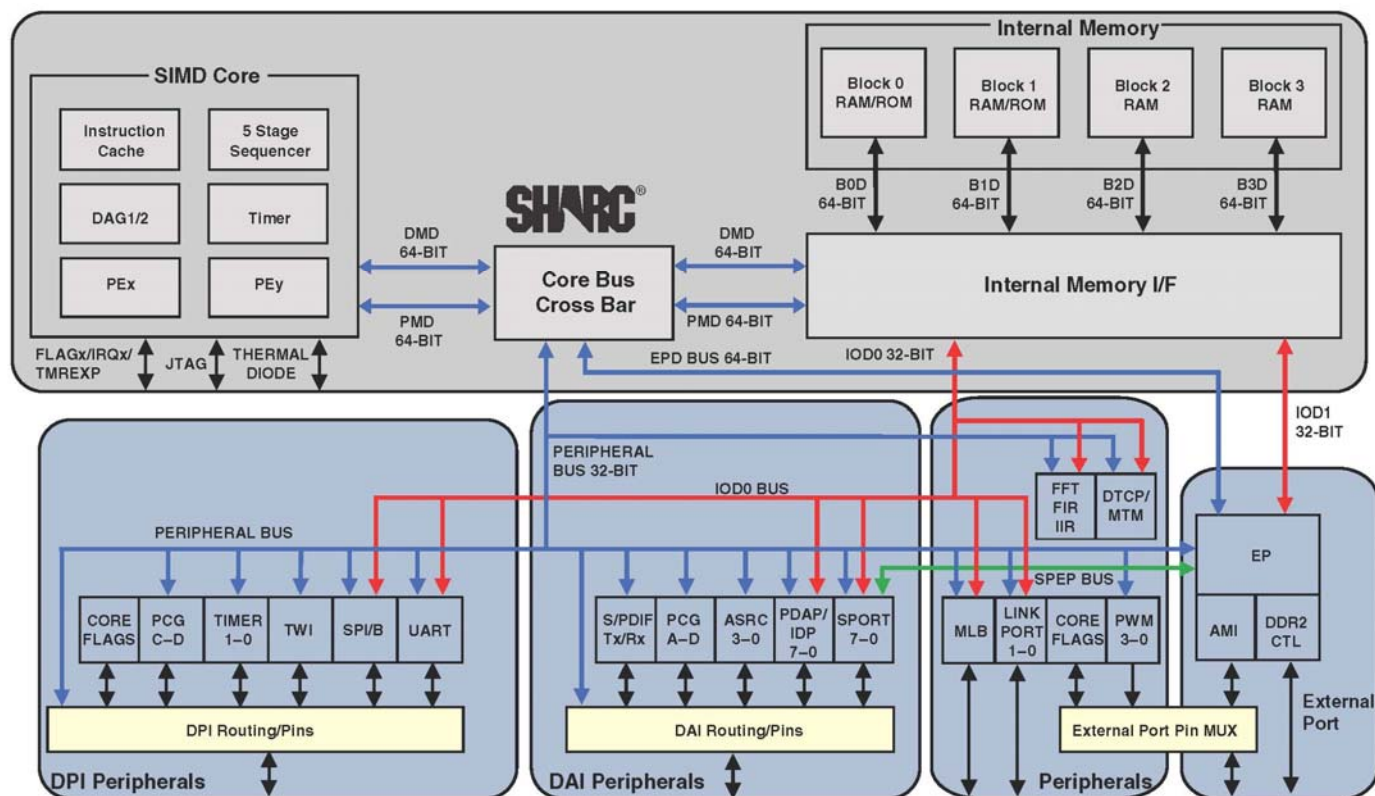


図 1. 機能ブロック図

SHARC と SHARC ロゴは Analog Devices, Inc.の登録商標です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
 ©2010 Analog Devices, Inc. All rights reserved.

Rev. 0

## 目次

まとめ.....	1	絶対最大定格.....	20
改訂履歴.....	2	ESD について.....	20
概要.....	3	パッケージ情報.....	20
ファミリー・コアのアーキテクチャ.....	4	タイミング仕様.....	21
ファミリー・ペリフェラルのアーキテクチャ.....	7	テスト条件.....	58
システム・デザイン.....	10	出力駆動電流.....	58
開発ツール.....	11	容量負荷.....	59
その他の情報.....	11	熱特性.....	61
関連シグナル・チェーン.....	11	CSP_BGA のボール配置—車載モデル.....	63
ピン機能の説明.....	12	CSP_BGA のボール配置—標準モデル.....	66
未使用 DDR2 ピン.....	12	パッケージ寸法.....	69
仕様.....	17	表面実装デザイン.....	69
動作条件.....	17	車載製品.....	70
電気的特性.....	18	オーダー・ガイド.....	70

## 改訂履歴

6/10—Revision 0: Initial Version

## 概要

ADSP-21469 SHARC<sup>®</sup>プロセッサは、SIMD SHARC ファミリーのメンバーであり、アナログ・デバイセズのスーパー・ハーバード・アーキテクチャを採用した DSP です。このプロセッサは、ADSP-2126x、ADSP-2136x、ADSP-2137x、ADSP-2116x の各 DSP、および SISD(Single-Instruction, Single-Data)モードの第 1 世代 ADSP-2106x SHARC プロセッサとソース・コード互換です。これらプロセッサは、大容量の内蔵 SRAM、I/O ボトルネックを解消する複数の内部バス、画期的なデジタル・アプリケーション・インターフェース(DAI)により、高性能オーディオ・アプリケーション向けに最適化された 32 ビット/40 ビットの浮動小数点プロセッサです。

表 1 にプロセッサの性能ベンチマークを、表 2 に製品機能を、それぞれ示します。

表 1. プロセッサ・ベンチマーク

Benchmark Algorithm	Speed (at 450 MHz)
1024 Point Complex FFT (Radix 4, with Reversal)	20.44 $\mu$ s
FIR Filter (Per Tap) <sup>1</sup>	1.11 ns
IIR Filter (Per Biquad) <sup>1</sup>	4.43 ns
Matrix Multiply (Pipelined)	
[3 × 3] × [3 × 1]	10.0 ns
[4 × 4] × [4 × 1]	17.78 ns
Divide (y/x)	6.67 ns
Inverse Square Root	10.0 ns

<sup>1</sup> マルチチャンネル SIMD モード 2 ファイルを想定

表 2. SHARC ファミリーの機能

Feature	ADSP-21469
Maximum Frequency	450 MHz
RAM	5M Bits
ROM	N/A
Audio Decoders in ROM <sup>1</sup>	No
DTCP Hardware Accelerator <sup>2</sup>	No
Pulse-Width Modulation	Yes
S/PDIF	Yes
DDR2 Memory Interface	Yes
DDR2 Memory Bus Width	16 Bits
Direct DMA from SPORTs to External Memory	Yes
FIR, IIR, FFT Accelerator	Yes
MLB Interface	Automotive Models Only
IDP	Yes
Serial Ports	8
DAI (SRU)/DPI (SRU2)	20/14 pins

表 2. SHARC ファミリーの機能(続き)

Feature	ADSP-21469
UART	1
Link Ports	2
AMI Interface with 8-bit Support	Yes
SPI	2
TWI	Yes
SRC Performance	-128 dB
Package	324-ball CSP_BGA

<sup>1</sup> オーディオ・デコーディング・アルゴリズムには、PCM、Dolby Digital EX、Dolby Prologic IIx、DTS 96/24、Neo:6、DTS ES、MPEG-2 AAC、MP3、バス・マネジメント、遅延、スピーカ・イコライゼーション、グラフィック・イコライゼーションなどの機能が含まれます。デコーダ/ポスト・プロセッサ・アルゴリズムの組み合わせサポートは、チップ・バージョンとシステム構成に応じて変わります。製品の詳細と供給状況については、[www.analog.com](http://www.analog.com) をご覧ください。

<sup>2</sup> これらの製品は、Digital Transmission Content Protection プロトコル(当社独自セキュリティ・プロトコル)を提供します。詳細については、最寄りの ADI にお尋ねください。

ページ1の図 1に、ADSP-21469 プロセッサを構成する 2 つのクロック・ドメインを示します。コア・クロック・ドメインには次の機能があります。

- 2 個の処理エレメント(PE<sub>x</sub>、PE<sub>y</sub>)。各々は ALU、乗算器、シフタ、データ・レジスタ・ファイルから構成されています。
- データ・アドレス・ジェネレータ(DAG1、DAG2)
- 命令キャッシュ付きのプログラム・シーケンサ
- 出力ピン付きの周期インターバル・タイム $\times$ 1
- PM バスと DM バス。メモリとコアとの間で各コア・プロセッサ・サイクルで 2 回の 64 ビット・データ転送をサポートすることが可能。
- 内蔵 SRAM (5M ビット)
- 内蔵マスク・プログラマブル ROM (4M ビット)
- エミュレーションとバウンダリ・スキャン用の JTAG テスト・アクセス・ポート。JTAG はユーザ・ブレイク・ポイントを使ってソフトウェア・デバッグ機能を提供するため、柔軟な例外処理が可能になります。

ページ1の図 1には、ペリフェラル・クロック・ドメイン(I/O プロセッサとも呼びます)も示してあり、次の機能があります。

- 32 ビット・データ転送用の IOD0 (ペリフェラル DMA)バスと IOD1 (外部ポート DMA)バス
- コア接続用のペリフェラル・バスと外部ポート・バス
- AMI および DDR2 コントローラ付きの外部ポート
- 4 ユニットの PWM 制御
- 1 ユニットの内部メモリ—内部メモリ間転送用 MTM

- デジタル・アプリケーション・インターフェース。これには、高精度クロック・ジェネレータ(PCG)×4、シリアル/パラレル接続用の入力データ・ポート(IDP)×1、S/PDIF レシーバ/トランスミッタ×1、非同期サンプル・レート・コンバータ×4、シリアル・ポート×8、柔軟な信号ルーティング・ユニット(DAI SRU)×1 が含まれます。
- デジタル・ペリフェラル・インターフェース。これにはタイマ×2、2 線式インターフェース×1、UART×1、シリアル・ペリフェラル・インターフェース(SPI)×2、高精度クロック・ジェネレータ(PCG)×2、柔軟な信号ルーティング・ユニット(DPI SRU)×1 が含まれます。

ページ1の図 1 に示すように、これらのプロセッサは、2 個の演算ユニットを採用することにより、広範囲な DSP アルゴリズムに対して従来の SHARC プロセッサに比べて性能を大幅に改善しています。このプロセッサは SIMD 演算ハードウェアを使用して、450 MHz で 2.7 GFLOPS および 400 MHz で 2.4 GFLOPS の処理を行うことができます。

## ファミリー・コアのアーキテクチャ

ADSP-21469 プロセッサは、ADSP-2137x、ADSP-2136x、ADSP-2126x、ADSP-21160、ADSP-21161、第 1 世代 ADSP-2106x SHARC プロセッサとアセンブラ・レベルでコード互換です。ADSP-21469 は、図 2 に示すように、ADSP-2126x、ADSP-2136x、ADSP-2137x、ADSP-2116x SIMD SHARC の各プロセッサとアーキテクチャ機能を共有しています。詳細を以下のセクションで説明します。

## SIMD 演算エンジン

ADSP-21469 は、SIMD (Single-Instruction, Multiple-Data) エンジンとして動作する 2 個の演算処理エレメントを内蔵しています。これらの処理エレメントは PEX と PEY と呼ばれ、各々は、ALU、乗算器、シフタ、レジスタ・ファイルを内蔵しています。PEX は常時アクティブで、PEY は MODE1 レジスタの PEYEN モード・ビットをセットしてイネーブルすることができます。このモードがイネーブルされると、同じ命令が両処理エレメントで実行されますが、各処理エレメントは異なるデータに対して動作します。このアーキテクチャは、数学的な DSP アルゴリズムの実行に効果を発揮します。

SIMD モードが開始されると、メモリと処理エレメントとの間のデータ転送方法も変わります。SIMD モードでは、処理エレメントでの演算動作を維持するために 2 倍のデータ帯域幅が必要になります。この要求のため、SIMD モードが開始されると、メモリと処理エレメントとの間の帯域幅も 2 倍になります。SIMD モードでデータ転送に DAG を使用する場合、メモリまたはレジスタ・ファイルに対する各アクセスで 2 個のデータ値が転送されます。

## 独立な並列演算ユニット

各処理エレメントには、演算ユニットのセットがあります。演算ユニットは、ALU、乗算器、シフタから構成されています。これらのユニットは、すべての命令を 1 サイクルで実行します。各処理エレメント内の 3 個のユニットは、最大の演算スループットを得る並行構成になっています。1 個のマルチファンクション命令により、ALU と乗算器の並行動作が行われます。SIMD モードでは、両処理エレメントで ALU と乗算器の並行動作が発生します。これらの演算ユニットは、IEEE 32 ビット単精度浮動小数点、40 ビット拡張精度浮動小数点、32 ビット固定小数点の各データ・フォーマットをサポートしています。

## タイマ

周期ソフトウェア割込みを発生できるコア・タイマ。コア・タイマは、タイムアウト信号として FLAG3 を使用するように設定することができます。

## データ・レジスタ・ファイル

汎用データ・レジスタ・ファイルは、各処理エレメントに内蔵されています。レジスタ・ファイルは、演算ユニットとデータ・バスとの間でデータを転送し、途中結果を保持します。これらの 10 ポート 32 レジスタからなるレジスタ・ファイル(16 個のプライマリ、16 個のセカンダリ)とプロセッサの強化型ハーバード・アーキテクチャとの組み合わせにより、演算ユニットと内部メモリとの間で制約のないデータ・フローが可能になっています。PEX 内のレジスタは R0~R15 と呼ばれ、PEY 内のレジスタは S0~S15 と呼ばれます。

## コンテキスト・スイッチ

多くのプロセッサ・レジスタには、割込みサービス中に高速なコンテキスト・スイッチを可能にするために使用できるセカンダリ・レジスタがあります。レジスタ・ファイル内のデータ・レジスタ、DAG レジスタ、乗算結果・レジスタにはすべてセカンダリ・レジスタがあります。プライマリ・レジスタはリセット時にアクティブになり、セカンダリ・レジスタはモード・コントロール・レジスタのコントロール・ビットを使ってアクティブにします。

## ユニバーサル・レジスタ

これらのレジスタは汎用タスクに使うことができます。USTAT (4) レジスタを使うと、コアのすべてのシステム・レジスタ(コントロール/ステータス)のビット操作(Set, Clear, Toggle, Test, XOR)を容易に行うことができます。

データ・バス交換レジスタ(PX)の使用により、64 ビット PM データ・バスと 64 ビット DM データ・バスとの間で、または 40 ビット・レジスタ・ファイルと PM/DM データ・バスとの間で、データを渡すことが可能になっています。これらのレジスタには、データ幅の違いを処理するハードウェアが内蔵されています。

## 1 サイクル命令フェッチと 4 個のオペランド

このプロセッサは、データ・メモリ(DM)バスでデータを転送し、プログラム・メモリ(PM)バスで命令とデータを転送する強化型ハーバード・アーキテクチャを採用しています(図 2 参照)。このプロセッサではプログラム・メモリ・バスとデータ・メモリ・バスを分離し、かつ命令キャッシュを内蔵しているため、プロセッサは 4 個のオペランド(各データ・バスから 2 個)と 1 個の命令(キャッシュから)を同時に 1 サイクルでフェッチすることができます。

## 命令キャッシュ

これらのプロセッサは、1 個の命令と 4 個のデータ値をフェッチする 3 バス動作を可能にする命令キャッシュを内蔵しています。キャッシュは選択的で、PM バス・データ・アクセスとフェッチが競合する命令だけをキャッシュします。このキャッシュにより、コアのフル速度実行(デジタル・フィルタの積和や FFT でのバタフライ処理のようなループ動作)が可能になります。

## ゼロ・オーバーヘッドのハードウェア循環バッファをサポートするデータ・アドレス・ジェネレータ

2 個のデータ・アドレス・ジェネレータ(DAG)は、間接アドレッシング機能とハードウェアによる循環データ・バッファの構成に使用されます。

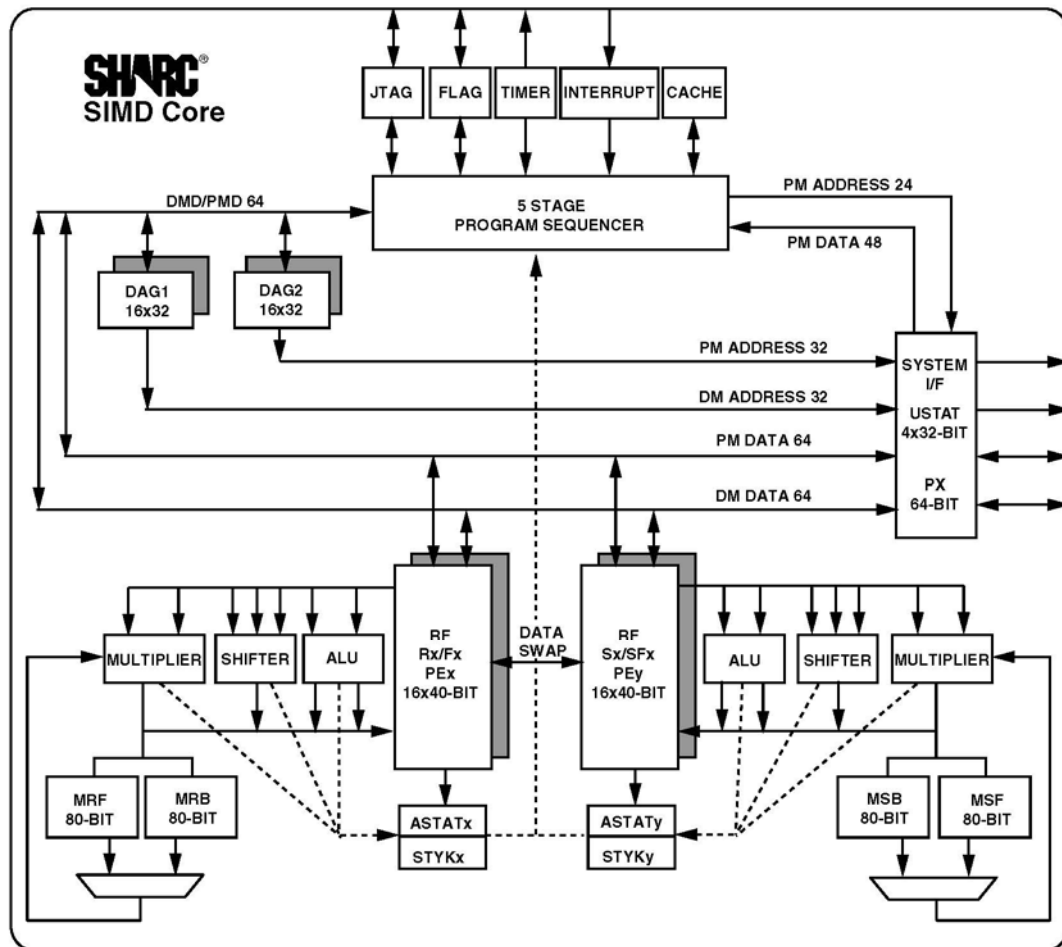


図 2. SHARC コア・ブロック図

循環バッファを使うと、ディレイラインの効率の良いプログラミングとデジタル信号処理に必要なその他のデータ構造が実現できるため、広くデジタル・フィルタとフーリエ変換で使用されています。2 個の DAG には、最大 32 個の循環バッファを実現するために十分なレジスタが内蔵されています(16 個はプライマリレジスタ・セット用、16 個はセカンダリレジスタ・セット用)。DAG は、アドレス・ポインタのラップアラウンドを自動的に処理するため、オーバーヘッドを削減し、性能を向上させ、構成を簡素化します。循環バッファは、任意のメモリ・ロケーションから開始させて終了させることができます。

### 柔軟な命令セット

48 ビットの命令ワードにより、多様な並行動作が可能になるため、簡潔なプログラミングが可能になります。例えば、ADSP-21469 は、両処理エレメントで、乗算、加算、減算を条件付きで実行すると同時に、分岐や最大 4 個の 32 ビット値のメモリからのフェッチを 1 命令で行うことができます。

### 可変命令セット・アーキテクチャ (VISA)

ADSP-21469 では、従来型 SHARC プロセッサの標準 48 ビット命令のサポートに加えて、16 ビットと 32 ビットの新しい命令をサポートしています。可変命令セット・アーキテクチャ (VISA) と呼ばれるこの機能では、48 ビット命令の冗長/未使用ビットをなくして、コードの効率化と小型化を行っています。

プログラム・シーケンサでは、内部と外部の DDR2 メモリからの 16 ビット命令と 32 ビット命令のフェッチをサポートしています。コード生成ツールでこれらの効率良いオペコードを生成できるようにするためには、VISA オプションを使ってソース・モジュールをビルドする必要があります。

### 内蔵メモリ

このプロセッサは 5 M ビットの RAM を内蔵しています。各ブロックは、コード・ストレージとデータ・ストレージの様々な組み合わせに構成することができます(表 4 参照)。各メモリ・ブロックは、コア・プロセッサと I/O プロセッサから独立な 1 サイクルのアクセスをサポートします。ADSP-21469 メモリ・アーキテクチャと、分離している内蔵バスとの組み合わせにより、コアからの 2 回のデータ転送と I/O プロセッサからの 1 回のデータ転送が 1 サイクルで可能になっています。

プロセッサの SRAM は、最大 160k ワードの 32 ビット・データとして、320k ワードの 16 ビット・データとして、106.7k ワードの 48 ビット命令(または 40 ビット・データ)として、または最大 5M ビットの様々なワード・サイズの組み合わせとして、構成することができます。すべてのメモリは、16 ビット、32 ビット、48 ビット、または 64 ビット・ワードとしてアクセスすることができます。16 ビットの浮動小数点ストレージ・フォーマットをサポートしています。これにより内部で保存できるデータ量が実質的に 2 倍になります。

32ビット浮動小数点フォーマットと16ビット浮動小数点フォーマットとの間の変換は、1命令で実行されます。各メモリ・ブロックはコードとデータの組み合わせを保存できますが、転送にDMバスを使って1つのブロックにデータを保存し、さらに転送にPMバスを使って別のブロックに命令とデータを保存するとき、アクセスが最も効率良くなります。

1本のバスを1つのメモリ・ブロック専用にしてDMバスとPMバスを使うと、2個のデータ転送の1サイクルでの実行を確実に行うことができます。この場合、命令はキャッシュ内に存在する必要があります。

表3のメモリ・マップに、ADSP-21469プロセッサの内部メモリ・アドレス空間を示します。

この表で、48ビットメモリ空間は、このアドレス範囲を48ビット・メモリとしてアクセスする場合のメモリ領域を表わしています。また、32ビットメモリ空間は、このアドレス範囲を32ビット・メモリとしてアクセスする場合のメモリ領域を表わしています。

### 内蔵メモリの帯域幅

この内部メモリ・アーキテクチャにより、プログラムは4個の内の任意のブロックへ同時に4回アクセスすることができます(競合するブロックがない場合)。合計帯域幅は、DMDバスとPMDバス(2×64ビット、CCLK速度)、およびIOD0/1バス(2×32ビット、PCLK速度)を使って得られます。

表 3. ADSP-21469 の内部メモリ空間

IOP Registers 0x0000 0000–0x0003 FFFF			
Long Word (64 bits)	Extended Precision Normal or Instruction Word (48 bits)	Normal Word (32 bits)	Short Word (16 bits)
BLOCK 0 RAM 0x0004 9000–0x0004 EFFF	BLOCK 0 RAM 0x0008 C000–0x0009 3FFF	BLOCK 0 RAM 0x0009 2000–0x0009 DFFF	BLOCK 0 RAM 0x0012 4000–0x0013 BFFF
Reserved 0x0004 F000–0x0005 8FFF	Reserved 0x0009 4000–0x0009 5554	Reserved 0x0009 E000–0x000B 1FFF	Reserved 0x0013 C000–0x0016 3FFF
BLOCK 1 RAM 0x0005 9000–0x0005 EFFF	BLOCK 1 RAM 0x000A C000–0x000B 3FFF	BLOCK 1 RAM 0x000B 2000–0x000B DFFF	BLOCK 1 RAM 0x0016 4000–0x0017 BFFF
Reserved 0x0005 F000–0x0005 FFFF	Reserved 0x000B 4000–0x000B 5554	Reserved 0x000B E000–0x000B FFFF	Reserved 0x0017 C000–0x0017 FFFF
BLOCK 2 RAM 0x0006 0000–0x0006 3FFF	BLOCK 2 RAM 0x000C 0000–0x000C 5554	BLOCK 2 RAM 0x000C 0000–0x000C 7FFF	BLOCK 2 RAM 0x0018 0000–0x0018 FFFF
Reserved 0x0006 4000–0x0006 FFFF	Reserved 0x000C 5555–0x000D 5554	Reserved 0x000C 8000–0x000D FFFF	Reserved 0x0019 0000–0x001B FFFF
BLOCK 3 RAM 0x0007 0000–0x0007 3FFF	BLOCK 3 RAM 0x000E 0000–0x000E 5554	BLOCK 3 RAM 0x000E 0000–0x000E 7FFF	BLOCK 3 RAM 0x001C 0000–0x001C FFFF
Reserved 0x0007 4000–0x0007 FFFF	Reserved 0x000E 5555–0x000F 5554	Reserved 0x000E 8000–0x000F FFFF	Reserved 0x001D 0000–0x001F FFFF

### ノン・セキュア ROM

ノン・セキュア ROM では、ページ10の表8に示すように、BOOTCFGピンを使ってブート・モードを選択します。このモードでは、エミュレーションが常にイネーブルされ、BOOTCFGx = 011の場合以外、IVTは内蔵RAMに配置されます。

### ROM ベースのセキュリティ

ADSP-21469は、ROMセキュリティ機能を持っています。この機能は、イネーブル時に内部コードの不正な読出しを防止することにより、ユーザ・ソフトウェア・コードを保護するためのハードウェア・サポートを提供します。この機能を使うと、プロセッサは外部コードからブート・ロードしなくなり、内部ROMからのみ実行するようになります。さらに、JTAGポートからプロセッサを自由にアクセスできなくなります。代わりに、JTAGまたはテスト・アクセス・ポートからスキャン入力する必要のある独自の64ビット・キーが各ユーザに割り当てられます。デバイスは不正なキーを無視します。エミュレート機能は、正しいキーがスキャンされたときのみ使用可能になります。

### デジタル伝送コンテンツ保護(DTCP)

DTCP仕様は、IEEE 1394規格のような高性能デジタル・バスを伝送中にオーディオ・エンタテインメント・コンテンツが違法コピー、妨害、改竄されるのを防止する暗号プロトコルを規定しています。別の認定済みコピー保護システム(例えばDVDコンテンツ・スクランプリング・システム)を使ってソース・デバイスへ配信される正当なエンタテインメント・コンテンツのみが、このコピー保護システムの保護対象になります。

## ファミリー・ペリフェラルのアーキテクチャ

ADSP-21469 ファミリーには、高品質オーディオ、医用画像、通信、軍用、テスト装置、3D グラフィックス、スピーチ認識、モーター制御、イメージングなどの広範囲なアプリケーションをサポートする豊富なペリフェラルが内蔵されています。

### 外部ポート

外部ポート・インターフェースでは、コア・アクセスと DMA アクセスによる外部メモリへのアクセスをサポートしています。外部メモリ・アドレス空間は 4 バンクに分割されています。すべてのバンクは、非同期メモリまたは同期メモリとして設定することができます。外部ポートは、次のモジュールで構成されています。

- SRAM、FLASH、一般的な非同期 SRAM アクセス・プロトコルを満たすその他のデバイスと通信する非同期メモリ・インターフェース。バンク 0 の 2M ワードの外部メモリと、バンク 1、バンク 2、バンク 3 の 4M ワードの外部メモリをサポートする AMI。
- DDR2 DRAM コントローラ。最大 2 G ビットの外部メモリ・デバイスをサポートします。
- 内部メモリと外部メモリとの間で外部ポートを使ったコア転送と DMA 転送の調整を行う調停ロジック。

### 外部メモリ

プロセッサの外部ポートは、様々な業界標準メモリ・デバイスに対して高性能で外付け部品の不要なインターフェースを提供します。このプロセッサでは、別々の同期および/または非同期メモリ・デバイスに、内蔵されたメモリコントローラを通じて接続することができます。1 つ目は業界標準の同期 DRAM デバイスを接続するための 16 ビット DDR2 DRAM コントローラであり、2 つ目は多様なメモリ・デバイスに対するインターフェースで使用する 8bit の非同期メモリ・コントローラです。4 本のメモリ・セレクト・ピンにより、最大 4 個のデバイスを使用することができるため、同期と非同期デバイス・タイプの任意の組み合わせをサポートすることができます。非 DDR2 DRAM 外部メモリ・アドレス空間を表 4 に示します。

表 4. 非 DDR2 DRAM アドレスに対する外部メモリ

Bank	Size in Words	Address Range
Bank 0	2M	0x0020 0000 – 0x003F FFFF
Bank 1	4M	0x0400 0000 – 0x043F FFFF
Bank 2	4M	0x0800 0000 – 0x083F FFFF
Bank 3	4M	0x0C00 0000 – 0x0C3F FFFF

### 外部メモリに対する SIMD アクセス

ADSP-21469 内蔵の DDR2 コントローラは、64 ビット EPD (external port data bus) 上で SIMD アクセスをサポートしています。ノーマル・ワード・スペース (NW) 内にある P<sub>E</sub> ユニット上の相補レジスタをアクセスすることができます。この機能では、SISD モードのように相補レジスタを明示的にロードする必要がないため性能が向上します。

### 外部メモリに対する VISA アクセスと ISA アクセス

ADSP-21469 プロセッサ内蔵の DDR2 コントローラは、VISA 機能をサポートしています。この機能では、VISA 命令が圧縮されているためメモリの消費が少なくなります。さらに、1 回の 48 ビット・フェッチには最大 3 個の有効命令が含まれるためバス・フェッチ動作が少なくなります。もちろん従来型 ISA 動作からのコード実行もサポートされています。VISA/ISA によらずバンク 0 のみからのコード実行がサポートされていることに注意してください。表 5 に、各モードでの命令フェッチのアドレス範囲を示します。

表 5. 外部バンク 0 命令フェッチ

Access Type	Size in Words	Address Range
ISA (NW)	4M	0x0020 0000 – 0x005F FFFF
VISA (SW)	10M	0x0060 0000 – 0x00FF FFFF

### DDR2 のサポート

ADSP-21469 は、コア・クロックの 1/2 の最大周波数で動作する 16 ビット DDR2 インターフェースをサポートしています。外部メモリからの実行をサポートします。最大 2 G ビットの外部メモリ・デバイスをサポートします。

### DDR2 DRAM コントローラ

DDR2 DRAM コントローラは、16bit 幅で最大 4 バンクの業界標準 DDR2 DRAM デバイスとのインターフェースを提供します。DDR2 DRAM 規格に完全に準拠しています。各バンクは固有のメモリ・セレクト・ライン(DDR2\_CS3~DDR2\_CS0)を持つことができるので、32M バイト~256M バイトのメモリの範囲で構成することができます。DDR2 DRAM 外部メモリ・アドレス空間を表 6 に示します。

プログラマブルなタイミング・パラメータ・セットを使って、DDR2 DRAM バンクをメモリ・デバイス各々に対して設定することができます。

表 6. DDR2 DRAM アドレスに対する外部メモリ

Bank	Size in Words	Address Range
Bank 0	62M	0x0020 0000 – 0x03FF FFFF
Bank 1	64M	0x0400 0000 – 0x07FF FFFF
Bank 2	64M	0x0800 0000 – 0x0BFF FFFF
Bank 3	64M	0x0C00 0000 – 0x0FFF FFFF

図に示す外部メモリ・バンク・アドレスは、ノーマル・ワード(32 ビット)アクセスの場合であることを注意してください。48 ビット命令および 32 ビット・データを同じ外部メモリ・バンクに格納する場合は、これらをマッピングする際に重複しないよう注意する必要があります。

### 非同期メモリ・コントローラ

非同期メモリ・コントローラは、最大 4 バンクのメモリ・デバイスまたは I/O デバイスに対して設定可能なインターフェースを提供します。

各バンクは異なるタイミング・パラメータを使って独立に設定可能であるため、SRAM、フラッシュ、EPROM、さらに標準メモリ・コントロール・ラインを使ってインターフェースする I/O デバイスなどの多様なメモリ・デバイスに対する接続が可能です。プロセッサのアドレス空間で、バンク 0 は 2M のワード・ウィンドウを、バンク 1、2、3 は 4M のワード・ウィンドウをそれぞれ占有しますが、すべてを使用しない場合は、メモリ・コントローラ・ロジックを使って、これらのウィンドウが連続しないようにすることができます。

### 外部ポートのスループット

400 MHz クロックと 32 ビット・データ・バスに基づく外部ポートのスループットは、AMI では 66Mbyte/s、DDR2 では 800Mbyte/s です。

### リンク・ポート

2 個の 8 ビット幅リンク・ポートは、他の DSP またはペリフェラルのリンク・ポートへ接続することができます。リンク・ポートは双方向ポートで、8 本のデータライン、1 本のアクノリッジ・ライン、1 本のクロック・ラインで構成されています。リンク・ポートは、最大 166 MHz で動作します。

### MediaLB

ADSP-21469 車載モデルは、MLB インターフェースを内蔵しています。このインターフェースにより、プロセッサはメディア・ローカル・バス・デバイスとして機能することができます。これには、3 ピンと 5 ピンのメディア・ローカル・バス・プロトコルのサポートが含まれています。最大速度 1024 FS (49.25 M ビット/sec、FS = 48.1 kHz) とメディア・ローカル・バス・フレームあたり最大 124 バイトのデータを持つ最大 31 個のロジカル・チャンネルをサポートします。

この MLB インターフェースは、MOST25 と MOST50 のデータレートをサポートしています。アイソクロナス転送モードはサポートしていません。

### パルス幅変調

PWM モジュールは柔軟でプログラマブルな PWM 波形ジェネレータであり、モーターやエンジンの制御やオーディオ・パワー制御に関係する種々のアプリケーションで必要とされるスイッチング・パターンを発生するように設定することができます。PWM ジェネレータは、中心揃えまたはエッジ揃えの PWM 波形を発生することができます。さらに、ペアード・モードで 2 本の出力に相補信号を発生するか、または非ペアード・モードで独立な信号を発生することができます(4 個の PWM 波形からなる 1 グループに使用可能)。この PWM ジェネレータは、中心揃え PWM 波形を発生する際に、シングル更新モードまたはダブル更新モードの 2 種類のモードで動作することができます。

PWM モジュール全体としては、各々 4 個の PWM 出力からなるグループを 4 個持っています。このため、このモジュールは合計 16 個の PWM 出力を発生します。各 PWM グループは、4 本の PWM 出力を使って PWM 信号対を 2 対発生します。

### デジタル・アプリケーション・インターフェース(DAI)

デジタル・アプリケーション・インターフェース(DAI)は、種々のペリフェラルを任意の DAI ピン(DAL\_P20~1)へ接続する機能を提供します。

これらの接続は、ページ 1 の図 1 に示す信号ルーティング・ユニット(SRU)を使ってプログラムから行います。

SRU は、ソフトウェアからの制御で、DAI が提供するペリフェラルを相互接続できるようにするマトリックス・ルーティング・ユ

ニット(すなわちマルチプレクサのグループ)です。この機能を使った場合、大規模なセットのアルゴリズムを使うことにより、広範囲なアプリケーションに対して DAI に対応させたペリフェラルを、信号バスを設定できない場合に比べて遥かに容易に使用できるようになります。

DAI には、次のセクションで説明するペリフェラルが含まれます。

### シリアル・ポート

ADSP-21469 は、8 個の同期シリアル・ポートを内蔵しています。これらのポートは、アナログ・デバイスの AD183x ファミリーのオーディオ・コーデック、ADC、DAC のような、多様なデジタルおよびミックスド・シグナル・ペリフェラル・デバイスに対する安価なインターフェースを提供します。シリアル・ポートは、2 本のデータライン、クロック、フレーム同期から構成されています。データラインは送信または受信に設定することができ、各データラインには専用の DMA チャンネルがあります。

シリアル・ポートは、8 個の全 SPORT がイネーブルされた場合、最大 16 個の送信 DMA チャンネルまたは 16 個の受信 DMA チャンネルをサポートすることができます。あるいは、フレームあたり 128 チャンネルの 4 個の全二重 TDM ストリームをサポートすることができます。

シリアル・ポートは、最大  $f_{PCLK}/4$  のデータレートで動作します。シリアル・ポート・データは、専用の DMA チャンネルを使って、内蔵メモリ/外部メモリとの間で自動的に転送することができます。各シリアル・ポートを別のシリアル・ポートと組み合わせて動作させて、TDM をサポートすることができます。1 つの SPORT が 2 つの送信信号を提供すると同時に、他の SPORT が 2 つの受信信号を提供します。フレーム同期とクロックは共用されます。

シリアル・ポートは次の 5 種類のモードで動作します。

- 標準 DSP シリアル・モード
- マルチチャンネル(TDM)モード
- $I^2S$  モード
- パックド  $I^2S$  モード
- 左詰めサンプル・ペア・モード

### S/PDIF 互換のデジタル・オーディオ・レシーバ/トランスミッタ

S/PDIF レシーバ/トランスミッタには個別の DMA チャンネルはありません。オーディオ・データをシリアル・フォーマットで受信して、バイフェーズ符号信号に変換します。レシーバ/トランスミッタへのシリアル・データは、16、18、20、または 24 ビット・ワード幅の左詰め、 $I^2S$ 、または右詰めとして入力することができます。

S/PDIF レシーバ/トランスミッタへのシリアル・データ入力、クロック入力、フレーム同期入力は、信号ルーティング・ユニット(SRU)を介して接続されます。SPORT、外部ピン、または高精度クロック・ジェネレータ(PCG)のような様々なソースから入力することができます。SRU コントロール・レジスタから制御されます。

### 非同期サンプル・レート・コンバータ

非同期サンプル・レート・コンバータ(ASRC)には 4 個の SRC ブロックが内蔵されており、AD1896 192 kHz ステレオ非同期サンプル・レート・コンバータで使用された同じコアが使用され、最大 128 dB の SNR を提供します。ASRC ブロックは、独立なステレオ・チャンネル間で、内部プロセッサ・リソースを使うことなく、同期または非同期サンプル・レート変換を行うために使用されます。4 個の SRC ブロックを組み合わせると動作させて、複数チャンネル・



オーディオ・データを位相不一致なしで変換することもできます。また、ASRC を使って、S/PDIF レシーバのようなジッタの多いクロック・ソースからのオーディオ・データをクリーンアップすることもできます。

### 入力データ・ポート

IDP は、最大 8 個のシリアル入力チャンネル(各々にはクロック、フレーム同期、データ入力があります)を提供します。8 チャンネルは深さ 8 の FIFO を使って、1 本の 32 ビットに自動的にマルチプレクスされます。データは、64 ビット・フレームとして常にフォーマットされ、2 個の 32 ビット・ワードに分割されます。このシリアル・プロトコルは、I<sup>2</sup>S、左詰めサンプルペア、または右詰めモードのオーディオ・チャンネルを受信するようにデザインされています。1 フレーム同期サイクルは 1 個の 64 ビット左/右対により表示されますが、データは 32 ビット・ワード(すなわちフレームの半分ずつ)として FIFO へ送られます。プロセッサは、24 ビットと 32 ビットの I<sup>2</sup>S、24 ビットと 32 ビットの左詰め、24 ビット、20 ビット、18 ビット、16 ビットの右詰めの各フォーマットをサポートしています。

### 高精度クロック・ジェネレータ

高精度クロック・ジェネレータ(PCG)は 4 個のユニット(A~D)で構成され、各々はクロック入力信号から信号対(クロックとフレーム同期)を発生します。各ユニットは同じ機能であり、互いに独立に動作します。各ユニットで発生される 2 つの信号は通常、シリアル・ビット・クロック/フレーム同期対として使用されます。

### デジタル・ペリフェラル・インターフェース(DPI)

デジタル・ペリフェラル・インターフェースは、2 個のシリアル・ペリフェラル・インターフェースポート(SPI)、1 個のユニバーサル非同期レシーバ/トランスミッタ(UART)、12 個のフラグ、1 個の 2 線式インターフェース(TWI)、2 個の汎用タイマに対する接続を提供します。DPI には、次のセクションで説明するペリフェラルが含まれます。

### シリアル・ペリフェラル・インターフェース

ADSP-21469 SHARC プロセッサは、2 個のシリアル・ペリフェラル・インターフェース(SPI)ポートを内蔵しています。SPI は業界標準の同期シリアル・リンクであり、これらの SPI 互換ポートを使って他の SPI 互換デバイスと交信することができます。SPI は 2 本のデータ・ピン、1 本のデバイス・セレクト・ピン、1 本のクロック・ピンから構成されています。全二重の同期シリアル・インターフェースであり、マスター・モードとスレーブ・モードをサポートしています。SPI ポートは、最大 4 個の他の SPI 互換デバイスとインターフェースして、マスター・デバイスまたはスレーブ・デバイスとして機能することにより、マルチマスター環境で動作することができます。SPI 互換ペリフェラルのポーレート、クロック位相、クロック極性も設定することができます。SPI 互換ポートでは、オープン・ドレイン・ドライバを使用してマルチマスター構成をサポートし、データの競合を防止しています。

### UART ポート

これらのプロセッサは、PC 標準 UART と互換性を持つ全二重ユニバーサル非同期レシーバ/トランスミッタ(UART)ポートを内蔵しています。この UART ポートは他のペリフェラルまたはホストに対するシンプルな UART インターフェースを提供し、全二重、DMA、シリアル・データの非同期転送をサポートしています。この UART は、9 ビット・アドレスの検出を行うマルチプロセッサ通信機能を持っています。この機能により、RS-485 データ・インターフェース規格に従ってマルチドロップ・ネットワークで使用することができます。この UART ポートは、5 ビット~8 ビットのデータ・ビット、1 ビットまたは 2 ビット幅のストップ・ビット、パリティ(偶

数、奇数または無し)をサポートしています。UART ポートは次の 2 つの動作モードをサポートしています。

- PIO (プログラムド I/O)—プロセッサは I/O マップド UART レジスタに対して書込みまたは読出しを行うことにより、データを送信または受信します。データは送信と受信でダブル・バッファされています。
- DMA (ダイレクト・メモリ・アクセス)—DMA コントローラが送信データと受信データを転送します。この方法は、メモリに対するデータ転送に必要とされる割込みの回数と頻度を減らします。

### タイマ

ADSP-21469 は、周期的なソフトウェア割込みを発生できるコア・タイマを 1 個と、周期割込みを発生できて次の 3 つの動作モードに独立に設定できる汎用タイマ 2 個の合計 3 個のタイマを内蔵しています。

- パルス波形発生モード
- パルス幅カウント/キャプチャ・モード
- 外部イベント・ウォッチドッグ・モード

コア・タイマは、FLAG3 をタイムアウト信号として使用するよう構成することができます。各汎用タイマは 1 本の双方向ピンと 4 個のレジスタを持っています。1 個のコントロール/ステータス・レジスタにより、2 個の汎用タイマを独立にイネーブル/ディスエーブルすることができます。

### 2 線式インターフェース・ポート(TWI)

TWI は、I<sup>2</sup>C バス・プロトコルに準拠する 8 ビット・データの転送に使う双方向 2 線式シリアル・バスです。TWI マスターは次の機能を持っています。

- 7 ビット・アドレッシング
- マルチ・マスター・データ調停をサポートする複数デバイス・システムでのマスター/スレーブ同時動作
- デジタル・フィルタ機能と時間イベント処理
- 100 kbps と 400 kbps のデータレート
- 低割込みレート

### I/O プロセッサの機能

ADSP-21469 I/O プロセッサの車載バージョンは 67 チャンネルの DMA を提供し、標準バージョンは 36 チャンネルの DMA と広範囲なペリフェラルを提供しています。これらのペリフェラルを次のセクションで説明します。

### DMA コントローラ

プロセッサの内蔵 DMA コントローラにより、プロセッサの介入なしでデータ転送を行うことができます。DMA コントローラは独立に動作し、プロセッサ・コアからは見えないため、DMA 動作はコアのプログラム命令実行と同時に発生することができます。DMA 転送は、シリアル・ポート、SPI 互換(シリアル・ペリフェラル・インターフェース)ポート、IDP (入力データ・ポート)、パラレル・データ・アキュイジション・ポート(PDAP)、または UART と、ADSP-21469 の内部メモリとの間で行うことができます。

ADSP-21469 プロセッサには最大 67 チャンネルの DMA が内蔵されています(表 7)。プログラムは、DMA 転送を使って ADSP-21469 にダウンロードすることができます。その他の DMA 機能としては、DMA 転送完了時の割込み発生や DMA 転送を自動でリンクさせるための DMA チェイニング機能などがあります。

## ディレイライン DMA

ADSP-21469 プロセッサは、ディレイライン DMA 機能を提供します。この機能を使うと、プロセッサは外部ディレイライン・バッファ(外部メモリへ格納される)に対してコアの介入を最小限にした読出しと書込みを行うことができます。

## DMA の分散/集結機能

このプロセッサでは DMA 分散/集結機能を提供しています。この機能により、非連続メモリ・ブロックに対する DMA 読出し/書込みが可能になります。

表 7. DMA チャンネル

Peripheral	DMA Channels
SPORTs	16
IDP/PDAP	8
SPI	2
UART	2
External Port	2
Link Port	2
Accelerators	2
Memory-to-Memory	2
MLB <sup>1</sup>	31

<sup>1</sup> 車載モデルの場合

## IIR アクセラレータ

この IIR (無限インパルス応答) アクセラレータは、バイクワッド係数格納用の 1440 ワードの係数メモリ、中間データ格納用のデータ・メモリ、1 個の MAC ユニットで構成されています。この IIR アクセラレータはパシフェラル・クロック周波数で動作します。

## FFT アクセラレータ

FFT アクセラレータは、基数 2 の複素数/実数入力 (コアの介入不要な複素数出力 FFT)を持っています。この FFT アクセラレータはパシフェラル・クロック周波数で動作します。

## FIR アクセラレータ

FIR (有限インパルス応答) アクセラレータは、1024 ワードの係数メモリ、データ用の 1024 ワード・ディープ・ディレイライン、4 個の MAC ユニットで構成されています。この FIR アクセラレータはパシフェラル・クロック周波数で動作します。

## システム・デザイン

次のセクションでは、システム・デザイン・オプションと電源問題の概要を説明します。

### プログラム・ブート

ADSP-21469 の内部メモリはシステム・パワーアップ時に、外部ポート、SPI マスター、または SPI スレーブに接続された 8 ビット EPROM からブートします。ブートは、ブート設定(BOOTCFG2~0)ピンから制御されます(表 8参照)。

表 8. ブート・モードの選択

BOOTCFG2-0	Booting Mode
000	SPI Slave Boot
001	SPI Master Boot
010	AMI Boot (for 8-bit Flash boot)
011	No boot occurs, processor executes from internal ROM after reset
100	Link Port 0 Boot
101	Reserved

PLL と DDR2 DRAM コントローラのリセットなしまたはブートなしで、プロセッサ・コアとパシフェラルのリセットが可能な"ランニング・リセット"機能があります。RESETOUTピンは、ランニング・リセットを発生させる入力としても機能します。詳細については、「ADSP-214xx SHARC Processor Hardware Reference」を参照してください。

## 電源

プロセッサは、内部電源( $V_{DD\_INT}$ )、外部電源( $V_{DD\_EXT}$ )、アナログ電源( $V_{DD\_A}$ )に対する別々の電源接続を持っています。内部電源とアナログ電源は、 $V_{DD\_INT}$  仕様を満たす必要があります。外部電源は  $V_{DD\_EXT}$  仕様を満たす必要があります。すべての外部電源ピンは、同じ電源に接続する必要があります。

アナログ電源ピン( $V_{DD\_A}$ )がプロセッサの内部クロック・ジェネレータ PLL の電源になっていることに注意してください。安定なクロックを発生するためには、PCB デザインで  $V_{DD\_A}$  ピンに外付けフィルタ回路を使用することが推奨されます。フィルタ部品はできるだけ  $V_{DD\_A}/AGND$  ピンの近くに配置してください。回路例については図 3を参照してください(推奨フェライト・チップは村田製の BLM18AG102SN1D です)。

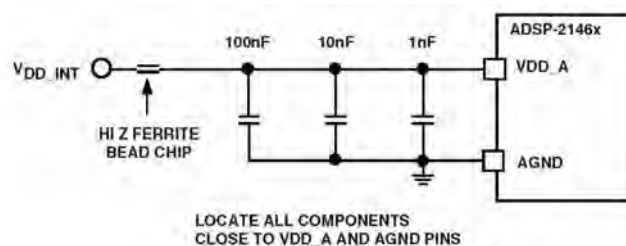


図 3. アナログ電源( $V_{DD\_A}$ )のフィルタ回路

ノイズの混入を少なくするためには、PCB で  $V_{DD\_INT}$  と GND に対して電源プレーンとグラウンド・プレーンの並行対を使う必要があります。太いパターンを使用してバイパス・コンデンサをアナログ電力( $V_{DD\_A}$ )ピンとグラウンド(AGND)ピンへ接続してください。図 3に規定する  $V_{DD\_A}$  ピンと AGND ピンはプロセッサへの入力であり、ボードのアナログ・グラウンド・プレーンではないことに注意してください。AGND ピンはチップのデジタル・グラウンド(GND)に直接接続する必要があります。

## ターゲット・ボード JTAG エミュレータのコネクタ

アナログ・デバイセズの JTAG エミュレータの DSP ツール製品ラインでは、ADSP-21469 プロセッサの IEEE 1149.1 JTAG テスト・アクセス・ポートを使って、エミュレーション時にターゲット・ボード・プロセッサのモニタと制御を行っています。アナログ・デバイセズの JTAG エミュレータの DSP ツール製品ラインは、フル・プロセッサ速度でのエミュレーションを提供するため、メモリ、レジスタ、プロセッサ・スタックの検証と変更が可能です。プロセッサの JTAG インターフェースでは、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないことを保証します。

アナログ・デバイセズの JTAG エミュレータの SHARC DSP ツール製品ラインの動作の詳細については、該当するエミュレータ・ハードウェア・ユーザズ・ガイドを参照してください。

## 開発ツール

ADSP-21469 プロセッサは、アナログ・デバイセズのエミュレータと VisualDSP++<sup>®</sup> 開発環境を含む CROSSCORE<sup>®</sup> ソフトウェアおよびハードウェア開発ツールの完全なセットによりサポートされています。アナログ・デバイセズの他の SHARC プロセッサをサポートしている同じエミュレータ・ハードウェアでも ADSP-21469 をエミュレートします。

### EZ-KIT Lite 評価用ボード

プロセッサを評価する場合は、アナログ・デバイセズが開発した EZ-KIT Lite<sup>®</sup> ボードを使用してください。ボードにはエミュレーション機能が付いており、ソフトウェア開発環境が備わっています。複数のドータ・カードも用意されています。

### エミュレータ互換 DSP ボード(ターゲット)のデザイン

アナログ・デバイセズのエミュレータ・ファミリーは、すべての DSP 開発者がハードウェア・システムとソフトウェア・システムをテストし、デバッグする際に必要とするツールです。アナログ・デバイセズは、各 JTAG DSP 上で IEEE 1149.1 JTAG テスト・アクセス・ポート(TAP)を提供しています。プロセッサの JTAG インターフェースを使用すると、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないインサーキット・エミュレーションが可能になります。エミュレータはこの TAP を使ってプロセッサの内部機能をアクセスするため、コードのロード、ブレイクポイントの設定、変数の表示、メモリの表示、レジスタの表示が可能になります。プロセッサはデータとコマンドを送信するとき停止する必要がありますが、エミュレータによる動作が完了した後に、システム・タイミングに影響を与えることなく、フル速度で動作するように DSP システムを設定することができます。

これらのエミュレータを使うときは、DSP の JTAG ポートをエミュレータへ接続するヘッダーがターゲット・ボードに付いている必要があります。

メカニカル・レイアウト、シングル・プロセッサ接続、信号バッファリング、信号終端、エミュレータ・ポッド・ロジックなどのターゲット・ボード・デザイン問題の詳細については、アナログ・デバイセズのウェブ・サイト ([www.analog.com](http://www.analog.com)) にある「*Analog Devices JTAG Emulation Technical Reference*」を参照してください。「EE-68」のサイト検索をご使用ください。エミュレータ・サポートの強化に合わせて、このドキュメントは定期的に更新されています。

## 評価キット

アナログ・デバイセズは、アナログ・デバイセズのプロセッサ、プラットフォーム、ソフトウェア・ツールによるアプリケーションの開発またはプロトタイプについて学習するコスト/パフォーマンスの優れた方法として使う広範囲な EZ-KIT Lite<sup>®</sup> 評価プラットフォームを提供しています。各 EZ-KIT Lite には、評価用ボードと一緒に C/C++ コンパイラ、アセンブラ、リンカーによる VisualDSP++ 開発およびデバッグ環境の評価スイートが含まれています。また、サンプル・アプリケーション・プログラム、電源、USB ケーブルも添付されています。ソフトウェア・ツールのすべての評価バージョンは、EZ-KIT Lite 製品と組み合わせて使用するよう制限されています。

EZ-KIT Lite ボードの USB コントローラは、ボードをユーザの PC の USB ポートに接続して、VisualDSP++ 評価スイートによりオンボード・プロセッサをインサーキットでエミュレートできるようにします。これにより、EZ-KIT Lite システムのプログラムをダウンロード、実行、デバッグすることが可能になります。また、ユーザ固有のブート・コードを格納するオンボード・フラッシュ・デバイスのインサーキット・プログラミングが可能になるため、PC に接続しないでスタンドアロン・ユニットとしてボードを動作させることができます。

VisualDSP++ のフル・バージョン(別売)をインストールすると、EZ-KIT Lite または任意のユーザ定義システムのソフトウェアを開発することができます。アナログ・デバイセズの JTAG エミュレータの 1 つを EZ-KIT Lite ボードに接続すると、高速な非侵害型エミュレーションが可能になります。

## その他の情報

このデータシートは、ADSP-21469 のアーキテクチャと機能について情報を提供します。ADSP-21469 ファミリー・コア・アーキテクチャと命令セットの詳細については、「*SHARC Processor Programming Reference*」を参照してください。

## 関連シグナル・チェーン

"シグナル・チェーン"とは、データの入力(リアルタイムに発生している現象や、すでにあるものからサンプリングして得られたデータ入力)を受け、出力をするまでの一連の信号処理を行う電子部品群を指します。このチェーンの一部の出力が次の入力へ供給されます。シグナル・チェーンは、信号処理アプリケーションで使用され、プロセス・データの収集と処理を行い、またはリアルタイム現象の解析に基づきシステム制御を行います。この用語と関連事項の詳細については、[Wikipedia](http://en.wikipedia.org/wiki/Signal_chain) またはアナログ・デバイセズのウェブ・サイトに掲載する [半導体用語集](#) の"シグナル・チェーン"をご覧ください。

アナログ・デバイセズは、組み合わせて使用するようデザインされた信号処理部品を提供することにより、信号処理システム開発を容易にします。特定のアプリケーションと関連部品の間の関係を表示するツールをウェブ・サイト [www.analog.com](http://www.analog.com) から提供しています。

Circuit from the Lab<sup>™</sup> のサイト (<http://www.analog.com/jp/circuits>) の実用回路集のページでは次の内容を提供しています。

- 様々な回路タイプとアプリケーションに対するシグナル・チェーンの回路ブロック図
- 各チェーン内の部品に対するセレクション・ガイドとアプリケーション情報に対するリンク
- 最適なデザインテクニックとして使用可能な参考デザイン

## ピン機能の説明

### 未使用 DDR2 ピン

DDR2 コントローラを使用しない場合は、

- DDR2 信号ピンをフローティングのままにします。
- 内部で、DDR2 I/O 信号がスリー・ステートになります。これは、DDR2CTL0 レジスタの DIS\_DDRCTL ビットをセットすることにより行うことができます。

- DDR2PADCTLx レジスタの PWD ビットをセットして、受信パスをパワーダウンさせます。
- V<sub>DD\_DDR2</sub> ピンと V<sub>DD\_INT</sub> 電源を接続します。
- V<sub>REF</sub> をフローティング/未接続のままにします。

表 9. ピン説明

名前	タイプ	リセット時とリセット後の状態	説明
AMI_ADDR23~0	I/O/T (ipu)	High-Z/driven low (boot)	<b>外部アドレス。</b> プロセッサから外部メモリとペリフェラルのアドレスがこれらのピンに出力されます。PDAP (I) と PWM (O)をサポートするため、データ・ピンと共用することができます。リセット後、すべての AMI_ADDR <sub>23~0</sub> ピンが外部メモリ・インターフェース・モードになり、FLAG(0~3)ピンは FLAGS モード(デフォルト)になります。IDP_PDAP_CTL レジスタで設定されると、IDP チャンネル 0 がパラレル入力データの AMI_ADDR <sub>23~0</sub> ピンをスキャンします。未使用の AMI ピンは、未接続のままにすることができます。
AMI_DATA7~0	I/O/T (ipu)	High-Z	<b>外部データ。</b> 外部メモリ・インターフェース・データ(I/O)、PDAP (I)、FLAG (I/O)、PWM (O)をサポートするためにデータ・ピンを共用することができます。リセット後、すべての AMI_DATA ピンが EMIF モードになり、FLAG(0~3)ピンは FLAGS モード(デフォルト)になります。未使用の AMI ピンは、未接続のままにすることができます。
AMI_ACK	I (ipu)		<b>メモリ・アクノリッジ(AMI_ACK)。</b> 外部デバイスは、AMI_ACK (ロー・レベル)のアサートを解除して、外部メモリ・アクセスにウェイト状態を追加することができます。I/O デバイス、メモリ・コントローラ、またはその他のペリフェラルは、AMI_ACK を使って、外部メモリ・アクセスの完了を遅延させることができます。未使用の AMI ピンは、未接続のままにすることができます。
AMI_MS0~1	O/T (ipu)	High-Z	<b>メモリ・セレクト・ライン 0~1。</b> AMI インターフェースで外部メモリの対応するバンクのチップ・セレクトとして、これらのラインがアサートされます(ロー・レベル)。MS <sub>1~0</sub> ラインは、デコードされたメモリ・アドレス・ラインであり、他のアドレス・ラインと同時に変化します。外部メモリ・アクセスがないとき、MS <sub>1~0</sub> ラインは非アクティブになりますが、条件付きメモリ・アクセス命令が実行されたとき、条件の真偽によらず、アクティブになります。未使用の AMI ピンは、未接続のままにすることができます。MS <sub>1</sub> ピンは、EPORT/FLASH ブート・モードで使用することができます。詳細については、「ADSP-214xx SHARC Processor Hardware Reference」を参照してください。
AMI_RD	O/T (ipu)	High-Z	<b>AMI ポート読み出しイネーブル。</b> AMI_RDはプロセッサが外部メモリからワードを読み出すごとにアサートされます。
AMI_WR	O/T (ipu)	High-Z	<b>外部ポート書き込みイネーブル。</b> AMI_WRはプロセッサが外部メモリへワードを書込むごとにアサートされます。
FLAG[0]/IRQ0	I/O (ipu)	FLAG[0] INPUT	<b>FLAG0/割込み要求 0。</b>
FLAG[1]/IRQ1	I/O (ipu)	FLAG[1] INPUT	<b>FLAG1/割込み要求 1。</b>
FLAG[2]/IRQ2/AMI_MS2	I/O (ipu)	FLAG[2] INPUT	<b>FLAG2/割込み要求 2/非同期メモリ・セレクト 2。</b>
FLAG[3]/TMREXP/AMI_MS3	I/O (ipu)	FLAG[3] INPUT	<b>FLAG3/タイマ・タイムアウト/非同期メモリ・セレクト 3。</b>

表 9 のタイプの列では、**A** = 非同期、**I** = 入力、**O** = 出力、**S** = 同期、**A/D** = アクティブ駆動、**O/D** = オープン・ドレイン、**T** = スリー・ステート、**ipd** = 内部プルダウン抵抗、**ipu** = 内部プルアップ抵抗を表しています。

内部プルアップ (ipu) 抵抗と内部プルダウン (ipd) 抵抗は、ピンからの内部パスを期待されるロジック・レベルに保持するようにデザインされています。外部パッドを期待されるロジックレベルにプルアップまたはプルダウンするときは、外部抵抗を使用してください。内部プルアップ/プルダウン抵抗はイネーブル/ディスエーブルできません。これらの抵抗値をプログラムで設定することはできません。ipu 抵抗の範囲は 26kΩ~63kΩ です。ipd 抵抗の範囲は 31kΩ~85kΩ です。この表では、DDR2 ピンは SSTL18 互換です。他のすべてのピンは LVTTTL 互換です。

表 9. ピン説明(続き)

名前	タイプ	リセット時とリセット後の状態	説明
DDR2_ADDR <sub>15~0</sub>	O/T	High-Z/driven low	<b>DDR2 アドレス。</b> DDR2 アドレス・ピン。
DDR2_BA <sub>2~0</sub>	O/T	High-Z/driven low	<b>DDR2 バンク・アドレス入力。</b> ACTIVATE、READ、WRITE または PRECHARGE の各コマンドを適用する内部バンクを指定します。BA <sub>2~0</sub> は、LOAD MODE REGISTER コマンドでロードする MR、EMR、EMR(2)、EMR(3)などのモード・レジスタを指定します。
DDR2_CAS	O/T	High-Z/driven high	<b>DDR2 カラム・アドレス・ストロブ。</b> DDR2_CASピンに接続され、他の DDR2 コマンド・ピンと組み合わせて使い、DDR2 の動作を指定します。
DDR2_CKE	O/T	High-Z/driven low	<b>DDR2 に対する DDR2 クロック・イネーブル出力。</b> アクティブ・ハイ信号。DDR2 CKE 信号に接続します。
DDR2_CS <sub>3~0</sub>	O/T	High-Z/driven high	<b>DDR2 チップ・セレクト。</b> DDR2_CS <sub>3~0</sub> がハイ・レベルのとき、すべてのコマンドがマスクされます。DDR2_CS <sub>3~0</sub> はメモリ・アドレス・ラインにデコードされます。各DDR2_CS <sub>3~0</sub> ラインは対応する外部バンクを選択します。
DDR2_DATA <sub>15~0</sub>	I/O/T	High-Z	<b>DDR2 データ入力/出力ピン。</b> 対応する DDR2_DATA ピンに接続します。
DDR2_DM <sub>1~0</sub>	O/T	High-Z/driven high	<b>DDR2 入力データ・マスク。</b> ハイ・レベルに駆動されると、DDR2 書き込みデータがマスクされます。DDR2 側で DDR2_DQS の両エッジでサンプルされます。DM0 は DDR2_DATA 7~0 に、DM1 は DDR2_DATA15~8 に、それぞれ対応します。
DDR2_DQS <sub>1 ~ 0</sub> DDR2_DQS <sub>1~0</sub>	I/O/T (Differential)	High-Z	<b>データ・ストロブ。</b> データ書き込みで出力。データ読み出しで入力。DQS0 は DDR2_DATA 7~0 に、DQS1 は DDR2_DATA15~8 に、それぞれ対応します。DDR2CTL3 レジスタを使ったソフトウェア・コントロールによって、このピンをシングルエンドまたは差動に設定することができます。
DDR2_RAS	O/T	High-Z/driven high	<b>DDR2 ロウ・アドレス・ストロブ。</b> DDR2_RASピンに接続され、他の DDR2 コマンド・ピンと組み合わせて使い、DDR2 の動作を指定します。
DDR2_WE	O/T	High-Z/driven high	<b>DDR2 書き込みイネーブル。</b> DDR2_WEピンに接続され、他の DDR2 コマンド・ピンと組み合わせて使い、DDR2 の動作を指定します。
DDR2_CLK0, DDR2_CLK0 DDR2_CLK1, DDR2_CLK1	O/T (Differential)	High-Z/driven low	<b>DDR2 メモリ・クロック。</b> ソフトウェア・コントロール (DDR2CTL0 レジスタ)の設定によって 2 本の差動出力を使用することができます。リセット時は、フリー・ランニング状態となり、最小周波数は保証されません。
DDR2_ODT	O/T	High-Z/driven low	<b>DDR2 内蔵終端。</b> ODT ピンをハイ・レベルにすると (他の条件も満たす場合)、DDR2 終端抵抗がイネーブルされます。書き込みコマンド/読み出しコマンドとは関係なく、ODT がイネーブル/ディスエーブルされます。

表 9のタイプの列では、**A**=非同期、**I**=入力、**O**=出力、**S**=同期、**A/D**=アクティブ駆動、**O/D**=オープン・ドレイン、**T**=スリー・ステート、**ipd**=内部プルダウン抵抗、**ipu**=内部プルアップ抵抗を表しています。内部プルアップ (ipu) 抵抗と内部プルダウン (ipd) 抵抗は、ピンからの内部パスを期待されるロジック・レベルに保持するようにデザインされています。外部パッドを期待されるロジックレベルにプルアップまたはプルダウンするときは、外部抵抗を使用してください。内部プルアップ/プルダウン抵抗はイネーブル/ディスエーブルできません。これらの抵抗値をプログラムで設定することはできません。ipu 抵抗の範囲は 26kΩ~63kΩ です。ipd 抵抗の範囲は 31kΩ~85kΩ です。この表では、DDR2 ピンは SSTL18 互換です。他のすべてのピンは LVTTTL 互換です。

表 9. ピン説明(続き)

名前	タイプ	リセット時とリセット後の状態	説明
DAI_P <sub>20~1</sub>	I/O/T (ipu)	High-Z	<b>デジタル・アプリケーション・インターフェース。</b> これらのピンは、DAI SRU に対する物理インターフェースを提供します。DAI SRU コンフィギュレーション・レジスタにより、オーディオ中心の内蔵ペリフェラルの入力または出力(ピンとピンの出力インエーブルに接続)の組み合わせを指定します。実際のピン動作は、これらのペリフェラルのコンフィギュレーション・レジスタにより指定されます。DAI SRU 内のすべての入力信号または出力信号は、これらの任意のピンに接続することができます。DAI SRU は、シリアル・ポート、S/PDIF モジュール、入力データ・ポート(2)、高精度クロック・ジェネレータ(4)から DAI_P20~1 ピンまでの接続を提供します。
DPI_P <sub>14~1</sub>	I/O/T (ipu)	High-Z	<b>デジタル・ペリフェラル・インターフェース。</b> これらのピンは、DPI SRU に対する物理インターフェースを提供します。DPI SRU コンフィギュレーション・レジスタにより、内蔵ペリフェラルの入力または出力(ピンとピンの出力インエーブルに接続)の組み合わせを指定します。実際のピン動作は、これらのペリフェラルのコンフィギュレーション・レジスタにより指定されます。DPI SRU 内のすべての入力信号または出力信号は、これらの任意のピンに接続することができます。DPI SRU は、タイマ(2)、SPI(2)、UART (1)、フラグ(12)、汎用 I/O (9)から DPI_P14~1 ピンまでの接続を提供します。
LDAT0 <sub>7~0</sub> LDAT1 <sub>7~0</sub>	I/O/T (ipd)	High-Z	<b>リンク・ポート・データ(Link Port 0~1)</b> トランスミッタとして設定されると、ポートは両データラインを駆動します。
LCLK0 LCLK1	I/O/T (ipd)	High-Z	<b>リンク・ポート・クロック(Link Port 0~1)</b> 非同期データ転送を可能にします。トランスミッタとして設定されると、ポートは LCLKx ラインを駆動します。このピンの動作には、25 kΩ の外付けプルダウン抵抗が必要です。
LACK0 LACK1	I/O/T (ipd)	High-Z	<b>リンク・ポート・アクノリッジ(Link Port 0~1)</b> ハンドシェイク機能を提供します。リンク・ポートがレシーバに設定されると、ポートは LACKx ラインを駆動します。このピンの動作には、25 kΩ の外付けプルダウン抵抗が必要です。
THD_P	I		<b>サーマル・ダイオード・アノード。</b> 未使用の場合は、フローティングのままにすることができます。
THD_M	O		<b>サーマル・ダイオード・カソード。</b> 未使用の場合は、フローティングのままにすることができます。
MLBCLK <sup>1</sup>	I (ipd)		<b>メディア・ローカル・バス・クロック。</b> このクロックは、MLB コントローラにより生成されます。MLB コントローラは MOST ネットワークに同期化されるため、MLB インターフェース全体のタイミングを提供します。49.152 MHz で、Fs = 48 kHz です。未使用の場合は、フローティングのままにすることができます。
MLBDAT <sup>1</sup>	I/O/T (ipd) in 3 pin mode. I/T (ipd) in 5 pin mode.	High-Z	<b>メディア・ローカル・バス・データ。</b> MLBDAT ラインは、送信側 MLB デバイスから駆動され、MLB コントローラなどの他のすべての MLB デバイスにより受信されます。MLBDAT ラインでは実際のデータが転送されます。5 ピン MLB モードでは、このピンは入力専用になります。未使用の場合は、フローティングのままにすることができます。
MLBSIG <sup>1</sup>	I/O/T (ipd) in 3 pin mode. I/T(ipd) in 5 pin mode.	High-Z	<b>メディア・ローカル・バス信号。</b> MLB コントローラが生成したマルチプレクスされたチャンネル/アドレス信号や MLB デバイスからのコマンドや Rx ステータスバイトが転送されます。5 ピン・モードでは、このピンは入力専用です。未使用の場合は、フローティングのままにすることができます。
MLBDO <sup>1</sup>	O/T (ipd)	High-Z	<b>メディア・ローカル・バス・データ出力 (5 ピン・モード)。</b> このピンは、5 ピン MLB モードでのみ使用されます。5 ピン・モードで出力データ・ピンとして機能します。未使用の場合は、フローティングのままにすることができます。
MLBSO <sup>1</sup>	O/T (ipd)	High-Z	<b>メディア・ローカル・バス信号出力 (5 ピン・モード)。</b> このピンは、5 ピン MLB モードでのみ使用されます。5 ピン・モードで出力信号ピンとして機能します。未使用の場合は、フローティングのままにすることができます。

表 9 のタイプの列では、**A**=非同期、**I**=入力、**O**=出力、**S**=同期、**A/D**=アクティブ駆動、**O/D**=オープン・ドレイン、**T**=スリー・ステート、**ipd**=内部プルダウン抵抗、**ipu**=内部プルアップ抵抗を表しています。

内部プルアップ (ipu) 抵抗と内部プルダウン (ipd) 抵抗は、ピンからの内部バスを期待されるロジック・レベルに保持するようにデザインされています。外部パッドを期待されるロジックレベルにプルアップまたはプルダウンするときは、外部抵抗を使用してください。内部プルアップ/プルダウン抵抗はインエーブル/ディスエーブルできません。これらの抵抗値をプログラムで設定することはできません。ipu 抵抗の範囲は 26kΩ~63kΩ です。ipd 抵抗の範囲は 31kΩ~85kΩ です。この表では、DDR2 ピンは SSTL18 互換です。他のすべてのピンは LVTTTL 互換です。

表 9. ピン説明(続き)

名前	タイプ	リセット時とリセット後の状態	説明
TDI	I (ipu)	High-Z	テスト・データ入力(JTAG)。バウンダリ・スキャン・ロジックのシリアル・データ入力。
TDO	O/T		テスト・データ出力(JTAG)。バウンダリ・スキャン・パスのシリアル・スキャン出力。
TMS	I (ipu)		テスト・モード・セレクト(JTAG)。テスト・ステート・マシンの制御に使用します。
TCK	I		テスト・クロック(JTAG)。JTAG バウンダリ・スキャンのクロックを提供します。パワーアップ後には TCK をアサート(ロー・レベル・パルスを入力)する必要があります。あるいは、デバイスの正常動作のためにはロー・レベルを維持する必要があります。
$\overline{\text{TRST}}$	I (ipu)		テスト・リセット(JTAG)。テスト・ステート・マシンをリセットします。プロセッサの正常動作のためには、パワーアップ後に $\overline{\text{TRST}}$ をアサート(ロー・レベル・パルス)する必要があります。あるいは、プロセッサの正常動作のためにはロー・レベルを維持する必要があります。
$\overline{\text{EMU}}$	O/T (ipu)	High-Z	エミュレーション・ステータス。アナログ・デバイゼスの ADSP-21469 DSP ツール製品ラインの JTAG エミュレータ・ターゲット・ボード・コネクタへ接続する専用ピン。
CLK_CFG <sub>1~0</sub>	I		コア対 CLKIN 比制御。これらのピンは、クロック周波数の起動を設定します。コアがリセットから抜け出した後いつでも、PMCTL レジスタ内の PLL 通倍器/分周器を設定して動作周波数を変更できることに注意してください。可能な値は、 00 = 6:1 01 = 32:1 10 = 16:1 11 = 予約済み
CLKIN	I		ローカル・クロック・イン。XTAL と組み合わせて使います。CLKIN はクロック入力です。プロセッサが内部クロック・ジェネレータまたは外部クロック源を使うように設定します。CLKIN と XTAL に必要な部品を接続すると、内部クロック・ジェネレータがイネーブルされます。外部クロックを CLKIN に接続し、XTAL を解放のままにすると、プロセッサが外部クロック発振器のような外部クロック源を使うように設定されます。CLKIN は、停止、変更、または規定周波数未満で動作させることはできません。
XTAL	O		水晶発振器ピン。CLKIN と組み合わせて使って外付け水晶の駆動に使います。
RESET	I		プロセッサ・リセット。プロセッサを既知状態にリセットします。アサートが解除された後、PLL のロックまでに 4096 CLKIN サイクルが必要です。この時間が経過後、コアはハードウェア・リセット・ベクタ・アドレスからプログラムの実行を開始します。RESET 入力、パワーアップの前にアサート(ロー・レベル)する必要があります。
$\overline{\text{RESETOUT}}/\text{RUNRSTIN}$	I/O (ipu)		リセット出力/ランニング・リセット入力。このピンのデフォルト設定は RESETOUT です。このピンは RUNRSTIN 機能と共用され、この機能は RUNRSTCTL レジスタのビット 0 をセットするとイネーブルされます。詳細については、「ADSP-214xx SHARC Processor Hardware Reference」を参照してください。
BOOT_CFG <sub>2~0</sub>	I		ブート・コンフィギュレーション・セレクト。これらのピンを使って、プロセッサのブート・モードを選択します。BOOT_CFG ピンは、RESET(ハードウェアとソフトウェア)がアサート解除される前に有効である必要があります。

表 9 のタイプの列では、**A** = 非同期、**I** = 入力、**O** = 出力、**S** = 同期、**A/D** = アクティブ駆動、**O/D** = オープン・ドレイン、**T** = スリー・ステート、**ipd** = 内部プルダウン抵抗、**ipu** = 内部プルアップ抵抗を表しています。

内部プルアップ (ipu) 抵抗と内部プルダウン (ipd) 抵抗は、ピンからの内部パスを期待されるロジック・レベルに保持するようにデザインされています。外部パッドを期待されるロジックレベルにプルアップまたはプルダウンするときは、外部抵抗を使用してください。内部プルアップ/プルダウン抵抗はイネーブル/ディスエーブルできません。これらの抵抗値をプログラムで設定することはできません。ipu 抵抗の範囲は 26k $\Omega$ ~63k $\Omega$  です。ipd 抵抗の範囲は 31k $\Omega$ ~85k $\Omega$  です。この表では、DDR2 ピンは SSTL18 互換です。他のすべてのピンは LVTTTL 互換です。

<sup>1</sup>MLB ピンは ADSP-21469 プロセッサの車載モデルでのみ使用できます。標準モデルではこれらのピンは NC (未接続) です。車載モデルについてはページ 63 の CSP\_BGA のボール配置—車載モデルを、標準モデルについてはページ 66 の CSP\_BGA のボール配置—標準モデルを、それぞれ参照してください。

表 10. ピン・リスト、電源とグラウンド

名前	タイプ	説明
V <sub>DD-INT</sub>	P	内部電源
V <sub>DD-EXT</sub>	P	外部電源
V <sub>DD-A</sub>	P	PLL のアナログ電源
V <sub>DD-THD</sub>	P	サーマル・ダイオード電源
V <sub>DD-DDR2</sub> <sup>1</sup>	P	DDR2 インターフェース電源
V <sub>REF</sub>	P	DDR2 入力基準電圧
GND	G	グラウンド
AGND	G	アナログ・グラウンド

<sup>1</sup>DDR2 信号に適用。



## 仕様

## 動作条件

Parameter <sup>1</sup>	Description	450 MHz			400 MHz			Unit
		Min	Nom	Max	Min	Nom	Max	
$V_{DD-INT}$	Internal (Core) Supply Voltage	1.05	1.1	1.15	1.0	1.05	1.1	V
$V_{DD-EXT}$	External (I/O) Supply Voltage	3.13	3.3	3.47	3.13	3.3	3.47	V
$V_{DD-A}$ <sup>2</sup>	Analog Power Supply Voltage	1.05	1.1	1.15	1.0	1.05	1.1	V
$V_{DD-DDR2}$ <sup>3,4</sup>	DDR2 Controller Supply Voltage	1.7	1.8	1.9	1.7	1.8	1.9	V
$V_{DD-THD}$	Thermal Diode Supply Voltage	3.13	3.3	3.47	3.13	3.3	3.47	V
$V_{REF}$	DDR2 Reference Voltage	0.84	0.9	0.96	0.84	0.9	0.96	V
$V_{IH}$ <sup>5</sup>	High Level Input Voltage @ $V_{DD-EXT} = \text{Max}$	2.0			2.0			V
$V_{IL}$ <sup>5</sup>	Low Level Input Voltage @ $V_{DD-EXT}$ = Min			0.8			0.8	V
$V_{IH-CLKIN}$ <sup>6</sup>	High Level Input Voltage @ $V_{DD-EXT} = \text{Max}$	2.0			2.0			V
$V_{IL-CLKIN}$ <sup>6</sup>	Low Level Input Voltage @ $V_{DD-EXT}$ = Min			1.32			1.32	V
$V_{IL-DDR2}$ (DC)	DC Low Level Input Voltage			$V_{REF} - 0.125$			$V_{REF} - 0.125$	V
$V_{IH-DDR2}$ (DC)	DC High Level Input Voltage	$V_{REF} + 0.125$			$V_{REF} + 0.125$			V
$V_{IL-DDR2}$ (AC)	AC Low Level Input Voltage			$V_{REF} - 0.25$			$V_{REF} - 0.25$	V
$V_{IH-DDR2}$ (AC)	AC High Level Input Voltage	$V_{REF} + 0.25$			$V_{REF} + 0.25$			V
$T_j$	Junction Temperature 324-Lead CSP_BGA @ $T_{AMBIENT}$ 0°C to +70°C	0		115	0		110	°C
$T_j$	Junction Temperature 324-Lead CSP_BGA @ $T_{AMBIENT}$ -40°C to +85°C	N/A		N/A	-40		125	°C

<sup>1</sup>仕様は予告なく変更されることがあります。

<sup>2</sup>フィルタ回路例についてはページ10の図3を参照してください。

<sup>3</sup>DDR2 信号に適用。

<sup>4</sup>使用しない場合は、ページ12の未使用 DDR2 ピンを参照してください。

<sup>5</sup>AMI\_ADDR23~0、AMI\_DATA7~0、FLAG3~0、DAI\_Px、DPI\_Px、BOOTCFGx、CLKCFGx、(RUNRSTIN)、RESET、TCK、TMS、TDI、TRSTの各入力ピンと双方向ピンに適用。

<sup>6</sup>入力ピン CLKIN に適用。

## 電気的特性

Parameter <sup>1</sup>	Description	Test Conditions	450 MHz		400 MHz		Unit
			Min	Max	Min	Max	
$V_{OH}^2$	High Level Output Voltage	@ $V_{DD-EXT} = \text{Min}$ , $I_{OH} = -1.0 \text{ mA}^3$	2.4		2.4		V
$V_{OL}^2$	Low Level Output Voltage	@ $V_{DD-EXT} = \text{Min}$ , $I_{OL} = 1.0 \text{ mA}^3$		0.4		0.4	V
$V_{OH-DDR2}$	High Level Output Voltage for DDR2	@ $V_{DD-DDR} = \text{Min}$ , $I_{OH} = -13.4 \text{ mA}$	1.4		1.4		V
$V_{OL-DDR2}$	Low Level Output Voltage for DDR2	@ $V_{DD-DDR} = \text{Min}$ , $I_{OL} = 13.4 \text{ mA}$		0.29		0.29	V
$I_{IH}^{4,5}$	High Level Input Current	@ $V_{DD-EXT} = \text{Max}$ , $V_{IN} = V_{DD-EXT} \text{ Max}$		10		10	$\mu\text{A}$
$I_{IL}^{4,6}$	Low Level Input Current	@ $V_{DD-EXT} = \text{Max}$ , $V_{IN} = 0 \text{ V}$		10		10	$\mu\text{A}$
$I_{ILPU}^5$	Low Level Input Current Pull-up	@ $V_{DD-EXT} = \text{Max}$ , $V_{IN} = 0 \text{ V}$		200		200	$\mu\text{A}$
$I_{IHPD}^6$	High Level Input Current Pull-down	@ $V_{DD-EXT} = \text{Max}$ , $V_{IN} = V_{DD-EXT} \text{ Max}$		200		200	$\mu\text{A}$
$I_{OZH}^{7,8}$	Three-State Leakage Current	@ $V_{DD-EXT}/V_{DD-DDR} = \text{Max}$ , $V_{IN} = V_{DD-EXT}/V_{DD-DDR} \text{ Max}$		10		10	$\mu\text{A}$
$I_{OZL}^{7,9}$	Three-State Leakage Current	@ $V_{DD-EXT}/V_{DD-DDR} = \text{Max}$ , $V_{IN} = 0 \text{ V}$		10		10	$\mu\text{A}$
$I_{OZLPU}^8$	Three-State Leakage Current Pull-up	@ $V_{DD-EXT} = \text{Max}$ , $V_{IN} = 0 \text{ V}$		200		200	$\mu\text{A}$
$I_{OZHDP}^9$	Three-State Leakage Current Pull-down	@ $V_{DD-EXT} = \text{Max}$ , $V_{IN} = V_{DD-EXT} \text{ Max}$		200		200	$\mu\text{A}$
$I_{DD}^{INTYP}^{10,11}$	Supply Current (Internal)	$f_{CLK} > 0 \text{ MHz}$		Table 12 + Table 13 × ASF		Table 12 + Table 13 × ASF	mA
$I_{DD-A}^{12}$	Supply Current (Analog)	$V_{DD-A} = \text{Max}$		10		10	mA
$C_{IN}^{13,14}$	Input Capacitance	TCASE = 25°C		5		5	pF

<sup>1</sup> 仕様は予告なしに変更されることがあります。

<sup>2</sup> AMI\_ADDR23~0、AMI\_DATA7~0、AMI\_RD、AMI\_WR、FLAG3~0、DAL\_Px、DPL\_Px、EMU、TDO の各出力ピンと双方向ピンに適用。

<sup>3</sup> 駆動電流能力(typ)については、ページ58の出力駆動電流を参照してください。

<sup>4</sup> BOOTCFGx、CLKCFGx、TCK、RESET、CLKIN の入力ピンに適用。

<sup>5</sup> TRST、TMS、TDI の内部プルアップ付き各入力ピンに適用。

プルダウンが内蔵されている入力ピン MLBCLK に適用。

<sup>7</sup> すべてのスリー・ステート DDR2 ピンに適用。

<sup>8</sup> DAL\_Px、DPL\_Px、EMUのプルアップ付き各スリー・ステート・ピンに適用。

<sup>9</sup> プルダウン付きスリーステート・ピン MLBDAT、MLBSIG、MLBDO、MLBSO、LDAT07~0、LDAT17~0、LCLK0、LCLK1、LACK0、LACK1 に適用。

<sup>10</sup> 内部電流データ(typ)は公称動作条件を反映。

<sup>11</sup> 詳細については、EE ノート「Estimating Power Dissipation for ADSP-2146x SHARC Processors」を参照。

<sup>12</sup> キャラクターライズしますがテストしません。

<sup>13</sup> 全信号ピンに適用。

<sup>14</sup> 保証しますが、テストしません。

## 総合消費電力

総合電力消費電力には次の2つの成分があります。

1. 内部消費電力
2. 外部消費電力

内部電力にも次の2つの成分があります。

1. リーク電流によるスタティック消費電力。表 12 に、ジャンクション温度 ( $T_j$ ) とコア電圧 ( $V_{DD\_INT}$ ) の関数としてのスタティック消費電流 ( $I_{DD\_STATIC}$ ) を示します。
2. トランジスタのスイッチング特性とプロセッサのアクティビティ・レベルに起因するダイナミック消費電流 ( $I_{DD\_DYNAMIC}$ )。アクティビティ・レベルは、アクティビティ・スケーリング・ファクタ (ASF) の影響を受けます。この ASF はプロセッサ上で実行されるアプリケーション・コードや、ペリフェラルと外部ポートの様々なレベルのアクティビティ・レベルを表しています (表 11)。ダイナミック消費電流は、特定のアプリケーションを ASF でスケーリングし、ベースライン・ダイナミック消費電流を基準として計算されます。

外部消費電力は、外部ピンのスイッチング動作に起因します。

この部分を計算するときは、CCLK 周波数および表 13 の  $V_{DD\_INT}$  依存データと組み合わせて ASF を使います。2 つ目の部分は、 $I_{DD\_INT}$  仕様の式に含まれるペリフェラル・クロック (PCLK) ドメインでのトランジスタ・スイッチングに起因します。

表 11. アクティビティ・スケーリング・ファクタ (ASF)<sup>1</sup>

Activity	Scaling Factor (ASF)
Idle	0.38
Low	0.58
High	1.23
Peak	1.35
Peak-typical (50:50) <sup>2</sup>	0.87
Peak-typical (60:40)	0.94
Peak-typical (70:30)	1.00

<sup>1</sup>ASF の表に固有の電力成分については「*Estimating Power for SHARC Processors (EE-348)*」を参照してください。

<sup>2</sup>連続命令ループ (コア) の DDR2 制御コードの読出しと書込みの比。

表 12.  $I_{DD\_STATIC}$  (mA)

$T_j$ (°C) <sup>1</sup>	$V_{DD\_INT}$ (V) <sup>1</sup>				
	0.95 V	1.0 V	1.05 V	1.10 V	1.15 V
-45	72	91	110	140	167
-35	79	99	119	149	181
-25	89	109	131	163	198
-15	101	122	145	182	220
-5	115	140	166	206	249
5	134	162	192	237	284
15	158	189	223	273	326
25	186	222	260	318	377
35	218	259	302	367	434
45	258	305	354	428	503
55	305	359	413	497	582
65	360	421	484	578	675
75	424	496	566	674	781
85	502	580	660	783	904
95	586	683	768	912	1048
105	692	794	896	1054	1212
115	806	921	1036	1220	1394
125	939	1070	1198	1404	1601

<sup>1</sup>有効な温度と電圧範囲はモデルに固有です。ページ17の動作条件を参照してください。

表 13. CCLK ドメインでのベースライン・ダイナミック電流(mA、ASF = 1.0)<sup>1</sup>

fCCLK (MHz) <sup>2</sup>	Voltage (VDD_INT) <sup>2</sup>				
	0.95 V	1.0 V	1.05 V	1.10 V	1.15 V
100	78	82	86	91	98
150	115	121	130	136	142
200	150	159	169	177	188
250	186	197	208	219	231
300	222	236	249	261	276
350	259	275	288	304	319
400	293	309	328	344	361
450	N/A	N/A	366	385	406

<sup>1</sup> この値は単独の最大仕様として保証しません。これらは、ページ18の電気的特性の式に従ってスタティック電流と組み合わせる必要があります。

<sup>2</sup> 有効な周波数と電圧範囲はモデルに固有です。ページ17の動作条件を参照してください。

## 絶対最大定格

表 14に示す絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 14. 絶対最大定格

Parameter	Rating
Internal (Core) Supply Voltage (V <sub>DD-INT</sub> )	-0.3 V to +1.32 V
Analog (PLL) Supply Voltage (V <sub>DD-A</sub> )	-0.3 V to +1.15 V
External (I/O) Supply Voltage (V <sub>DD-EXT</sub> )	-0.3 V to +3.6 V
Thermal Diode Supply Voltage (V <sub>DD-THD</sub> )	-0.3 V to +3.6 V
DDR2 Controller Supply Voltage (V <sub>DD-DDR2</sub> )	-0.3 V to +1.9 V
DDR2 Input Voltage	-0.3 V to +1.9 V
Input Voltage	-0.3 V to +3.6 V
Output Voltage Swing	-0.3 V to VDD_EXT+0.5 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature While Biased	125°C

## ESD について



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## パッケージ情報

図 4に、ADSP-21469 プロセッサのパッケージ表示の詳細を示します。全製品のリストと製品の供給状況については、ページ 70 のオーダー・ガイドをご覧ください。



図 4. 代表的なパッケージ表示

表 15. パッケージ表示情報<sup>1</sup>

Brand Key	Field Description
t	Temperature Range
pp	Package Type
Z	RoHS Compliant Option
cc	See Ordering Guide
vvvvvv.x	Assembly Lot Code
n.n	Silicon Revision
#	RoHS Compliant Designation
yyww	Date Code

<sup>1</sup> 非車載製品の場合。車載製品に固有のパッケージ表示については、最寄りのアナログ・デバイスズにお尋ねください。

## タイミング仕様

指定されたタイミング情報そのものを使用してください。他のパラメータの加算または減算によってパラメータを求めないでください。加算または減算により個々のデバイスに対しては意味のある結果を得ることができませんが、このデータシートに示す値は、統計的な変動とワースト・ケースを反映しています。したがって、長い時間を得るためにパラメータを加算することは意味がありません。リファレンス電圧レベルについては、[ページ58](#)の [図 45](#) のテスト条件を参照してください。

次のセクションでは、プロセッサが信号を変化させる方法をスイッチング特性で規定します。プロセッサの外部回路は、これらの信号特性を満たすようにデザインする必要があります。スイッチング特性は、与えられた状況でプロセッサがどう振る舞うかを規定します。スイッチング特性を使って、プロセッサに接続されるデバイス(例えばメモリ)のタイミング条件を満たしてください。

次のセクションのタイミング条件は、読み出し動作でのデータ入力のような、プロセッサ外部の回路から制御される信号に適用されます。タイミング条件は、プロセッサが他のデバイスと正しく動作することを保証します。

### コア・クロック条件

プロセッサの内部クロック(CLKIN の整数倍)は、内部メモリ、プロセッサ・コア、シリアル・ポートのタイミングを決めるクロック信号を提供します。リセット時に、プロセッサの内部クロック周波数と外部(CLKIN)クロック周波数との比を CLK\_CFG1~0 ピンを使って設定してください。

プロセッサの内部クロックは、システム入力クロック(CLKIN)より高い周波数でスイッチします。内部クロックを発生するため、プロセッサは内部位相ロック・ループ(PLL、[図 5](#))を使用しています。この PLL ベースのクロックは、システム・クロック(CLKIN)信号とプロセッサの内部クロックとの間のスキューを小さくします。

### 電圧制御発振器

アプリケーションのデザインでは、VCO 周波数が [表 18](#) に規定する  $f_{VCO}$  を超えないように PLL 通倍比を選択する必要があります。

- 入力デバイダをイネーブルしていない場合 (INDIV = 0)、CLKIN と PLLM の積は [表 18](#) に示す  $f_{VCO}(\max)$  の 1/2 を超えることはできません。
- 入力デバイダをイネーブルしている場合 (INDIV = 1)、CLKIN と PLLM の積は [表 18](#) に示す  $f_{VCO}(\max)$  を超えることはできません。

VCO 周波数は次のように計算されます。

$$f_{VCO} = 2 \times PLLM \times f_{INPUT}$$

$$f_{CCLK} = (2 \times PLLM \times f_{INPUT}) \div (PLLD)$$

ここで、

$f_{VCO}$  = VCO 出力

PLLM = PMCTL レジスタに設定する通倍比。リセット時に、PLLM 値はハードウェアの CLK\_CFG ピンを使って選択した比から求められます。

PLLD = PMCTL レジスタに設定された PLLD 値に基づく分周比 2、4、8、または 16。リセット時のこの値は 2 です。

$f_{INPUT}$  = PLL への入力周波数

$f_{INPUT}$  = 入力分周器ディスエーブル時の CLKIN、または

$f_{INPUT}$  = 入力分周器イネーブル時の CLKIN/2

CLKIN と該当する比の関数であるクロック周期の定義により、[表 16](#) に示す種々のクロック周期が制御されていることに注意してください。ペリフェラルのすべてのタイミング仕様は、 $t_{PCLK}$  との関係で決められています。各ペリフェラルのタイミング情報については、各ペリフェラルのタイミング・セクションを参照してください。

表 16. クロック周期 タイミング

Timing Requirements	Description
$t_{CK}$	CLKIN Clock Period
$t_{CCLK}$	Processor Core Clock Period
$t_{PCLK}$	Peripheral Clock Period = $2 \times t_{CCLK}$

[図 5](#) に、外部発振器または水晶に対するコアと CLKIN の関係を示します。灰色表示した分周器/通倍器ブロックは、ハードウェアから、またはパワー・マネジメント・コントロール・レジスタ (PMCTL) を使ってソフトウェアからクロック比を設定するところです。詳細については、「[ADSP-214xx SHARC Processor Hardware Reference](#)」を参照してください。

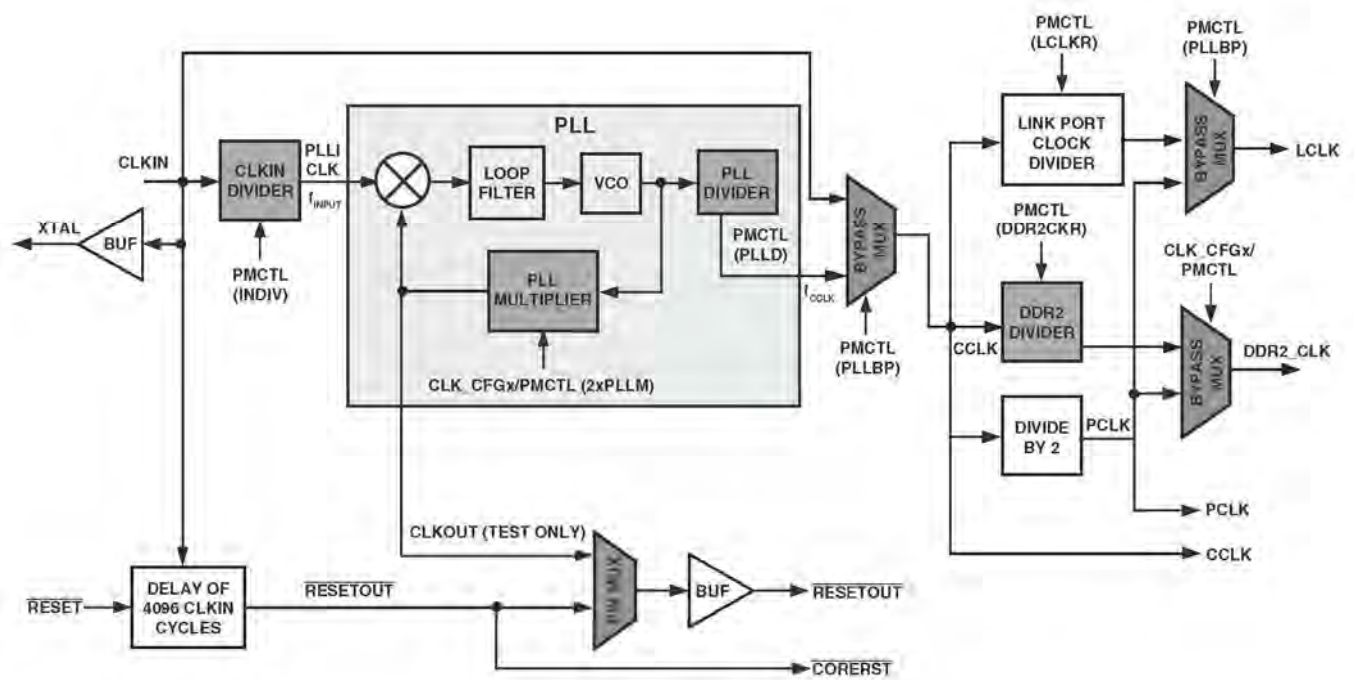


図 5. CLKIN に対するコア・クロックおよびシステム・クロックの関係

## パワーアップ・シーケンス

プロセッサ・スタートアップのタイミング条件を表 17 に示します。 $V_{DD\_EXT}$ 、 $V_{DD\_DDR2}$ 、 $V_{DD\_INT}$  の間には特別なパワーアップ・シーケンスは不要ですが、システム・デザインで考慮すべきことがあります。

- 別の電源が立上がる前に、長時間 (> 200 ms) 電源をパワーアップしたままにしないでください。
- もし  $V_{DD\_EXT}$  の後に  $V_{DD\_INT}$  電源が立上がる場合、RESETOUT や RESET のようなピンは、 $V_{DD\_INT}$  電源レールが立上がる前に実際に一時的に駆動されることがあります。ボード上でこれ

らの信号を共用するシステムでは、この動作から生ずる解決すべき問題がないか否か調べておく必要があります。

パワーアップ時に、 $V_{DD\_EXT}$  の後に  $V_{DD\_INT}$  電源が立上がる場合、例えば入力専用ピンであっても(例えば RESET ピン)、 $V_{DD\_INT}$  電源レールが立上がる前にスリー・ステート・リーク電流(プルアップ、プルダウン)程度のリーク電流がすべてのピンに流れることに注意してください。

表 17. パワーアップ・シーケンス・タイミング条件(プロセッサ起動)

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{RSTVDD}$	<u>RESET</u> Low Before $V_{DD\_INT}$ or $V_{DD\_EXT}$ or $V_{DD\_DDR2}$ On	0		ms
$t_{IVDD}^{EVDD}$	$V_{DD\_INT}$ On Before $V_{DD\_EXT}$	-200	+200	ms
$t_{EVDD}^{DDR2VDD}$	$V_{DD\_EXT}$ On Before $V_{DD\_DDR2}$	-200	+200	ms
$t_{CLKVDD}^1$	CLKIN Valid After $V_{DD\_INT}$ or $V_{DD\_EXT}$ or $V_{DD\_DDR2}$ Valid	0	200	ms
$t_{CLKRST}$	CLKIN Valid Before <u>RESET</u> Deasserted	$10^2$		ms
$t_{PLLRST}$	PLL Control Setup Before <u>RESET</u> Deasserted	$20^3$		ms
<i>Switching Characteristic</i>				
$t_{CORERST}$	Core Reset Deasserted After <u>RESET</u> Deasserted	$4096 \times t_{CK} + 2 \times t_{CCLK}^{4,5}$		ms

<sup>1</sup> 有効な  $V_{DD\_INT}$  では、電源が公称値まで上昇するものと見なしています。電圧ランプ・レートは、電源サブシステムのデザインに応じて、数  $\mu$ s ~ 数百 ms で変わります。

<sup>2</sup> 水晶発振器のワースト・ケースのスタートアップ・タイミングを満たした安定な CLKIN 信号を仮定。スタートアップ時間については水晶発振器メーカーのデータシートを参照。外部水晶と XTAL ピンおよび内部発振器回路とを組み合わせる場合、25 ms の最大発振器スタートアップ時間を仮定。

<sup>3</sup> CLKIN サイクルに基づきます。

<sup>4</sup> パワーアップ・シーケンス完了後に適用。後続のリセットでは、初期化を正しく行い、すべての I/O ピンにデフォルト状態が設定されるためには、最小 4CLKIN サイクル間 RESET をロー・レベルにする必要があります。

<sup>5</sup> 4096 サイクルのカウンタは表 19 の  $t_{SRST}$  仕様に基づきます。セットアップ時間が満たされない場合、コア・リセット時間にさらに CLKIN で 1 サイクルが追加されて、最大 4097 サイクルになります。

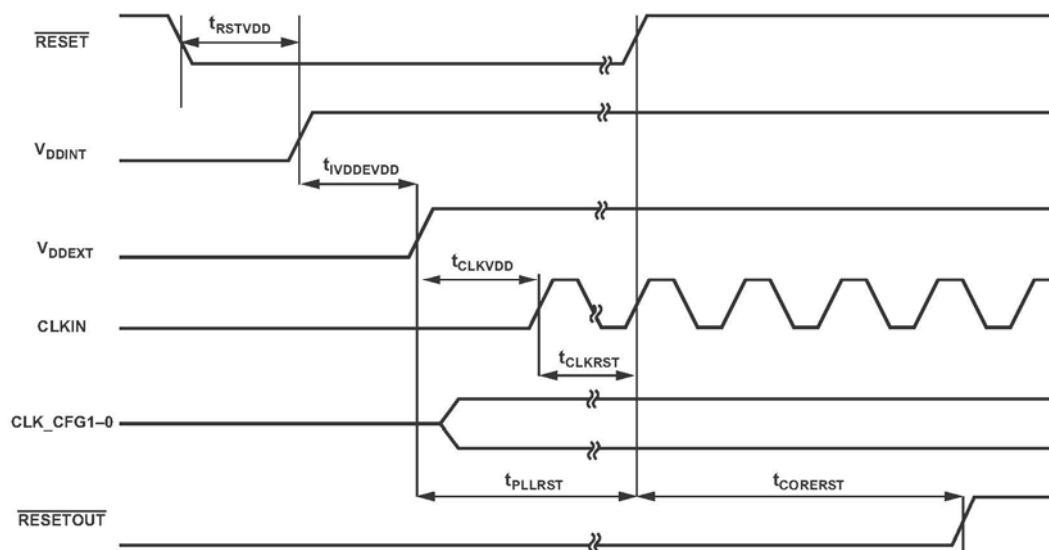


図 6. パワーアップ・シーケンス

## クロック入力

表 18. クロック入力

Parameter	400 MHz <sup>1</sup>		450 MHz <sup>2</sup>		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
$t_{CK}$	CLKIN Period		15 <sup>3</sup>	100	ns
$t_{CKL}$	CLKIN Width Low		7.5	45	ns
$t_{CKH}$	CLKIN Width High		7.5	45	ns
$t_{CKRF}$	CLKIN Rise/Fall (0.4 V to 2.0 V)			3 <sup>4</sup>	ns
$t_{CCLK}$ <sup>5</sup>	CCLK Period		2.5	10	ns
$f_{VCO}$ <sup>6</sup>	VCO Frequency		200	900	MHz
$t_{CKJ}$ <sup>7,8</sup>	CLKIN Jitter Tolerance		-250	+250	ps

<sup>1</sup> すべての 400 MHz モデルに適用。ページ70のオーダー・ガイドを参照してください。

<sup>2</sup> すべての 450 MHz モデルに適用。ページ70のオーダー・ガイドを参照してください。

<sup>3</sup> CLK\_CFG1~0=00 と PMCTL 内の PLL コントロール・ビットのデフォルト値に対してのみ適用。

<sup>4</sup> シミュレーションにより保証しますが、シリコン上でのテストではありません。

<sup>5</sup> PMCTL レジスタ内の PLL コントロール・ビットの変更では、コア・クロック・タイミング仕様  $t_{CCLK}$  を満たす必要があります。

<sup>6</sup> VCO のブロック図については、ページ22の図 5を参照してください。

<sup>7</sup> 実際の入力ジッタは、正確なタイミング解析のためには AC 仕様と組み合わせる必要があります。

<sup>8</sup> ジッタ仕様は、最大ピーク to ピーク時間間隔誤差(TIE) ジッタです。

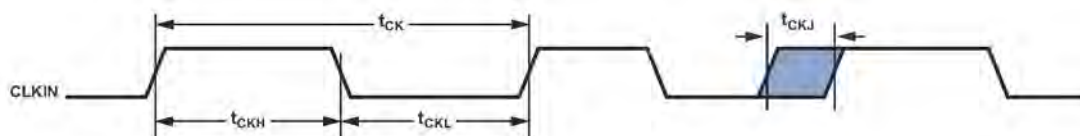


図 7. クロック入力

## クロック信号

ADSP-21469 は、外部クロックまたは水晶を使用することができます。表 9 の CLKIN ピン説明を参照してください。CLKIN と XTAL に必要な部品を接続して、内部クロック・ジェネレータを使用するようにプロセッサを設定することができます。図 8 に、基本モードの水晶動作に使用する部品接続を示します。クロック・レートは、25 MHz の水晶と PLL 通倍比 16:1 (この CCLK:CLKIN により 400 MHz のクロック速度が得られます) を使って実現されていることに注意してください。

フル・コア・クロック・レートを実現するときは、プログラムから PMCTL レジスタの通倍ビットを設定する必要があります。

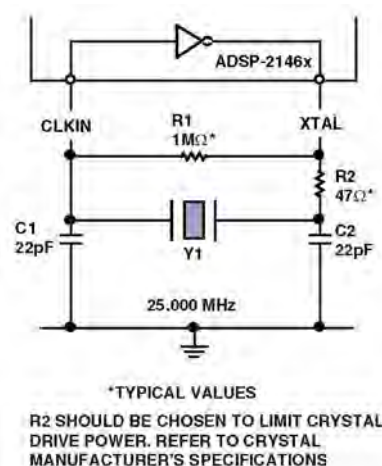


図 8. .基本波モード水晶動作に対する推奨回路



## リセット

表 19. リセット

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{WRST}^1$ $\overline{\text{RESET}}$ Pulse Width Low	$4 \times t_{CK}$		ns
$t_{SRST}$ $\overline{\text{RESET}}$ Setup Before CLKIN Low	8		ns

<sup>1</sup> パワーアップ・シーケンス完了後に適用。パワーアップ時、プロセッサの内部位相ロック・ループは、 $V_{DD}$  と CLKIN が安定している場合、RESET がロー・レベルのとき 100 ms 以上を必要としません(外部クロック発振器のスタートアップ時間は含みません)。

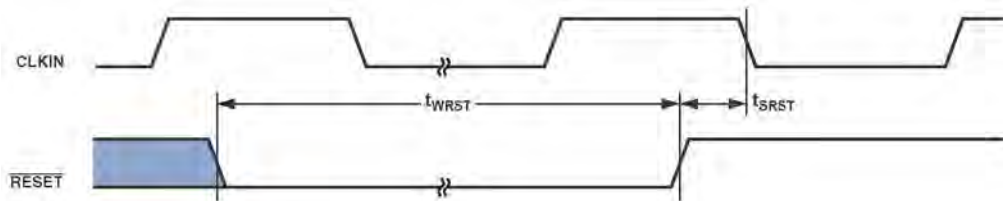


図 9. リセット

## ランニング・リセット

次のタイミング仕様は、 $\overline{\text{RESETOUT}}/\overline{\text{RUNRSTIN}}$ ピンが $\overline{\text{RUNRSTIN}}$ に設定されたとき、このピンに適用されます。

表 20. ランニング・リセット

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{WRUNRST}$ Running $\overline{\text{RESET}}$ Pulse Width Low	$4 \times t_{CK}$		ns
$t_{SRUNRST}$ Running $\overline{\text{RESET}}$ Setup Before CLKIN High	8		ns

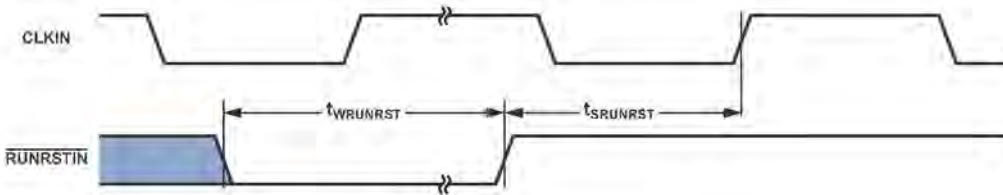


図 10. ランニング・リセット

### 割込み

次のタイミング仕様は、FLAG0 ピン、FLAG1 ピン、FLAG2 ピンが、IRQ0、IRQ1、IRQ2の各割込みとして、および DAI\_P20~1 ピンと DPI\_P14~1 ピンが割込みとして、それぞれ設定されたときに、これらに適用されます。

表 21. 割込み

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
$t_{IPW}$ $\overline{IRQX}$ Pulse Width	$2 \times t_{PCLK} + 2$		ns

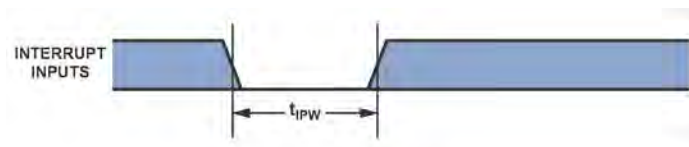


図 11. 割込み

### コア・タイマ

次のタイミング仕様は、FLAG3 がコア・タイマ(TMREXP)として設定されたときにこれに適用されます。

表 22. コア・タイマ

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
$t_{WCTIM}$ TMREXP Pulse Width	$4 \times t_{PCLK} - 1$		ns

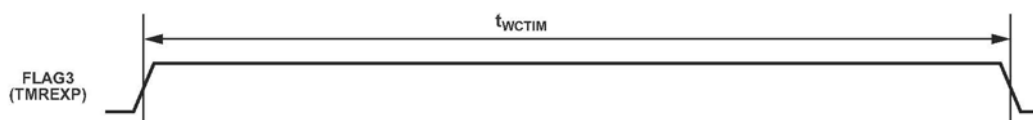


図 12. コア・タイマ

### タイマ PWM\_OUT サイクルのタイミング

次のタイミング仕様は、PWM\_OUT (パルス幅変調)モードでタイマ0とタイマ1に適用されます。タイマ信号は、DPI SRU を経由して DPI\_P14~1 ピンに接続されます。したがって、下記のタイミング仕様は、DPI\_P14~1 ピンで有効です。

表 23. タイマ PWM\_OUT タイミング

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
$t_{PWMO}$ Timer Pulse Width Output	$2 \times t_{PCLK} - 1.2$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

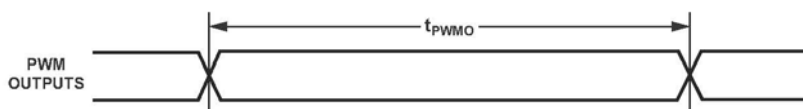


図 13. タイマ PWM\_OUT タイミング

### タイマ WIDTH\_CAP のタイミング

次のタイミング仕様は、WIDTH\_CAP (パルス幅カウントとキャプチャ)モードでタイマ0とタイマ1に適用されます。タイマ信号は、SRU を経由して DPI\_P14~1 ピンに接続されます。したがって、下記のタイミング仕様は、DPI\_P14~1 ピンで有効です。

表 24. タイマ幅キャプチャのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
$t_{PWI}$ Timer Pulse Width	$2 \times t_{PCLK}$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

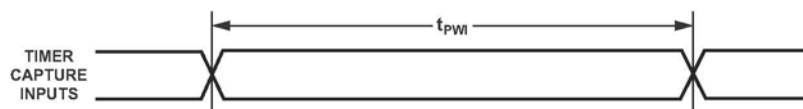


図 14. タイマ幅キャプチャのタイミング

### ピン—ピン間の直接配線(DAI および DPI)

直接ピン接続の場合(例えば DAI\_PB01\_I と DAI\_PB02\_O の接続)。

表 25. DAI/DPI ピン—ピン間の配線

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
$t_{DPIO}$ Delay DAI/DPI Pin Input Valid to DAI/DPI Output Valid	1.5	12	ns

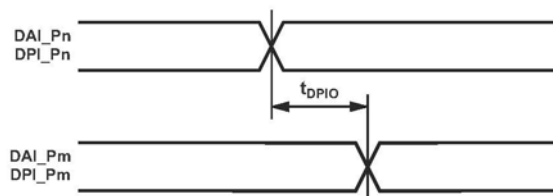


図 15. DAI ピン—DPI ピン間の直接配線

**高精度クロック・ジェネレータ(直接ピン配線)**

このタイミングは、高精度クロック・ジェネレータ(PCG)が DAI ピン(ピン・バッファ経由)から直接入力を得て、出力を DAI ピンに直接出力するように SRU を設定した場合にのみ有効です。PCG の入力と出力が直接 DAI ピン(ピン・バッファ経由)に接続されないそ

他の場合については、タイミング・データはありません。すべてのタイミング・パラメータとスイッチング特性は、外部 DAI ピン(DAI\_P01~DAI\_P20)に適用されます。

表 26. 高精度クロック・ジェネレータ(直接ピン配線)

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{PCGIW}$ Input Clock Period	$t_{PCLK} \times 4$		ns
$t_{STRIG}$ PCG Trigger Setup Before Falling Edge of PCG Input Clock	4.5		ns
$t_{HTRIG}$ PCG Trigger Hold After Falling Edge of PCG Input Clock	3		ns
<i>Switching Characteristics</i>			
$t_{DPCGIO}$ PCG Output Clock and Frame Sync Active Edge Delay After PCG Input Clock	2.5	10	ns
$t_{DTRIGCLK}$ PCG Output Clock Delay After PCG Trigger	$2.5 + (2.5 \times t_{PCGIP})$	$10 + (2.5 \times t_{PCGIP})$	ns
$t_{DTRIGFS}$ PCG Frame Sync Delay After PCG Trigger	$2.5 + ((2.5 + D - PH) \times t_{PCGIP})$	$10 + ((2.5 + D - PH) \times t_{PCGIP})$	ns
$t_{PCGOW}^1$ Output Clock Period	$2 \times t_{PCGIP} - 1$		ns

D = FSxDIV, PH = FSxPHASE. For more information, see the ADSP-214xx SHARC Processor Hardware Reference, "Precision Clock Generators" chapter.

<sup>1</sup> ノーマル・モード動作。

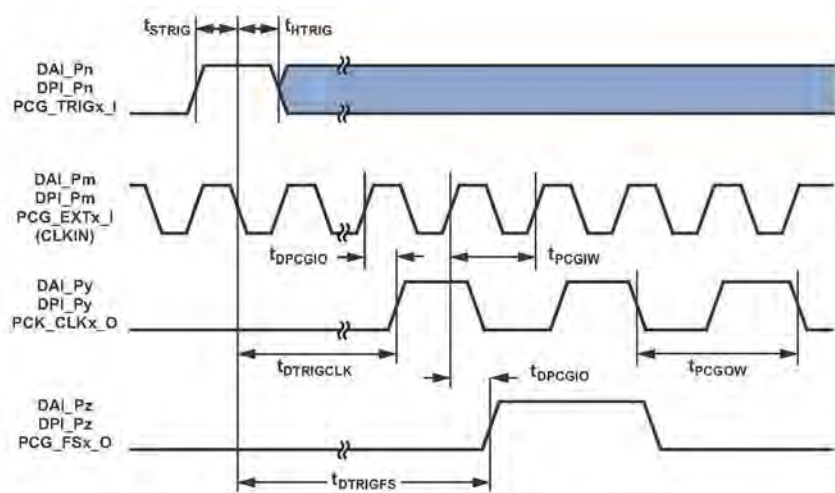


図 16. 高精度クロック・ジェネレータ(直接ピン配線)

## フラグ

下記のタイミング仕様は、**FLAGS** として設定されたときに **AMI\_ADDR23~0** と **AMI\_DATA7~0** に適用されます。フラグの使い方の詳細については、[ページ12](#)の表 9 を参照してください。

表 27. フラグ

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
$t_{FIPW}$ DPI_P14-1, AMI_ADDR23-0, AMI_DATA7-0, FLAG3-0 IN Pulse Width	$2 \times t_{PCLK} + 3$		ns
<i>Switching Characteristic</i>			
$t_{FOPW}$ DPI_P14-1, AMI_ADDR23-0, AMI_DATA7-0, FLAG3-0 OUT Pulse Width	$2 \times t_{PCLK} - 3$		ns

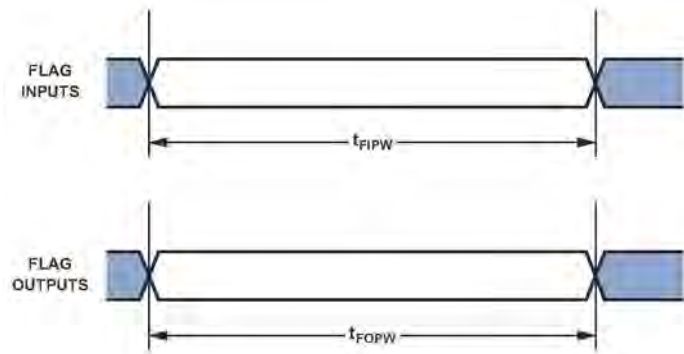


図 17. フラグ

DDR2 SDRAM 読出しサイクル・タイミング

表 28. DDR2 SDRAM 読出しサイクル・タイミング、 $V_{DD-DDR2}$  公称 1.8 V

Parameter	200 MHz <sup>1</sup>		225 MHz <sup>1</sup>		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
$t_{AC}$	DQ Output Access Time From $\overline{CK}/\overline{CK}$		-1.0	0.7	ns
$t_{DQSCK}$	DQS Output Access Time From $\overline{CK}/\overline{CK}$		-1.0	0.7	ns
$t_{DQSQ}$	DQS-DQ Skew for DQS and Associated DQ Signals			0.450	ns
$t_{QH}$	DQ, DQS Output Hold Time From DQS		1.9	1.71	ns
$t_{RPRE}$	Read Preamble		0.6		$t_{CK}$
$t_{RPST}$	Read Postamble		0.25		$t_{CK}$
<i>Switching Characteristics</i>					
$t_{CK}$	Clock Cycle Time		4.8	4.22	ns
$t_{CH}$	Minimum Clock Pulse Width		2.35	2.75	ns
$t_{CL}$	Maximum Clock Pulse Width		2.35	2.45	ns
$t_{AS}$	Address Setup Time		1.85	1.65	ns
$t_{AH}$	Address Hold Time		1.0	0.9	ns

<sup>1</sup>DDR2 の正常動作には、すべての DDR2 ガイドラインに厳密に従う必要があります (EE ノート EE-349 参照)。

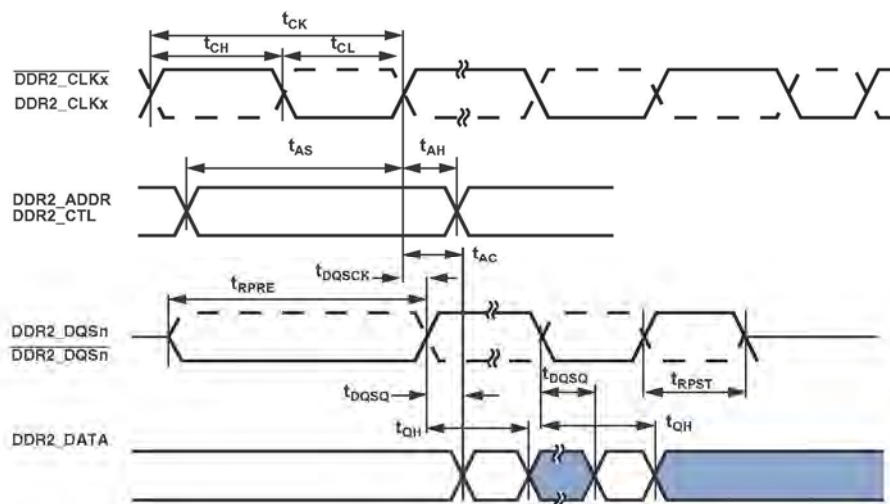


図 18. DDR2 SDRAM コントローラ入力の AC タイミング

## DDR2 SDRAM 書き込みサイクル・タイミング

表 29. DDR2 SDRAM 書き込みサイクル・タイミング、 $V_{DD-DDR2}$  公称 1.8 V

Parameter	200 MHz <sup>1</sup>		225 MHz <sup>1</sup>		Unit
	Min	Max	Min	Max	
<i>Switching Characteristics</i>					
$t_{CK}$ Clock Cycle Time	4.8		4.22		ns
$t_{CH}$ Minimum Clock Pulse Width	2.35	2.75	2.05	2.45	ns
$t_{CL}$ Maximum Clock Pulse Width	2.35	2.75	2.05	2.45	ns
$t_{DQSS}^2$ DQS Latching Rising Transitions to Associated Clock Edges	-0.4	0.4	-0.45	0.45	ns
$t_{DS}$ Last Data Valid to DQS Delay	0.6		0.5		ns
$t_{DH}$ DQS to First Data Invalid Delay	0.65		0.55		ns
$t_{DSS}$ DQS Falling Edge to Clock Setup Time	1.95		1.65		ns
$t_{DSH}$ DQS Falling Edge Hold Time From CK	2.05		1.8		ns
$t_{DQSH}$ DQS Input HIGH Pulse Width	2.05		1.65		ns
$t_{DQSL}$ DQS Input LOW Pulse Width	2.0		1.65		ns
$t_{WPRE}$ Write Preamble	0.8		0.8		$t_{CK}$
$t_{WPST}$ Write Postamble	0.5		0.5		$t_{CK}$
$t_{AS}$ Control/address Maximum Delay From DDCK Rise	1.85		1.65		ns
$t_{AH}$ Control/Address Minimum Delay From DDCK Rise	1.0		0.9		ns

<sup>1</sup> DDR2 の正常動作には、すべての DDR2 ガイドラインに厳密に従う必要があります (EE ノート No: EE-349 参照)。

<sup>2</sup> 書き込みコマンドから最初の DQS 遅延まで =  $WL \times t_{CK} + t_{DQSS}$

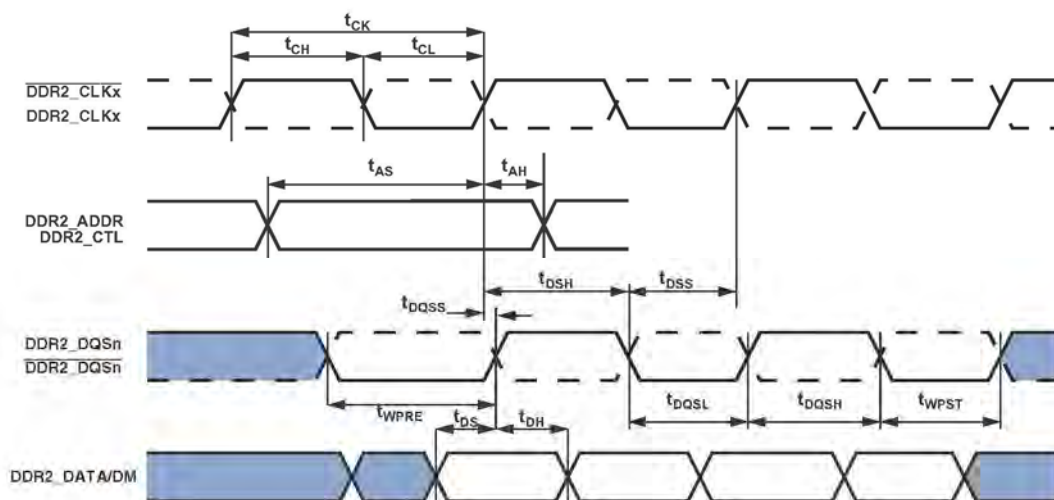


図 19. DDR2 SDRAM コントローラ出力の AC タイミング



## AMI 読出し

これらの仕様は、メモリに対する非同期インターフェースに使用してください。<sup>3</sup>AMI\_ACK、AMI\_DATA、AMI\_RD、AMI\_WRのタイミングとストロブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

表 30. メモリ読出し

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{DAD}$ Address, Selects Delay to Data Valid <sup>1,2</sup>		$W + t_{DDR2-CLK} - 5.4$	ns
$t_{DRLD}$ $\overline{\text{AMI\_RD}}$ Low to Data Valid <sup>1</sup>		$W - 3.2$	ns
$t_{SDS}$ Data Setup to $\overline{\text{AMI\_RD}}$ High	2.5		ns
$t_{HDRH}$ Data Hold from $\overline{\text{AMI\_RD}}$ High <sup>3,4</sup>	0		ns
$t_{DAAK}$ AMI_ACK Delay from Address, Selects <sup>2,5</sup>		$t_{DDR2-CLK} - 9.5 + W$	ns
$t_{DSAK}$ AMI_ACK Delay from $\overline{\text{AMI\_RD}}$ Low <sup>4</sup>		$W - 7.0$	ns
<i>Switching Characteristics</i>			
$t_{DRHA}$ Address Selects Hold After $\overline{\text{AMI\_RD}}$ High	$RH + 0.20$		ns
$t_{DARL}$ Address Selects to $\overline{\text{AMI\_RD}}$ Low <sup>2</sup>	$t_{DDR2-CLK} - 3.8$		ns
$t_{RW}$ $\overline{\text{AMI\_RD}}$ Pulse Width	$W - 1.4$		ns
$t_{RWR}$ $\overline{\text{AMI\_RD}}$ High to $\overline{\text{AMI\_RD}}$ Low	$HI + t_{DDR2-CLK} - 1$		ns

$$W = (\text{number of wait states specified in AMICTLx register}) \times t_{DDR2-CLK}$$

$$RHC = (\text{number of Read Hold Cycles specified in AMICTLx register}) \times t_{DDR2-CLK}$$

Where PREDIS = 0

HI = RHC: Read to Read from same bank

HI = RHC + IC: Read to Read from different bank

HI = RHC + Max(IC, (4 ×  $t_{DDR2-CLK}$ )): Read to Write from same or different bank

Where PREDIS = 1

HI = RHC + Max(IC, (4 ×  $t_{DDR2-CLK}$ )): Read to Write from same or different bank

HI = RHC + (3 ×  $t_{DDR2-CLK}$ ): Read to Read from same bank

HI = RHC + Max(IC, (3 ×  $t_{DDR2-CLK}$ )): Read to Read from different bank

$$IC = (\text{number of idle cycles specified in AMICTLx register}) \times t_{DDR2-CLK}$$

$$H = (\text{number of hold cycles specified in AMICTLx register}) \times t_{DDR2-CLK}$$

<sup>1</sup> データ遅延/セットアップ: システムは  $t_{DAD}$ 、 $t_{DRLD}$ 、または  $t_{SDS}$  を満たす必要があります。

<sup>2</sup>  $\overline{\text{AMI\_MSx}}$  の立下がりエッジが基準。

<sup>3</sup> AMI\_ACK、AMI\_DATA、AMI\_RD、AMI\_WR のタイミングとストロブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

<sup>4</sup> データ・ホールド: 非同期アクセス・モードでは  $t_{HDRH}$  を満たす必要があります。与えられた容量負荷と DC 負荷に対するホールド・タイムの計算については、ページ 58 のテスト条件を参照。

<sup>5</sup> AMI\_ACK 遅延/セットアップ: AMI\_ACK (ロー・レベル) の解除では  $t_{DAAK}$ 、または  $t_{DSAK}$  を満たす必要があります。

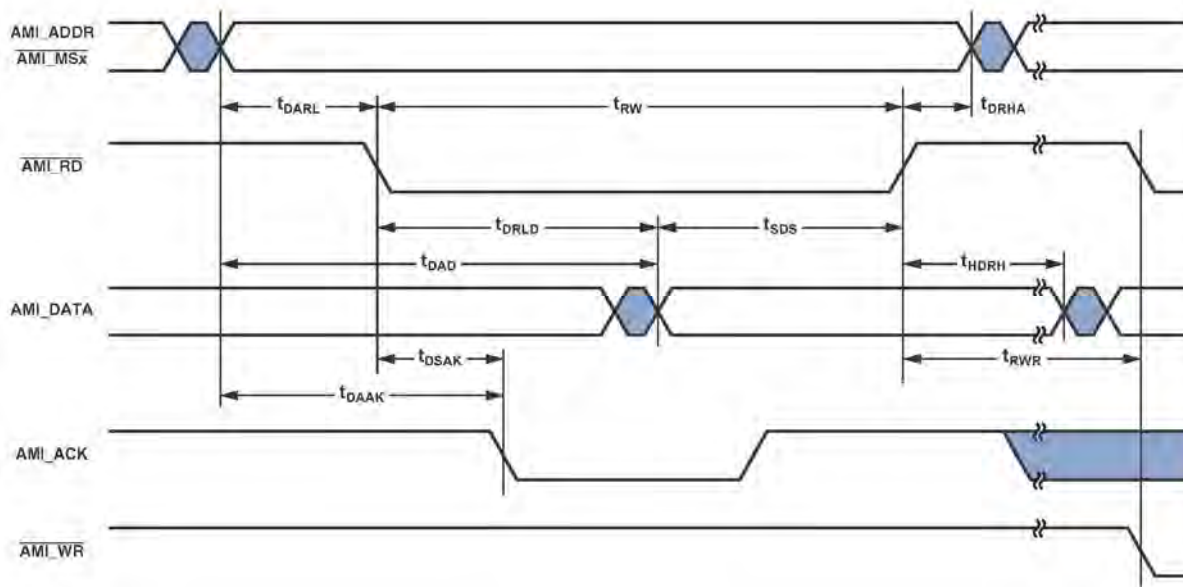


図 20. AMI 読出し

**AMI 書込み**

これらの仕様は、メモリに対する非同期インターフェースに使用してください。<sup>3</sup>AMI\_ACK、AMI\_DATA、AMI\_RD、AMI\_WRのタイミングとストロブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

表 31. メモリ書込み

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{DAAK}$ AMI_ACK Delay from Address, Selects <sup>1,2</sup>		$t_{DDR2-CLK} - 9.7 + W$	ns
$t_{DSAK}$ AMI_ACK Delay from $\overline{AMI\_WR}$ Low <sup>1,3</sup>		$W - 6$	ns
<i>Switching Characteristics</i>			
$t_{DAWH}$ Address, Selects to $\overline{AMI\_WR}$ Deasserted <sup>2</sup>	$t_{DDR2-CLK} - 3.1 + W$		ns
$t_{DAWL}$ Address, Selects to $\overline{AMI\_WR}$ Low <sup>2</sup>	$t_{DDR2-CLK} - 3$		ns
$t_{WW}$ $\overline{AMI\_WR}$ Pulse Width	$W - 1.3$		ns
$t_{DDWH}$ Data Setup Before $\overline{AMI\_WR}$ High	$t_{DDR2-CLK} - 3.0 + W$		ns
$t_{DWHa}$ Address Hold After $\overline{AMI\_WR}$ Deasserted	$H + 0.15$		ns
$t_{DWHd}$ Data Hold After $\overline{AMI\_WR}$ Deasserted	$H$		ns
$t_{DATRWH}$ Data Disable After $\overline{AMI\_WR}$ Deasserted <sup>4</sup>	$t_{DDR2-CLK} - 1.37 + H$	$t_{DDR2-CLK} + 4.9 + H$	ns
$t_{WWR}$ $\overline{AMI\_WR}$ High to $\overline{AMI\_WR}$ Low <sup>5</sup>	$t_{DDR2-CLK} - 1.5 + H$		ns
$t_{DDWR}$ Data Disable Before $\overline{AMI\_RD}$ Low	$2t_{DDR2-CLK} - 6$		ns
$t_{WDE}$ $\overline{AMI\_WR}$ Low to Data Enabled	$t_{DDR2-CLK} - 3.5$		ns

$W = (\text{number of wait states specified in AMICTLx register}) \times t_{SDDR2-CLK}$   $H = (\text{number of hold cycles specified in AMICTLx register}) \times t_{DDR2-CLK}$

<sup>1</sup> AMI\_ACK 遅延/セットアップ: AMI\_ACK (ロー・レベル)の解除では  $t_{DAAK}$ 、または  $t_{DSAK}$  を満たす必要があります。

<sup>2</sup> AMI\_MSxの立下がりエッジが基準。

<sup>3</sup> AMI\_ACK、AMI\_DATA、AMI\_RD、AMI\_WRのタイミングとストロブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

<sup>4</sup> 与えられた容量負荷と DC 負荷に対するホールド・タイムの計算については、ページ58のテスト条件を参照。

<sup>5</sup> 書込み—書込みの場合:  $t_{DDR2-CLK} + H$ 、同じバンクおよび異なるバンク。書込み—読出しの場合:  $(3 \times t_{DDR2-CLK}) + H$ 、同じバンクおよび異なるバンク。

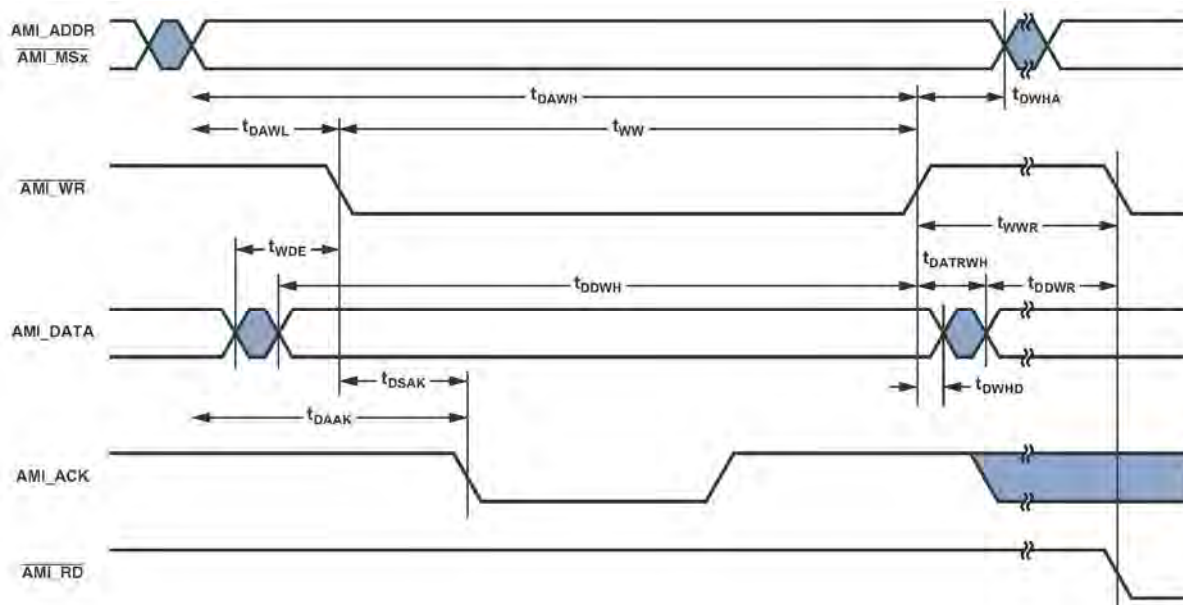


図 21. AMI 書込み

リンク・ポート

LDATA と LCLK の間の伝送パス長差で許容できる最大スキューを求めるため、リンク・レシーバの、リンク・クロックに対するデータ・セットアップとホールドの計算が必要です。セットアップ・スキューは、LDATA で許容できる、LCLK に対する最大遅延 (セ

ットアップ・スキュー =  $t_{LCLKTWH \min} - t_{DLDC} - t_{SLDCL}$ ) です。ホールド・スキューは、LCLK で許容できる、LDATA に対する最大遅延 (ホールド・スキュー =  $t_{LCLKTWL \min} - t_{HLDCH} - t_{HLDCL}$ ) です。

表 32. リンク・ポート—受信

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{SLDCL}$ Data Setup Before LCLK Low	0.5		ns
$t_{HLDCL}$ Data Hold After LCLK Low	1.5		ns
$t_{LCLKIW}$ LCLK Period	$t_{LCLK}$ (6 ns)		ns
$t_{LCLKRWL}$ LCLK Width Low	2.6		ns
$t_{LCLKRWH}$ LCLK Width High	2.6		ns
<i>Switching Characteristics</i>			
$t_{DLALC}$ LACK Low Delay After LCLK Low <sup>1</sup>	5	12	ns

<sup>1</sup>LACK は先頭バイトの後の LCLK の立上がりに対して  $t_{DLALC}$  でロー・レベルになりますが、レシーバのリンク・バッファが満杯近くでない場合には、ロー・レベルになりません。

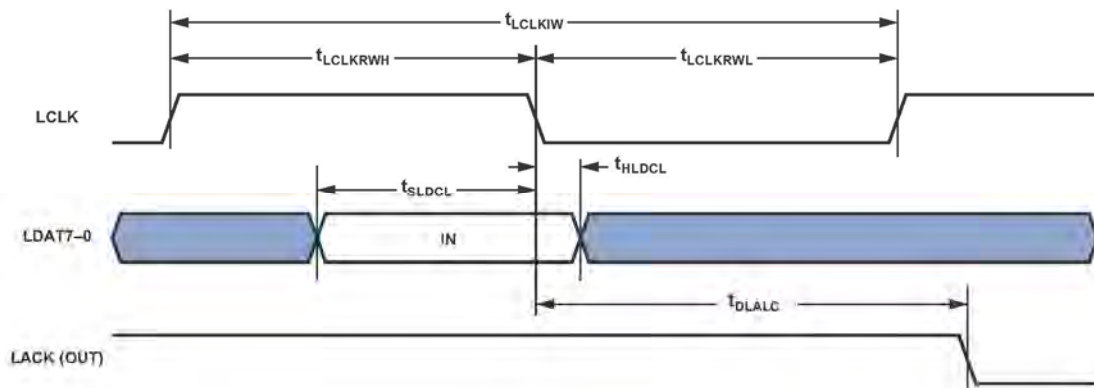
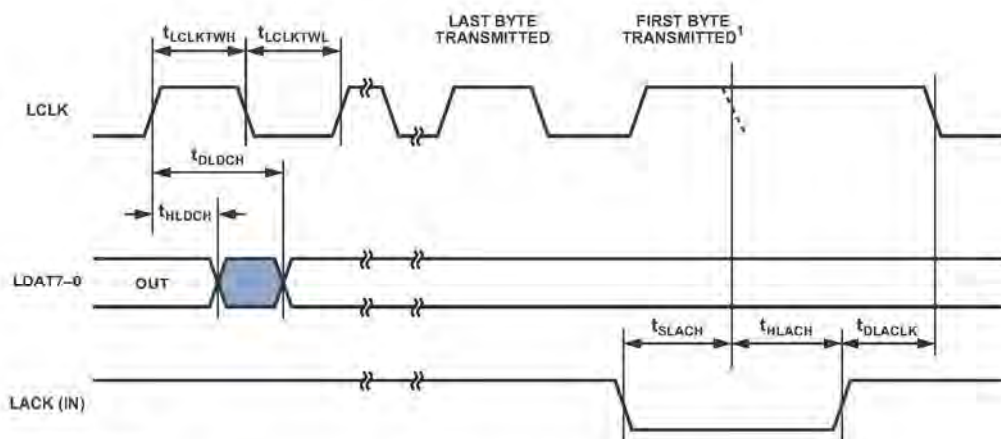


図 22. リンク・ポート—受信

表 33. リンク・ポート—送信

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{SLACH}$ LACK Setup Before LCLK Low	8.5		ns
$t_{HLACH}$ LACK Hold After LCLK Low	0		ns
<i>Switching Characteristics</i>			
$t_{DLCH}$ Data Delay After LCLK High		1	ns
$t_{HLCH}$ Data Hold After LCLK High	-1		ns
$t_{LCLKTWL}$ LCLK Width Low	$0.5 \times t_{LCLK} - 0.4$	$0.6 \times t_{LCLK} + 0.4^1$	ns
$t_{LCLKTWH}$ LCLK Width High	$0.4 \times t_{LCLK} - 0.4^1$	$0.5 \times t_{LCLK} + 0.4$	ns
$t_{DLACLK}$ LCLK Low Delay After LACK High	$t_{LCLK} - 2$	$t_{LCLK} + 8$	ns

<sup>1</sup> 比 1:2.5 の場合。その他の比の場合、この仕様は  $0.5 \times t_{LCLK} - 1$  になります。



NOTES  
 The  $t_{SLACH}$  and  $t_{HLACH}$  specifications apply only to the LACK falling edge. If these specifications are met, LCLK would extend and the dotted LCLK falling edge would not occur as shown. The position of the dotted falling edge can be calculated using the  $t_{LCLKTWH}$  specification.  $t_{LCLKTWH}$  Min should be used for  $t_{SLACH}$  and  $t_{LCLKTWH}$  Max for  $t_{HLACH}$ .

図 23. リンク・ポート—送信

## シリアル・ポート

スレーブ・トランスミッタ・モードとマスター・レシーバ・モードでの最大シリアル・ポート周波数は  $f_{PCLK}/8$  です。クロック速度  $n$  で 2 個のデバイス間の通信が可能か否かを判断するときは、次の仕様を確認してください。1) フレーム同期遅延、フレーム同期のセットアップとホールド、2) データ遅延、データのセットアップとホールド、3) シリアル・クロック (SCLK) の幅

シリアル・ポート信号は SRU を経由して DAI\_P20~1 ピンに接続されます。したがって、下記のタイミング仕様は、DAI\_P20~1 ピンで有効です。図 24 で、SCLK (外部または内部) の立上がりエッジまたは立下がりエッジをアクティブ・サンプリング・エッジとして使用することができます。

表 34. シリアル・ポート—外部クロック

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{SFSE}^1$	Frame Sync Setup Before SCLK (Externally Generated Frame Sync in either Transmit or Receive Mode)	2.5		ns
$t_{HFSE}^1$	Frame Sync Hold After SCLK (Externally Generated Frame Sync in either Transmit or Receive Mode)	2.5		ns
$t_{SDRE}^1$	Receive Data Setup Before Receive SCLK	1.9		ns
$t_{HDRE}^1$	Receive Data Hold After SCLK	2.5		ns
$t_{SCLKW}$	SCLK Width	$(t_{PCLK} \times 4) \div 2 - 0.5$		ns
$t_{SCLK}$	SCLK Period	$t_{PCLK} \times 4$		ns
<i>Switching Characteristics</i>				
$t_{DFSE}^2$	Frame Sync Delay After SCLK (Internally Generated Frame Sync in either Transmit or Receive Mode)		10.25	ns
$t_{HOFSE}^2$	Frame Sync Hold After SCLK (Internally Generated Frame Sync in either Transmit or Receive Mode)	2		ns
$t_{DDTE}^2$	Transmit Data Delay After Transmit SCLK		8.5	ns
$t_{HDTE}^2$	Transmit Data Hold After Transmit SCLK	2		ns

<sup>1</sup> サンプル・エッジを基準とします。

<sup>2</sup> 駆動エッジを基準とします。

表 35. シリアル・ポート—内部クロック

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{SFSI}^1$	Frame Sync Setup Before SCLK (Externally Generated Frame Sync in either Transmit or Receive Mode)	7		ns
$t_{HFSI}^1$	Frame Sync Hold After SCLK (Externally Generated Frame Sync in either Transmit or Receive Mode)	2.5		ns
$t_{SDRI}^1$	Receive Data Setup Before SCLK	7		ns
$t_{HDRI}^1$	Receive Data Hold After SCLK	2.5		ns
<i>Switching Characteristics</i>				
$t_{DFSI}^2$	Frame Sync Delay After SCLK (Internally Generated Frame Sync in Transmit Mode)		4	ns
$t_{HOFSI}^2$	Frame Sync Hold After SCLK (Internally Generated Frame Sync in Transmit Mode)	-1.0		ns
$t_{DFSIR}^2$	Frame Sync Delay After SCLK (Internally Generated Frame Sync in Receive Mode)		9.75	ns
$t_{HOF SIR}^2$	Frame Sync Hold After SCLK (Internally Generated Frame Sync in Receive Mode)	-1.0		ns
$t_{DDTI}^2$	Transmit Data Delay After SCLK		3.25	ns
$t_{HD TI}^2$	Transmit Data Hold After SCLK	-1.25		ns
$t_{SCLKIW}$	Transmit or Receive SCLK Width	$2 \times t_{PCLK} - 1.5$	$2 \times t_{PCLK} + 1.5$	ns

<sup>1</sup> サンプル・エッジを基準とします。

<sup>2</sup> 駆動エッジを基準とします。

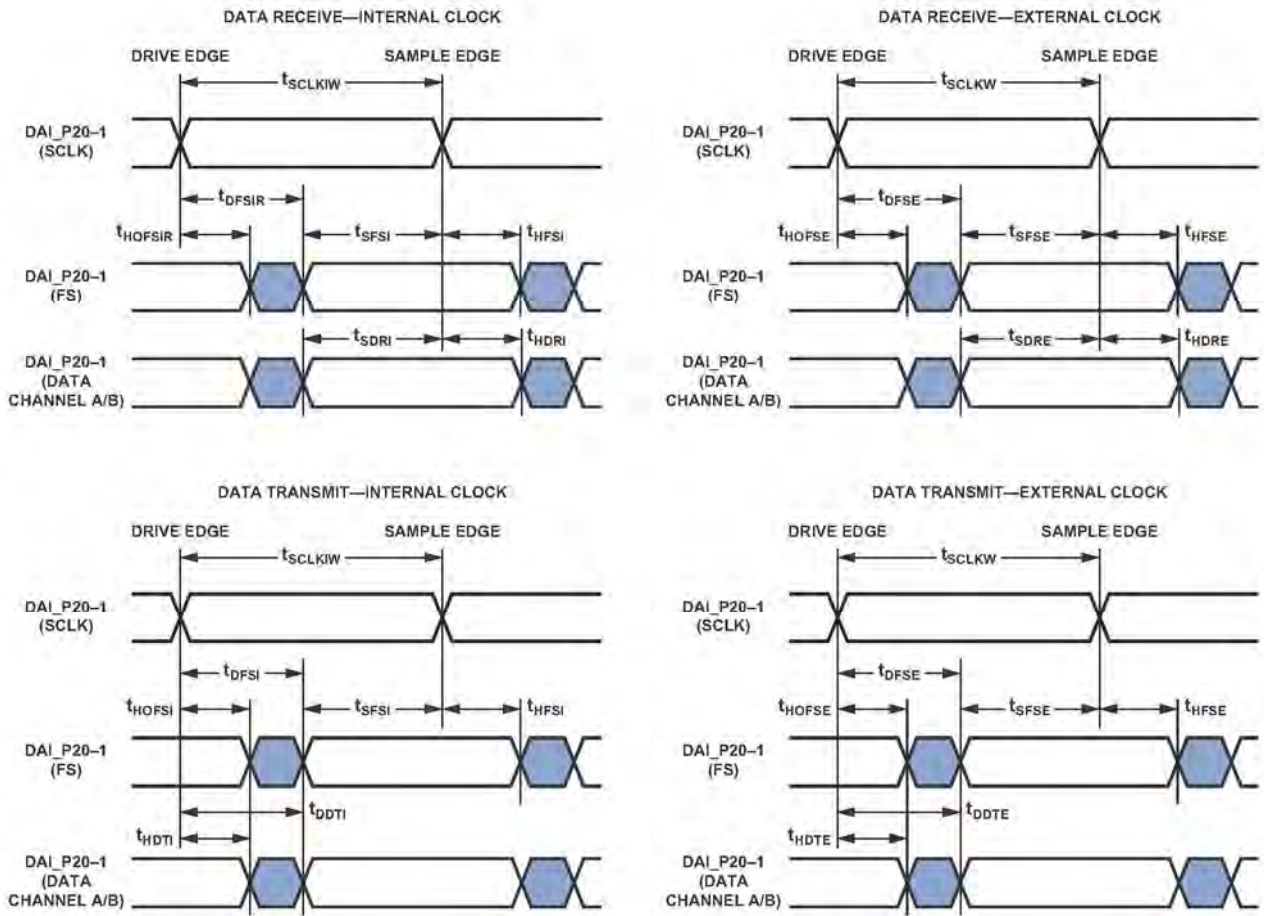


図 24. シリアル・ポート

表 36. シリアル・ポート—イネーブルおよびスリーステート

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
$t_{DDTEN}^1$ Data Enable from External Transmit SCLK	2		ns
$t_{DDTTE}^1$ Data Disable from External Transmit SCLK		11.5	ns
$t_{DDTIN}^1$ Data Enable from Internal Transmit SCLK	-1		ns

<sup>1</sup> 駆動エッジを基準とします。

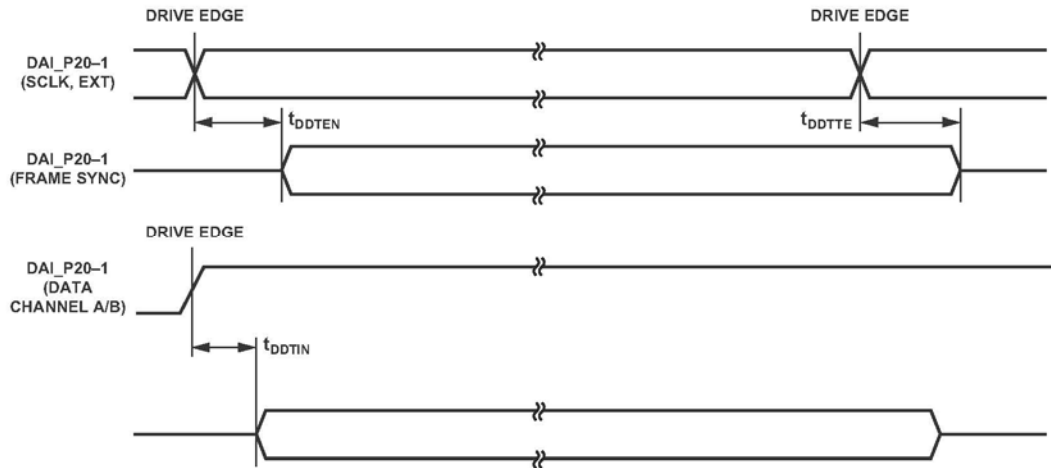


図 25. シリアル・ポート—イネーブルおよびスリーステート



SPORTx\_TDV\_O 出力信号 (ルーティング・ユニット) は、SPORT マルチチャンネル・モードでアクティブになります。送信スロット (アクティブ・チャンネル・セレクション・レジスタでイネーブル) で、SPORTx\_TDV\_O は外部デバイスとの通信にアサートされます。

表 37. シリアル・ポート—TDV(送信データ有効)

Parameter	Min	Max	Unit
<i>Switching Characteristics</i> <sup>1</sup>			
$t_{DRDVEN}$ Data-Valid Enable Delay from Drive Edge of External Clock	3		ns
$t_{DFDVEN}$ Data-Valid Disable Delay from Drive Edge of External Clock		8	ns
$t_{DRDVIN}$ Data-Valid Enable Delay from Drive Edge of Internal Clock	-0.1		ns
$t_{DFDVIN}$ Data-Valid Disable Delay from Drive Edge of Internal Clock		2	ns

<sup>1</sup> 駆動エッジを基準とします。

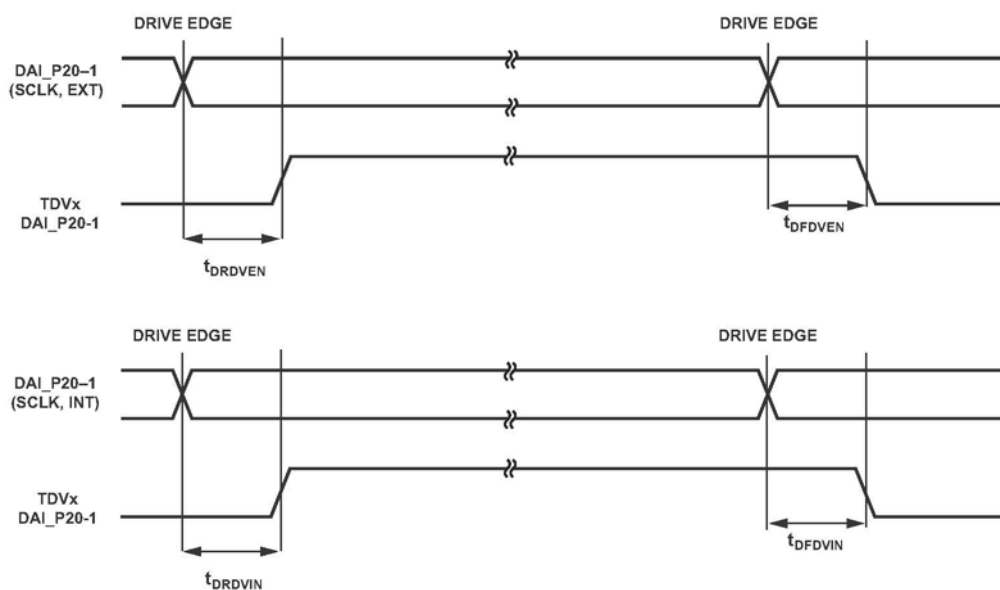


図 26. シリアル・ポート—送信データ有効内部クロックと送信データ有効外部クロック

表 38. シリアル・ポート—外部レイト・フレーム同期

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
$t_{DDTLFSE}^1$ Data Delay from Late External Transmit Frame Sync or External Receive Frame Sync with MCE = 1, MFD = 0		7.75	ns
$t_{DDTENFS}^1$ Data Enable for MCE = 1, MFD = 0	0.5		ns

<sup>1</sup> $t_{DDTLFSE}$  パラメータと  $t_{DDTENFS}$  パラメータは DSP Serial Mode のような左詰めや、MCE = 1、MFD = 0 に適用。

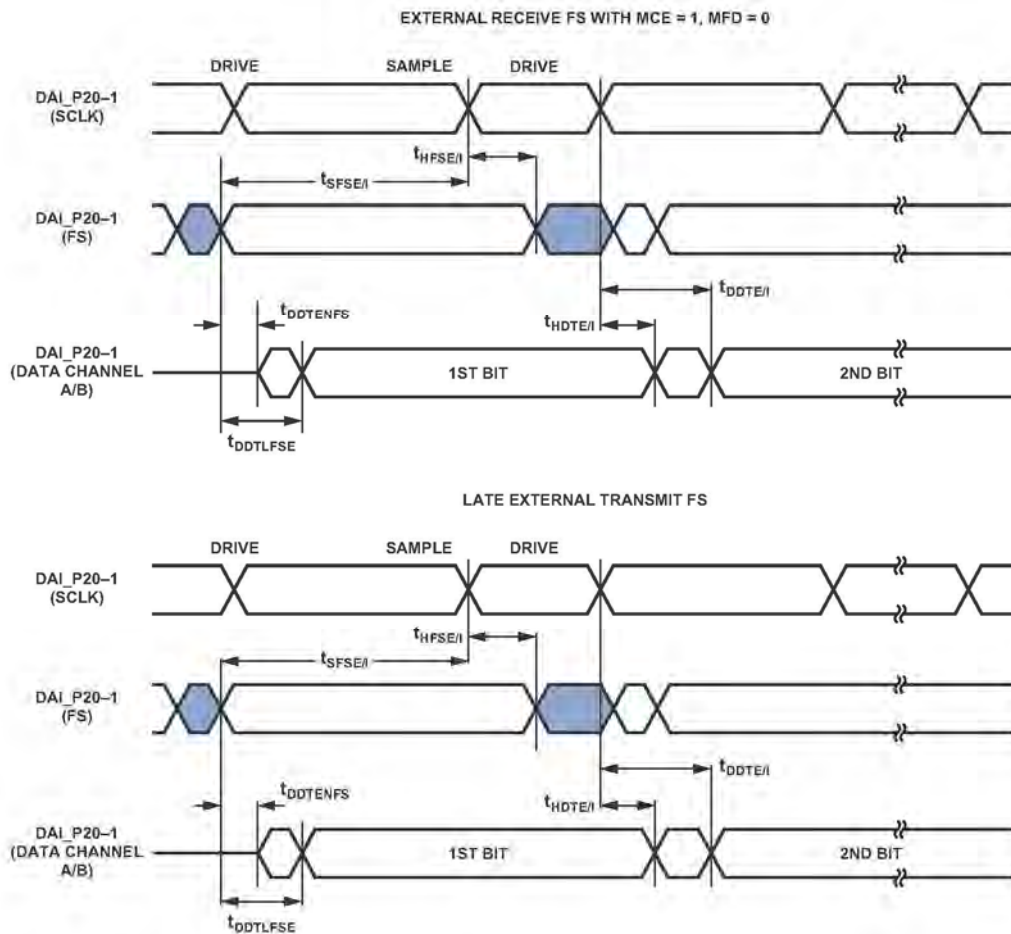


図 27. 外部レイト・フレーム同期

## 入力データ・ポート(IDP)

IDP のタイミング条件を表 39 に示します。IDP 信号は SRU を使って DAI\_P20~1 ピンに接続されます。したがって、下記のタイミング仕様は、DAI\_P20~1 ピンで有効です。

表 39. 入力データ・ポート (IDP)

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{SISFS}^1$ Frame Sync Setup Before Serial Clock Rising Edge	3.8		ns
$t_{SIHFS}^1$ Frame Sync Hold After Serial Clock Rising Edge	2.5		ns
$t_{SISD}^1$ Data Setup Before Serial Clock Rising Edge	2.5		ns
$t_{SIHD}^1$ Data Hold After Serial Clock Rising Edge	2.5		ns
$t_{IDPCLKW}$ Clock Width		$(t_{PCLK} \times 4) \div 2 - 1$	ns
$t_{IDPCLK}$ Clock Period		$t_{PCLK} \times 4$	ns

<sup>1</sup> シリアル・クロック、データ、フレーム同期信号は任意の DAI ピンから入力可能。シリアル・クロックとフレーム同期信号は、PCG または SPORT 経由の入力も可能。PCG の入力は、CLKIN ピンまたは任意の DAI ピンが可能。

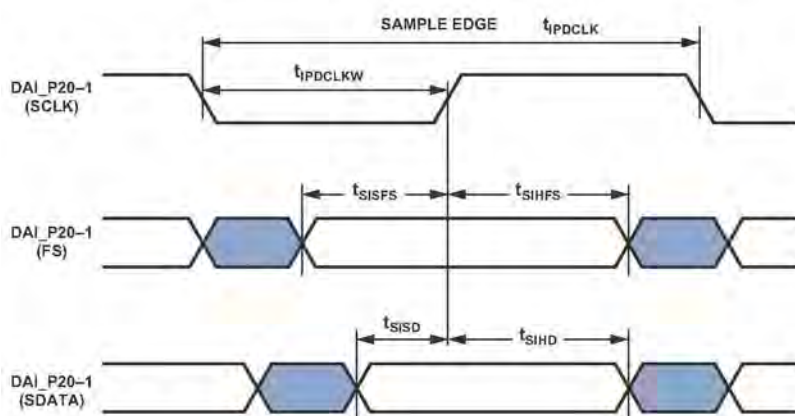


図 28. IDP マスターのタイミング

**パラレル・データ・アキュジション・ポート(PDAP)**

PDAP のタイミング条件を表 40に示します。PDAP は、IDP のチャンネル0 のパラレル・モード動作です。PDAP の動作の詳細については、「ADSP-214xx SHARC Processor Hardware Reference」の

PDAP の章を参照してください。外部 PDAP データの 20 ビットは AMI\_ADDR23~4 ピンまたは DAI ピンを経由して得ることができることに注意してください。

表 40. パラレル・データ・アキュジション・ポート (PDAP)

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{SPHOLD}^1$ PDAP_HOLD Setup Before PDAP_CLK Sample Edge	2.5		ns
$t_{HPHOLD}^1$ PDAP_HOLD Hold After PDAP_CLK Sample Edge	2.5		ns
$t_{PDSO}^1$ PDAP_DAT Setup Before Serial Clock PDAP_CLK Sample Edge	3.85		ns
$t_{PDHD}^1$ PDAP_DAT Hold After Serial Clock PDAP_CLK Sample Edge	2.5		ns
$t_{PDCLKW}$ Clock Width	$(t_{PCLK} \times 4) \div 2 - 3$		ns
$t_{PDCLK}$ Clock Period	$t_{PCLK} \times 4$		ns
<i>Switching Characteristics</i>			
$t_{PDHLD}$ Delay of PDAP Strobe After Last PDAP_CLK Capture Edge for a Word	$2 \times t_{PCLK} + 3$		ns
$t_{PDSTRB}$ PDAP Strobe Pulse Width	$2 \times t_{PCLK} - 1$		ns

<sup>1</sup> データ・ソース・ピンは AMI\_ADDR23~4 ピンまたは DAI ピンです。シリアル・クロックとフレーム同期のソース・ピンは、 1) AMI\_ADDR3~2 ピン、 2) DAI ピンです。

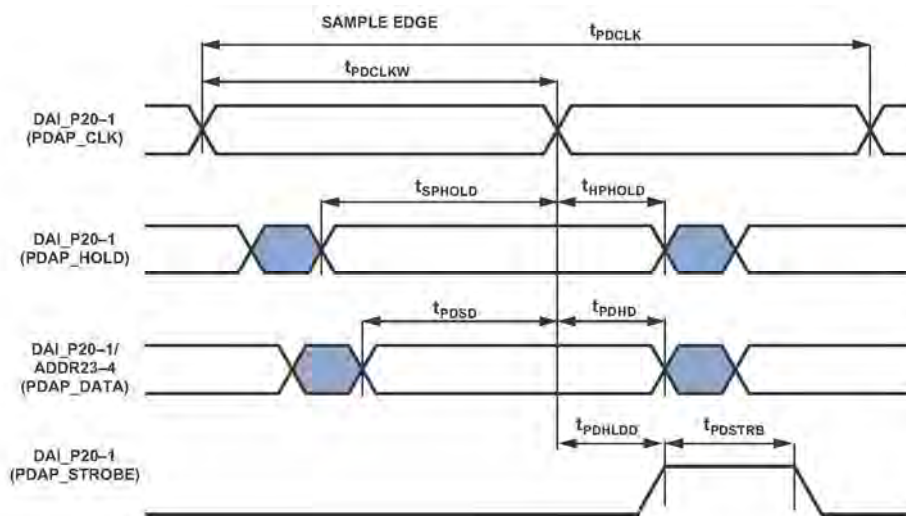


図 29. PDAP のタイミング

### サンプル・レート・コンバーターシリアル入力ポート

ASRC 入力信号は、SRU を経由して DAI\_P20~1 ピンから接続されます。したがって、表 41 のタイミング仕様は、DAI\_P20~1 ピンで有効です。

表 41. ASRC、シリアル入力ポート

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{\text{SRCSFS}}^1$ Frame Sync Setup Before Serial Clock Rising Edge	4		ns
$t_{\text{SRCHFS}}^1$ Frame Sync Hold After Serial Clock Rising Edge	5.5		ns
$t_{\text{SRCSD}}^1$ Data Setup Before Serial Clock Rising Edge	4		ns
$t_{\text{SRCHD}}^1$ Data Hold After Serial Clock Rising Edge	5.5		ns
$t_{\text{SRCLKW}}$ Clock Width	$(t_{\text{PCLK}} \times 4) \div 2 - 1$		ns
$t_{\text{SRCLK}}$ Clock Period	$t_{\text{PCLK}} \times 4$		ns

<sup>1</sup> シリアル・クロック、データ、フレーム同期信号は任意の DAI ピンから入力可能。シリアル・クロックとフレーム同期信号は、PCG または SPORT 経由の入力も可能。PCG の入力は、CLKIN ピンまたは任意の DAI ピンが可能。

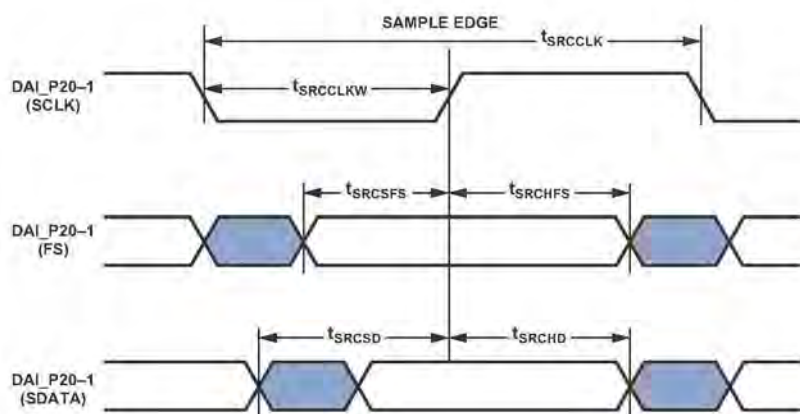


図 30. ASRC シリアル入力ポートのタイミング

### サンプル・レート・コンバーターシリアル出力ポート

シリアル出力ポートの場合、フレーム同期は入力であるため、出力ポートのシリアル・クロックに対してセットアップ・タイムとホールド・タイムを満たす必要があります。シリアル・データ出力には、シリアル・クロックに対するホールド・タイムと遅延の仕様が異なります。シリアル・クロックの立上がりエッジはサンプリング・エッジであり、立下がりエッジは駆動エッジであることに注意してください。

表 42. ASRC、シリアル出力ポート

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{\text{SRCFS}}$ <sup>1</sup> Frame Sync Setup Before Serial Clock Rising Edge	4		ns
$t_{\text{SRCHFS}}$ <sup>1</sup> Frame Sync Hold After Serial Clock Rising Edge	5.5		ns
$t_{\text{SRCLKW}}$ Clock Width	$(t_{\text{PCLK}} \times 4) \div 2 - 1$		ns
$t_{\text{SRCLK}}$ Clock Period	$t_{\text{PCLK}} \times 4$		ns
<i>Switching Characteristics</i>			
$t_{\text{SRCTDD}}$ <sup>1</sup> Transmit Data Delay After Serial Clock Falling Edge		9.9	ns
$t_{\text{SRCTDH}}$ <sup>1</sup> Transmit Data Hold After Serial Clock Falling Edge	1		ns

<sup>1</sup> シリアル・クロック、データ、フレーム同期信号は任意の DAI ピンから入力可能。シリアル・クロックとフレーム同期信号は、PCG または SPORT 経由の入力も可能。PCG の入力は、CLKIN ピンまたは任意の DAI ピンが可能。

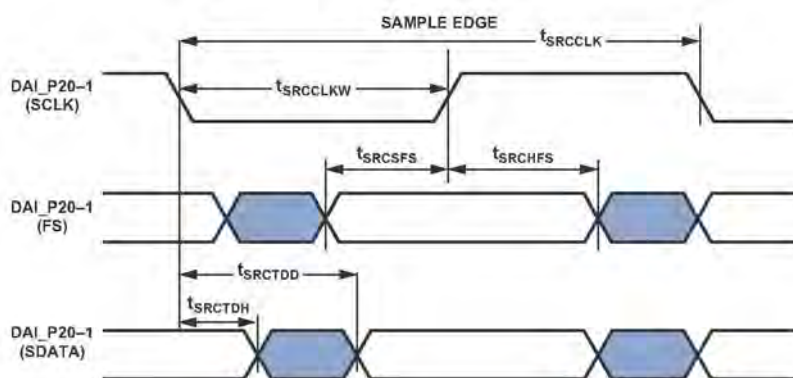


図 31. ASRC シリアル出力ポートのタイミング

### パルス幅変調(PWM)ジェネレータ

AMI\_ADDR23~8 ピンが PWM として設定された場合、次のタイミング仕様が適用されます。

表 43. パルス幅変調 (PWM)のタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
$t_{PWMW}$ PWM Output Pulse Width	$t_{PCLK} - 2$	$(2^{16} - 2) \times t_{PCLK} - 2$	ns
$t_{PWMP}$ PWM Output Period	$2 \times t_{PCLK} - 1.5$	$(2^{16} - 1) \times t_{PCLK} - 1.5$	ns

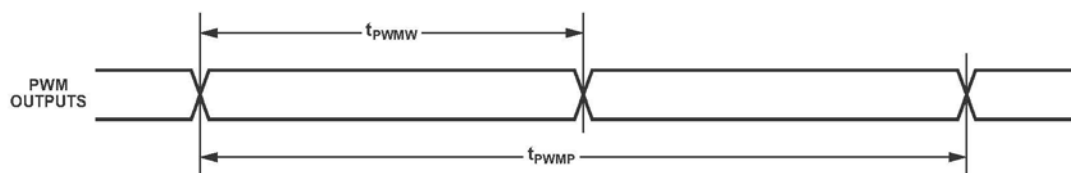


図 32. PWM のタイミング

### S/PDIF トランスミッタ

S/PDIF トランスミッタへのシリアル・データ入力は、16、18、20、または 24 ビット・ワード幅の左詰め、 $I^2S$ 、または右詰めとしてフォーマットすることができます。次のセクションに、トランスミッタのタイミングを示します。

#### S/PDIF トランスミッタのシリアル入力波形

図 33 に右詰めモードを示します。LRCLK は、左チャンネルに対してはハイ・レベルに、右チャンネルに対してはロー・レベルになります。データはシリアル・クロックの立上がりエッジで有効です。LRCLK の 1 周期あたり 64 シリアル・クロック周期存在する場合、データの LSB が次の LRCLK 変化に対して右詰めになるようにするため、MSB が LRCLK の変化から最小周期(24 ビット出力モード)または最大周期(16 ビット出力モード)だけ遅延させられます。

図 34 に、デフォルトの  $I^2S$  モードを示します。LRCLK は、左チャンネルに対してはロー・レベルに、右チャンネルに対してはハイ・

レベルになります。データはシリアル・クロックの立上がりエッジで有効です。MSB は LRCLK の変化に対して左詰め、MSB の遅延があります。

図 35 に、左詰めモードを示します。LRCLK は、左チャンネルに対してはハイ・レベルに、右チャンネルに対してはロー・レベルになります。データはシリアル・クロックの立上がりエッジで有効です。MSB は LRCLK の変化に対して左詰め、遅延はありません。

表 44. S/PDIF トランスミッタ右詰めモード

Parameter	Nominal	Unit
<i>Timing Requirement</i>		
$t_{RJD}$ LRCLK to MSB Delay in Right-Justified Mode		
16-Bit Word Mode	16	SCLK
18-Bit Word Mode	14	SCLK
20-Bit Word Mode	12	SCLK
24-Bit Word Mode	8	SCLK

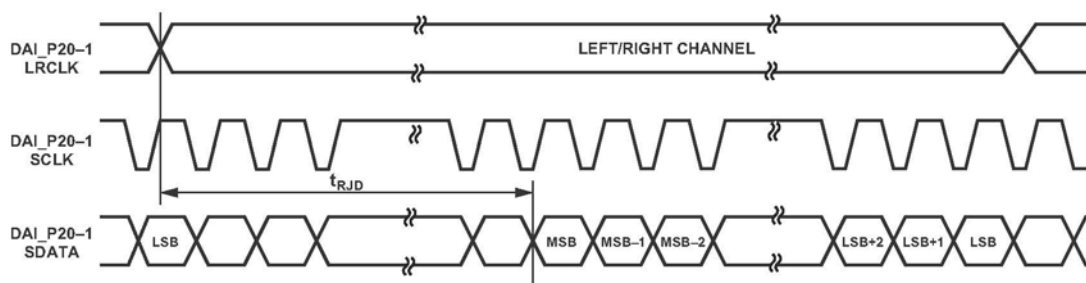


図 33. 右詰めモード



表 45. S/PDIF トランスミッタ I<sup>2</sup>S モード

Parameter	Nominal	Unit
<i>Timing Requirement</i>		
$t_{I2SD}$ LRCLK to MSB Delay in I <sup>2</sup> S Mode	1	SCLK

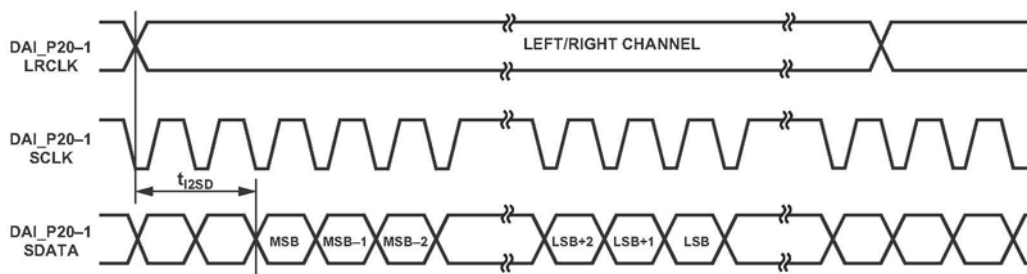


図 34. I<sup>2</sup>S モード

表 46. S/PDIF トランスミッタ左詰めモード

Parameter	Nominal	Unit
<i>Timing Requirement</i>		
$t_{LJD}$ LRCLK to MSB Delay in Left-Justified Mode	0	SCLK

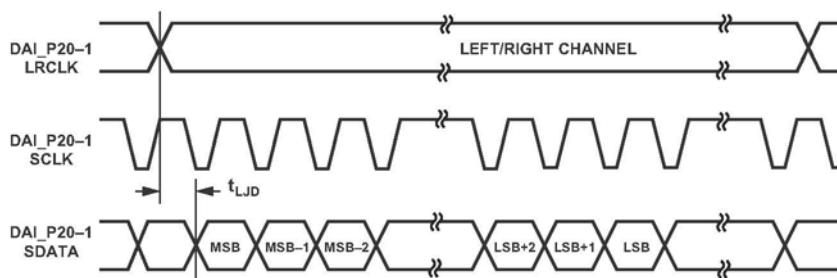


図 35. 左詰めモード

## S/PDIF トランスミッタ入力データのタイミング

S/PDIF トランスミッタのタイミング条件を表 47に示します。入力信号はSRUを使ってDAI\_P20~1ピンに接続されます。したがって、下記のタイミング仕様は、DAI\_P20~1ピンで有効です。

表 47. S/PDIF トランスミッタ入力データのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{SISFS}^1$	Frame Sync Setup Before Serial Clock Rising Edge	3	ns
$t_{SIHFS}^1$	Frame Sync Hold After Serial Clock Rising Edge	3	ns
$t_{SISD}^1$	Data Setup Before Serial Clock Rising Edge	3	ns
$t_{SIHD}^1$	Data Hold After Serial Clock Rising Edge	3	ns
$t_{SITXCLKW}$	Transmit Clock Width	9	ns
$t_{SITXCLK}$	Transmit Clock Period	20	ns
$t_{SISCLKW}$	Clock Width	36	ns
$t_{SISCLK}$	Clock Period	80	ns

<sup>1</sup> シリアル・クロック、データ、フレーム同期信号は任意のDAIピンから入力可能。シリアル・クロックとフレーム同期信号は、PCGまたはSPORT経由の入力も可能。PCGの入力は、CLKINピンまたは任意のDAIピンが可能。

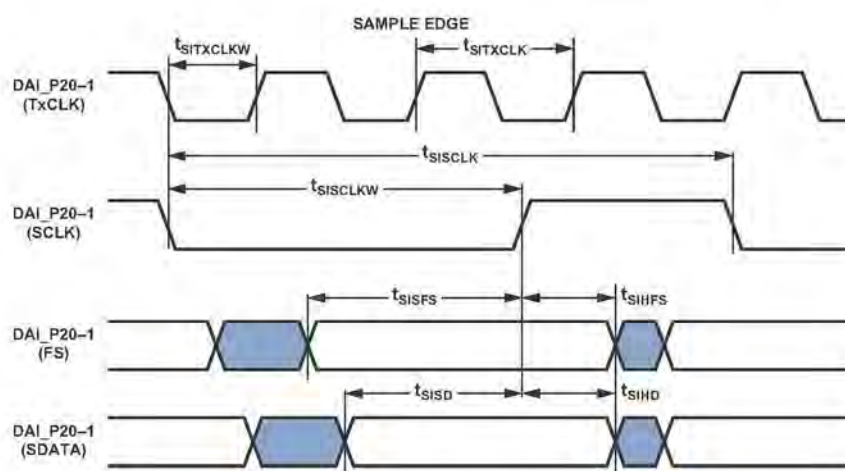


図 36. S/PDIF トランスミッタ入力のタイミング

## オーバーサンプリング・クロック(HFCLK)のスイッチング特性

S/PDIF トランスミッタは、オーバーサンプリング・クロックを持っています。このHFCLK入力は、バイフェーズ・クロックを発生するために分周されます。

表 48. オーバーサンプリング・クロック (HFCLK)のスイッチング特性

Parameter	Max	Unit
HFCLK Frequency for HFCLK = 384 × Frame Sync	Oversampling Ratio × Frame Sync $\leq 1/t_{SIHFCLK}$	MHz
HFCLK Frequency for HFCLK = 256 × Frame Sync	49.2	MHz
Frame Rate (Fs)	192.0	kHz

## S/PDIF レシーバ

次のセクションにタイミングを示します(S/PDIF レシーバに関係しているため)。

### 内部デジタル PLL モード

内部デジタル位相ロック・ループ・モードでは、内部 PLL (デジタル PLL)が  $512 \times FS$  のクロックを発生します。

表 49. S/PDIF レシーバ内部デジタル PLL モードのタイミング

Parameter		Min	Max	Unit
<i>Switching Characteristics</i>				
$t_{DFSI}$	LRCLK Delay After Serial Clock		5	ns
$t_{HOFSI}$	LRCLK Hold After Serial Clock	-2		ns
$t_{DDTI}$	Transmit Data Delay After Serial Clock		5	ns
$t_{HDTI}$	Transmit Data Hold After Serial Clock	-2		ns
$t_{SCLKIW}^1$	Transmit Serial Clock Width	$8 \times t_{PCLK} - 2$		ns

<sup>1</sup> シリアル・クロック周波数 =  $64 \times$  フレーム同期、ここで、フレーム同期=LRCLK 周波数。

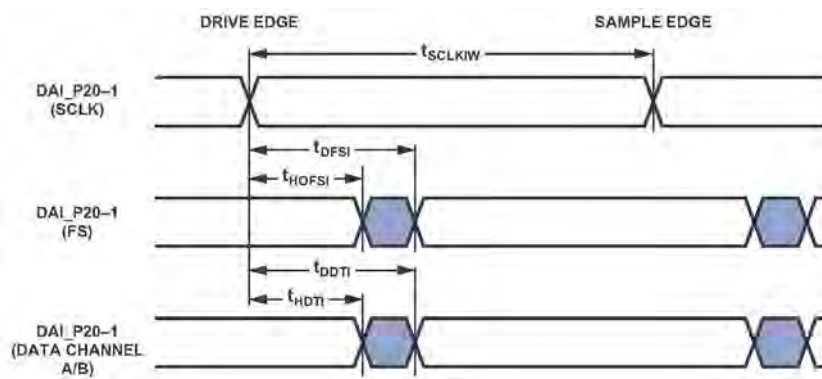


図 37. S/PDIF レシーバ内部デジタル PLL モードのタイミング

**SPI インターフェース—マスター**

2 個の SPI ポートを内蔵しています。プライマリとセカンダリは、DPI を介してのみ使用可能です。表 50 と表 51 に示すタイミングは両方に適用されます。

表 50. SPI インターフェース・プロトコル—マスターのスイッチング仕様とタイミング仕様

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{SSPIDM}$ Data Input Valid to SPICLK Edge (Data Input Setup Time)	8.2		ns
$t_{HSPIDM}$ SPICLK Last Sampling Edge to Data Input Not Valid	2		ns
<i>Switching Characteristics</i>			
$t_{SPICLKM}$ Serial Clock Cycle	$8 \times t_{PCLK} - 2$		ns
$t_{SPICHM}$ Serial Clock High Period	$4 \times t_{PCLK} - 2$		ns
$t_{SPICLM}$ Serial Clock Low Period	$4 \times t_{PCLK} - 2$		ns
$t_{DDSPIDM}$ SPICLK Edge to Data Out Valid (Data Out Delay Time)		2.5	ns
$t_{HDSPIDM}$ SPICLK Edge to Data Out Not Valid (Data Out Hold Time)	$4 \times t_{PCLK} - 2$		ns
$t_{SDSCIM}$ DPI Pin (SPI Device Select) Low to First SPICLK Edge	$4 \times t_{PCLK} - 2$		ns
$t_{HDSM}$ Last SPICLK Edge to DPI Pin (SPI Device Select) High	$4 \times t_{PCLK} - 2$		ns
$t_{SPITDM}$ Sequential Transfer Delay	$4 \times t_{PCLK} - 1$		ns

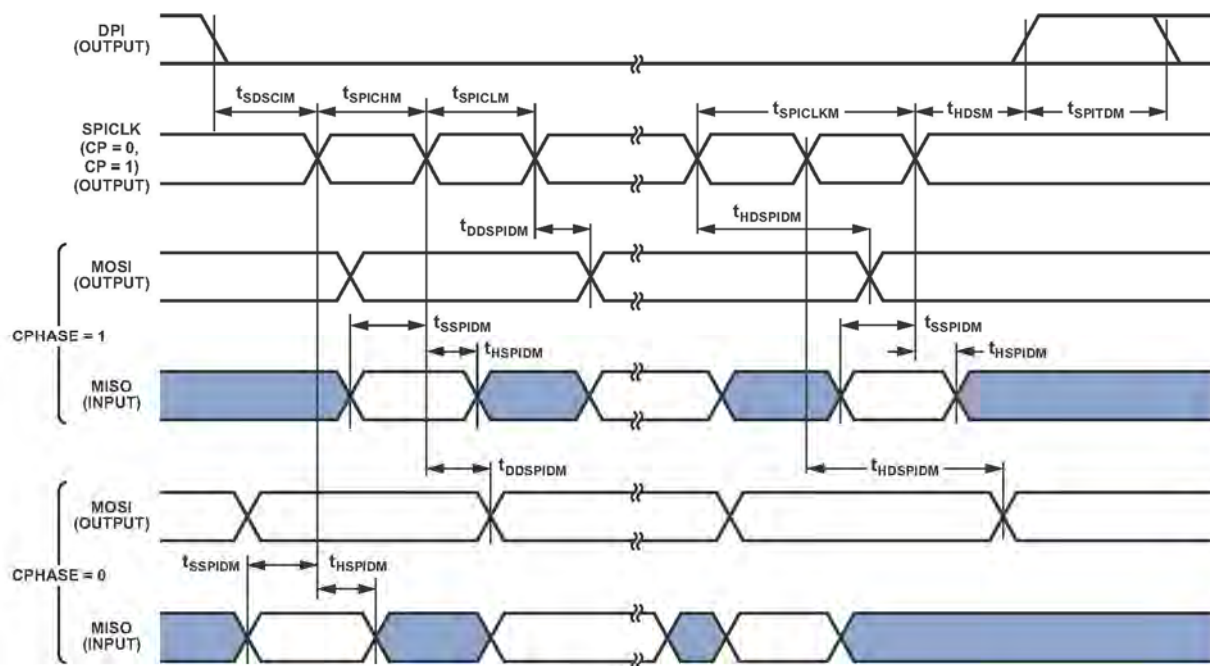


図 38. SPI マスターのタイミング

SPI インターフェーススレーブ

表 51. SPI インターフェース・プロトコルスレーブのスイッチング仕様とタイミング仕様

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
$t_{SPICLKS}$	Serial Clock Cycle	$4 \times t_{PCLK} - 2$		ns
$t_{SPICHS}$	Serial Clock High Period	$2 \times t_{PCLK} - 2$		ns
$t_{SPICLS}$	Serial Clock Low Period	$2 \times t_{PCLK} - 2$		ns
$t_{SDSCO}$	SPIDS Assertion to First SPICLK Edge, CPHASE = 0 or CPHASE = 1	$2 \times t_{PCLK}$		ns
$t_{HDS}$	Last SPICLK Edge to SPIDS Not Asserted, CPHASE = 0	$2 \times t_{PCLK}$		ns
$t_{SSPIDS}$	Data Input Valid to SPICLK Edge (Data Input Setup Time)	2		ns
$t_{HSPIDS}$	SPICLK Last Sampling Edge to Data Input Not Valid	2		ns
$t_{SDPPW}$	SPIDS Deassertion Pulse Width (CPHASE = 0)	$2 \times t_{PCLK}$		ns
<i>Switching Characteristics</i>				
$t_{DSOE}$	SPIDS Assertion to Data Out Active	0	6.8	ns
$t_{DSOE}^1$	SPIDS Assertion to Data Out Active (SPI2)	0	8	ns
$t_{DSDHI}$	SPIDS Deassertion to Data High Impedance	0	10.5	ns
$t_{DSDHI}^1$	SPIDS Deassertion to Data High Impedance (SPI2)	0	10.5	ns
$t_{DDSPIDS}$	SPICLK Edge to Data Out Valid (Data Out Delay Time)		9.5	ns
$t_{HDSPIDS}$	SPICLK Edge to Data Out Not Valid (Data Out Hold Time)	$2 \times t_{PCLK}$		ns
$t_{DSOV}$	SPIDS Assertion to Data Out Valid (CPHASE = 0)		$5 \times t_{PCLK}$	ns

<sup>1</sup> これらのパラメータのタイミングは、SPI が信号ルーティング・ユニットを使って接続されているときに適用。詳細については、プロセッサ・ハードウェア・リファレンスの「Serial Peripheral Interface Port」の章を参照してください。

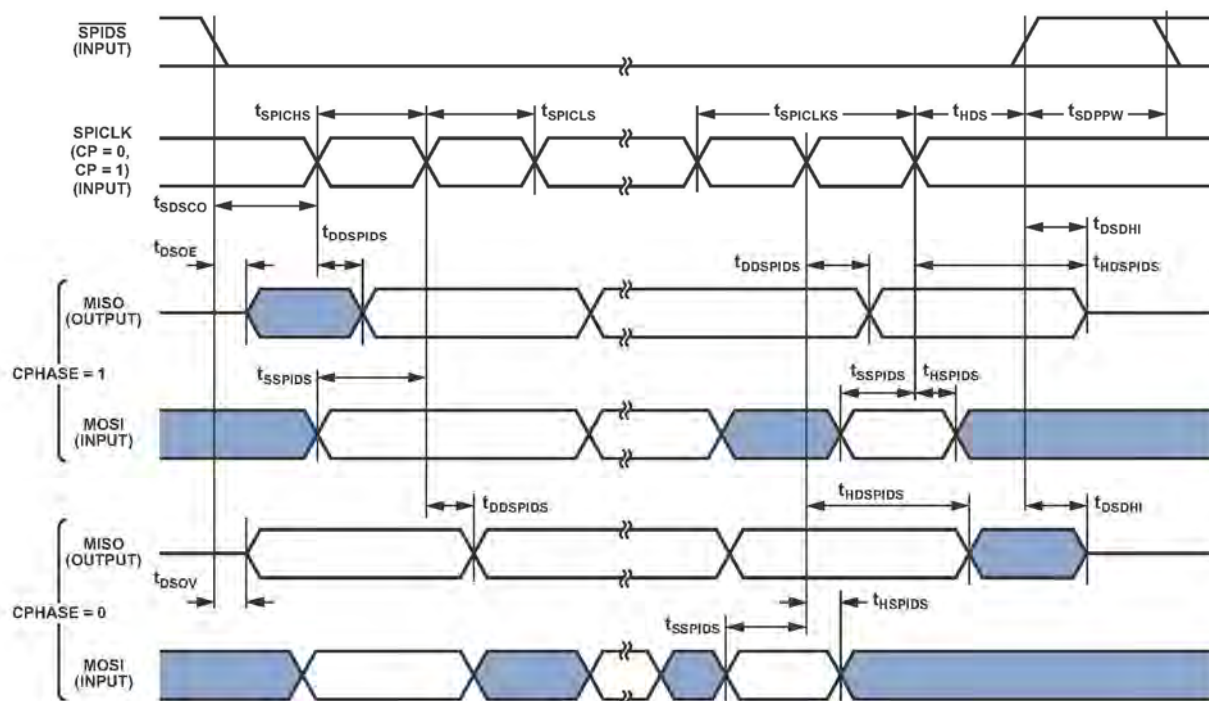


図 39. SPI スレーブのタイミング

## メディア・ローカル・バス

特に指定がない限り、与えられたすべての値がすべての速度モードに適用されます(3 ピンの場合 1024 Fs、512 Fs、256 Fs; 5 ピンの場合 512 Fs と 256 Fs)。詳細については、MediaLB 仕様ドキュメントのレビジョン 3.0 を参照してください。

表 52. MLB インターフェース、3 ピン仕様

Parameter	Min	Typ	Max	Unit
<i>3-Pin Characteristics</i>				
$t_{\text{MLBCLK}}$ MLB Clock Period				
1024 Fs		20.3		ns
512 Fs		40		ns
256 Fs		81		ns
$t_{\text{MCKL}}$ MLBCLK Low Time				
1024 Fs	6.1			ns
512 Fs	14			ns
256 Fs	30			ns
$t_{\text{MCKH}}$ MLBCLK High Time				
1024 Fs	9.3			ns
512 Fs	14			ns
256 Fs	30			ns
$t_{\text{MCKR}}$ MLBCLK Rise Time ( $V_{\text{IL}}$ to $V_{\text{IH}}$ )				
1024 Fs			1	ns
512 Fs/256 Fs			3	ns
$t_{\text{MCKF}}$ MLBCLK Fall Time ( $V_{\text{IH}}$ to $V_{\text{IL}}$ )				
1024 Fs			1	ns
512 Fs/256 Fs			3	ns
$t_{\text{MPWV}}^1$ MLBCLK Pulse Width Variation				
1024 Fs			0.7	ns p-p
512 Fs/256 Fs			2.0	ns p-p
$t_{\text{DSMCF}}$ DAT/SIG Input Setup Time	1			ns
$t_{\text{DHMCF}}$ DAT/SIG Input Hold Time	1			ns
$t_{\text{MCFDZ}}$ DAT/SIG Output Time to Three-state	0		15	ns
$t_{\text{MCDRV}}$ DAT/SIG Output Data Delay From MLBCLK Rising Edge			8	ns
$t_{\text{MDZH}}^2$ Bus Hold Time				
1024 Fs	2			ns
512 Fs/256 Fs	4			ns
$C_{\text{MLB}}$ DAT/SIG Pin Load				
1024 Fs			40	pf
512 Fs/256 Fs			60	pf

<sup>1</sup> パルス幅変化は、1.25V における MLBCLK の一方のエッジでトリガして、他方のエッジまでの広がり (ns p-p) を測定します。

<sup>2</sup> ボードは、ハイ・インピーダンス・バスがこの間に最後に駆動されたビットのロジック状態を残さないように、デザインする必要があります。そうすると、リセットされた最大負荷容量を満たすかぎりノイズ混入は最小になります。

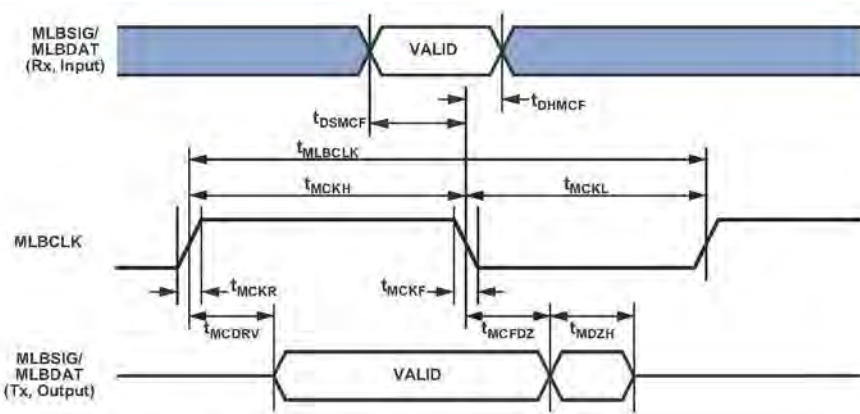


図 40. MLB のタイミング (3 ピン・インターフェース)

表 53. MLB インターフェース、5 ピン仕様

Parameter	Min	Typ	Max	Unit
<i>5-Pin Characteristics</i>				
$t_{MLBCLK}$ MLB Clock Period				
512 Fs		40		ns
256 Fs		81		ns
$t_{MCKL}$ MLBCLK Low Time				
512 Fs	15			ns
256 Fs	30			ns
$t_{MCKH}$ MLBCLK High Time				
512 Fs	15			ns
256 Fs	30			ns
$t_{MCKR}$ MLBCLK Rise Time ( $V_{IL}$ to $V_{IH}$ )			6	ns
$t_{MCKF}$ MLBCLK Fall Time ( $V_{IH}$ to $V_{IL}$ )			6	ns
$t_{MPWV}^1$ MLBCLK Pulse Width Variation			2	ns p-p
$t_{DSMCF}^2$ DAT/SIG Input Setup Time	3			ns
$t_{DHMCf}$ DAT/SIG Input Hold Time	5			ns
$t_{MCDRV}$ DS/DO Output Data Delay From MLBCLK Rising Edge			8	ns
$t_{MCRDL}^3$ DO/SO Low From MLBCLK High				
512 Fs			10	ns
256 Fs			20	ns
$C_{MLB}$ DS/DO Pin Load			40	pf

<sup>1</sup> パルス幅変化は、MLBCLK の 1 つのエッジでトリガし、他のエッジの広がり (ns ピーク to ピーク (ns p-p)) を測定することにより、1.25 V で測定します。

<sup>2</sup> ピンの OR ロジックで発生するゲート遅延を考慮する必要があります。

<sup>3</sup> ノードが有効なデータをバスへ出力していない場合、MLBSO 出力ラインと MLBDO 出力ラインはロー・レベルを維持する必要があります。リセット時などのように出力ラインが何時でもフローティングになることができる場合は、駆動されていない MediaLB 信号ライン出力の破壊を防止するため外部プルダウン抵抗が必要です。

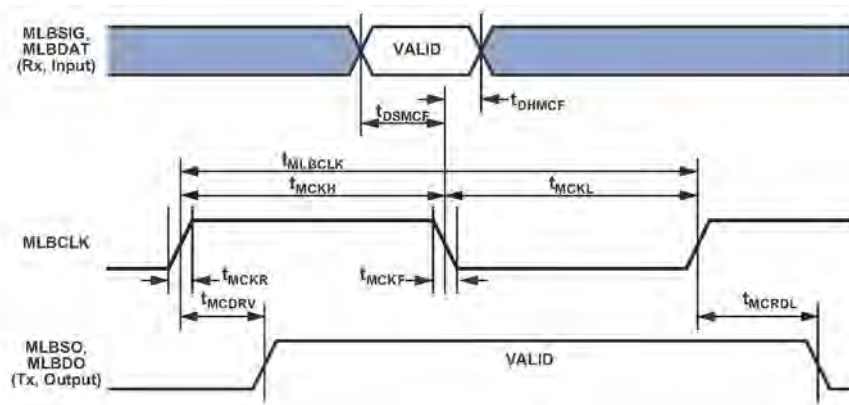


図 41. MLB のタイミング (5 ピン・インターフェース)



図 42. MLB 3 ピンと 5 ピンの MLBCLK のパルス幅変化タイミング



**ユニバーサル非同期レシーバ・トランスミッタ(UART)ポート—受信タイミングと送信タイミング**

UART ポートの受信動作と送信動作については、「ADSP-214xx SHARC Hardware Reference Manual」を参照してください。

**2 線式インターフェース (TWI)—受信タイミングと送信タイミング**

TWI の受信動作と送信動作については、「ADSP-214xx SHARC Hardware Reference Manual」を参照してください。

**JTAG テスト・アクセス・ポートとエミュレーション**

表 54. JTAG テスト・アクセス・ポートとエミュレーション

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{TCK}$ TCK Period	20		ns
$t_{STAP}$ TDI, TMS Setup Before TCK High	5		ns
$t_{HTAP}$ TDI, TMS Hold After TCK High	6		ns
$t_{SSYS}^1$ System Inputs Setup Before TCK High	7		ns
$t_{HSYS}^1$ System Inputs Hold After TCK High	18		ns
$t_{TRSTW}$ $\overline{TRST}$ Pulse Width	$4 \times t_{CK}$		ns
<i>Switching Characteristics</i>			
$t_{DTDO}$ TDO Delay from TCK Low		10	ns
$t_{DSYS}^2$ System Outputs Delay After TCK Low		$t_{CK} \div 2 + 7$	ns

<sup>1</sup> システム入力 = AMI\_DATA、DDR2\_DATA、CLKCFG1~0、BOOTCFG2~0、RESET、DAI、DPI、FLAG3~0。

<sup>2</sup> システム出力 = AMI\_ADDR/DATA、DDR2\_ADDR/DATA、AMI\_CTRL、DDR2\_CTRL、DAI、DPI、FLAG3~0、 $\overline{EMU}$ 。

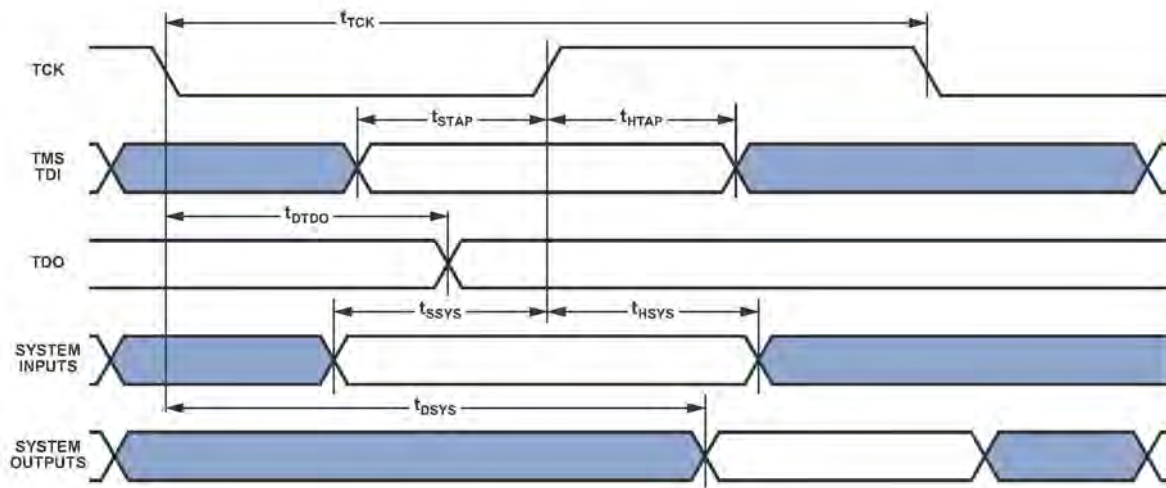
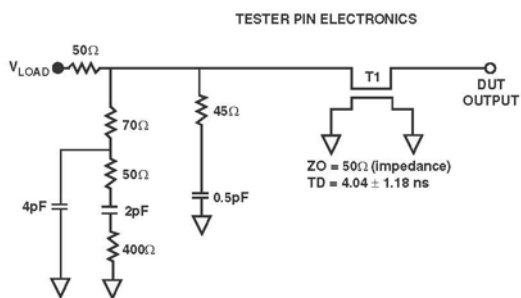


図 43. IEEE 1149.1 JTAG テスト・アクセス・ポート

テスト条件

AC 信号仕様(タイミング・パラメータ)をページ25の表 19~ページ 57の表 54に示します。これらには、出力ディスエーブル時間、出力イネーブル時間、容量負荷が含まれています。SHARC のタイミング仕様は、図 44に示すリファレンス電圧レベルに適用されます。

タイミングは、図 45に示すように信号が VMEAS レベルを通過するときに測定します。すべての遅延(n sec)は、1 つ目の信号が VMEAS に到達したポイントと、2 つ目の信号が VMEAS に到達したポイントとの間で測定します。VMEAS の値は、非 DDR ピンでは 1.5 V に、DDR ピンでは 0.9 V に、それぞれなります。



NOTES:  
THE WORST-CASE TRANSMISSION LINE DELAY IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. THE TRANSMISSION LINE (TD) IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.  
ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, A SYSTEM MAY INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

図 44. AC 測定の等価デバイス負荷(すべての治具を含む)



図 45. AC 測定のリファレンス電圧レベル

出力駆動電流

図 46と図 47に ADSP-21469 出力ドライバの I-V 特性 (typ)を、表 54に、各ドライバに対応するピンを、それぞれ示します。このカーブは、出力ドライバの電流駆動能力を出力電圧の関数として表しています。

表 55. ドライバ・タイプ

Driver Type	Associated Pins
A	LACK1-0, LDAT0[7:0], LDAT1[7:0], MLBCLK, MLBDAT, MLBDO, MLBSIG, MLBSO, AMI_ACK, AMI_ADDR23-0, AMI_DATA7-0, AMI_MS1-0, AMI_RD, AMI_WR, DAI_P, DPI_P, EMU, FLAG3-0, RESETOUT, TDO
B	LCLK1-0
C	DDR2_ADDR15-0, DDR2_BA2-0, DDR2_CAS, DDR2_CKE, DDR2_CS3-0, DDR2_DATA15-0, DDR2_DM1-0, DDR2_ODT, DDR2_RAS, DDR2_WE
D (TRUE)	DDR2_CLK1-0, DDR2_DQS1-0
D (COMP)	DDR2_CLK1-0, DDR2_DQS1-0

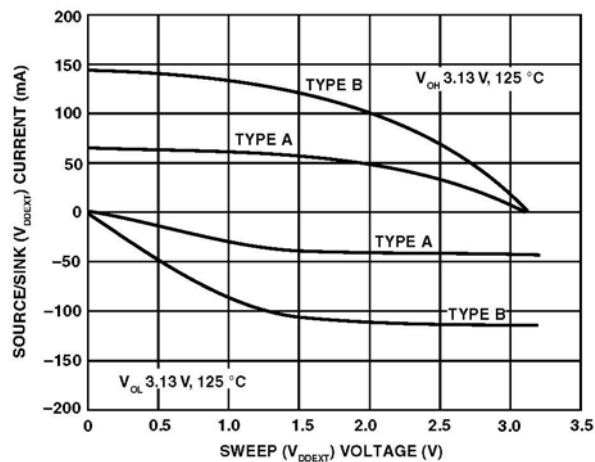


図 46. 出力バッファ特性 (ワースト・ケース 非 DDR2)

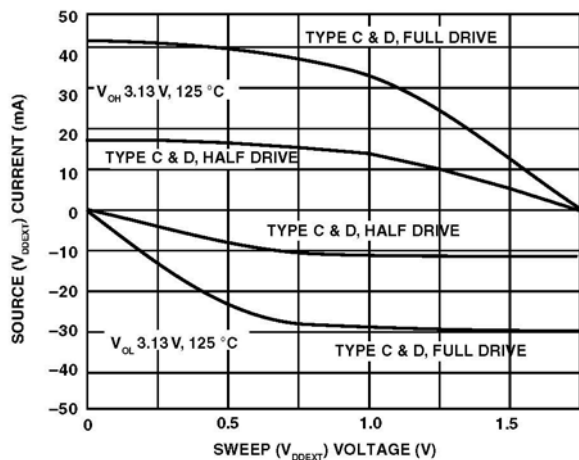


図 47. 出力バッファ特性 (ワースト・ケース DDR2)

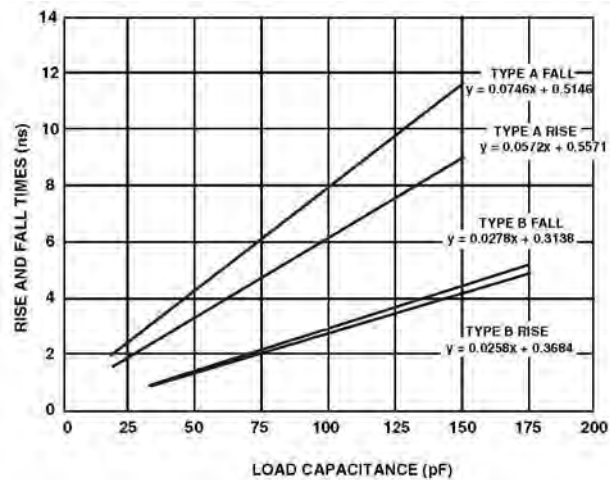


図 49. 非 DDR2 出力立上がり/立下がり時間(typ)

容量負荷

出力の遅延とホールドでは、すべてのピンに標準容量負荷 30 pF を接続しています(表 55 参照)。図 52～図 57 に、出力遅延とホールドが負荷容量により変化する様子を示します。図 48～図 57 のグラフは、出力遅延(Typ)対負荷容量および出力立上がり時間(Typ)(20%～80%、V = Min)対負荷容量で示す範囲の外側では直線にならないことがあります。

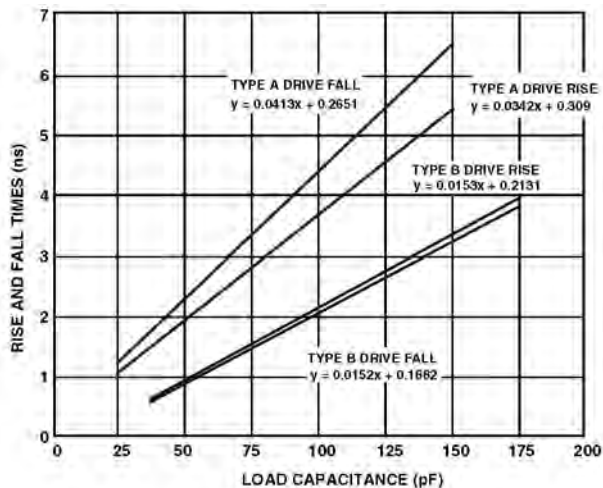


図 48. 非 DDR2 出力立上がり/立下がり時間(typ) (20～80%、V<sub>DD\_EXT</sub> = Max)

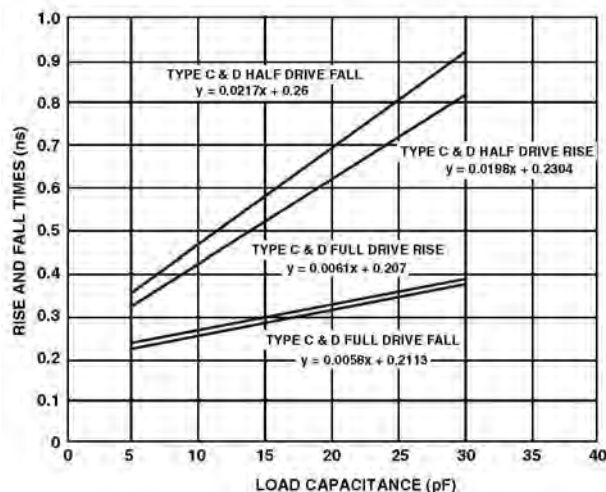


図 50. DDR2 出力立上がり/立下がり時間(typ) (20～80%、V<sub>DD\_EXT</sub> = Max)

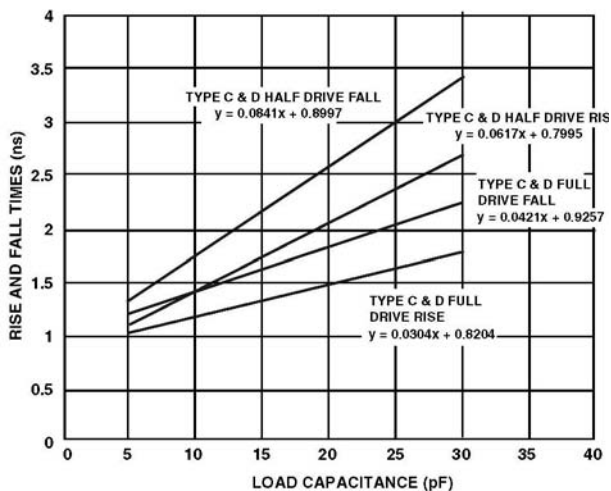


図 51. DDR2 出力立上がり/立下がり時間(typ)  
(20~80%、 $V_{DD\_EXT} = \text{Min}$ )

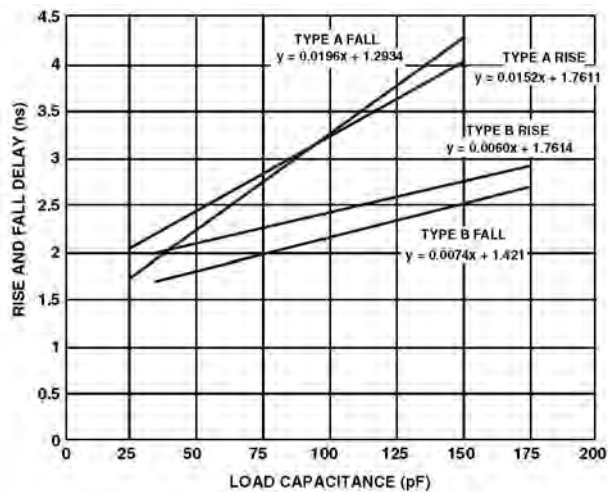


図 52. 非 DDR 出力立上がり/立下がり遅延(typ)  
( $V_{DD\_EXT} = \text{Max}$ )

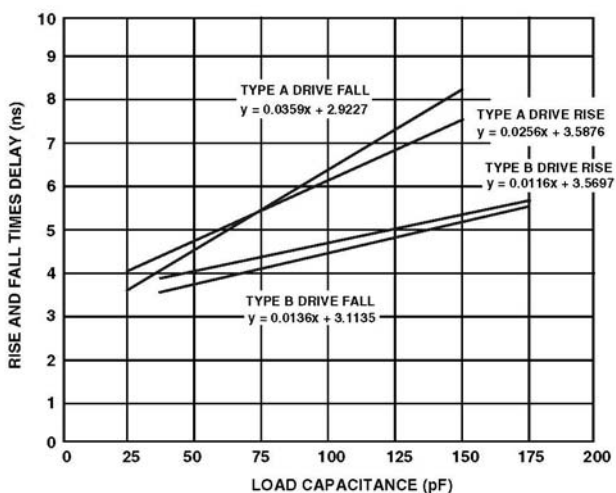


図 53. 非 DDR 出力立上がり/立下がり遅延(typ)  
( $V_{DD\_EXT} = \text{Min}$ )

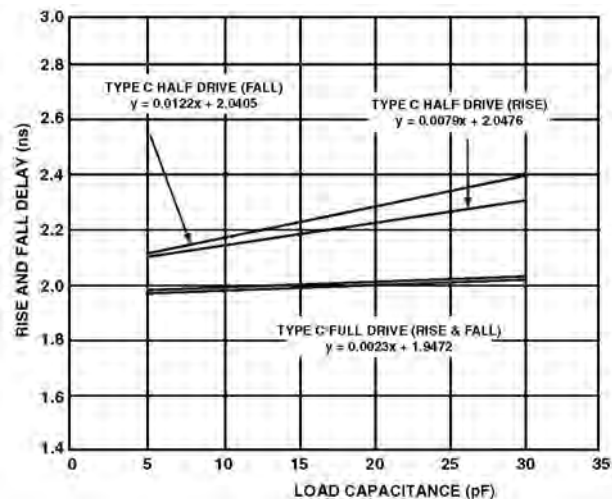


図 54. DDR パッド C の出力立上がり/立下がり遅延(typ)  
( $V_{DD\_EXT} = \text{Min}$ )

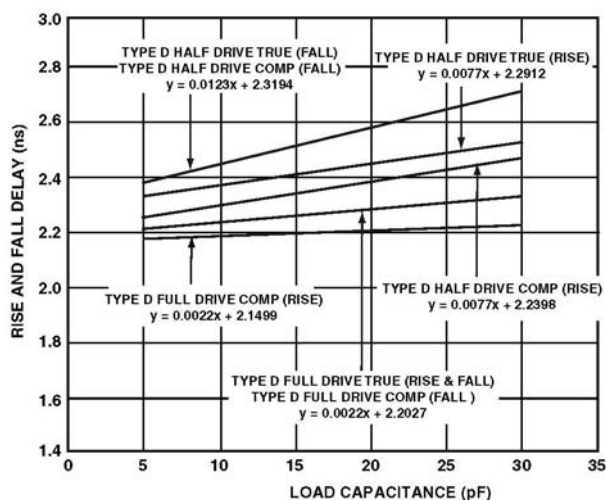


図 55. DDR パッド D の出力立上がり/立下がり遅延(typ)  
( $V_{DD\_EXT} = \text{Min}$ )

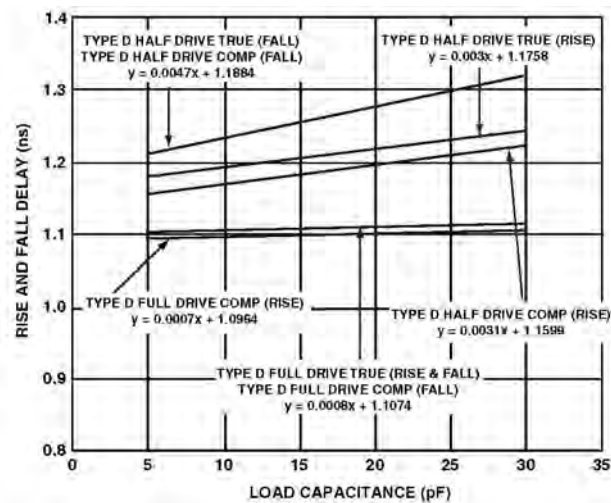


図 57. DDR パッド D の出力立上がり/立下がり遅延(typ)  
( $V_{DD\_EXT} = \text{Max}$ )

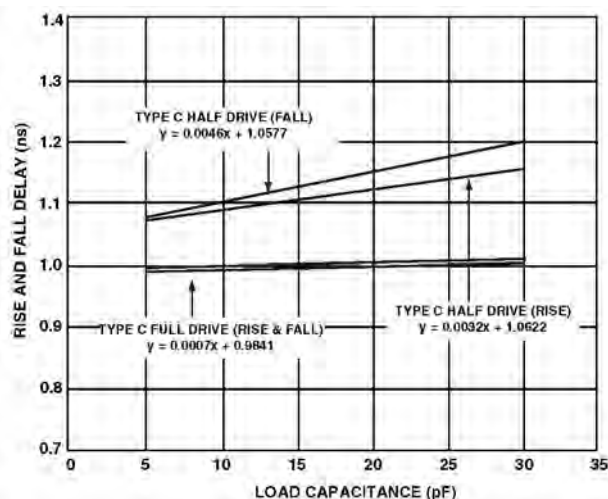


図 56. DDR パッド C の出力立上がり/立下がり遅延(typ)  
( $V_{DD\_EXT} = \text{Max}$ )

## 熱特性

ADSP-21469 プロセッサの性能は、[ページ17の動作条件](#)で規定する温度範囲で規定されています。

表 56の空気流の測定は JEDEC 規格 JESD51-2 と JESD51-6 に、ジャンクション—ボード間の測定は JESD51-8 に、それぞれ準拠しています。テスト・ボードのデザインは JEDEC 規格 JESD51-7 (CSP\_BGA)に準拠しています。ジャンクション—ケース間の測定は MIL-STD-883 に準拠しています。すべての測定では、2S2P JEDEC テスト・ボードを使用しています。

アプリケーション PCB 上でのデバイスのジャンクション温度を求めるときは、次式を使います。

$T_J$  = ジャンクション温度 $^{\circ}\text{C}$

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

ここで、

$T_{CASE}$  = ケース温度( $^{\circ}\text{C}$ )、パッケージ上面の中央で測定

$\Psi_{JT}$  = ジャンクション—パッケージ上面間のキャラクタライゼーション・パラメータは表 56の Typ 値を使用

$P_D = \theta_{JA}$  の消費電力値。この値はパッケージ比較と PCB デザインのために示してあります。 $\theta_{JA}$  は次式を使った  $T_J$  の一次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、

$T_A$  = 周囲温度 $^{\circ}\text{C}$

$\theta_{JC}$  の値は、外部ヒートシンクが必要な場合のパッケージ比較と PCB デザイン考慮のために示してあります。

$\theta_{JB}$  の値は、パッケージ比較と PCB デザイン考慮のために示してあります。表 56 に示す温度特性値はモデル化した値であることを注意してください。

表 56. 324 ピン CSP\_BGA の熱特性

Parameter	Condition	Typical	Unit
$\theta_{JA}$	Airflow = 0 m/s	22.7	°C/W
$\theta_{JMA}$	Airflow = 1 m/s	20.4	°C/W
$\theta_{JMA}$	Airflow = 2 m/s	19.5	°C/W
$\theta_{JC}$		6.6	°C/W
$\Psi_{JT}$	Airflow = 0 m/s	0.11	°C/W
$\Psi_{JMT}$	Airflow = 1 m/s	0.19	°C/W
$\Psi_{JMT}$	Airflow = 2 m/s	0.24	°C/W

### サーマル・ダイオード

ADSP-21469 プロセッサは、ダイ温度をモニタするサーマル・ダイオードを内蔵しています。このサーマル・ダイオードは、グラウンドに接続されたコレクタを持つ PNP バイポーラ接合トランジスタ (BJT) です。THD\_P ピンとトランジスタのエミッタが、THD\_M ピンとトランジスタのベースが、それぞれ接続されています。これらのピンと外部温度センサー (例えば ADM 1021A や LM86 など) を使ってダイ温度を讀出すことができます。

外部温度センサーで採用している技術は、サーマル・ダイオードが 2 つの異なる電流で動作する際の VBE の変化を測定する方法です。この関係は次式で表されます。

$$\Delta V_{BE} = n \times \frac{kT}{q} \times \ln(N)$$

ここで、

表 57. サーマル・ダイオード・パラメータ - トランジスタ・モデル<sup>1</sup>

Symbol	Parameter	Min	Typ	Max	Unit
IFW <sup>2</sup>	Forward Bias Current	10		300	μA
IE	Emitter Current	10		300	μA
nQ <sup>3,4</sup>	Transistor Ideality	1.012	1.015	1.017	
RT <sup>4,5</sup>	Series Resistance	0.12	0.2	0.28	Ω

<sup>1</sup> EE ノート EE-346 を参照してください。

<sup>2</sup> アナログ・デバイセズは、逆方向バイアスでのサーマル・ダイオード動作を推奨しません。

<sup>3</sup> 100% テストではありません。デザイン・キャラクタライゼーションにより規定。

<sup>4</sup> 理論係数 nQ は、ダイオード式で例示される理論ダイオード動作からの乖離です。このダイオード式は  $I_C = I_S \times (e^{qV_{BE}/nqkT} - 1)$  で表わされ、ここで  $I_S$  = 飽和電流、 $q$  = 電子の電荷、 $V_{BE}$  = ダイオード電圧、 $k$  = ボルツマン定数、 $T$  = 絶対温度 (Kelvin) です。

<sup>5</sup> 直列抵抗 ( $R_T$ ) は、必要に応じて正確な讀出しのために使用することができます。

$n$  = 乗算係数 ( $\approx 1$ )、プロセス変動に依存します。

$k$  = ボルツマン定数。

$T$  = 温度 (°C)

$q$  = 電子の電荷

$N = 2$  つの電流の比

2 つの電流は、一般的な温度センサー・チップで 10 μA ~ 300 μA の範囲です。

表 57 に、トランジスタ・モデルを使用するサーマル・ダイオード仕様を示します。理論係数の測定値では、ベータ ( $\beta$ ) の変動が既に考慮されていることに注意してください。

## CSP\_BGAのボール配置—車載モデル

表 58に車載モデル CSP\_BGA のボール配置を示します(信号名順)。

表 58. CSP\_BGA のボール配置 (信号名順)

Signal	BallNo.	Signal	BallNo.	Signal	BallNo.	Signal	BallNo.
AGND	H02	CLK_CFG1	G02	DDR2_CKE	E01	DPI_P09	N01
AMI_ACK	R10	CLKIN	L01	DDR2_CLK0	A07	DPI_P10	N02
AMI_ADDR0	V16	DAI_P01	R06	DDR2_CLK0	B07	DPI_P11	N03
AMI_ADDR01	U16	DAI_P02	V05	DDR2_CLK1	A13	DPI_P12	N04
AMI_ADDR02	T16	DAI_P03	R07	DDR2_CLK1	B13	DPI_P13	M03
AMI_ADDR03	R16	DAI_P04	R03	DDR2_CS0	C01	DPI_P14	M04
AMI_ADDR04	V15	DAI_P05	U05	DDR2_CS1	D01	EMU	K02
AMI_ADDR05	U15	DAI_P06	T05	DDR2_CS2	C02	FLAG0	R08
AMI_ADDR06	T15	DAI_P07	V06	DDR2_CS3	D02	FLAG1	V07
AMI_ADDR07	R15	DAI_P08	V02	DDR2_DATA0	B02	FLAG2	U07
AMI_ADDR08	V14	DAI_P09	R05	DDR2_DATA01	A02	FLAG3	T07
AMI_ADDR09	U14	DAI_P10	V04	DDR2_DATA02	B03	GND	A01
AMI_ADDR10	T14	DAI_P11	U04	DDR2_DATA03	A03	GND	A18
AMI_ADDR11	R14	DAI_P12	T04	DDR2_DATA04	B05	GND	C04
AMI_ADDR12	V13	DAI_P13	U06	DDR2_DATA05	A05	GND	C06
AMI_ADDR13	U13	DAI_P14	U02	DDR2_DATA06	B06	GND	C08
AMI_ADDR14	T13	DAI_P15	R04	DDR2_DATA07	A06	GND	D05
AMI_ADDR15	R13	DAI_P16	V03	DDR2_DATA08	B08	GND	D07
AMI_ADDR16	V12	DAI_P17	U03	DDR2_DATA09	A08	GND	D09
AMI_ADDR17	U12	DAI_P18	T03	DDR2_DATA10	B09	GND	D10
AMI_ADDR18	T12	DAI_P19	T06	DDR2_DATA11	A09	GND	D17
AMI_ADDR19	R12	DAI_P20	T02	DDR2_DATA12	A11	GND	E03
AMI_ADDR20	V11	DDR2_ADDR0	D13	DDR2_DATA13	B11	GND	E05
AMI_ADDR21	U11	DDR2_ADDR01	C13	DDR2_DATA14	A12	GND	E12
AMI_ADDR22	T11	DDR2_ADDR02	D14	DDR2_DATA15	B12	GND	E13
AMI_ADDR23	R11	DDR2_ADDR03	C14	DDR2_DM0	C03	GND	E16
AMI_DATA0	U18	DDR2_ADDR04	B14	DDR2_DM1	C11	GND	F01
AMI_DATA1	T18	DDR2_ADDR05	A14	DDR2_DQS0	A04	GND	F02
AMI_DATA2	R18	DDR2_ADDR06	D15	DDR2_DQS0	B04	GND	F04
AMI_DATA3	P18	DDR2_ADDR07	C15	DDR2_DQS1	A10	GND	F14
AMI_DATA4	V17	DDR2_ADDR08	B15	DDR2_DQS1	B10	GND	F16
AMI_DATA5	U17	DDR2_ADDR09	A15	DDR2_ODT	B01	GND	G03
AMI_DATA6	T17	DDR2_ADDR10	D16	DDR2_RAS	C09	GND	G04
AMI_DATA7	R17	DDR2_ADDR11	C16	DDR2_WE	C10	GND	G05
AMI_MS0	T10	DDR2_ADDR12	B16	DPI_P01	R02	GND	G07
AMI_MS1	U10	DDR2_ADDR13	A16	DPI_P02	U01	GND	G08
AMI_RD	J04	DDR2_ADDR14	B17	DPI_P03	T01	GND	G09
AMI_WR	V10	DDR2_ADDR15	A17	DPI_P04	R01	GND	G10
BOOT_CFG0	J02	DDR2_BA0	C18	DPI_P05	P01	GND	G11
BOOT_CFG1	J03	DDR2_BA1	C17	DPI_P06	P02	GND	G12
BOOT_CFG2	Ho3	DDR2_BA2	B18	DPI_P07	P03	GND	G15
CLK_CFG0	G01	DDR2_CAS	C07	DPI_P08	P04	GND	H04

表 58. CSP\_BGA のボール配置 (信号名順)(続き)

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
GND	H07	GND	V01	V <sub>DD-DDR2</sub>	E04	V <sub>DD-INT</sub>	F13
GND	H08	GND	V18	V <sub>DD-DDR2</sub>	E07	V <sub>DD-INT</sub>	G06
GND	H09	LACK_0	K17	V <sub>DD-DDR2</sub>	E10	V <sub>DD-INT</sub>	G13
GND	H10	LACK_1	P17	V <sub>DD-DDR2</sub>	E11	V <sub>DD-INT</sub>	H05
GND	H11	LCLK_0	J18	V <sub>DD-DDR2</sub>	E17	V <sub>DD-INT</sub>	H06
GND	H12	LCLK_1	N18	V <sub>DD-DDR2</sub>	F03	V <sub>DD-INT</sub>	H13
GND	J01	LDAT0_0	E18	V <sub>DD-DDR2</sub>	F05	V <sub>DD-INT</sub>	H14
GND	J07	LDAT0_1	F17	V <sub>DD-DDR2</sub>	F15	V <sub>DD-INT</sub>	J06
GND	J08	LDAT0_2	F18	V <sub>DD-DDR2</sub>	G14	V <sub>DD-INT</sub>	J13
GND	J09	LDAT0_3	G17	V <sub>DD-DDR2</sub>	G16	V <sub>DD-INT</sub>	K06
GND	J10	LDAT0_4	G18	V <sub>DD-EXT</sub>	H15	V <sub>DD-INT</sub>	K13
GND	J11	LDAT0_5	H16	V <sub>DD-EXT</sub>	H18	V <sub>DD-INT</sub>	L06
GND	J12	LDAT0_6	H17	V <sub>DD-EXT</sub>	J05	V <sub>DD-INT</sub>	L13
GND	J14	LDAT0_7	J16	V <sub>DD-EXT</sub>	J15	V <sub>DD-INT</sub>	M06
GND	J17	LDAT1_0	K18	V <sub>DD-EXT</sub>	K14	V <sub>DD-INT</sub>	M13
GND	K05	LDAT1_1	L16	V <sub>DD-EXT</sub>	L05	V <sub>DD-INT</sub>	N06
GND	K07	LDAT1_2	L17	V <sub>DD-EXT</sub>	M14	V <sub>DD-INT</sub>	N07
GND	K08	LDAT1_3	L18	V <sub>DD-EXT</sub>	M18	V <sub>DD-INT</sub>	N08
GND	K09	LDAT1_4	M16	V <sub>DD-EXT</sub>	N05	V <sub>DD-INT</sub>	N09
GND	K10	LDAT1_5	M17	V <sub>DD-EXT</sub>	P06	V <sub>DD-INT</sub>	N13
GND	K11	LDAT1_6	N16	V <sub>DD-EXT</sub>	P08	V <sub>DD-THD</sub>	N10
GND	K12	LDAT1_7	P16	V <sub>DD-EXT</sub>	P10	V <sub>REF</sub>	D04
GND	L07	MLBCLK	K03	V <sub>DD-EXT</sub>	P12	V <sub>REF</sub>	D11
GND	L08	MLBDAT	K04	V <sub>DD-EXT</sub>	P14	XTAL	K01
GND	L09	MLBSIG	L02	V <sub>DD-EXT</sub>	P15		
GND	L10	MLBSO	L03	V <sub>DD-EXT</sub>	T08		
GND	L11	MLBDO	L04	V <sub>DD-EXT</sub>	T09		
GND	L12	RESET	M01	V <sub>DD-EXT</sub>	U08		
GND	L14	RESETOUT/RUNRSTIN	M02	V <sub>DD-EXT</sub>	U09		
GND	M05	TCK	K15	V <sub>DD-EXT</sub>	V08		
GND	M07	TDI	L15	V <sub>DD-EXT</sub>	V09		
GND	M08	TDO	M15	V <sub>DD-INT</sub>	D12		
GND	M09	THD_M	N12	V <sub>DD-INT</sub>	E06		
GND	M10	THD_P	N11	V <sub>DD-INT</sub>	E08		
GND	M11	TMS	K16	V <sub>DD-INT</sub>	E09		
GND	M12	TRST	N15	V <sub>DD-INT</sub>	E14		
GND	N14	VDD_A	H01	V <sub>DD-INT</sub>	E15		
GND	N17	V <sub>DD-DDR2</sub>	C05	V <sub>DD-INT</sub>	F06		
GND	P05	V <sub>DD-DDR2</sub>	C12	V <sub>DD-INT</sub>	F07		
GND	P07	V <sub>DD-DDR2</sub>	D03	V <sub>DD-INT</sub>	F08		
GND	P09	V <sub>DD-DDR2</sub>	D06	V <sub>DD-INT</sub>	F09		
GND	P11	V <sub>DD-DDR2</sub>	D08	V <sub>DD-INT</sub>	F10		
GND	P13	V <sub>DD-DDR2</sub>	D18	V <sub>DD-INT</sub>	F11		
GND	R09	V <sub>DD-DDR2</sub>	E02	V <sub>DD-INT</sub>	F12		



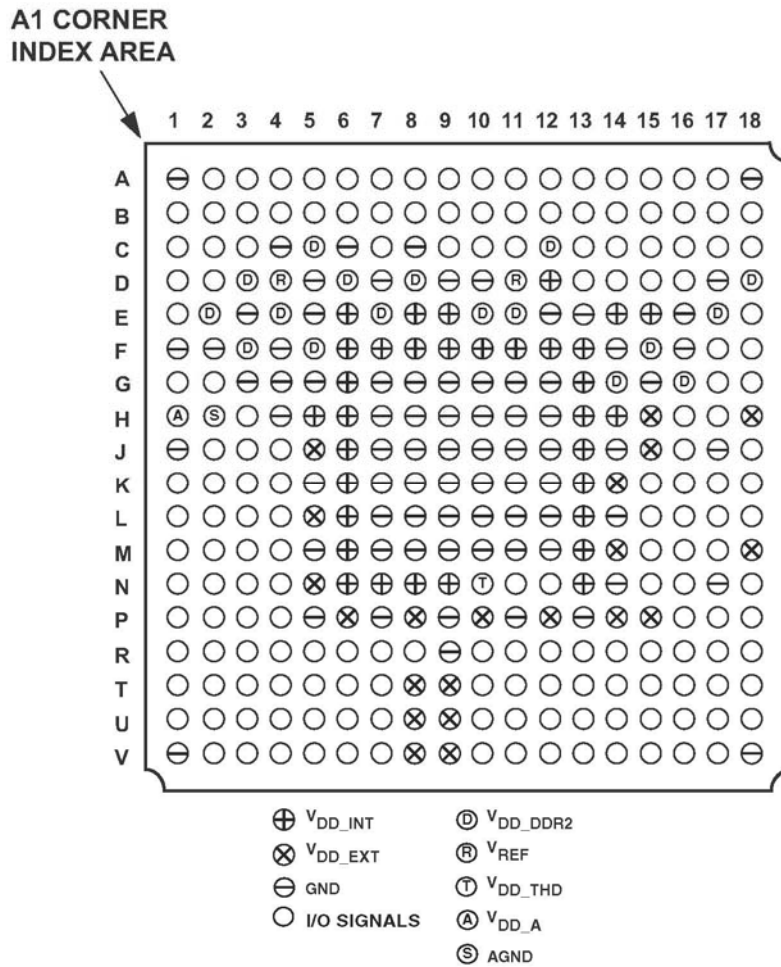


図 58. ボール配置、車載モデル

## CSP\_BGAのボール配置—標準モデル

表 59に標準モデル CSP\_BGA のボール配置を示します(信号名順)。

表 59. CSP\_BGA のボール配置 (信号名順)

Signal	BallNo.	Signal	BallNo.	Signal	BallNo.	Signal	BallNo.
AGND	H02	CLK_CFG1	G02	DDR2_CKE	E01	DPI_P09	N01
AMI_ACK	R10	CLKIN	L01	$\overline{\text{DDR2\_CLK0}}$	A07	DPI_P10	N02
AMI_ADDR0	V16	DAI_P01	R06	DDR2_CLK0	B07	DPI_P11	N03
AMI_ADDR01	U16	DAI_P02	V05	$\overline{\text{DDR2\_CLK1}}$	A13	DPI_P12	N04
AMI_ADDR02	T16	DAI_P03	R07	DDR2_CLK1	B13	DPI_P13	M03
AMI_ADDR03	R16	DAI_P04	R03	$\overline{\text{DDR2\_CS0}}$	C01	DPI_P14	M04
AMI_ADDR04	V15	DAI_P05	U05	DDR2_CS1	D01	$\overline{\text{EMU}}$	K02
AMI_ADDR05	U15	DAI_P06	T05	$\overline{\text{DDR2\_CS2}}$	C02	FLAG0	R08
AMI_ADDR06	T15	DAI_P07	V06	DDR2_CS3	D02	FLAG1	V07
AMI_ADDR07	R15	DAI_P08	V02	DDR2_DATA0	B02	FLAG2	U07
AMI_ADDR08	V14	DAI_P09	R05	DDR2_DATA01	A02	FLAG3	T07
AMI_ADDR09	U14	DAI_P10	V04	DDR2_DATA02	B03	GND	A01
AMI_ADDR10	T14	DAI_P11	U04	DDR2_DATA03	A03	GND	A18
AMI_ADDR11	R14	DAI_P12	T04	DDR2_DATA04	B05	GND	C04
AMI_ADDR12	V13	DAI_P13	U06	DDR2_DATA05	A05	GND	C06
AMI_ADDR13	U13	DAI_P14	U02	DDR2_DATA06	B06	GND	C08
AMI_ADDR14	T13	DAI_P15	R04	DDR2_DATA07	A06	GND	D05
AMI_ADDR15	R13	DAI_P16	V03	DDR2_DATA08	B08	GND	D07
AMI_ADDR16	V12	DAI_P17	U03	DDR2_DATA09	A08	GND	D09
AMI_ADDR17	U12	DAI_P18	T03	DDR2_DATA10	B09	GND	D10
AMI_ADDR18	T12	DAI_P19	T06	DDR2_DATA11	A09	GND	D17
AMI_ADDR19	R12	DAI_P20	T02	DDR2_DATA12	A11	GND	E03
AMI_ADDR20	V11	DDR2_ADDR0	D13	DDR2_DATA13	B11	GND	E05
AMI_ADDR21	U11	DDR2_ADDR01	C13	DDR2_DATA14	A12	GND	E12
AMI_ADDR22	T11	DDR2_ADDR02	D14	DDR2_DATA15	B12	GND	E13
AMI_ADDR23	R11	DDR2_ADDR03	C14	DDR2_DM0	C03	GND	E16
AMI_DATA0	U18	DDR2_ADDR04	B14	DDR2_DM1	C11	GND	F01
AMI_DATA1	T18	DDR2_ADDR05	A14	$\overline{\text{DDR2\_DQS0}}$	A04	GND	F02
AMI_DATA2	R18	DDR2_ADDR06	D15	DDR2_DQS0	B04	GND	F04
AMI_DATA3	P18	DDR2_ADDR07	C15	DDR2_DQS1	A10	GND	F14
AMI_DATA4	V17	DDR2_ADDR08	B15	$\overline{\text{DDR2\_DQS1}}$	B10	GND	F16
AMI_DATA5	U17	DDR2_ADDR09	A15	DDR2_ODT	B01	GND	G03
AMI_DATA6	T17	DDR2_ADDR10	D16	$\overline{\text{DDR2\_RAS}}$	C09	GND	G04
AMI_DATA7	R17	DDR2_ADDR11	C16	$\overline{\text{DDR2\_WE}}$	C10	GND	G05
$\overline{\text{AMI\_MS0}}$	T10	DDR2_ADDR12	B16	DPI_P01	R02	GND	G07
$\overline{\text{AMI\_MS1}}$	U10	DDR2_ADDR13	A16	DPI_P02	U01	GND	G08
$\overline{\text{AMI\_RD}}$	J04	DDR2_ADDR14	B17	DPI_P03	T01	GND	G09
$\overline{\text{AMI\_WR}}$	V10	DDR2_ADDR15	A17	DPI_P04	R01	GND	G10
BOOT_CFG0	J02	DDR2_BA0	C18	DPI_P05	P01	GND	G11
BOOT_CFG1	J03	DDR2_BA1	C17	DPI_P06	P02	GND	G12
BOOT_CFG2	H03	DDR2_BA2	B18	DPI_P07	P03	GND	G15
CLK_CFG0	G01	$\overline{\text{DDR2\_CAS}}$	C07	DPI_P08	P04	GND	H04

表 59. CSP\_BGA のボール配置 (信号名順)(続き)

Signal	BallNo.	Signal	BallNo.	Signal	BallNo.	Signal	BallNo.
GND	H07	GND	V01	V <sub>DD-DDR2</sub>	E04	V <sub>DD-INT</sub>	F13
GND	H08	GND	V18	V <sub>DD-DDR2</sub>	E07	V <sub>DD-INT</sub>	G06
GND	H09	LACK_0	K17	V <sub>DD-DDR2</sub>	E10	V <sub>DD-INT</sub>	G13
GND	H10	LACK_1	P17	V <sub>DD-DDR2</sub>	E11	V <sub>DD-INT</sub>	H05
GND	H11	LCLK_0	J18	V <sub>DD-DDR2</sub>	E17	V <sub>DD-INT</sub>	H06
GND	H12	LCLK_1	N18	V <sub>DD-DDR2</sub>	F03	V <sub>DD-INT</sub>	H13
GND	J01	LDAT0_0	E18	V <sub>DD-DDR2</sub>	F05	V <sub>DD-INT</sub>	H14
GND	J07	LDAT0_1	F17	V <sub>DD-DDR2</sub>	F15	V <sub>DD-INT</sub>	J06
GND	J08	LDAT0_2	F18	V <sub>DD-DDR2</sub>	G14	V <sub>DD-INT</sub>	J13
GND	J09	LDAT0_3	G17	V <sub>DD-DDR2</sub>	G16	V <sub>DD-INT</sub>	K06
GND	J10	LDAT0_4	G18	V <sub>DD-EXT</sub>	H15	V <sub>DD-INT</sub>	K13
GND	J11	LDAT0_5	H16	V <sub>DD-EXT</sub>	H18	V <sub>DD-INT</sub>	L06
GND	J12	LDAT0_6	H17	V <sub>DD-EXT</sub>	J05	V <sub>DD-INT</sub>	L13
GND	J14	LDAT0_7	J16	V <sub>DD-EXT</sub>	J15	V <sub>DD-INT</sub>	M06
GND	J17	LDAT1_0	K18	V <sub>DD-EXT</sub>	K14	V <sub>DD-INT</sub>	M13
GND	K05	LDAT1_1	L16	V <sub>DD-EXT</sub>	L05	V <sub>DD-INT</sub>	N06
GND	K07	LDAT1_2	L17	V <sub>DD-EXT</sub>	M14	V <sub>DD-INT</sub>	N07
GND	K08	LDAT1_3	L18	V <sub>DD-EXT</sub>	M18	V <sub>DD-INT</sub>	N08
GND	K09	LDAT1_4	M16	V <sub>DD-EXT</sub>	N05	V <sub>DD-INT</sub>	N09
GND	K10	LDAT1_5	M17	V <sub>DD-EXT</sub>	P06	V <sub>DD-INT</sub>	N13
GND	K11	LDAT1_6	N16	V <sub>DD-EXT</sub>	P08	V <sub>DD-THD</sub>	N10
GND	K12	LDAT1_7	P16	V <sub>DD-EXT</sub>	P10	V <sub>REF</sub>	D04
GND	L07	NC	K03	V <sub>DD-EXT</sub>	P12	V <sub>REF</sub>	D11
GND	L08	NC	K04	V <sub>DD-EXT</sub>	P14	XTAL	K01
GND	L09	NC	L02	V <sub>DD-EXT</sub>	P15		
GND	L10	NC	L03	V <sub>DD-EXT</sub>	T08		
GND	L11	NC	L04	V <sub>DD-EXT</sub>	T09		
GND	L12	RESET	M01	V <sub>DD-EXT</sub>	U08		
GND	L14	RESETOUT/RUNRSTIN	M02	V <sub>DD-EXT</sub>	U09		
GND	M05	TCK	K15	V <sub>DD-EXT</sub>	V08		
GND	M07	TDI	L15	V <sub>DD-EXT</sub>	V09		
GND	M08	TDO	M15	V <sub>DD-INT</sub>	D12		
GND	M09	THD_M	N12	V <sub>DD-INT</sub>	E06		
GND	M10	THD_P	N11	V <sub>DD-INT</sub>	E08		
GND	M11	TMS	K16	V <sub>DD-INT</sub>	E09		
GND	M12	TRST	N15	V <sub>DD-INT</sub>	E14		
GND	N14	VDD_A	H01	V <sub>DD-INT</sub>	E15		
GND	N17	V <sub>DD-DDR2</sub>	C05	V <sub>DD-INT</sub>	F06		
GND	P05	V <sub>DD-DDR2</sub>	C12	V <sub>DD-INT</sub>	F07		
GND	P07	V <sub>DD-DDR2</sub>	D03	V <sub>DD-INT</sub>	F08		
GND	P09	V <sub>DD-DDR2</sub>	D06	V <sub>DD-INT</sub>	F09		
GND	P11	V <sub>DD-DDR2</sub>	D08	V <sub>DD-INT</sub>	F10		
GND	P13	V <sub>DD-DDR2</sub>	D18	V <sub>DD-INT</sub>	F11		
GND	R09	V <sub>DD-DDR2</sub>	E02	V <sub>DD-INT</sub>	F12		

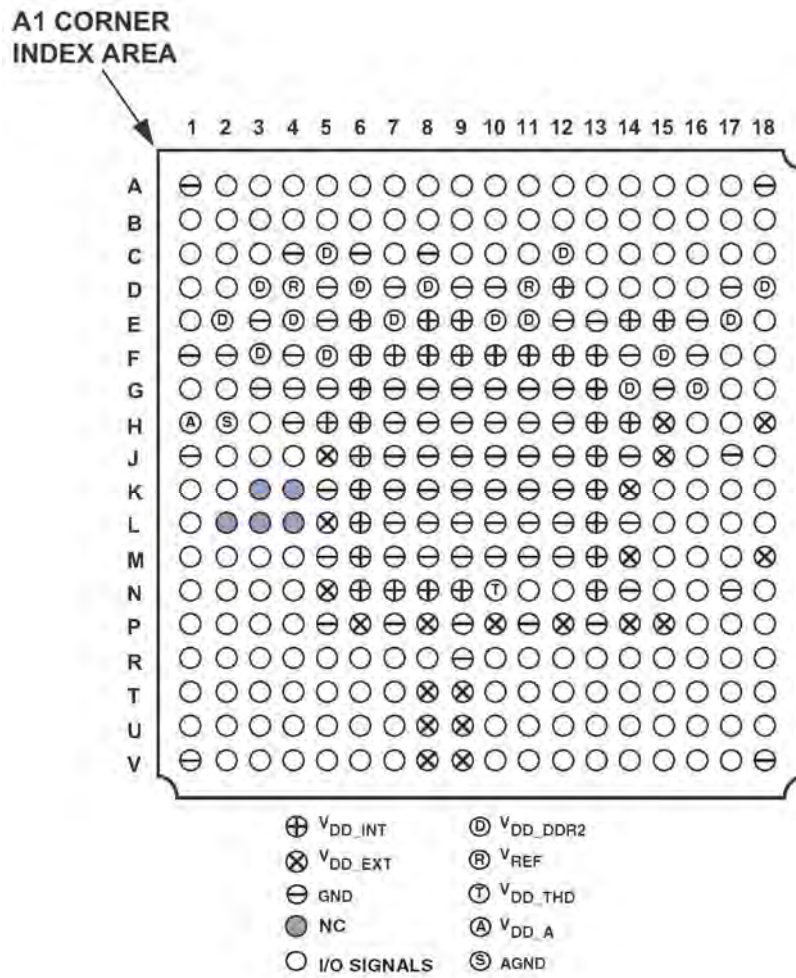


図 59. ボール配置、標準モデル

## 外形寸法

ADSP-21469 プロセッサは、19 mm×19 mm の CSP\_BGA 鉛フリー・パッケージを採用しています。

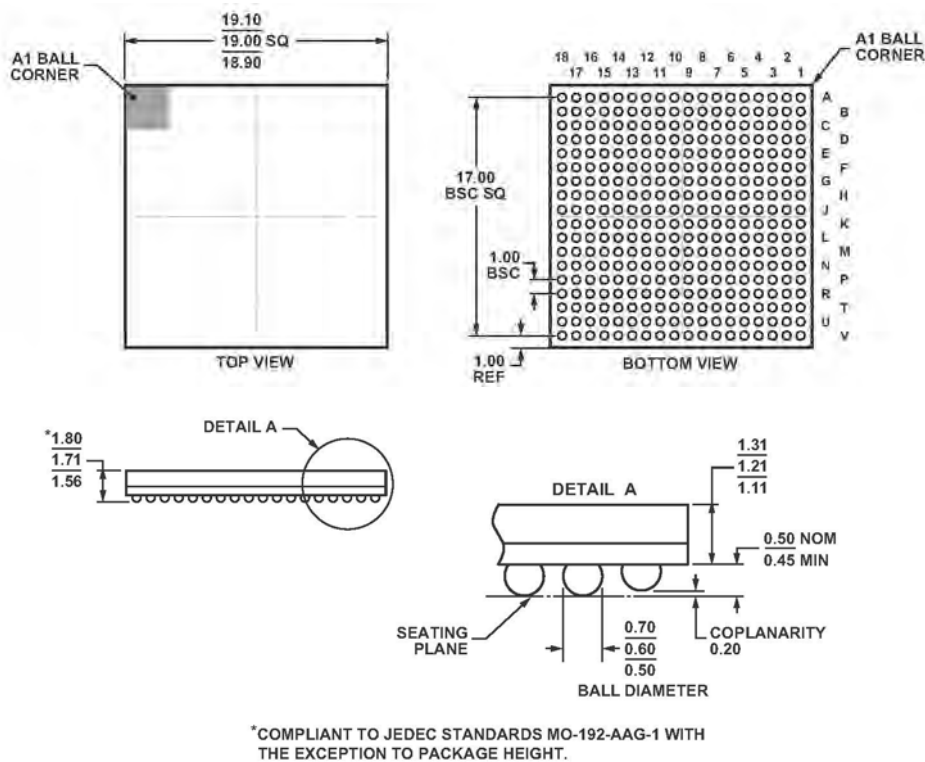


図 60. 324 ボール・チップ・スケール・パッケージ、ボール・グリッド・アレイ [CSP\_BGA] (BC-324-1)  
寸法: mm

## 表面実装デザイン

次の表は、PCB デザイン用に示します。業界標準のデザイン勧告については、IPC-7351 の「*Generic Requirements for Surface-Mount Design and Land Pattern Standard*」を参照してください。

Package	Package Ball Attach Type	Package Solder Mask Opening	Package Ball Pad Size
324-Ball CSP_BGA (BC-324-1)	Solder Mask Defined	0.43 mm diameter	0.6 mm diameter

## 車載製品

ADSP-21469W モデルは、車載アプリケーションの品質と信頼性の要求をサポートするため管理した製造により提供しています。車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様のセクションを慎重にレビューしてくだ

さい。表 60に示す車載グレード製品は、車載アプリケーション用  
にのみ提供しています。特定製品のオーダー情報とこれらのモデルの特定の車載信頼性レポートについては最寄りのアナログ・デ  
バイセスにお尋ねください。

表 60. 車載製品

Model <sup>1</sup>	Temperature Range <sup>2</sup>	On-Chip SRAM	Package Description	Package Option
AD21469WBBCZ3xx <sup>3</sup>	-40°C to +85°C	5M bit	324-Ball Grid Array (CSP_BGA)	BC-324-1

<sup>1</sup>Z = RoHS 準拠製品。

<sup>2</sup> 基準温度は周囲温度。周囲温度は仕様ではありません。唯一の温度仕様であるジャンクション温度 (T<sub>j</sub>)仕様については、[ページ17の動作条件](#)を参照してください。

<sup>3</sup>xx はシリコン・レビジョン。

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range <sup>2</sup>	On-Chip SRAM	Processor Instruction Rate (Max)	Package Description	Package Option
ADSP-21469KBCZ-3	0°C to +70°C	5M bit	400 MHz	324-Ball Grid Array (CSP_BGA)	BC-324-1
ADSP-21469BBCZ-3	-40°C to +85°C	5M bit	400 MHz	324-Ball Grid Array (CSP_BGA)	BC-324-1
ADSP-21469KBCZ-4	0°C to +70°C	5M bit	450 MHz	324-Ball Grid Array (CSP_BGA)	BC-324-1

<sup>1</sup>Z = RoHS 準拠製品。

<sup>2</sup> 基準温度は周囲温度。周囲温度は仕様ではありません。唯一の温度仕様であるジャンクション温度 (T<sub>j</sub>)仕様については、[ページ17の動作条件](#)を参照してください。