

ADSP-BF531/ADSP-BF532/ADSP-BF533

SPI と外部メモリからの柔軟なメモリ・ブーティング・オプション

特長

最大 600 MHz の高性能 Blackfin プロセッサ

16 ビット MAC を 2 個、40 ビット ALU を 2 個、8 ビット・ビデオ ALU を 4 個、40 ビット・シフタを内蔵

RISC ライクなレジスタおよび命令モデルを採用しているため、プログラミングが容易でかつコンパイラ・フレンドリなサポートが可能

高度なデバッグ機能、トレース機能、パフォーマンス・モニタ機能をサポート

広い動作電圧範囲(動作条件参照)

プログラマブルな電圧レギュレータを内蔵

160 ボール CSP BGA、169 ボール PBGA、または 176 ピン LQFP パッケージを採用

メモリ

最大 148Kバイトの内蔵メモリ (表 1 参照)

メモリ・マネジメント・ユニット(MMU)によるメモリ保護

外部メモリ・コントローラにより、外付け部品なしで SDRAM、SRAM、FLASH、ROM のサポートが可能

ペリフェラル

ITU-R 656 ビデオ・データ・フォーマットをサポートするパラレル・ペリフェラル・インターフェース PPI

2 系統の 2 チャンネル全二重同期シリアル・ポートにより、8 チャンネルのステレオ I²S をサポート

メモリーメモリー間 DMA コントローラ×2

ペリフェラル DMA×8

SPI 互換ポート

PWM をサポートする 32 ビット・タイマ/カウンタ×3

リアルタイム・クロックとウォッチドッグ・タイマ

32 ビット・コア・タイマ

汎用 I/O ピン(GPIO):最大 16 本

IrDA をサポートする UART

イベント・ハンドラ

デバッグ/JTAG インターフェース

0.5~64 倍の周波数を生成できるオンチップ PLL

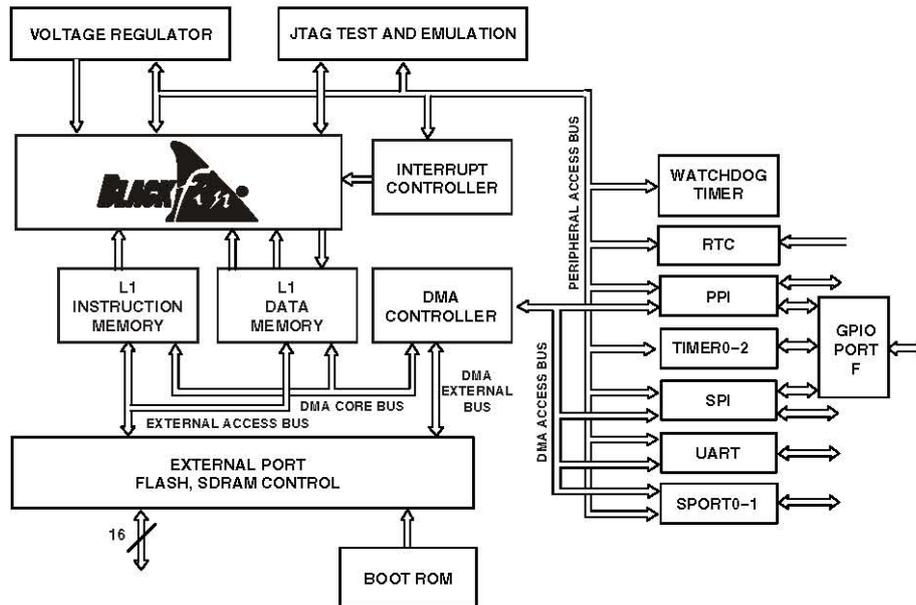


図1. 機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2008 Analog Devices, Inc. All rights reserved.

Rev. F

目次

特長	1
メモリ	1
ペリフェラル	1
目次	2
改訂履歴	2
概要	3
ポータブルな低消費電力アーキテクチャ	3
システム・インテグレーション	3
プロセッサ・ペリフェラル	3
Blackfinプロセッサ・コア	4
メモリ・アーキテクチャ	4
DMAコントローラ	8
リアルタイム・クロック	8
ウォッチドッグ・タイマ	9
タイマ	9
シリアル・ポート(SPORT)	9
シリアル・ペリフェラル・インターフェース(SPI)ポート	10
UARTポート	10
汎用I/OポートF	10
パラレル・ペリフェラル・インターフェース	11
ダイナミック・パワー・マネジメント	11
電圧レギュレーション	13
クロック信号	13
ブーティング・モード	14
命令セットの説明	15
開発ツール	15
エミュレータ互換プロセッサ・ボードのデザイン	16
関連ドキュメント	17
ピン説明	18
仕様	21
動作条件	21
電気的特性	23
絶対最大定格	26
ESD感受性	26
パッケージ情報	26
タイミング仕様	27
テスト条件	47
熱特性	50
160 Ball CSP_BGAのボール配置	51
169 ボールPBGAのボール配置	54
176 ピンLQFPのピン配置	57
外形寸法	59

表面実装デザイン	61
車載製品	61
オーダー・ガイド	62

改訂履歴

11/08—Revision F: Changed from Rev. E to Rev. F

Corrected all document errata	
Revised text under Pin Descriptions	18
Revised Electrical Characteristics	23
Removed the Power Dissipation section. See Estimating Power for the ADSP-BF531/BF532/BF533 Blackfin Processors (EE-229) and see Table 14 and Table 15 .	24
Corrected SPI timing master	39
Corrected SPI timing slave	40
Retitled Environmental Conditions to Thermal Characteristics	50
Added Automotive Products	61

概要

ADSP-BF531/ADSP-BF532/ADSP-BF533はBlackfin[®]製品ファミリに属し、アナログ・デバイセズ/インテル・マイクロ・シグナル・アーキテクチャ(MSA)を採用しています。Blackfinプロセッサは、2系統のMACを内蔵する最新の信号処理エンジン、直交性の優れたRISCライクなマイクロプロセッサ命令セットの利点と、シングル命令マルチプル・データ(SIMD)マルチメディア機能とをシングル命令セット・アーキテクチャに統合したものです。

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは、完全なコードとピンの互換性を持ち、性能と内蔵メモリが異なっています。仕様性能とメモリ構成を表1に示します。

表1. プロセッサの比較

Features	ADSP-BF531	ADSP-BF532	ADSP-BF533	
SPORTs	2	2	2	
UART	1	1	1	
SPI	1	1	1	
GP Timers	3	3	3	
Watchdog Timers	1	1	1	
RTC	1	1	1	
Parallel Peripheral Interface	1	1	1	
GPIOs	16	16	16	
Memory Configuration	L1 Instruction SRAM/Cache	16K bytes	16K bytes	16K bytes
	L1 Instruction SRAM	16K bytes	32K bytes	64K bytes
	L1 Data SRAM/Cache	16K bytes	32K bytes	32K bytes
	L1 Data SRAM			32K bytes
	L1 Scratchpad	4K bytes	4K bytes	4K bytes
	L3 Boot ROM	1K bytes	1K bytes	1K bytes
Maximum Speed Grade	400 MHz	400 MHz	600 MHz	
Package Options: CSP_BGA Plastic BGA LQFP	160-Ball 169-Ball 176-Lead	160-Ball 169-Ball 176-Lead	160-Ball 169-Ball 176-Lead	

Blackfinプロセッサは、業界をリードするシステム・ペリフェラルとメモリの豊富なセットを統合することにより、次世代アプリケーションに対する最適なプラットフォームになっています。次世代アプリケーションでは、RISCに似たプログラマブル性、マルチメディアのサポート、最先端の信号処理を1つのパッケージに統合することが必要とされています。

ポータブルな低消費電力アーキテクチャ

Blackfinプロセッサは、ワールド・クラスのパワー・マネジメントと性能を提供します。Blackfinプロセッサは低消費電力および低電圧デザイン手法を使って設計されており、動作電圧と動作周波数を変更できるダイナミック・パワー・マネジメント機能を持っているため、全体の消費電力を大幅に削減することができます。

電圧と周波数を変えると、動作周波数だけを変える場合に比較して大幅な消費電力削減が可能になります。このため、ポータブル・アプリケーションでバッテリー寿命を延ばすことができます。

システム・インテグレーション

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは、次世代のデジタル通信および民生マルチメディア・アプリケーション向けに高度に統合されたシステム・オン・チップ・ソリューションです。業界標準のインターフェースと高性能信号処理コアを組み合わせることにより、コスト・パフォーマンスの優れたソリューションを高価な外付け部品なしで迅速に開発することができます。システム・ペリフェラルとしては、UARTポート、SPIポート、2系統のシリアル・ポート(SPORT)、4個の汎用タイマ(3個はPWM機能付き)、リアルタイム・クロック、ウォッチドッグ・タイマ、パラレル・ペリフェラル・インターフェースなどがあります。

プロセッサ・ペリフェラル

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサには複数の広帯域バスを經由してコアに接続されたペリフェラルの豊富なセットが内蔵されており、システム構成や優れた全体システム性能に柔軟性を提供します(図1のブロック図参照)。汎用ペリフェラルには、UART、PWM(パルス幅変調)機能とパルス計測機能付きのタイマ、汎用I/Oピン、リアルタイム・クロック、ウォッチドッグ・タイマなどのような機能が含まれています。この機能セットは広範囲なシステム・サポートの要求を満たし、デバイスのシステム拡張機能により強化されます。これらの汎用ペリフェラルに加えて、プロセッサには、広範囲なオーディオ機能、ビデオ機能、モデム・コーデック機能に対するインターフェース用の高速なシリアル・ポートとパラレル・ポート、内蔵ペリフェラルまたは外部割込み源からの割込みを柔軟に管理する割込みコントローラ、さまざまなアプリケーションに対してプロセッサとシステムの性能特性と消費電力特性を調整するパワー・マネジメント・コントロール機能が内蔵されています。

汎用I/O、リアルタイム・クロック、タイマを除くすべてのペリフェラルで、柔軟なDMA構造がサポートされています。外付けのSDRAMと非同期メモリを含むプロセッサの種々のメモリ空間の間でのデータ転送用に個別のメモリDMAチャンネルも用意されています。最大133 MHzで動作する複数のオンチップ・バスは、プロセッサ・コアがすべての内蔵ペリフェラルおよび外部ペリフェラルと動作するための十分な帯域幅を提供しています。

プロセッサは、ダイナミック・パワー・マネジメント機能をサポートするために電圧レギュレータを内蔵していません。この電圧レギュレータは、 V_{DDEXT} からの広範囲なコア電圧レベルを提供します。この電圧レギュレータは、ユーザの指定によりバイパスすることができます。

Blackfinプロセッサ・コア

図2に示すように、Blackfinプロセッサ・コアは、2個の16ビット乗算器、2個の40ビット・アキュムレータ、2個の40ビットALU、4個のビデオALU、40ビット・シフタを内蔵しています。この演算ユニットは、レジスタ・ファイルにある8ビット、16ビット、または32ビットのデータを処理します。

演算レジスタ・ファイルには、8個の32ビット・レジスタがあります。16ビットのオペランド・データに対する演算動作では、レジスタ・ファイルは16個の独立な16ビット・レジスタとして動作します。演算動作でのすべてのオペランドは、マルチポート化されたレジスタ・ファイル・フィールドと命令定数フィールドから取得されます。

各MACは、各サイクルで16ビット×16ビットの乗算を実行して、演算結果を40ビットのアキュムレータに累算することができます。符号付きおよび符号なしのフォーマット、まるめ処理、飽和処理をサポートしています。

ALUは、16ビットまたは32ビットのデータに対する算術演算および論理演算の従来型セットを実行します。さらに、種々の信号処理タスクを加速させる多くの特殊命令を持っています。これらには、フィールド抽出およびボピュレーション・カウントなどのビット操作、モジュロ 2^{32} の乗算、除算プリミティブ、飽和処理、まるめ処理、符号/指数部の検出などが含まれます。ビデオ命令のセットには、バイト・アライメントおよびパッキング操作、クリッピング機能を持つ16ビットおよび8ビットの加算、8ビット平均処理、8ビットの減算/絶対値/アキュムレート(SAA)命令が含まれています。コンペア/セレクト命令とベクター・サーチ命令も用意されています。

命令によっては、2つの16ビットALU演算をレジスタ対(上位16ビットと下位16ビットの演算レジスタ)に対して同時に実行することができるものもあります。クワッド16ビット動作は、2つ目のALUを使って可能です。

40ビット・シフタはシフトおよびローテートを実行することができます。正規化、フィールドの抽出、デポジットを行う命令をサポートするときに使います。

プログラム・シーケンサは、命令のアライメントやデコーディングなどの命令実行フローを制御します。プログラム・フロー制御に対しては、シーケンサはPC相対および間接の条件付きジャンプ(静的分岐予測)とサブルーチン呼び出しをサポートしています。ゼロ・オーバーヘッド・ループ機能をサポートするためのハードウェアも用意されています。このアーキテクチャはフルにインターロックされています。すなわち、データ依存性を持つ命令を実行する際にプログラマはパイプラインを管理する必要がありません。

アドレス演算ユニットは2個のアドレスを提供するため、2つの同時メモリ・フェッチが可能です。4セットの32ビットのインデックス・レジスタ、モデファイ・レジスタ、リングス・レジスタ、ベース・レジスタ(循環バッファ用)から構成されているマルチポート化されたレジスタ・ファイル、さらに8個の32ビット・ポインタ・レジスタ(Cタイプのインデックス・スタック操作)が含まれています。

Blackfinプロセッサは、改良型ハーバード・アーキテクチャと階層的メモリ構造の組み合わせをサポートしています。レベル1(L1)メモリは、少しあるいは全くレイテンシがない最高プロセッサ速度で動作するメモリです。L1レベルでは、命令メモリは命令のみを保持します。2つのデータ・メモリはデータを保持し、専用のスクラッチパッ

ド・データ・メモリはスタック情報とローカル変数情報を格納します。

さらに、複数のL1メモリ・ブロックが用意されているため、SRAMとキャッシュのミックス構成が可能です。メモリ・マネジメント・ユニット(MMU)は、コア上で動作可能な個々のタスクに対してメモリ保護機能を提供し、意図しないアクセスからシステム・レジスタを保護します。このアーキテクチャでは、ユーザ・モード、スーパーバイザ・モード、エミュレーション・モードの3種類の動作モードを提供しています。ユーザ・モードでは、ある種のシステム・リソースに対するアクセスを制限しているため、保護されたソフトウェア環境を提供しています。スーパーバイザ・モードでは、システム・リソースとコア・リソースに対するアクセス制限はありません。

Blackfinプロセッサの命令セットは、16ビット・オペコードが最も頻繁に使用される命令となるように最適化されているため、優れたコンパイル済みコード密度が得られます。複雑なDSP命令は32ビット・オペコードにエンコードされて、フル機能のマルチファンクション命令になっています。Blackfinプロセッサでは制限された並列発行機能をサポートしています。すなわち、2つの16ビット命令と並列に、32ビット命令を発行することができるため、多くのコア・リソースを1命令サイクルで使用することができます。

Blackfinプロセッサのアセンブリ言語では、代数式構文を採用しているためコードの読み書きが容易です。このアーキテクチャはC/C++コンパイラに対して最適化されているため、高速かつ効率良いソフトウェアを作成することができます。

メモリ・アーキテクチャ

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは、メモリを32ビット・アドレスの1つの連続した4Gバイトのアドレス空間として見ます。内部メモリ、外部メモリ、I/Oコントロール・レジスタなどのすべてのリソースは、この共通アドレス空間の一部を占有します。このアドレス空間のメモリ部分は階層的に構成されているため、キャッシュまたはSRAMとしての非常に高速で低レイテンシのオンチップ・メモリと、大容量で低価格かつ低速のオフチップ・メモリ・システムとの間でコスト/パフォーマンスを均衡させることができます。図3～図5を参照してください。L1メモリ・システムは、Blackfinプロセッサで使用可能な最高性能のプライマリ・メモリです。外部バス・インターフェース・ユニット(EBIU)を介してアクセスするオフチップ・メモリ・システムは、SDRAM、フラッシュ・メモリ、SRAMの拡張を提供し、最大132Mバイトまでの物理メモリをアクセスすることができます。

メモリDMAコントローラは、広帯域のデータ転送機能を提供します。内部メモリ空間と外部メモリ空間との間のコードまたはデータのブロック転送を実行することができます。

内部(オンチップ)メモリ

プロセッサは、3つのブロックのオンチップ・メモリを持っており、コアに対する高速なアクセスを提供します。1つ目のブロックはL1命令メモリであり、80KバイトのSRAMで構成されており、その内の16Kバイトは4ウェイ・セット・アソシアティブ・キャッシュとして構成することができます。このメモリは最高プロセッサ速度でアクセスすることができます。

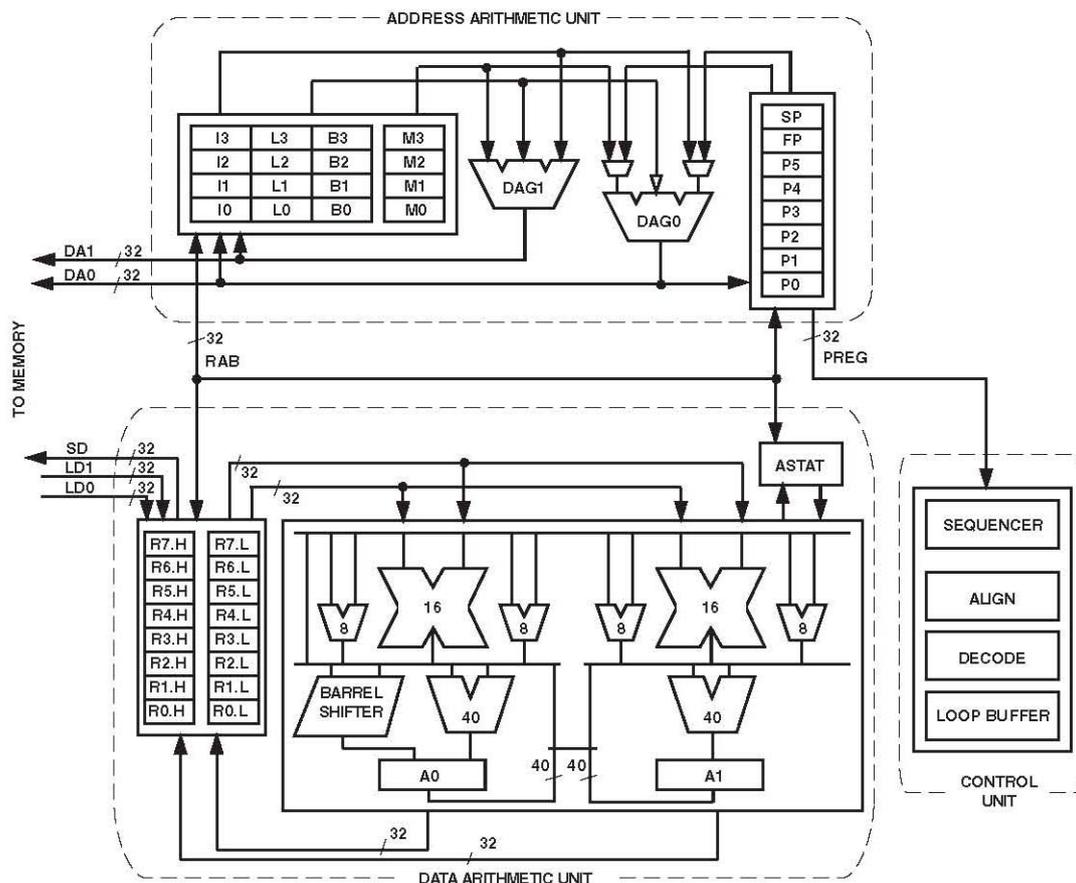


図 2. Blackfin プロセッサ・コア

2つ目のオンチップ・メモリ・ブロックはL1データ・メモリであり、各々最大32Kバイトの1つまたは2つのバンクで構成されています。メモリ・バンクは設定可能で、キャッシュ機能とSRAM機能を提供します。このメモリ・ブロックは最高プロセッサ速度でアクセスすることができます。3つ目のメモリ・ブロックは4KバイトのスクラッチパッドSRAMであり、L1メモリと同じ速度で動作しますが、データSRAMとしてのみアクセス可能で、キャッシュ・メモリとして設定することはできません。

外部(オフチップ)メモリ

外部メモリは、外部バス・インターフェース・ユニット(EBIU)を介してアクセスします。この16ビット・インターフェースは、同期DRAM (SDRAM)のバンクや、FLASH、EPROM、ROM、SRAM、メモリ・マップドI/Oデバイスなどの最大4バンクの非同期メモリ・デバイスに対して外付け部品不要な接続を提供します。

PC133準拠のSDRAMコントローラは、最大128MバイトのSDRAMとインターフェースするように設定することができます。SDRAMコントローラを使うと、各内部SDRAMバンクに対して1行オープンすることができ、最大4内部SDRAMバンクまで可能なため、全体システム性能が向上します。

非同期メモリ・コントローラは、非常に柔軟なタイミング・パラメータを持つ最大4バンクのデバイスを制御するように設定することができ、広範囲なデバイスをサポートすることができます。各バンクは使用するデバイスのサイズに関係なく1Mバイト・セグメントを占有します。した

がって、各々が1Mバイトのメモリで使用された場合にのみ、これらのバンクが連続になります。

I/Oメモリ空間

Blackfinプロセッサには、I/O空間は別に存在しません。すべてのリソースが均一な32ビット・アドレス空間にマップされます。オンチップI/Oデバイスには固有のコントロール・レジスタがあり、4Gバイト・アドレス空間の最上位近くのアドレスにあるメモリ・マップド・レジスタ(MMR)にマップされています。これらは2つの小さなブロックに分けられます。一方にはすべてのコア機能に対するコントロールMMRが、他方にはコアの外側にある内蔵ペリフェラルの設定と制御に必要なレジスタが、それぞれ配置されています。このMMRはスーパーバイザ・モードでのみアクセス可能で、内蔵ペリフェラルに対しては予約済み空間として扱われます。

ブート

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサには小さいブート・カーネルがあり、ブートに使用するペリフェラルを設定します。プロセッサがROMメモリ空間からブートするように設定された場合、プロセッサはオンチップ・ブートROMから実行を開始します。詳細については、**ブート・モード**を参照してください。

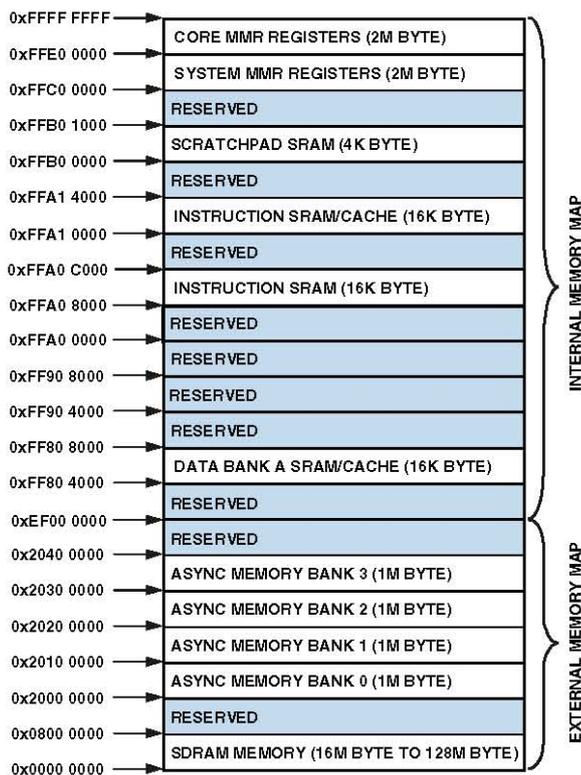


図 3. ADSP-BF531 の内部/外部メモリ・マップ

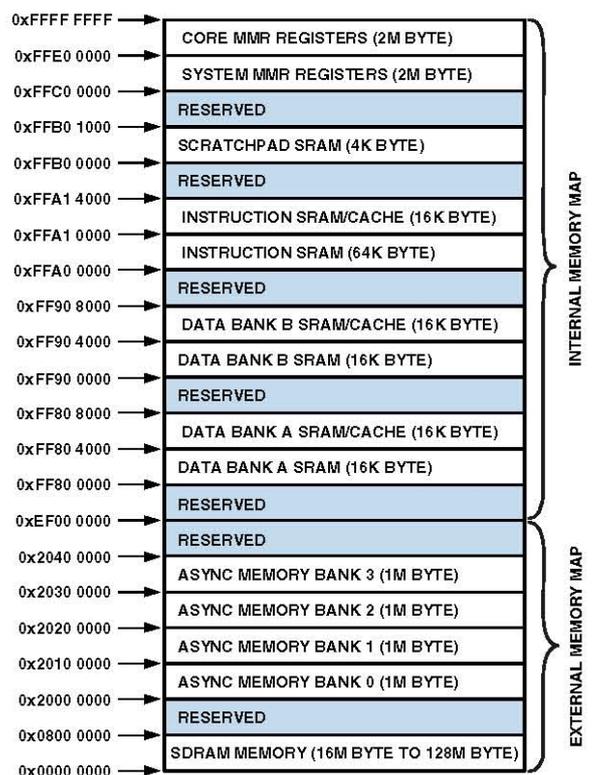


図 5. ADSP-BF533 の内部/外部メモリ・マップ

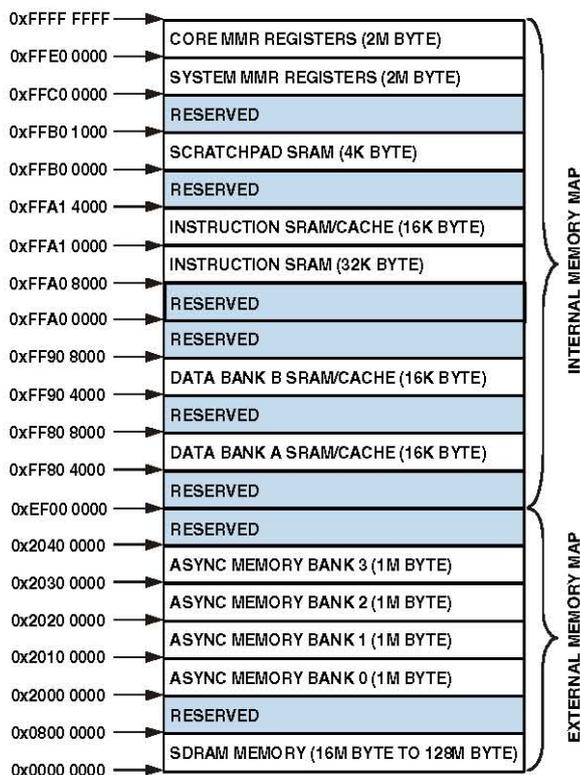


図 4. ADSP-BF532 の内部/外部メモリ・マップ

イベント処理

プロセッサのイベント・コントローラは、プロセッサに対するすべての非同期イベントおよび同期イベントを処理します。ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは、ネスティングと優先順位付けをサポートするイベント処理を提供します。ネスティング機能を使うと、複数のイベント・サービス・ルーチンを同時に起動することができます。優先順位付け機能により、高い優先順位のイベントが低い優先順位のイベントより先にサービスされることが保証されます。このコントローラは、次の5種類のタイプのイベントをサポートします。

- エミュレーション—エミュレーション・イベントが発生すると、プロセッサはエミュレーション・モードになり、プロセッサのコマンドと制御が JTAG インターフェースを経由するようになります。
- リセット—このイベントが発生すると、プロセッサがリセットされます。
- マスク不能割り込み(NMI)—ソフトウェア・ウォッチドッグ・タイマまたはプロセッサに対する NMI 入力信号により、NMI イベントが発生されます。NMI イベントはパワーダウン・インジケータとして頻繁に使用され、システムのシャットダウン手順を起動します。
- 例外—プログラム・フローに同期して発生するイベント(すなわち、命令が完了する前に例外が処理されます)。データ・アライメント違反や未定義命令のような条件で例外が発生します。
- 割り込み—プログラム・フローに対して非同期に発生するイベント。入力ピン、タイマ、その他のペリフェラル、明確なソフトウェア命令により発生されます。

各イベント・タイプはリターン・アドレスを保持する対応するレジスタと対応する return-from-event 命令を持ってい

ます。イベントが発生すると、プロセッサの状態はスーパーバイザ・スタックに待避させられます。

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサのイベント・コントローラは、コア・イベント・コントローラ(CEC)とシステム割込みコントローラ(SIC)の2ステージから構成されています。コア・イベント・コントローラはシステム割込みコントローラと一緒に動作して、全システム・イベントの優先付けと制御を行います。概念的には、ペリフェラルからの割込みがSICに入力されて、CECの汎用割込みに直接接続されます。

コア・イベント・コントローラ(CEC)

CECは、専用割込みと例外イベントの他に9個の汎用割込み(IVG15~7)をサポートしています。これらの汎用割込みの内、低優先順位の割込み(IVG15~14)はソフトウェア割込みハンドラ用に、残りの7つの優先順位の割込み入力はプロセッサ・ペリフェラルのサポートに、それぞれ使用することが推奨されます。表2に、CECに対する入力、イベント・ベクター・テーブル(EVT)内の識別名、それぞれの優先順位を示します。

表2. コア・イベント・コントローラ(CEC)

Priority (0 is Highest)	Event Class	EVT Entry
0	Emulation/Test Control	EMU
1	Reset	RST
2	Nonmaskable Interrupt	NMI
3	Exception	EVX
4	Reserved	
5	Hardware Error	IVHW
6	Core Timer	IVTMR
7	General Interrupt 7	IVG7
8	General Interrupt 8	IVG8
9	General Interrupt 9	IVG9
10	General Interrupt 10	IVG10
11	General Interrupt 11	IVG11
12	General Interrupt 12	IVG12
13	General Interrupt 13	IVG13
14	General Interrupt 14	IVG14
15	General Interrupt 15	IVG15

システム割込みコントローラ(SIC)

システム割込みコントローラは、多くのペリフェラル割込み源から発生するイベントと優先順位付けされたCECの汎用割込み入力との間の対応と接続を提供します。プロセッサはデフォルトの対応を提供しますが、ユーザは割込み割り当てレジスタ(SIC_IARx)に該当する値を書き込むことにより、割込みイベントの対応と優先順位を変更することができます。表3に、SICに対する入力とCECに対するデフォルトの対応を示します。

表3. システム割込みコントローラ(SIC)

Peripheral Interrupt Event	Default Mapping
PLL Wakeup	IVG7
DMA Error	IVG7
PPI Error	IVG7
SPORT 0 Error	IVG7
SPORT 1 Error	IVG7
SPI Error	IVG7
UART Error	IVG7
Real-Time Clock	IVG8
DMA Channel 0 (PPI)	IVG8
DMA Channel 1 (SPORT 0 Receive)	IVG9
DMA Channel 2 (SPORT 0 Transmit)	IVG9
DMA Channel 3 (SPORT 1 Receive)	IVG9
DMA Channel 4 (SPORT 1 Transmit)	IVG9
DMA Channel 5 (SPI)	IVG10
DMA Channel 6 (UART Receive)	IVG10
DMA Channel 7 (UART Transmit)	IVG10
Timer 0	IVG11
Timer 1	IVG11
Timer 2	IVG11
Port F GPIO Interrupt A	IVG12
Port F GPIO Interrupt B	IVG12
Memory DMA Stream 0	IVG13
Memory DMA Stream 1	IVG13
Software Watchdog Timer	IVG13

イベント制御

プロセッサはイベントの処理を制御する非常に柔軟なメカニズムを提供します。CECでは、3個のレジスタを使って、イベントの制御を行います。各レジスタは32ビット幅です。

- CEC 割込みラッチ・レジスタ(ILAT)—ILAT レジスタはイベントがラッチされたタイミングを表示します。プロセッサがイベントをラッチしたとき、該当するビットがセットされ、イベントがシステムに受理されたとき、クリアされます。このレジスタはコントローラから自動的に更新されますが、ラッチ・イベントをクリア(キャンセル)するときにも書き込みが可能です。このレジスタはスーパーバイザ・モードで読みだし可能で、対応する IMASK ビットがクリアされているときにのみ、スーパーバイザ・モードで書き込み可能です。
- CEC 割込みマスク・レジスタ(IMASK)—IMASK レジスタは各イベントのマスク/アンマスクを制御します。IMASK レジスタ内でビットがセットされると、イベントがアンマスクされて、アサートされたときに CEC が処理します。IMASK レジスタ内のビットがクリアされると、イベントがマスクされて、ILAT レジスタにイベントがラッチされても、プロセッサによるサービスが禁止されます。このレジスタはスーパーバイザ・モードで読み書きが可能です。汎用割込みは、STI 命令と CLI 命令を使って、それぞれグローバルにイネ

ープルおよびディスエーブルすることができることに注意してください。

- **CEC 割込みペンディング・レジスタ(IPEND)**—IPENDレジスタはネストされたすべてのイベントを記録します。IPENDレジスタ内でビットがセットされると、イベントがアクティブであること、またはあるレベルでネストされていることを表します。このレジスタはコントローラから自動的に更新されますが、スーパーバイザ・モードでのみ読み出し可能です。

SICは3個の32ビットの割込みコントロールおよびステータス・レジスタを提供することにより、さらに詳細なイベント処理制御を可能にします。各レジスタには、表3に示す各ペリフェラル割込みイベントに対応するビットが配置されています。

- **SIC 割込みマスク・レジスタ(SIC_IMASK)**—このレジスタは、各ペリフェラル割込みイベントのマスク/アンマスクを制御します。レジスタ内でビットがセットされると、対応するペリフェラル・イベントがアンマスクされて、イベントのアサート時にシステムが処理します。レジスタ内でビットがクリアされると、対応するペリフェラル・イベントがマスクされて、プロセッサによるイベントのサービスが禁止されます。
- **SIC 割込みステータス・レジスタ(SIC_ISR)**—複数のペリフェラルを1つのイベントに対応させることができるため、ソフトウェアはこのレジスタを使って、割込みを発生したペリフェラル・イベント・ソースを探します。ビットがセットされているとき、該当するペリフェラルが割込み発生中であることを表し、ビットがクリアされているとき、ペリフェラルはイベントを発生していないことを表します。
- **SIC 割込みウェイクアップ・イネーブル・レジスタ(SIC_IWR)**—このレジスタの対応するビットをイネーブルすると、該当するペリフェラルがプロセッサをウェイクアップするペリフェラルに設定されます。イベントが発生すると、プロセッサはアイドル状態またはスリープモードからウェイクアップします。詳細については、[ダイナミック・パワー・マネジメント](#)を参照してください。

複数の割込み要因を1つの汎用割込みに対応させることができるため、この割込み入力で検出された割込みイベントを処理する前または処理中に、さらに複数のパルスが同時にアサートされることがあります。SICは割込みアクノリッジとして、IPENDレジスタ値を監視します。

割込みの立ち上がりエッジが検出されると(検出にはコア・クロックで2サイクル必要)、ILATレジスタの該当するビットがセットされます。IPENDレジスタのビットがセットされると、該当するビットがクリアされます。IPENDビットは、イベントがプロセッサのパイプラインに入力されたことを表示します。この時点で、CECは対応するイベント入力上の、次の立ち上がりエッジ・イベントを認識し、キューに接続します。汎用割込みの立ち上がりエッジ変化からIPEND出力のアサートまでの最小レイテンシは、コア・クロックで3サイクルですが、内部動作とプロセッサの状態に応じて、レイテンシはこれより長くなる場合があります。

DMAコントローラ

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは独立した複数のDMAコントローラを内蔵しており、自動データ転送をサポートしてプロセッサ・コアのオーバーヘッドを少なくします。DMA転送は、プロセッサの内部メモリとDMA機能を持つペリフェラルとの間で可能です。さらに、DMA転送は任意のDMA機能を持つペリフェラルと外部メモリ・インターフェースに接続された外部デバイス

(SDRAMコントローラや非同期メモリ・コントローラなど)との間でも可能です。DMA機能を持つペリフェラルとしては、SPORT、SPIポート、UART、PPIなどがあります。DMA機能を持つ各ペリフェラルは少なくとも1つの専用DMAチャンネルを持っています。

DMAコントローラは、1次元(1D)と2次元(2D)のDMA転送をサポートしています。DMA転送の初期化は、レジスタまたはディスクリプタ・ブロックと呼ばれるパラメータのセットを使って行います。

2D DMA機能は、最大64Kエレメント×64Kエレメントまでの任意の行および列サイズをサポートし、さらに最大±32Kエレメントまでの任意の行および列ステップ・サイズをサポートしています。また、行ステップ・サイズより小さい列ステップ・サイズを許容するため、インターリーブされたデータ・ストリームが可能です。この機能は、特に、即座にデータのインターリーブ解除が必要とされるビデオ・アプリケーションで役立ちます。

DMAコントローラがサポートするDMAタイプの例を次に示します。

- 完了時に停止するシングル・リニア・バッファ
- バッファがフルまたは部分的フル毎に割込みを発生する自己リフレッシュ循環バッファ
- ディスクリプタのリンク・リストを使用する 1D または 2D の DMA
- 共通ページ内のベース DMA アドレスのみを指定する、ディスクリプタアレイを使用する 2D DMA

専用ペリフェラルDMAチャンネルの他に、2対のメモリDMAチャンネルがあり、プロセッサ・システムの種々のメモリ間の転送に使用されます。この機能を使うと、最小のプロセッサ介入で、任意のメモリ(外部SDRAM、ROM、SRAM、フラッシュ・メモリなど)間でのデータ・ブロックの転送が可能になります。メモリDMA転送は、非常に柔軟なディスクリプタ・ベースの方法、または標準的なレジスタ・ベースの自動バッファ・メカニズムを使って制御することができます。

リアルタイム・クロック

プロセッサのリアルタイム・クロック(RTC)は、時刻、ストップウォッチ、アラームを含むデジタル時計機能を提供します。RTCは、ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサ外部の32.768 kHz水晶からクロック駆動されます。RTCペリフェラルは専用電源ピンを持っているため、プロセッサの他の部分が低消費電力状態にあるときでも、パワーアップ状態を維持することができます。RTCは、秒、分、時間または日毎の割込み、プログラマブルなストップウォッチ・カウントダウンでの割込み、設定したアラーム時刻での割込みなど、複数のプログラマブルな割込みオプションを提供します。

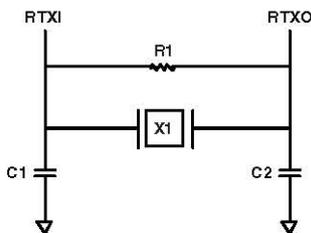
32.768 kHzの入力クロック周波数は、プリスケラにより1 Hz信号まで分周されます。タイマのカウント機能は、60秒カウンタ、60分カウンタ、24時間カウンタ、32,768日カウンタの4つのカウンタから構成されています。

アラーム機能がイネーブルされると、タイマ出力がアラーム・コントロール・レジスタ内に設定された値に一致したとき、割込みが発生されます。アラームは2種類あり、最初のアラームは日単位です。2つ目のアラームは日と時刻に対するものです。

ストップウォッチ機能では、設定した値から秒分解能でカウントダウンします。ストップウォッチがイネーブルされて、かつカウンタがアンダーフローすると、割込みが発生されます。

他のペリフェラルと同様に、RTCは任意のRTCウェイクアップ・イベントが発生したときに、プロセッサをスリープ・モードからウェイクアップさせることができます。さらに、RTCウェイクアップ・イベントはディープスリープ・モードからプロセッサをウェイクアップさせることができ、内蔵電圧レギュレータをパワーダウン状態からウェイクアップさせることができます。

RTCピンのRTXIとRTXOを外付け部品と図6のように接続してください。



SUGGESTED COMPONENTS:
X1 = ECLIPTEK E C38J (THROUGH-HOLE PACKAGE) OR
EPSON MC405 12 pF LOAD (SURFACE-MOUNT PACKAGE)

C1 = 22pF

C2 = 22pF

R1 = 10MΩ

NOTE: C1 AND C2 ARE SPECIFIC TO CRYSTAL SPECIFIED FOR X1.
CONTACT CRYSTAL MANUFACTURER FOR DETAILS. C1 AND C2
SPECIFICATIONS ASSUME BOARD TRACE CAPACITANCE OF 3pF.

図 6. RTC の外付け部品

ウォッチドッグ・タイマ

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは、32ビット・タイマを内蔵しています。このタイマはソフトウェア・ウォッチドッグ機能を構成するときに使うことができます。ソフトウェア・ウォッチドッグがソフトウェアからリセットされる前にタイマがタイムアウトすると、ハードウェア・リセット、マスク不能割込み(NMI)、または汎用割込みが発生して、プロセッサを強制的に既知状態に設定します。このためシステムの可用性を向上させることができます。プログラマがタイマのカウント値を初期化し、該当する割込みをイネーブルして、タイマをイネーブルします。その後、カウントが設定値からゼロに到達する前に、ソフトウェアからカウンタを再設定するようにします。外部ノイズまたはソフトウェア・エラーに起因してこのソフトウェアが停止すると、タイマをリセットすることができなくなるので、システムが未知の状態に留まってしまうことを防止します。

ハードウェア・リセットを発生するように設定すると、ウォッチドッグ・タイマはコアとプロセッサ・ペリフェラルの両方をリセットします。リセットの後、ソフトウェアはウォッチドッグ・タイマ・コントロール・レジスタのステータス・ビットを調べることにより、ハードウェア・リセットの原因はウォッチドッグであったか否かを知ることができます。

このタイマは、最大周波数 f_{SCLK} のシステム・クロック(SCLK)によりクロック駆動されます。

タイマ

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサには、4個の汎用プログラマブル・タイマ・ユニットがあります。3個のタイマには外部ピンがあり、パルス幅変調器(PWM)またはタイマ出力として、またはタイマを駆動するクロック入力として、または外部イベントのパルス幅と周期を測

定するメカニズムとして、設定することができます。これらのタイマは、PF1ピン(TACLK)の外部クロック入力、PPI_CLKピン(TMRCLK)の外部クロック入力、または内部SCLKに同期させることができます。

タイマ・ユニットをUARTと組み合わせて使用し、データ・ストリーム内のパルス幅を計測して、シリアル・チャンネルの自動ボーレート検出機能を実現することができます。

タイマはプロセッサ・コアに対して割込みを発生して、システム・クロックまたは外部信号のカウントに対する同期用の周期イベントを提供することができます。

3個の汎用プログラマブル・タイマの他に、4個目のタイマも用意されています。このタイマは内部プロセッサ・クロックから駆動され、オペレーティング・システムの周期割込みの発生に使用されるシステム・ティック・クロックとして使用されます。

シリアル・ポート(SPORT)

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは、シリアル通信とマルチプロセッサ通信用に2個のデュアル・チャンネル同期シリアル・ポート(SPORT0とSPORT1)を内蔵しています。SPORTは次の機能をサポートしています。

- I²S 動作
- 双方向動作—各 SPORT は 2 組の独立した送信ピンと受信ピンを持っているため、8 チャンネルの I²S ステレオ・オーディオが可能です。
- バッファ付き(深さ 8)送信および受信ポート—各ポートは他のプロセッサ・デバイスに対するデータ・ワードの入出力用にデータ・レジスタを内蔵し、データ・レジスタに対してデータをシフト入出力するシフトレジスタを内蔵しています。
- クロック—各送信および受信ポートは周波数範囲($f_{SCLK}/131,070$ Hz~($f_{SCLK}/2$) Hz)の外部シリアル・クロックまたは内部クロックを使うことができます。
- ワード長—各 SPORT は 3~32 ビット長のシリアル・データ・ワードをサポートし、MSB ファーストまたは LSB ファーストで転送されます。
- フレーミング—各送信および受信ポートは、各データ・ワードに対するフレーム同期信号有りまたは無しで動作することができます。フレーム同期信号は内部または外部で発生することができ、アクティブ・ハイまたはロー、さらに 2 パルス幅分の進みまたは遅れフレーム同期が可能です。
- ハードウェアによる圧伸—各 SPORT は ITU 勧告 G.711 に準拠する A 則または μ 則の圧伸を実行することができます。圧伸は SPORT の送信チャンネルおよび/または受信チャンネルに対して選択でき、レイテンシの増加はありません。
- シングル・サイクル・オーバーヘッドの DMA 動作—各 SPORT はメモリ・データの複数のバッファを自動的に受信および送信することができます。プロセッサは、SPORT とメモリの間の DMA 転送シーケンスをリンクまたはチェーンすることができます。
- 割込み—各送信および受信ポートは、データ・ワードの転送完了またはデータ・バッファ全体または複数のバッファを DMA を使って転送した後に割込みを発生します。
- マルチチャンネル機能—各 SPORT は 1,024 のチャンネル・ウィンドウの中から 128 のチャンネルをサポートし、H.100、H.110、MVIP-90、HMOVIP の各標準と互換性を持っています。

PLL_CTLレジスタのビット15をセットすると、250 mVのSPORT入力ヒステリシスの追加をイネーブルすることが

できます。このビットをセットすると、すべてのSPORT入力ピンのヒステリシスが増えます。

シリアル・ペリフェラル・インターフェース(SPI)ポート

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは、複数のSPI互換デバイスと通信できるようにするSPI互換ポートを内蔵しています。

SPIインターフェースは、2本のデータ・ピン(マスター出力スレーブ入力MOSIとマスター入力スレーブ出力MISO)とクロック・ピン(シリアル・クロックSCK)の合計3本のピンを使ってデータを転送します。SPIチップ・セレクト入力ピン(SPISS)を使うと、他のSPIデバイスからこのプロセッサを選択することができ、7本のSPIチップ・セレクト出力ピン(SPISEL7~1)を使うと、このプロセッサから他のSPIデバイスを選択することができます。SPIセレクト・ピンは、汎用I/Oピンに設定できます。これらのピンを使って、SPIポートはマスター/スレーブ・モードとマルチマスター環境をサポートする全二重同期シリアル・インターフェースを提供します。

SPIポートのボー・レートとクロック位相/極性はプログラマブルであり、データ・ストリームの送信または受信をサポートするように設定可能なDMAコントローラを内蔵しています。SPIのDMAコントローラは、同時に単方向アクセスしかサービスできません。

SPIポート・クロック・レートは次のように計算されます。

$$SPI\ Clock\ Rate = \frac{f_{SCLK}}{2 \times SPI_BAUD}$$

ここで、16ビットSPI_BAUDレジスタの値は2~65,535です。転送時、SPIポートは2本のシリアル・データ・ライン上でデータをシリアルにシフトして送信と受信を同時に行います。シリアル・クロック・ラインは、2本のシリアル・データ・ライン上のデータのシフトとサンプリングを同期化します。

UARTポート

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは、PC標準UARTと互換性を持つ全二重ユニバーサル非同期レシーバトランスミッタ(UART)ポートを内蔵しています。このUARTポートは他のペリフェラルまたはホストに対するシンプルなUARTインターフェースを提供し、全二重、DMA、シリアル・データの同期転送をサポートしています。このUARTポートは、5~8ビットのデータ・ビット、1ビットまたは2ビット幅のストップ・ビット、パリティ(偶数、奇数または無し)をサポートしています。UARTポートは次の2つの動作モードをサポートしています。

- **PIO (プログラムド I/O)**—プロセッサは I/O マップド UART レジスタに対して書き込みまたは読み出しを行うことにより、データを送信または受信します。データは送信と受信でダブル・バッファされています。
- **DMA (ダイレクト・メモリ・アクセス)**—DMA コントローラが送信データと受信データを転送します。この方法は、メモリに対するデータ転送に必要なとされる割込みの回数と頻度を減らします。UART は、送信と受信に対して各 1 個の専用 DMA チャンネルを持っています。これらの DMA チャンネルはサービス・レートが相対的に低いため、大部分の DMA チャンネルより低いデフォルト優先順位を持っています。

UARTポートのボー・レート、シリアル・データ・フォーマット、エラー・コードの発生とステータス、割込みはプログラマブルです。

UARTのプログラマブルな機能には次が含まれます。

- 毎秒($f_{SCLK}/1,048,576$)~($f_{SCLK}/16$)ビットの範囲のビット・レートをサポート
- 1 フレーム当たり 7~12 ビットのデータ・フォーマットをサポート
- 送信動作と受信動作でプロセッサに対するマスク可能な割込みを発生するように設定可能

UARTポート・クロック・レートは次のように計算されます。

$$UART\ Clock\ Rate = \frac{f_{SCLK}}{16 \times UART_Divisor}$$

ここで、16ビットUART_Divisorは、UART_DLHレジスタ(上位8ビット)とUART_DLLレジスタ(下位8ビット)から取得します。

汎用タイマの機能との組み合わせにより、自動ボー・レート検出機能をサポートします。

UARTの機能は、Infrared Data Association(IrDA[®])のシリアル赤外線物理層リンク仕様(SIR)プロトコルに対するサポートによりさらに拡張されます。

汎用I/OポートF

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは、16本の双方向汎用I/O(PF15~0)ピンを持っています。各汎用I/Oピンは、次のようにGPIOコントロール・レジスタ、ステータス・レジスタ、割込みレジスタを操作することにより、個別に制御することができます。

- **GPIO ディレクション・コントロール・レジスタ**—各 PFx ピンの方向(入力または出力)を指定します。
- **GPIO コントロール・レジスタおよびステータス・レジスタ**—プロセッサでは、"write one to modify"方式を採用しています。この方式では、GPIO ピンの任意の組み合わせを 1 回の命令で変更し、かつ変更しない GPIO ピンのレベルに影響を与えないようにすることができます。4 個のコントロール・レジスタが用意されています。GPIO ピンの値をセットするときに書き込むレジスタ、GPIO ピンの値をクリアするときに書き込むレジスタ、GPIO ピンの値をトグルするときに書き込むレジスタ、GPIO ピンの値を指定するときに書き込むレジスタがあります。GPIO ステータス・レジスタを読み出すと、ソフトウェアから GPIO ピンの状態を調べることができます。
- **GPIO 割込みマスク・レジスタ**—2 個の GPIO 割込みマスク・レジスタにより、各 PFx ピンがプロセッサへの割込みとして機能するように設定することができます。各 GPIO ピン値のセットおよびクリアに使う 2 個の GPIO コントロール・レジスタと同様に、一方の GPIO 割込みマスク・レジスタはビットをセットして割込み機能をイネーブルし、他方の GPIO 割込みマスク・レジスタはビットをクリアして割込み機能をディスエーブルします。入力として定義された PFx ピンはハードウェア割込みを発生するように設定ことができ、出力 PFx ピンはソフトウェア割込みによりトリガーすることができます。
- **GPIO 割込み検出レジスタ**—2 個の GPIO 割込み検出レジスタは、各 PFx ピンをレベル検出にするかまたはエッジ検出にするかを指定します。さらに、立ち上がり検出を指定した場合、信号の単に立ち上がりエッジだけを検出するか、あるいは立ち上がりと立ち下りの両エッジを検出するかも指定します。一方のレジスタ

は検出タイプを指定し、他方のレジスタはエッジ検出で有効とするエッジを指定します。

パラレル・ペリフェラル・インターフェース

プロセッサは、パラレルADCおよびDAC、ビデオ・エンコーダおよびデコーダ、その他の汎用ペリフェラルに直接接続できるようにするパラレル・ペリフェラル・インターフェース(PPI)を内蔵しています。このPPIは、専用の入力クロック・ピン、最大3本までのフレーム同期ピン、最大16本までのデータ・ピンから構成されます。入力クロックではシステム・クロックの最大1/2までのパラレル・データ・レートをサポートし、同期信号は入力または出力に設定することができます。

PPIはさまざまな汎用動作モードとITU-R 656動作モードをサポートしています。汎用モードでは、PPIは最大16ビットのデータに対する全二重双方向データ転送を提供します。最大3フレームの同期信号もサポートします。ITU-R 656モードでは、PPIは8ビットまたは10ビットのビデオ・データに対する半二重双方向転送を提供します。さらに、組み込まれたstart-of-line (SOL)およびstart-of-field (SOF)プリアンブル・パケットのオンチップ・デコードもサポートしています。

汎用モードの説明

PPIの汎用モードは、多様なデータ・キャプチャ・アプリケーションとデータ転送アプリケーション向けに用意されています。

次の3種類のサブモードがサポートされています。

- ・ 入力モード—フレーム同期とデータはPPIに対する入力になります。
- ・ フレーム・キャプチャ・モード—フレーム同期はPPIからの出力に、データは入力に、それぞれなります。
- ・ 出力モード—フレーム同期とデータはPPIからの出力になります。

入力モード

入力モードは、ADCアプリケーションやハードウェア・シグナリングを持つビデオ通信向けに用意されています。最もシンプルな形式では、PPI_FS1はデータを読み込むタイミングを制御する外部フレーム同期入力になります。PPI_DELAY MMRを使うと、このフレーム同期の受信とデータ読み込み開始との間の遅延(PPI_CLKサイクル数)が可能になります。入力データ・サンプル数はユーザ設定可能で、PPI_COUNTレジスタの値により決定されます。8、10~16ビットのデータ幅がサポートされており、PPI_CONTROLレジスタにより設定します。

フレーム・キャプチャ・モード

このモードを使うと、ビデオ・ソースがスレーブ(たとえば、フレーム・キャプチャの場合)として機能できるようになります。プロセッサは、ビデオ・ソースから読み出すタイミングを制御します。PPI_FS1はH同期出力に、PPI_FS2はV同期出力に、それぞれなります。

出力モード

このモードは、最大3個の出力フレーム同期を持つビデオまたはその他のデータの送信に使用されます。一般に、データ・コンバータ・アプリケーションに対しては1フレーム同期が適していますが、ハードウェア・シグナリングを持つビデオの送信を行うときは2または3フレーム同期を使います。

ITU -R 656 モードの説明

PPIのITU-R 656モードは、さまざまなビデオのキャプチャ、処理、転送アプリケーション向けに用意されています。次の3種類のサブモードがサポートされています。

- ・ アクティブ・ビデオ専用モード
- ・ 垂直ブランキング専用モード
- ・ 全体フィールド・モード

アクティブ・ビデオ専用モード

このモードは、フィールドのアクティブ・ビデオ部分のみを対象とし、かつブランキング区間は対象にしないときに使います。PPIは、アクティブ・ビデオ終了(EAV)プリアンブル・シンボルとアクティブ・ビデオ開始(SAV)プリアンブル・シンボルとの間のデータ、または垂直ブランキング区間のデータを読み込みません。このモードでは、コントロール・バイト・シーケンスはメモリに保存されず、PPIによりフィルタされます。フィールド1の開始に同期した後、PPIはSAVコードまでの受信サンプルを無視します。1フレーム当たりのアクティブ・ビデオ・ライン数は、ユーザが指定します(PPI_COUNTレジスタ)。

垂直ブランキング区間モード

このモードでは、PPIは垂直ブランキング区間(VBI)データのみを転送します。

全体フィールド・モード

このモードでは、受信ビット・ストリーム全体がPPIから読み込まれます。これには、アクティブ・ビデオ、コントロール・プリアンブル・シーケンス、水平ブランキング区間および垂直ブランキング区間に組み込まれている補助データが含まれます。データ転送はフィールド1に対する同期後、直ちに開始されます。プロセッサ・コアから自立して動作する8個のDMAエンジンを使って、データが同期チャンネルとの間で転送されます。

ダイナミック・パワー・マネジメント

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは4つの動作モードを持っており、各々は異なる性能/消費電力特性を持っています。その他に、ダイナミック・パワー・マネジメントはプロセッサ・コア電源電圧をダイナミックに変更する制御機能を提供して、さらに消費電力を減らすことができます。各プロセッサ・ペリフェラルに対するクロックの制御によっても、消費電力を減らすことができます。各モードに対する消費電力の設定を表4にまとめます。

Full-On動作モード—最大性能

Full-OnモードではPLLがイネーブルされ、かつバイパスされないため、最大動作周波数で動作することができます。これはパワーアップ時のデフォルト実行状態であり、最大性能が得られます。プロセッサ・コアとイネーブルされた全ペリフェラルが最大速度で動作します。

アクティブ動作モード—中程度の省電力

アクティブ・モードでは、PLLはイネーブルされていますが、バイパスされます。PLLがバイパスされているため、プロセッサ・コア・クロック(CCLK)とシステム・クロック(SCLK)は入力クロック(CLKIN)周波数で動作します。適切に設定されたL1メモリに対して、DMAアクセスを使用することができます。

アクティブ・モードでは、PLLコントロール・レジスタ(PLL_CTL)を使って、PLLをディスエーブルすることができます。PLLをディスエーブルした場合、Full-Onモードまたはスリープ・モードに入る前に、PLLを再イネーブルする必要があります。

表4. 電源設定

Mode	PLL	PLL Bypassed	Core Clock (CCLK)	System Clock (SCLK)	Core Power
Full-On	Enabled	No	Enabled	Enabled	On
Active	Enabled/Disabled	Yes	Enabled	Enabled	On
Sleep	Enabled		Disabled	Enabled	On
Deep Sleep	Disabled		Disabled	Disabled	On
Hibernate	Disabled		Disabled	Disabled	Off

スリープ動作モード—高い省電力

スリープ・モードでは、プロセッサ・コアに対するクロック(CCLK)をディスエーブルしてダイナミック消費電力を削減します。ただし、PLLとシステム・クロック(SCLK)は動作を維持します。一般に、外部イベントまたはRTCの動作により、プロセッサがウェイクアップします。スリープ・モードでは、ウェイクアップ信号がアサートされると、プロセッサはPLLコントロール・レジスタ(PLL_CTL)内のBYPASSビットを調べます。BYPASSがディスエーブルされている場合、プロセッサはFull-Onモードになります。BYPASSがイネーブルされている場合には、プロセッサはアクティブ・モードになります。

スリープ・モード内では、L1メモリに対するシステムDMAアクセスはサポートされていません。

ディープ・スリープ動作モード—最高の省電力

ディープ・スリープ・モードでは、プロセッサ・コアに対するクロック(CCLK)と全同期ペリフェラルに対するクロック(SCLK)をディスエーブルすることにより、最高のダイナミック消費電力削減が得られます。RTCのような非同期システムは動作を続けますが、内部リソースまたは外部メモリをアクセスすることはできません。このパワーダウン・モードは、リセット割込み(RESET)またはRTCから発生される同期割込みによってのみ開始することができます。ディープ・スリープ・モード内で、RTC非同期割込みがアサートされると、プロセッサはアクティブ・モードになります。ディープ・スリープ・モード内で、RESETがアサートされると、プロセッサはFull-Onモードになります。

ハイバネート状態—最大スタティック消費電力削減

ハイバネート状態では、プロセッサ・コアに対する電圧とクロック(CCLK)、さらに全同期ペリフェラルに対するクロック(SCLK)をディスエーブルすることにより、最高の消費電力削減が得られます。VR_CTL レジスタのFREQビットにb#00を書き込むことにより、プロセッサの内部電圧レギュレータを遮断することができます。クロックのディスエーブルの他にこの設定では、内部電源電圧(V_{DDINT})

を0 Vに設定して、スタティック電流の消費を最小にします。内部で保存されるクリティカルな情報(メモリ内容、レジスタ値など)は、プロセッサ状態を保持する場合には電源を切る前に不揮発性ストレージ・デバイスに書き込む必要があります。このモードではV_{DDEXT}が供給されているため、他に注記がない限り、すべての外部ピンはスリー・ステートになります。この機能を使うと、プロセッサに接続できる他のデバイスの電源を不要な電流なしで接続したままにすることができます。リアルタイム・クロックのウェイクアップまたはRESETピンのアサートにより、内部電源レギュレータをウェイクアップさせることができます。

省電力

表5に示すように、プロセッサは3種類の電源ドメインをサポートしています。複数の電源ドメインを使用すると、業界標準や規則に準拠したまま、最大の柔軟性が得られます。プロセッサの内部ロジックを1つの電源ドメインにまとめて、RTCを他のI/Oから分離すると、RTCまたは他のI/Oデバイスに影響を与えることなく、プロセッサはダイナミック・パワー・マネジメントを利用できるようになります。種々の電力ドメインに対するシーケンシング条件はありません。

表5. 電源ドメイン

Power Domain	V _{DD} Range
All internal logic, except RTC	V _{DDINT}
RTC internal logic and crystal I/O	V _{DDRTC}
All other I/O	V _{DDEXT}

プロセッサの消費電力は、プロセッサのクロック周波数と動作電圧の二乗の関数になります。たとえば、クロック周波数を25%低下させると、ダイナミック消費電力は25%削減され、電圧を25%低下させると、ダイナミック消費電力は40%以上削減されます。さらに、これらの消費電力削減は加算的であり、クロック周波数と電源電圧の両方を低下させると、消費電力の削減は非常に大きくなります。

プロセッサのダイナミック・パワー・マネジメント機能を使うと、プロセッサ入力電圧(V_{DDINT})とクロック周波数(f_{CCLK})の両方をダイナミックに制御することができます。消費電力の削減は、消費電力削減ファクタと%消費電力削減の計算を使ってモデル化できます。

消費電力削減ファクタは次のように計算されます。

power savings factor

$$= \frac{f_{CCLKRED}}{f_{CCLKNOM}} \times \left(\frac{V_{DDINTRED}}{V_{DDINTNOM}} \right)^2 \times \left(\frac{t_{RED}}{t_{NOM}} \right)$$

ここで、式内の変数は、

$f_{CCLKNOM}$ は公称コア・クロック周波数

$f_{CCLKRED}$ は削減されたコア・クロック周波数

$V_{DDINTNOM}$ は公称内部電源電圧

$V_{DDINTRED}$ は削減された内部電源電圧

t_{NOM} は $f_{CCLKNOM}$ で動作する時間

t_{RED} は $f_{CCLKRED}$ で動作する時間

パーセント消費電力削減は次のように計算されます。

$$\% \text{ power savings} = (1 - \text{power savings factor}) \times 100\%$$

電圧レギュレーション

Blackfinプロセッサは、 V_{DDEXT} 電源から内部電圧レベル V_{DDINT} を生成する電圧レギュレータを内蔵しています。特定のモデルのレギュレータ偏差と許容 V_{DDEXT} 範囲については、動作条件を参照してください。

図7に、パワー・マネジメント・システムに必要な代表的な外付け部品を示します。このレギュレータは内部ロジック電圧レベルを制御し、電圧レギュレータ・コントロール・レジスタ(VR_CTL)を使って50 mV単位で設定することができます。スタンバイ消費電力を削減するため、I/O電源(V_{DDEXT})を維持したままプロセッサ・コアの電源を切るように内部電圧レギュレータを設定することができます。ハイバネート状態では、I/O電源が維持されたままなので、外部バッファが不要になります。RTCのウェイクアップまたはRESETのアサート(これらはいずれもブート・シーケンスを起動)により、電圧レギュレータをこのパワーダウン状態から起動することができます。このレギュレータはユーザ指定により、ディスエーブルしてバイパスすることもできます。

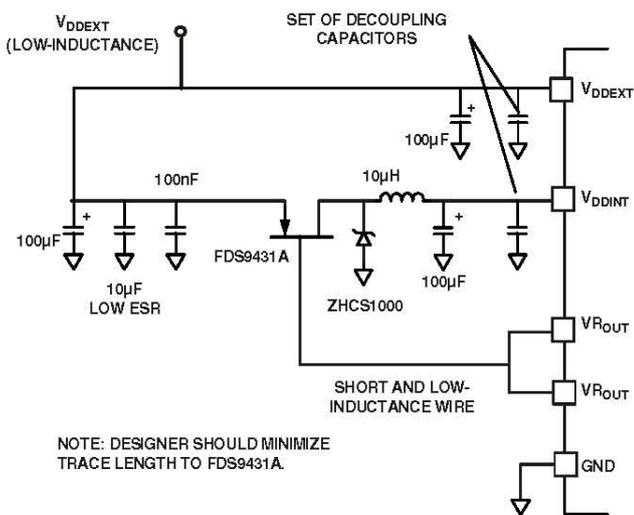


図 7. 電圧レギュレータ回路

電圧レギュレータ・レイアウトのガイドライン

レギュレータの外付け部品の配置、ボード配線、バイパス・コンデンサはすべて、他の内蔵アナログ回路へのノイズ混入に大きな影響を与えます。VROUT1~0のパターンと電圧レギュレータの外付け部品は、ボードのレイアウトではノイズ・ソースと見なす必要があります。ボード上の敏感な回路または部品から離して配置/配線する必要があります。すべての内部およびI/O電源は、プロセッサのできるだけ近くにバイパス・コンデンサを配置してしっかりバイパスする必要があります。

内蔵電圧レギュレータと関連ボード・デザイン・ガイドラインについては、アナログ・デバイス・ウェブ・サイト (www.analog.com) の「Switching Regulator Design Considerations for ADSP-BF533 Blackfin Processors

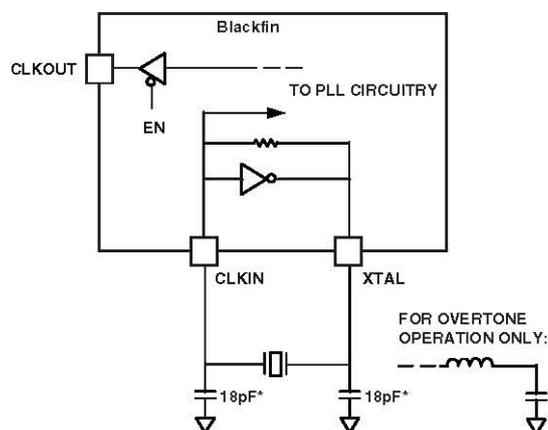
(EE-228)」アプリケーション・ノートご覧ください—“EE-228”でサイト検索をご利用ください。

クロック信号

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサのクロックは、外付け水晶発振器、正弦波入力、または外部クロック発振器から出力される、バッファされ整形されたクロックにより駆動することができます。

外部クロックを使用する場合にはTTL互換信号を使い、通常動作中に停止、変更、または仕様周波数未満で駆動させないでください。この信号はプロセッサのCLKINピンに接続されます。外付け水晶を使う場合は、XTALピンは解放のままにしてください。

あるいは、プロセッサは発振器回路を内蔵しているため、外部水晶を使うことができます。基本波周波数動作の場合、図8の回路を使用してください。



NOTE: VALUES MARKED WITH * MUST BE CUSTOMIZED DEPENDING ON THE CRYSTAL AND LAYOUT. PLEASE ANALYZE CAREFULLY.

図 8. 外部水晶接続

並列共振で基本周波数のマイクロプロセッサ・グレードの水晶をCLKINピンとXTALピンの間に接続します。CLKINピンとXTALピンとの間の内蔵抵抗は、500 kΩ範囲です。さらに並列抵抗を追加することは推奨されません。図8に示す2個のコンデンサと直列抵抗は、正弦周波数の位相と振幅を微調整します。図8に示すコンデンサと抵抗の値はtyp値です。コンデンサ値は、水晶メーカーの推奨負荷容量とPCBレイアウトに依存します。抵抗値は、水晶メーカーが規定する駆動レベルに依存します。システム・デザインでは、許容温度範囲での複数デバイスについての慎重な調査に基づいて、カスタム化した値を確認する必要があります。

3次高調波水晶は、25 MHzを超える周波数で使用することができます。図8に示すようにチューニングしたインダクタ回路を追加して、回路を3次高調波水晶動作に変更します。

図9に示すように、コア・クロック(CCLK)とシステム・ペリフェラル・クロック(SCLK)は入力クロック(CLKIN)信号から発生されます。オンチップPLLはユーザ・プログラマブルな0.5倍~64倍の倍率でCLKIN信号を逡倍することができます(VCO周波数の最小および最大規定値で制限されます)。デフォルトの倍率は10倍ですが、ソフトウェア命令シーケンスにより変更することができます。PLL_DIVレジスタに書き込みを行うだけで、周波数を即座に変更することができます。

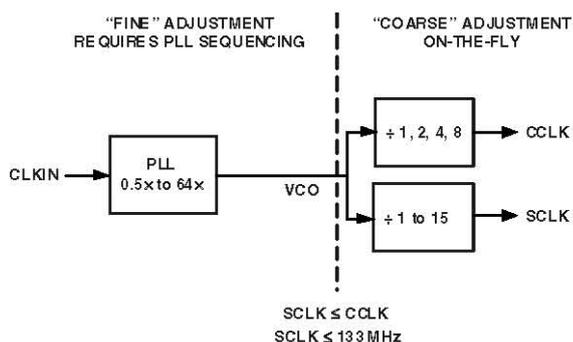


図 9. 周波数変更方法

すべての内蔵ペリフェラルは、システム・クロック(SCLK)によりクロック駆動されます。システム・クロック周波数は、PLL_DIVレジスタのSSEL3~0ビットを使って設定することができます。SSELフィールドに設定された値が、PLL出力(VCO)とシステム・クロックとの間の分周比を決定します。SCLK分周比の値は1~15です。表6に、代表的なシステム・クロック分周比を示します。

表6. システム・クロック比の例

Signal Name SSEL3-0	Divider Ratio VCO/SCLK	Example Frequency Ratios (MHz)	
		VCO	SCLK
0001	1:1	100	100
0101	5:1	400	80
1010	10:1	500	50

システム・クロックの最大周波数は f_{SCLK} です。分周比は、システム・クロック周波数が最大値 f_{SCLK} を超えないように選択する必要があります。SSELの値は、PLL分周比レジスタ(PLL_DIV)に該当する値を書き込むことにより、PLLロック・レイテンシなしでダイナミックに変更することができます。SSEL値を変更すると、SCLK信号から自分のクロック信号を発生するすべてのペリフェラルに影響を与えます。

コア・クロック(CCLK)周波数も、PLL_DIVレジスタのCSEL1~0ビットを使ってダイナミックに変更することができます。サポートしているCCLK分周比は、1、2、4、8です(表7)。このプログラマブルなコア・クロック機能は、素早くコア周波数を変更するときに役立ちます。

表7. コア・クロック比

Signal Name CSEL1-0	Divider Ratio VCO/CCLK	Example Frequency Ratios (MHz)	
		VCO	CCLK
00	1:1	300	300
01	2:1	300	150
10	4:1	400	100
11	8:1	200	25

ブーティング・モード

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサは、リセット後に内部L1命令メモリを自動的にローディングする2つのメカニズムを持っています(表8参照)。3つ目のモードはブート・シーケンスをバイパスして、外部メモリから実行するために用意されています。

表8. ブーティング・モード

BMODE1-0	Description
00	Execute from 16bit external memory (bypass boot ROM)
01	Boot from 8bit or 16-bit FLASH
10	Boot from serial master connected to SPI
11	Boot from serial slave EEPROM/flash (8-,16-, or 24-bit address range, or Atmel AT45DB041, AT45DB081, or AT45DB161serial flash)

リセット設定レジスタのBMODEピンがパワーオン・リセット時とソフトウェア起動のリセット時にサンプルされて、次のモードが実行されます。

- 16ビットの外部メモリからの実行—16ビット・パッキングのアドレス 0x20000000 から実行が開始されます。このモードでは、ブートROMがバイパスされず。すべての構成の設定値は最低速デバイスに合わせて設定されます(3サイクル・ホールド・タイム; 15サイクルR/Wアクセス・タイム; 4サイクル・セットアップ)。
- 8ビットまたは16ビット外部フラッシュ・メモリからのブート—ブートROMメモリ空間に配置されているFLASHブート・ルーチンが非同期メモリ・バンク0にセットアップされます。すべての設定は、最低デバイス速度(3サイクルのホールド・タイム、15サイクルのR/Wアクセス・タイム、4サイクルのセットアップ)に設定されます。
- SPIシリアルEEPROM /フラッシュ(8、16、または24ビット・アドレスラブル、またはAtmel社のAT45DB041、AT45DB081、AT45DB161)からのブート—SPIはPF2出力ピンを使って1つのSPIEEPROM/フラッシュ・デバイスを選択し、読み出しコマンドを出力し、有効な8、16、または24ビットのアドレスラブルEEPROM/フラッシュ・デバイスが検出されるまで連続アドレス・バイト(0x00)を出力します。さらにL1命令メモリの先頭から入力したデータの書き込みを開始します。
- SPIシリアル・マスターからのブート—BlackfinプロセッサはSPIスレーブ・モードで動作し、SPIホスト(マ

スター)エージェントから LDR ファイルのバイトを受信するように設定されます。ブート ROM がビジーのときホスト・デバイスからの送信を停止させるため、Blackfin プロセッサはホスト・ウェイト(HWAIT)と呼ばれる GPIO ピンをアサートして、フラグのアサートが解除されるまでバイトをさらに送信しないようにホスト・デバイスに通知します。GPIO ピンはユーザが選択し、この情報が LDR イメージ内の FLAG ヘッダーのビット[10:5]を介して Blackfin プロセッサへ転送されます。

各ブート・モードで、外部メモリ・デバイスから10バイトのヘッダーが最初に読み込まれます。このヘッダーは、転送バイト数とメモリ・ディスティネーション・アドレスを指定します。どのブート・シーケンスでも、複数のメモリ・ブロックにロードすることができます。すべてのブロックをロードした後、L1命令SRAMの先頭からプログラムの実行が開始されます。

さらに、リセット設定レジスタのビット4をアプリケーション・コードから設定して、ソフトウェア・リセット時に通常のブート・シーケンスをバイパスすることもできます。このケースの場合、プロセッサはL1命令メモリの先頭に直接ジャンプします。

命令セットの説明

Blackfin プロセッサ・ファミリのアセンブリ言語命令セットでは、代数的構文を採用しているためコードの読み書きが容易です。命令は、柔軟かつ高密度でエンコードされた命令セットを提供し、コンパイル後に最小のメモリ・サイズになるように特別に最適化されています。また、この命令セットは、1つの命令で多くのプロセッサ・コア・リソースを使用可能にするフル機能のマルチファンクション命令を提供します。この命令セットはマイクロコントローラで使用されている多くの機能との組み合わせにより、C およびC++ソース・コードをコンパイルする際に非常に効率の良いものになります。さらに、このアーキテクチャでは、ユーザ動作モード(アルゴリズム/アプリケーション・コード)とスーパーバイザ動作モード(O/Sカーネル、デバイス・ドライバ、デバッグ、ISR)を提供するため、コア・プロセッサ・リソースに対する複数レベルのアクセスが可能です。

プロセッサの独自のアーキテクチャを利用するアセンブリ言語は次の利点を持っています。

- ・ シームレスに統合された DSP/CPU 機能は、8 ビット動作と 16 ビット動作に対して最適化されています。
- ・ 2 個の 16 ビット MAC または 4 個の 8 ビット ALU+2 個のロード/ストア+1 サイクル当たり 2 回のポインタ更新をサポートする複数発行のロード/ストア改良型ハーバード・アーキテクチャ
- ・ 全レジスタ、I/O、メモリが連続な 4G バイト・メモリ空間にマップされているため、プログラミング・モデルが簡素
- ・ 任意のビットおよびビット・フィールドの操作、挿入、取り出しなどのようなマイクロコントローラ機能; 8 ビット、16 ビット、32 ビットのデータ型に対する整数演算; ユーザ・スタック・ポインタとスーパーバイザ・スタック・ポインタの分離
- ・ 16 ビットと 32 ビットの命令の混在(モード切り替えなし、コード分離なし)などのコード密度の強化、使用頻度の高い命令を 16 ビットにエンコード

開発ツール

ADSP-BF531/ADSP-BF532/ADSP-BF533 プロセッサは、アナログ・デバイセズのエミュレータと VisualDSP++^{®1} 開発環境を含む CROSSCORE^{®2} ソフトウェアおよびハードウェア開発ツールの完全なセットによりサポートされています。エミュレータ・ハードウェアは、アナログ・デバイセズの他の Blackfin プロセッサにも対応し、プロセッサをエミュレートします。

VisualDSP++ プロジェクト・マネジメント環境は、アプリケーションの開発とデバッグを可能にします。この環境には、代数的な構文に基づいた使い易いアセンブラ、アーカイバ(ライブラリアン/ライブラリ・ビルダ)、リンカー、ローダ、サイクルに対して正確な命令レベルのシミュレータ、C/C++コンパイラ、DSP関数と数学関数を含むC/C++ランタイム・ライブラリが含まれています。これらのツールのキー・ポイントはC/C++コードの効率です。コンパイラは、C/C++コードをプロセッサ・アセンブリに効率良く変換するように開発されています。プロセッサには、コンパイルされたC/C++コードの効率を改善するアーキテクチャ上の機能があります。

VisualDSP++デバッガは多くの重要な機能を持っています。データ表示は、柔軟性を提供するプロットング・パッケージにより機能強化されています。ユーザ・データのグラフィック表示により、プログラマはアルゴリズムの性能を迅速に調べることができます。アルゴリズムが複雑になる程、この機能設計者の開発スケジュールに大きな効果を持つことができ、生産性を向上させます。統計的プロファイリング機能を使うと、プログラム実行中のプロセッサを非介入的に監視できます。VisualDSP++独自のこの機能を使うと、ソフトウェア開発者はプログラムのリアルタイム特性を損なうことなく重要なコード実行の測定データを収集することができます。ソフトウェア内のボトルネックを迅速かつ効果的に特定できます。プロファイラを使うと、プログラマは性能に影響を与える領域に専念できるようになり、対策を講じることができます。

VisualDSP++デバッガを使って、C/C++プログラムとアセンブリ・プログラムをデバッグすると、プログラマは次のことが可能になります。

- ・ C/C++とアセンブリ・コードの混在の表示(インターリーブされたソースとオブジェクト情報)
- ・ ブレークポイントの挿入
- ・ レジスタ、メモリ、スタックへの条件付きブレークポイントの設定
- ・ 命令実行のトレース
- ・ プログラム実行の連続的または統計的な分析
- ・ メモリ内容のフィル、ダンプ、図形的表示
- ・ ソース・レベル・デバッグの実行
- ・ カスタム・デバッガ・ウインドウの作成

VisualDSP++ IDDEを使うと、ソフトウェア開発の定義と管理が可能になります。ダイアログ・ボックスと属性ページを使うと、VisualDSP++エディタ内での色による強調表示などのすべてのBlackfin開発ツールの設定と管理ができます。これらの機能によりプログラマは次のことが可能になります。

- ・ 開発ツールによる入力処理方法と出力の発生方法の制御

¹ CROSSCORE は Analog Devices, Inc. の登録商標です。

² VisualDSP++ は Analog Devices, Inc. の登録商標です。

- ・ ツールのコマンドライン・スイッチとの1対1対応の維持

VisualDSP++カーネル(VDK)は、DSPプログラミングのメモリ制約とタイミング制約を解決するように特別に作成されたスケジューリングとリソース・マネジメントを内蔵しています。これらの機能を使うと、コードを効率的に開発できるようになり、新しいアプリケーション・コードを開発する際に、早くからスタートする必要がなくなります。VDKの機能には、スレッド領域、クリティカル領域、未スケジュール領域、セマフォ、イベント、デバイス・フラグが含まれています。また、VDKは優先順位ベースの、プリエンティブで協調作用的なタイムスライス・スケジューリング・アプローチもサポートしています。さらに、VDKはスケラブルにデザインされています。アプリケーションである特定の機能を使わない場合には、その機能をサポートするコードはターゲット・システムから除外されます。

VDKはライブラリであるため、開発者が使用するか否かを決めることができます。VDKはVisualDSP++開発環境に統合されていますが、標準のコマンドライン・ツールと一緒に使用することもできます。VDKを使うと、この開発環境は、多くのエラーを起こしやすいタスクについて開発者を支援し、システム・リソースの管理を支援し、種々のVDKベースのオブジェクト生成を自動化し、VDKを使用するアプリケーションのデバッグではシステム状態を表示します。

エキスパート・リンカーを使って、組込みシステムのコードとデータの配置を視覚的に操作します。カラー・コード化されたグラフィカル形式でメモリ使用率を表示し、マウスのドラッグによりコードとデータをプロセッサまたは外部メモリの異なる領域へ容易に移動することができます。ランタイム・スタックとヒープ使用率を調べることができます。エキスパート・リンカーは既存リンカー定義ファイル(LDF)と完全な互換性を持っているため、グラフィカル環境とテキスト環境との間で移動することができます。

アナログ・デバイセズのエミュレータでは、ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサのIEEE 1149.1 JTAGテスト・アクセス・ポートを使って、エミュレーション時にターゲット・ボード・プロセッサのモニタと制御を行っています。このエミュレータではフル速度のエミュレーションが可能のため、メモリ・スタック、レジスタ・スタック、プロセッサ・スタックの検証と変更が可能です。プロセッサのJTAGインターフェースを使用すると、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないインサーキット・エミュレーションが可能になります。

アナログ・デバイセズが提供するソフトウェア開発ツールとハードウェア開発ツールの他に、サード・パーティがBlackfinプロセッサ・ファミリをサポートする広範囲なツールを提供しています。

ハードウェア・ツールにはBlackfinプロセッサPCプラグイン・カードが含まれています。サード・パーティのソフトウェア・ツールには、DSPライブラリ、リアルタイム・オペレーティング・システム、ブロック図デザイン・ツールなどがあります。

EZ-KIT Lite評価ボード

アナログ・デバイセズは、アナログ・デバイセズのプロセッサ、プラットフォーム、ソフトウェア・ツールによるアプリケーションの開発またはプロトタイプについて学習するコスト/パフォーマンスの優れた方法として使う広範囲なEZ-KIT Lite[®]評価プラットフォームを提供しています。

各EZ-KIT Liteには、評価ボードと一緒にC/C++コンパイラ、アセンブラ、リンカーによるVisualDSP++開発およびデバッグ環境の評価スイートが含まれています。また、サンプル・アプリケーション・プログラム、電源、USBケーブルも添付されています。ソフトウェア・ツールのすべての評価バージョンは、EZ-KIT Lite製品と組み合わせて使用するよう制限されています。

EZ-KIT Lite ボードのUSB コントローラは、ボードをユーザのPCのUSBポートに接続して、VisualDSP++ 評価スイートによりオンボード・プロセッサをインサーキットでエミュレートできるようにします。これにより、EZ-KIT Lite システムのプログラムをダウンロード、実行、デバッグすることが可能になります。また、ユーザ固有のブート・コードを格納するオンボード・フラッシュ・デバイスのインサーキット・プログラミングが可能になるため、PCに接続しないでスタンドアロン・ユニットとしてボードを動作させることができます。

VisualDSP++のフル・バージョン(別売)をインストールすると、EZ-KIT Liteまたは任意のユーザ定義システムのソフトウェアを開発することができます。アナログ・デバイセズのJTAGエミュレータの1つをEZ-KIT Liteボードに接続すると、高速な非介入型エミュレーションが可能になります。

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサを評価する場合は、アナログ・デバイセズから提供するEZ-KIT Liteボードを使用してください。デバイス番号ADZS-BF533-EZLITEでご注文ください。ボードにはエミュレーション機能が付いており、ソフトウェア開発機能が備わっています。複数のドーダ・カードも提供しています。

エミュレータ互換プロセッサ・ボードのデザイン

アナログ・デバイセズのエミュレータ・ファミリは、すべてのシステム開発者がハードウェア・システムとソフトウェア・システムをテストし、デバッグする際に必要とするツールです。アナログ・デバイセズは、各JTAGプロセッサ上でIEEE 1149.1 JTAGテスト・アクセス・ポート(TAP)を提供しています。エミュレータはこのタップを使ってプロセッサの内部機能をアクセスするため、コードのロード、ブレークポイントの設定、変数の表示、メモリの表示、レジスタの表示が可能になります。プロセッサはデータとコマンドを送信するとき停止する必要がありますが、エミュレータによる動作が完了した後に、システム・タイミングに影響を与えることなく、フル速度で動作するようにプロセッサ・システムを設定することができます。

これらのエミュレータを使うときは、ターゲット・ボードにプロセッサのJTAGポートをエミュレータへ接続するヘッダーが含まれている必要があります。

機械的レイアウト、シングル・プロセッサ接続、マルチプロセッサ・スキューン・チェーン、信号バッファリング、信号終端、エミュレータ・ポッド・ロジックなどのターゲット・ボード・デザイン問題の詳細については、アナログ・デバイセズのウェブ・サイト(www.analog.com)にある

「*Analog Devices JTAG Emulation Technical Reference (EE-68)*」を参照してください。「EE-68」のサイト検索をご利用ください。エミュレータ・サポートの強化に合わせて、このドキュメントは定期的に更新されています。

関連ドキュメント

ADSP-BF531/ADSP-BF532/ADSP-BF533プロセッサ(および関連プロセッサ)の次の出版物は、最寄りのアナログ・デバイセズまたはウェブ・サイトから注文することができます。

- Getting Started With Blackfin Processors
- ADSP-BF533 Blackfin Processor Hardware Reference
- Blackfin Processor Programming Reference
- ADSP-BF531/ADSP-BF532/ADSP-BF533 Blackfin Processor Anomaly List

ピン説明

表 9 に、ADSP-BF531/ADSP-BF532/ADSP-BF533 プロセッサのピン定義を示します。

すべてのピンはリセット時と直後にスリー・ステートになります。ただし、メモリ・インターフェース・ピン、非同期メモリ・コントロール・ピン、同期メモリ・コントロール・ピンは除きます。これらのピンはすべてハイ・レベルに駆動されますが、CLKOUT は例外でシステム・クロック・レートでトグルします。

$\overline{\text{BR}}$ がアクティブの場合は、メモリ・ピンもスリー・ステートになります。すべての未使用 I/O ピンの入力バッファはディスエーブルされますが、表の脚注に示すようにプルアップまたはプルダウンが必要なピンは例外です。

機能の有効利用およびパッケージ・サイズとピン数を削減するため、複数の機能をマルチプレクスした共用ピンもあります。ピン機能が設定可能な場合には、デフォルト状態をテキストで示し、代替機能を斜字体で表してあります。

表9. ピン説明

Pin Name	Type	Function	Driver Type ¹
<i>Memory Interface</i>			
ADDR19-1	O	Address Bus for Async/Sync Access	A
DATA15-0	I/O	Data Bus for Async/Sync Access	A
$\overline{\text{ABE1-0/SDQM1-0}}$	O	Byte Enables/Data Masks for Async/Sync Access	A
$\overline{\text{BR}}$	I	Bus Request (This pin should be pulled high if not used.)	
$\overline{\text{BG}}$	O	Bus Grant	A
$\overline{\text{BGH}}$	O	Bus Grant Hang	A
<i>Asynchronous Memory Control</i>			
$\overline{\text{AMS3-0}}$	O	Bank Select	A
ARDY	I	Hardware Ready Control (This pin should be pulled high if not used.)	
$\overline{\text{AOE}}$	O	Output Enable	A
$\overline{\text{ARE}}$	O	Read Enable	A
$\overline{\text{AWE}}$	O	Write Enable	A
<i>Synchronous Memory Control</i>			
$\overline{\text{SRAS}}$	O	Row Address Strobe	A
$\overline{\text{SCAS}}$	O	Column Address Strobe	A
$\overline{\text{SWE}}$	O	Write Enable	A
SCKE	O	Clock Enable	A
CLKOUT	O	Clock Output	B
SA10	O	A10 Pin	A
$\overline{\text{SMS}}$	O	Bank Select	A
<i>Timers</i>			
TMR0	I/O	Timer 0	C
TMR1/PPI_FS1	I/O	Timer 1/PPI Frame Sync1	C
TMR2/PPI_FS2	I/O	Timer 2/PPI Frame Sync2	C
<i>PPI Port</i>			
PPI3-0	I/O	PPI3-0	C
PPI_CLK/TMRCLK	I	PPI Clock/External Timer Reference	

表9. ピン説明 (続き)

Pin Name	Type	Function	Driver Type ¹
<i>Port F: GPIO/Parallel Peripheral Interface Port/SPI/Timers</i>			
PF0/ $\overline{\text{SPISS}}$	I/O	GPIO/SPI Slave Select Input	C
PF1/ $\overline{\text{SPISEL1}}$ /TACLK	I/O	GPIO/SPI Slave Select Enable 1/Timer Alternate Clock Input	C
PF2/ $\overline{\text{SPISEL2}}$	I/O	GPIO/SPI Slave Select Enable 2	C
PF3/ $\overline{\text{SPISEL3}}$ /PPI_FS3	I/O	GPIO/SPI Slave Select Enable 3/PPI Frame Sync 3	C
PF4/ $\overline{\text{SPISEL4}}$ /PPI15	I/O	GPIO/SPI Slave Select Enable 4/PPI 15	C
PF5/ $\overline{\text{SPISEL5}}$ /PPI14	I/O	GPIO/SPI Slave Select Enable 5/PPI 14	C
PF6/ $\overline{\text{SPISEL6}}$ /PPI13	I/O	GPIO/SPI Slave Select Enable 6/PPI 13	C
PF7/ $\overline{\text{SPISEL7}}$ /PPI12	I/O	GPIO/SPI Slave Select Enable 7/PPI 12	C
PF8/PPI11	I/O	GPIO/PPI 11	C
PF9/PPI10	I/O	GPIO/PPI 10	C
PF10/PPI9	I/O	GPIO/PPI 9	C
PF11/PPI8	I/O	GPIO/PPI 8	C
PF12/PPI7	I/O	GPIO/PPI 7	C
PF13/PPI6	I/O	GPIO/PPI 6	C
PF14/PPI5	I/O	GPIO/PPI 5	C
PF15/PPI4	I/O	GPIO/PPI 4	C
<i>JTAG Port</i>			
TCK	I	JTAG Clock	
TDO	O	JTAG Serial Data Out	C
TDI	I	JTAG Serial Data In	
TMS	I	JTAG Mode Select	
$\overline{\text{TRST}}$	I	JTAG Reset (This pin should be pulled low if JTAG is not used.)	
$\overline{\text{EMU}}$	O	Emulation Output	C
<i>SPI Port</i>			
MOSI	I/O	Master Out Slave In	C
MISO	I/O	Master In Slave Out (This pin should be pulled high through a 4.7 k Ω resistor if booting via the SPI port.)	C
SCK	I/O	SPI Clock	D

表9. ピン説明 (続き)

Pin Name	Type	Function	Driver Type ¹
<i>Serial Ports</i>			
RSCLK0	I/O	SPORT0 Receive Serial Clock	D
RFS0	I/O	SPORT0 Receive Frame Sync	C
DR0PRI	I	SPORT0 Receive Data Primary	
DR0SEC	I	SPORT0 Receive Data Secondary	
TSCLK0	I/O	SPORT0 Transmit Serial Clock	D
TFS0	I/O	SPORT0 Transmit Frame Sync	C
DT0PRI	O	SPORT0 Transmit Data Primary	C
DT0SEC	O	SPORT0 Transmit Data Secondary	C
RSCLK1	I/O	SPORT1 Receive Serial Clock	D
RFS1	I/O	SPORT1 Receive Frame Sync	C
DR1PRI	I	SPORT1 Receive Data Primary	
DR1SEC	I	SPORT1 Receive Data Secondary	
TSCLK1	I/O	SPORT1 Transmit Serial Clock	D
TFS1	I/O	SPORT1 Transmit Frame Sync	C
DT1PRI	O	SPORT1 Transmit Data Primary	C
DT1SEC	O	SPORT1 Transmit Data Secondary	C
<i>UART Port</i>			
RX	I	UART Receive	
TX	O	UART Transmit	C
<i>Real-Time Clock</i>			
RTXI	I	RTC Crystal Input (This pin should be pulled low when not used.)	
RTXO	O	RTC Crystal Output	
<i>Clock</i>			
CLKIN	I	Clock/Crystal Input (This pin needs to be at a level or clocking.)	
XTAL	O	Crystal Output	
<i>Mode Controls</i>			
$\overline{\text{RESET}}$	I	Reset (This pin is always active during core power-on.)	
NMI	I	Nonmaskable Interrupt (This pin should be pulled low when not used.)	
BMODE1-0	I	Boot Mode Strap (These pins must be pulled to the state required for the desired boot mode.)	
<i>Voltage Regulator</i>			
VROUT1-0	O	External FET Drive	
<i>Supplies</i>			
V _{DDEXT}	P	I/O Power Supply	
V _{DDINT}	P	Core Power Supply	
V _{DDRTC}	P	Real-Time Clock Power Supply	
GND	G	External Ground	

¹図 30～図 41 を参照してください。

仕様

部品仕様は予告なく変更されることがあります。

動作条件

Parameter	Conditions	Min	Nominal	Max	Unit
V _{DDINT} Internal Supply Voltage ¹	Nonautomotive 400 MHz and 500 MHz speed grade models ²	0.8	1.2	1.45	V
V _{DDINT} Internal Supply Voltage ¹	Nonautomotive 533 MHz speed grade models ²	0.8	1.25	1.45	V
V _{DDINT} Internal Supply Voltage ¹	600 MHz speed grade models ²	0.8	1.30	1.45	V
V _{DDINT} Internal Supply Voltage ¹	Automotive 400 MHz speed grade models ²	0.95	1.2	1.45	V
V _{DDINT} Internal Supply Voltage ¹	Automotive 533 MHz speed grade models ²	0.95	1.25	1.45	V
V _{DDEXT} External Supply Voltage ³	Nonautomotive grade models ²	1.75	1.8/2.5/3.3	3.6	V
V _{DDEXT} External Supply Voltage	Automotive grade models ²	2.7	3.3	3.6	V
V _{DDRTC} Real-Time Clock Power Supply Voltage	Nonautomotive grade models ²	1.75	1.8/2.5/3.3	3.6	V
V _{DDRTC} Real-Time Clock Power Supply Voltage	Automotive grade models ²	2.7	3.3	3.6	V
V _{IH} High Level Input Voltage ^{4, 5}	V _{DDEXT} = 1.85 V	1.3		3.6	V
V _{IH} High Level Input Voltage ^{4, 5}	V _{DDEXT} = Maximum	2.0		3.6	V
V _{IHCLKIN} High Level Input Voltage ⁶	V _{DDEXT} = Maximum	2.2		3.6	V
V _{IL} Low Level Input Voltage ^{4, 7}	V _{DDEXT} = 1.75 V	-0.3		+0.3	V
V _{IL} Low Level Input Voltage ^{4, 7}	V _{DDEXT} = 2.25 V	-0.3		+0.6	V
T _J Junction Temperature	160-Ball Chip Scale Ball Grid Array (CSP_BGA) @ T _{AMBIENT} = 0°C to +70°C	0		+95	°C
T _J Junction Temperature	160-Ball Chip Scale Ball Grid Array (CSP_BGA) @ T _{AMBIENT} = -40°C to +85°C	-40		+105	°C
T _J Junction Temperature	160-Ball Chip Scale Ball Grid Array (CSP_BGA) @ T _{AMBIENT} = -40°C to +105°C	-40		+125	°C
T _J Junction Temperature	169-Ball Plastic Ball Grid Array (PBGA) @ T _{AMBIENT} = -40°C to +105°C	-40		+125	°C
T _J Junction Temperature	169-Ball Plastic Ball Grid Array (PBGA) @ T _{AMBIENT} = -40°C to +85°C	-40		+105	°C
T _J Junction Temperature	176-Lead Quad Flatpack (LQFP) @ T _{AMBIENT} = -40°C to +85°C	-40		+100	°C

¹レギュレータは 0.85 V~1.2 V のレベルの V_{DDINT} を -5%~+10% の偏差で生成することができます。また、V_{DDINT} = 1.25 V では -4%~+10% の偏差に、V_{DDINT} = 1.3 V では -0%~+10% の偏差に、それぞれなります。

² オーダー・ガイドを参照してください。

³V_{DDEXT} < 2.25 V の場合、内蔵電圧レギュレータはサポートされません。

⁴CLKIN 以外の全入力ピンと双方向ピンに適用します。

⁵ADSP-BF531/ADSP-BF532/ADSP-BF533 プロセッサは 3.3 V 対応 (常に 3.6 V maximum V_{IH} まで許容) ですが、電圧コンプライアンス (出力での V_{OH}) は入力 V_{DDEXT} に依存します。これは V_{OH} (maximum) と V_{DDEXT} (maximum) がほぼ等しいためです。この 3.3 V 対応は、双方向ピン (DATA15-0, TMR2-0, PF15-0, PPI3-0, RSCLK1-0, TSCLK1-0, RES1-0, TFS1-0, MOSI, MISO, SCK) と入力専用ピン (BR, ARDY, PPI_CLK, DR0PRI, DR0SEC, DR1PRI, DR1SEC, RX, RTXI, TCK, TDI, TMS, TRST, CLKIN, RESET, NMI, BMODE1-0) に適用されます。

⁶CLKIN ピンのみに適用。

⁷すべての入力ピンと双方向ピンに適用。

ADSP-BF531/ADSP-BF532/ADSP-BF533

次の3つの表に、プロセッサ・クロックの電圧/周波数条件を示します。MSEL比、SSEL比、CSEL比の選択では、最大絶対定格で規定された最大コア・クロック周波数(表10

と表11)とシステム・クロック動作周波数(表13)を超えないように注意してください。表12にPLL動作条件を示します。表12にPLL動作条件を示します。

表10. コア クロック (CCLK) 条件—500 MHz、533 MHz、600 MHz の各モデル

Parameter	Internal Regulator Setting	Max	Unit
f _{CCLK} CCLK Frequency (V _{DDINT} = 1.3 V Minimum) ¹	1.30 V	600	MHz
f _{CCLK} CCLK Frequency (V _{DDINT} = 1.2 V Minimum) ²	1.25 V	533	MHz
f _{CCLK} CCLK Frequency (V _{DDINT} = 1.14 V Minimum) ³	1.20 V	500	MHz
f _{CCLK} CCLK Frequency (V _{DDINT} = 1.045 V Minimum)	1.10 V	444	MHz
f _{CCLK} CCLK Frequency (V _{DDINT} = 0.95 V Minimum)	1.00 V	400	MHz
f _{CCLK} CCLK Frequency (V _{DDINT} = 0.85 V Minimum)	0.90 V	333	MHz
f _{CCLK} CCLK Frequency (V _{DDINT} = 0.8 V Minimum)	0.85 V	250	MHz

¹600 MHz モデルのみに適用。オーダー・ガイドを参照してください。

²533 MHz モデルと 600 MHz モデルのみに適用。オーダー・ガイドを参照してください。533 MHz モデルでは、1.25 V を超える内蔵レギュレータをサポートできません。

³500 MHz、533 MHz、600 MHz の各モデルに適用。オーダー・ガイドを参照してください。500 MHz モデルでは、1.20 V を超える内蔵レギュレータをサポートできません。

表11. コア・クロック (CCLK) 条件—400 MHz モデル¹

Parameter	Internal Regulator Setting	T _J = 125°C	All ² Other T _J	Unit
		Max	Max	
f _{CCLK} CCLK Frequency (V _{DDINT} = 1.14 V Minimum)	1.20 V	400	400	MHz
f _{CCLK} CCLK Frequency (V _{DDINT} = 1.045 V Minimum)	1.10 V	333	364	MHz
f _{CCLK} CCLK Frequency (V _{DDINT} = 0.95 V Minimum)	1.00 V	295	333	MHz
f _{CCLK} CCLK Frequency (V _{DDINT} = 0.85 V Minimum)	0.90 V		280	MHz
f _{CCLK} CCLK Frequency (V _{DDINT} = 0.8 V Minimum)	0.85 V		250	MHz

¹ オーダー・ガイドを参照してください。

² 動作条件を参照してください。

表12. 位相ロック・ループの動作条件

Parameter	Min	Max	Unit
f _{VCO} Voltage Controlled Oscillator (VCO) Frequency	50	Maximum f _{CCLK}	MHz

表13. システム・クロック (SCLK)の条件

Parameter ¹³		V _{DDEXT} = 1.8 V	V _{DDEXT} = 2.5 V/3.3 V	Unit
		Max	Max	
CSP_BGA/PBGA				
f _{SCLK}	CLKOUT/SCLK Frequency (V _{DDINT} ≥ 1.14 V)	100	133	MHz
f _{SCLK}	CLKOUT/SCLK Frequency (V _{DDINT} < 1.14 V)	100	100	MHz
LQFP				
f _{SCLK}	CLKOUT/SCLK Frequency (V _{DDINT} ≥ 1.14 V)	100	133	MHz
f _{SCLK}	CLKOUT/SCLK Frequency (V _{DDINT} < 1.14 V)	83	83	MHz

¹³t_{SCLK} (= 1/f_{SCLK})は t_{CCLK} 以上である必要があります。

電气的特性

Parameter	Test Conditions	400 MHz ¹			500 MHz/533 MHz/600 MHz ²			Unit	
		Min	Typical	Max	Min	Typical	Max		
V _{OH}	High Level Output Voltage ³	V _{DDEXT} = 1.75 V, I _{OH} = -0.5 mA V _{DDEXT} = 2.25 V, I _{OH} = -0.5 mA V _{DDEXT} = 3.0 V, I _{OH} = -0.5 mA	1.5 1.9 2.4			1.5 1.9 2.4		V V V	
V _{OL}	Low Level Output Voltage ³	V _{DDEXT} = 1.75 V, I _{OL} = 2.0 mA V _{DDEXT} = 2.25 V/3.0 V, I _{OL} = 2.0 mA			0.2 0.4		0.2 0.4	V V	
I _{IH}	High Level Input Current ⁴	V _{DDEXT} = Max, V _{IN} = V _{DD} Max			10.0		10.0	μA	
I _{IHP}	High Level Input Current JTAG ⁵	V _{DDEXT} = Max, V _{IN} = V _{DD} Max			50.0		50.0	μA	
I _{IL} ⁶	Low Level Input Current ⁴	V _{DDEXT} = Max, V _{IN} = 0 V			10.0		10.0	μA	
I _{IOZH}	Three-State Leakage Current ⁷	V _{DDEXT} = Max, V _{IN} = V _{DD} Max			10.0		10.0	μA	
I _{IOZL} ⁶	Three-State Leakage Current ⁷	V _{DDEXT} = Max, V _{IN} = 0 V			10.0		10.0	μA	
C _{IN}	Input Capacitance ⁸	f _{IN} = 1 MHz, T _{AMBIENT} = 25°C, V _{IN} = 2.5 V		4	8 ⁹		4	8 ⁹	pF
I _{DDDEEPSLEEP} ¹⁰	V _{DDINT} Current in Deep Sleep Mode	V _{DDINT} = 1.0 V, f _{CCLK} = 0 MHz, T _J = 25°C, ASF = 0.00		7.5			32.5		mA
I _{DDSLLEEP}	V _{DDINT} Current in Sleep Mode	V _{DDINT} = 0.8 V, T _J = 25°C, SCLK = 25 MHz			10		37.5		mA
I _{DD-TYP} ¹¹	V _{DDINT} Current	V _{DDINT} = 1.14 V, f _{CCLK} = 400 MHz, T _J = 25°C		125			152		mA
I _{DD-TYP} ¹¹	V _{DDINT} Current	V _{DDINT} = 1.2 V, f _{CCLK} = 500 MHz, T _J = 25°C					190		mA
I _{DD-TYP} ¹¹	V _{DDINT} Current	V _{DDINT} = 1.2 V, f _{CCLK} = 533 MHz, T _J = 25°C					200		mA
I _{DD-TYP} ¹¹	V _{DDINT} Current	V _{DDINT} = 1.3 V, f _{CCLK} = 600 MHz, T _J = 25°C					245		mA
I _{DDHIBERNATE} ¹⁰	V _{DDEXT} Current in Hibernate State	V _{DDEXT} = 3.6 V, CLKIN=0 MHz, T _J = Max, voltage regulator off (V _{DDINT} = 0 V)		50	100		50	100	μA
I _{DDRTC}	V _{DDRTC} Current	V _{DDRTC} = 3.3 V, T _J = 25°C		20			20		μA
I _{DD-INT}	V _{DDINT} Current	f _{CCLK} > 0 MHz					Table 15 + (Table 17 × ASF)	Table 14 + (Table 17 × ASF)	mA
I _{DDDEEPSLEEP} ¹⁰	V _{DDINT} Current in Deep Sleep Mode	f _{CCLK} = 0 MHz		6	Table 15		16	Table 14	mA

¹すべての 400 MHz スピード・グレード・モデルに適用。オーダー・ガイドを参照してください。

²すべての 500 MHz、533 MHz、600 MHz スピード・グレード・モデルに適用。オーダー・ガイドを参照してください。

³出力ピンと双方向ピンに適用。

⁴JTAG 入力以外の入力ピンに適用。

⁵JTAG 入力ピン (TCK、TDI、TMS、TRST) に適用。

⁶絶対値。

⁷スリー・ステート・ピンに適用。

⁸全信号ピンに適用。

⁹保証しますが、テストしません。

¹⁰スリープ、ディープ・スリープ、ハイバネート動作モードの定義については、「ADSP-BF533 Blackfin Processor Hardware Reference Manual for definitions」を参照してください。

¹¹種々のアクティビティ・スケール・ファクタ (ASF) でカバーされる I_{DDINT} パワー・ベクタの一覧については表 16 を参照してください。

ADSP-BF531/ADSP-BF532/ADSP-BF533

デザインを低消費電力用に最適化する詳細情報については、「*Estimating Power for the ADSP-BF531/BF532/BF533 Blackfin Processors (EE-229)*」を参照してください。このセクションで説明する内容は、EE-229に詳しく説明しています。総合消費電力には次の2つの成分があります。

リーク電流を含むスタティック

トランジスタ・スイッチング特性に起因するダイナミック
温度、電圧、動作周波数、プロセッサ動作状態などの多くの動作条件も消費電力に影響を与えます。電気的特性に、内部回路(V_{DDINT})の消費電流を示します。 $I_{DDDEEPSLEEP}$ は、電圧

(V_{DDINT})と温度の関数としてスタティック消費電力を規定し(表14または表15参照)、 I_{DDINT} は記載したテスト条件に対して、総合消費電力を規定します(ダイナミック成分は電圧(V_{DDINT})と周波数(表17)の関数として含みます)。

ダイナミック成分も、プロセッサ上でのアプリケーション・コードの実行を表す(表16)アクティビティ・スケージング・ファクタ(ASF)の影響を受けます。

表14. スタティック電流—500 MHz、533 MHz、600 MHz スピード・グレード・デバイス (mA)¹

T_J (°C) ²	Voltage (V_{DDINT}) ²														
	0.80 V	0.85 V	0.90 V	0.95 V	1.00 V	1.05 V	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V	1.32 V	1.375 V	1.43 V	1.45 V
-45	4.3	5.3	5.9	7.0	8.2	9.8	11.2	13.0	15.2	17.7	20.2	21.6	25.5	30.1	32.0
0	18.8	21.3	24.1	27.8	31.6	35.6	40.1	45.3	51.4	58.1	65.0	68.5	78.4	89.8	94.3
25	35.3	39.9	45.0	50.9	57.3	64.4	72.9	80.9	90.3	101.4	112.1	118.0	133.7	151.6	158.7
40	52.3	58.5	65.1	73.3	81.3	90.9	101.2	112.5	125.5	138.7	154.4	160.6	180.6	203.1	212.0
55	73.6	82.5	92.0	102.7	114.4	126.3	141.2	155.7	172.7	191.1	212.1	220.8	247.6	277.7	289.5
70	100.8	112.5	124.5	137.4	152.6	168.4	186.5	205.4	227.0	250.3	276.2	287.1	320.4	357.4	371.9
85	133.3	148.5	164.2	180.5	198.8	219.0	241.0	264.5	290.6	319.7	350.2	364.6	404.9	449.7	467.2
100	178.3	196.3	216.0	237.6	259.9	284.6	311.9	342.0	373.1	408.0	446.1	462.6	511.1	564.7	585.6
115	223.3	245.9	270.2	295.7	323.5	353.3	386.1	421.1	460.1	500.9	545.0	566.5	624.3	688.1	712.8
125	278.5	305.8	334.1	364.3	397.4	432.4	470.6	509.3	553.4	600.6	652.1	676.5	742.1	814.1	841.9

¹値は保証される最大 $I_{DDDEEPSLEEP}$ 仕様です。

²有効な温度と電圧範囲はモデルに固有です。動作条件を参照してください。

表15. スタティック電流—400 MHz スピード・グレード・デバイス (mA)¹

T_J (°C) ²	Voltage (V_{DDINT}) ²											
	0.80 V	0.85 V	0.90 V	0.95 V	1.00 V	1.05 V	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V	1.32 V
-45	0.9	1.1	1.3	1.5	1.8	2.2	2.6	3.1	3.8	4.4	5.0	5.4
0	3.3	3.7	4.2	4.8	5.5	6.3	7.2	8.1	8.9	10.1	11.2	11.9
25	7.5	8.4	9.4	10.0	11.2	12.6	14.1	15.5	17.2	19.0	21.2	21.9
40	12.0	13.1	14.3	15.9	17.4	19.4	21.5	23.5	25.8	28.1	30.8	32.0
55	18.3	20.0	21.9	23.6	26.0	28.2	30.8	33.7	36.8	39.8	43.4	45.0
70	27.7	30.3	32.6	35.3	38.2	41.7	45.2	49.0	52.8	57.6	62.4	64.2
85	38.2	41.7	44.9	48.6	52.7	57.3	61.7	66.7	72.0	77.5	83.9	86.5
100	54.1	58.1	63.2	67.8	73.2	78.8	84.9	91.5	98.4	106.0	113.8	117.2
115	73.9	80.0	86.3	91.9	99.1	106.6	114.1	122.4	131.1	140.9	151.1	155.5
125	98.7	106.3	113.8	122.1	130.8	140.2	149.7	160.4	171.9	183.8	197.0	202.4

¹値は保証される最大 $I_{DDDEEPSLEEP}$ 仕様です。

²有効な温度と電圧範囲はモデルに固有です。動作条件を参照してください。

表16. アクティビティ・スケーリング・ファクタ

I _{DDINT} Power Vector ¹	Activity Scaling Factor (ASF) ²
I _{DD} -PEAK	1.27
I _{DD} -HIGH	1.25
I _{DD} -TYP	1.00
I _{DD} -APP	0.86
I _{DD} -NOP	0.72
I _{DD} -IDLE	0.41

¹パワー・ベクタ定義についてはEE-229を参照してください。

²すべて ASF 値は、10:1 CCLK:SCLK 比を使って決定。

表17. ダイナミック電流 (mA、ASF = 1.0)¹

Frequency (MHz) ²	Voltage (V _{DDINT}) ²														
	0.80 V	0.85 V	0.90 V	0.95 V	1.00 V	1.05 V	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V	1.32 V	1.375 V	1.43 V	1.45 V
50	12.7	13.9	15.3	16.8	18.1	19.4	21.0	22.3	24.0	25.4	26.4	27.2	28.7	30.3	30.7
100	22.6	24.2	26.2	28.1	30.1	31.8	34.7	36.2	38.4	40.5	43.0	43.4	45.7	47.9	48.9
200	40.8	44.1	46.9	50.3	53.3	56.9	59.9	63.1	66.7	70.2	73.8	75.0	78.7	82.4	84.6
250	50.1	53.8	57.2	61.4	64.7	68.9	72.9	76.8	81.0	85.1	89.3	90.8	95.2	99.6	102.0
300	N/A	63.5	67.4	72.4	76.2	81.0	85.9	90.6	95.2	100.0	104.8	106.6	111.8	116.9	119.4
375	N/A	N/A	N/A	88.6	93.5	99.0	104.6	110.3	116.0	122.1	128.0	130.0	136.2	142.4	145.5
400	N/A	N/A	N/A	93.9	99.3	105.0	110.8	116.8	123.0	129.4	135.7	137.9	144.6	151.2	154.3
425	N/A	N/A	N/A	N/A	N/A	111.0	117.3	123.5	129.9	136.8	143.2	145.6	152.6	159.7	162.8
475	N/A	N/A	N/A	N/A	N/A	N/A	130.3	136.8	143.8	151.4	158.1	161.1	168.9	176.6	179.7
500	N/A	N/A	N/A	N/A	N/A	N/A	N/A	143.5	150.7	158.7	165.6	168.8	177.0	185.2	188.2
533	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	160.4	168.8	176.5	179.6	188.2	196.8	200.5
600	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	196.2	199.6	209.3	219.0	222.6

¹ 値は単独の最大仕様として保証されません。これらは、電氣的特性の式に従ってスタティック電流と組み合わせる必要があります。

²有効な温度と電圧範囲はモデルに固有です。動作条件を参照してください。

絶対最大定格

表18に示す絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを規定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表18. 絶対最大定格

Parameter	Rating
Internal (Core) Supply Voltage (V_{DDINT})	-0.3 V to +1.4 V
External (I/O) Supply Voltage (V_{DDEXT})	-0.5 V to +3.8 V
Input Voltage ^{1,2}	-0.5 V to +3.8 V
Output Voltage Swing	-0.5 V to $V_{DDEXT} + 0.5$ V
Load Capacitance ³	200 pF
Storage Temperature Range	-65°C to +150°C
Junction Temperature Under Bias	125°C

¹100%過渡デューティ・サイクルに適用。その他のデューティ・サイクルについては表19を参照してください。

² V_{DDEXT} が仕様範囲内の場合に適用。 V_{DDEXT} が仕様の外側の場合は、範囲は $V_{DDEXT} \pm 0.2$ Vになります。

³正常なSDRAMコントローラ動作のためには、最大負荷容量はADDR19-1、DATA15-0、ABE1-0/SDQM1-0、CLKOUT、SCKE、SA10、SRAS、SCAS、SWE、SMSに対して50 pF(3.3 V)または30 pF(2.5 V)です。

表19. 入力過渡電圧の最大デューティ・サイクル¹

V_{IN} Min (V)	V_{IN} Max (V) ²	Maximum Duty Cycle
-0.50	+3.80	100%
-0.70	+4.00	40%
-0.80	+4.10	25%
-0.90	+4.20	15%
-1.00	+4.30	10%

¹CLKIN、XTAL、VROUT1-0以外のすべて信号ピンに適用。

²特定のデザインには、記載するオプションの1つのみを適用することができます。

ESD感受性

	<p>ESD (静電放電) の影響を受けやすいデバイスです。 電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。</p>
--	---

パッケージ情報

図10と表20に、Blackfinプロセッサのパッケージ表示の詳細を示します。製品の供給状況については、[オーダー・ガイド](#)をご覧ください。



図10. パッケージの製品情報

表20. パッケージ表示情報

Brand Key	Field Description
ADSP-BF53x	Either ADSP-BF531, ADSP-BF532, or ADSP-BF533
t	Temperature Range
pp	Package Type
Z	RoHS Compliant Part
cc	See Ordering Guide
vvvvvv.x	Assembly Lot Code
n.n	Silicon Revision
yyww	Date Code

タイミング仕様

クロックとリセットのタイミング

表21と図11に、クロックとリセットの動作を示します。絶対最大定格に従い、CLKINとクロック逡倍器/分周器との組み合わせによるコア/システム・クロックは、プロセッ

サに許容される上限値(電源電圧に関するシステム・クロック制限も含む)を超えることはできません。

表21. クロックとリセットのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{CKIN} CLKIN Period ^{1, 2, 3, 4}	25.0	100.0	ns
t_{CKINL} CLKIN Low Pulse	10.0		ns
t_{CKINH} CLKIN High Pulse	10.0		ns
t_{WRST} \overline{RESET} Asserted Pulse Width Low ⁵	11 t_{CKIN}		ns

¹PLL バイパス・モードと PLL 非バイパス・モードに適用。

²CLKIN 周波数を即座に変えることはできません。

³CLKIN 周波数と PLL クロック逡倍器の組み合わせは、表 11～表 13 で説明した許容 f_{VCO} 、 f_{CLK} 、 f_{SCLK} 設定値を超えることはできません。PLL のデフォルト動作が CLKIN 周波数の 10 倍になっているため、400 MHz スピード・グレード・デバイスは CLKIN の全周期範囲を使うことができません。

⁴ PLL_CTL レジスタの DF ビットがセットされている場合、最大 t_{CKIN} 周期は 50 ns です。

⁵パワーアップ・シーケンス完了後に適用。RESET がアサートされ、かつ電源と CLKIN が安定している場合、パワーアップ時にプロセッサの内部位相ロック・ループは CLKIN で 2,000 サイクル以上を必要としません(外部クロック・オシレータのセットアップ・タイムは除きます)。

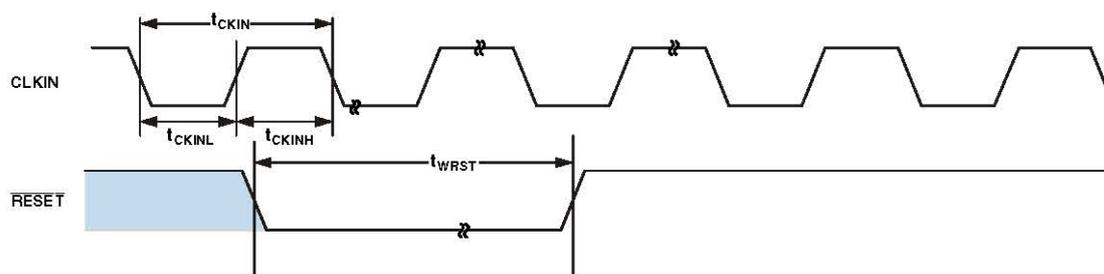


図 11. クロックとリセットのタイミング

非同期メモリ読み出しサイクルのタイミング

表22. 非同期メモリ読み出しサイクルのタイミング

Parameter	$V_{DDEXT} = 1.8\text{ V}$		$V_{DDEXT} = 2.5\text{ V}/3.3\text{ V}$		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
t_{SDAT}	DATA15–0 Setup Before CLKOUT		2.1	2.1	ns
t_{HDAT}	DATA15–0 Hold After CLKOUT		1.0	0.8	ns
t_{SARDY}	ARDY Setup Before CLKOUT		4.0	4.0	ns
t_{HARDY}	ARDY Hold After CLKOUT		1.0	0.0	ns
<i>Switching Characteristics</i>					
t_{DO}	Output Delay After CLKOUT ¹			6.0	ns
t_{HO}	Output Hold After CLKOUT ¹		1.0	0.8	ns

¹出力ピンには、 $\overline{AMS3\sim0}$ 、 $\overline{ABE1\sim0}$ 、 $\overline{ADDR19\sim1}$ 、 $\overline{DATA15\sim0}$ 、 \overline{AOE} 、 \overline{ARE} が含まれます。

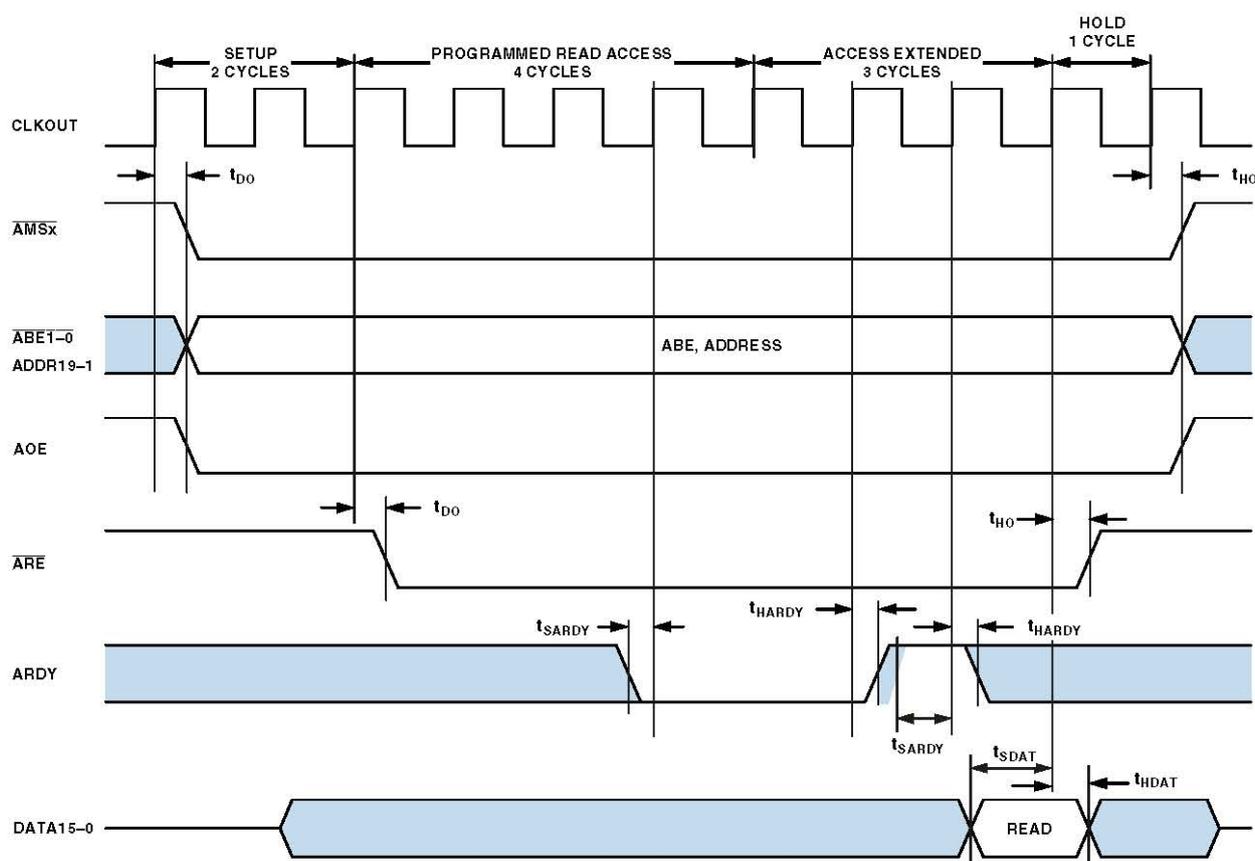


図 12. 非同期メモリ読み出しサイクルのタイミング

非同期メモリ書き込みサイクルのタイミング

表23. 非同期メモリ書き込みサイクルのタイミング

Parameter	$V_{DDEXT} = 1.8\text{ V}$		$V_{DDEXT} = 2.5\text{ V}/3.3\text{ V}$		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
t_{SARDY} ARDY Setup Before CLKOUT	4.0		4.0		ns
t_{HARDY} ARDY Hold After CLKOUT	1.0		0.0		ns
<i>Switching Characteristics</i>					
t_{DDAT} DATA15-0 Disable After CLKOUT		6.0		6.0	ns
t_{ENDAT} DATA15-0 Enable After CLKOUT	1.0		1.0		ns
t_{DO} Output Delay After CLKOUT ¹		6.0		6.0	ns
t_{HO} Output Hold After CLKOUT ¹	1.0		0.8		ns

¹出力ピンには、 $\overline{\text{AMS}}_{3\sim 0}$ 、 $\overline{\text{ABE}}_{1\sim 0}$ 、 $\text{ADDR}_{19\sim 1}$ 、 $\text{DATA}_{15\sim 0}$ 、 $\overline{\text{AOE}}$ 、 $\overline{\text{AWE}}$ が含まれます。

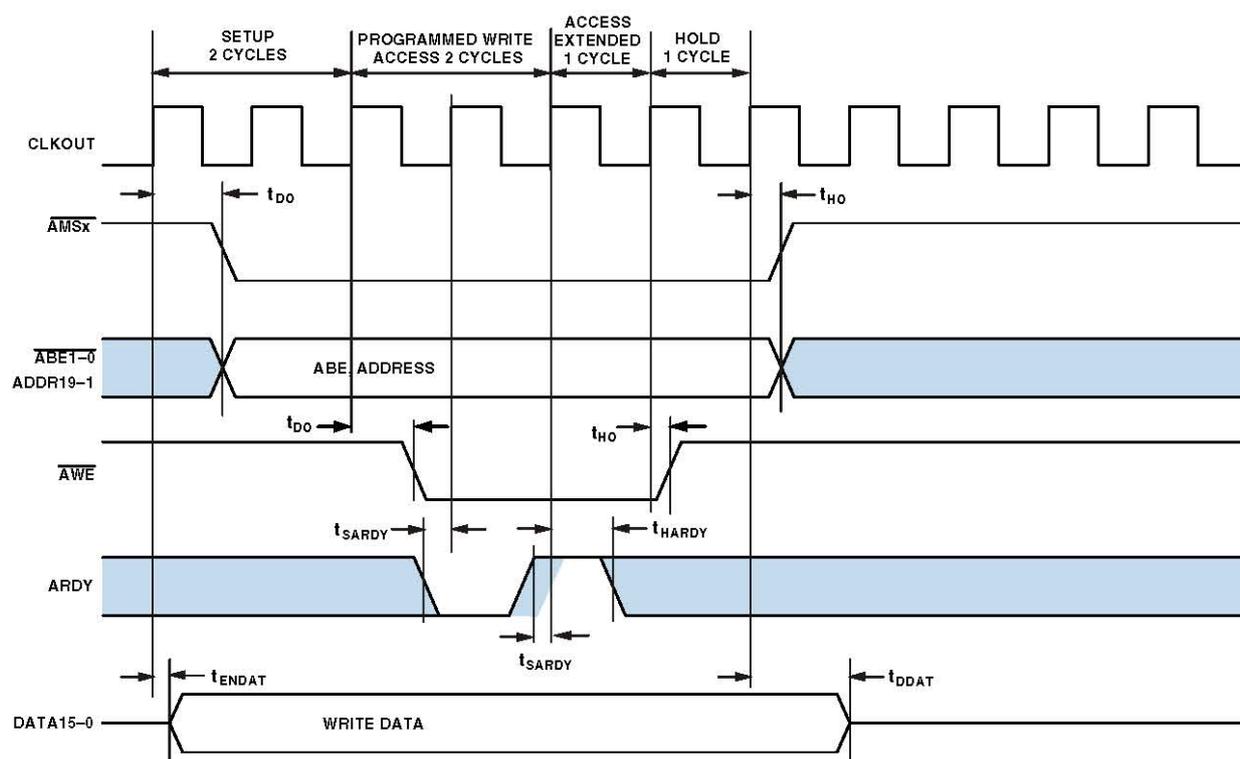


図 13. 非同期メモリ書き込みサイクルのタイミング

SDRAMインターフェース・タイミング

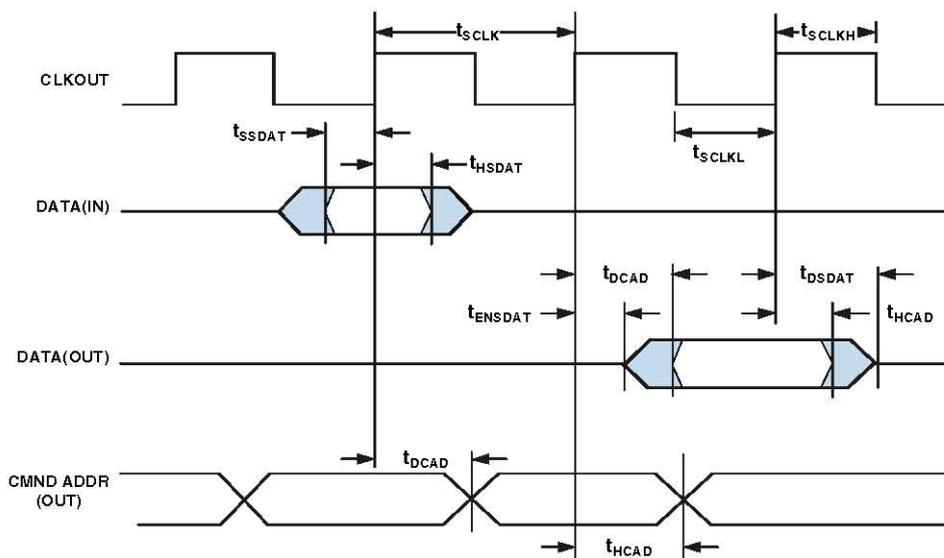
表24. SDRAM インターフェース・タイミング¹

Parameter	V _{DDEXT} = 1.8 V		V _{DDEXT} = 2.5 V/3.3 V		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
t _{SSDAT} DATA Setup Before CLKOUT	2.1		1.5		ns
t _{HSDAT} DATA Hold After CLKOUT	0.8		0.8		ns
<i>Switching Characteristics</i>					
t _{DCAD} Command, ADDR, Data Delay After CLKOUT ²		6.0		4.0	ns
t _{HCAD} Command, ADDR, Data Hold After CLKOUT ²	1.0		1.0		ns
t _{DSDAT} Data Disable After CLKOUT		6.0		4.0	ns
t _{ENSDAT} Data Enable After CLKOUT	1.0		1.0		ns
t _{SCLK} CLKOUT Period ³	10.0		7.5		ns
t _{SCLKH} CLKOUT Width High	2.5		2.5		ns
t _{SCLKL} CLKOUT Width Low	2.5		2.5		ns

¹ T_j>105°CのSDRAM タイミングは 100MHz に制限されています。

² コマンド・ピンには、 $\overline{\text{SRAS}}$ 、 $\overline{\text{SCAS}}$ 、 $\overline{\text{SWE}}$ 、 $\overline{\text{SDQM}}$ 、 $\overline{\text{SMS}}$ 、SA10、SCKE が含まれます。

³ 種々の V_{DDINT} での最大 f_{SCLK} については、表 13 を参照してください。



NOTE: COMMAND = $\overline{\text{SRAS}}$, $\overline{\text{SCAS}}$, $\overline{\text{SWE}}$, $\overline{\text{SDQM}}$, $\overline{\text{SMS}}$, SA10, SCKE.

図 14. SDRAM インターフェース・タイミング

外部ポート・バス要求および許可サイクルのタイミング

表25と図15に、外部ポート・バス要求およびバス許可の動作を示します。

表25. 外部ポート・バス要求および許可サイクルのタイミング

Parameter	V _{DDEXT} = 1.8 V LQFP/PBGA Packages		V _{DDEXT} = 1.8 V CSP_BGA Package		V _{DDEXT} = 2.5 V/3.3 V All Packages		Unit
	Min	Max	Min	Max	Min	Max	
<i>Timing Requirements</i>							
t _{BS} $\overline{\text{BR}}$ Asserted to CLKOUT High Setup	4.6		4.6		4.6		ns
t _{BH} CLKOUT High to $\overline{\text{BR}}$ Deasserted Hold Time	1.0		1.0		0.0		ns
<i>Switching Characteristics</i>							
t _{SD} CLKOUT Low to $\overline{\text{AMSx}}$, Address, and $\overline{\text{ARE/AWE}}$ Disable		4.5		4.5		4.5	ns
t _{SE} CLKOUT Low to $\overline{\text{AMSx}}$, Address, and $\overline{\text{ARE/AWE}}$ Enable		4.5		4.5		4.5	ns
t _{DBG} CLKOUT High to $\overline{\text{BG}}$ High Setup		6.0		4.6		3.6	ns
t _{EBG} CLKOUT High to $\overline{\text{BG}}$ Deasserted Hold Time		6.0		4.6		3.6	ns
t _{DBH} CLKOUT High to $\overline{\text{BGH}}$ High Setup		6.0		4.6		3.6	ns
t _{EBH} CLKOUT High to $\overline{\text{BGH}}$ Deasserted Hold Time		6.0		4.6		3.6	ns

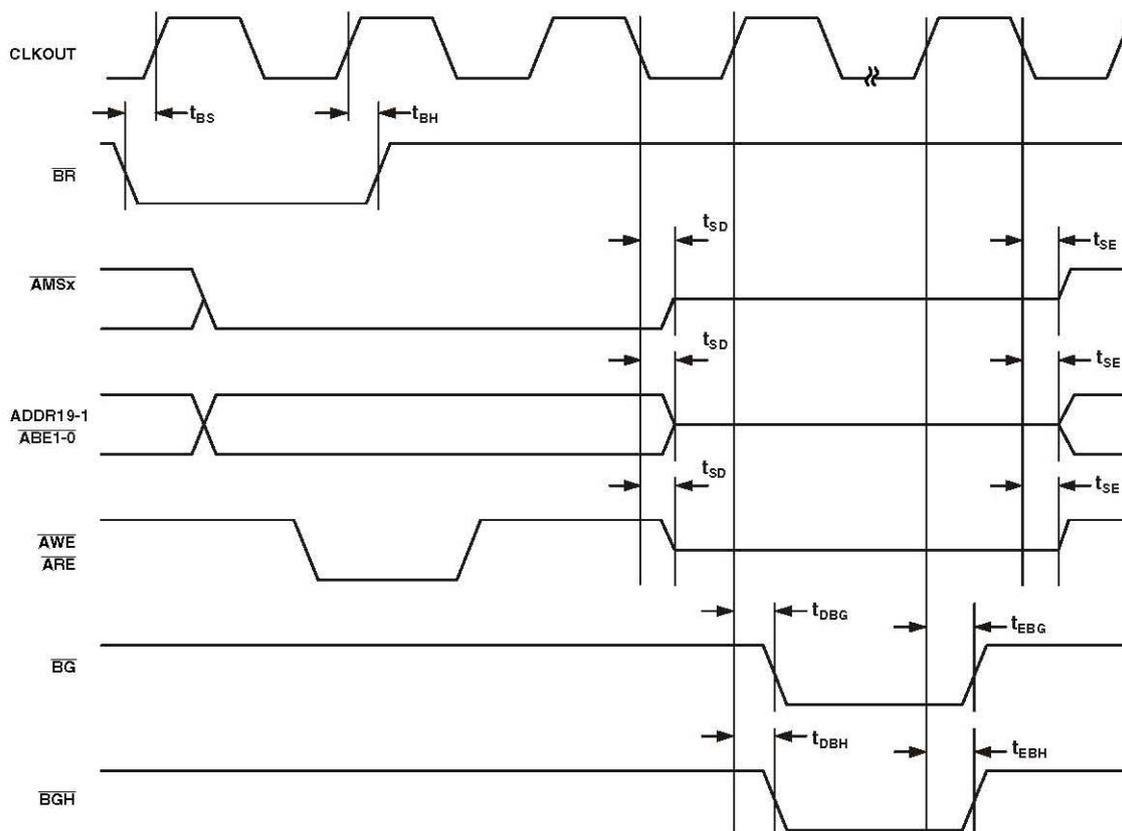


図 15. 外部ポート・バス要求および許可サイクルのタイミング

パラレル・ペリフェラル・インターフェースのタイミング

表26と図16～図21に、パラレル・ペリフェラル・インターフェース動作を示します。

表26. パラレル・ペリフェラル・インターフェースのタイミング

Parameter	V _{DDEXT} = 1.8 V LQFP/PBGA Packages		V _{DDEXT} = 1.8 V CSP_BGA Package		V _{DDEXT} = 2.5 V/3.3 V All Packages		Unit
	Min	Max	Min	Max	Min	Max	
<i>Timing Requirements</i>							
t _{PCLKW} PPI_CLK Width	8.0		8.0		6.0		ns
t _{PCLK} PPI_CLK Period ¹	20.0		20.0		15.0		ns
t _{SFSPE} External Frame Sync Setup Before PPI_CLK Edge (Nonsampling Edge for Rx, Sampling Edge for Tx)	6.0		6.0		4.0 ² 6.0 ³		ns ns
t _{HFSPE} External Frame Sync Hold After PPI_CLK	1.0 ² 2.0 ³		1.0 ² 2.0 ³		1.0 ² 2.0 ³		ns
t _{SDRPE} Receive Data Setup Before PPI_CLK	3.5		3.5		3.5		ns
t _{HDRPE} Receive Data Hold After PPI_CLK	1.5		1.5		1.5		ns
<i>Switching Characteristics—GP Output and Frame Capture Modes</i>							
t _{DFSPE} Internal Frame Sync Delay After PPI_CLK		11.0		8.0		8.0	ns
t _{HDFSPE} Internal Frame Sync Hold After PPI_CLK	1.7		1.7		1.7		ns
t _{DDTPE} Transmit Data Delay After PPI_CLK		11.0		9.0		9.0	ns
t _{HDTPE} Transmit Data Hold After PPI_CLK	1.8		1.8		1.8		ns

¹PPI_CLK 周波数は $f_{\text{CLK}}/2$ を超えることはできません。

²PPI_CONTROL ビット 8 がクリアされているときに適用。図17と図20を参照してください。

³PPI_CONTROL ビット 8 がセットされているときに適用。図18とを参照してください。

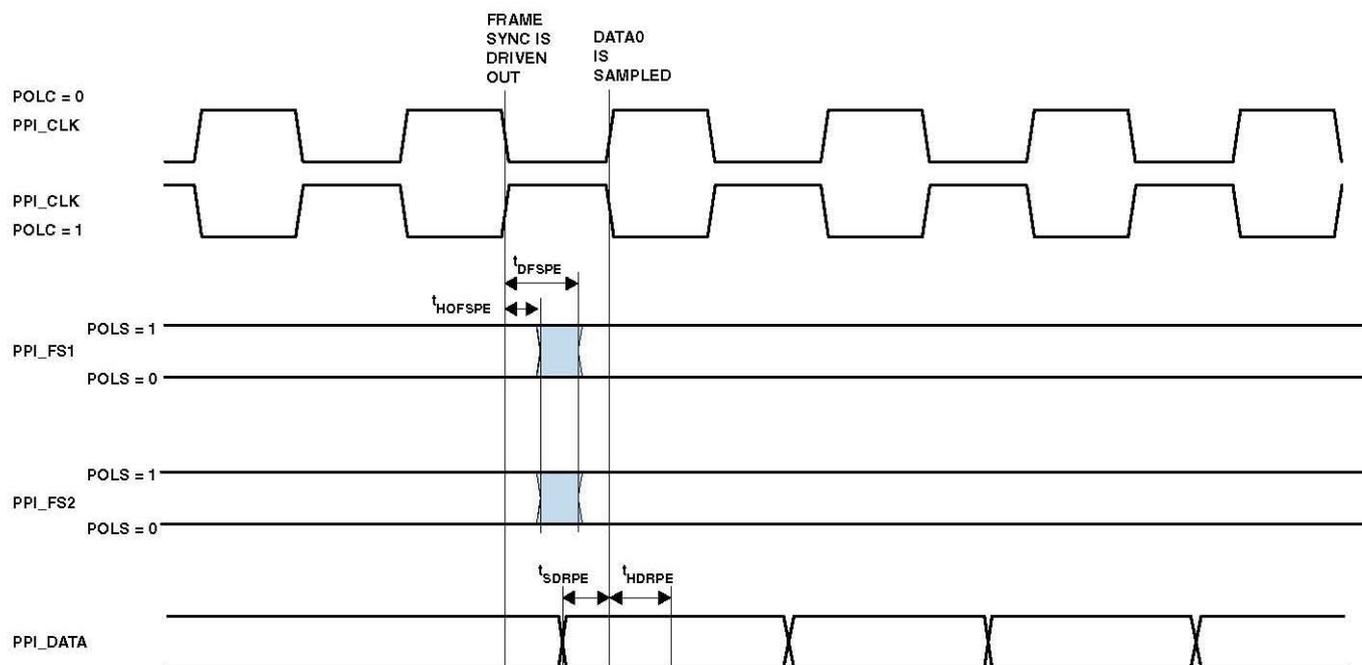


図 16. PPI GP Rx モード、内部フレーム同期タイミング

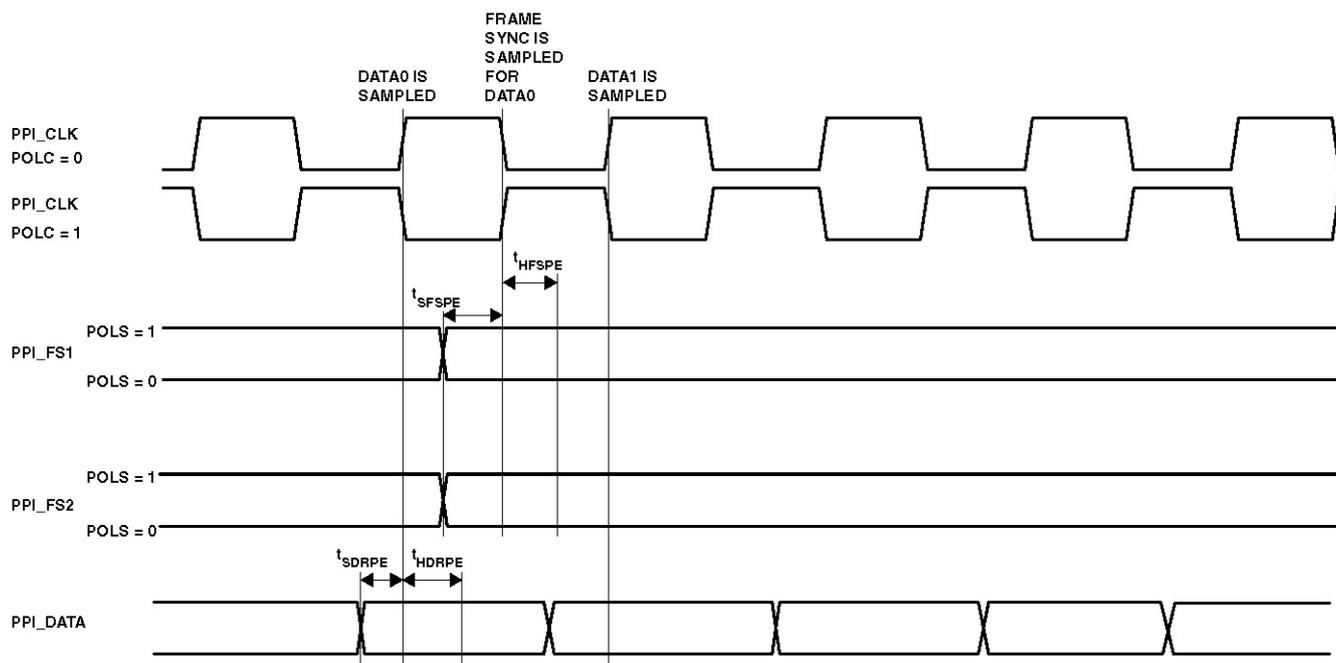


図 17. PPI GP Rx モード、外部フレーム同期タイミング

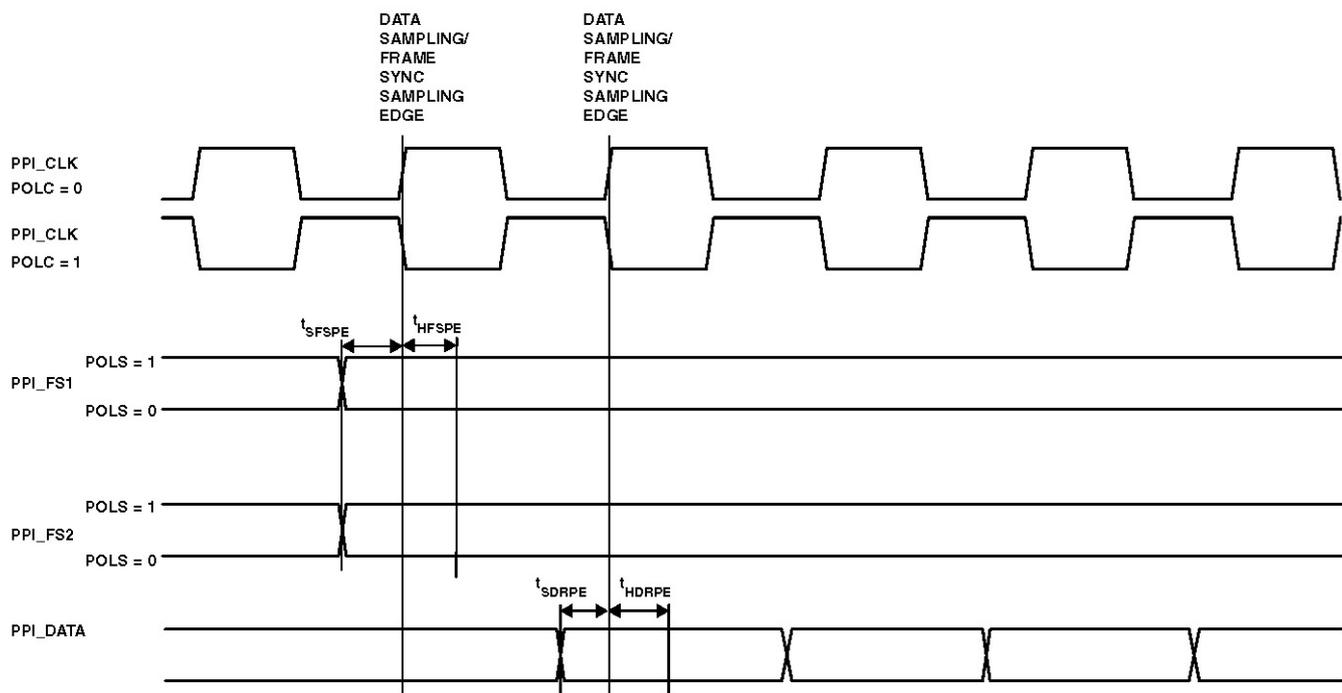


図 18. PPI GP Rx モード、外部フレーム同期タイミング (PPI_CONTROL のビット 8 をセット)

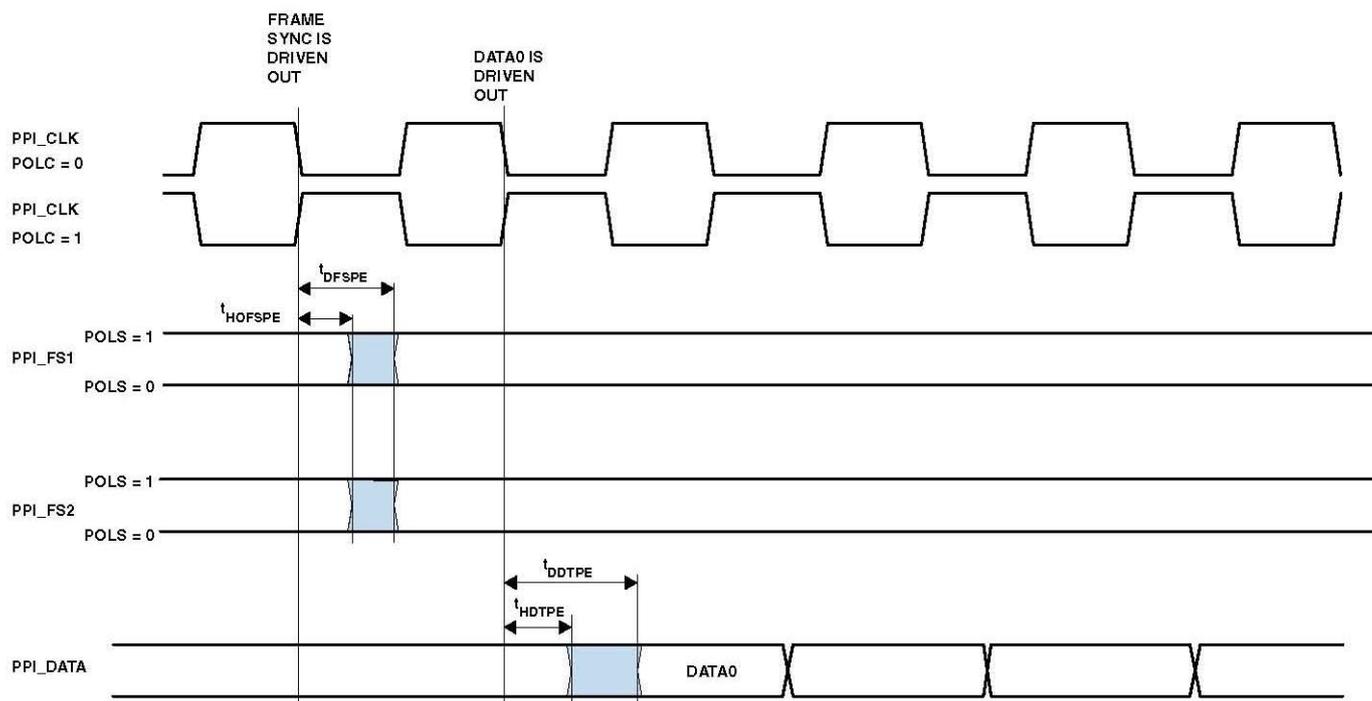


図 19. PPI GP Tx モード、内部フレーム同期タイミング

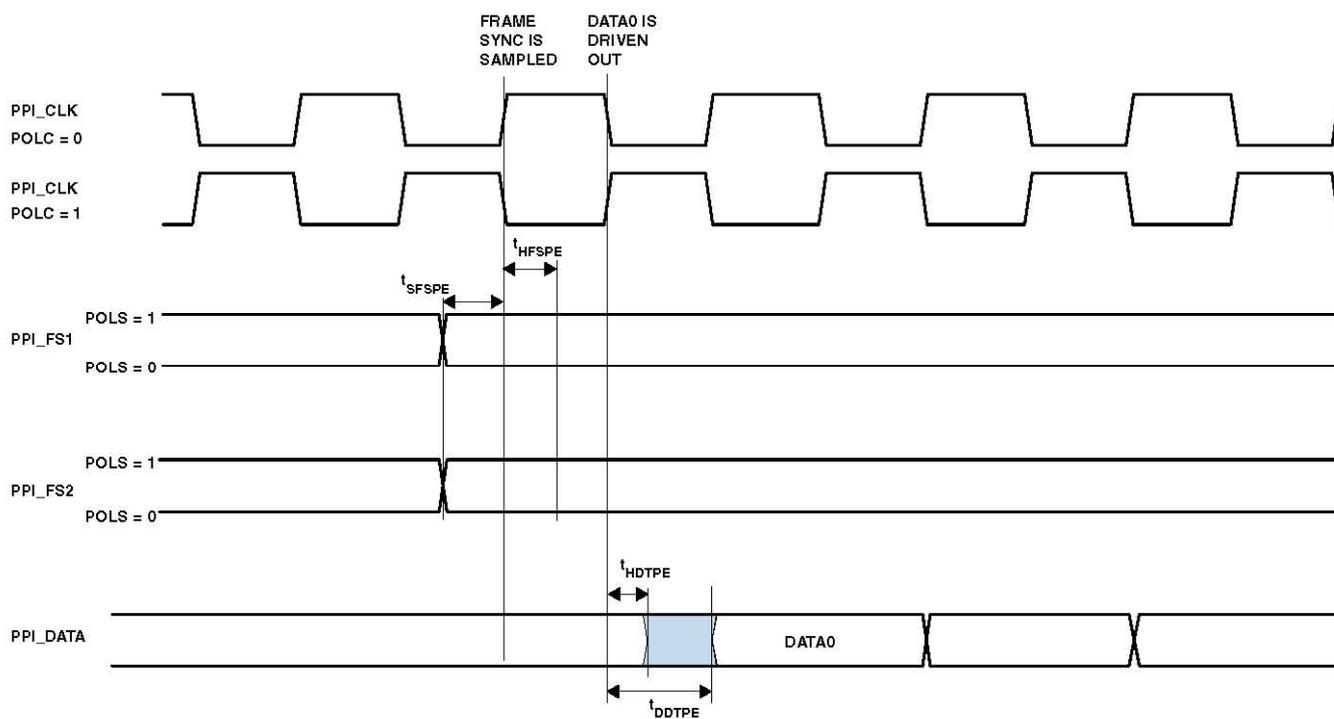


図 20. PPI GP Tx モード、外部フレーム同期タイミング

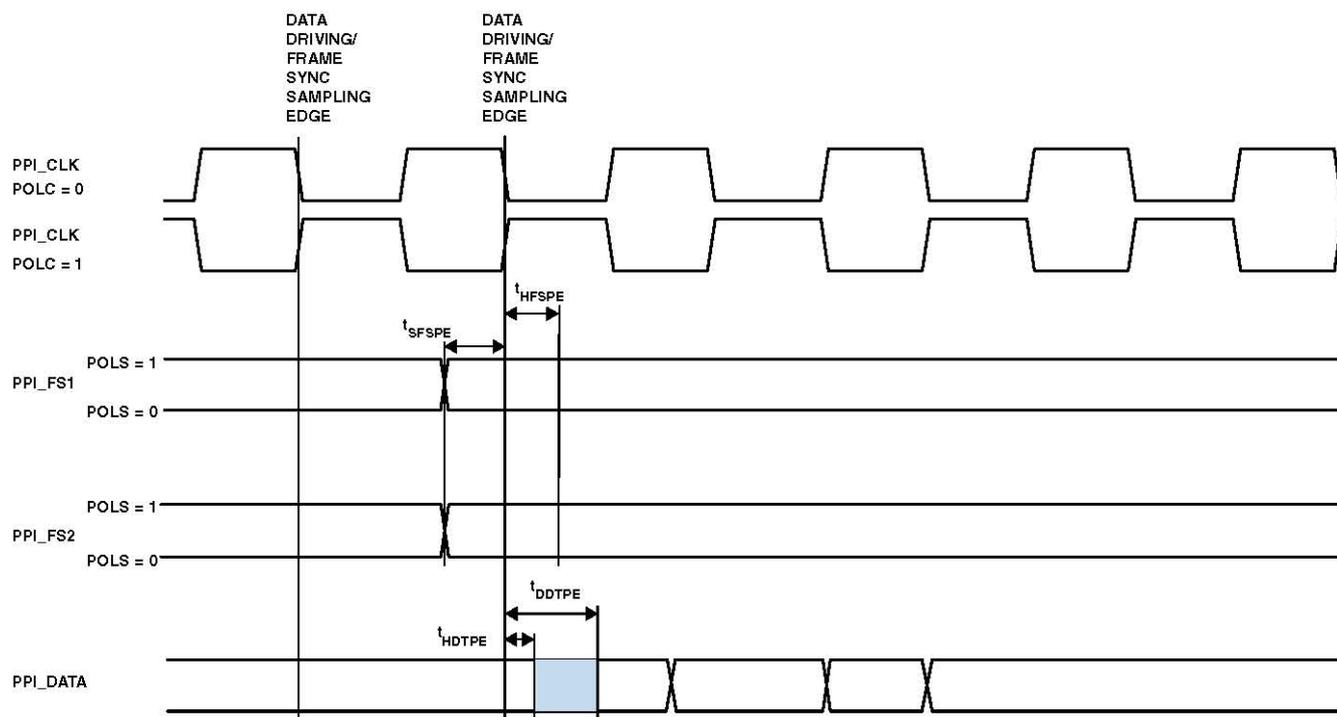


図 21. PPI GP Tx モード、外部フレーム同期タイミング (PPI_CONTROL のビット 8 をセット)

シリアル・ポート

表27～表30と図22～図23に、シリアル・ポート動作を示します。

表27. シリアル・ポート—外部クロック

Parameter	V _{DDEXT} = 1.8 V		V _{DDEXT} = 2.5 V/3.3 V		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
t _{SFSE} TFSx/RFSx Setup Before TSCLKx/RSCLKx ¹	3.0		3.0		ns
t _{HFSE} TFSx/RFSx Hold After TSCLKx/RSCLKx ¹	3.0		3.0		ns
t _{SDRE} Receive Data Setup Before RSCLKx ¹	3.0		3.0		ns
t _{HDRE} Receive Data Hold After RSCLKx ¹	3.0		3.0		ns
t _{SCLKEW} TSCLKx/RSCLKx Width	8.0		4.5		ns
t _{SCLKE} TSCLKx/RSCLKx Period	20.0		15.0 ²		ns
<i>Switching Characteristics</i>					
t _{DFSE} TFSx/RFSx Delay After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ³		10.0		10.0	ns
t _{HDFSE} TFSx/RFSx Hold After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ¹	0.0		0.0		ns
t _{DDTE} Transmit Data Delay After TSCLKx ¹		10.0		10.0	ns
t _{HDTE} Transmit Data Hold After TSCLKx ¹	0.0		0.0		ns

¹ サンプル・エッジを基準とします。

² 外部 RSCLKx と外部 RFSx による受信モードの場合のみ、最大仕様は 11.11 ns (90 MHz)。

³ 駆動エッジを基準とします。

表28. シリアル・ポート—内部クロック

Parameter	V _{DDEXT} = 1.8 V LQFP/PBGA Packages		V _{DDEXT} = 1.8 V CSP_BGA Packag		V _{DDEXT} = 2.5 V/3.3 V All Packages		Unit
	Min	Max	Min	Max	Min	Max	
<i>Timing Requirements</i>							
t _{SFSI} TFSx/RFSx Setup Before TSCLKx/RSCLKx ¹	11.0		11.0		9.0		ns
t _{HFSI} TFSx/RFSx Hold After TSCLKx/RSCLKx ¹	-2.0		-2.0		-2.0		ns
t _{SDRI} Receive Data Setup Before RSCLKx ¹	9.5		9.0		9.0		ns
t _{HDRI} Receive Data Hold After RSCLKx ¹	0.0		0.0		0.0		ns
<i>Switching Characteristics</i>							
t _{DFSI} TFSx/RFSx Delay After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ²		3.0		3.0		3.0	ns
t _{HDFSI} TFSx/RFSx Hold After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ¹	-1.0		-1.0		-1.0		ns
t _{DDTI} Transmit Data Delay After TSCLKx ¹		3.0		3.0		3.0	ns
t _{HDTI} Transmit Data Hold After TSCLKx ¹	-2.5		-2.0		-2.0		ns
t _{SCLKIW} TSCLKx/RSCLKx Width	6.0		6.0		4.5		ns

¹ サンプル・エッジを基準とします。

² 駆動エッジを基準とします。

表29. シリアル・ポートイネーブルとスリーステート

Parameter	V _{DDEXT} = 1.8 V		V _{DDEXT} = 2.5 V/3.3 V		Unit
	Min	Max	Min	Max	
<i>Switching Characteristics</i>					
t _{DTENE} Data Enable Delay from External TSCLKx ¹	0		0		ns
t _{DDTTE} Data Disable Delay from External TSCLKx ¹		10.0		10.0	ns
t _{DTENI} Data Enable Delay from Internal TSCLKx ¹	-2.0		-2.0		ns
t _{DDTTI} Data Disable Delay from Internal TSCLKx ¹		3.0		3.0	ns

¹ 駆動エッジを基準とします。

表30. 外部レイト・フレーム同期

Parameter	V _{DDEXT} = 1.8 V LQFP/PBGA Packages		V _{DDEXT} = 1.8 V CSP_BGA Package		V _{DDEXT} = 2.5 V/3.3 V All Packages		Unit
	Min	Max	Min	Max	Min	Max	
<i>Switching Characteristics</i>							
t _{DDTLFSE} Data Delay from Late External TFSx or External RFSx in multi channel mode with MFD = 0 ^{1, 2}		10.5		10.0		10.0	ns
t _{DTENLFS} Data Enable from Late FS or in multi channel mode with MFD = 0 ^{1, 2}	0		0		0		ns

¹ マルチチャンネル・モードでは、TFSx イネーブルと TFSx の有効は t_{DTENLFS} と t_{DDTLFSE} に従います。

² RSCLKx/TSCLK x への外部 RFSx/TFSx セットアップ > t_{SCLKx}/2 の場合、t_{DDTFE/I} と t_{DTENE/I} を適用。その他の場合は t_{DDTFSE} と t_{DTENLFS} を適用。

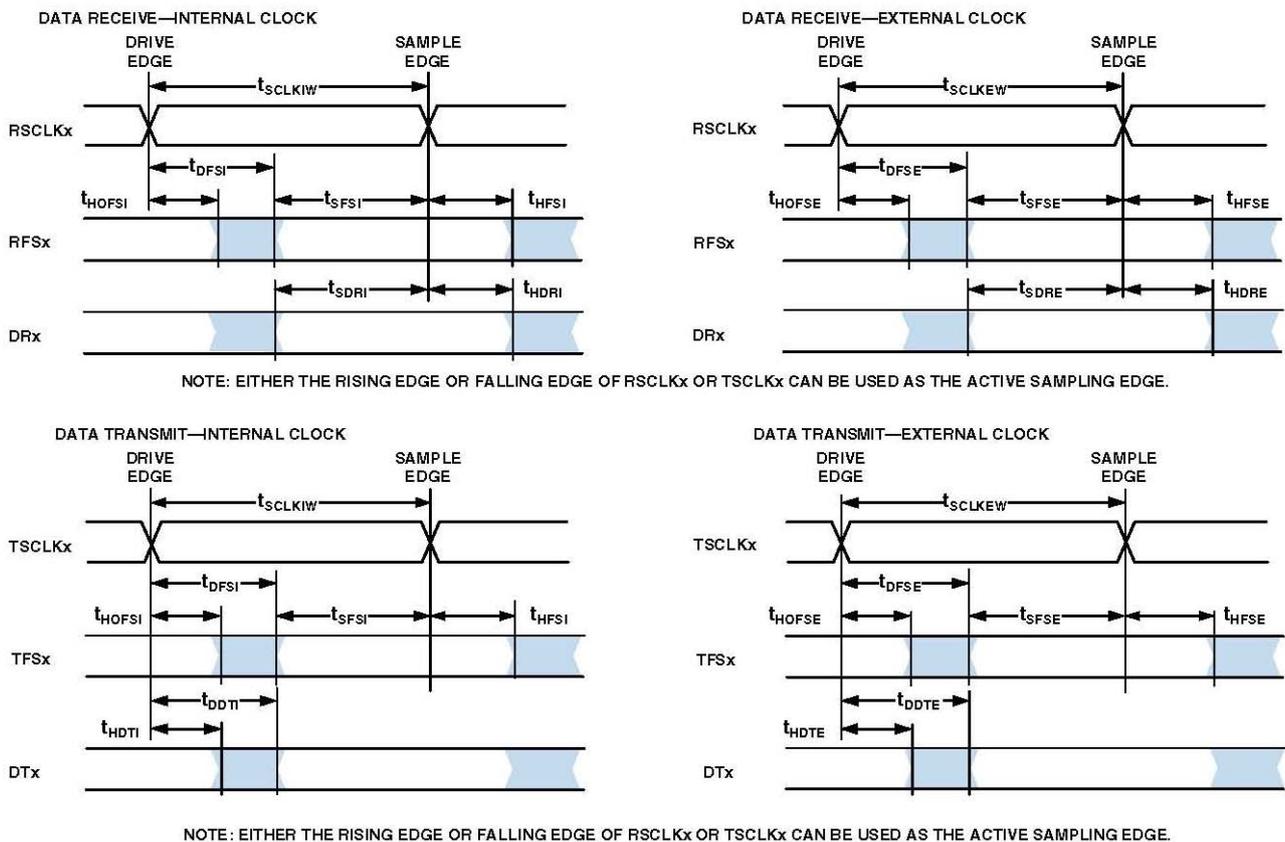
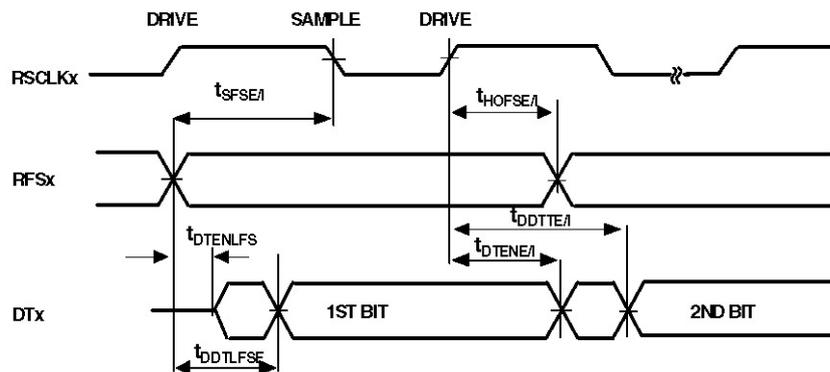


図 22. シリアル・ポート

EXTERNAL RFSx IN MULTICHANNEL MODE WITH MFD = 0



LATE EXTERNAL TFSx

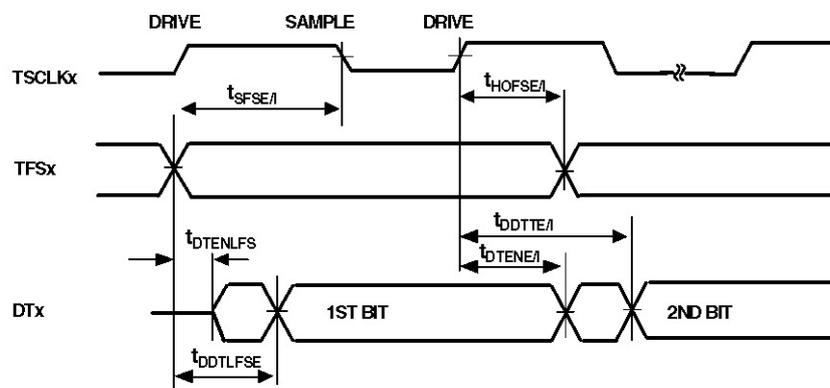


図 23. 外部レイト・フレーム同期

シリアル・ペリフェラル・インターフェース(SPI)ポートマスター・タイミング

表31. シリアル・ペリフェラル・インターフェース(SPI)ポートマスター・タイミング

Parameter	$V_{DDEXT} = 1.8\text{ V}$ LQFP/PBGA Packages		$V_{DDEXT} = 1.8\text{ V}$ CSP_BGA Package		$V_{DDEXT} = 2.5\text{ V}/3.3\text{ V}$ All Packages		Unit
	Min	Max	Min	Max	Min	Max	
<i>Timing Requirements</i>							
t_{SPIDM} Data Input Valid to SCK Edge (Data Input Setup)	10.5		8.5		7.5		ns
t_{HSPIDM} SCK Sampling Edge to Data Input Invalid	-1.5		-1.5		-1.5		ns
<i>Switching Characteristics</i>							
t_{SDSCIM} SPISELx Low to First SCK Edge	$2t_{SCLK}$		$2t_{SCLK}$		$2t_{SCLK}$		ns
t_{SPICHM} Serial Clock High Period	$2t_{SCLK} - 1.5$		$2t_{SCLK} - 1.5$		$2t_{SCLK} - 1.5$		ns
t_{SPICLM} Serial Clock Low Period	$2t_{SCLK} - 1.5$		$2t_{SCLK} - 1.5$		$2t_{SCLK} - 1.5$		ns
t_{SPICLK} Serial Clock Period	$4t_{SCLK}$		$4t_{SCLK}$		$4t_{SCLK}$		ns
t_{HDSM} Last SCK Edge to SPISELx High	$2t_{SCLK}$		$2t_{SCLK}$		$2t_{SCLK}$		ns
t_{SPITDM} Sequential Transfer Delay	$2t_{SCLK}$		$2t_{SCLK}$		$2t_{SCLK}$		ns
$t_{DDSPIDM}$ SCK Edge to Data Out Valid (Data Out Delay)		6		6		6	ns
$t_{HDSPIDM}$ SCK Edge to Data Out Invalid (Data Out Hold)	-1.0		-1.0		-1.0		ns

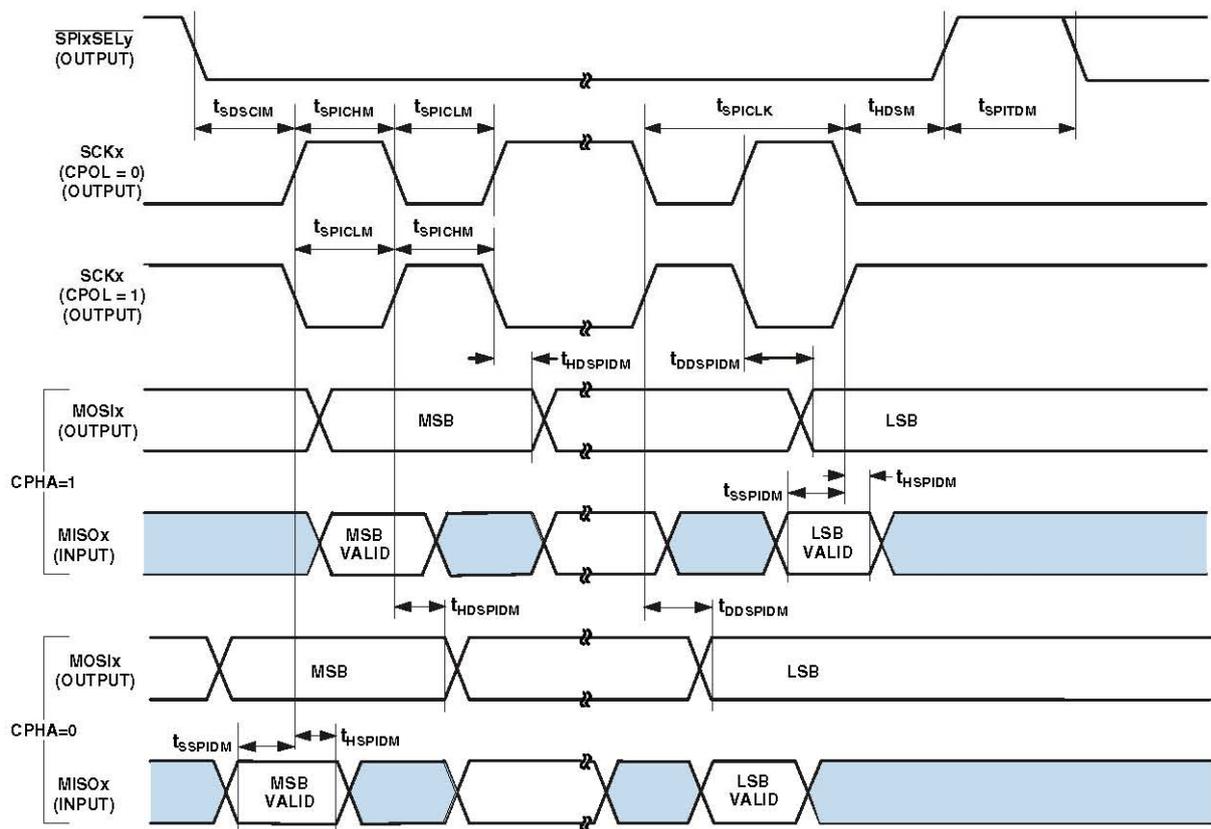


図 24. シリアル・ペリフェラル・インターフェース(SPI)ポートマスター・タイミング

シリアル・ペリフェラル・インターフェース(SPI)ポートスレーブ・タイミング

表32. シリアル・ペリフェラル・インターフェース(SPI)ポートスレーブ・タイミング

Parameter	V _{DDEXT} = 1.8 V LQFP/PBGA Packages		V _{DDEXT} = 1.8 V CSP_BGA Package		V _{DDEXT} = 2.5 V/3.3 V All Packages		Unit
	Min	Max	Min	Max	Min	Max	
<i>Timing Requirements</i>							
t _{SPICHS} Serial Clock High Period	2t _{SCLK} - 1.5		2t _{SCLK} - 1.5		2t _{SCLK} - 1.5		ns
t _{SPICLS} Serial Clock Low Period	2t _{SCLK} - 1.5		2t _{SCLK} - 1.5		2t _{SCLK} - 1.5		ns
t _{SPICLK} Serial Clock Period	4t _{SCLK}		4t _{SCLK}		4t _{SCLK}		ns
t _{HDS} Last SCK Edge to $\overline{\text{SPISS}}$ Not Asserted	2t _{SCLK}		2t _{SCLK}		2t _{SCLK}		ns
t _{SPITDS} Sequential Transfer Delay	2t _{SCLK}		2t _{SCLK}		2t _{SCLK}		ns
t _{SDSCI} $\overline{\text{SPISS}}$ Assertion to First SCK Edge	2t _{SCLK}		2t _{SCLK}		2t _{SCLK}		ns
t _{SPID} Data Input Valid to SCK Edge (Data Input Setup)	1.6		1.6		1.6		ns
t _{HSPID} SCK Sampling Edge to Data Input Invalid	1.6		1.6		1.6		ns
<i>Switching Characteristics</i>							
t _{DSOE} $\overline{\text{SPISS}}$ Assertion to Data Out Active	0	10	0	9	0	8	ns
t _{DSHI} $\overline{\text{SPISS}}$ Deassertion to Data High Impedance	0	10	0	9	0	8	ns
t _{DDSPID} SCK Edge to Data Out Valid (Data Out Delay)		10		10		10	ns
t _{HDSPID} SCK Edge to Data Out Invalid (Data Out Hold)	0		0		0		ns

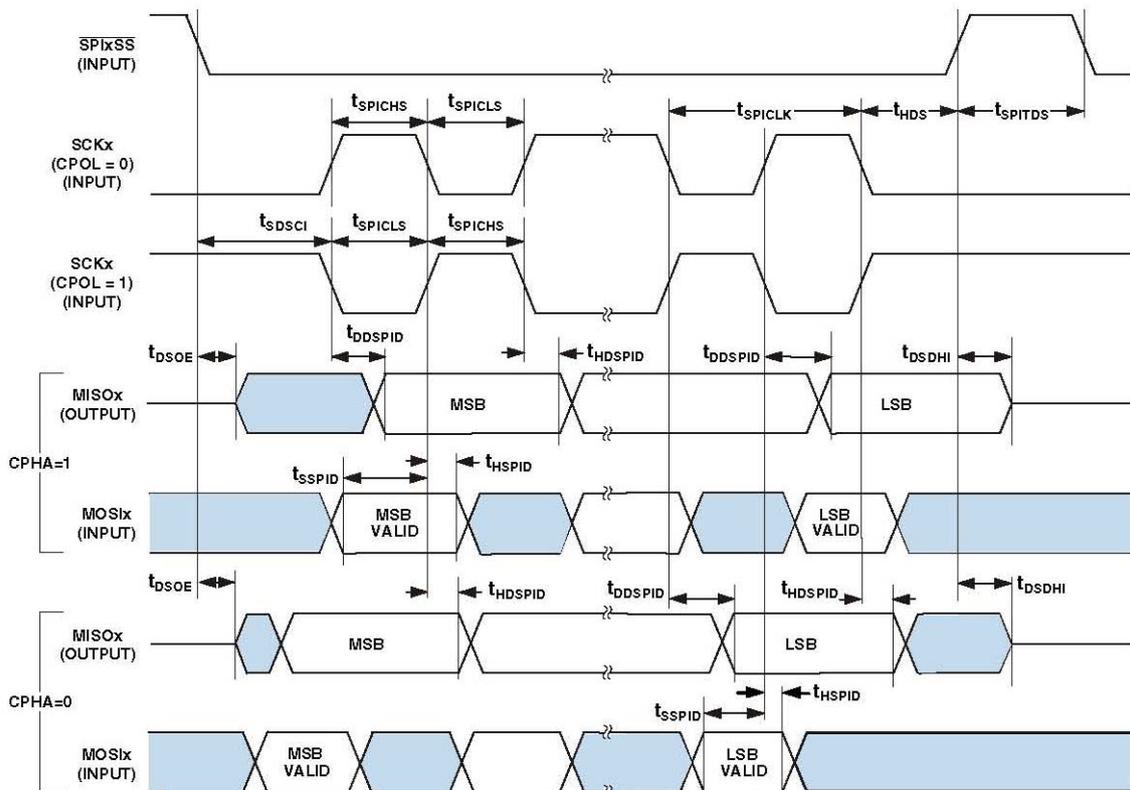


図 25. シリアル・ペリフェラル・インターフェース(SPI)ポートスレーブ・タイミング

ユニバーサル非同期レシーバ・トランスミッタ(UART) ポート—受信タイミングと送信タイミング

図26に、UARTポートの受信と送信の動作を示します。最大ボー・レートはSCLK/16です。図26に示すように、内部UART割込みの発生と外部データ動作との間にはレイテンシが存在します。これらの遅延は、UARTのデータ・レートに対して無視することができます。

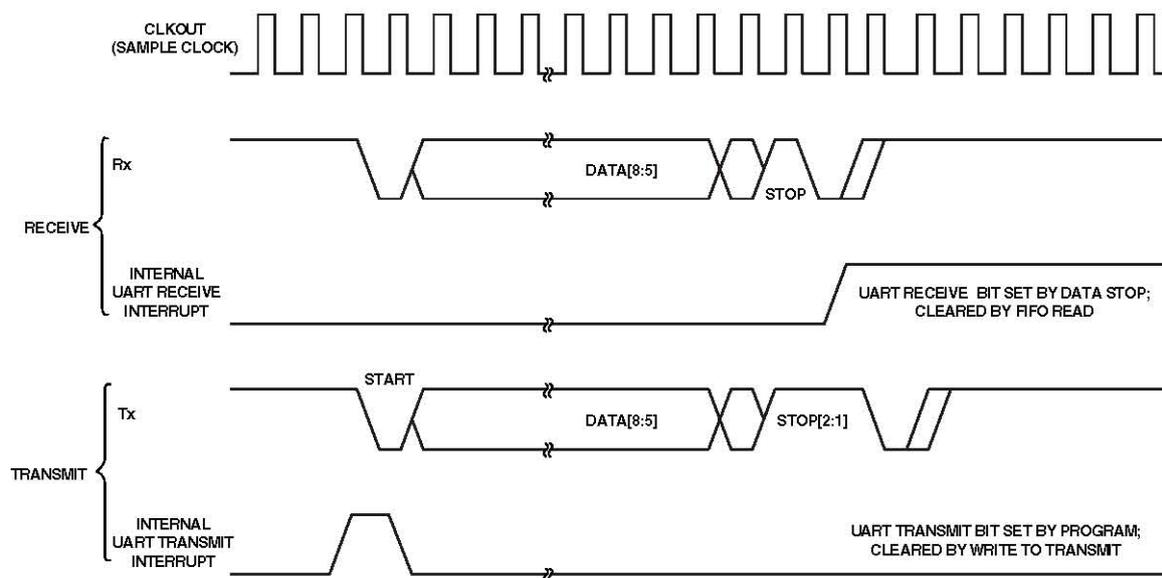


図 26. UART ポート—受信タイミングと送信タイミング

汎用I/OポートFピン・サイクル・タイミング

表33. 汎用I/OポートFピン・サイクル・タイミング

Parameter	V _{DDEXT} = 1.8 V		V _{DDEXT} = 2.5 V/3.3 V		Unit
	Min	Max	Min	Max	
<i>Timing Requirement</i>					
t _{WFI} GPIO Input Pulse Width	t _{SCLK} + 1		t _{SCLK} + 1		ns
<i>Switching Characteristic</i>					
t _{DFO} GPIO Output Delay from CLKOUT Low		6		6	ns

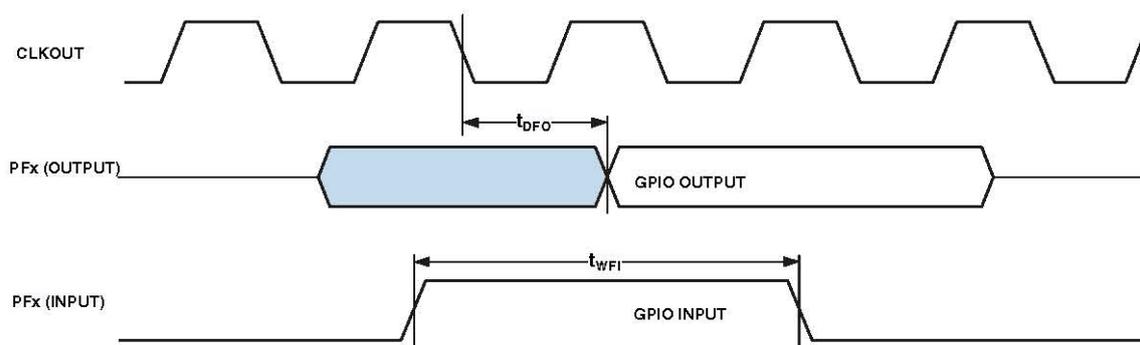


図 27. GPIO サイクルのタイミング

タイマ・サイクルのタイミング

表34と図28に、タイマのタイムアウト動作を示します。入力信号は、幅キャプチャ・モードと外部クロック・モードでは非同期であるため、絶対最大入力周波数($f_{SCLK}/2$ MHz)が存在します。

表34. タイマ・サイクルのタイミング

Parameter	$V_{DDEXT} = 1.8\text{ V}$		$V_{DDEXT} = 2.5\text{ V}/3.3\text{ V}$		Unit
	Min	Max	Min	Max	
<i>Timing Characteristics</i>					
t_{WL} Timer Pulse Width Input Low ¹ (Measured in SCLK Cycles)	1		1		SCLK
t_{WH} Timer Pulse Width Input High ¹ (Measured in SCLK Cycles)	1		1		SCLK
<i>Switching Characteristic</i>					
t_{HTO} Timer Pulse Width Output ² (Measured in SCLK Cycles)	1	$(2^{32}-1)$	1	$(2^{32}-1)$	SCLK

¹最小パルス幅は、幅キャプチャ・モードと外部クロック・モードで TMRx 入力ピンに適用。PWM 出力モードでは、PF1 または PPI_CLK 入力ピンにも適用。

² t_{HTO} の最小時間は 1 サイクルで、 t_{HTO} の最大時間は $(2^{32}-1)$ サイクル。

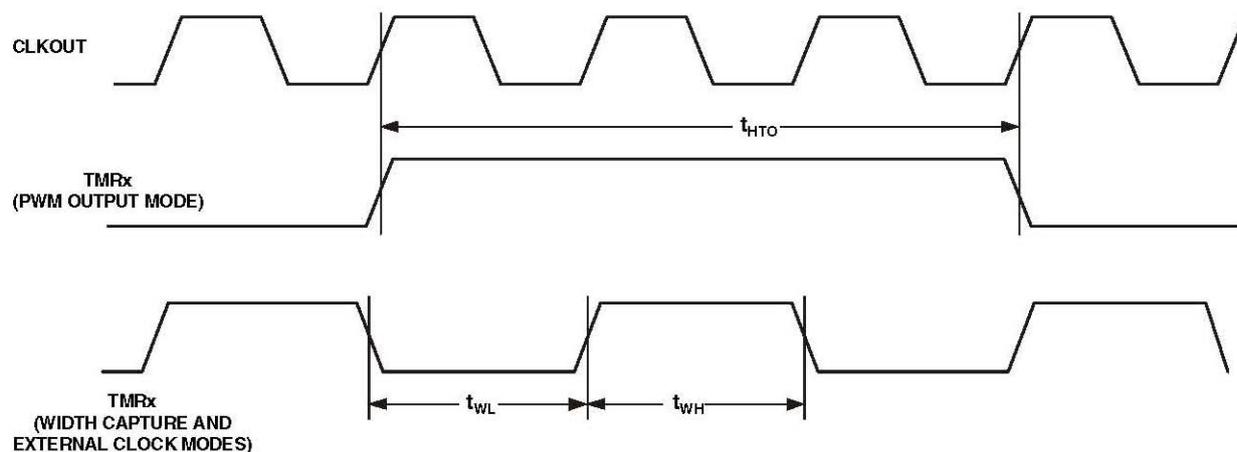


図 28. タイマ PWM_OUT サイクルのタイミング

JTAGテストおよびエミュレーション・ポートのタイミング

表35. JTAG ポートのタイミング

Parameter	V _{DDEXT} = 1.8 V		V _{DDEXT} = 2.5 V/3.3 V		Unit
	Min	Max	Min	Max	
<i>Timing Requirements</i>					
t _{TCK} TCK Period	20		20		ns
t _{STAP} TDI, TMS Setup Before TCK High	4		4		ns
t _{HTAP} TDI, TMS Hold After TCK High	4		4		ns
t _{SSYS} System Inputs Setup Before TCK High ¹	4		4		ns
t _{HSYS} System Inputs Hold After TCK High ¹	5		5		ns
t _{TRSTW} $\overline{\text{TRST}}$ Pulse Width ² (Measured in TCK Cycles)	4		4		TCK
<i>Switching Characteristics</i>					
t _{DTDO} TDO Delay from TCK Low		10		10	ns
t _{DSYS} System Outputs Delay After TCK Low ³	0	12	0	12	ns

¹ システム入力= DATA15~0, ARDY, TMR2~0, PF15~0, PPI_CLK, RSCLK0~1, RFS0~1, DR0PRI, DR0SEC, TSCLK0~1, TFS0~1, DR1PRI, DR1SEC, MOSI, MISO, SCK, RX, $\overline{\text{RESET}}$, NMI, Bモード1~0, BR, PPI3~0.

² 50 MHz最大

³ システム出力= DATA15~0, ADDR19~1, ABE1~0, AO $\overline{\text{E}}$, ARE, AWE, AMS3~0, SRAS, SCAS, $\overline{\text{SWE}}$, SCKE, CLKOUT, SA10, $\overline{\text{SMS}}$, TMR2~0, PF15~0, RSCLK0~1, RFS0~1, TSCLK0~1, TFS0~1, DT0PRI, DT0SEC, DT1PRI, DT1SEC, MOSI, MISO, SCK, TX, BG, BGH, PPI3~0.

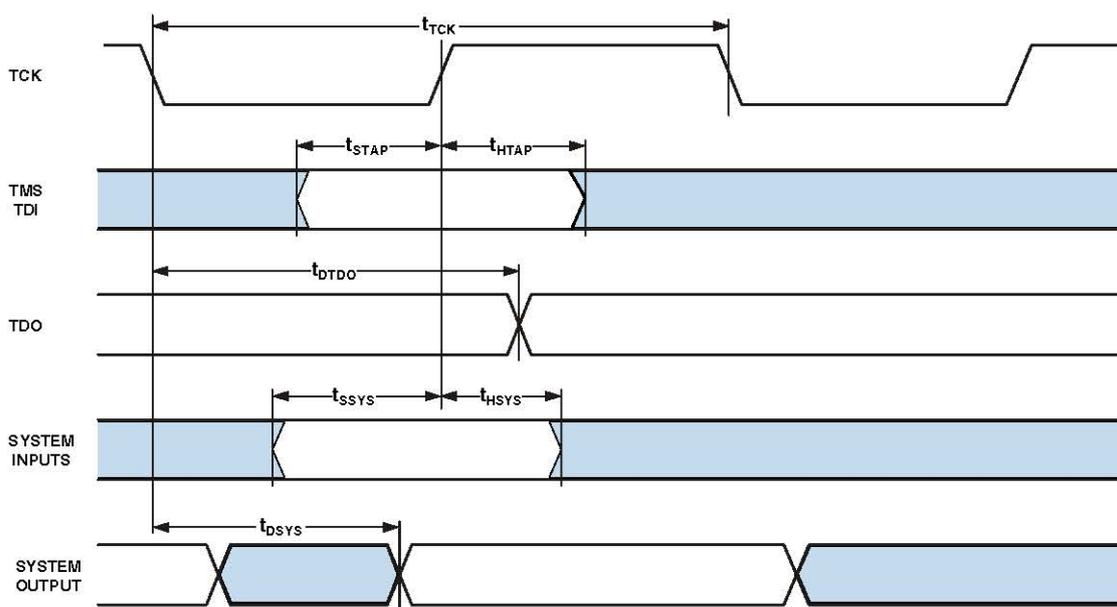


図 29. JTAG ポートのタイミング

出力駆動電流

図30～図41に、プロセッサの出力ドライバの電流電圧特性 (typ) を示します。このカーブは、出力ドライバの電流駆動能力を出力電圧の関数として表しています。

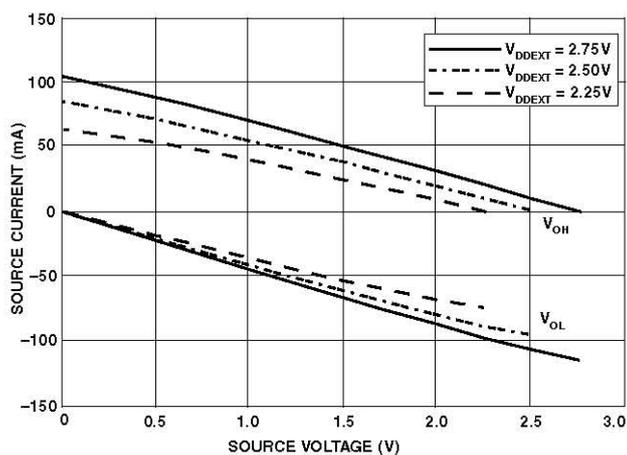


図 30. 駆動電流 A ($V_{DDEXT} = 2.5\text{ V}$)

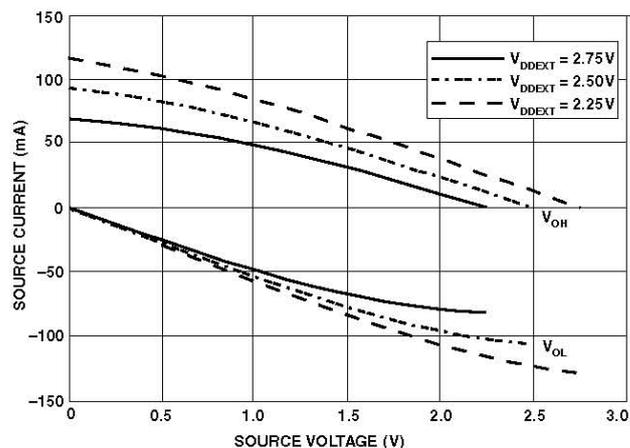


図 33. 駆動電流 B ($V_{DDEXT} = 2.5\text{ V}$)

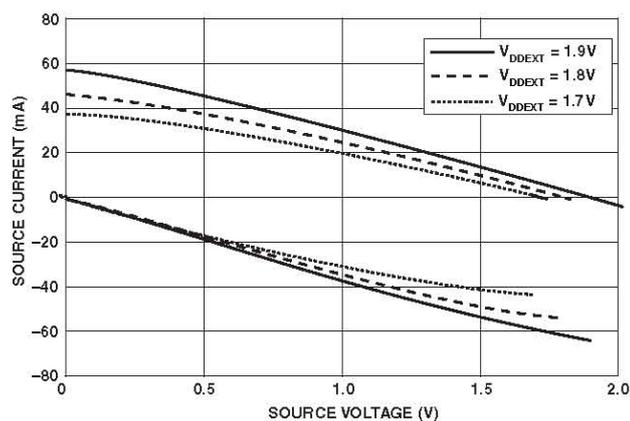


図 31. 駆動電流 A ($V_{DDEXT} = 1.8\text{ V}$)

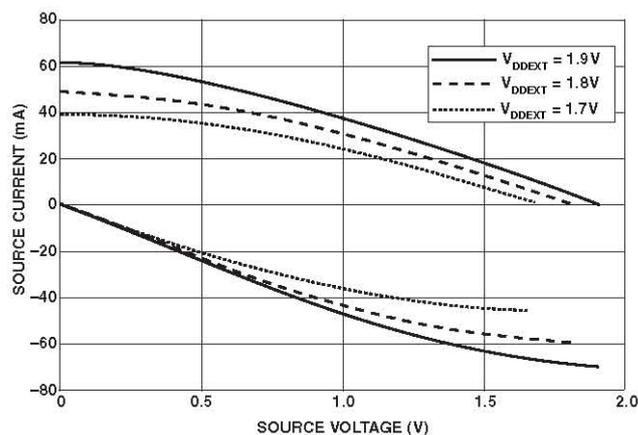


図 34. 駆動電流 B ($V_{DDEXT} = 1.8\text{ V}$)

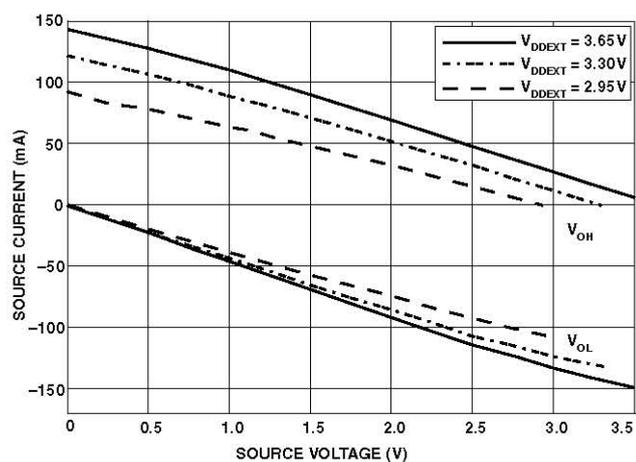


図 32. 駆動電流 A ($V_{DDEXT} = 3.3\text{ V}$)

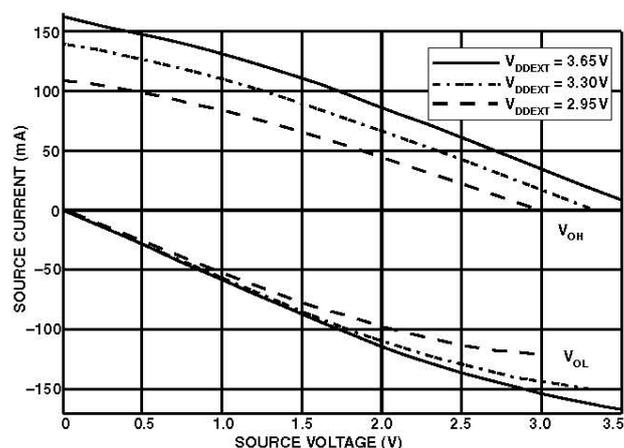


図 35. 駆動電流 B ($V_{DDEXT} = 3.3\text{ V}$)

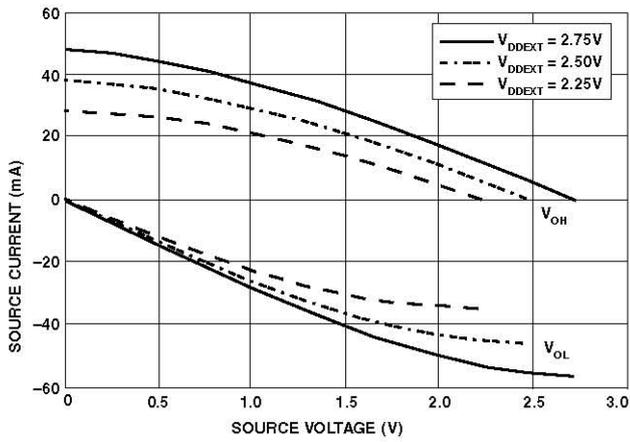


図 36. 駆動電流 C ($V_{DDEXT} = 2.5\text{ V}$)

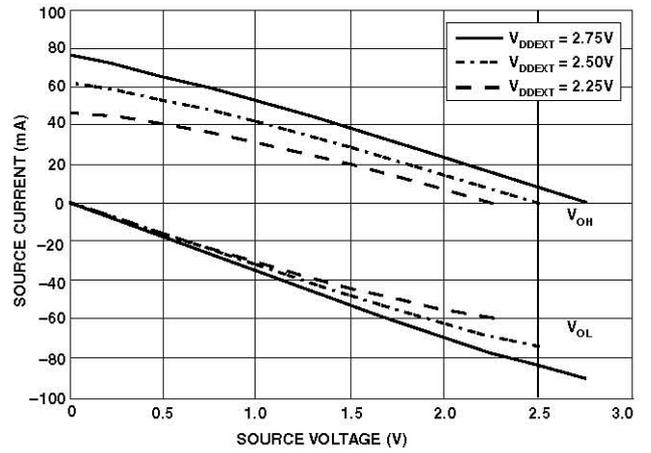


図 39. 駆動電流 D ($V_{DDEXT} = 2.5\text{ V}$)

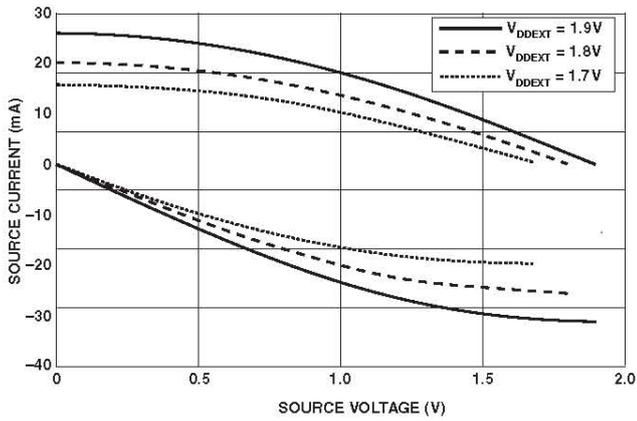


図 37. 駆動電流 C ($V_{DDEXT} = 1.8\text{ V}$)

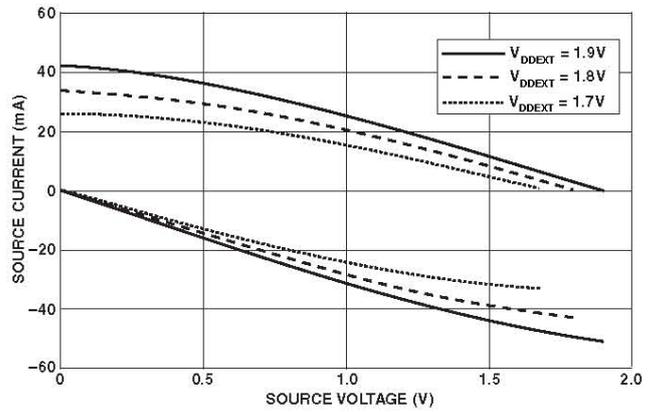


図 40. 駆動電流 D ($V_{DDEXT} = 1.8\text{ V}$)

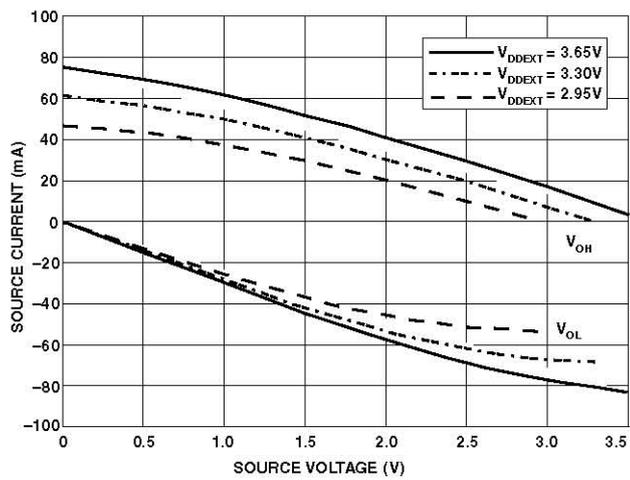


図 38. 駆動電流 C ($V_{DDEXT} = 3.3\text{ V}$)

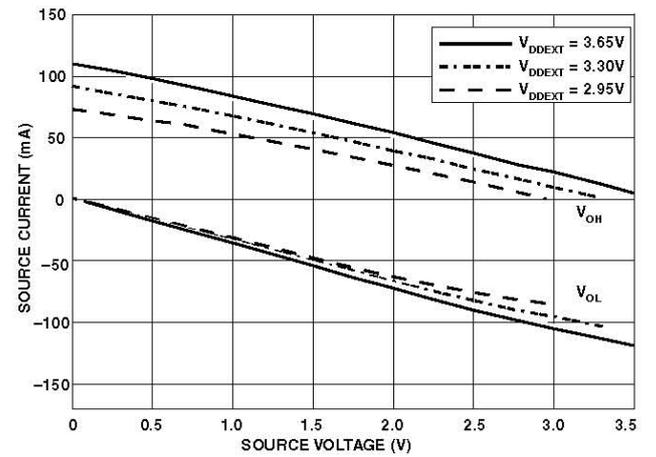


図 41. 駆動電流 D ($V_{DDEXT} = 3.3\text{ V}$)

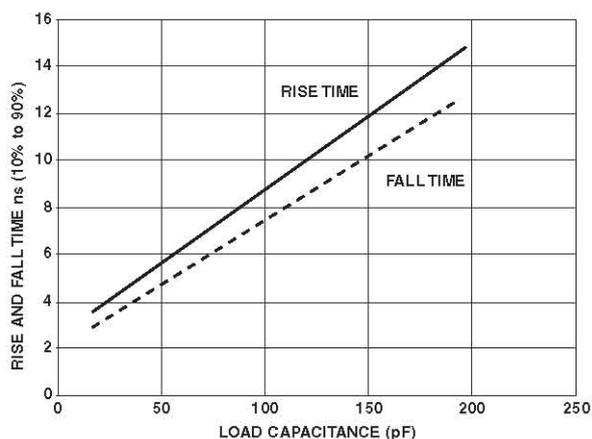


図 45. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ A の負荷容量、 $V_{DDEXT} = 1.75\text{ V}$

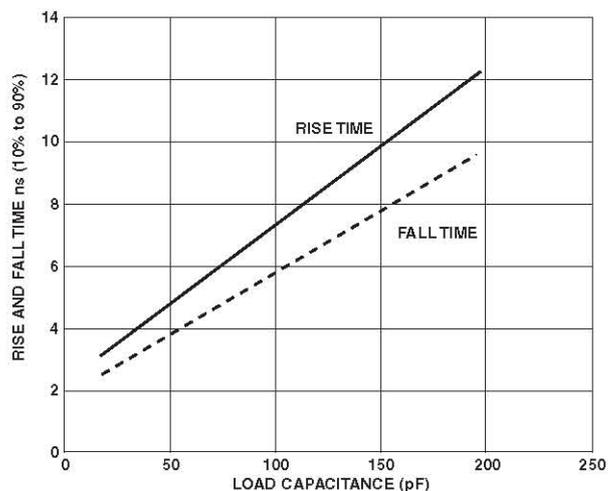


図 48. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ B の負荷容量、 $V_{DDEXT} = 1.75\text{ V}$

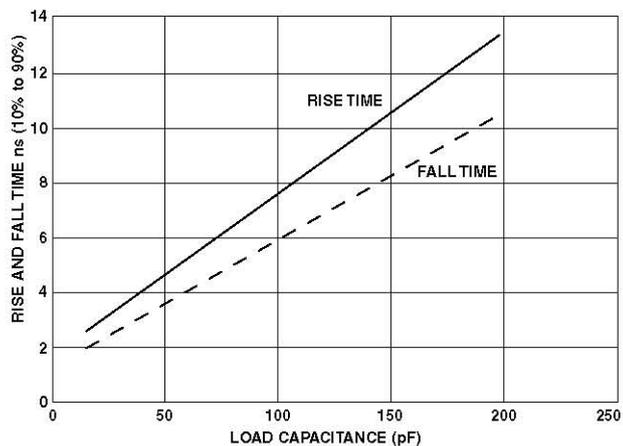


図 46. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ A の負荷容量、 $V_{DDEXT} = 2.25\text{ V}$

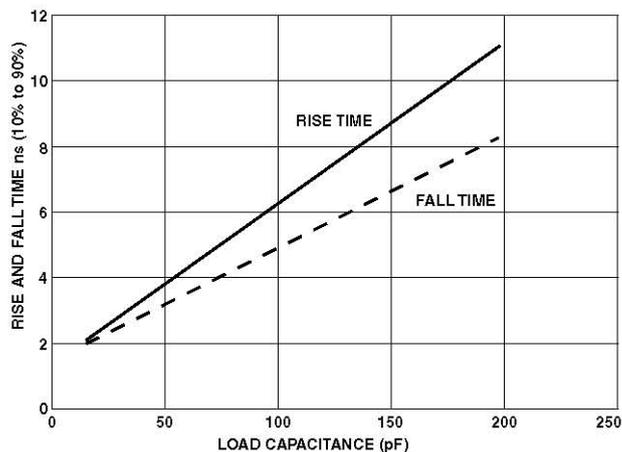


図 49. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ B の負荷容量、 $V_{DDEXT} = 2.25\text{ V}$

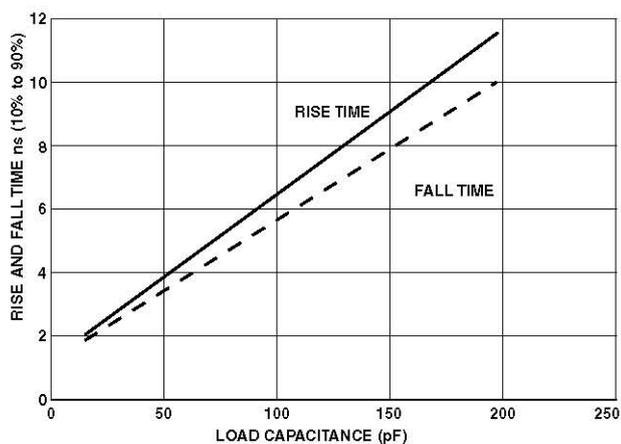


図 47. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ A の負荷容量、 $V_{DDEXT} = 3.65\text{ V}$

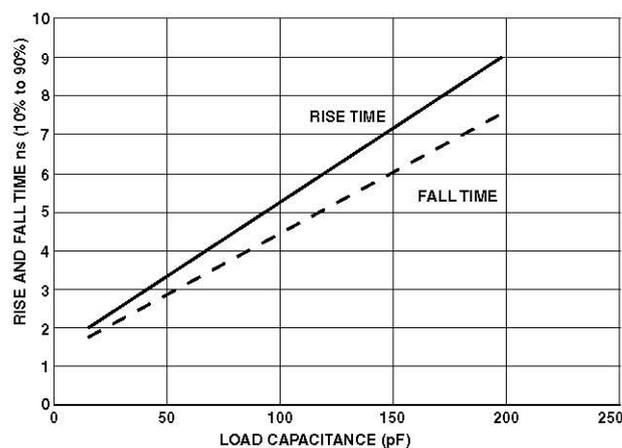


図 50. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ B の負荷容量、 $V_{DDEXT} = 3.65\text{ V}$

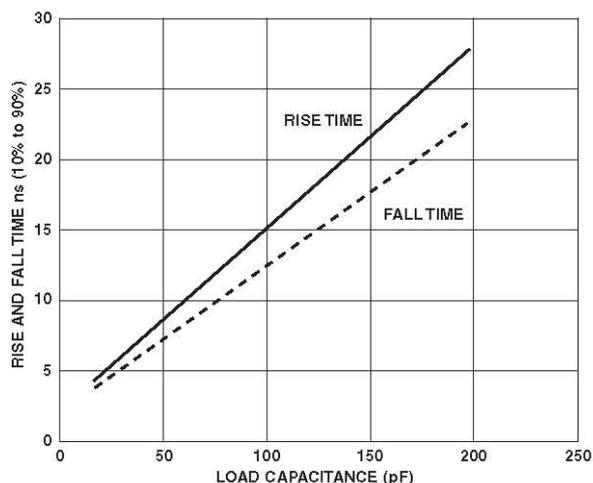


図 51. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ C の負荷容量、 $V_{DDEXT} = 1.75\text{ V}$

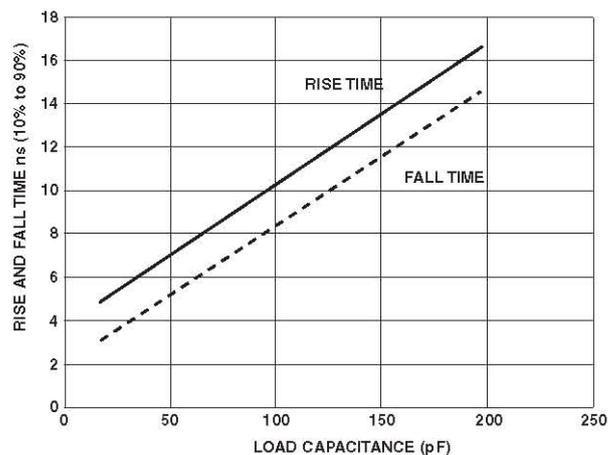


図 54. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ D の負荷容量、 $V_{DDEXT} = 1.75\text{ V}$

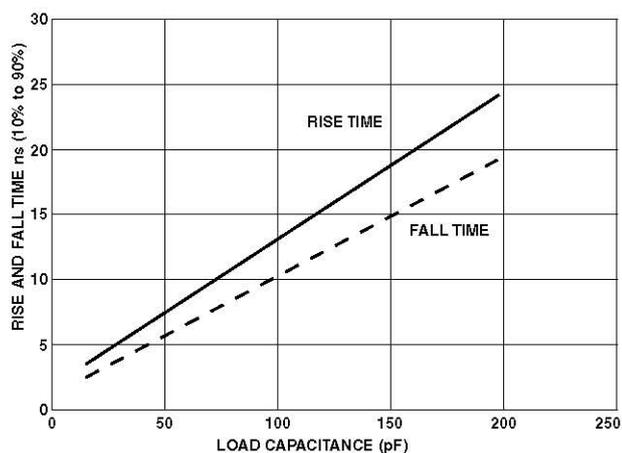


図 52. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ C の負荷容量、 $V_{DDEXT} = 2.25\text{ V}$

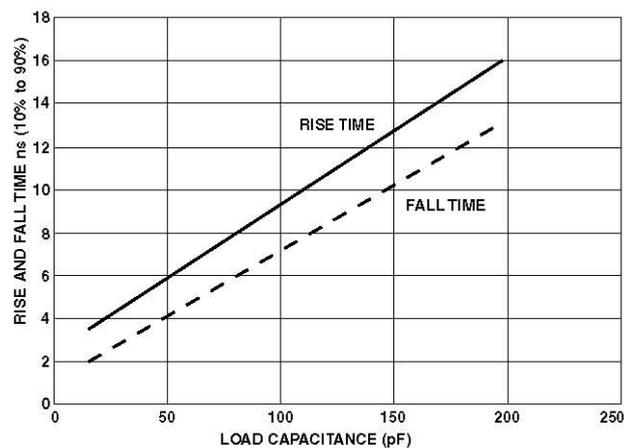


図 55. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ D の負荷容量、 $V_{DDEXT} = 2.25\text{ V}$

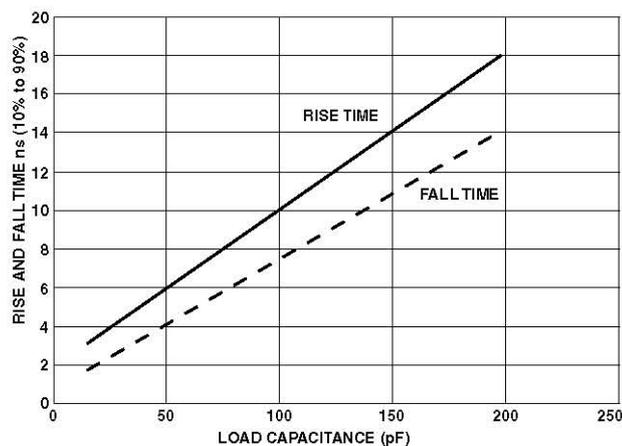


図 53. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ C の負荷容量、 $V_{DDEXT} = 3.65\text{ V}$

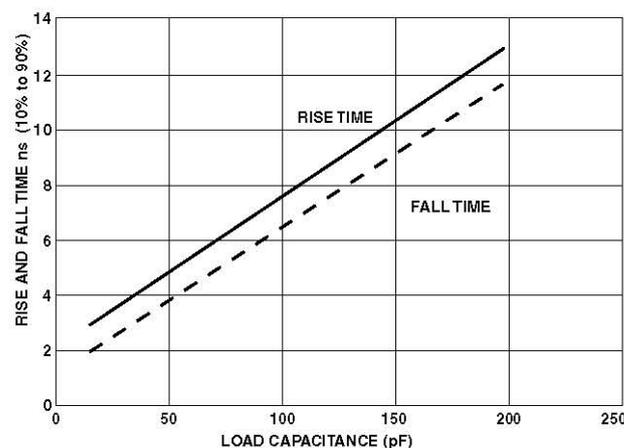


図 56. 立ち上がりおよび立ち下がり時間 (10%から 90%) 対
ドライバ D の負荷容量、 $V_{DDEXT} = 3.65\text{ V}$

熱特性

アプリケーションPCB上でのジャンクション温度を求めるときは次式を使います。

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

ここで、

T_J = ジャンクション温度(°C)。

T_{CASE} = パッケージ上面中央で測定したケース温度 (°C)。

Ψ_{JT} = 表36～表38の値。

P_D = 消費電力(P_D の計算方法については表14と表15の消費電力の説明と表を参照してください)。

θ_{JA} の値はパッケージの比較とPCBデザイン考慮のために提供しています。 θ_{JA} は次式の T_J による一次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、

T_A = 周囲温度(°C)。

表36～表38で、空気流の測定はJEDEC規格JESD51-2とJESD51-6に準拠し、ジャンクション-ボード間測定はJESD51-8に準拠します。ジャンクション-ケース測定はMIL-STD-883(Method 1012.1)に準拠します。すべての測定で、2S2P JEDECテスト・ボードを使用しています。

表36～表38の熱抵抗 θ_{JA} は、対流環境内でのパッケージとボードの性能に関する性能指数です。 θ_{JMA} は空気流の2つの条件下での熱抵抗です。 Ψ_{JT} は、 T_J と T_{CASE} との間の相関を表します。

表36. BC-160 パッケージの熱特性

Parameter	Condition	Typical	Unit
θ_{JA}	0 Linear m/s Airflow	27.1	°C/W
θ_{JMA}	1 Linear m/s Airflow	23.85	°C/W
θ_{JMA}	2 Linear m/s Airflow	22.7	°C/W
θ_{JC}	Not Applicable	7.26	°C/W
Ψ_{JT}	0 Linear m/s Airflow	0.14	°C/W
Ψ_{JT}	1 Linear m/s Airflow	0.26	°C/W
Ψ_{JT}	2 Linear m/s Airflow	0.35	°C/W

表37. ST-176-1 パッケージの熱特性

Parameter	Condition	Typical	Unit
θ_{JA}	0 Linear m/s Airflow	34.9	°C/W
θ_{JMA}	1 Linear m/s Airflow	33.0	°C/W
θ_{JMA}	2 Linear m/s Airflow	32.0	°C/W
Ψ_{JT}	0 Linear m/s Airflow	0.50	°C/W
Ψ_{JT}	1 Linear m/s Airflow	0.75	°C/W
Ψ_{JT}	2 Linear m/s Airflow	1.00	°C/W

表38. B-169 パッケージの熱特性

Parameter	Condition	Typical	Unit
θ_{JA}	0 Linear m/s Airflow	22.8	°C/W
θ_{JMA}	1 Linear m/s Airflow	20.3	°C/W
θ_{JMA}	2 Linear m/s Airflow	19.3	°C/W
θ_{JC}	Not Applicable	10.39	°C/W
Ψ_{JT}	0 Linear m/s Airflow	0.59	°C/W
Ψ_{JT}	1 Linear m/s Airflow	0.88	°C/W
Ψ_{JT}	2 Linear m/s Airflow	1.37	°C/W

160 Ball CSP_BGAのボール配置

表39にCSP_BGAのボール配置を示します(信号名順)。表

40にCSP_BGAのボール配置を示します(ボール番号順)。

表39. 160ボールCSP_BGAのボール配置 (信号名順)

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
$\overline{\text{ABE0}}$	H13	DATA4	N8	GND	L6	SCK	D1
$\overline{\text{ABE1}}$	H12	DATA5	P8	GND	L8	SCKE	B13
ADDR1	J14	DATA6	M7	GND	L10	$\overline{\text{SMS}}$	C13
ADDR2	K14	DATA7	N7	GND	M4	$\overline{\text{SRAS}}$	D13
ADDR3	L14	DATA8	P7	GND	M10	$\overline{\text{SWE}}$	D12
ADDR4	J13	DATA9	M6	GND	P14	TCK	P2
ADDR5	K13	DATA10	N6	MISO	E2	TDI	M3
ADDR6	L13	DATA11	P6	MOSI	D3	TDO	N3
ADDR7	K12	DATA12	M5	NMI	B10	TFS0	H3
ADDR8	L12	DATA13	N5	PF0	D2	TFS1	E1
ADDR9	M12	DATA14	P5	PF1	C1	TMR0	L2
ADDR10	M13	DATA15	P4	PF2	C2	TMR1	M1
ADDR11	M14	DR0PRI	K1	PF3	C3	TMR2	K2
ADDR12	N14	DR0SEC	J2	PF4	B1	TMS	N2
ADDR13	N13	DR1PRI	G3	PF5	B2	$\overline{\text{TRST}}$	N1
ADDR14	N12	DR1SEC	F3	PF6	B3	TSCLK0	J1
ADDR15	M11	DT0PRI	H1	PF7	B4	TSCLK1	F1
ADDR16	N11	DT0SEC	H2	PF8	A2	TX	K3
ADDR17	P13	DT1PRI	F2	PF9	A3	V _{DDEXT}	A1
ADDR18	P12	DT1SEC	E3	PF10	A4	V _{DDEXT}	C7
ADDR19	P11	$\overline{\text{EMU}}$	M2	PF11	A5	V _{DDEXT}	C12
$\overline{\text{AMS0}}$	E14	GND	A10	PF12	B5	V _{DDEXT}	D5
$\overline{\text{AMS1}}$	F14	GND	A14	PF13	B6	V _{DDEXT}	D9
$\overline{\text{AMS2}}$	F13	GND	B11	PF14	A6	V _{DDEXT}	F12
$\overline{\text{AMS3}}$	G12	GND	C4	PF15	C6	V _{DDEXT}	G4
$\overline{\text{AOE}}$	G13	GND	C5	PPI_CLK	C9	V _{DDEXT}	J4
ARDY	E13	GND	C11	PPI0	C8	V _{DDEXT}	J12
$\overline{\text{ARE}}$	G14	GND	D4	PPI1	B8	V _{DDEXT}	L7
$\overline{\text{AWE}}$	H14	GND	D7	PPI2	A7	V _{DDEXT}	L11
$\overline{\text{BG}}$	P10	GND	D8	PPI3	B7	V _{DDEXT}	P1
$\overline{\text{BGH}}$	N10	GND	D10	$\overline{\text{RESET}}$	C10	V _{DDINT}	D6
BMODE0	N4	GND	D11	RFS0	J3	V _{DDINT}	E4
BMODE1	P3	GND	F4	RFS1	G2	V _{DDINT}	E11
$\overline{\text{BR}}$	D14	GND	F11	RSCLK0	L1	V _{DDINT}	J11
CLKIN	A12	GND	G11	RSCLK1	G1	V _{DDINT}	L4
CLKOUT	B14	GND	H4	RTXI	A9	V _{DDINT}	L9
DATA0	M9	GND	H11	RTXO	A8	V _{DDRTC}	B9
DATA1	N9	GND	K4	RX	L3	VROUT0	A13
DATA2	P9	GND	K11	$\overline{\text{SA10}}$	E12	VROUT1	B12
DATA3	M8	GND	L5	$\overline{\text{SCAS}}$	C14	XTAL	A11

ADSP-BF531/ADSP-BF532/ADSP-BF533

表40. 160ボールCSP_BGAのボール配置 (ボール番号順)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
A1	V _{DDEXT}	C13	$\overline{\text{SMS}}$	H1	DTOPRI	M3	TDI
A2	PF8	C14	$\overline{\text{SCAS}}$	H2	DTOSEC	M4	GND
A3	PF9	D1	SCK	H3	TF50	M5	DATA12
A4	PF10	D2	PF0	H4	GND	M6	DATA9
A5	PF11	D3	MOSI	H11	GND	M7	DATA6
A6	PF14	D4	GND	H12	$\overline{\text{ABE1}}$	M8	DATA3
A7	PPI2	D5	V _{DDEXT}	H13	$\overline{\text{ABE0}}$	M9	DATA0
A8	RTXO	D6	V _{DDINT}	H14	$\overline{\text{AWE}}$	M10	GND
A9	RTXI	D7	GND	J1	TSCLK0	M11	ADDR15
A10	GND	D8	GND	J2	DR0SEC	M12	ADDR9
A11	XTAL	D9	V _{DDEXT}	J3	RFS0	M13	ADDR10
A12	CLKIN	D10	GND	J4	V _{DDEXT}	M14	ADDR11
A13	VROUT0	D11	GND	J11	V _{DDINT}	N1	$\overline{\text{TRST}}$
A14	GND	D12	$\overline{\text{SWE}}$	J12	V _{DDEXT}	N2	TMS
B1	PF4	D13	$\overline{\text{SRAS}}$	J13	ADDR4	N3	TDO
B2	PF5	D14	$\overline{\text{BR}}$	J14	ADDR1	N4	BMODE0
B3	PF6	E1	TFS1	K1	DR0PRI	N5	DATA13
B4	PF7	E2	MISO	K2	TMR2	N6	DATA10
B5	PF12	E3	DT1SEC	K3	TX	N7	DATA7
B6	PF13	E4	V _{DDINT}	K4	GND	N8	DATA4
B7	PPI3	E11	V _{DDINT}	K11	GND	N9	DATA1
B8	PPI1	E12	SA10	K12	ADDR7	N10	$\overline{\text{BGH}}$
B9	V _{DDRTC}	E13	$\overline{\text{ARDY}}$	K13	ADDR5	N11	ADDR16
B10	NMI	E14	$\overline{\text{AMS0}}$	K14	ADDR2	N12	ADDR14
B11	GND	F1	TSCLK1	L1	RSCLK0	N13	ADDR13
B12	VROUT1	F2	DT1PRI	L2	TMR0	N14	ADDR12
B13	SCKE	F3	DR1SEC	L3	RX	P1	V _{DDEXT}
B14	CLKOUT	F4	GND	L4	V _{DDINT}	P2	TCK
C1	PF1	F11	GND	L5	GND	P3	BMODE1
C2	PF2	F12	V _{DDEXT}	L6	GND	P4	DATA15
C3	PF3	F13	$\overline{\text{AMS2}}$	L7	V _{DDEXT}	P5	DATA14
C4	GND	F14	$\overline{\text{AMS1}}$	L8	GND	P6	DATA11
C5	GND	G1	RSCLK1	L9	V _{DDINT}	P7	DATA8
C6	PF15	G2	RFS1	L10	GND	P8	DATA5
C7	V _{DDEXT}	G3	DR1PRI	L11	V _{DDEXT}	P9	DATA2
C8	PPI0	G4	V _{DDEXT}	L12	ADDR8	P10	$\overline{\text{BG}}$
C9	PPI_CLK	G11	GND	L13	ADDR6	P11	ADDR19
C10	$\overline{\text{RESET}}$	G12	$\overline{\text{AMS3}}$	L14	ADDR3	P12	ADDR18
C11	GND	G13	$\overline{\text{AOE}}$	M1	$\overline{\text{TMR1}}$	P13	ADDR17
C12	V _{DDEXT}	G14	$\overline{\text{ARE}}$	M2	$\overline{\text{EMU}}$	P14	GND

図57に、CSP_BGAボール配置の上面図を示します。図58に、CSP_BGAボール配置の裏面図を示します。

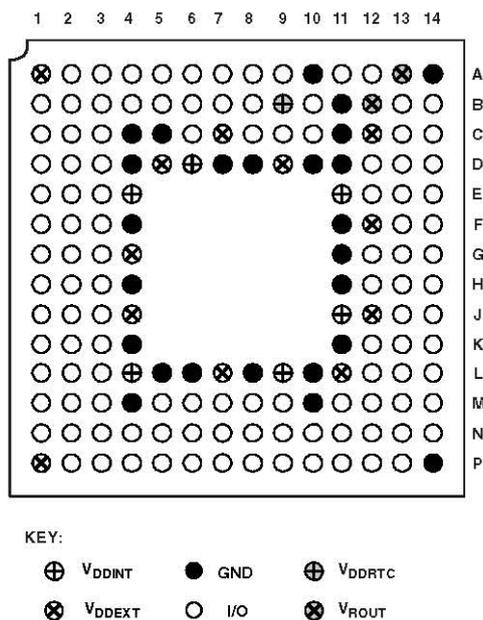


図 57. 160 ボール CSP_BGA グラウンド構成 (上面図)

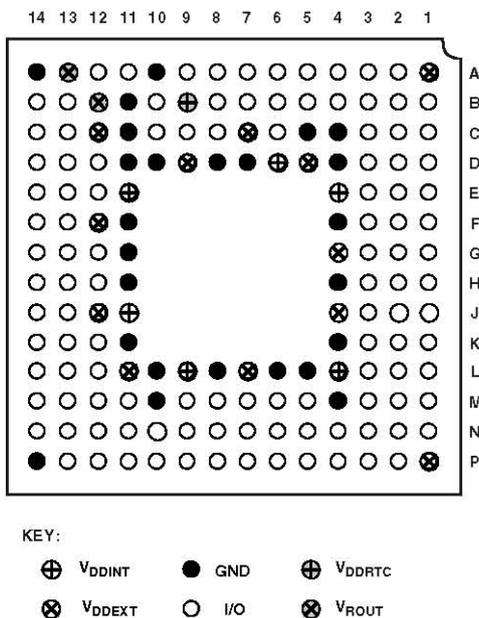


図 58. 160 ボール CSP_BGA グラウンド構成 (底面図)

169 ボールPBGAのボール配置

表41に、PBGAのボール配置(信号名順)を示します。表42にPBGAのボール配置を示します(ボール番号順)。

表41. 169ボールPBGAのボール配置 (信号名順)

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
ABE0	H16	DATA4	U12	GND	K9	RTXI	A10	V _{DDEXT}	K6
ABE1	H17	DATA5	U11	GND	K10	RTXO	A11	V _{DDEXT}	L6
ADDR1	J16	DATA6	T10	GND	K11	RX	T1	V _{DDEXT}	M6
ADDR2	J17	DATA7	U10	GND	L7	SA10	B15	V _{DDEXT}	M7
ADDR3	K16	DATA8	T9	GND	L8	SCAS	A16	V _{DDEXT}	M8
ADDR4	K17	DATA9	U9	GND	L9	SCK	D1	V _{DDEXT}	T2
ADDR5	L16	DATA10	T8	GND	L10	SCKE	B14	VROUT0	B12
ADDR6	L17	DATA11	U8	GND	L11	SMS	A17	VROUT1	B13
ADDR7	M16	DATA12	U7	GND	M9	SRAS	A15	XTAL	A13
ADDR8	M17	DATA13	T7	GND	T16	SWE	B17		
ADDR9	N17	DATA14	U6	MISO	E2	TCK	U4		
ADDR10	N16	DATA15	T6	MOSI	E1	TDI	U3		
ADDR11	P17	DR0PRI	M2	NMI	B11	TDO	T4		
ADDR12	P16	DR0SEC	M1	PF0	D2	TFS0	L1		
ADDR13	R17	DR1PRI	H1	PF1	C1	TFS1	G2		
ADDR14	R16	DR1SEC	H2	PF2	B1	TMR0	R1		
ADDR15	T17	DT0PRI	K2	PF3	C2	TMR1	P2		
ADDR16	U15	DT0SEC	K1	PF4	A1	TMR2	P1		
ADDR17	T15	DT1PRI	F1	PF5	A2	TMS	T3		
ADDR18	U16	DT1SEC	F2	PF6	B3	TRST	U2		
ADDR19	T14	EMU	U1	PF7	A3	TSCLK0	L2		
AMS0	D17	GND	B16	PF8	B4	TSCLK1	G1		
AMS1	E16	GND	F11	PF9	A4	TX	R2		
AMS2	E17	GND	G7	PF10	B5	VDD	F12		
AMS3	F16	GND	G8	PF11	A5	VDD	G12		
AOE	F17	GND	G9	PF12	A6	VDD	H12		
ARDY	C16	GND	G10	PF13	B6	VDD	J12		
ARE	G16	GND	G11	PF14	A7	VDD	K12		
AWE	G17	GND	H7	PF15	B7	VDD	L12		
BG	T13	GND	H8	PPI_CLK	B10	VDD	M10		
BGH	U17	GND	H9	PPI0	B9	VDD	M11		
BMODE0	U5	GND	H10	PPI1	A9	VDD	M12		
BMODE1	T5	GND	H11	PPI2	B8	V _{DDEXT}	B2		
BR	C17	GND	J7	PPI3	A8	V _{DDEXT}	F6		
CLKIN	A14	GND	J8	RESET	A12	V _{DDEXT}	F7		
CLKOUT	D16	GND	J9	RFS0	N1	V _{DDEXT}	F8		
DATA0	U14	GND	J10	RFS1	J1	V _{DDEXT}	F9		
DATA1	T12	GND	J11	RSCLK0	N2	V _{DDEXT}	G6		
DATA2	U13	GND	K7	RSCLK1	J2	V _{DDEXT}	H6		
DATA3	T11	GND	K8	RTCVD	F10	V _{DDEXT}	J6		

ADSP-BF531/ADSP-BF532/ADSP-BF533

表42. 169ボールPBGAのボール配置 (ボール番号順)

Ball No.	Signal	Ball No.	Signal						
A1	PF4	D16	CLKOUT	J2	RSCLK1	M12	VDD	U9	DATA9
A2	PF5	D17	AMS0	J6	V _{DDEXT}	M16	ADDR7	U10	DATA7
A3	PF7	E1	MOSI	J7	GND	M17	ADDR8	U11	DATA5
A4	PF9	E2	MISO	J8	GND	N1	RFS0	U12	DATA4
A5	PF11	E16	AMS1	J9	GND	N2	RSCLK0	U13	DATA2
A6	PF12	E17	AMS2	J10	GND	N16	ADDR10	U14	DATA0
A7	PF14	F1	DT1PRI	J11	GND	N17	ADDR9	U15	ADDR16
A8	PPI3	F2	DT1SEC	J12	VDD	P1	TMR2	U16	ADDR18
A9	PPI1	F6	V _{DDEXT}	J16	ADDR1	P2	TMR1	U17	BGH
A10	RTXI	F7	V _{DDEXT}	J17	ADDR2	P16	ADDR12		
A11	RTXO	F8	V _{DDEXT}	K1	DT0SEC	P17	ADDR11		
A12	RESET	F9	V _{DDEXT}	K2	DT0PRI	R1	TMR0		
A13	XTAL	F10	RTCVD	K6	V _{DDEXT}	R2	TX		
A14	CLKIN	F11	GND	K7	GND	R16	ADDR14		
A15	SRAS	F12	VDD	K8	GND	R17	ADDR13		
A16	SCAS	F16	AMS3	K9	GND	T1	RX		
A17	SMS	F17	AOE	K10	GND	T2	V _{DDEXT}		
B1	PF2	G1	TSCLK1	K11	GND	T3	TMS		
B2	V _{DDEXT}	G2	TFS1	K12	VDD	T4	TDO		
B3	PF6	G6	V _{DDEXT}	K16	ADDR3	T5	BMODE1		
B4	PF8	G7	GND	K17	ADDR4	T6	DATA15		
B5	PF10	G8	GND	L1	TFS0	T7	DATA13		
B6	PF13	G9	GND	L2	TSCLK0	T8	DATA10		
B7	PF15	G10	GND	L6	V _{DDEXT}	T9	DATA8		
B8	PPI2	G11	GND	L7	GND	T10	DATA6		
B9	PPI0	G12	VDD	L8	GND	T11	DATA3		
B10	PPI_CLK	G16	ARE	L9	GND	T12	DATA1		
B11	NMI	G17	AWE	L10	GND	T13	BG		
B12	VROUT0	H1	DR1PRI	L11	GND	T14	ADDR19		
B13	VROUT1	H2	DR1SEC	L12	VDD	T15	ADDR17		
B14	SCKE	H6	V _{DDEXT}	L16	ADDR5	T16	GND		
B15	SA10	H7	GND	L17	ADDR6	T17	ADDR15		
B16	GND	H8	GND	M1	DR0SEC	U1	EMU		
B17	SWE	H9	GND	M2	DR0PRI	U2	TRST		
C1	PF1	H10	GND	M6	V _{DDEXT}	U3	TDI		
C2	PF3	H11	GND	M7	V _{DDEXT}	U4	TCK		
C16	ARDY	H12	VDD	M8	V _{DDEXT}	U5	BMODE0		
C17	BR	H16	ABE0	M9	GND	U6	DATA14		
D1	SCK	H17	ABE1	M10	VDD	U7	DATA12		
D2	PF0	J1	RFS1	M11	VDD	U8	DATA11		

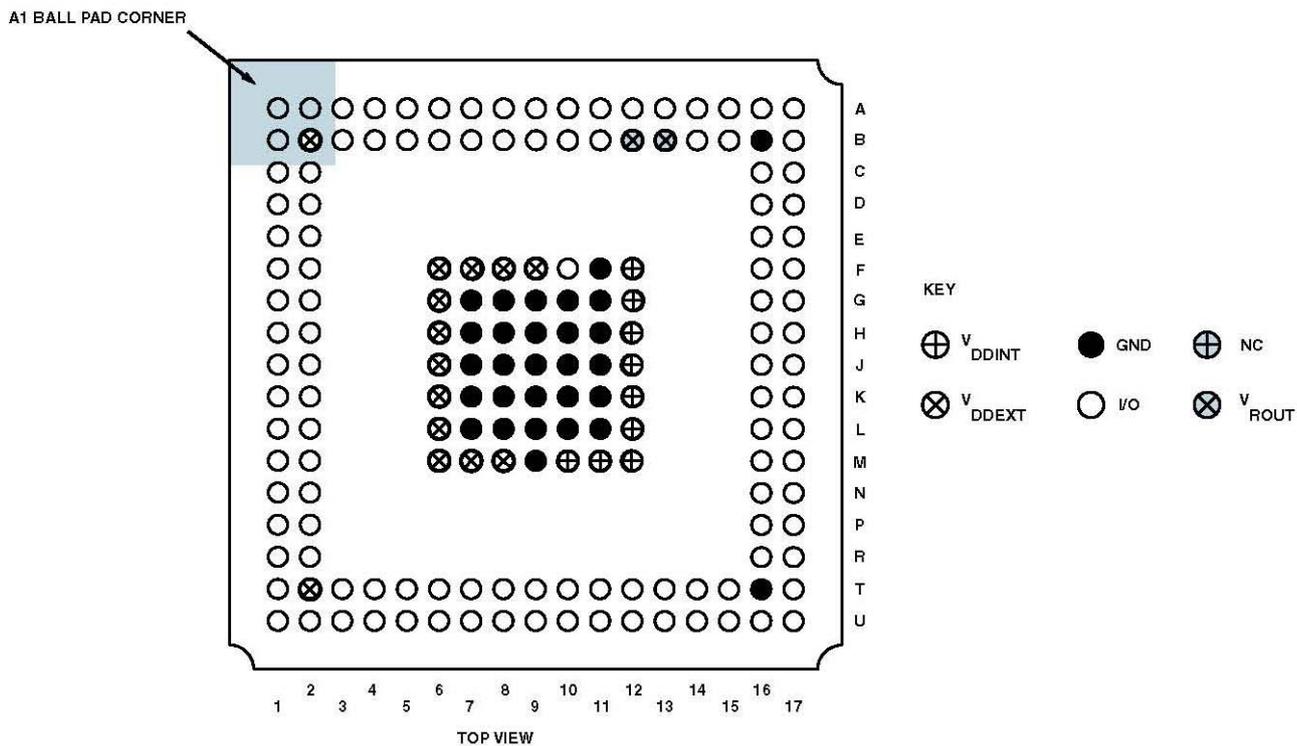


図 59. 169 ボール PBGA グラウンド構成 (上面図)

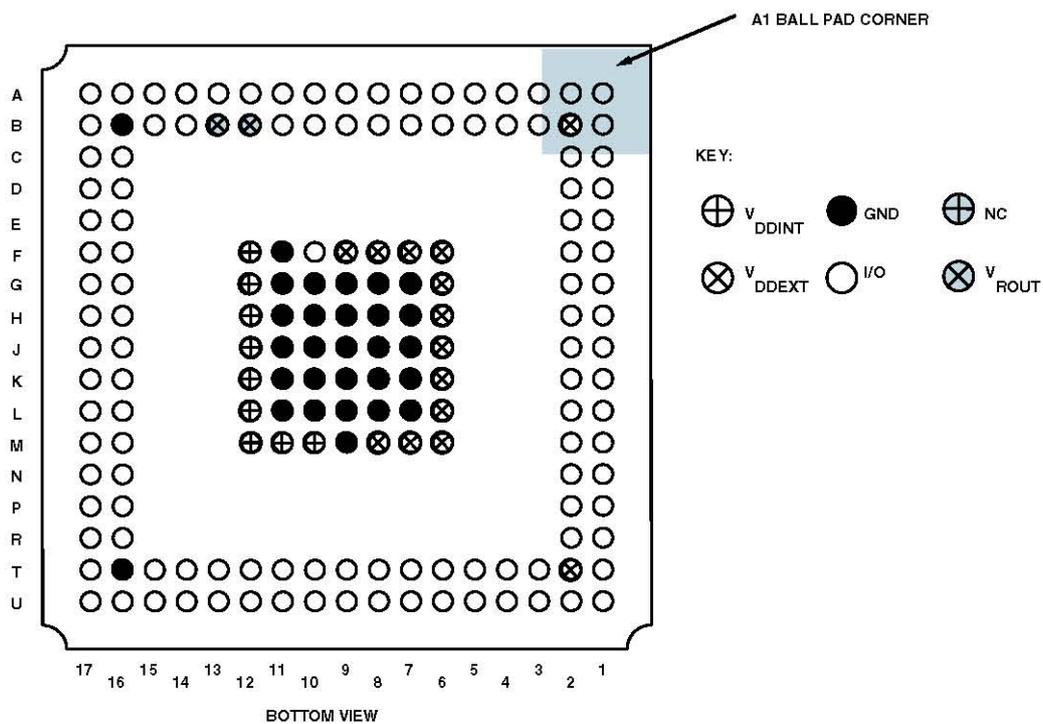


図 60. 169 ボール PBGA グラウンド構成 (裏面図)

176 ピンLQFPのピン配置

表43に、LQFPのピン配置(信号名順)を示します。表44に、ピン番号順のLQFPピン配置を示します。

表43. 176ピン LQFP ピン配置 (信号名順)

Signal	Lead No.	Signal	Lead No.	Signal	Lead No.	Signal	Lead No.	Signal	Lead No.
$\overline{\text{ABE0}}$	151	DATA3	113	GND	88	PPI_CLK	21	V _{DDEXT}	71
$\overline{\text{ABE1}}$	150	DATA4	112	GND	89	PPI0	22	V _{DDEXT}	93
ADDR1	149	DATA5	110	GND	90	PPI1	23	V _{DDEXT}	107
ADDR2	148	DATA6	109	GND	91	PPI2	24	V _{DDEXT}	118
ADDR3	147	DATA7	108	GND	92	PPI3	26	V _{DDEXT}	134
ADDR4	146	DATA8	105	GND	97	$\overline{\text{RESET}}$	13	V _{DDEXT}	145
ADDR5	142	DATA9	104	GND	106	RFS0	75	V _{DDEXT}	156
ADDR6	141	DATA10	103	GND	117	RFS1	64	V _{DDEXT}	171
ADDR7	140	DATA11	102	GND	128	RSCLK0	76	V _{DDINT}	25
ADDR8	139	DATA12	101	GND	129	RSCLK1	65	V _{DDINT}	52
ADDR9	138	DATA13	100	GND	130	RTXI	17	V _{DDINT}	66
ADDR10	137	DATA14	99	GND	131	RTXO	16	V _{DDINT}	80
ADDR11	136	DATA15	98	GND	132	RX	82	V _{DDINT}	111
ADDR12	135	DR0PRI	74	GND	133	SA10	164	V _{DDINT}	143
ADDR13	127	DR0SEC	73	GND	144	$\overline{\text{SCAS}}$	166	V _{DDINT}	157
ADDR14	126	DR1PRI	63	GND	155	SCK	53	V _{DDINT}	168
ADDR15	125	DR1SEC	62	GND	170	SCKE	173	V _{DDRTC}	18
ADDR16	124	DT0PRI	68	GND	174	$\overline{\text{SMS}}$	172	VROUT0	5
ADDR17	123	DT0SEC	67	GND	175	$\overline{\text{SRAS}}$	167	VROUT1	4
ADDR18	122	DT1PRI	59	GND	176	$\overline{\text{SWE}}$	165	XTAL	11
ADDR19	121	DT1SEC	58	MISO	54	TCK	94		
$\overline{\text{AMS0}}$	161	$\overline{\text{EMU}}$	83	MOSI	55	TDI	86		
$\overline{\text{AMS1}}$	160	GND	1	NMI	14	TDO	87		
$\overline{\text{AMS2}}$	159	GND	2	PF0	51	TFS0	69		
$\overline{\text{AMS3}}$	158	GND	3	PF1	50	TFS1	60		
$\overline{\text{AOE}}$	154	GND	7	PF2	49	TMRO	79		
ARDY	162	GND	8	PF3	48	TMR1	78		
$\overline{\text{ARE}}$	153	GND	9	PF4	47	TMR2	77		
$\overline{\text{AWE}}$	152	GND	15	PF5	46	TMS	85		
$\overline{\text{BG}}$	119	GND	19	PF6	38	$\overline{\text{TRST}}$	84		
BGH	120	GND	30	PF7	37	TSCLK0	72		
BMODE0	96	GND	39	PF8	36	TSCLK1	61		
BMODE1	95	GND	40	PF9	35	TX	81		
$\overline{\text{BR}}$	163	GND	41	PF10	34	V _{DDEXT}	6		
CLKIN	10	GND	42	PF11	33	V _{DDEXT}	12		
CLKOUT	169	GND	43	PF12	32	V _{DDEXT}	20		
DATA0	116	GND	44	PF13	29	V _{DDEXT}	31		
DATA1	115	GND	56	PF14	28	V _{DDEXT}	45		
DATA2	114	GND	70	PF15	27	V _{DDEXT}	57		

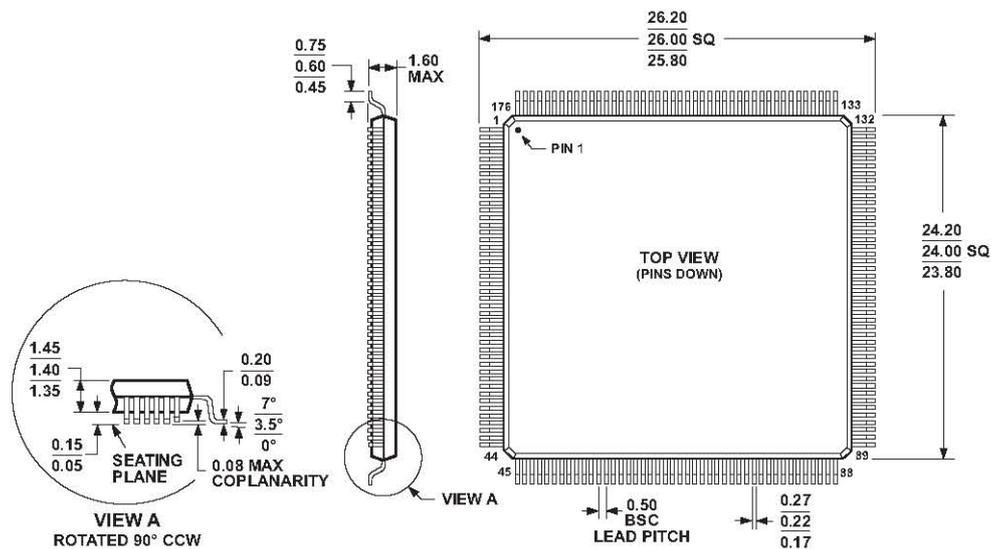
ADSP-BF531/ADSP-BF532/ADSP-BF533

表44. 176ピン LQFP ピン配置 (ピン番号順)

Lead No.	Signal								
1	GND	41	GND	81	TX	121	ADDR19	161	AMS0
2	GND	42	GND	82	RX	122	ADDR18	162	ARDY
3	GND	43	GND	83	EMU	123	ADDR17	163	BR
4	VROUT1	44	GND	84	TRST	124	ADDR16	164	SA10
5	VROUT0	45	V _{DDEXT}	85	TMS	125	ADDR15	165	SWE
6	V _{DDEXT}	46	PF5	86	TDI	126	ADDR14	166	SCAS
7	GND	47	PF4	87	TDO	127	ADDR13	167	SRAS
8	GND	48	PF3	88	GND	128	GND	168	V _{DDINT}
9	GND	49	PF2	89	GND	129	GND	169	CLKOUT
10	CLKIN	50	PF1	90	GND	130	GND	170	GND
11	XTAL	51	PF0	91	GND	131	GND	171	V _{DDEXT}
12	V _{DDEXT}	52	V _{DDINT}	92	GND	132	GND	172	SMS
13	RESET	53	SCK	93	V _{DDEXT}	133	GND	173	SCKE
14	NMI	54	MISO	94	TCK	134	V _{DDEXT}	174	GND
15	GND	55	MOSI	95	BMODE1	135	ADDR12	175	GND
16	RTXO	56	GND	96	BMODE0	136	ADDR11	176	GND
17	RTXI	57	V _{DDEXT}	97	GND	137	ADDR10		
18	V _{DDRTC}	58	DT1SEC	98	DATA15	138	ADDR9		
19	GND	59	DT1PRI	99	DATA14	139	ADDR8		
20	V _{DDEXT}	60	TFS1	100	DATA13	140	ADDR7		
21	PPI_CLK	61	TSCLK1	101	DATA12	141	ADDR6		
22	PPI0	62	DR1SEC	102	DATA11	142	ADDR5		
23	PPI1	63	DR1PRI	103	DATA10	143	V _{DDINT}		
24	PPI2	64	RFS1	104	DATA9	144	GND		
25	V _{DDINT}	65	RSCLK1	105	DATA8	145	V _{DDEXT}		
26	PPI3	66	V _{DDINT}	106	GND	146	ADDR4		
27	PF15	67	DT0SEC	107	V _{DDEXT}	147	ADDR3		
28	PF14	68	DT0PRI	108	DATA7	148	ADDR2		
29	PF13	69	TFS0	109	DATA6	149	ADDR1		
30	GND	70	GND	110	DATA5	150	ABE1		
31	V _{DDEXT}	71	V _{DDEXT}	111	V _{DDINT}	151	ABE0		
32	PF12	72	TSCLK0	112	DATA4	152	AWE		
33	PF11	73	DR0SEC	113	DATA3	153	ARE		
34	PF10	74	DR0PRI	114	DATA2	154	AOE		
35	PF9	75	RFS0	115	DATA1	155	GND		
36	PF8	76	RSCLK0	116	DATA0	156	V _{DDEXT}		
37	PF7	77	TMR2	117	GND	157	V _{DDINT}		
38	PF6	78	TMR1	118	V _{DDEXT}	158	AMS3		
39	GND	79	TMR0	119	BG	159	AMS2		
40	GND	80	V _{DDINT}	120	BGH	160	AMS1		

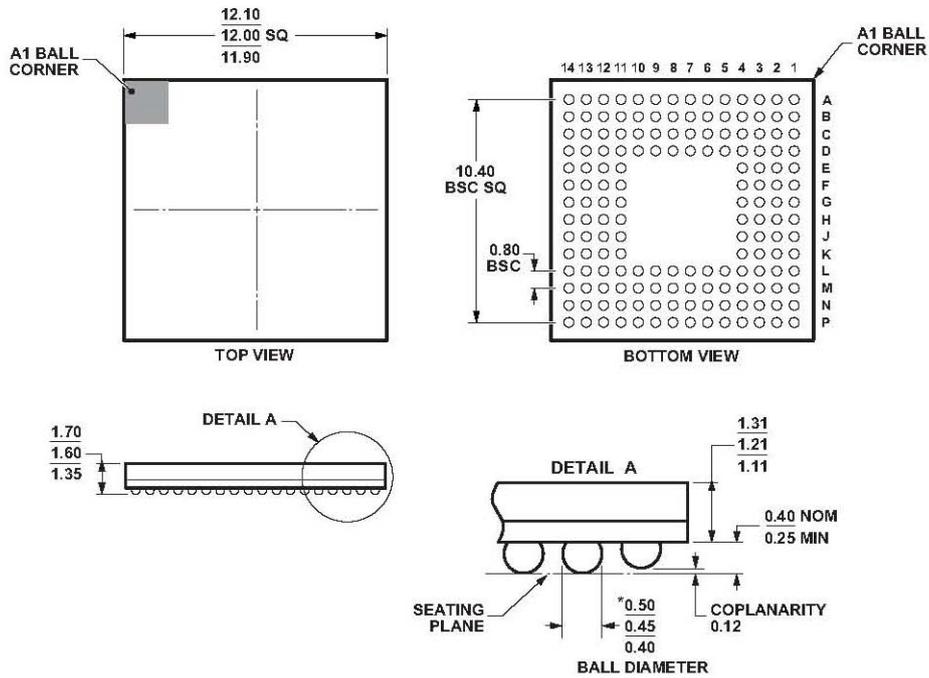
外形寸法

外形寸法はミリメートルで表示。



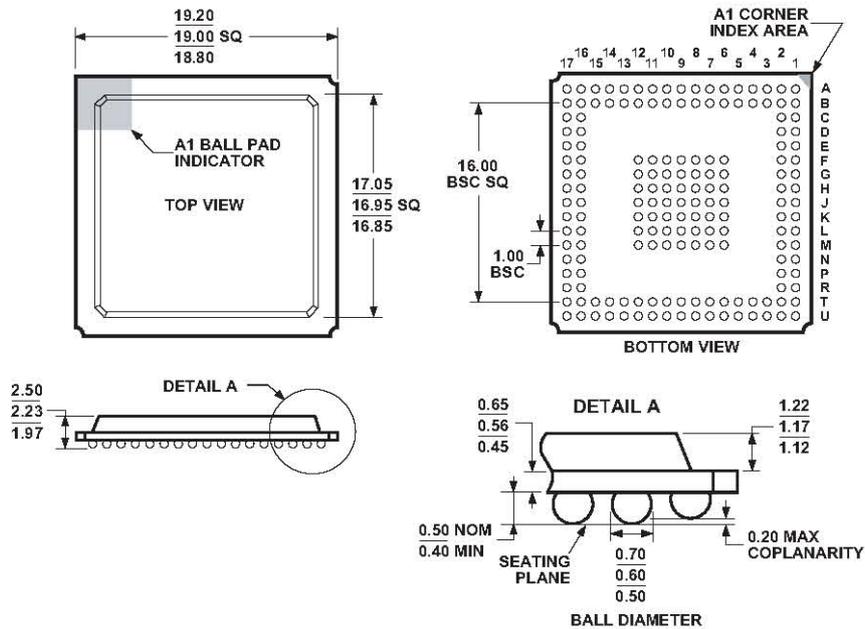
COMPLIANT TO JEDEC STANDARDS MS-026-BGA

図 61. 176 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]
(ST-176-1)
寸法: mm



*COMPLIANT TO JEDEC STANDARDS MO-205-AE WITH THE EXCEPTION TO BALL DIAMETER.

図 62. 160 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA] (BC-160-2)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-034-AAG-2

図 63. 169 ボール・プラスチック・ボール・グリッド・アレイ [PBGA] (B-169)
寸法: mm

表面実装デザイン

表45は、PCBデザイン用に示します。業界標準のデザイン勧告については、IPC-7351の「*Generic Requirements for Surface-Mount Design and Land Pattern Standard*」を参照してください。

表45. 表面実装デザイン用のBGA データ

Package	Ball Attach Type	Solder Mask Opening	Ball Pad Size
Chip Scale Package Ball Grid Array (CSP_BGA) BC-160-2	Solder Mask Defined	0.40 mm diameter	0.55 mm diameter
Plastic Ball Grid Array (PBGA) B-169	Solder Mask Defined	0.43 mm diameter	0.56 mm diameter

車載製品

製造管理を行った車載アプリケーション用のADSP-BF531/ADSP-BF532/ADSP-BF533モデルも提供しています。これらの特別モデルの仕様は、一般的なリリース・モデルと異なることがあるので注意してください。

表46に示す車載グレード製品は、車載アプリケーション用に提供しています。特定製品の注文情報については、最寄りのADIまたはADIの認定代理店にお尋ねください。すべての車載製品はRoHS準拠製品です。

表46. 車載製品

Product Family ¹	Temperature Range ²	Speed Grade (Max)	Operating Voltage (Nom)	Package Description	Package Option
ADBF531WBSTZ4xx	-40°C to +85°C	400 MHz	1.2 V internal, 3.0 V or 3.3 V I/O	176-Lead LQFP	ST-176-1
ADBF531WBBCZ4xx	-40°C to +85°C	400 MHz	1.2 V internal, 3.0 V or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADBF531WYBCZ4xx	-40°C to +105°C	400 MHz	1.2 V internal, 3.0 V or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADBF532WBSTZ4xx	-40°C to +85°C	400 MHz	1.2 V internal, 3.0 V or 3.3 V I/O	176-Lead LQFP	ST-176-1
ADBF532WBBCZ4xx	-40°C to +85°C	400 MHz	1.2 V internal, 3.0 V or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADBF532WYBCZ4xx	-40°C to +105°C	400 MHz	1.2 V internal, 3.0 V or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADBF533WBBCZ5xx	-40°C to +85°C	533 MHz	1.25 V internal, 3.0 V or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADBF533WBBZ5xx	-40°C to +85°C	533 MHz	1.25 V internal, 3.0 V or 3.3 V I/O	169-Ball PBGA	B-169
ADBF533WYBCZ4xx	-40°C to +105°C	400 MHz	1.2 V internal, 3.0 V or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADBF533WYBBZ4xx	-40°C to +105°C	400 MHz	1.2 V internal, 3.0 V or 3.3 V I/O	169-Ball PBGA	B-169

¹xx はシリコン・レビジョン。

²基準温度は周囲温度。

ADSP-BF531/ADSP-BF532/ADSP-BF533

オーダー・ガイド

Model	Temperature Range ³	Speed Grade (Max)	Operating Voltage (Nom)	Package Description	Package Option
ADSP-BF531SBB400	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	169-Ball PBGA	B-169
ADSP-BF531SBBZ400 ⁴	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	169-Ball PBGA	B-169
ADSP-BF531SBBC400	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF531SBBCZ400 ²	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF531SBBCZ4RL ^{2, 5}	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF531SBST400	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	176-Lead LQFP	ST-176-1
ADSP-BF531SBSTZ400 ²	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	176-Lead LQFP	ST-176-1
ADSP-BF532SBB400	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	169-Ball PBGA	B-169
ADSP-BF532SBBZ400 ²	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	169-Ball PBGA	B-169
ADSP-BF532SBBC400	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF532SBBCZ400 ²	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF532SBST400	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	176-Lead LQFP	ST-176-1
ADSP-BF532SBSTZ400 ²	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	176-Lead LQFP	ST-176-1
ADSP-BF533SBBZ400 ²	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	169-Ball PBGA	B-169
ADSP-BF533SBBCZ400 ²	-40°C to +85°C	400 MHz	1.25 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF533SBST400	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	176-Lead LQFP	ST-176-1
ADSP-BF533SBSTZ400 ²	-40°C to +85°C	400 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	176-Lead LQFP	ST-176-1
ADSP-BF533SBB500	-40°C to +85°C	500 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	169-Ball PBGA	B-169
ADSP-BF533SBBZ500 ²	-40°C to +85°C	500 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	169-Ball PBGA	B-169
ADSP-BF533SBBC500	-40°C to +85°C	500 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF533SBBCZ500 ²	-40°C to +85°C	500 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF533SBBC-5V	-40°C to +85°C	533 MHz	1.25 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF533SBBCZ-5V ²	-40°C to +85°C	533 MHz	1.2 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF533SKBC-6V	0°C to +70°C	600 MHz	1.3 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2
ADSP-BF533SKBCZ-6V ²	0°C to +70°C	600 MHz	1.3 V Internal; 1.8 V, 2.5 V, or 3.3 V I/O	160-Ball CSP_BGA	BC-160-2

³基準温度は周囲温度。

⁴Z = RoHS 準拠製品。

⁵RL = テープおよびリール